

# 정밀 ADC의 전원 공급: 평균 vs. 과도 전류

**Luke Allen**  
Applications Engineer

**Bryan Lizon**  
Applications Manager

## 머리말

ADC(아날로그-디지털 컨버터) 데이터시트 전원 공급 장치 매개 변수를 이해하면 보다 안정적인 정밀 DAQ(데이터 수집) 시스템을 설계하는 데 도움이 됩니다. 특히 ADC 데이터시트의 전류 소비량은 정상 작동 상태 조건에서 지정된 평균 값이라는 것을 이해하는 것이 중요합니다. 따라서 이러한 측정된 전류 값은 ADC 과도 전류가 지정된 ADC 전류보다 훨씬 더 클 수 있더라도 과도 전류 요구의 특성을 파악하지 않습니다. 과도 전류는 여러 ADC 작동 모드 간에 전환할 때 발생할 수 있으며 처음에 장치에 전원을 공급할 때 가장 큰 의미가 있습니다. 또한 ADC 주변의 회로 및 구성 요소가 추가 과도 전류 수요를 유발할 수 있습니다.

이 문서에서는 먼저 일반 ADC 데이터 시트에서 전류를 지정하는 방법을 소개하고 다양한 작동 조건에서 과도 전류 수요를 정량화하는 여러 테스트의 결과를 공유함으로써 ADC 과도 전류 요구와 관련된 주제를 설명합니다. 평균 전류와 과도 전류를 모두 소싱할 수 있는 여러 전원 공급 장치 구성을 논의하고, 마지막으로 다양한 전원 차단 방법의 효과를 비교합니다.

## 전원 공급 장치 사양

ADC 데이터시트의 전류 소비는 정상 상태 작동 조건에서 지정된 평균 값입니다. 작동 조건이 매우 다양한 ADC에는 여러 전류 값 사양이 필요합니다. 이러한 조건에는 데이터 속도에 비례하여 확장되는 평균 ADC 공급 전류나 프로그래머블 게인 증폭기(PGA) 또는 전압 레퍼런스(VREF)와 같은 내부 기능을 구현할 때 전류 요구 사항을 높이는 것이 포함될 수 있습니다. 예를 들어, 표 1에서는 통합 PGA 및 VREF를 지원하는 TI의 **ADS1261**, 24비트, 40kSPS, 11채

널 델타 시그마 ADC의 다양한 작동 조건에서 데이터시트 전원 공급 사양을 보여줍니다.

전원 공급 장치						
매개 변수	테스트 조건	최소값	일반	최대값	단위	
I <sub>AVDD</sub> , I <sub>AVSS</sub>	아날로그 공급 전류	PGA 바이패스	2.7	4.5	mA	
		PGA 모드, 게인 = 1~32	3.8	6		
		PGA 모드, 게인 = 64 또는 128	4.3	6.5		
		전력 차단 모드	2	8	µA	
I <sub>AVDD</sub> , I <sub>AVSS</sub>	아날로그 공급 전류(기능별)	전압 레퍼런스	0.2		mA	
		40kSPS 모드	0.5			
		전류 소스		프로그래밍된 대로		
I <sub>BVDD</sub>	디지털 공급 전류	20 SPS	0.4	0.65	mA	
		40kSPS	0.6	0.85		
		전력 차단 모드	30	50	µA	
P <sub>D</sub>	소비전력	PGA 모드	20	32	mW	
		전력 차단 모드	0.1	0.2		

표 1. ADS1261의 데이터시트 전원 공급 장치 사양을 설명합니다.

표 1에서 강조 표시된 PGA 바이패스 섹션은 PGA를 우회한 상태에서 정상 작동 중에 **ADS1261**이 받는 평균 아날로그 전류가 2.7mA(일반) 또는 4.5mA(최대)임을 보여줍니다. 강조 표시된 "기능별" 섹션은 각 기능을 활성화할 때 전류가 얼마나 증가하는지 나타냅니다. 이러한 모든 공급 전류 사양은 전류가 안정화된 후 장치가 끝어온 평균 전류를 측정하는 것이 특징입니다.

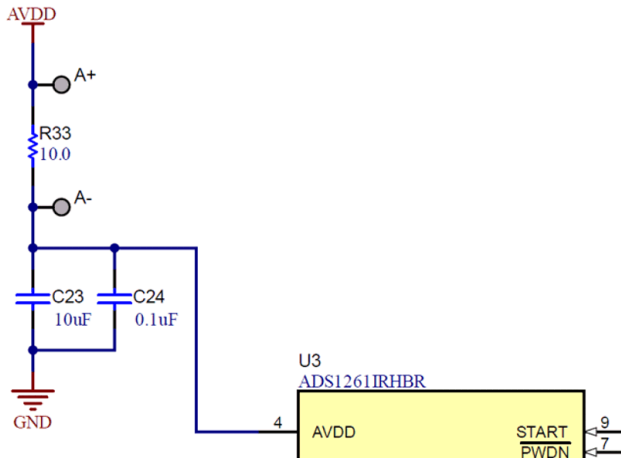
따라서 데이터시트 전원 공급 장치 사양은 정상 작동 중 장치 또는 지원 회로에 필요한 과도 전류 수요를 평균화합니다. 이는 시동 및 스위칭 중에 과도 전류가 데이터시트에 지정된 값보다 훨씬 클 수 있기 때문에 중요합니다. 안정적

인 시스템 설계는 평균 및 과도 전류 수요 모두를 처리할 수 있어야 합니다.

### 과도 전류

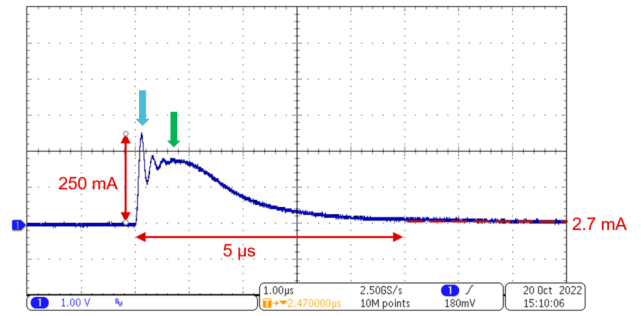
과도 전류의 한 가지 문제는 ADC 작동 조건 및 주변 회로의 결과로 그 크기와 지속 시간이 크게 달라질 수 있다는 점입니다. 따라서 ADC 데이터시트는 과도 전류를 거의 지정하지 않습니다. 그러나 전원 공급 장치 트레이스와 직렬로 배치된 작은 값 저항을 오실로스코프로 조사하여 지정된 시스템 구성에 대한 과도 전류를 측정할 수 있습니다. 그런 다음 옴의 법칙을 사용하여 결과 전류를 확인할 수 있습니다.

**ADS1261**에는 전원 공급 장치 출력과 ADC AVDD 핀 사이에 이러한 저항을 통합하는 평가 모듈(EVM)이 있습니다. **그림 1**에서는 10Ω 측정 저항(R33)이 포함된 EVM 회로도 관련 부분을 보여줍니다. 이 저항 전체의 평균 또는 과도 전압 강하를 측정한 후 10Ω으로 나누면 **ADS1261**로 끌어들여온 평균 또는 과도 전류를 각각 계산합니다. 이 ADC의 과도 전류 동작을 더 잘 이해하기 위해 다양한 조건에서 여러 테스트를 수행했습니다.



**그림 1.** ADS1261 EVM을 사용한 과도 전류 테스트 회로.

첫 번째 과도 전류 테스트는 AVDD에서 접지까지 권장되는 10µF(C23)와 0.1µF(C24) 디커플링 커패시터를 사용한 파워 업 테스트입니다. **그림 2**에서는 이러한 조건에서 **ADS1261** 과도 전류를 보여줍니다.



**그림 2.** 디커플링 커패시터를 설치하여 전원을 켤 때 측정된 과도 전류를 제공합니다.

PGA가 비활성화되는 평균 전류가 2.7mA(일반) 또는 4.5mA(최대)라는 **표 1**의 **ADS1261** 전원 공급 장치 사양을 생각해 보십시오. 그러나 **그림 2**의 파란색 화살표는 **ADS1261**이 처음 전원을 공급했을 때 발생하는 250mA 과도 스파이크를 가리킵니다. 이 과도 전류는 일반 전류의 90 배 이상, 데이터시트에 지정된 최대 전류의 55배 이상입니다. ADC가 상태 변화를 겪었을 때 유사한 전류 스파이크가 발생할 수 있습니다.

**그림 2**의 녹색 화살표는 디커플링 커패시터를 충전하는 데 필요한 두 번째 과도 전류를 나타냅니다. 정상 작동 조건에서 디커플링 커패시터는 추가적인 전류를 제공하여 과도가 발생할 때 추가 전류를 제공합니다. 이 추가 충전은 ADC 작동이 영향을 받지 않도록 정상 공급 전압을 유지하는 데 도움이 됩니다. 그러나 커패시터는 시스템에 전원이 공급될 때 충전되지 않은 상태에서 공급 전압까지 충전되어야 합니다. 전원이 공급되지 않는 커패시터는 시스템에 전원이 공급되는 순간 단락처럼 동작하여 큰 돌입 전류를 발생시킵니다. 디커플링 커패시터의 값이 증가할수록 돌입 전류의 크기는 증가합니다.

ADC에 필요한 과도 전류만 측정하기 위해 두 번째 과도 전류 테스트는 AVDD에서 **그림 1**의 접지로 권장되는 10 및 0.1µF 디커플링 커패시터를 제거했습니다. **그림 3**에서는 이러한 조건에서 **ADS1261** 과도 전류를 보여줍니다.

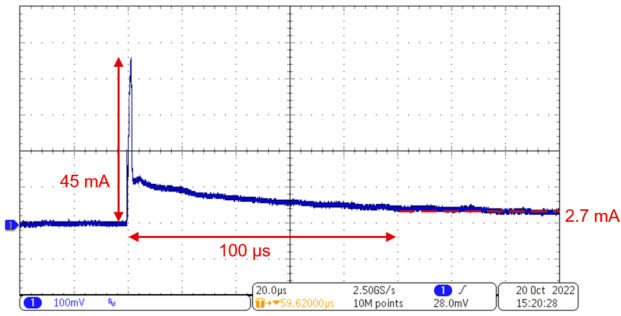


그림 3. 디커플링 커패시터를 제거하여 전원을 켤 때 측정된 과도 전류를 제공합니다.

그림 1의 45mA 과도 스파이크는 스위칭에 의해 ADC에서 요구하는 전원 투입 전류만 나타냅니다. 예상대로 ADC 전용 과도 현상은 디커플링 커패시터를 설치할 때 발생한 250mA 스파이크에 비해 더 작습니다. 그러나 이렇게 감소된 과도 크기는 커패시터가 더 이상 보충 전하를 제공하지 않기 때문에 ADC가 정상 상태 전류에 도달하는 데 상당한 긴 시간이 필요합니다. 또한 이 45mA 과도 현상은 표 1에 나열된 최대 ADC 전류 사양의 10배인 4.5mA입니다.

세 번째 테스트를 수행하여 다른 기능이 과도 전류 스파이크를 일으킬 수 있는지 확인했습니다. ADS1261 VREF를 활성화하는 것은 스파이크를 발생시킨 기능 중 하나입니다. 그림 4에서는 이 과도 전류의 관찰된 동작을 보여줍니다.

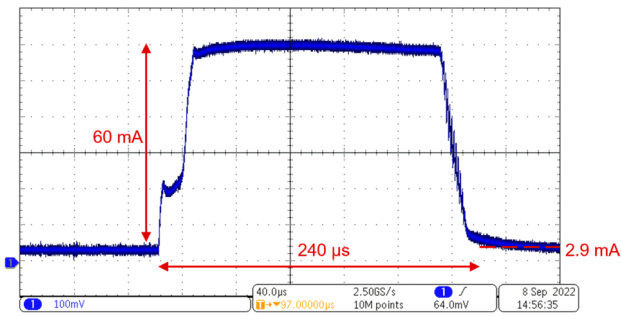


그림 4. ADS1261 VREF를 활성화한 상태로 측정된 과도 전류.

표 1에서 일반적인 ADS1261 VREF 전류는 0.2mA라는 것을 기억하십시오. PGA 비활성화(2.7mA) 및 내부 VREF가 활성화된 상태에서 ADC를 작동하면 총 전류 2.9mA가 생성됩니다. 그러나 그림 4에서 60mA 측정 과도 전류는 예상 값의 20배 이상 됩니다. 이 과도 현상은 VREF 출력 핀과 접지 사이에 위치한 필터링 커패시터를 충전하는 데 필요한 돌입 전류로 인해 발생합니다.

그림 4의 흥미로운 특성 중 하나는 기본적으로 전체 과도 펄스에서 전류 요구량이 60mA로 일정하게 유지된다는 점입니다. 이 동작은 ADS1261 내부 VREF에 설계된 고유한 전류 제한으로 인해 발생합니다. 이는 REFOUT 핀이 접지로 단락될 경우 ADC를 보호하는 데 도움이 됩니다.

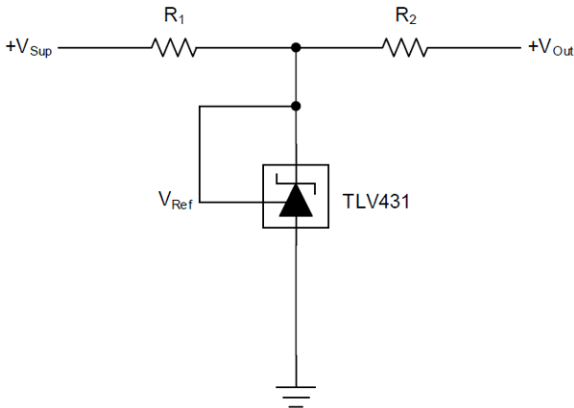
모든 작동 조건을 테스트하지는 않았지만 측정 가능한 과도 전류를 표시하지 않는 몇 가지 추가 기능 테스트를 수행했습니다. 또한 이 동작은 ADS1261에 국한되지 않습니다. 모든 정밀 ADC에서 이 문서에 설명된 과도 전류를 관찰할 수 있습니다.

### 전원 공급 회로 옵션

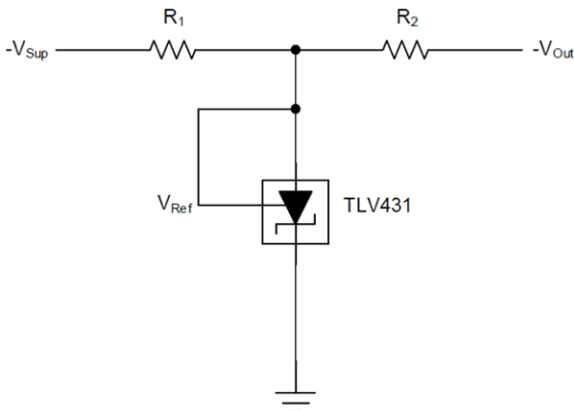
과도 전류는 전압 강하와 같은 문제를 일으킬 수 있으며 이는 ADC 작동을 불안정하게 만들 수 있습니다. 따라서 평균 및 과도 전류 수요를 모두 수용할 수 있는 전원 공급 장치를 설계하는 것이 중요합니다. 세 가지 전원 공급 장치 옵션의 이점 및 과제를 살펴봅니다.

- 저손실 레귤레이터(LDO). TI는 LDO를 사용하여 정밀 ADC에 전원을 공급하는 것을 권장합니다. LDO는 탁월한 잡음 성능, 낮은 전압 리플, 작고 단순한 구현 등 많은 이점을 제공합니다. LDO의 가장 중요한 이점은 과도 상태 중에 출력 전압을 안정적으로 유지하면서 낮은 정동작 전류를 제공할 수 있는 능력입니다. 모든 애플리케이션에 가장 잘 맞는 LDO를 선택하는 방법에 대한 자세한 내용은 아래 [관련 웹사이트](#) 섹션을 참조하십시오.
- 선형 레귤레이터. 표준 손실 전압을 사용하는 선형 레귤레이터는 LDO를 비용이 많이 드는 경우 좋은 옵션이 될 수 있습니다. 선형 레귤레이터는 과도 상태에서 출력 전압을 안정적으로 유지하면서 LDO와 유사한 낮은 정동작 전류를 제공할 수 있습니다. 선형 레귤레이터의 문제는 손실 전압이 훨씬 더 커지기 때문에 이러한 장치에 전원을 공급하기 위해 특정 전압 레일이 필요할 수 있다는 것입니다. 선형 레귤레이터는 또한 효율성이 떨어지고 더 많은 열을 방출해야 하기 때문에 더 큰 패키지로 제공되는 경향이 있습니다. 추가 열은 폐쇄형 시스템의 온도를 높여 정밀 시스템의 드리프트 오류를 유발할 수 있습니다.
- 셉트 레귤레이터. 가장 비용 효율적인 전원 공급 장치 옵션 중 하나는 셉트 레귤레이터입니다. 이러한 비용 절

감은 신뢰할 수 있는 전원 공급 회로를 설계하는 데 필요한 추가 복잡성을 부담하게 됩니다. 예를 들어, 양극 공급 작동이 필요한 정밀 ADC는 저전압, 조정 가능 셉트 레귤레이터인 **TLV431**을 사용하여  $\pm 2.5V$  레일을 생성할 수 있습니다. **TLV431**은 VREF가 낮기 때문에 이 용도로 사용할 수 있습니다. 하지만 이 레귤레이터의 한 가지 과제는 제한된 양의 전류만 공급할 수 있다는 것입니다. **TLV431** 데이터시트에도  $\geq 1mA$ 의 음극 전류가 필요합니다. 이러한 두 가지 제한은 **그림 5** 및 **그림 6**에 나와 있는 표준 설정의 출력 전류 기능을 제한합니다.



**그림 5.** 양극 출력을 지원하는 전류 제한 셉트 레귤레이터 회로.

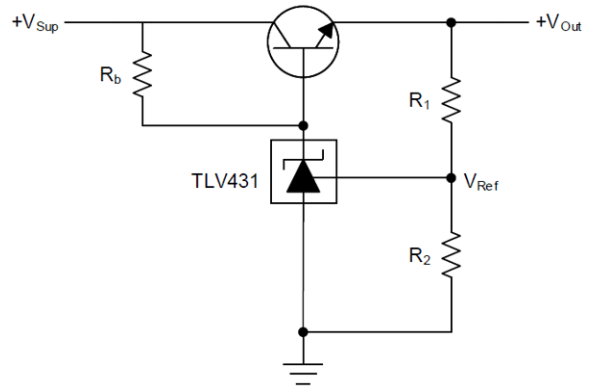


**그림 6.** 음극 출력을 지원하는 전류 제한 셉트 레귤레이터 회로.

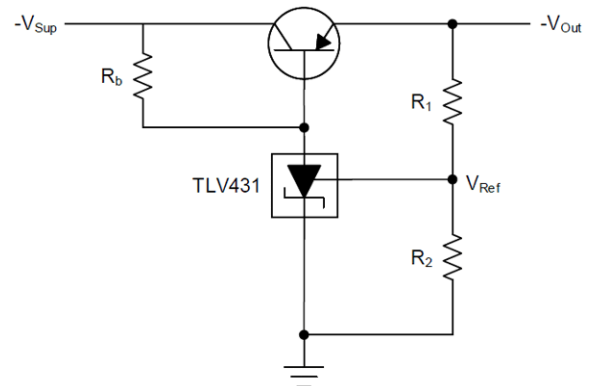
**그림 5** 및 **그림 6**에서는 음극 전류와 ADC에 공급되는 전류가 저항 R1을 통해 흐르게 된다는 것을 보여줍니다. 이 구성은 공급 전류를  $(V_{SUP} - V_{REF})/R1$ 로 제한하므로 두 가지 설계 문제가 발생합니다. 첫째, R1을 통해 지속적으로 흐르는 전류는 적용된 부하가 없더라도 전력을 소비합니다. 사용 가능한 공급 전류를 높이기 위해 R1을 줄이려고 시도하면 정적 전력 손실도 비례적으로 증가합니다. 둘

째, R1에서 설정하는 최대 전류는 일반적으로 ADC에 필요한 수백 밀리암페어의 과도 전류를 지원할 수 없습니다. 필요한 전류를 제공하지 못하면 공급 전압이 저하되고 ADC 작동이 불안정해질 수 있습니다.

**그림 5** 및 **그림 6**의 회로에 두 구성품을 추가하여 이러한 문제를 완화합니다. **그림 7** 및 **그림 8**에서는 트랜지스터와 바이어스 저항 Rb가 포함된 수정 셉트 레귤레이터 회로를 보여줍니다.



**그림 7.** 양극 출력을 지원하는 향상된 셉트 레귤레이터 회로.



**그림 8.** 음극 출력을 지원하는 향상된 셉트 레귤레이터 회로.

**그림 7** 및 **그림 8**의 전원 공급 회로는 트랜지스터가 공급 입력(VSUP)과 출력(VOUT) 사이의 저항을 없애기 때문에 **그림 5** 및 **그림 6**의 시스템에 비해 더 많은 전류를 제공할 수 있습니다. 이 새로운 회로는 R1에 의존하는 대신 Rb를 설치하여  $\geq 1mA$ 의 음극 전류를 유지할 수도 있습니다. 따라서 저항 R1 및 R2는 **방정식 1**에 따라 출력 전압을 설정하는데만 필요합니다.

$$V_{out} = \left(1 + \frac{R_1}{R_2}\right) \times V_{ref} \quad (1)$$

선트 레귤레이터로 전압 레퍼런스를 사용하는 방법에 대한 자세한 내용은 아래 [관련 웹사이트](#) 섹션을 참조하십시오.

## 저전력 시스템: 전원을 차단하시겠습니까? 아니면 전원을 끄시겠습니까?

저전력 DAQ 시스템은 종종 다른 전원 차단 방법을 사용하여 에너지를 절약합니다. 일부 ADC는 사용하지 않을 때 장치를 저전력 상태로 전환하여 시스템 전력 소비를 줄이는 전원 차단 모드를 제공합니다. 그러면 ADC 데이터시트는 이 모드의 전류 소비를 지정합니다. 또 다른 인기 있는 절전 기법은 ADC를 사용하지 않을 때 전원 공급 장치를 끄고 필요할 때 전원 공급 장치를 다시 켜는 것입니다. 이 방법을 사용하면 시스템이 꺼져 있는 동안 전력 소비량이 발생하지 않습니다.

하지만 후자 방법은 이 문서에서 설명하는 과도 전류의 적용을 받습니다. 모든 커패시터는 공급 사이클이 있을 때마다 충전되어야 하기 때문입니다. 충전(Q) 및 전류(I)에 대한 표준 방정식을 사용하여 전원이 꺼질 때 시스템이 소비하는 전류의 양을 예측하고, 전력 차단 모드에서 이 값을 ADC 데이터시트 값과 비교할 수 있습니다.

예를 들어 [ADS1261](#) 데이터시트에서는 AVDD에서 AVSS로 병렬로 10 및 0.1μF 디커플링 커패시터를 권장합니다. 또한 데이터시트는 AVDD가 5V여야 한다고 명시되어 있고, [방정식 2](#) 및 [방정식 3](#)는 전원 공급 장치가 초당 한 번씩 사이클 작동할 경우 평균 전류는 50.5μA로 계산됩니다.

$$Q = C \times V = 10.1 \mu\text{F} \times 5 \text{V} = 50.5 \mu\text{C} \quad (2)$$

$$I = \frac{Q}{t} = \frac{50.5 \mu\text{C}}{1\text{s}} = 50.5 \mu\text{A} \quad (3)$$

여기서,  $C = 10.1\mu\text{F}(10\mu\text{F} + 0.1\mu\text{F})$ ,  $V = 5\text{V}$  및  $t = 1\text{s}$ .

**표 1**의 녹색으로 강조 표시된 부분을 보면 전원 차단 모드에서 [ADS1261](#)의 전원 차단 전류가 8μA(최대)에 불과하다는 것을 알 수 있습니다. 두 옵션을 비교해 보면 ADC 전원 차단 모드를 사용하면 전원 공급 장치를 끌 때 상대적으로 6배 이상의 전력을 절약합니다. 따라서 과도 전류가 전체

소비 전력에 미칠 수 있는 영향을 고려하는 것이 중요합니다. ADC를 전원 차단 상태로 전환하도록 선택하는 것이 에너지 효율적인 솔루션인 경우가 많습니다.

## 관련 웹사이트

- 다음 e-북 다운로드:
  - 텍사스 인스트루먼트: [LDO 기본 사항](#)
  - 텍사스 인스트루먼트: [전압 레퍼런스 설계를 위한 팁 및 요령](#)
- 다음 TI E2E™ 설계 지원 포럼 기술 문서를 확인해보세요.
  - [LDO 또는 스위칭 레귤레이터를 선택하는 방법](#)
  - [전압 레퍼런스를 전압 레귤레이터로 사용하는 방법](#)
- 텍사스 인스트루먼트: [TL431, TL432 데이터시트의 안정성 경계 조건 차트 이해](#)
- [LDO 매개 변수 검색](#)을 사용하여 새로운 정밀 ADC 설계를 위한 LDO를 찾아보세요.

**중요 알림:** 이 문서에 기술된 텍사스 인스트루먼트의 제품과 서비스는 TI의 판매 표준 약관에 의거하여 판매됩니다. TI 제품과 서비스에 대한 최신 정보를 완전히 숙지하신 후 제품을 주문해 주시기 바랍니다. TI는 애플리케이션 지원, 고객의 애플리케이션 또는 제품 설계, 소프트웨어 성능 또는 특허권 침해에 대해 책임을 지지 않습니다. 다른 모든 회사의 제품 또는 서비스에 관한 정보 공개는 TI가 승인, 보증 또는 동의한 것으로 간주되지 않습니다.

모든 상표는 해당 소유권자의 자산입니다.

## IMPORTANT NOTICE AND DISCLAIMER

TI PROVIDES TECHNICAL AND RELIABILITY DATA (INCLUDING DATA SHEETS), DESIGN RESOURCES (INCLUDING REFERENCE DESIGNS), APPLICATION OR OTHER DESIGN ADVICE, WEB TOOLS, SAFETY INFORMATION, AND OTHER RESOURCES "AS IS" AND WITH ALL FAULTS, AND DISCLAIMS ALL WARRANTIES, EXPRESS AND IMPLIED, INCLUDING WITHOUT LIMITATION ANY IMPLIED WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE OR NON-INFRINGEMENT OF THIRD PARTY INTELLECTUAL PROPERTY RIGHTS.

These resources are intended for skilled developers designing with TI products. You are solely responsible for (1) selecting the appropriate TI products for your application, (2) designing, validating and testing your application, and (3) ensuring your application meets applicable standards, and any other safety, security, regulatory or other requirements.

These resources are subject to change without notice. TI grants you permission to use these resources only for development of an application that uses the TI products described in the resource. Other reproduction and display of these resources is prohibited. No license is granted to any other TI intellectual property right or to any third party intellectual property right. TI disclaims responsibility for, and you will fully indemnify TI and its representatives against, any claims, damages, costs, losses, and liabilities arising out of your use of these resources.

TI's products are provided subject to [TI's Terms of Sale](#) or other applicable terms available either on [ti.com](https://www.ti.com) or provided in conjunction with such TI products. TI's provision of these resources does not expand or otherwise alter TI's applicable warranties or warranty disclaimers for TI products.

TI objects to and rejects any additional or different terms you may have proposed.

Mailing Address: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2023, Texas Instruments Incorporated