
TMS320C6000 DSP PCI

リファレンス・ガイド

TMS320C6000 DSP PCI リファレンス・ガイド

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本 TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本 TI による和文資料は、あくまでも TI 正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。

TI および日本 TI は、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといいます)及びTexas Instruments Incorporated(TIJの親会社、以下TIJおよびTexas Instruments Incorporatedを総称してTIといいます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIの標準契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認するということの意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、且つその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、且つ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

なお、日本テキサス・インスツルメンツ株式会社半導体集積回路製品販売用標準契約約款をご覧ください。

<http://www.tij.co.jp/jsc/docs/stdterms.htm>

Copyright © 2005, Texas Instruments Incorporated

日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0~40℃、相対湿度：40~85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - んだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)
 6. 汚染
 - んだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。
 - んだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上

最初にお読みください

このマニュアルについて

本書では、TMS320C6000™ DSP ファミリーのデジタル・シグナル・プロセッサ (DSP) に組み込まれている PCI (Peripheral Component Interconnect) ポートについて説明します。また、PCI インターフェイスの詳細は、PCI 規格リビジョン 2.2 を参照してください。『TMS320C6000 DSP Peripheral Component Interconnect (PCI) Reference Guide』(文献番号 SPRU581B) を翻訳しています。

表記規則

本書では、次の表記規則を使用しています。

- 16 進数は末尾に **h** を付けて表されています。たとえば、16 進数の 40 (10 進数 64) は、**40h** と表されています。
- 本書では、レジスタは図で表され、表形式で説明されます。
 - レジスタの図は、複数のフィールドで構成される長方形で示されます。各フィールドには、ビット名が付けられています。フィールドの始まりと終わりを示すビットがその上に、またリード/ライト属性がその下に書かれています。凡例は、その属性を表すために使用される表記を示しています。
 - レジスタの図に示されている予約ビットは、将来的なデバイスの拡張を考慮しているビットを表しています。この予約ビットをリードすると、常にデフォルト値が戻されます。この予約ビットにライトすると、無視されます。このフィールドにライトすると、常にデフォルト値がライトされます。これは将来的なデバイスの互換性を確保するためです。

31		1	0
reserved [†]		bit	
R-0		R/W-0	

凡例: R = リード専用; R/W = リード/ライト; -n = リセット後の値

[†] このフィールドにライトすると、常にデフォルト値がライトされます。これは将来的なデバイスの互換性を確保するためです。

Texas Instruments 社からの関連文献

C6000™ デバイスおよびそのサポート・ツールを解説した関連文献は、次のとおりです。関連文献は、www.ti.com から入手可能です。www.ti.com にアクセスして、検索ボックスに文献番号を入力してください。

TMS320C6000 CPU and Instruction Set Reference Guide (文献番号 SPRU189) は、TMS320C6000™ デジタル・シグナル・プロセッサの CPU アーキテクチャ、命令セット、パイプライン、および割り込みについて説明します。

TMS320C6000 DSP Peripherals Overview Reference Guide (文献番号 SPRU190) は、TMS320C6000™ DSP で使用可能なペリフェラルについて説明します。

TMS320C6000 Technical Brief (文献番号 SPRU197) は、TMS320C62x™ と TMS320C67x™ DSP、開発ツールおよびサードパーティのサポートの概要について説明します。

TMS320C64x Technical Overview (文献番号 SPRU395) は、TMS320C64x™ DSP の概要について説明します。また、TMS320C64x VelociTI™ により強化されるアプリケーション分野についても説明します。

TMS320C6000 Programmer's Guide (文献番号 SPRU198) は、TMS320C6000™ DSP 用に C およびアセンブラ・コードを最適化する方法について説明し、また、アプリケーション・プログラム例を示します。

TMS320C6000 Code Composer Studio Tutorial (文献番号 SPRU301) は、Code Composer Studio™ 統合開発環境とソフトウェア・ツールの概要について説明します。

Code Composer Studio Application Programming Interface Reference Guide (文献番号 SPRU321) は、Code Composer Studio™ アプリケーション・プログラミング・インターフェイス (API) について説明します。この API を使用して、Code Composer のカスタム・プラグインを開発することができます。

TMS320C6x Peripheral Support Library Programmer's Reference (文献番号 SPRU273) は、TMS320C6000™ のペリフェラル・サポート・ライブラリの関数とマクロの内容について説明します。ヘッダ・ファイル毎に、またアルファベット順に、関数とマクロがリストされています。それぞれを詳しく説明するとともに、その使用方法を示すコード例を記述しています。

TMS320C6000 Chip Support Library API Reference Guide (文献番号 SPRU401) は、オンチップ・ペリフェラルの設定と制御のために使用するアプリケーション・プログラミング・インターフェイス (API) のセットについて説明します。

商標

Code Composer Studio、C6000、C62x、C64x、C67x、TMS320C6000、TMS320C62x、TMS320C64x、TMS320C67x、および VelociTI は、Texas Instruments の商標です。

目次

1	概要	13
2	PCI アーキテクチャ	17
3	メモリ・マップ	20
4	バイト・アドレッシング	21
5	PCI アドレス・デコード	21
6	PCI メモリ・サービスに関する特別な考慮事項	22
6.1	プリフェッチ可能リード (C62x DSP のみ)	22
6.2	PCI とプログラム・メモリ間の転送 (C62x DSP のみ)	23
6.3	PCI EDMA 利用の制御 (C64x DSP のみ)	24
7	スレーブ転送	25
7.1	DSP スレーブ・ライト	25
7.2	DSP スレーブ・リード	25
7.2.1	プリフェッチ不可能スレーブ・リード (BAR 1)	26
7.2.2	プリフェッチ可能スレーブ・リード (BAR 0)	26
7.2.3	プリフェッチ可能スレーブ・リード・マルチプルとプリフェッチ可能スレーブ・ リード・ライン (BAR 0)	26
7.3	PCI ターゲット・イニシエーテッド・ターミネーション	27
8	マスター転送	27
8.1	DSP マスター・ライト	28
8.2	DSP マスター・リード	29
8.2.1	マスター・リード完了	31
8.3	システム・ホストとしての DSP	31
8.3.1	IDSEL の生成	31
9	リセット	33
9.1	DSP の PCI リセット	33
9.2	FIFO リセット	33
9.3	PCI コンフィギュレーション・レジスタのリセット	33
9.4	DSP リセット時の PCI の動作	33
10	割り込みとステータス・レポート	34
10.1	DSP へのホスト割り込み	34
10.2	ホストへの DSP 割り込み	34
11	PCI ポートのブート・コンフィギュレーション	35

12	EEPROM インターフェイス	36
12.1	EEPROM からの PCI の自動初期化	37
12.2	EEPROM メモリ・マップ.....	38
12.3	EEPROM チェックサム.....	39
12.4	DSP EEPROM インターフェイス	39
13	エラー処理	41
13.1	PCI パリティ・エラー処理.....	41
13.2	PCI システム・エラー処理.....	42
13.3	PCI マスター・アボート・プロトコル	42
13.4	PCI ターゲット・アボート・プロトコル	42
14	パワー・マネージメント (C62x DSP のみ)	43
14.1	PCI パワー・マネージメント.....	43
14.2	DSP パワー・マネージメント方法.....	46
14.3	DSP リセット	47
14.4	パワー・マネージメントの DSP サポート	48
14.4.1	パワー・マネージメント・コントロール/ステータス・レジスタ (PMCSR) の ビット.....	48
14.4.2	3.3 Vaux 存在検出ステータス・ビット (AUXDETECT)	49
14.4.3	PCI ポートの PWR_WKP への応答および PME 生成	49
14.4.4	PWRSTATE の変更を示す DSP 割り込み	50
15	PCI レジスタ	50
15.1	コンフィギュレーション・レジスタ	50
15.1.1	ベンダー識別レジスタ	53
15.1.2	デバイス識別レジスタ	53
15.1.3	PCI コマンド・レジスタ	54
15.1.4	PCI ステータス・レジスタ	55
15.1.5	リビジョン識別レジスタ.....	56
15.1.6	クラス・コード・レジスタ	56
15.1.7	キャッシュ・ライン・サイズ・レジスタ	57
15.1.8	レイテンシ・タイマ・レジスタ	57
15.1.9	ヘッダ・タイプ・レジスタ	58
15.1.10	ベース 0 アドレス・レジスタ	58
15.1.11	ベース 1 アドレス・レジスタ	59
15.1.12	ベース 2 アドレス・レジスタ	59
15.1.13	サブシステム識別レジスタ	60
15.1.14	サブシステム・ベンダー識別レジスタ	60
15.1.15	機能ポインタ・レジスタ.....	61
15.1.16	インタラプト・ライン・レジスタ	61
15.1.17	Min_Grant レジスタ.....	62
15.1.18	Max_Latency レジスタ	62
15.1.19	機能識別レジスタ	63
15.1.20	次項目ポインタ・レジスタ	63
15.1.21	パワー・マネージメント機能レジスタ (PMC).....	64
15.1.22	パワー・マネージメント・コントロール/ステータス・レジスタ (PMCSR) ..	65
15.1.23	パワー・データ・レジスタ (PWRDATA)	68

15.2	I/O レジスタ	69
15.2.1	ホスト・ステータス・レジスタ (HSR)	70
15.2.2	Host-to-DSP コントロール・レジスタ (HDCR).....	72
15.2.3	DSP ページ・レジスタ (DSPP)	73
15.3	メモリ・マップド・レジスタ	74
15.3.1	DSP リセット・ソース/ステータス・レジスタ (RSTSRC).....	75
15.3.2	パワー・マネージメント DSP コントロール/ステータス・レジスタ (PMDCSR) (C62x DSP のみ)	77
15.3.3	PCI インタラプト・ソース・レジスタ (PCIIS)	81
15.3.4	PCI インタラプト・イネーブル・レジスタ (PCIEN).....	84
15.3.5	DSP マスター・アドレス・レジスタ (DSPMA).....	87
15.3.6	PCI マスター・アドレス・レジスタ (PCIMA).....	88
15.3.7	PCI マスター・コントロール・レジスタ (PCIMC)	89
15.3.8	カレント DSP アドレス・レジスタ (CDSPA)	91
15.3.9	カレント PCI アドレス・レジスタ (CPCIA)	91
15.3.10	カレント・バイト・カウンタ・レジスタ (CCNT).....	92
15.3.11	EEPROM アドレス・レジスタ (EEADD).....	93
15.3.12	EEPROM データ・レジスタ (EEDAT).....	94
15.3.13	EEPROM コントロール・レジスタ (EECTL)	95
15.3.14	PCI トランスファー・ホルト・レジスタ (HALT) (C62x DSP のみ)	97
15.3.15	PCI トランスファー・リクエスト・コントロール・レジスタ (TRCTL) (C64x DSP のみ)	98



図 1	TMS320C62x DSP ブロック図	15
図 2	TMS320C64x DSP ブロック図	16
図 3	PCI ポート・ブロック図	19
図 4	PCI ベース 0 スレーブ・アドレス生成 (プリフェッチ可能)	20
図 5	PCI ベース 1 スレーブ・アドレス生成 (プリフェッチ不可能)	20
図 6	PCI ポートのパワー・マネージメント状態遷移図	45
図 7	ベンダー識別レジスタ	53
図 8	デバイス識別レジスタ	53
図 9	PCI コマンド・レジスタ	54
図 10	PCI ステータス・レジスタ	55
図 11	リビジョン識別レジスタ	56
図 12	クラス・コード・レジスタ	56
図 13	キャッシュ・ライン・サイズ・レジスタ	57
図 14	レイテンシ・タイマ・レジスタ	57
図 15	ヘッダ・タイプ・レジスタ	58
図 16	ベース 0 アドレス・レジスタ	58
図 17	ベース 1 アドレス・レジスタ	59
図 18	ベース 2 アドレス・レジスタ	59
図 19	サブシステム識別レジスタ	60
図 20	サブシステム・ベンダー識別レジスタ	60
図 21	機能ポインタ・レジスタ	61
図 22	インタラプト・ライン・レジスタ	61
図 23	Min_Grant レジスタ	62
図 24	Max_Latency レジスタ	62
図 25	機能識別レジスタ	63
図 26	次項目ポインタ・レジスタ	63
図 27	パワー・マネージメント機能レジスタ (PMC)	64
図 28	パワー・マネージメント・コントロール/ステータス・レジスタ (PMCSR)	65
図 29	パワー・データ・レジスタ (PWRDATA)	68
図 30	ホスト・ステータス・レジスタ (HSR)	70
図 31	Host-to-DSP コントロール・レジスタ (HDCR)	72
図 32	DSP ページ・レジスタ (DSPP)	73
図 33	DSP リセット・ソース/ステータス・レジスタ (RSTSRC)	75
図 34	パワー・マネージメント DSP コントロール/ステータス・レジスタ (PMDCSR)	77
図 35	PCI インタラプト・ソース・レジスタ (PCIIS)	81

図 36	PCI インタラプト・イネーブル・レジスタ (PCIEN)	84
図 37	DSP マスター・アドレス・レジスタ (DSPMA)	87
図 38	PCI マスター・アドレス・レジスタ (PCIMA)	88
図 39	PCI マスター・コントロール・レジスタ (PCIMC)	89
図 40	カレント DSP アドレス (CDSPA)	91
図 41	カレント PCI アドレス・レジスタ (CPCIA)	91
図 42	カレント・バイト・カウント・レジスタ (CCNT)	92
図 43	EEPROM アドレス・レジスタ (EEADD)	93
図 44	EEPROM データ・レジスタ (EEDAT)	94
図 45	EEPROM コントロール・レジスタ (EECTL)	95
図 46	PCI トランスファー・ホルト・レジスタ (HALT)	97
図 47	PCI トランスファー・リクエスト・コントロール・レジスタ (TRCTL)	98

表

表 1	C62x PCI と C64x PCI の違い	16
表 2	EEPROM シリアル・インターフェイス・ピン	36
表 3	TMS320C62x DSP でサポートする EEPROM のサイズ	36
表 4	EEPROM 自動初期化 (EEAI)	37
表 5	EEPROM メモリ・マップ	38
表 6	EEPROM コマンドの概要	40
表 7	PCI コンフィギュレーション・レジスタ	52
表 8	ベンダー識別レジスタ・フィールドの説明	53
表 9	デバイス識別レジスタ・フィールドの説明	53
表 10	PCI コマンド・レジスタ・フィールドの説明	54
表 11	PCI ステータス・レジスタ・フィールドの説明	55
表 12	リビジョン識別レジスタ・フィールドの説明	56
表 13	クラス・コード・レジスタ・フィールドの説明	56
表 14	キャッシュ・ライン・サイズ・レジスタ・フィールドの説明	57
表 15	レイテンシ・タイマ・レジスタ・フィールドの説明	57
表 16	ヘッダ・タイプ・レジスタ・フィールドの説明	58
表 17	ベース 0 アドレス・レジスタ・フィールドの説明	58
表 18	ベース 1 アドレス・レジスタ・フィールドの説明	59
表 19	ベース 2 アドレス・レジスタ・フィールドの説明	60
表 20	サブシステム識別レジスタ・フィールドの説明	60
表 21	サブシステム・ベンダー識別レジスタ・フィールドの説明	60
表 22	機能ポインタ・レジスタ・フィールドの説明	61
表 23	インタラプト・ライン・レジスタ・フィールドの説明	61
表 24	Min_Grant レジスタ・フィールドの説明	62
表 25	Max_Latency レジスタ・フィールドの説明	62
表 26	機能識別レジスタ・フィールドの説明	63
表 27	次項目ポインタ・レジスタ・フィールドの説明	63
表 28	パワー・マネージメント機能レジスタ (PMC) フィールドの説明	64
表 29	パワー・マネージメント・コントロール/ステータス・レジスタ (PMCSR) フィールドの説明	65
表 30	パワー・データ・レジスタ (PWRDATA) フィールドの説明	68
表 31	PCI I/O レジスタ	69
表 32	I/O 空間 (ベース 2 メモリ) 経由でアクセスされる PCI I/O レジスタ	69
表 33	ホスト・ステータス・レジスタ (HSR) フィールドの説明	70
表 34	Host-to-DSP コントロール・レジスタ (HDCR) フィールドの説明	72
表 35	DSP ページ・レジスタ (DSPP) フィールドの説明	73

表 36	PCI メモリ・マップド・レジスタ	74
表 37	DSP リセット・ソース/ステータス・レジスタ (RSTSRC) フィールドの説明	75
表 38	パワー・マネージメント DSP コントロール/ステータス・レジスタ (PMDCSR) フィールドの説明	78
表 39	PCI インタラプト・ソース・レジスタ (PCIIS) フィールドの説明	81
表 40	PCI インタラプト・イネーブル・レジスタ (PCIEN) フィールドの説明	84
表 41	DSP マスター・アドレス・レジスタ (DSPMA) フィールドの説明	87
表 42	PCI マスター・アドレス・レジスタ (PCIMA) フィールドの説明	88
表 43	PCI マスター・コントロール・レジスタ (PCIMC) フィールドの説明	90
表 44	カレント DSP アドレス (CDSPA) フィールドの説明	91
表 45	カレント PCI アドレス・レジスタ (CPCIA) フィールドの説明	91
表 46	カレント・バイト・カウンタ・レジスタ (CCNT) フィールドの説明	92
表 47	EEPROM アドレス・レジスタ (EEADD) フィールドの説明	93
表 48	EEPROM データ・レジスタ (EEDAT) フィールドの説明	94
表 49	EEPROM コントロール・レジスタ (EECTL) フィールドの説明	95
表 50	PCI トランスファー・ホルト・レジスタ (HALT) フィールドの説明	97
表 51	PCI トランスファー・リクエスト・コントロール・レジスタ (TRCTL) フィールドの 説明	98

表

PCI (Peripheral Component Interconnect)

本書では、TMS320C6000™ DSP ファミリーのデジタル・シグナル・プロセッサ (DSP) に組み込まれている PCI (Peripheral Component Interconnect) ポートについて説明します。また、PCI インターフェイスの詳細は、PCI 規格リビジョン 2.2 を参照してください。

1 概要

PCI ポートがサポートしている PCI の機能は次のとおりです。

- PCI 規格リビジョン 2.2 に準拠
- パワー・マネージメント・インターフェイス規格リビジョン 1.1 (C6205 DSP のみ) に準拠
- PC99 要件に準拠
- PCI マスター/スレーブ・インターフェイス
- 32 ビット・アドレス/データ・バス
- 単一機能デバイス
- 中速アドレス・デコード
- PCI は、オンチップ上の RAM、ペリフェラル、外部メモリ・インターフェイス (EMIF) を介して外部メモリにアクセスできます。
- メモリ・リード、メモリ・リード・マルチプル、メモリ・リード・ライン、メモリ・ライトの各コマンド、I/O リード、I/O ライト、CFG リード、CFG ライトをサポートします。
- 無制限スレーブ・アクセス・バースト長
- 最大 64K バイトまでのマスター転送
- I/O リード/ライト用のシングル・ワード転送
- コンフィギュレーション・レジスタ・アクセス用のシングル・ワード転送
- PCI リセット時に外部シリアル EEPROM から初期化される多数のコンフィギュレーション・レジスタ (サブシステム ID、サブシステム・ベンダー ID など)
- 4 線式シリアル EEPROM インターフェイスのサポート
- PCI リセット時に、DSP を介在することなく、PCI ポートにより直接使用される EEPROM インターフェイス。PCI リセット後の、DSP ソフトウェアによる EEPROM 制御。
- DSP のプログラム制御下で、PCI 割り込みリクエスト
- PCI I/O サイクル経由の DSP 割り込み

- ❑ ソフトウェアによる DSP パワー・コントロール (C6205 DSP のみ)
- ❑ ソフトウェアによるペリフェラルパワー・コントロール (C6205 DSP のみ)
- ❑ D0、D1、D2、D3_{hot} からソフトウェア制御による PME のアサーション (C6205 DSP のみ)
- ❑ D3_{cold} からパワー・ウェークアップ・アクティブのハードウェア制御による PME のアサーション。D0、D1、D2、D3_{hot} からのオプションのハードウェア制御による PME のアサーション (C6205 DSP のみ)
- ❑ D0、D1、D2、D3_{hot}、および D3_{cold} パワー・マネージメント・モードのサポート (C6205 DSP のみ)。
- ❑ 3.3V_{aux} により電力を供給されるロジックによる PCI パワー・マネージメント・コントロールステータス・レジスタ“スティッキー”ビットを実装 (C6205 DSP のみ)
- ❑ 4 つの FIFO を利用した効率的なデータ転送 (マスター・ライト、マスター・リード、スレーブ・ライト、スレーブ・リード)
- ❑ マスターとスレーブは独立した動作
- ❑ マスターとスレーブのライトは独立した動作
- ❑ 3 つの PCI ベース・アドレス・レジスタ (プリフェッチ可能メモリ、プリフェッチ不可能メモリ、I/O)
- ❑ プリフェッチ可能メモリに対するメモリ・リード・ライン時およびメモリ・リード・マルチプル時にリトライで接続解除
- ❑ PCI マスターまたはスレーブ・トランザクション時に DSP により挿入されるウェイト・ステートはない

PCI ポートがサポートしない機能は、次のとおりです。

- ❑ PCI スペシャル・サイクル
- ❑ PCI インタラプト・アクノリッジ・サイクル
- ❑ PCI ロック
- ❑ PCI メモリ・キャッシング
- ❑ 64 ビット・バス動作
- ❑ マスター・アドレス/データ・ステップング
- ❑ マスター結合 (ライト・ポスティング用)
- ❑ コラプシング
- ❑ マージング
- ❑ キャッシュ・ライン・ラップ・アクセス
- ❑ リザーブド・アクセス
- ❑ メッセージ送出割り込み
- ❑ バイタル製品データ
- ❑ Compact PCI ホット・スワップ

PCI ポートは、内蔵 PCI マスター/スレーブ・バス・インターフェイス経由での DSP と PCI ホストの接続をサポートします。C62x デバイスの場合、PCI ポートは DMA コントローラの補助チャンネル経由で、DSP にインターフェイスします (図 1 を参照)。C64x デバイスの場合、PCI ポートはエンハンスト DMA (EDMA) コントローラ経由で、DSP にインターフェイスします (図 2 を参照)。このアーキテクチャは、他のアプリケーションで使用可能な DMA/EDMA チャンネル・リソースを保持したまま PCI マスター・トランザクションとスレーブ・トランザクションの両方をサポートします。

C62x PCI ポートは、DSP メモリ内のソース/デスティネーション・アドレスを補助 DMA に提供します。DMA は、適切なインターフェイス (データ・メモリ、プログラム・メモリ、レジスタ I/O、または外部メモリ) を選択してアドレス・デコードを行います。DMA コントローラの補助チャンネルは、PCI インターフェイス上で最大のスループットを達成するには、最上位のプライオリティに設定しておく必要があります。

また、C64x PCI ポートは、EDMA 内部アドレス生成ハードウェアを使用して、アドレス・デコードを行います。

C62x と C64x の PCI ポートの違いを表 1 に示します。

図 1. TMS320C62x DSP ブロック図

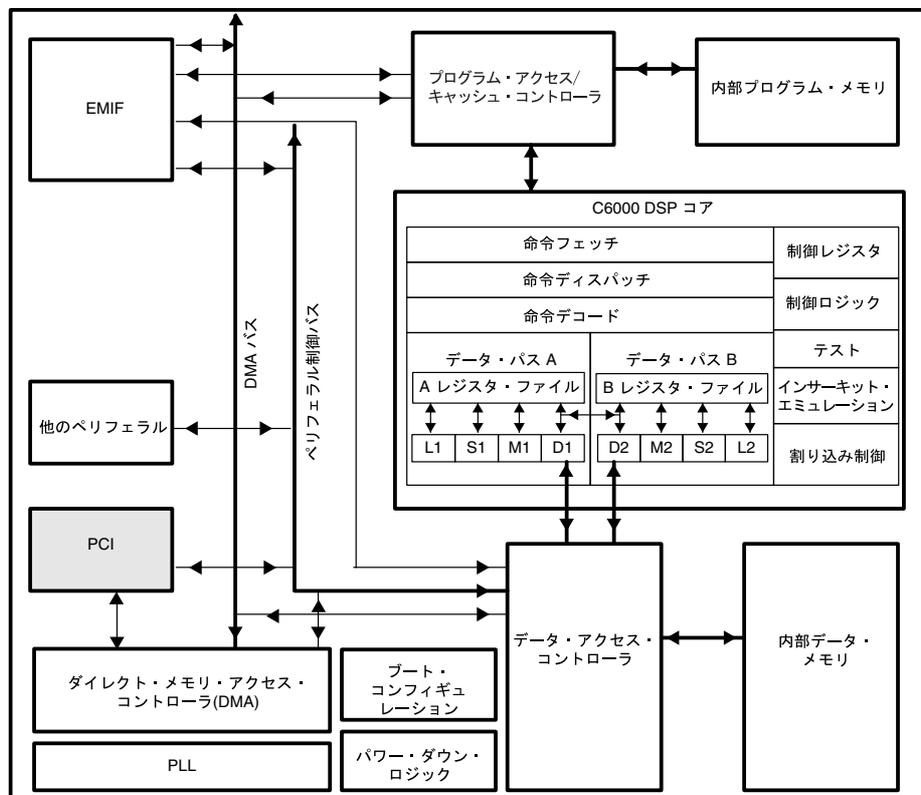


図 2. TMS320C64x DSP ブロック図

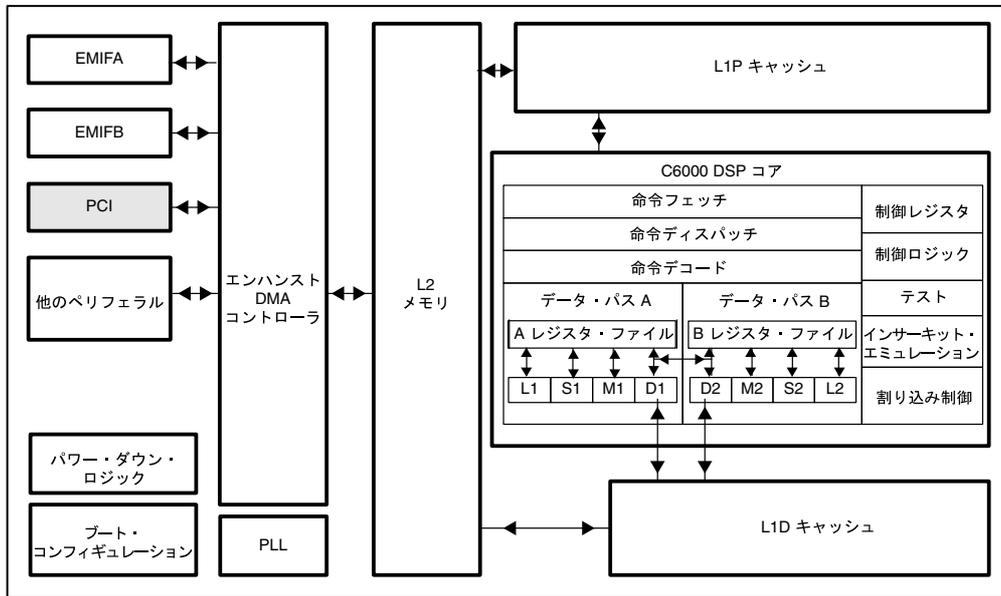


表 1. C62x PCI と C64x PCI の違い

機能	C62x PCI	C64x PCI
内部転送	補助 DMA	EDMA 内部アドレス生成ハードウェア
PMDCSR レジスタ	サポート	なし
HALT レジスタ	サポート	なし
TRCTL レジスタ	なし	サポート
対応している EEPROM のサイズ・ビット	1K、2K、4K、16K	4K
パワー・マネージメント機能の対応	あり	なし
FIFO 深さ	8 ワード	16 ワード

† P = CPU クロック周期

2 PCI アーキテクチャ

PCI ポートがサポートしている PCI データ・トランザクションは次の 4 タイプです。

- スレーブ・ライト：外部 PCI マスターが DSP スレーブへライト
- スレーブ・リード：外部 PCI マスターが DSP スレーブからリード
- マスター・ライト：DSP マスターが外部スレーブにライト
- マスター・リード：DSP マスターが外部スレーブからリード

PCI ポートのブロック図は、次の主要なブロックから構成されます（図 3（19 ページ）を参照）。

□ PCI バス・インターフェイス・ユニット (PBIN)

PCI バス・プロトコルは、PCI バス・インターフェイス・ユニット (PBIN) に実装されています。PCI バス・バンド幅を最大にするために、PCI インターフェイスは、スレーブまたはマスター・バースト・トランザクションの場合にウェイト・ステートを挿入しません。対応する FIFO がフルまたは空になると、PCI インターフェイスは現在の転送を接続解除します。PCI バス・インターフェイス・ユニットは、次のディレイを PCI バス上に挿入します。

■ スレーブ・ライト

- 最初のゼロ・ウェイト・ステート転送
- それに続くゼロ・ウェイト・ステート転送
- FIFO がフルか、または前回のフレームが未完了の場合、接続解除する

■ スレーブ・リード

- プリフェッチ可能：最初のアクセスは、リトライで接続解除
- シングル・ワード転送では、最大 16 ウェイト・ステートが挿入される
- 最初のゼロ・ウェイト・ステート転送（プリフェッチ可能リトライ）
- それに続くゼロ・ウェイト・ステート転送（プリフェッチ可能リトライ）
- FIFO が空か、または他のスレーブ・リード・フレームが進行中の場合、接続解除する

■ マスター・ライト

- 最初のゼロ・ウェイト・ステート転送
- それに続くゼロ・ウェイト・ステート転送

■ マスター・リード

- 最初のゼロ・ウェイト・ステート転送
- それに続くゼロ・ウェイト・ステート転送

□ EEPROM コントローラ

EEPROM コントローラは、4 線式シリアル EEPROM にインターフェイスします。PCI リセット時に、EEPROM コントローラは EEPROM をリードし、PCI バス・インターフェイス・ユニットに、コンフィギュレーション・データを提供します。通常動作時、EEPROM は、メモリ・マップド・レジスタ経由で DSP からアクセスできます。

□ DSP スレーブ・ライト・ブロック

DSP スレーブ・ライト・ブロックには、マルチプレクサおよび FIFO が組み込まれており、外部 PCI マスターがライトしたデータを PCI バス・インターフェイス・ユニットから DSP に転送します。

□ DSP スレーブ・リード・ブロック

DSP スレーブ・リード・ブロックには、マルチプレクサと FIFO が組み込まれており、DSP から PCI バス・インターフェイス・ユニットにデータを転送します。外部 PCI マスターが、このデータのリクエスターです。

□ DSP マスター・ブロック

DSP マスター・ブロックは、リード部分とライト部分に分割されています。このデバイスはリード動作とライト動作を同時に実行できません。

■ DSP マスター・ブロックのライト部分には、DSP マスター・ライト用のデータ・マルチプレクサと FIFO が組み込まれています。PCI バス・インターフェイス・ユニットを経由して、DSP マスターから外部スレーブにデータを転送します。

■ DSP マスター・ブロックのリード部分には、DSP マスター・リード用のデータ・マルチプレクサと FIFO が組み込まれています。PCI バス・インターフェイス・ユニットから DSP マスターにデータを転送します。

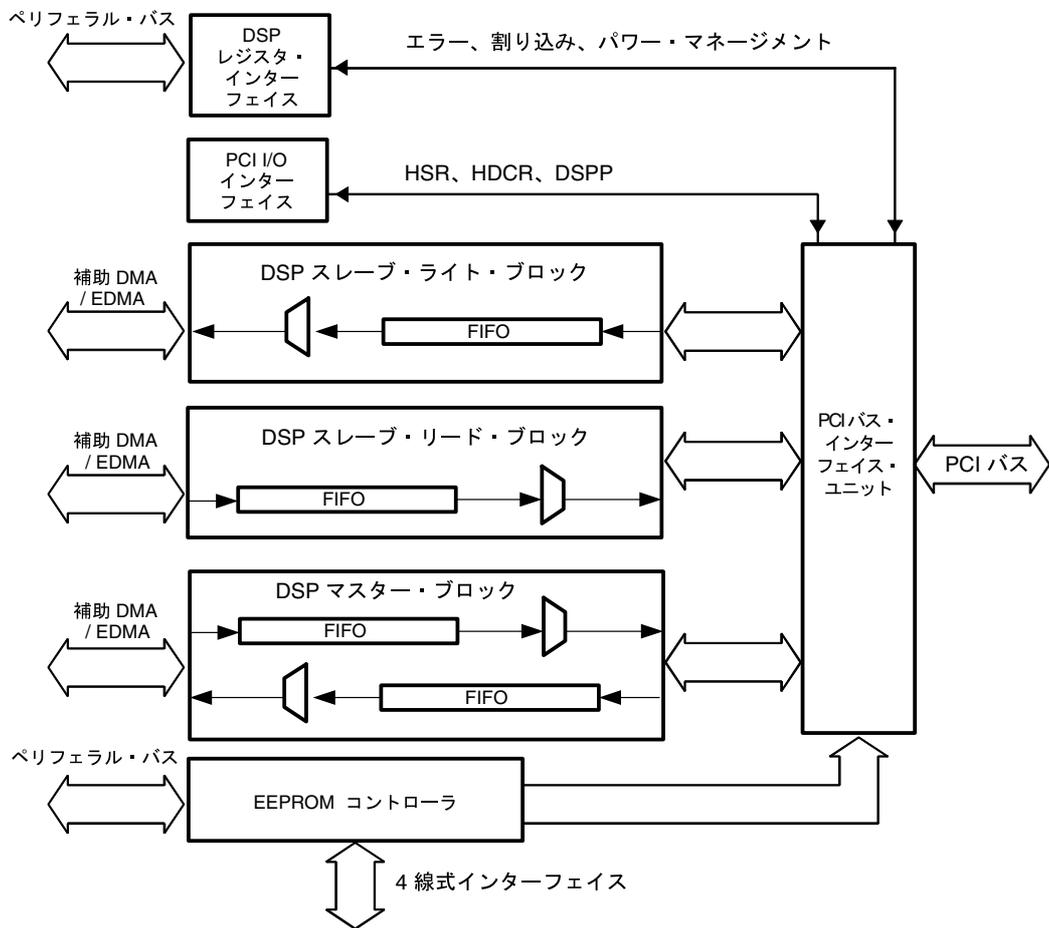
□ PCI I/O インターフェイス

入出力 (I/O) インターフェイスには、PCI I/O マップド・レジスタが組み込まれています。これらのレジスタは、スレーブ・トランザクション用の DMA/EDMA ページを制御し、ホストの状態を示し、DSP コアへの割り込みとリセットを行うことができます。

□ DSP レジスタ・インターフェイス

DSP レジスタ・インターフェイスには、マスター・インターフェイス、PCI ホスト割り込み、およびパワー・マネージメント機能の制御のための DSP メモリ・マップド・レジスタが組み込まれています。

図 3. PCI ポート・ブロック図



3 メモリ・マップ

PCI ポートは、次の 3 つのベースアドレス・レジスタを使用して、DSP メモリ・マップに完全にアクセス可能です。

- ベース 0: 4 M バイトのプリフェッチ可能領域は、DSP ページ・レジスタ (DSPP) を使用して DSP の全メモリ空間にマップされます。プリフェッチ・リードではすべてのバイトが有効です。
- ベース 1: 8 M バイトのプリフェッチ不可能領域は、DSP メモリ・マップド・レジスタにマップされます。プリフェッチ不可能領域は、バイト・イネーブルをサポートします。
- ベース 2: 16 バイトの I/O には、PCI ホスト用の I/O レジスタが組み込まれています。

これらの 3 つのレジスタは、PCI コンフィギュレーション・レジスタに含まれています。DSP メモリ (プリフェッチ可能領域) に対する PCI ホスト・アクセスは、PCI メモリ空間の 4 M バイトのウィンドウにマップされます。PCI ポートには、DSP ページ・レジスタ (DSPP) という PCI I/O レジスタが組み込まれています。DSPP は、PCI アドレスと DSP アドレスのアドレス・マッピングを指定します。このアドレス・マッピングが使用されるのは、DSP が PCI ローカル・バス上でスレーブになる場合です。

DSPP (15.2.3 項を参照) は、4 M バイトのウィンドウを DSP メモリ・マップ内に設定する際に使用します。PCI アドレスのビット 21-0 は、DSPP のビット 9-0 と連結されて、DSP にアクセスする PCI スレーブ用の DSP アドレスを形成します (図 4 を参照)。

図 4. PCI ベース 0 スレーブ・アドレス生成 (プリフェッチ可能)



DSP の PCI ベース 1 レジスタは、8 M バイトのプリフェッチ不可能な領域に設定されています。このメモリは、DSP の固定ロケーション (01800000h-02000000h) にマップされます。PCI アドレスのビット 22-0 は、メモリ・マップド・レジスタにベース 1 アクセスするように固定オフセットと連結されます (図 5 を参照)。

図 5. PCI ベース 1 スレーブ・アドレス生成 (プリフェッチ不可能)



ベース 2 アドレス・レジスタは、PCI ホストが、PCI I/O レジスタにアクセスするための 16 バイトの I/O 領域に設定されます。15.2 節を参照してください。

PCI バス・インターフェイスは、PCI ホストが DSP メモリにアクセスする際に 2 種類のアクセス方法を提供します。4 M バイトのベース 0 領域は、プリフェッチ可能なデータ用です。また、8 M バイトのベース 1 領域は、プリフェッチ不可能（レジスタ）アクセス用です。プリフェッチ不可能な領域への転送はすべてシングル・ワード転送をし、その後接続解除します。

プリフェッチ可能な領域へのデータ・アクセスは、主にホスト・システムの設定（PCI ブリッジ・レイテンシ・タイマ、バースト長カウント）によって限定されるバースト転送がなされる可能性があります。データを転送する前に、PCI ホストは、最初に DSPP をライトして、4 M バイトのウィンドウを DSP メモリ・マップ内に配置する必要があります。

DSP が発行する PCI マスター・トランザクションは、バーストを使用します。ただし、接続解除によって、外部スレーブは DSP マスターにシングル・ワード転送を実行させることができます。

DSP の内部では、すべてのデータ転送は、DMA コントローラの補助チャネルにより処理（C62x デバイス）されるか、または、EDMA 内部アドレス生成ハードウェアにより処理（C64x デバイス）されます。

注：

PCI トランザクションは、DMA/EDMA コントローラのポート境界を超えてはいけません。ポート境界とは、外部メモリと内部メモリとの間のアドレス境界、外部メモリとペリフェラル・アドレス空間との間のアドレス境界、内部メモリとペリフェラル・アドレス空間との間のアドレス境界のいずれかです。

4 バイト・アドレッシング

PCI インターフェイスは、バイト・アドレス指定可能です。PCI インターフェイスは、8 ビット・バイト、16 ビット・ハーフワード、24 ビット・ワード、および 32 ビット・ワードでリードとライトが可能です。ワードは、4 バイト境界でアラインされます。ワードは常に 2 つの LSB が 00 になっているバイト・アドレスから始まります。ハーフワードは常に最後の LSB が 0 になっているバイト・アドレスから始まります。

PCI スレーブ・トランザクションは、完全にバイト・アドレス指定可能です。PCI マスター・トランザクションは、ワードアラインされたアドレスから始めなければなりません。

5 PCI アドレス・デコード

PCI ポートは、メモリと I/O サイクルに対応する PCI アドレスの“中速”アドレス・デコードをサポートします。PDEVSEL 信号は、PFRAME がサンプリング、アサートされてから 2 PCI クロックの間、アサートされます。

6 PCI メモリ・サービスに関する特別な考慮事項

6.1 プリフェッチ可能リード (C62x DSP のみ)

PCI が DSP メモリ空間からリードを実行する場合、4 ワードのバースト・プリフェッチを実行します。これにより、DMA 補助チャネルは明示的にリクエストしていない上位ワード・アドレス 3 つ分からもリードします。これが発生するのは、PCI ポートが外部 PCI マスターからのリクエストでプリフェッチ可能リードを行う場合だけです。

これらのプリフェッチ可能リードは、次のような意図しない動作を生成することがあります。

1) 意図しない CE 空間へのアクセス

- EMIF CE0 空間の最上位の 3 ワードをリードする場合、プリフェッチは、CE1 への不適切なアクセスになりえます。これにより、ARDY がオープンのままになっているか、またはインアクティブになっている (ノット・レディ) 非同期メモリ空間に対して、不適切なアクセスが行われた場合はストールが、または意図しないデバイスへのリードがおこりえます。
- 上記の例は、CE2 にも該当します。結果的にプリフェッチは、CE3 への不適切なアクセスになりえます。

設計上の関連ヒント：ARDY を使用していない場合、ストールしないように、ARDY を常にレディ状態にしてください。常にソフトウェア設定の異常を検出したい場合には、システム・ストールが検出できるように、常にノット・レディ状態にしてください。

2) 意図しないポート・クロス、または予約ロケーションへの不正なアクセス

- EMIF CE1 空間の最上位の 3 ワードをリードする場合、アクセスは、マップ 0 のときはプログラム・メモリ (PMEM) ブロック、マップ 1 のときは EMIF コントロール・レジスタを格納している内部ペリフェラル・バス (PBus) 領域にまたがる場合があります。これは、不正なポート・クロスです。
- EMIF CE3 空間の最上位の 3 ワードをリードする場合、アクセスは予約アドレス空間にまたがる場合があります。これは不正なアクセスです。
- PMEM ブロック 0 空間の最上位の 3 ワードをリードする場合、アクセスは PMEM ブロック 1 にまたがる場合があります。これは不正なアクセスです。
- PMEM ブロック 1 空間の最上位の 3 ワードをリードする場合、アクセスは予約アドレス空間にまたがる場合があります。これは不正なアクセスです。
- データ・メモリ (DMEM) ブロック 1 空間の最上位の 3 ワードをリードする場合、アクセスは予約アドレス空間にまたがる場合があります。これは不正なアクセスです。
- PBus 空間のどこかをリードする場合、3 つの意図しないコントロール・レジスタをプリフェッチする可能性があります。これにより、予約レジスタ・アドレスをアクセスする場合、不正なアクセスをする可能性があります。レジスタ・アクセスが、副作用 (McBSP DRR のリード、RRDY のクリアなど) を持つ場合、不注意により、これらの副作用を引き起こすことがあります。

注: DMEM ブロック 0 とブロック 1 との間をまたがる場合、制約はありません。これは、両方のブロックが同一の DMA ポートを使用しているからです。

設計上の関連ヒント

- 内部ペリフェラル・レジスタをリードする場合
 - 外部マスターからリードする場合、固定モード・アドレッシングを使用します。一般的に、複数のペリフェラル・レジスタにライトする場合も、レジスタ同士のアドレスが離れていることがあるので、固定モードを使用することはすぐれた方法です。
 - PCI では、常にペリフェラル・レジスタへのプリフェッチ不可能リードを使用してください。
- EMIF CEx、内部プログラム・ブロック、または DMEM ブロック 1 空間の最上位の 3 ロケーションをリードする場合、固定モード・アドレッシングを使用します。DMEM ブロック 0 空間の最上位の 3 ワードをアクセスする場合、この手順に従う必要はありません。これは、DMEM ブロック 0 とブロック 1 は、同一の DMA ポート内にあるからです。

6.2 PCI とプログラム・メモリ間の転送 (C62x DSP のみ)

プログラム・メモリにアクセスする際、CPU は DMA (や補助 DMA) より優先されます。CPU は CPU クロックごとにプログラム・メモリにアクセスできるので、DMA のプログラム・メモリへのアクセスをロックアウトすることがあります。

PCI ポートが補助チャネル経由でプログラム・メモリ転送をリクエストすると、他の 4 つの DMA チャネルがすべて停止します。このように、DMA チャネルが別のメモリ (EMIF/ペリフェラル/データ・メモリ) にアクセスしていても DMA チャネルの動作は PCI ポート・リクエスト時に発生しません。CPU がより高い優先度をもっている場合、CPU がプログラム・メモリから密にコーディングされたルーチンを実行している限り、すべての DMA の動作はブロックされます。

PCI トランスファー・ホルト・レジスタ (HALT) は、PCI ポートがマスター/スレーブ補助チャネル・リクエストを実行しないようにします。HALT ビットがセットされると、すべての補助転送は実行されません。現在の PCI マスター・トランザクションは、DMA サイクルを完了します。PCI トランザクションは、HALT ビットがデアサートされるまで開始されません。これにより DMA ロックアップが防止されるのは、PCI トランザクションが進行していて、DSP がコードのバックされたセクションを実行している場合です。PCI マスターが停止している場合、他の DMA チャネルは自由にメモリにアクセスします。

HALT レジスタは、C64x デバイスには該当しません。これは、DMA ロックアップ条件が適用されないからです。C64x EDMA は、プライオリティ・キューが実装されています。PCI 転送と同じプライオリティ・キューに配置された EDMA 転送だけが、上記の条件で停止します。プライオリティ・キューの詳細は、『TMS320C6000 DSP Enhanced DMA (EDMA) Controller Reference Guide』(SPRU234) を参照してください。

6.3 PCI EDMA 利用の制御 (C64x DSP のみ)

PCI ポートは、メモリ・リクエストに際して EDMA ハードウェアを使用します。この共有リソースの使用については、PCI トランスファー・リクエスト・コントロール・レジスタ (TRCTL) により管理されています。ユーザー設定可能ですが、レジスタ内の値を変更する場合、十分な注意が必要です。

TRCTL 内の PALLOC ビットまたは PRI ビットを安全に変更するには、TRSTALL ビットを使用して適切にトランザクションが行われるようにする必要があります。PALLOC ビットまたは PRI ビットを変更するには、次の手順に従わなければなりません。

- 1) TRSTALL ビットを 1 にセットし、PCI が TR リクエストを現在の PRI レベルに出さないようにします。同一ライト時に、新しい PALLOC ビットと PRI ビットを指定してもかまいません。
- 2) 新旧両方の PRI レベルに対応する EDMA イベント・イネーブル (EER) をすべてクリアし、EDMA が両方の PRI レベルに TR リクエストを出さないようにします。EDMA 経由で新しいイベントを手動で出さないでください。
- 3) 新旧いずれかの PRI レベルに新しい QDMA リクエストを出さないでください。
- 4) 新旧いずれかの PRI レベルへの L2 キャッシュ・ミスを停止してください。これは、内部メモリ内のプログラム実行、またはデータ・アクセスにさせることにより実現できます。他にも、さらにキャッシュ・ミスをしないように密なループを CPU に実行させるといった方法があります。
- 5) 両方のキューが空になるまで、EDMA のプライオリティ・キュー・ステータス・レジスタ (PQSR) 内の適切な PQ ビットをポーリングします
(『TMS320C6000 DSP Enhanced DMA (EDMA) Controller Reference Guide』(SPRU234) を参照)。
- 6) TRSTALL ビットをゼロクリアにし、PCI に通常の動作を続けさせます。

リクエスターが古い PCI PRI レベルで停止すると、メモリの順位が保持されます。この場合、PCI がストール状態から解放される前に、古い PRI レベルに対応する保留されているリクエストはすべて完了しなければなりません。

リクエスターが新しい PRI レベルで停止して、すべてのリクエスターへの割り当ての合計がキューの長さを決して超えないようにします。一定のレベルでリクエスターを停止させることで、各リクエスターへのキューの割り当てカウンタを自由に変更することができます。

7 スレーブ転送

7.1 DSP スレーブ・ライト

DSP スレーブ・ライト・ブロック (図 3 (19 ページ) を参照) のスレーブ・ライト FIFO を使用することで、効率的に PCI ホストの DSP スレーブへのライトを処理できます。DSP スレーブ・ライトのアドレスは、DSPP 内の固定オフセットと連結された PCI アドレスから生成されます (第 3 章を参照)。スレーブ PCI ポートにより、挿入される ウェイト・ステートはありません。DSP スレーブ・ライトは、ゼロ・ウェイト・ステートで、シングル・アクセスとバースト・アクセスの両方に対して、すべてのデータ・フェーズを実行します。PCI インターフェイスは、無制限の長さのメモリ・バースト転送をサポートします。

DSP へのスレーブ・ライト・アクセスが接続解除されるのは、FIFO がフルの場合、または FIFO が前回の PCI スレーブ・ライト・フレームにより空になっていない場合だけです。スレーブ・リードおよびマスター・リード / ライト・トランザクションは、スレーブ・ライト PCI トランザクションには影響しません。

内部的に、補助 DMA または EDMA 内部アドレス生成ハードウェアが、スレーブ・ライト FIFO を処理するのは、次の場合です。

- FIFO に、少なくとも 4 ワードのデータがある
- PCI トランザクションが終了している ($\overline{\text{PFRAME}}$ がディアサートされる)

DSP スレーブ・ライト・アドレスは、内部で自動インクリメントされます。DSP メモリ・ライトは、FIFO に有効なデータがなくなるまで、引き続き行われます。これは、シングルおよびバースト PCI トランザクションの両方に適用されます。シングル・アクセス・トランザクションの場合、内部転送リクエストは PCI トランザクション終了後に行われます。

7.2 DSP スレーブ・リード

スレーブ・ライトと同様に、DSP スレーブ・リード・ブロック (図 3 (19 ページ) を参照) 内のスレーブ・リード FIFO を使用することで、DSP スレーブからの PCI ホストのリードを効率的に処理できます。PCI スレーブ・リード・インターフェイスは、無制限の長さのメモリ・バースト転送をサポートします。

PCI ポートは、キャッシュ・ライン・サイズと PCI コマンドを使用して、スレーブ・リードに際して転送されるバイト数を識別します。PCI アクセスの種類は、アドレス・フェーズ時の PCI コマンド / バイト・イネーブル信号 ($\overline{\text{PCBEx}}$) によって示されます。サポートされているスレーブ・リード・コマンドは、次のとおりです。

- メモリ・リード
- メモリ・リード・マルチプル
- メモリ・リード・ライン

上記の PCI スレーブ・リードはすべてプリフェッチ可能領域、プリフェッチ不可能領域で使用できます。

7.2.1 プリフェッチ不可能スレーブ・リード (BAR 1)

プリフェッチ不可能スレーブ・リードの場合、PCI ポートは、1 つのワードが FIFO にライトされるまでウェイト・サイクルを挿入します。その後、そのワードは PCI バス上に転送され、サイクルは終了します。このとき、コマンドがメモリ・リード、メモリ・リード・マルチプル、メモリ・リード・ラインのいずれであるかは関係ありません。

7.2.2 プリフェッチ可能スレーブ・リード (BAR 0)

プリフェッチ可能スレーブ・リードの場合、PCI ポートはリクエストされたワードが準備できるまでウェイト・サイクルを挿入します。PCI ポートは、16 クロック・ルールに従い、データが 16 PCI クロック内に準備できていないと、メモリ・リードはリトライで接続解除されます。メモリ・リード・コマンドは常に 1 ワードのデータを生成します。メモリ・リード・ラインとメモリ・リード・マルチプルは、バースト・アクセスに使用されます。

7.2.3 プリフェッチ可能スレーブ・リード・マルチプルとプリフェッチ可能スレーブ・リード・ライン (BAR 0)

これらのリクエストは、最初は PCI バス上で、リトライで接続解除されて、終了します。続いて、補助 DMA または EDMA 内部アドレス生成ハードウェアが、PCI ポートに対しリード・データを FIFO に転送します。PCI スレーブ転送が発生するのは、オリジナルのマスターが再度初期転送を行う場合です。関係のないスレーブリクエストはディスコネクトで終了します。

メモリ・リード・ライン・コマンドの場合、スレーブ・リード FIFO に転送されるバイト数は、キャッシュライン・サイズ・レジスタによって決まります。メモリ・リード・マルチプル・コマンドの場合、DSP スレーブ・リードは、PCI マスターがトランザクションを終了する ($\overline{\text{PFRAME}}$ がディアサートされる) まで連続的に FIFO をデータでフルにします。この時点で、最後の PCI の有効なデータ・サンプルが転送されて、FIFO はフラッシュされます。

補助 DMA または EDMA 内部アドレス生成ハードウェアは、スレーブ・リード FIFO がフルになるまでバーストします。DSP スレーブ・アドレスは、内部で自動インクリメントされます。

メモリ・リード・ライン・コマンドおよびメモリ・リード・マルチプル・コマンドは、リクエストがコマンドをリトライし、FIFO にデータがある場合、PCI ポートはゼロ・ウェイト・ステートでデータを転送します。PCI トランザクションがマスターにより早めに接続解除された場合、FIFO リクエストを終了します。

7.3 PCI ターゲット・イニシエーテッド・ターミネーション

DSP がターゲット・ターミネーションを実行するのは、次の条件の場合です。

- ❑ ディスコネクト。マスターがサポートされていないアドレッシング・モードを使用してバースト・メモリ・アクセスを発行する場合。
- ❑ リトライ。マスターがコンフィギュレーション空間（15.1 節を参照）にバースト・アクセスを行う場合。
- ❑ リトライ。マスターが I/O 空間(15.2 節を参照)にバースト・アクセスを行う場合。
- ❑ スレーブ・メモリまたは I/O ライトに対するディスコネクト。トランザクションが内部スレーブ・リード FIFO 内で待機している場合。
- ❑ スレーブ・メモリ・リードに対するディスコネクト。PCI アドレスの値が内部リード・プリフェッチ・バッファ内のアドレスと一致しない場合。
- ❑ プリフェッチが開始されたら、オリジナルのポストされたトランザクションが PCI バス・マスターにより繰り返され、プリフェッチされたデータが転送されるまで、すべての他のメモリと I/O リードはリトライで返されます。

PCI インターフェイスは、シングル・アクセスとバースト・アクセスのデータ転送について 16 クロック・ルールと 8 クロック・ルールのすべてを満たします。

8 マスター転送

マスター転送は、DSP 制御のもとで開始されます。次の PCI メモリ・マップド・ペリフェラル・レジスタを使用して、DSP マスター転送を設定します。

- ❑ DSP マスター・アドレス・レジスタ (DSPMA)
- ❑ PCI マスター・アドレス・レジスタ (PCIMA)
- ❑ PCI マスター・コントロール・レジスタ (PCIMC)

次の PCI メモリ・マップド・ペリフェラル・レジスタは、現在のマスター転送の状態を示します。

- ❑ カレント DSP アドレス・レジスタ (CDSPA)
- ❑ カレント PCI アドレス・レジスタ (CPCIA)
- ❑ カレント・バイト・カウント・レジスタ (CCNT)

C62x デバイスの場合、PCI トランスファー・ホルト・レジスタ (HALT) を使用して、DSP は補助 DMA チャンネルへの内部転送リクエストを終了させることができます。

8.1 DSP マスター・ライト

DSP マスター・ブロック (図 3 (19 ページ ページ) を参照) 内のマスター・ライト FIFO を使用することで、外部スレーブへの DSP マスター・ライトを効率的に処理できます。マスター・ライト・インターフェイスは、最大 64 K - 1 バイトまでのバースト長をサポートします。

マスター・ライトは、DSP 制御のもとで、DSP マスター・アドレス・レジスタ (DSPMA)、PCI マスター・アドレス・レジスタ (PCIMA)、および PCI マスター・コントロール・レジスタ (PCIMC) を経由して開始されます。

DSP マスター・ライトでは、DSPMA 内の ADDRMA ビットにはワードアラインされたソース (DSP) アドレスが含まれています。C6205 DSP の場合のみ、DSPMA 内の AINC ビットがクリアされると、ソース・アドレスは、内部データの転送ごとに 4 バイト自動インクリメントされます。C64x 上では、すべての転送は自動インクリメントです。C6205、C64x とともに、DSPMA は 16 MB 境界を越えて自動インクリメントすることはありません。つまり、16 MB ブロック内で循環します。PCIMA には、ワード・アラインされたデスティネーション (PCI) アドレスがあります。内部レジスタは、PCI マスター・アドレスを保持します。

マスター・ライトは、PCIMC 内の START ビットをイネーブルにすることにより開始されます。補助 DMA または EDMA は、(DSPMA が指す) ソース・アドレスからマスター・ライト FIFO にデータを転送します。FIFO を一杯にするか、ワード数が FIFO の長さと比較して少ない場合、必要なワード数だけを転送します。次の内部データ転送が行われるのは、FIFO に 4 ワード以上のデータを収容する余裕がある場合です。内部データ転送は、FIFO がフルになるまで、または転送が完了するまで引き続き行われます。

FIFO に有効なデータがあると、PCI バス・リクエストが行われ、データが FIFO から PCI に転送されます。DSP マスター・ライトは、ゼロ・ウェイト・ステートで、シングル・アクセスとバースト・アクセスの両方に対して、すべてのデータ・フェーズを実行します。PCI コマンド / バイト・イネーブル信号 (PCBEx) は、PCI インターフェイス上のマスター・ライト・バイトを示します。

すべてのマスター・ライト・データが DSP ソースからマスター・ライト FIFO に転送されると、内部データ転送は停止します。C62x デバイスの場合、内部データ転送と現在の PCI バス・サイクルは、HALT レジスタ内の HALT ビットをアサートすることで停止できます。PCI バス・インターフェイスは、PCI インターフェイスがディスプレイコネクタ、リトライ、ターゲット・アポートされたかを監視しています。PCI ポートは、PCI 規格リビジョン 2.2 に準拠しており、リトライ時に正確に同一サイクルでリトライを行います。

サイクルがマスター・アポートまたはターゲット・アポートにより終了する場合、現在の転送は PCI バスの内部でも外部でも終了します。マスター・ライト FIFO がフラッシュされて、PCI インタラプト・ソース・レジスタ (PCIIS) 内のマスター・アポート (PCIMASTER) ビットまたはターゲット・アポート (PCITARGET) ビットのいずれかがセットされます。PCI インタラプト・イネーブル内の対応するビットがセットされている場合には、これらのエラー条件により、CPU 割り込みが生成されます。

PCI レイテンシ・タイマ (PCI コンフィギュレーション・レジスタ空間で指定される) がタイム・アウトする場合、PCI マスターはバスを放棄します。マスターはその後バス・リクエストを行い、必要な転送を完了します。

転送の進行は、PCI マスター・コントロール・レジスタ (PCIMC) をリードすることでポーリングできます。START ビットが 000b になるのは、DSP と PCI 側の両方で転送が完了する場合です。PCIEN 内の MASTEROK ビットをセットすることで、フレーム転送の完了時に割り込みを生成するようにプログラムすることもできます。

8.2 DSP マスター・リード

DSP マスター・ブロック (図 3 (19 ページを参照)) 内のマスター・リード FIFO を使用することで、外部スレーブからの DSP マスター・リードを効率的に処理できます。マスター・リード・インターフェイスは、最大 64 K - 1 バイトまでのバースト長をサポートします。

マスター・リードは、DSP 制御のもとで、DSP マスター・アドレス・レジスタ (DSPMA)、PCI マスター・アドレス・レジスタ (PCIMA)、および PCI マスター・コントロール・レジスタ (PCIMC) を経由して開始されます。

DSP マスター・リードでは、PCIMA には外部 PCI スレーブ・ソース・アドレスが含まれています。DSPMA 内の ADDRMA ビットには、ワードアラインされたデスティネーション (DSP) アドレスが含まれます。C6205 DSP の場合のみ、DSPMA 内の AINC ビットがクリアされると、デスティネーション・アドレスは、内部データの転送ごとに 4 バイト自動インクリメントされます。C64x 上では、すべての転送は自動インクリメントです。C6205、C64x とともに、DSPMA は 16 MB 境界を越えて自動インクリメントすることはありません。つまり、16 MB ブロック内で循環します。

マスター・メモリ・リードは、PCIMC 内の START ビットをイネーブルにすることにより開始されます。PCI ポートは、PCI バス・リクエストを行います。PCI バス・リクエストが認められると、PCI バス・サイクルが開始されます。開始されるサイクルのタイプは、転送されるバイト数とキャッシュ・ライン・サイズによって異なります。サポートされているマスター・リード・コマンドは、次のとおりです。

- メモリ・リード
- メモリ・リード・マルチプル
- メモリ・リード・ライン

PCIMC 内の START ビットに応じて、2 つのタイプのメモリ・リードを開始できます。プリフェッチ可能メモリ・リード (START = 010b) は、1 ワードより大きい転送を行う場合、メモリ・リード・マルチプルとメモリ・リード・ラインを使用します。1 ワード転送する場合、メモリ・リード・コマンドを使用します。

プリフェッチ不可能メモリ・リード (START = 011b) は常にメモリ・リード・コマンドを使用します。N ワードの転送サイズは、PCI バス上で、N 個の 1 ワード・リード・サイクルに分割されます。できるだけ、プリフェッチ可能メモリからリードするようにしてください。

ウェイト・ステートは、PCI マスター・リード・アクセスの初期データ・フェーズとそれ以降のデータ・フェーズでは挿入されません。リード・データはマスター・リード FIFO にライトされます。内部の補助 DMA または EDMA へのデータ転送リクエストが発生するのは、少なくとも FIFO に 4 ワードのデータがある場合、または PCI トランザクションが終了した場合は、補助 DMA チャンネルまたは EDMA は、マスター・リード FIFO から DSP デスティネーション・アドレス (DSPMA 内の ADDRMA ビット) にデータを転送します。すべてのマスター・リード・トランザクションは、ワードアラインされます。

補助 DMA または EDMA 転送は、FIFO に有効なデータがなくなるまで、引き続き行われます。これは、シングル・アクセスおよびバースト PCI トランザクションの両方に適用されます。シングル・アクセス・トランザクションの場合、内部データ転送は、PCI トランザクションが終了後 (PFRAME がディアサートされる) に行われます。

すべてのマスター・リード・データがマスター・リード FIFO から DSP デスティネーションに転送されると、内部データ転送は停止します。C62x デバイスの場合、内部データ転送と現在の PCI バス・サイクルは、HALT レジスタ内の HALT ビットをアサートすることで停止できます。PCI バス・インターフェイスは、PCI インターフェイスがディスコネクト、リトライ、ターゲット・アポートされたかを監視しています。PCI ポートは PCI 規格リビジョン 2.2 に準拠しており、リトライ時に正確に同一サイクルでリトライを行います。

サイクルがマスター・アポートまたはターゲット・アポートにより終了する場合、現在の転送は PCI バスの内部でも外部でも終了します。マスター・リード FIFO がフラッシュされて、PCI インタラプト・ソース・レジスタ (PCIIS) 内のマスター・アポート (PCIMASTER) ビットまたはターゲット・アポート (PCITARGET) ビットのいずれかがセットされます。PCI インタラプト・イネーブル・レジスタ (PCIEN) 内の対応するビットがセットされている場合には、これらのエラー条件により、CPU 割り込みが生成されます。

PCI レイテンシ・タイマ (PCI コンフィギュレーション・レジスタ空間で指定される) がタイム・アウトする場合、PCI マスターはバスを放棄します。マスターはその後バス・リクエストを行い、必要な転送を完了します。

転送の進行は、PCI マスター・コントロール・レジスタ (PCIMC) をリードすることでポーリングできます。スタート・ビットが 000b になるのは、PCI 側で転送が完了する場合です。PCIEN 内の MASTEROK ビットをセットすることで、フレーム転送が完了時に割り込みを生成するようにプログラムすることもできます。

8.2.1 マスター・リード完了

スタート・ビットが 000b に戻るか、または MASTEROK 割り込みが生成される場合、現在のトランザクションは PCI からは完了しているように見えます。ただし、リードの場合、これは実際のメモリへのサービスに際して、データが DMA か EDMA に渡されたということを意味します。PCI データと割り込みやレジスタ・リードの経路は異なるため、CPU は、データが到着する前に通知を受け取ることがあります。つまり、マスター・リードを行う場合、CPU が確実に正しいデータをメモリからリードするように注意する必要があります。

これは EDMA システムでは長いレイテンシのために、よくあり得る問題です。正しいデータを扱う単純で確実な方法は、小さいダミーの QDMA アクセスを PCI と同じプライオリティ・キュー上で実行することです。この QDMA が完了した時には、PCI データは既に到着しているからです。

8.3 システム・ホストとしての DSP

PCI ポートは、PCI コンフィギュレーション・レジスタのマスター・ビットの設定に関係なく、マスター・コンフィギュレーション・サイクルを行うことができます。また、内部スレーブとマスターは同時に動作できるので、DSP は PCI バス上で自身のコンフィギュレーション・レジスタのリードとライトを行うことができます。これらの機能を使用することで、PCI ポートは自分自身と PCI バスの他のデバイスのコンフィギュレーションを行い、システム・ホストとして動作できるようになります。これには、次のような制限事項があります。

- IDSEL は、DSP によって制御される必要があります。
- PCI バス・セグメントが 1 つのみ。DSP はタイプ 1 コンフィギュレーション・サイクルを生成できないためです。
- バスを調停する外部ロジックが必要です。

8.3.1 IDSEL の生成

バスを適切に設定するには、DSP は適切なタイミングで各デバイスの IDSEL ラインをアサートできる必要があります。PCI インターフェイスはこの機能を直接提供しておらず、そのため、間接的な方法で行う必要があります。次の項では、IDSEL を生成する 2 つの異なる手順について説明します。

8.3.1.1 抵抗カップリング IDSEL

抵抗カップリング IDSEL は、IDSEL を生成する一般的で単純な方法です。ただし、この方法を使用しても、PCI 規格を順守するように注意が必要です。カップリングされた IDSEL を使用する場合、ホストは、IDSEL が、ターゲット・デバイスに伝播するのに十分な時間アドレス・フェーズを行う必要があります。PCI インターフェイスはアドレス・ステッピングを行いません。DSP がホストになっている多くのシステムでは、そのコンパクトな性質として、アドレス・ステッピングなしでの機能的なカップリングを許す必要があります。しかし、IDSEL 信号が PCI のタイミング仕様を満たす時間内に抵抗カップリングを通して確実に伝播するようにする必要があります。

IDSEL を生成する際に抵抗カップリングを使用する場合、コンフィギュレーション・ワードをリードまたはライトする手順は、次のとおりです。

- 1) PCIMA をセットする
 - a) PCIMA[31-16] = 適切なデバイスの IDSEL を選択するために 1 ビットだけセット (重要: 一度にセットされるのは、1 ビットだけ)
 - b) PCIMA[11-8] = アドレス指定されるデバイスの機能
 - c) PCIMA[7-0] = 32 ビットのコンフィギュレーション・ワード・アドレス (タイプ 0 コンフィギュレーション・アクセスの詳細は、PCI 規格を参照)
- 2) ローカル・バッファを指すように DSPMA をセットする (バッファには、ライト用のソース・データ、リード用のデータ領域が含まれている)
- 3) 4 バイトの PCIMC をセットする (必要な機能)
- 4) START==0 になるまで、ポーリングするか、または MASTEROK 割り込みが入るまで、待機する

8.3.1.2 GPIO による IDSEL の生成

IDSEL を生成する完全に準拠した別の方法は、複数の IDSEL ラインを GPIO ピンに接続して、それらを直接制御することです。次の手順は、上記の手順と多少違いがあります。

- 1) GPIO にアクセスして、1 つの IDSEL だけをイネーブルにする (重要: 一度に 1 つの IDSEL だけがイネーブルされる)。競合状態を回避するために、GPIO ピンにライトした新しい値をリードし直して確認するようにしてください。
- 2) PCIMA をセットする
 - a) PCIMA[11-8] = アドレス指定されるデバイスの機能
 - b) PCIMA[7-0] = 32 ビットのコンフィギュレーション・ワード・アドレス (タイプ 0 コンフィギュレーション・アクセスの詳細は、PCI 規格を参照)
- 3) ローカル・バッファを指すように DSPMA をセットする (バッファには、ライト用のソース・データ、リード用のデータ領域が含まれている)
- 4) 4 バイトの PCIMC をセットする (必要な機能)
- 5) START==0 になるまで、ポーリングするか、または MASTEROK 割り込みが入るまで、待機する
- 6) GPIO にアクセスして、IDSEL をオフにする

9 リセット

9.1 DSP の PCI リセット

PCI ホストは、host-to-DSP コントロール・レジスタ (HDCR) 経由で、DSP をリセットできます。HDCR 内の WARMRESET ビットを 1 にセットすると、DSP リセットが行われ、内部 CPU とペリフェラル・ロジックのすべてがリセットされます。WARMRESET は、PD2 と PD3 パワー・ダウン・モードから DSP を起動できます。WARMRESET は、ブート・コンフィギュレーション・ピンを再度ラッチしません。

9.2 FIFO リセット

PCI FIFO と制御ロジックが、リセット状態になるのは、DSP がリセットされるか、または PCI ピン $\overline{\text{PRST}}$ がアサートされる場合です。

9.3 PCI コンフィギュレーション・レジスタのリセット

EEPROM から読み込まれた PCI コンフィギュレーション・レジスタは、PCI バス・リセット ($\overline{\text{PRST}}$) で初期化されます。DSP コア・リセットもパワーオン・リセットも、レジスタには影響を与えません。

9.4 DSP リセット時の PCI の動作

デバイス・リセットがアサートされると、デバイスがリセットから回復するまで、PCI ポートは入ってきたすべてのトランザクションを接続解除します。PCI ポートは、デバイスがリセット状態にある間、いかなるマスター・トランザクションも行いません。

10 割り込みとステータス・レポート

PCI ポートは、次の CPU 割り込みを生成できます。

- PCI_WAKEUP (C62x デバイス) : これは、PCI パワー・ウェイクアップ・イベント専用です。
- ADMA_HLT (C62x デバイス) : この割り込みが生成されるのは、補助 DMA が停止する (DMAHALTED) 場合です。
- DSPINT: この割り込みがアサートされて、PCI インタラプト・イネーブル・レジスタ (PCIEN) でイネーブルされるのは、PWRMGMT、PCITRAGET、PCIMASTER、HOSTSW、PWRLH、PWRHL、MASTEROK、CFGDONE、CFGERR、EERDY、または PRST のいずれかのイベントが発生する場合です。

PCI マスター/スレーブ・インターフェイスのステータスとエラーが、PCI インタラプト・ソース・レジスタ (PCIIS) に示されます。PCI インタラプト・イネーブル・レジスタ (PCIEN) でイネーブルされている場合、すべてのステータスとエラー条件から CPU 割り込みを生成できます。割り込みがイネーブルされていない場合でも、PCIIS 内のステータス・ビットはセットされます。イネーブルされている割り込みが発生すると、DSP に DSPINT 割り込みが送信されます。対応する PCIIS ビットに 1 をライトすると、割り込みがクリアされます。割り込みビットが他にまだセットされていると、新しく割り込みが発生します。そのため、PCI 割り込みに基づいて、割り込みサービス・ルーチン内では次の作業を行う必要があります。

- PCIIS レジスタをリードする
- 適切な PCIIS ビットに 1 をライトして、それらをクリアする

PCI ポートは、CPU と PCI ホスト ($\overline{\text{PINTA}}$ ピン経由で) の両方に対して割り込みを生成できます。次の項では、これらの 2 つのタイプの割り込みについて説明します。

10.1 DSP へのホスト割り込み

PCI ホストは、PCI I/O host-to-DSP コントロール・レジスタ (HDCR) 内の DSPINT ビットにライトすることで、DSP への割り込みを生成できます。このビットをライトすることで HOSTSW 割り込みが行われるのは、PCI インタラプト・イネーブル・レジスタ (PCIEN) 内でその割り込みがイネーブルに設定されている場合です。

10.2 ホストへの DSP 割り込み

DSP は、 $\overline{\text{PINTA}}$ ピン経由で、PCI ホストへの割り込みを生成できます。ホストへの割り込みは、DSP ソフトウェア制御のもとでのみ生成されます。

DSP リセット・ソース/ステータス・レジスタ (RSTSRC) 内の $\overline{\text{INTREQ}}$ ビットに 1 をライトすることで、割り込みが生成されます。これにより、 $\overline{\text{PINTA}}$ ピンがローカル PCI バス上でアサートされるようになるのは、ホスト・ステータス・レジスタ (HSR) 内の INTAM ビットが 0 (ゼロ) の場合です。 $\overline{\text{PINTA}}$ ピンは、RSTSRC 内の INTRST ビットに 1 をライトすることでネゲートされます。割り込みは、他の割り込みが INTREQ 経由でリクエストされる前に INTRST に 1 をライトすることによりクリアしておく必要があります。

11 PCI ポートのブート・コンフィギュレーション

他のデバイス・コンフィギュレーションと同様に、デバイス・リセット時にブート・コンフィギュレーション・ピンの値で決定される PCI ポート・コンフィギュレーションは次のとおりです。

- EECTL 内の EEPROM 自動初期化 (EEAI) ビット : PCI がデフォルト値を使用するか、または EEPROM から設定値をリードするかを決定します。
- EECTL 内の EEPROM サイズ選択 (EESZ) ビット (C62x のみ) : EEPROM のサイズを決定します。

デバイスと PCI ブート・コンフィギュレーションの詳細は、各デバイスのデータシートを参照してください。EEPROM インターフェイスは、第 12 章で説明します。

PCI ポートは、PCI バスからのブートをサポートします。デバイスがリセットから起動されるまでの期間、CPU はストールします。その期間、PCI ホストは PCI 経由で必要に応じて DSP メモリを初期化できます。PCI ホストが必要な初期化を終了すると、host-to-DSP コントロール・レジスタ (HDCR) 内の DSPINT ビットに 1 をライトし、DSP コアをストール状態から解放します。その後、DSP は、アドレス 0h から実行を開始します。

PCI ブートのイベント・シーケンスは、次のとおりです。

- 1) PCI BOOTMODE は、リセット時にコンフィギュレーション・ピンへの入力で選択されます。詳細は、各デバイスのデータシートを参照してください。
- 2) PCI インターフェイスは、(選択されている場合) EEPROM 経由で PCI コンフィギュレーション・レジスタを自動初期化します。
- 3) PCI ホストは、メモリと I/O をイネーブルにします。
- 4) PCI マスターは、DSP ページ・レジスタ (DSPP) をライトします。
- 5) PCI マスターは、データをアドレス 0h からはじまる DSP メモリ・マップド空間に転送します。
- 6) PCI マスターはデータ・メモリ、ペリフェラル・レジスタ、EMIF にアクセスすることもできます。
- 7) PCI マスターは HDCR 内の DSPINT ビットに 1 をライトして、リセットから DSP を解放します。
- 8) DSP は 0h にメモリ・マップされているプログラムからコード実行を開始します。

12 EEPROM インターフェイス

DSP は、4 線式シリアル EEPROM インターフェイスをサポートします。Inter-Integrated Circuit (I²C) および SPI インターフェイスはサポートされていません。EEPROM インターフェイスのピン構成を表 2 に示します。

表 2. EEPROM シリアル・インターフェイス・ピン

ピン	入出力	説明
XSP_CLK	O	シリアル EEPROM クロック
XSP_CS	O	シリアル EEPROM チップ・セレクト
XSP_DI [†]	I	シリアル EEPROM データ入力
XSP_DO	O	シリアル EEPROM データ出力

[†]XSP_DI ピンは、プルダウンしておく必要があります。

シリアル EEPROM クロックは、DSP ペリフェラル・クロックから生成されます。通常、XSP_CLK ピンをドライブするために、2048 分周されます。XSP_CLK ピンがアクティブなのは、消費電力を最小限にするために EEPROM アクセスを行っている時のみです。

C62x デバイスの場合、パワーオン・リセット時のブート・コンフィギュレーション・ピンの状態 EESZ は、シリアル EEPROM の存在する場合はシリアル EEPROM のサイズを判別します。C62x デバイスがサポートしている EEPROM のサイズを表 3 にまとめます。C64x デバイスは、4 K ビットの EEPROM のみをサポートし、EESZ は存在しません。

EEPROM インターフェイスは、16 ビット・デバイスとしてのみ、EEPROM にアクセスします。EEPROM の ORG ピンは、V_{CC} に接続する必要があります。

表 3. TMS320C62x DSP でサポートする EEPROM のサイズ

EESZ ビット	C62x DSP でサポートする EEPROM のサイズ (ビット)
000	EEPROM は存在しない
001	1K
010	2K
011	4K
100	16K
100-111	予約

12.1 EEPROM からの PCI の自動初期化

DSP は、PCI コンフィギュレーション・レジスタの一部を外部シリアル EEPROM からロードすることができます。PCI ポートは、DSP を介さずに自動初期化プロセスを行います。

デバイス・リセット時のブート・コンフィギュレーション・ピン EEAI および EESZ (C62x デバイスのみ) の状態により、自動初期化機能がイネーブルかどうかは判別されます。EEAI ピンによるリセット時の自動初期化機能の選択を表 4 に示します。

表 4. EEPROM 自動初期化 (EEAI)

EEAI ビット	自動初期化
0	デフォルト値を使用する
1	EEPROM から値をリードする

自動初期化機能がイネーブルされるのは、次の場合です。

- 1) コンフィギュレーション・ピン EEAI = 1 (自動初期化機能がイネーブルされている)。
- 2) コンフィギュレーション・ピン EESZ ≠ 00b (EEPROM が存在することを示す)。
- 3) PCI 動作が選択される。

これらの条件のいずれかが該当しない場合、PCI コンフィギュレーション・レジスタにはデフォルト値が使用され、EEPROM はアクセスされません。これらの条件のすべてに該当する場合、EEPROM の内容が、PCI インターフェイスにより PCI コンフィギュレーション・レジスタの一部にロードされます (15.1 節を参照)。シリアル EEPROM のサイズは、シリアル・プロトコルを決定するために必要です。

12.2 EEPROM メモリ・マップ

シリアル EEPROM にストアされるデータは、特定のフォーマットである必要があります。EEPROM の先頭 28 バイトは、PCI コンフィギュレーション・レジスタの自動初期化のために予約されています。残りのロケーションは、自動初期化には使用されず、他のデータ用に使用できます。EEPROM は常に 16 ビット・デバイスとしてアクセスされます。EEPROM の先頭 28 バイトのメモリ・マップについて表 5 にまとめられています。詳細は、15.1 節を参照してください。

表 5. EEPROM メモリ・マップ

アドレス	内容 (MSB ... LSB)
0h	ベンダー ID
1h	デバイス ID
2h	クラス・コード [7-0]/ リビジョン ID
3h	クラス・コード [23-8]
4h	サブシステム・ベンダー ID
5h	サブシステム ID
6h	Max_Latency/Min_Grant
7h	PC_D1/PC_D0 (消費電力 D1、D0)
8h	PC_D3/PC_D2 (消費電力 D3、D2)
9h	PD_D1/PD_D0 (損失電力 D1、D0)
Ah	PD_D3/PD_D2 (損失電力 D3、D2)
Bh	Data_scale (PD_D3...PC_D0)
Ch	0000 0000 PMC[14-9]、PMC[5]、PMC[3]
Dh	チェックサム

12.3 EEPROM チェックサム

EEPROM に格納されているコンフィギュレーション・データは、チェックサムで検査されます。チェックサムは、初期値 AAAAh で始まる EEPROM に格納されているコンフィギュレーション・データ・ワードの 16 ビット累積排他的論理和 (XOR) です。EEPROM をプログラムする場合、アドレス 0Dh に適切な 16 ビットのチェックサム値をライトする必要があります。

チェックサム = AAAAh XOR データ (00h) XOR データ (01h) XOR データ (0Dh)

チェックサムが合わない場合、PCIIS 内および HSR 内の CFGERR ビットがセットされ、必要に応じて、DSP への割り込みが生成されます。DSP が割り込みを受け付けるかどうかは、その時点のコアの状態によって異なります。PCI がデバイスをブートしている場合、コアはリセット状態になり、割り込みを受け付けません。

HSR 内の EEREAD ビットがセットされるのは、パワーオン・リセット時に EEPROM 自動初期化が使用される場合です。

シリアル EEPROM が PCI コンフィギュレーションの目的でアクセスされないと (すなわち、リセット時に EEAI = 0、EESZ = 000b)、チェックサムは行われません。

チェックサムが合わないと、デフォルトのデータで PCI コンフィギュレーション・レジスタが初期化されることになります。これらのデフォルト値については、各 PCI コンフィギュレーション・レジスタを参照してください (15.1 節を参照)。

PCI コンフィギュレーション・レジスタの初期化 (自動またはデフォルト) が正常に終了すると、RSTSRC 内の CFGDONE ビットが更新されて、DSP が接続解除のリトライでサイクルを終了するのではなく、リードに応答できるようになります。

12.4 DSP EEPROM インターフェイス

EEPROM は、EEPROM アドレス・レジスタ (EEADD)、EEPROM データ・レジスタ (EEDAT)、EEPROM コントロール・レジスタ (EECTL) という 3 つのメモリ・マップド・レジスタを通して DSP から使うことができます。DSP EEPROM インターフェイスは、リセット後すぐに使用可能です。RSTSRC 内の CFGDONE ビットは、EEPROM が PCI 自動初期化のためにリードされたことを示します。

シリアル EEPROM デバイスの動作は、7 つの命令によって制御されます。命令オペコードは、2 ビットで構成されます。有効なオペコードを表 6 に示します。

表 6. EEPROM コマンドの概要

オペコード	命令	説明
10	READ	特定アドレスのデータをリードする
00 (アドレス = 11xxxx)	EWEN	ライト・イネーブル
11	ERASE	アドレスのメモリを消去する
01	WRITE	アドレスのメモリをライトする
00 (アドレス = 10xxxx)	ERAL	すべてのメモリ・ロケーションを消去する
00 (アドレス = 01xxxx)	WRAL	すべてのメモリ・ロケーションにライトする
00 (アドレス = 00xxxx)	EWDS	プログラミング命令をディスエーブルにする

EEPROM プロトコルは次のようになります。

- 1) RSTSRC 内の CFGDONE ビットがセットされるまで待ちます。EECTL 内の READY ビットおよび PCIIS 内の EERDY ビットも同様にセットされます。
- 2) EEPROM アドレスを EEADD にライトします (アドレス・レジスタです、EESZ は、有効なビットを決定します)。
- 3) EEPROM リードの場合、このステップは不要です。EEPROM ライト (WRITE/WRAL 命令) の場合、データを EEDAT にライトします。このデータはすぐに内部レジスタに転送されます。したがって、EEDAT からリードすると、無効なデータをリターンします。
- 4) 2 ビットのオペコードを EECTL 内の EECNT ビットにライトします。
- 5) その後、EEPROM インターフェイスは、EEPROM シリアル・シーケンスをクロック・アウトします。
- 6) EECTL 内で READY = 1 になるまでポーリングするか、または割り込み (PCIIS 内で EERDY = 1) を待ちます。
- 7) EEPROM ライトの場合、このステップは不要です。EEPROM リード (READ 命令) の場合、EEDAT からデータをリードします。

EEPROM シリアル・シーケンスは、EECNT ビットにライトすると開始されます。現在のコマンドが完了する (READY = 1) 前に、EECNT ビットにライトすると、現在のコマンドが完了してから、そのコマンドが実行されます。ただし、直前のコマンドで使用していた EECTL 内の READY ビットおよび EEDAT ビットの値は、書き換えられてしまいます。そのため、EEPROM コントローラに新しいコマンドを発行する前に、READY がアサートされるまで毎回ポーリングする必要があります。

13 エラー処理

PCI コンフィギュレーション・レジスタを使用すると、DSP はエラー処理を行うことが可能です。次の項では、さまざまなエラー状態を処理する方法について説明します。

13.1 PCI パリティ・エラー処理

DSP がバス・マスターになっている場合、PCI ステータス・レジスタ (PCI コンフィギュレーション・レジスタの 1 つ) 内のデータ・パリティ・レポート・ビット (ビット 15) は、次のいずれかの条件のときにセットされます。

- リード・トランザクションのデータ・フェーズ時のパリティ・エラー。
- ライト・トランザクションのデータ・フェーズ時のターゲットによる PPERR のアサート。

PCI ステータス・レジスタ内のデータ・パリティ・ディテクト・ビット (ビット 8) は、次のどの条件のときにもセットされます。

- DSP が PCI バス・マスターで、リード・トランザクション時にデータ・パリティ・エラーを検出。
- DSP が PCI バス・ターゲットで、ライト・トランザクション時にデータ・パリティ・エラーを検出。
- アドレス・パリティ・エラーを検出。

PCI コマンド・レジスタ (PCI コンフィギュレーション・レジスタの 1 つ) 内のパリティ・エラー・レポート・イネーブル・ビット (ビット 6) がセットされ、データ・パリティ・ディテクト・ビット (PCI ステータス・レジスタ内のビット 8) がセットされると、PCI ポートは PPERR をアサートします。PPERR は、エラーが発生したサイクルの 2 クロック後までアサートされ続けます。

DSP を伴う転送時にパリティ・エラーが検出されると、PCI ポートがマスターで、ターゲット・ディスコネクトが検出されない限り、トランザクションは完了するまで行われます。DSP は、パリティ・エラーによるマスター・アボートはしません。

PCI バス・インターフェイスは、PCI バス・データと PCI アドレス・パリティについて、パリティ生成と検証を行います。パリティ・エラーを認識すると、PCI ポートは、1 PCI クロック期間 PSERR または PPERR をアサートし、PCI コマンド・レジスタ内にフラグをセットします。

13.2 PCI システム・エラー処理

内部システム・エラーが発生するのは、次の条件のいずれか 1 つでも真の場合です。

- (DSP がトランザクションのターゲットではないとしても) PCI バス上でアドレス・パリティ・エラーが検出され、パリティ・エラー・レポーティング・イネーブル・ビット (ビット 6) が PCI コマンド・レジスタ (PCI コンフィギュレーション・レジスタの 1 つ) でセットされているとき。
- DSP がバス・マスタリング中に、 $\overline{\text{PPERR}}$ がアサートされたことを検出。
- DSP がバス・マスタリング中にターゲット・アボート (リトライなしの接続解除) を受信。

DSP が $\overline{\text{PSERR}}$ をアサートするのは、PCI コマンド・レジスタ内のシステム・エラー・レポーティング・イネーブル・ビット (ビット 8) がセットされており、かつ内部システム・エラー・フラグがセットされる場合です。

DSP は $\overline{\text{PSERR}}$ がアサートされると停止し、ソフトウェア・リセットまたはハードウェア・リセットを待ちます。

DSP は $\overline{\text{PSERR}}$ がアサートされる時はいつでも PCI ステータス・レジスタ内のシグナルド・システム・エラー・ビット (ビット 14) をセットします。

13.3 PCI マスター・アボート・プロトコル

DSP が PCI バス上でマスターになっているとき、マスター・アボートが発生すると、現在の転送は PCI バス上、および補助 DMA または EDMA インターフェイス上の両方で終了します。受信したマスター・アボート信号は、PCI ステータス・レジスタ内にセットされます。PCIIS 内の PCIMASTER ビットがセットされ、必要に応じて割り込みを生成することも可能です。

マスター・アボートを受信すると、PCIMC 内の START ビットは 00b にリセットされます。進行中のマスター・トランザクションはすべて停止します。

13.4 PCI ターゲット・アボート・プロトコル

DSP が PCI バス上でマスターになっているとき、ターゲット・アボートが発生すると、現在の転送は PCI バス上、および補助 DMA または EDMA インターフェイス上の両方で終了します。受信したターゲット・アボート信号は、PCI ステータス・レジスタ内にセットされます。PCIIS 内の PCITARGET ビットがセットされ、必要に応じて割り込みを生成することも可能です。

ターゲット・アボートは、マスター・トランザクションをディスエーブルにする手順と同一の手順に従います。受信したターゲット・アボート信号を使用して PCIMC 内の START ビットを 00b にリセットします。DSP メモリへの新たなライトは阻止されます。割り込みは転送が正常に終了しなかったことを示します。

14 パワー・マネージメント (C62x DSP のみ)

14.1 PCI パワー・マネージメント

PCI パワー・マネージメント規格リビジョン 1.1 では、パワー・マネージメント状態 $D0_{\text{uninitialized}}$ 、 $D0_{\text{active}}$ 、 $D1$ 、 $D2$ 、 $D3_{\text{hot}}$ 、および $D3_{\text{cold}}$ をそれぞれ規定しています。これらのパワー・マネージメント状態は、次のとおりです。

$D0_{\text{uninitialized}}$: チップへの電源投入時、または $\overline{\text{PRST}}$ のアサーションによりこの状態に入ります。PCI コンフィギュレーション・レジスタは、EEPROM から初期化されていません。DSP がこの状態のとき、自動初期化機能がイネーブルの場合、PCI コンフィギュレーション・レジスタ・リードまたはライトはリトライを生成します。自動初期化機能がディスエーブルの場合、デフォルト値がレジスタにロードされ、PCI アクセスが通常どおり行われます。コンフィギュレーション・レジスタが EEPROM からロードされると、ホストはベース・レジスタおよび I/O アドレス・レジスタを初期化できます。コンフィギュレーション・レジスタが EEPROM から、またはデフォルト値で初期化された後、この状態が終了し、 $D0_{\text{active}}$ に入ります。また PCI コマンド・レジスタ (PCI コンフィギュレーション・レジスタの 1 つ) 内の PCI I/O アクセス・イネーブル・ビット (ビット 0) とメモリ・アクセス・イネーブル・ビット (ビット 1) の両方またはいずれかがセットされます。

$D0_{\text{active}}$: これは通常の動作状態です。この状態では、デバイスはすべての操作をサポートし、すべてのペリフェラルが使用可能です。パワー・マネージメント・リクエスト、 $\overline{\text{PRST}}$ のアサーション、または V_{DDcore} の除去により、 $D0_{\text{active}}$ から遷移が行われます。 $D0_{\text{active}}$ からの遷移がパワー・マネージメント・リクエストの場合、PCI は PCIIS 内の PWRMGMT ビット経由で、DSP への割り込みを生成できます。

$D1$: これは 1 番目のパワー・マネージメント状態です。このモードにおけるチップの実際の動作は、DSP ソフトウェアにより決定されます。 $D1$ の消費電力は、 $D0$ よりも低いのですが、チップの電力を削減するのは DSP ソフトウェアの機能です。PCI コンフィギュレーションのコマンド・レジスタのメモリ・イネーブル・ビットと I/O イネーブル・ビットは、メモリと I/O サイクルを阻止するハードウェア・マスクによりディスエーブルされます。DSP は、PCI コンフィギュレーション・アクセスに応答します。パワー・マネージメント・リクエスト、 $\overline{\text{PRST}}$ のアサーション、または V_{DDcore} の除去により、 $D1$ からの遷移が行われます。 $D1$ からの遷移がパワー・マネージメント・リクエストの場合、PCIIS 内の PWRMGMT ビット経由で DSP に割り込みを生成することができます。そのため、DSP はパワー・ダウン PD1 モードからはウェイク・アップできますが、PD2 または PD3 モードからはウェイク・アップできません。

D2: これは 2 番目のパワー・マネージメント状態です。このモードのチップの実際の動作は、DSP ソフトウェアにより決定されます。D2 の消費電力は、D1 よりも低いのですが、チップの電力を削減するのは DSP ソフトウェアの機能です。PCI コンフィギュレーションのコマンド・レジスタのメモリ・イネーブル・ビットと I/O イネーブル・ビットは、メモリと I/O サイクルを阻止するハードウェア・マスクによりディスエーブルされます。DSP は、PCI コンフィギュレーション・アクセスにตอบสนองします。パワー・マネージメント・リクエスト、PRST のアサーション、または V_{DDcore} の除去により、D2 からの遷移が行われます。D2 からの遷移がパワー・マネージメント・リクエストの場合、内部 DSP ウォーム・リセットが生成されます。そのため、DSP のパワー・ダウン PD1、PD2、または PD3 モードのいずれからでもウェイク・アップできます。

D3_{hot}: これは 3 番目のパワー・マネージメント状態です。このモードにおけるチップの実際の動作は、DSP ソフトウェアにより決定されます。D3_{hot} の消費電力は、D2 よりも低いはずですが、チップの電力を削減するのは DSP ソフトウェアの機能です。PCI コンフィギュレーションのコマンド・レジスタのメモリ・イネーブル・ビットと I/O イネーブル・ビットは、メモリと I/O サイクルを阻止するハードウェア・マスクによりディスエーブルされます。DSP は、PCI コンフィギュレーション・アクセスにตอบสนองします。パワー・マネージメント・リクエスト、PRST のアサーション、または V_{DDcore} の除去により、D3_{hot} からの遷移が行われます。D3_{hot} からの遷移がパワー・マネージメント・リクエストの場合、内部 DSP ウォーム・リセットが生成されます。そのため、DSP のパワー・ダウン PD1、PD2、または PD3 モードのいずれからでもウェイク・アップできます。

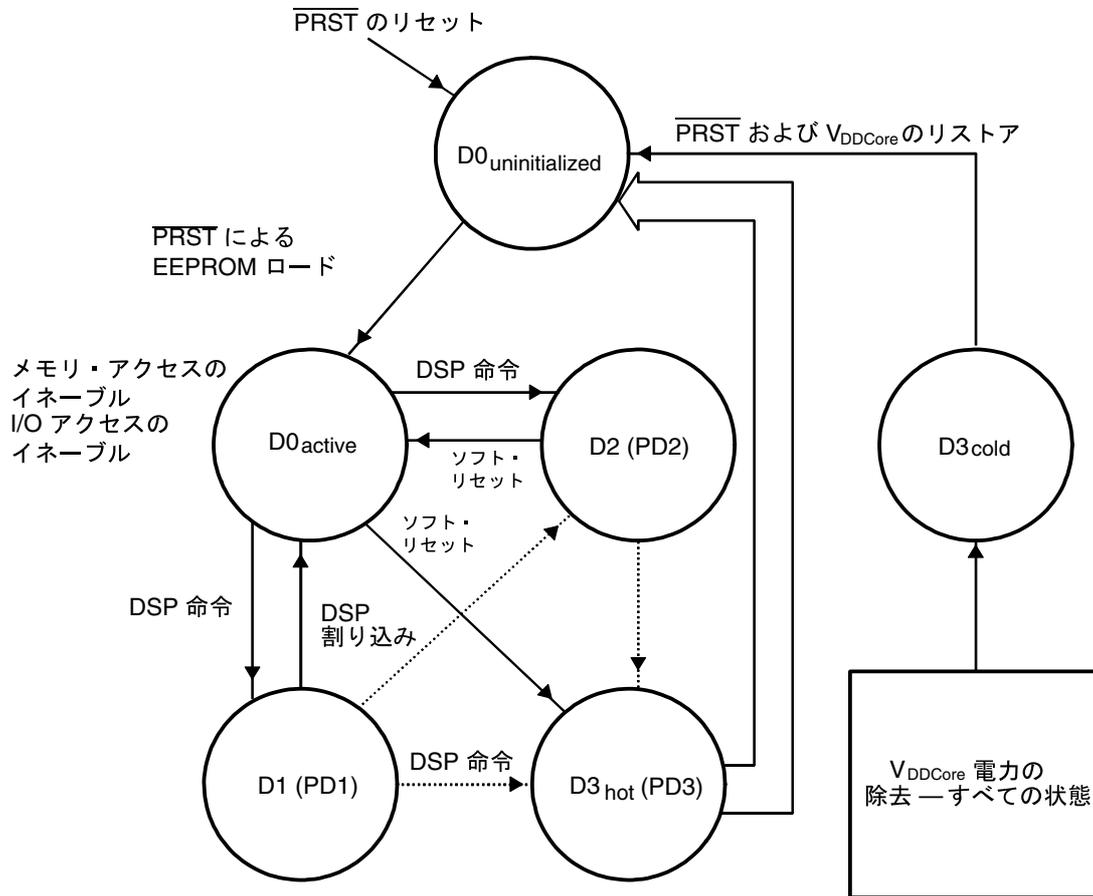
D3_{cold}: V_{DDcore} は除去され、デバイスは完全にシャットダウンされます。最も大きな電力削減は、このモードで行われます。PWR_WKP のアサーションに基づき PME をアサートするために、少量のロジックに $3.3 V_{aux}$ から電力が供給されます。D3_{cold} から D0_{uninitialized} への遷移は、 V_{DDcore} のリストアと RESET または PRST で行われます。

DSP の電源状態の遷移を図 6 に示します。DSP のパワー・マネージメント方法は、PCI パワー・マネージメント規格リビジョン 1.1 と次の点で異なります。

- DSP コアの省電力モードは、ソフトウェア命令によってのみ変更可能です。省電力モードに遷移するには、DSP コアはソフトウェアを実行するために、まず完全に動作可能である必要があります。D1 から D2、D1 から D3_{hot}、D2 から D3_{hot} への直接的な遷移は、サポートされていません (図 6 の点線)。目的の電源状態に進む前に、コアは常に D0_{active} に遷移する必要があります。
- DSP ソフトウェアが D1、D2 および D3_{hot} における消費電力削減メカニズムを決定することに注意してください。

D3_{hot} から D0 への遷移は、内部 DSP リセットと内部 PCI リセットを生成します。このリクエストされた状態が D0_{uninitialized} への遷移になります。

図 6. PCI ポートのパワー・マネージメント状態遷移図



DSP のパワー・マネージメント機能は、DSP ソフトウェアによって行われるため、DSP が有効な外部メモリからブートされるか、DSP ソフトウェアが DSP の内部 RAM にダウンロードされて DSP がリセットを解除されるまで、パワー・マネージメント機能はサポートされません。DSP ソフトウェアは、内部からでも外部からでも、ホストによるパワー・マネージメント・リクエストを処理できなければなりません。

PCI の外部ホストは、DSP が D0_active 状態のときは、PME を発行できません。これは、パワー・マネージメント規格リビジョン 1.1 に規定されています。

14.2 DSP パワー・マネージメント方法

DSP は、DSP ソフトウェア制御によるパワー・マネージメント状態間での遷移をトリガーする PCI バス・アクティビティに応答します。DSP ソフトウェアは、省電力モードでのデバイスの実際の動作を決定します。パワー・マネージメント状態は、次のとおりです。

- $D0_{active}$: アクティブな状態。省電力モードではありません。
- $D1$: DSP PD1 モード (割り込みロジックを除き、CPU は停止しています)。
- $D2$: DSP PD2 モード (CPU はオフ、ペリフェラルはオフ)。
- $D3_{hot}$: DSP PD3 モード (CPU はオフ、ペリフェラルはオフ、PLL はディスエーブル)。
- $D3_{cold}$: V_{DDcore} が除去されている点を除き、 $D3_{hot}$ と同じ。3.3 V_{aux} から電力が供給されている少量のロジックには、 PWR_WKP のアサーションで PME を生成するために電力を供給することができます。

ホストは PMCSR (PCI コンフィギュレーション・レジスタの1つ) 内の PWRSTATE ビットにライトすることにより各電力状態への遷移をリクエストします。PWRSTATE ビットが PMDCSR (PCI ペリフェラル・レジスタの1つ) 内の CURSTATE ビットと異なると、現在の DSP のパワー・マネージメント状態により、次のイベントのいずれかが発生します。

- **$D0$ または $D1$ 状態** : PCIHS 内の PWRMGMT ビット経由でコアをウェイク・アップするために、割り込みが生成されます。ウェイク・アップ時に、DSP ソフトウェアはリクエストされた状態 (PMDCSR 内の REQSTATE ビット) をリードする必要があります。その後、DSP ソフトウェアは PMDCSR 内の CURSTATE ビットを更新する必要があります。この時点で、ソフトウェアは、適切な省電力命令を実行することで、必要に応じてペリフェラルをシャットダウンすることなどができます。 $D1$ から $D2$ 、 $D1$ から $D3$ への直接的な遷移は、サポートされていません。これは DSP の省電力機能がソフトウェア制御によるものだからです。
- **$D2$ または $D3$ 状態** : ウォーム・リセットが DSP コアに対して生成されます。ウォーム・リセットは、置かれている任意の省電力モードからコアをウェイク・アップします。PCI コマンド・レジスタ内の PCI I/O アクセス・イネーブル・ビットおよびメモリ・アクセス・イネーブル・ビットは、ウォーム・リセットが行われている間、その状態を保持します。コアはウォーム・リセットからウェイク・アップ後に、 $D0_{active}$ 状態になります。ウェイク・アップ時に、DSP ソフトウェアはリクエストされた状態 (PMDCSR 内の REQSTATE ビット) をリードする必要があります。その後、DSP ソフトウェアは PMDCSR 内の CURSTATE ビットを更新する必要があります。この時点で、ソフトウェアは、適切な省電力命令を実行することで、必要に応じてペリフェラルをシャットダウンすることなどができます。 $D2$ から $D3$ への直接的な遷移は、サポートされていません。これは DSP の省電力機能がソフトウェア制御によるものだからです。

メモリおよび I/O サイクルをディスエーブルにするために、PCI コマンド・レジスタ内の I/O アクセス・イネーブル・ビット (ビット 0) およびメモリ・アクセス・イネーブル・ビット (ビット 1) は、 $D1$ 、 $D2$ 、および $D3$ の時、ハードウェアによりディスエーブルされます。これは、パワー・マネージメント規格リビジョン 1.1 に規定されています。 $D0$ への PME がリクエストされると、この 2 つのビットはイネーブルされ、オリジナルの値がセットされます。

14.3 DSP リセット

ここでは、さまざまなタイプのリセットについて説明します。DSP のパワー・マネージメント方法を理解することは重要です。

パワーオン・リセット ($\overline{\text{RESET}}$) : これは電源投入時またはハード・リセット時に適用されるピン・リセットです。自動初期化ピンの状態 (EESZ[2-0]、EEAI) は、リセットの立ち上がりエッジでサンプリングされます。DSP 上のすべてのロジックは、コアとペリフェラルも含め、リセットされます。EEPROM は、 $\overline{\text{RESET}}$ ではなく $\overline{\text{PRST}}$ で自動初期化されます。

ウォーム・リセット : このリセットは、コアおよびペリフェラルに適用されます。PCI ホストは、host-to-DSP コントロール・レジスタ (HDCR) 内の WARMRESET = 1 にセットすることで、ウォーム・リセットを生成できます。ウォーム・リセットは D2 または D3 からのパワー・マネージメント・リクエストに基づき、生成することもできます。DSP 上のすべてのロジックは、コアおよびペリフェラルも含め、リセットされます。WARMRESET で、PD2 または PD3 パワーダウン・モードからウェイク・アップできます。ただし、PCI コンフィギュレーション・レジスタはその状態を保持します。また、PCI コマンド・レジスタ (PCI コンフィギュレーション・レジスタの 1 つ) 内のメモリ・アクセス・イネーブル・ビット (ビット 1) および I/O アクセス・イネーブル・ビット (ビット 0) は、ウォーム・リセットの影響を受けません。

要約すると、ウォーム・リセットは次のいずれかにより生成されます。

- ❑ D2 または D3 パワー・マネージメント・リクエスト (PMDCSR 内の D2WARMONWKP ビットおよび D3WARMONWKP ビットがセットされます)
- ❑ D0 状態のとき、PCI I/O レジスタの HDCR 内の WARMRESET ビットにライトする
- ❑ $\overline{\text{PWR_WKP}}$ (ただし、D2 または D3 状態で、かつ D2WARMONWKP ビットおよび D3WARMONWKP ビットがセットされている場合)

PCI リセット ($\overline{\text{PRST}}$) : このリセットは、PCI バス・インターフェイス・ユニット (図 3 (19 ページ)) および PCI FIFO に適用されます。PCI リセット ($\overline{\text{PRST}}$) は PCI コンフィギュレーション・レジスタをそのデフォルト状態に初期化する (EEAI = 0 の場合) か、または EEPROM からの値で自動初期化します (EEAI = 1 の場合)。PCI ベース・アドレス・レジスタ (PCI コンフィギュレーション・レジスタの一部)、PCI コマンド・レジスタ内のメモリ・アクセス・イネーブル・ビット (ビット 1)、および I/O アクセス・イネーブル・ビット (ビット 0) も、 $\overline{\text{PRST}}$ によりリセットされます。

$\overline{\text{PRST}}$ は $\overline{\text{PRST}}$ ピンから、または D0 への D3 のパワー・マネージメント・リクエストから生成されます。

DSP コアへのリセットはパワーオン・リセット ($\overline{\text{RESET}}$) およびウォーム・リセットの論理 AND をとったもので、その両方はアクティブ Low です。

14.4 パワー・マネージメントの DSP サポート

パワー・マネージメント DSP コントロール/ステータス・レジスタ (PMDCSR) は、PCI メモリ・マップド・ペリフェラル・レジスタの 1 つで、パワー・マネージメントを制御できます。PMDCSR は、15.3.2 項で説明します。

14.4.1 パワー・マネージメント・コントロール/ステータス・レジスタ (PMCSR) のビット

パワー・マネージメント・コントロール/ステータス・レジスタ (PMCSR) は、15.1.22 項で説明します。PMCSR 内の PMESTAT ビットおよび PMEEN ビットには、 $3.3 V_{aux}$ 入力から電力が供給されます。これらのビットは、 $3.3 V_{aux}$ のパワー・オン遷移時にクリアされます。PRST、ウォーム・リセット、および RESET は、これらのビットの状態に影響を与えません。そのため、スティッキー・ビットといわれます。

パワー・マネージメント対応 PC では、 $3.3 V_{aux}$ が、 $D3_{cold}$ 状態で供給されます。スティッキー・ビットは、初期電源投入時にのみリセットされます。パワー・マネージメント非対応 PC では、 $3.3 V_{aux}$ がデバイス I/O 電源 V_{DD} とともに遷移します。スティッキー・ビットは、システムが $D3_{cold}$ から $D0$ に遷移するたびにリセットされます。スティッキー・ビットは PRST でもリセットされます。

PMESTAT ビットが 1 にセットされるのは、 $D3_{cold}$ (RESET active) 状態での $\overline{PWR_WKP}$ のアサーション、または $D3_{cold}$ 以外の状態でパワー・マネージメント DSP コントロール/ステータス・レジスタ (PMDCSR) 内の PMESTAT ビットに DSP がライトする場合です。これは、PMEEN ビットの値とは無関係です。

PMESTAT ビットは、PMCSR 内の PMESTAT ビットに 1 をライトすることによりクリアされます。また PMESTAT ビットは、PMDCSR 内の PMEEN ビットに DSP が 1 をライトすることによってもクリアされます。PMESTAT が 0 の場合、PMCSR にライトしても、このビットには影響しません。 $3.3 V_{aux_DET}$ ピンが Low ($D3_{cold}$ から PME アサーションをサポートしない) の場合、PRST はこのビットをクリアします。 $3.3 V_{aux_DET}$ ピンが High ($D3_{cold}$ から PME アサーションをサポートする) の場合、RESET、PRST、またはウォーム・リセットのいずれもこのビットに影響を与えません。

PMEEN ビットが 1 にセットされるのは、PCI コンフィギュレーション・レジスタ (PMCSR) から PMEEN に 1 をライトする場合だけです。DSP が PMDCSR から PMEEN ビットをセットすることはできません。

PMEEN ビットは、PMDCSR 内の PMEEN ビットに DSP が 1 をライトすることによりクリアされます。PMCSR の PMEEN に 0 をライトすることでも PMEEN ビットはクリアされます。DSP は PMDCSR 内の PMEEN ビットをリードすることにより、PMEEN ビットの値を監視します。 $3.3 V_{aux_DET}$ ピンが Low ($D3_{cold}$ から PME アサーションをサポートしない) の場合、PRST は、このビットをクリアします。 $3.3 V_{aux_DET}$ ピンが High ($D3_{cold}$ から PME アサーションをサポートする) の場合、RESET、PRST、またはウォーム・リセットのいずれもこのビットに影響を与えません。

PMEEN が 0 の場合の PME ピンのアサーションを防止するために、PMEEN ビットの出力が使用されます。PME ピンは、PMEEN が 1 にセットされている場合のみアサーションされます。

PMDCSR 内の PMEDRVN ビットは、PME ピンがアクティブになっていることを DSP に示します。このビットは DSP が PMDCSR をリードするだけでクリアされますが、PMCSR 内の PMEEN ビットと PMESTAT ビットの両方がセットされていると、ただちに再びセットされてしまいます。

14.4.2 3.3 V_{aux} 存在検出ステータス・ビット (AUXDETECT)

V_{DDcore} が除去された場合、3.3 V_{aux} の存在を示すのに、3.3 V_{aux}DET ピンが使用されます。DSP は PMDCSR 内の AUXDETECT ビットをリードすることにより、このピンを監視できます。PMCSR 内の PMEEN ビットは 3.3 V_{aux}DET ピンが Low であるとき、クリアされたままです。

14.4.3 PCI ポートの PWR_WKP への応答および PME 生成

3.3 V_{aux} が有効になっている場合、V_{DDcore} が有効かどうかにより、PCI ポートはアクティブな PWR_WKP 入力に異なった応答をします。PCI ポートの PWR_WKP への応答は、3.3 V_{aux} により電力が供給されます。

V_{DDcore} が有効で、かつ 3.3 V_{aux} が有効な場合 (すなわち、すべてのデバイスのパワー状態、ただし D3_{cold} を除く)、PWR_WKP の High から Low または Low から High への遷移が検出されると、PCI インタラプト・ソース・レジスタ (PCIIS) 内でビットがセットされます。PWR_WKP 信号は直接 DSP の PCI_WAKEUP 割り込みに接続されています。第 10 章を参照してください。

V_{DDcore} をシャットダウンし、3.3 V_{aux} が有効の場合 (D3_{cold})、PWR_WKP の遷移により PMCSR 内の PMESTAT ビットが (PMEEN ビットの値に関係なく) セットされます。PMEEN ビットがセットされている場合、PWR_WKP のアクティビティにより PME ピンがアサートされて、アクティブなままになります。

PCI ポートは PMDCSR 内の HWPMECTL ビットに基づき PME を生成することもできます。HWPMECTL ビットで対応するビットがセットされている場合、アクティブな PWR_WKP 信号によって、任意の状態へ遷移するか、または任意の状態、PME が生成されます。

PWR_WKP ピンでの遷移により、CPU 割り込みが発生します (PCI_WAKEUP については、第 10 章を参照してください)。PCIIS 内の PWRHL ビットおよび PWRLH ビットは、PWR_WKP ピンの High から Low または Low から High への遷移を示します。PCI インタラプト・イネーブル・レジスタ (PCIEN) 内で、対応する割り込みがイネーブルの場合、PCI_WAKEUP 割り込みが CPU に対して生成されます。

3.3 V_{aux} に電力が供給されない場合、PME ピンは ハイ・インピーダンス状態になっています。PME が DSP によりアクティブになると、PME がディアサートされるのは、PMCSR 内の PMESTAT ビットに 1 がライトされるか、または PMEEN ビットに 0 (ゼロ) がライトされる場合だけです。PME がリセット前にすでにアサートされている場合、PRST、RESET、またはウォーム・リセット・アクティブのいずれかでも、PME がハイ・インピーダンス状態になることはありません。

14.4.4 PWRSTATE の変更を示す DSP 割り込み

PMCSR にライトすることで PWRSTATE ビットに変更が加えられた場合、CPU 割り込みが生成されます。PCIIS 内の PWRMGMT ビットがセットされるのは、PWRSTATE ビットが現在の状態と異なる場合です。DSP クロックが動作していない場合、CPU 割り込みは生成されません。RESET により PMCSR が変更されても、CPU 割り込みは生成されません。PRST が発生する場合、CPU 割り込みが発生します。これは PRST アサーションにより、0 (ゼロ) が暗黙的に PWRSTATE ビットにライトされるからです。

15 PCI レジスタ

PCI レジスタには、次の 3 つのタイプがあります。

- PCI コンフィギュレーション・レジスタ—外部 PCI ホストからのみアクセス可能
- PCI I/O レジスタ—外部 PCI ホストからのみアクセス可能
- PCI メモリ・マップド・レジスタ—ベース・アドレス・レジスタ経由で外部 PCI ホストおよび DSP からアクセス可能

さらに、PCI レジスタに関係のあるリセットが 3 つあります。リセットごとにそれぞれ PCI レジスタに与える影響が異なります。各レジスタについては、次の項で説明します。3 つのリセットは次のとおりです。

- RESET** —メイン・デバイス・リセット・ピン
- ウォーム・リセット**— PCI ホストまたはパワー・マネージメント・イベントにより生成される
- PRST** — PCI のリセット信号

15.1 コンフィギュレーション・レジスタ

DSP は標準的な PCI コンフィギュレーション・レジスタをすべてサポートします。これらのレジスタは外部 PCI ホストからのみアクセス可能で、標準的な PCI コンフィギュレーション情報が含まれています (ベンダー ID、デバイス ID、クラス・コード、リビジョン番号、ベース・アドレス、パワー・マネージメントなど)。

デバイス・リセット時のブートおよびデバイス・コンフィギュレーション設定により、PCI コンフィギュレーション・レジスタはパワーオン・リセット時に EEPROM から自動ロードすることもできますし、またはパワーオン・リセット時にデフォルト値で初期化することもできます。

EEPROM が存在しない場合、PCI コンフィギュレーション・レジスタはデフォルト値で初期化されます。EEPROM が存在して自動初期化に設定されている場合、EEPROM からのリードがすべて終わるまで PCI コンフィギュレーション・レジスタはホストから適切にアクセスできません。初期化が完了する前に PCI ホストが PCI コンフィギュレーション・レジスタにアクセスすると、リトライで接続解除されません。

PCI インタラプト・ソース・レジスタ (PCIIS) および DSP リセット・ソース/ステータス・レジスタ (RSTSRC) 内の CFGDONE ビットおよび CFGERR ビットは、PCI コンフィギュレーション・レジスタの自動初期化の状態を示します。詳細は、15.3.3 項および 15.3.1 項を参照してください。PCI ポートは、CFGDONE=1 になるまで、リトライをアサートして、ホストが PCI コンフィギュレーション・レジスタへの一切のリードまたはライトを行わないようにします。CFGDONE=1 は、PCI コンフィギュレーション・レジスタが EEPROM またはデフォルト値で無事に初期化されたことを示します。

さらに EEPROM には、電源のデータの値が含まれていて、パワー・マネジメント・コントロール/ステータス・レジスタ (PMCSR) により選択されます。EEPROM にストアされている電源のデータは次のとおりです。

- PC_D0 : 消費電力 D0
- PC_D1 : 消費電力 D1
- PC_D2 : 消費電力 D2
- PC_D3 : 消費電力 D3
- PD_D0 : 損失電力 D0
- PD_D1 : 損失電力 D1
- PD_D2 : 損失電力 D2
- PD_D3 : 損失電力 D3

PCI コンフィギュレーション・レジスタを表 7 に示します。予約フィールドからリードすると、ゼロを返します。予約フィールドにライトしても影響はありません。これらのレジスタは、PCI 規格リビジョン 2.2 準拠です。レジスタとその動作の詳細は、このマニュアルとパワー・マネジメント規格リビジョン 1.1 を参照してください。

表 7 の網掛けされているレジスタには、デバイスの電源投入時に EEPROM から値を自動ロードすることができます。すべてのレジスタは、PCI のリセット (PRST) 時にリセットされるかロードされます。

15.1.1 から 15.1.23 の各項では、PCI コンフィギュレーション・レジスタ内のビット・フィールドについてまとめています。詳細は、PCI 規格リビジョン 2.2 を参照してください。

表 7. PCI コンフィギュレーション・レジスタ

アドレス	アクセス	バイト 3	バイト 2	バイト 1	バイト 0
00h	リード専用	デバイス ID		ベンダー ID	
04h	リード/ライト	ステータス		コマンド	
08h	リード専用	クラス・コード			リビジョン ID
0Ch	リード/ライト	Reserved	ヘッダ・タイプ	レイテンシ・タイマ	キャッシュ・ライン・サイズ
10h	リード/ライト	ベース 0 アドレス (4 M バイトのプリフェッチ可能空間)			
14h	リード/ライト	ベース 1 アドレス (8 M バイトのプリフェッチ不可能空間)			
18h	リード/ライト	ベース 2 アドレス (4 ワードの I/O 空間)			
24h	リード専用	Reserved			
2Ch	リード専用	サブシステム ID		サブシステム・ベンダー ID	
30h	リード専用	Reserved			
34h	リード専用	Reserved			機能ポインタ
38h	リード専用	Reserved			
3Ch	リード/ライト	Max_Latency	Min_Grant	インタラプト・ピン	インタラプト・ライン
40h	リード専用	パワー・マネージメント機能		次項目ポインタ	機能 ID
44h	リード/ライト	パワー・データ	Reserved	パワー・マネージメント・コントロール / ステータス	
48h FFh	リード専用	Reserved			

注：網がけされているレジスタは EEPROM から自動初期化時に自動ロードすることができます。

15.1.1 ベンダー識別レジスタ

図 7. ベンダー識別レジスタ



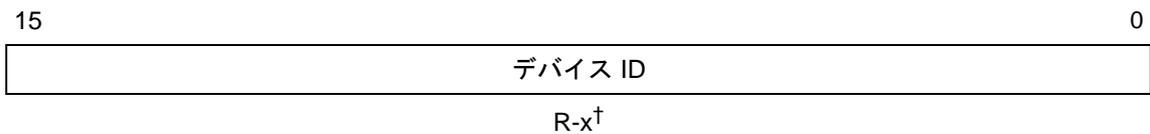
凡例：R = リード専用、-n = リセット後の値

表 8. ベンダー識別レジスタ・フィールドの説明

ビット	フィールド	値	説明
15-0	ベンダー ID	0-FFFFh	ベンダー定義デバイス ID

15.1.2 デバイス識別レジスタ

図 8. デバイス識別レジスタ



凡例：R = リード専用、-n = リセット後の値

† このフィールドのデフォルト値の詳細は、各デバイスのデータ・シートを参照してください。

表 9. デバイス識別レジスタ・フィールドの説明

ビット	フィールド	値	説明
15-0	デバイス ID	0-FFFFh	デバイス・メーカー ID。値については、各デバイスのデータ・シートを参照してください。

15.1.3 PCI コマンド・レジスタ

パワー・マネージメント・コントロール / ステータス・レジスタ (PMCSR) 内の PWRSTATE ビットが、D1、D2、または D3 を示す場合、DSP は I/O 空間またはメモリ空間への PCI アクティビティにตอบสนองしてはいけません。また PINTA をアサートしてもいけません。DSP ハードウェアは PWRSTATE ビットを監視し、PWRSTATE ビットが D1、D2、または D3 を示す場合、PCI コマンド・レジスタ内の I/O アクセス・イネーブル・ビットおよびメモリ・アクセス・イネーブル・ビットをマスクし、PINTA をアサートしないようにします。PCI コマンド・レジスタを図 9 に示します。また、その説明を表 10 に示します。

図 9. PCI コマンド・レジスタ

15				10		9		8							
Reserved†						マスター・バック・ツー・バック・トランザクション・イネーブル		システム・エラー・レポーティング・イネーブル							
R-0						R/W-0		R/W-0							
7		6		5		4		3		2		1		0	
データ・ステッピング・コントロール		パリティ・エラー・レポーティング・イネーブル		VGA パレット・スヌープ		メモリ・ライト・アンド・インバリデイト・イネーブル		スペシャル・サイクル認識イネーブル		バス・マスター機能イネーブル		メモリ・イネーブル		I/O イネーブル	
R-0		R/W-0		R-0		R-0		R-0		R/W-0		R/W-0		R/W-0	

凡例：R=リード専用、R/W=リード/ライト、-n=リセット後の値

† このフィールドにライトすると、常にデフォルト値がライトされます。これは将来的なデバイスの互換性を確保するためです。

表 10. PCI コマンド・レジスタ・フィールドの説明

ビット	値	説明
15-10	0	予約。この予約ビット・ロケーションは、常にデフォルト値を返します。このフィールドに値をライトしても影響はありません。このフィールドにライトすると、常にデフォルト値がライトされます。これは将来的なデバイスの互換性を確保するためです。
9	0-1	マスター・バック・ツー・バック・トランザクション・イネーブル・ビット。
8	0-1	システム・エラー・レポーティング・イネーブル・ビット。
7	0	データ・ステッピングは、使用されません。
6	0-1	パリティ・エラー・レポーティング・イネーブル・ビット。
5	0	N/A：VGA デバイスではありません。
4	0	メモリ・ライト・アンド・インバリデイトはサポートされていません。
3	0	スペシャル・サイクルは認識されません。
2	0-1	マスター機能ビット。
1	0-1	メモリ・アクセス・イネーブル・ビット。
0	0-1	I/O アクセス・イネーブル・ビット。

15.1.4 PCI ステータス・レジスタ

図 10. PCI ステータス・レジスタ

15	14	13	12	11	10	9	8
データ・パリティ・エラー・レポート	システム・エラー・通報	マスター・アボート受信	ターゲット・アボート受信	ターゲット・アボート通報	デバイス・セレクト信号タイミング	マスター・データ・パリティ・エラー検出	
R/WC-0	R/WC-0	R/WC-0	R/WC-0	R/WC-0	R-1		R/WC-0
7	6	5	4	3	0		
高速バック・ツーン・バック可能	Reserved†	33 MHz 最大周波数	機能リスト	Reserved			
R-0	R-0	R-0	R-1	R-0			

凡例：R=リード専用、R/W=リード/ライト、WC=1をライトするとリセットします。0（ゼロ）をライトしても影響はありません。-n=リセット後の値

† このフィールドにライトすると、常にデフォルト値がライトされます。これは将来的なデバイスの互換性を確保するためです。

表 11. PCI ステータス・レジスタ・フィールドの説明

ビット	値	説明
15	0-1	データ・パリティ・エラー・レポート・ビット。このビットに1をライトするとリセットします。0（ゼロ）をライトしても影響はありません。
14	0-1	システム・エラー・通報ビット。このビットに1をライトするとリセットします。0（ゼロ）をライトしても影響はありません。
13	0-1	マスター・アボート受信ビット。このビットに1をライトするとリセットします。0（ゼロ）をライトしても影響はありません。
12	0-1	ターゲット・アボート受信ビット。このビットに1をライトするとリセットします。0（ゼロ）をライトしても影響はありません。
11	0-1	ターゲット・アボート通報ビット。このビットに1をライトするとリセットします。0（ゼロ）をライトしても影響はありません。
10-9	1	デバイス・セレクト信号タイミング：中速。
8	0-1	マスター・データ・パリティ・エラー検出ビット。このビットに1をライトするとリセットします。0（ゼロ）をライトしても影響はありません。
7	0	このビットは高速バック・ツーン・バックが可能ではないことを示します。
6	0	予約。この予約ビット・ロケーションは、常にデフォルト値を返します。このフィールドにどのような値をライトしても影響はありません。このフィールドにライトすると、常にデフォルト値がライトされます。これは将来的なデバイスの互換性を確保するためです。
5	0	33MHz が最大周波数。
4	1	機能リストが実装されていることを示します（パワー・マネージメント）。
3-0	0	予約。この予約ビット・ロケーションは、常にデフォルト値を返します。このフィールドにどのような値をライトしても影響はありません。このフィールドにライトすると、常にデフォルト値がライトされます。これは将来的なデバイスの互換性を確保するためです。

15.1.5 リビジョン識別レジスタ

図 11. リビジョン識別レジスタ



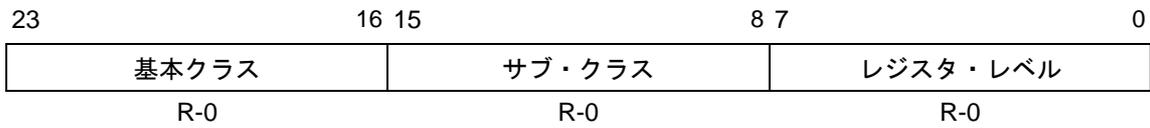
凡例：R = リード専用、-n = リセット後の値

表 12. リビジョン識別レジスタ・フィールドの説明

ビット	フィールド	値	説明
7-0	リビジョン ID	0-FFh	デバイス固有のリビジョン ID。

15.1.6 クラス・コード・レジスタ

図 12. クラス・コード・レジスタ



凡例：R = リード専用、-n = リセット後の値

表 13. クラス・コード・レジスタ・フィールドの説明

ビット	フィールド	値	説明
23-16	基本クラス	0h	デバイスの基本クラス
15-8	サブ・クラス	0h	サブ・クラス
7-0	レジスタ・レベル	0h	レジスタ・レベルのプログラミング・インターフェイス

15.1.7 キャッシュ・ライン・サイズ・レジスタ

図 13. キャッシュ・ライン・サイズ・レジスタ



凡例：R/W = リード/ライト、-n = リセット後の値

表 14. キャッシュ・ライン・サイズ・レジスタ・フィールドの説明

ビット	フィールド	値	説明
7-0	キャッシュ・ライン・サイズ	0、1h、2h、4h、8h、10h、20h、40h、80h	キャッシュ・ライン・サイズ。このフィールドは、2のべき乗のキャッシュ・ライン・サイズのみ受け付けます。2のべき乗以外のキャッシュ・ライン・サイズがライトされると、このフィールドには、0（ゼロ）がライトされます。

15.1.8 レイテンシ・タイマ・レジスタ

図 14. レイテンシ・タイマ・レジスタ



凡例：R/W = リード/ライト、-n = リセット後の値

表 15. レイテンシ・タイマ・レジスタ・フィールドの説明

ビット	フィールド	値	説明
7-0	レイテンシ・タイマ	0-FFh	レイテンシ・タイマ。

15.1.9 ヘッダ・タイプ・レジスタ

図 15. ヘッダ・タイプ・レジスタ

7	6	0
単一機能デバイス	コンフィギュレーション・レイアウト	
R-0	R-0	

凡例：R=リード専用、-n=リセット後の値

表 16. ヘッダ・タイプ・レジスタ・フィールドの説明

ビット	値	説明
7	0	単一機能デバイス。
6-0	0-7Fh	典型的な PCI マスター/ターゲット・デバイス用のコンフィギュレーション・レイアウト。

15.1.10 ベース 0 アドレス・レジスタ

4 M バイトのプリフェッチ可能メモリのマスク。ホストは FFFF FFFFh をライト後に、FFC0 0008h をリードします。FFC0 0008h をマスク・ビットとして使用して、レジスタ初期化時にベース・アドレス領域のサイズを判別します。

図 16. ベース 0 アドレス・レジスタ

31	22 21	4	3	2	1	0
ベース 0 アドレス	ベース 0 アドレス・マスク		プリ フェッチ 可能	タイプ	BAR タイプ	
R/W-0	R-0		R-1	R-00	R-0	

凡例：R/W=リード/ライト、-n=リセット後の値

表 17. ベース 0 アドレス・レジスタ・フィールドの説明

ビット	値	説明
31-22	0-CFFh	ベース 0 アドレス。ライト可能ビット。ホストは 4 M の PCI アドレス空間を割り当てます。
21-4	0	4 M マスク。これらのビットは、リード専用で、この BAR が 4 M バイトのアドレス空間を必要とすることを示します。
3	1	プリフェッチ可能。この BAR はプリフェッチ可能メモリへのアクセスであることを示します。
2-1	00	タイプ。この BAR は最初の 4 G のアドレス空間に配置される必要がありません。
0	0	BAR タイプ。この BAR は、メモリ BAR です。

15.1.11 ベース 1 アドレス・レジスタ

8 M バイトのプリフェッチ不可能メモリのマスク。ホストは FFFF FFFFh をライト後に、FF80 0000h をリードします。FF800000h をマスク・ビットとして使用して、レジスタ初期化時にベース・アドレス領域のサイズを判別します。

図 17. ベース 1 アドレス・レジスタ

31	23 22	4	3	2	1	0
ベース 1 アドレス	ベース 1 アドレス・マスク	プリ フェッチ 可能	タイプ	BAR タイプ		
R/W-0	R-0	R-0	R-00	R-0		

凡例：R/W = リード/ライト、-n = リセット後の値

表 18. ベース 1 アドレス・レジスタ・フィールドの説明

ビット	値	説明
31-23	0-1FFh	ベース 1 アドレス。ライト可能ビット。ホストは 8 M バイトの PCI アドレス空間を割り当てます。
22-4	0	ベース 1 アドレス・マスク。これらのビットは、リード専用で、この BAR が 8 M バイトのアドレス空間を必要とすることを示します。
3	0	プリフェッチ可能。この BAR を介したアクセスは、プリフェッチ可能ではないことを示します。
2-1	0	タイプ。この BAR は最初の 4 G のメモリに配置される必要があります。
0	0	BAR タイプ。この BAR は、メモリ BAR です。

15.1.12 ベース 2 アドレス・レジスタ

16 バイトの I/O 空間のマスク。ホストは FFFF FFFFh をライト後に、FFFF FFF1h をリードします。FFFF FFF1h をマスク・ビットとして使用して、レジスタ初期化時にベース・アドレス領域のサイズを判別します。

図 18. ベース 2 アドレス・レジスタ

31	43	2	1	0
ベース 2 アドレス	ベース 2 アドレス・ マスク	Reser- ved	BAR タイプ	
R/W-0000001h	R-0	R-0	R-1	

凡例：R/W = リード/ライト、-n = リセット後の値

表 19. ベース 2 アドレス・レジスタ・フィールドの説明

ビット	値	説明
31-4	0-FFFFFFh	ベース 2 アドレス。ライト可能ビット。ホストは 16 バイトの I/O アドレス空間を割り当てます。
3-2	0	ベース 2 アドレス・マスク。これらのビットは、リード専用で、この BAR が 16 バイトのアドレス空間を必要とすることを示します。
1	0	予約。
0	1	BAR タイプ。この BAR は、I/O BAR です。

15.1.13 サブシステム識別レジスタ

図 19. サブシステム識別レジスタ



凡例：R = リード専用、-n = リセット後の値

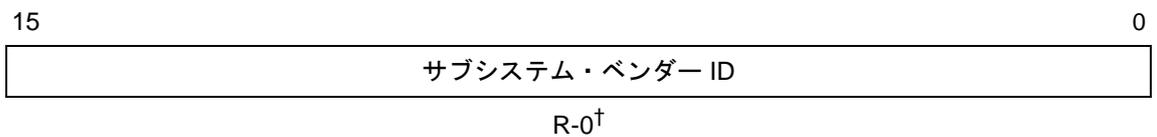
† デフォルト値は EEPROM 自動初期化によりセットできます。

表 20. サブシステム識別レジスタ・フィールドの説明

ビット	フィールド	値	説明
15-0	サブシステム ID	0-FFFFh	アドイン・ボードまたはサブシステム識別子。

15.1.14 サブシステム・ベンダー識別レジスタ

図 20. サブシステム・ベンダー識別レジスタ



凡例：R = リード専用、-n = リセット後の値

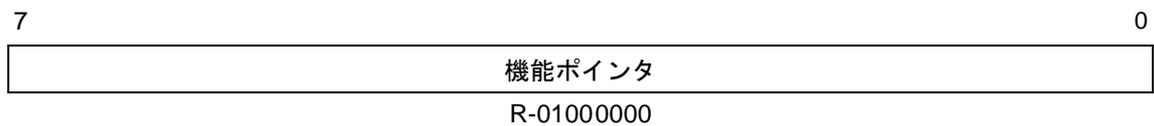
† デフォルト値は EEPROM 自動初期化によりセットできます。

表 21. サブシステム・ベンダー識別レジスタ・フィールドの説明

ビット	フィールド	値	説明
15-0	サブシステム・ベンダー ID	0-FFFFh	アドイン・ボードまたはサブシステム・ベンダー識別子。

15.1.15 機能ポインタ・レジスタ

図 21. 機能ポインタ・レジスタ



凡例：R = リード専用、-n = リセット後の値

表 22. 機能ポインタ・レジスタ・フィールドの説明

ビット	フィールド	値	説明
7-0	機能ポインタ	40h	パワー・マネージメント機能ブロックへのオフセット。

15.1.16 インタラプト・ライン・レジスタ

図 22. インタラプト・ライン・レジスタ



凡例：R/W = リード/ライト、-n = リセット後の値

表 23. インタラプト・ライン・レジスタ・フィールドの説明

ビット	フィールド	値	説明
7-0	インタラプト・ライン	0-FFh	インタラプト・ライン・ルーティング情報

15.1.17 Min_Grant レジスタ

図 23. Min_Grant レジスタ



凡例：R = リード専用、-n = リセット後の値

† デフォルト値は EEPROM 自動初期化によりセットできます。

表 24. Min_Grant レジスタ・フィールドの説明

ビット フィールド	値	説明
7-0 最小グラント	0-FFh	最小グラント・ビット。

15.1.18 Max_Latency レジスタ

図 24. Max_Latency レジスタ



凡例：R = リード専用、-n = リセット後の値

† デフォルト値は EEPROM 自動初期化によりセットできます。

表 25. Max_Latency レジスタ・フィールドの説明

ビット フィールド	値	説明
7-0 最大レイテンシ	0-FFh	最大レイテンシ・ビット。

15.1.19 機能識別レジスタ

図 25. 機能識別レジスタ



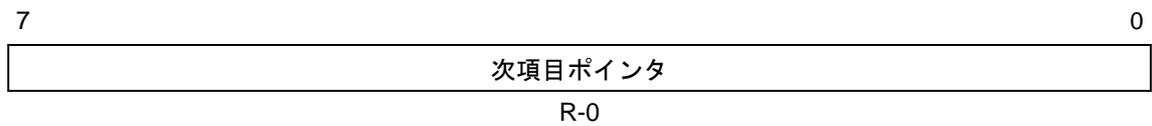
凡例：R = リード専用、-n = リセット後の値

表 26. 機能識別レジスタ・フィールドの説明

ビット	フィールド	値	説明
7-0	機能 ID	1	PCI パワー・マネージメント識別ビット。

15.1.20 次項目ポインタ・レジスタ

図 26. 次項目ポインタ・レジスタ



凡例：R = リード専用、-n = リセット後の値

表 27. 次項目ポインタ・レジスタ・フィールドの説明

ビット	フィールド	値	説明
7-0	次項目ポインタ	0	機能リスト・ポインタ内の次の項目 (0 (ゼロ) は最後の項目)。

15.1.21 パワー・マネージメント機能レジスタ (PMC)

図 27. パワー・マネージメント機能レジスタ (PMC)

15	14	11	10	9	8	6	5	4	3	2	0
D3 内 PME_Support	PME_Support	D2 サポート	D1 サポート	補助電源 最大電流	初期化	Re- served	PME クロック	パワー・マ ネージメント			
R-ピン	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-010	

凡例：R=リード専用、-n=リセット後の値、-ピン =リセット後の外部ピンの値

† このフィールドにライトすると、常にデフォルト値がライトされます。これは将来的なデバイスの互換性を確保するためです。

表 28. パワー・マネージメント機能レジスタ (PMC) フィールドの説明

ビット	フィールド	値	説明
15	D3 内 PME_Support		D3 _{cold} での PME_Support ステータス・ビット。リードされる値は、3.3V _{aux} DET ピンに 3.3 V があるかどうかにより異なります。
		0	3.3V _{aux} DET ピンは Low です。
		1	3.3V _{aux} DET ピンは High です。
14-11	PME_Support	0	PME_Support ビットは、ボードが PME をアサートすることを示します。
10	D2 サポート	0	D2_Support
9	D1 サポート	0	D1_Support
8-6	補助電源最大電流	0	補助電源の最大電流ビット。PWRDATA レジスタが実装されているので、このフィールドは 000h を戻します。
5	初期化	0	デバイス依存の初期化が必要かどうか。
4	Reserved	0	予約。この予約ビット・ロケーションは、常にデフォルト値を返します。このフィールドにどのような値をライトしても影響はありません。このフィールドにライトすると、常にデフォルト値がライトされます。これは将来的なデバイスの互換性を確保するためです。
3	PME クロック	0	PME クロック・ビット。PME をアサートするために PCI クロックを必要としません。
2-0	パワー・マネージメント	3h	パワー・マネージメント・バージョン・ビット。

15.1.22 パワー・マネージメント・コントロール/ステータス・レジスタ (PMCSR)

パワー・マネージメント・コントロール/ステータス・レジスタ (PMCSR) を図 28 に示します。また、その説明を表 29 に示します。

図 28. パワー・マネージメント・コントロール/ステータス・レジスタ (PMCSR)

15	14	13 12	9 8 7	21	0
PMESTAT	DATASCALE	DATASEL	PMEEN	Reserved†	PWRSTATE
R/WC-0	R-0	R/W-0	R/W-0	R-0	R/W-0

凡例：R=リード専用、R/W=リード/ライト、WC=1をライトするとクリアします。0(ゼロ)をライトしても影響はありません。*n*=リセット後の値

† このフィールドにライトすると、常にデフォルト値がライトされます。これは将来的なデバイスの互換性を確保するためです。

表 29. パワー・マネージメント・コントロール/ステータス・レジスタ (PMCSR) フィールドの説明

ビット	フィールド	値	説明
15	PMESTAT	0 1	<p>パワー・マネージメント・イベント・ステータス・ビット。3.3 V_{aux}DET が Low の場合、このビットは 0 (ゼロ) にリセットされます。3.3 V_{aux}DET が High の場合、このビットはパワー・リセット時に 0 (ゼロ) になります。PMESTAT は PCI の 3.3 V_{aux} ピンから電力が供給されるスティッキー・ビットです (すなわち、メインの PCI バス・パワーがオフのとき、値は保持されます)。このビットに 1 をライトするとクリアします。0 (ゼロ) をライトしても影響はありません。</p> <p>0 パワー・マネージメント・イベントは発生していません。</p> <p>1 パワー・マネージメント・イベントは発生しています。PMEEN が 1 の場合、PME ピンもアサートされます。</p>
14-13	DATASCALE	0-3h 0 1h 2h 3h	<p>データ・スケール・ビット。PWRDATA からリードされるデータのスケールリング・ファクタ。このフィールドは DATASEL 値で変更され、PWRDATA 初期化データで初期化されます。</p> <p>0 予約</p> <p>1h 0.1 ワット × PWRDATA からの値</p> <p>2h 0.01 ワット × PWRDATA からの値</p> <p>3h 0.001 ワット × PWRDATA からの値</p>

表 29. パワー・マネージメント・コントロール/ステータス・レジスタ (PMCSR) フィールドの説明 (続き)

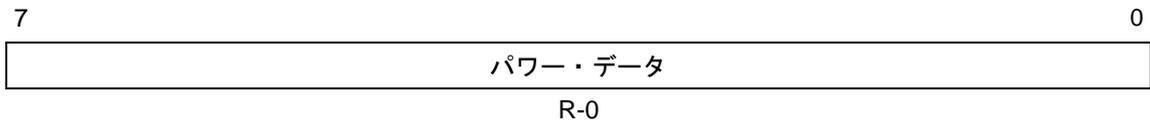
ビット	フィールド	値	説明
12-9	DATASEL	0-Fh	データ選択ビット。PWRDATA レジスタおよび DATASCALE フィールドの選択ビット。
		0	PWRDATA をリードすると、D0 の消費電力を返します。
		1h	PWRDATA をリードすると、D1 の消費電力を返します。
		2h	PWRDATA をリードすると、D2 の消費電力を返します。
		3h	PWRDATA をリードすると、D3 _{hot} の消費電力を返します。
		4h-7h	PWRDATA をリードすると、0 (ゼロ) を返します。
		8h	PWRDATA をリードすると、D0 の損失電力を返します。
		9h	PWRDATA をリードすると、D1 の損失電力を返します。
		Ah	PWRDATA をリードすると、D2 の損失電力を返します。
		Bh	PWRDATA をリードすると、D3 _{hot} の損失電力を返します。
		Ch-Fh	PWRDATA をリードすると、0 (ゼロ) を返します。
8	PMEEN		<p>PME アサーション・イネーブル・ビット。3.3 V_{aux}DET が Low の場合、このビットは 0 (ゼロ) にリセットされます。3.3 V_{aux}DET が High の場合、このビットはパワー・リセット時に 0 (ゼロ) になります。</p> <p>PMEEN は PCI の 3.3 V_{aux} ピンから電力が供給される、スティッキー・ビットです (すなわち、メインの PCI バス・パワーがオフのとき、値は保持されます)。</p>
		0	PME アサーションはディスエーブルです。
		1	PME アサーションはイネーブルです。
7-2	Reserved	0	予約。この予約ビット・ロケーションは、常にデフォルト値を返します。このフィールドにどのような値をライトしても影響はありません。このフィールドにライトすると、常にデフォルト値がライトされます。これは将来的なデバイスの互換性を確保するためです。

表 29. パワー・マネージメント・コントロール/ステータス・レジスタ (PMCSR)
フィールドの説明 (続き)

ビット	フィールド	値	説明
1-0	PWRSTATE	0-3h	<p>パワー状態ビット。PWRSTATE をリードすると、パワー・マネージメント DSP コントロール/ステータス・レジスタ (PMDCSR) 内の CURSTATE ビットにより提供される現在のパワー状態を返します。</p> <p>PWRSTATE のライトは、ホストがリクエストするパワー状態です。このビットが PMDCSR 内の REQSTATE ビットに現在保持されている値と同じではない値でライトすると、DSP に対してパワー・マネージメント割り込みまたはウォーム・リセットが行われ、これらのビットの値で REQSTATE ビットを更新します。値が REQSTATE ビットの現在の値と同じ場合、ライトしても割り込みは発生しません。</p> <p>パワー状態が正常に遷移するライトだけが処理されます。すべてのライトは PCI バス上で正常に終了しますが、不正な遷移はコアで処理されません。ソフトウェアによって、サポートされていないオプションの状態をこのフィールドにライトしようとする、ライト動作は通常通り PCI バス上で行われますが、データは破棄され、状態の変更は行われません。</p>
		0	パワー状態 D0
		1h	パワー状態 D1
		2h	パワー状態 D2
		3h	パワー状態 D3

15.1.23 パワー・データ・レジスタ (PWRDATA)

図 29. パワー・データ・レジスタ (PWRDATA)



凡例：R = リード専用、-n = リセット後の値

表 30. パワー・データ・レジスタ (PWRDATA) フィールドの説明

ビット	フィールド	値	説明
7-0	パワー・データ	0-Fh	パワー・データ・ビット。このビットをリードすることにより PMSCR 内の DATASEL ビットにより選択される、デバイスのパワー・マネージメント状態における消費電力または損失電力を返します。
		0	D0 の消費電力。
		1h	D1 の消費電力。
		2h	D2 の消費電力。
		3h	D3 _{hot} の消費電力。
		4h	D0 の損失電力。
		5h	D1 の損失電力。
		6h	D2 の損失電力。
		7h	D3 _{hot} の損失電力。
		8h-Fh	リードすると、0 (ゼロ) を返します。

15.2 I/O レジスタ

PCI ホスト I/O 空間に配置されている PCI I/O レジスタを表 31 に示します。これらの I/O レジスタは、PCI ホストだけがアクセス可能で、ベース 1 アドレス・レジスタもしくはベース 2 アドレス・レジスタで指定されるベース 1 アドレス範囲またはベース 2 アドレス範囲にあります。ベース 1 アドレス・レジスタとベース 2 アドレス・レジスタは、PCI コンフィギュレーション・レジスタです (15.1 節を参照)。それぞれのベース・アドレスのロケーションについては、第 3 章で説明します。PCI I/O レジスタはすべて、バイト・アドレス指定可能です。I/O ベース・アドレス (ベース 2 アドレス) 経由でアクセスされる、PCI I/O レジスタのロケーションを表 32 に示します。

I/O アクセスをサポートしていないプロセッサの場合、プリフェッチ不可能なベース 1 メモリ経由でリードとライトを行うことで PCI I/O レジスタにもアクセスできます。ベース 1 アドレス経由でアクセスする場合、これらのレジスタの正しいアドレスは、各デバイスのデータ・シートを参照してください。DSP はこれらのロケーションにある I/O レジスタにアクセスできません。I/O レジスタには、PCI ホストだけがアクセス可能です。ベース 1 アドレス空間をアクセスする場合、メモリのリード/ライトまたは DSP のメモリ・マップド・レジスタ・アクセスは、これらのロケーションで発生しません。ベース 0 アドレスでのこれらのロケーションへのアクセスは、I/O レジスタではなく DSP メモリ・マップド・レジスタにマップされます。

表 31. PCI I/O レジスタ

略称	レジスタ名	参照先
HSR	ホスト・ステータス・レジスタ	15.2.1
HDCR	Host-to-DSP コントロール・レジスタ	15.2.2
DSPP	DSP ページ・レジスタ	15.2.3

表 32. I/O 空間 (ベース 2 メモリ) 経由でアクセスされる PCI I/O レジスタ

アドレス [†]	アクセスされるレジスタ / ポート
I/O ベース・アドレス + 00h	ホスト・ステータス・レジスタ (HSR)
I/O ベース・アドレス + 04h	Host-to-DSP コントロール・レジスタ (HDCR)
I/O ベース・アドレス + 08h	DSP ページ・レジスタ (DSPP)
I/O ベース・アドレス + 0Ch	予約

[†] I/O ベース・アドレスは、ベース 2 アドレス・レジスタで指定されます。表 7 を参照してください。

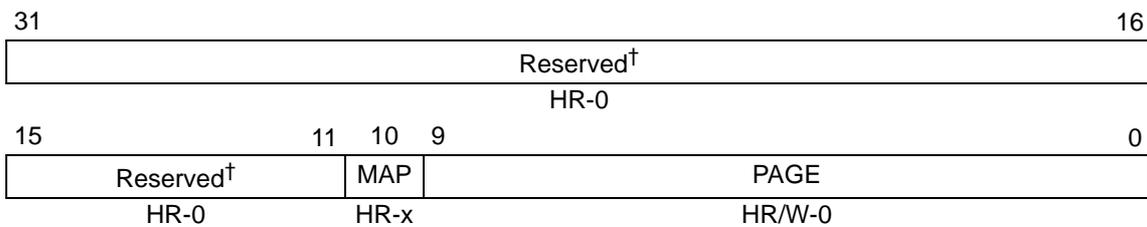
表 33. ホスト・ステータス・レジスタ (HSR) フィールドの説明 (続き)

ビット	フィールド	値	説明
2	INTAM		$\overline{\text{PINTA}}$ マスク。DSP による $\overline{\text{PINTA}}$ のアサーションをディスエーブルにします。PCI ホストによってのみライト (D1、D2、D3 のいずれかの状態では、 $\overline{\text{PINTA}}$ はパワー・マネージメント・ロジックによりマスクされます)。リセット・ソースは、 $\overline{\text{PRST}}$ です。
		0	$\overline{\text{PINTA}}$ が DSP によりアサートされており、DSP リセット・ソース/ステータス・レジスタ (RSTSRC) 内の INTREQ ビットがセットされています。
		1	$\overline{\text{PINTA}}$ はアサートされません。これは、割り込み生成ロジックをリセットしないことに注意してください。DSP リセット・ソース/ステータス・レジスタ (RSTSRC) 内の INTRST ビットをセットする必要があります。
1	INTAVAL		現在の $\overline{\text{PINTA}}$ ピンの値を示します。ホストのリード専用ビットです。ライトしても影響はありません。PCI ホストが INTSRC ビットに 1 をライトするか、または DSP が DSP リセット・ソース/ステータス・レジスタ (RSTSRC) 内の INTRST ビットに 1 をライトすると、 $\overline{\text{PINTA}}$ がディアサートされます。リセット・ソースは、 $\overline{\text{PRST}}$ です。
		0	$\overline{\text{PINTA}}$ はアサートされていません (インアクティブ)。
		1	$\overline{\text{PINTA}}$ はアサートされています (アクティブ)。
0	INTSRC		最後の HSR クリア以降で PCI IRQ ソースがアクティブ。このビットが 1 の場合、DSP リセット・ソース/ステータス・レジスタ (RSTSRC) 内の INTREQ ビットをライトすることで、DSP が $\overline{\text{PINTA}}$ 割り込みをアサートしたことを示します。このとき、INTAM ビットは 0 (ゼロ) です。リセット・ソースは $\overline{\text{PRST}}$ です。 PCI ホストがこのビットに 1 をライトすることにより、このビットはクリアされます。また、これにより $\overline{\text{PINTA}}$ 信号がネゲートされます。
		0	リードの場合、 $\overline{\text{PINTA}}$ は最後にクリアされた後、アサートされていません。ライトした場合、影響はありません。
		1	リードの場合、 $\overline{\text{PINTA}}$ は最後にクリアされた後にアサートされています。ライトした場合、 $\overline{\text{PINTA}}$ はディアサートされます。これは、以降の割り込みをイネーブルにするわけではないことに注意してください。RSTSRC 内の INTRST ビットをセットして、以降の割り込みを許可する必要があります。15.3.1 項を参照してください。

15.2.3 DSP ページ・レジスタ (DSPP)

DSP ページ・レジスタ (DSPP) を図 32 に示します。また、その説明を表 35 に示します。

図 32. DSP ページ・レジスタ (DSPP)



凡例：H=ホスト・アクセス、R=リード専用、R/W=リード/ライト、-n=リセット後の値、-x=リセット後の値は不定
[†] このフィールドにライトすると、常にデフォルト値がライトされます。これは将来的なデバイスの互換性を確保するためです。

表 35. DSP ページ・レジスタ (DSPP) フィールドの説明

ビット	フィールド	値	説明
31-11	Reserved	0	予約。この予約ビット・ロケーションは、常にデフォルト値を返します。このフィールドにどのような値をライトしても影響はありません。このフィールドにライトすると、常にデフォルト値がライトされます。これは将来的なデバイスの互換性を確保するためです。
10	MAP	0	DSP によって使用されているメモリ・マップを示します (C62x DSP のみ)。ホストのリード専用ビットです。ライトしても影響はありません。リセット・ソースは <u>RESET</u> です。
		1	マップ 1
9-0	PAGE	0-3FFh	プリフェッチ可能な (ベース 0) メモリ・アクセスに対して、4 M バイトのメモリ・ウィンドウを <u>DSP</u> アドレス・マップ内に配置します。リセット・ソースは、 <u>PRST</u> です。

15.3 メモリ・マップド・レジスタ

PCI インターフェイスの DSP 制御 / ステータス用のメモリ・マップド・レジスタを表 36 に示します。これらのレジスタにアクセスできるのは、DSP と PCI ホストの両方です。これらのレジスタのメモリ・アドレスについては、各デバイスのデータシートを参照してください。

表 36. PCI メモリ・マップド・レジスタ

略称	レジスタ名	参照先
RSTSRC	DSP リセット・ソース / ステータス・レジスタ	15.3.1
PMDCSR [†]	パワー・マネージメント DSP コントロール / ステータス・レジスタ	15.3.2
PCIIS	PCI インタラプト・ソース・レジスタ	15.3.3
PCIEN	PCI インタラプト・イネーブル・レジスタ	15.3.4
DSPMA	DSP マスター・アドレス・レジスタ	15.3.5
PCIMA	PCI マスター・アドレス・レジスタ	15.3.6
PCIMC	PCI マスター・コントロール・レジスタ	15.3.7
CDSPA	カレント DSP アドレス・レジスタ	15.3.8
CPCIA	カレント PCI アドレス・レジスタ	15.3.9
CCNT	カレント・バイト・カウント・レジスタ	15.3.10
EEADD	EEPROM アドレス・レジスタ	15.3.11
EEDAT	EEPROM データ・レジスタ	15.3.12
EECTL	EEPROM コントロール・レジスタ	15.3.13
HALT [†]	PCI トランスファー・ホルト・レジスタ	15.3.14
TRCTL [‡]	PCI トランスファー・リクエスト・コントロール・レジスタ	15.3.15

[†] このレジスタは C62x DSP にのみ適用されます。

[‡] TRCTL レジスタは C64x DSP にのみ適用されます。

15.3.1 DSP リセット・ソース/ステータス・レジスタ (RSTSRC)

DSP リセット・ソース/ステータス・レジスタ (RSTSRC) は DSP のリセット・ステータスを示します。最後にリセットさせたリセット・ソースが DSP からわかります。RSTSRC を図 33 に示します。また、その説明を表 37 に示します。RST、PRST、および WARMRST の各ビットは、RSTSRC をリードすることにより、クリアされません。

図 33. DSP リセット・ソース/ステータス・レジスタ (RSTSRC)

Reserved [†]							
R-0							
7	6	5	4	3	2	1	0
Reserved [†]	CFGERR	CFGDONE	INTRST	INTREQ	WARMRST	PRST	RST
R-0	R-0	R-0	W-0	W-0	R-0	R-0	R-1

凡例：R = リード専用、W = ライト専用；-n = リセット後の値

[†] このフィールドにライトすると、常にデフォルト値がライトされます。これは将来的なデバイスの互換性を確保するためです。

表 37. DSP リセット・ソース/ステータス・レジスタ (RSTSRC) フィールドの説明

ビット	フィールド [†]	symval [†]	値	説明
31-7	Reserved	-	0	予約。この予約ビット・ロケーションは、常にデフォルト値を返します。このフィールドにどのような値をライトしても影響はありません。このフィールドにライトすると、常にデフォルト値がライトされます。これは将来的なデバイスの互換性を確保するためです。
6	CFGERR	OF (値)	0	コンフィギュレーション・エラーはありません。
			1	EEPROM 自動初期化中にチェックサム・エラー。
5	CFGDONE	OF (値)	0	コンフィギュレーション・レジスタはロードされていません。
			1	EEPROM からコンフィギュレーション・レジスタへのロードが完了しました。

[†] CSL を使ってコードを記述する場合、表記 `PCI_RSTSRC_field_symval` を使用してください。

表 37. DSP リセット・ソース/ステータス・レジスタ (RSTSRC) フィールドの説明 (続き)

ビット	フィールド [†]	symval [†]	値	説明	
4	INTRST	OF (値)		PINTA リセット・ビット。別のホスト割り込みが生成される前に、このビットはアサートされる必要があります。ライト専用ビット。リードすると 0 (ゼロ) を返します。リセット・ソースは <u>RESET</u> と Warm です。	
			DEFAULT NO	0	0 (ゼロ) をライトしても影響はありません。
			YES	1	このビットに 1 をライトすると、 <u>PINTA</u> はディアサートされ、割り込みロジックはリセットされて、以降の割り込みがイネーブルされます。
3	INTREQ	OF (値)		1 をライトすると <u>DSP-to-PCI</u> 割り込みをリクエストします。ライト専用ビット。リードすると、0 (ゼロ) を返します。リセット・ソースは、 <u>RESET</u> と Warm です。	
			DEFAULT NO	0	0 (ゼロ) をライトしても影響はありません。
			YES	1	<u>PINTA</u> のアサーションが行われるのは、ホスト・ステータス・レジスタ (HSR) 内の INTAM ビットが 0 (ゼロ) の場合です。
2	WARMRST	OF (値)		DSP へのホスト・ソフトウェア・リセットまたはパワー・マネージメント・ウォーム・リセットが、最後の RSTSRC リードまたは最後の <u>RESET</u> 以降に発生しました。リード専用ビット。ライトしても影響はありません。 Host-to-DSP コントロール・レジスタ (HDCR) 内の WARMRESET ビットに 0 (ゼロ) をライトするか、または D2、D3 のいずれかからのパワー・マネージメント・リクエストにより、このビットは <u>セット</u> されます。RSTSRC をリードするか、または <u>RESET</u> アサーションによりクリアされます。リセット・ソースは、 <u>RESET</u> です。	
			DEFAULT	0	最後の RSTSRC のリードまたは <u>RESET</u> 以降に、ウォーム・リセットはありません。
				1	最後の RSTSRC のリードまたは <u>RESET</u> 以降に、ウォーム・リセットが行われました。
1	PRST	OF (値)		最後の <u>RSTSRC</u> リードまたは <u>RESET</u> アサーション以降に、 <u>PRST</u> リセットが発生したことを示します。リード専用ビット。ライトしても影響はありません。RSTSRC をリードするか、または <u>RESET</u> アクティブによりクリアされます。PRST がアクティブ (Low) のままになっている場合、このビットは常に 1 としてリードされます。リセット・ソースは、 <u>RESET</u> です。	
			DEFAULT	0	最後の RSTSRC リード以降に、 <u>PRST</u> リセットはありません。

[†] CSL を使ってコードを記述する場合、表記 PCL_RSTSRC_field_symval を使用してください。

表 37. DSP リセット・ソース/ステータス・レジスタ (RSTSRC) フィールドの説明 (続き)

ビット	フィールド [†]	symval [†]	値	説明
			1	最後の RSTSRC リード以降に、 $\overline{\text{PRST}}$ リセットが行われました。
0	RST	OF (値)		最後の RSTSRC リード以降に、デバイス・リセット (RESET) が発生したことを示します。リード専用ビット。ライトしても影響はありません。RSTSRC をリードすることにより、クリアされます。リセット・ソースは、RESET です。
			0	最後の RSTSRC リード以降に、デバイス・リセット (RESET) はありません。
		DEFAULT	1	最後の RSTSRC リード以降に、デバイス・リセット (RESET) が行われました。

[†] CSL を使ってコードを記述する場合、表記 `PCI_RSTSRC_field_symval` を使用してください。

15.3.2 パワー・マネージメント DSP コントロール/ステータス・レジスタ (PMDCSR) (C62x DSP のみ)

パワー・マネージメント DSP コントロール/ステータス・レジスタ (PMDCSR) を使用して、パワー・マネージメント・コントロールを行うことが可能です。PMDCSR を図 34 に示します。また、その説明を表 38 に示します。

図 34. パワー・マネージメント DSP コントロール/ステータス・レジスタ (PMDCSR)

31	19	18	11	10	9	8
Reserved [†]		HWPMECTL		D3WARMONWKP	D2WARMONWKP	PMEEN
R-0		R/W-10001000		R-x	R-x	R/W-x
7	6	5	4	3	2	1
PWRWKP	PMESTAT	PMEDRVN	AUXDETECT	CURSTATE	REQSTATE	
R-x	R-x/W-0	R-0	R-x	R/W-0	R-0	

凡例：R = リード専用、R/W = リード/ライト、-n = リセット後の値、-x = リセット後の値は不定

[†] このフィールドにライトすると、常にデフォルト値がライトされます。これは将来的なデバイスの互換性を確保するためです。

表 38. パワー・マネージメント DSP コントロール/ステータス・レジスタ (PMDCSR) フィールドの説明

ビット	フィールド†	symval†	値	説明
31-19	Reserved	-	0	予約。この予約ビット・ロケーションは、常にデフォルト値を返します。このフィールドにどのような値をライトしても影響はありません。このフィールドにライトすると、常にデフォルト値がライトされます。これは将来的なデバイスの互換性を確保するためです。
18-11	HWPMECTL	OF (値)	0-FFh	ハードウェアによる <u>PME 制御</u> 。対応するビットがセットされると、 <u>PWR_WKP</u> がアクティブなときハードウェアにより <u>PME</u> が自動的に生成されるようになります。リセット・ソースは、 <u>RESET</u> です。
		-	0	予約
		REQD0	1h	リクエストされた状態 = 00
		REQD1	2h	リクエストされた状態 = 01
		REQD2	3h	リクエストされた状態 = 10
		REQD3	4h	リクエストされた状態 = 11
		-	5h-87h	予約
		DEFAULT	88h	予約
		-	89h-FFh	予約
10	D3WARMONWKP	OF (値)		D3 からのウォーム・リセット。リード専用ビット。ライトしても影響はありません。ウォーム・リセットが <u>PWR_WKP</u> から生成されるのは、次の 2 つの条件が真の場合です。
				<input type="checkbox"/> $\overline{\text{PRST}}$ (PCI リセット) がディアサートされている
				<input type="checkbox"/> <u>PCLK</u> がアクティブ
				リセット・ソースは、 <u>RESET</u> です。
		DEFAULT	0	ウォーム・リセットは <u>PWR_WKP</u> がアサートされる (Low) とき生成されません。
			1	現在の状態が D3 の場合、ウォーム・リセットは <u>PWR_WKP</u> がアサートされるとき生成されます。

† CSL を使ってコードを記述する場合、表記 PCI_PMDCSR_field_symval を使用してください。

表 38. パワー・マネージメント DSP コントロール/ステータス・レジスタ (PMDCSR) フィールドの説明 (続き)

ビット	フィールド [†]	symval [†]	値	説明
9	D2WARMONWKP	OF (値)		D2 からのウォーム・リセット。リード専用ビット。ライトしても影響はありません。ウォーム・リセットが PWR_WKP から生成されるのは、次の 2 つの条件が真の場合です。
				<ul style="list-style-type: none"> <input type="checkbox"/> $\overline{\text{PRST}}$ (PCI リセット) がディアサートされている <input type="checkbox"/> PCLK がアクティブ リセット・ソースは、 $\overline{\text{RESET}}$ です。
		DEFAULT	0	ウォーム・リセットは $\overline{\text{PWR_WKP}}$ がアサートされる (Low) とき生成されません。
			1	現在の状態が D2 の場合、ウォーム・リセットは $\overline{\text{PWR_WKP}}$ がアサートされる時生成されます。
8	PMEEN	OF (値)		PME アサーション・イネーブル・ビット。リードすると、パワー・マネージメント・コントロール/ステータス・レジスタ (PMCSR) 内の PMEEN ビットの現在の値を返します。1 をライトすると、PMCSR 内の PMEEN ビットと PMESTAT ビットをクリアします。0 (ゼロ) をライトしても、影響はありません。
			DEFAULT	0
		CLR	1	PMCSR 内の PMEEN ビットは 1 です。PME アサーションは、イネーブルです。リセット・ソースは $\overline{\text{RESET}}$ と Warm です。
7	PWRWKP	OF (値)		$\overline{\text{PWRWKP}}$ ピンの値。リード専用ビット。ライトしても影響はありません。リセット・ソースはありません。
			DEFAULT	0
			1	$\overline{\text{PWR_WKP}}$ ピンは High です。
6	PMESTAT	OF (値)		PMESTAT ステイッキー・ビットの値。リードすると、パワー・マネージメント・コントロール/ステータス・レジスタ (PMCSR) 内の PMESTAT ビットの現在の値を返します。PMESTAT ビットと PMEEN ビットに同時に 1 がライトされると、PMEEN ビットと PMESTAT ビットがクリアされます。0 (ゼロ) をライトしても影響はありません。
			DEFAULT	0
		SET	1	PMCSR 内の PMESTAT ビットを強制的に 1 にします。リセット・ソースは $\overline{\text{RESET}}$ と Warm です。

[†] CSL を使ってコードを記述する場合、表記 PCL_PMDCSR_field_symval を使用してください。

表 38. パワー・マネージメント DSP コントロール/ステータス・レジスタ (PMDCSR) フィールドの説明 (続き)

ビット	フィールド†	symval†	値	説明	
5	PMEDRVN	OF (値)		High にドライブされる PME。DSP は、PME ピンをアクティブ High にドライブします。リード専用ビット。ライトしても影響はありません。リセット・ソースは RESET と Warm です。	
			DEFAULT	0	DSP が PMDCSR をリードしました。ただし、PMEEN ビットと PMESTAT ビットの両方が High のままになっている場合、ビットは再びセットされます。
				1	パワー・マネージメント・コントロール/ステータス・レジスタ (PMCSR) 内の PMEEN ビットと PMESTAT ビットは High です。
4	AUXDETECT	OF (値)		3.3 V _{aux} DET ピンの値。リード専用ビット。ライトしても影響はありません。リセット・ソースは RESET と Warm です。	
			DEFAULT	0	3.3 V _{aux} DET は Low です。
				1	3.3 V _{aux} DET は High です。
3-2	CURSTATE	OF (値)	0-3h	現在のパワー状態。デバイスの現在のパワー・マネージメント状態を反映します。状態の変更に応じて、デバイスは CURSTATE ビットを変更する必要があります。ここに書かれている値は、パワー・マネージメント・コントロール/ステータス・レジスタ (PMCSR) 内の PWRSTATE ビットを PCI リードする際に使用されます。リセット・ソースは RESET です (PRST またはウォーム・リセットの影響を受けません)。	
			DEFAULT	0	現在の状態 = 00
			D0	1h	現在の状態 = 01
			D2	2h	現在の状態 = 10
			D3	3h	現在の状態 = 11
1-0	REQSTATE	OF (値)	0-3h	最後にリクエストされたパワー状態。パワー・マネージメント・コントロール/ステータス・レジスタ (PMCSR) 内の PWRSTATE ビットに、ホストがライトした最後の値。RESET または PRST により、00b にクリアされます。リード専用ビット。ライトしても影響はありません。リセット・ソースは RESET と PRST です。	
			DEFAULT	0	

† CSL を使ってコードを記述する場合、表記 PCL_PMDCSR_field_symval を使用してください。

15.3.3 PCI インタラプト・ソース・レジスタ (PCIIS)

PCI インタラプト・ソース・レジスタ (PCIIS) は、割り込みソースの状態を示します。ビットに 1 をライトすると、条件がクリアされます。ビットに 0 (ゼロ) をライトしても、リードしても、影響ありません。PCIIS を図 35 に示します。また、その説明を表 39 に示します。

図 35. PCI インタラプト・ソース・レジスタ (PCIIS)

31								16							
Reserved [†]															
R-0															
15		13		12		11		10		9		8			
Reserved [†]				DMAHALTED [‡]		PRST		Reserved [†]		EERDY		CFGERR			
R-0				R/W-0		R/W-0		R-0		R/W-0		R/W-0			
7		6		5		4		3		2		1		0	
CFGDONE		MASTEROK		PWRHL		PWRLH		HOSTSW		PCIMASTER		PCITARGET		PWRMGMT	
R/W-0		R/W-0		R/W-0		R/W-0		R/W-0		R/W-0		R/W-0		R/W-0	

凡例：R = リード専用、R/W = リード/ライト、-n = リセット後の値

[†] このフィールドにライトすると、常にデフォルト値がライトされます。これは将来的なデバイスの互換性を確保するためです。

[‡] このビットは C64x DSP では予約領域です。

表 39. PCI インタラプト・ソース・レジスタ (PCIIS) フィールドの説明

ビット	フィールド [†]	symval [†]	値	説明
31-13	Reserved	-	0	予約。この予約ビット・ロケーションは、常にデフォルト値を返します。このフィールドにどのような値をライトしても影響はありません。このフィールドにライトすると、常にデフォルト値がライトされます。これは将来的なデバイスの互換性を確保するためです。
12	DMAHALTED	OF (値)		DMA 転送ホルト・イネーブル・ビット (C62x DSP のみ)。リセット・ソースは $\overline{\text{RESET}}$ と Warm です。
			DEFAULT	0 補助 DMA 転送は停止されません。
			CLR	1 補助 DMA 転送は停止しました。

[†] CSL を使ってコードを記述する場合、表記 `PCL_PCIIS_field_symval` を使用してください。

表 39. PCI インタラプト・ソース・レジスタ (PCIIS) フィールドの説明 (続き)

ビット	フィールド†	symval †	値	説明
11	PRST	OF (値)		PCI リセット変更状態ビット。リセット・ソースは RESET と Warm です。
		DEFAULT NOCHG	0	PCI リセットの状態は変更されませんでした。
		CHGSTATE	1	PCI リセットの状態が変更されました。
10	Reserved	-	0	予約。この予約ビット・ロケーションは、常にデフォルト値を返します。このフィールドにどのような値をライトしても影響はありません。このフィールドにライトすると、常にデフォルト値がライトされます。これは将来的なデバイスの互換性を確保するためです。
9	EERDY	OF (値)		EEPROM レディ・ビット。リセット・ソースは RESET と Warm です。
		DEFAULT	0	EEPROM は新しいコマンドを受け入れる準備ができていません。
		CLR	1	EEPROM は新しいコマンドを受け入れる準備ができています。また、データ・レジスタをリードできます。
8	CFGERR	OF (値)		コンフィギュレーション・エラー・ビット。リセット・ソースは RESET と Warm です。
		DEFAULT	0	PCI 自動初期化時にチェックサムが合わないことはありませんでした。
		CLR	1	PCI 自動初期化時にチェックサムが合いませんでした。 PRST のアサートによる初期化後に、チェックサム・エラーがあるとセットされます。 WARM 後に、初期化が行われチェックサム・エラーがあるとセットされます。
7	CFGDONE	OF (値)		コンフィギュレーション保持ビット。リセット・ソースは RESET と Warm です。
		DEFAULT	0	PCI コンフィギュレーション・レジスタのコンフィギュレーションが完了していません。
		CLR	1	PCI コンフィギュレーション・レジスタのコンフィギュレーションは完了しています。 PRST のアサートによる初期化後にセットされます。 WARM 後に、初期化が行われるとセットされます。
6	MASTEROK	OF (値)		PCI マスター・トランザクション完了ビット。リセット・ソースは RESET と Warm です。
		DEFAULT	0	PCI マスター・トランザクション完了割り込みは発生していません。
		CLR	1	PCI マスター・トランザクション完了割り込み。

† CSL を使ってコードを記述する場合、表記 PCI_PCIIS_field_symval を使用してください。

表 39. PCI インタラプト・ソース・レジスタ (PCIIS) フィールドの説明 (続き)

ビット	フィールド [†]	symval [†]	値	説明
5	PWRHL	OF (値)		PWRWKP ビットの High から Low への遷移。リセット・ソースは RESET と Warm です。
		DEFAULT	0	PWRWKP ビットで High から Low への遷移はありません。
		CLR	1	PWRWKP ビットで High から Low への遷移。
4	PWRLH	OF (値)		PWRWKP ビットの Low から High への遷移。リセット・ソースは RESET と Warm です。
		DEFAULT	0	PWRWKP ビットで Low から High への遷移はありません。
		CLR	1	PWRWKP ビットでの Low から High への遷移。
3	HOSTSW	OF (値)		ホスト・ソフトウェア・リクエスト・ビット。リセット・ソースは RESET と Warm です。
		DEFAULT	0	ホスト・ソフトウェア・リクエスト割り込みはありません。
		CLR	1	ホスト・ソフトウェア・リクエスト割り込み (PCI からのブート後、DSP を起動するためにこのビットをセットする必要があります)。
2	PCIMASTER	OF (値)		マスター・アボート受信ビット。リセット・ソースは RESET と Warm です。
		DEFAULT	0	マスター・アボートを受信していません。
		CLR	1	マスター・アボートを受信しました。
1	PCITARGET	OF (値)		ターゲット・アボート受信ビット。リセット・ソースは RESET と Warm です。
		DEFAULT	0	ターゲット・アボートを受信していません。
		CLR	1	ターゲット・アボートを受信しました。
0	PWRMGMT	OF (値)		パワー・マネージメント状態遷移ビット。リセット・ソースは RESET と Warm です。
		DEFAULT	0	パワー・マネージメント状態遷移割り込みはありません。
		CLR	1	パワー・マネージメント状態遷移割り込み (DSP クロックが動いていない場合、セットされません)。

[†] CSL を使ってコードを記述する場合、表記 PCI_PCIIS_field_symval を使用してください。

15.3.4 PCI インタラプト・イネーブル・レジスタ (PCIEN)

PCI インタラプト・イネーブル・レジスタ (PCIEN) は、PCI 割り込みをイネーブルにします。DSP が割り込みを監視する場合、DSP ソフトウェアは CPU コントロール・ステータス・レジスタ (CSR) および CPU インタラプト・イネーブル・レジスタ (IER) 内の適切なビットをセットする必要があります。

デバイス・リセット ($\overline{\text{RESET}}$) 後にイネーブルされている割り込みは、HOSTSW 割り込みだけです。これにより、PCI ホストは Host-to-DSP コントロール・レジスタ (HDCR) 内の DSPINT ビットにライトすることにより DSP を起動できます。PCIEN を図 36 に示します。また、その説明を表 40 に示します。

図 36. PCI インタラプト・イネーブル・レジスタ (PCIEN)

31	Reserved [†]								16
R-0									
15	Reserved [†]		13	12	11	10	9	8	
R-0			Reserved [‡]	PRST	Reserved [‡]	EERDY	CFGERR		
R/W-0			R/W-0	R/W-0	R/W-0	R/W-0	R/W-0		
7	6	5	4	3	2	1	0		
CFGDONE	MASTEROK	PWRHL	PWRLH	HOSTSW	PCIMASTER	PCITARGET	PWRMGMT		
R/W-0	R/W-0	R/W-0	R/W-0	R/W-1	R/W-0	R/W-0	R/W-0		

凡例：R = リード専用、R/W = リード/ライト、-n = リセット後の値

[†] このフィールドにライトすると、常にデフォルト値がライトされます。これは将来的なデバイスの互換性を確保するためです。

[‡] これらの予約ビットには常に 0 (ゼロ) をライトして下さい。これらのビットに 1 をライトすると未定義の動作に入ってしまいます。

表 40. PCI インタラプト・イネーブル・レジスタ (PCIEN) フィールドの説明

ビット	フィールド [†]	symval [†]	値	説明
31-13	Reserved	-	0	予約。この予約ビット・ロケーションは、常にデフォルト値を返します。このフィールドにどのような値をライトしても影響はありません。このフィールドにライトすると、常にデフォルト値がライトされます。これは将来的なデバイスの互換性を確保するためです。
12	Reserved	-	0	予約。この予約ビット・ロケーションからは常に 0 (ゼロ) がリードされます。この予約ビットには常に 0 (ゼロ) をライトして下さい。このビットに 1 をライトすると、未定義の動作に入ってしまいます。

[†] CSL を使ってコードを記述する場合、表記 `PCI_PCIEN_field_symval` を使用してください。

表 40. PCI インタラプト・イネーブル・レジスタ (PCIEN) フィールドの説明 (続き)

ビット	フィールド†	symval†	値	説明	
11	PRST	OF (値)		$\overline{\text{PRST}}$ 遷移割り込みイネーブル・ビット。リセット・ソースは RESET と Warm です。	
			DEFAULT DISABLE	0	$\overline{\text{PRST}}$ 遷移割り込みはディスエーブルです。
			ENABLE	1	$\overline{\text{PRST}}$ 遷移割り込みはイネーブルです。
10	Reserved	-	0	予約。この予約ビット・ロケーションは常に 0 (ゼロ) としてリードされます。この予約済みビットには常に 0 (ゼロ) をライトして下さい。このビットに 1 をライトすると、未定義の動作に入ってしまいます。	
9	EERDY	OF (値)		EEPROM レディ割り込みイネーブル・ビット。リセット・ソースは RESET と Warm です。	
			DEFAULT DISABLE	0	EEPROM レディ割り込みはディスエーブルです。
			ENABLE	1	EEPROM レディ割り込みはイネーブルです。
8	CFGERR	OF (値)		コンフィギュレーション・エラー割り込みイネーブル・ビット。リセット・ソースは RESET と Warm です。	
			DEFAULT DISABLE	0	コンフィギュレーション・エラー割り込みはディスエーブルです。
			ENABLE	1	コンフィギュレーション・エラー割り込みはイネーブルです。
7	CFGDONE	OF (値)		コンフィギュレーション完了割り込みイネーブル・ビット。リセット・ソースは RESET と Warm です。	
			DEFAULT DISABLE	0	コンフィギュレーション完了割り込みはディスエーブルです。
			ENABLE	1	コンフィギュレーション完了割り込みはイネーブルです。
6	MASTEROK	OF (値)		PCI マスター・トランザクション完了割り込みイネーブル・ビット。リセット・ソースは RESET と Warm です。	
			DEFAULT DISABLE	0	PCI マスター・トランザクション完了割り込みはディスエーブルです。
			ENABLE	1	PCI マスター・トランザクション完了割り込みはイネーブルです。

† CSL を使ってコードを記述する場合、表記 PCI_PCHEN_field_symval を使用してください。

表 40. PCI インタラプト・イネーブル・レジスタ (PCIEN) フィールドの説明 (続き)

ビット	フィールド†	symval†	値	説明	
5	PWRHL	OF (値)		High から Low への PWRWKP 割り込みイネーブル・ビット。リセット・ソースは RESET と Warm です。	
			DEFAULT DISABLE	0	High から Low への PWRWKP 割り込みはディスエーブルです。
			ENABLE	1	High から Low への PWRWKP 割り込みはイネーブルです。
4	PWRLH	OF (値)		Low から High への PWRWKP 割り込みイネーブル・ビット。リセット・ソースは RESET と Warm です。	
			DEFAULT DISABLE	0	Low から High への PWRWKP 割り込みはディスエーブルです。
			ENABLE	1	Low から High への PWRWKP 割り込みはイネーブルです。
3	HOSTSW	OF (値)		ホスト・ソフトウェア・リクエスト割り込みイネーブル・ビット。リセット・ソースは RESET と Warm です。	
			DISABLE	0	ホスト・ソフトウェア・リクエスト割り込みはディスエーブルです。
			DEFAULT ENABLE	1	ホスト・ソフトウェア・リクエスト割り込みはイネーブルです。
2	PCIMASTER	OF (値)		PCI マスター・アボート割り込みイネーブル・ビット。リセット・ソースは RESET と Warm です。	
			DEFAULT DISABLE	0	PCI マスター・アボート割り込みはディスエーブルです。
			ENABLE	1	PCI マスター・アボート割り込みはイネーブルです。
1	PCITARGET	OF (値)		PCI ターゲット・アボート割り込みイネーブル・ビット。リセット・ソースは RESET と Warm です。	
			DEFAULT DISABLE	0	PCI ターゲット・アボート割り込みはディスエーブルです。
			ENABLE	1	PCI ターゲット・アボート割り込みはイネーブルです。
0	PWRMGMT	OF (値)		パワー・マネージメント状態遷移割り込みイネーブル・ビット。リセット・ソースは RESET と Warm です。	
			DEFAULT DISABLE	0	パワー・マネージメント状態遷移割り込みはディスエーブルです。
			ENABLE	1	パワー・マネージメント状態遷移割り込みはイネーブルです。

† CSL を使ってコードを記述する場合、表記 PCI_PCIEN_field_symval を使用してください。

15.3.5 DSP マスター・アドレス・レジスタ (DSPMA)

DSP マスター・アドレス・レジスタ (DSPMA) は、DSP マスター・リード用のデスティネーション・データの DSP アドレス・ロケーション、または DSP マスター・ライト用のソース・データのアドレス・ロケーションを含んでいます。DSPMA には、アドレス変更を制御するビットもあります。DSPMA はワードアラインされています。DSPMA を図 37 に示します。また、その説明を表 41 に示します。

図 37. DSP マスター・アドレス・レジスタ (DSPMA)

31	ADDRMA	2	1	0
		AINC [†]		Rsvd [‡]
	R/W-0	R/W-0		R-0

凡例：R = リード専用、R/W = リード/ライト、-n = リセット後の値

[†] このビットは、C6205 DSP でのみ有効です。C64x DSP では、このビットは予約領域であり、0 (ゼロ) をライトして下さい。

[‡] このフィールドにライトすると、常にデフォルト値がライトされます。これは将来的なデバイスの互換性を確保するためです。

表 41. DSP マスター・アドレス・レジスタ (DSPMA) フィールドの説明

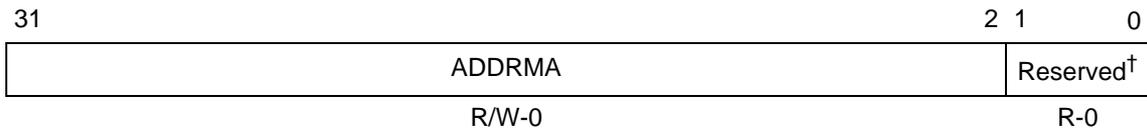
ビット	フィールド [†]	symval [†]	値	説明
31-2	ADDRMA	OF (値)	0-3FFFFFFh	PCI マスター・トランザクション用の DSP ワード・アドレス。リセット・ソースは RESET と Warm です。
		DEFAULT	0	ADDRMA 自動インクリメントはイネーブルです。
1	AINC	OF (値)		DSP マスター・アドレスの自動インクリメント・モード (C6205 DSP のみ)。リセット・ソースは RESET と Warm です。 C64x DSP では、このビットは予約領域であり、s 0 (ゼロ) をライトして下さい。PCI マスター転送の場合、C64x DSP の PCI ポートは固定アドレッシングをサポートしていません。すべての転送は DSP メモリ内のリニアにインクリメントするアドレスに対して行われます。 注：C62x DSP と C64x DSP とともに、自動インクリメントは DSPMA の下位 24 ビットだけに影響を与えません。結果的に、自動インクリメントは 16 M バイト境界を超えることはありません。インクリメントした結果、境界を超えると循環します。
		DEFAULT ENABLE	0	ADDRMA 自動インクリメントはイネーブルです。
		DISABLE	1	ADDRMA 自動インクリメントはディスエーブルです。
0	Reserved	-	0	予約。この予約ビット・ロケーションは、常にデフォルト値を返します。このフィールドにどのような値をライトしても影響はありません。このフィールドにライトすると、常にデフォルト値がライトされます。これは将来的なデバイスの互換性を確保するためです。

[†] CSL を使ってコードを記述する場合、表記 `PCI_DSPMA_field_symval` を使用してください。

15.3.6 PCI マスター・アドレス・レジスタ (PCIMA)

PCI マスター・アドレス・レジスタ (PCIMA) は、PCI ワード・アドレスを含みます。DSP マスター・リードの場合、PCIMA にはソース・アドレスがあります。DSP マスター・ライトの場合、PCIMA にはデスティネーション・アドレスがあります。PCIMA を図 38 に示します。また、その説明を表 42 に示します。

図 38. PCI マスター・アドレス・レジスタ (PCIMA)



凡例：R = リード専用、R/W = リード/ライト、-n = リセット後の値

[†] このフィールドにライトすると、常にデフォルト値がライトされます。これは将来的なデバイスの互換性を確保するためです。

表 42. PCI マスター・アドレス・レジスタ (PCIMA) フィールドの説明

ビット	フィールド [†]	symval [†]	値	説明
31-2	ADDRMA	OF (値)	0-3FFF FFFFh	PCI マスター・トランザクション用の PCI ワード・アドレス。リセット・ソースは <u>RESET</u> と Warm です。
		DEFAULT	0	
1-0	Reserved	-	0	予約。この予約ビット・ロケーションは、常にデフォルト値を返します。このフィールドにどのような値をライトしても影響はありません。このフィールドにライトすると、常にデフォルト値がライトされます。これは将来的なデバイスの互換性を確保するためです。

[†] CSL を使ってコードを記述する場合、表記 PCI_PCIMA_ADDRMA_symval を使用してください。

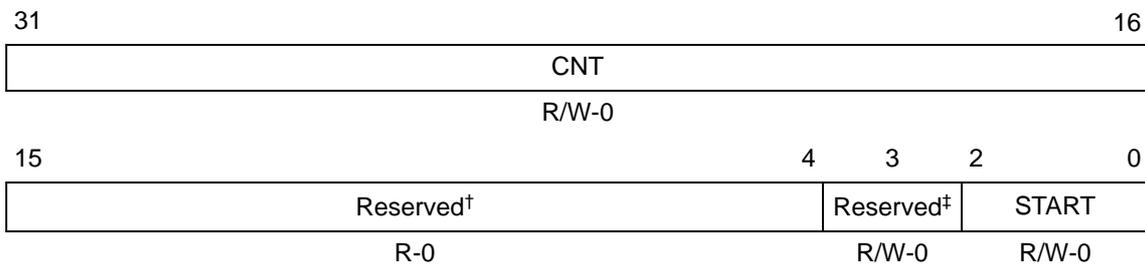
15.3.7 PCI マスター・コントロール・レジスタ (PCIMC)

PCI マスター・コントロール・レジスタ (PCIMC) にあるものは、次のとおりです。

- DSP と PCI 間の転送を開始するスタート・ビット。
- 転送カウント。これは、転送するバイト数を指定します(最大 64 K - 1 バイト)。
- リードすると転送状態を示します。

PCIMC を図 39 に示します。また、その説明を表 43 に示します。

図 39. PCI マスター・コントロール・レジスタ (PCIMC)



凡例：R = リード専用、R/W = リード/ライト、-n = リセット後の値

† このフィールドにライトすると、常にデフォルト値がライトされます。これは将来的なデバイスの互換性を確保するためです。

‡ この予約ビットには常に 0 (ゼロ) をライトして下さい。このビットに 1 をライトすると、未定義の動作に入ってしまう。

表 43. PCI マスター・コントロール・レジスタ (PCIMC) フィールドの説明

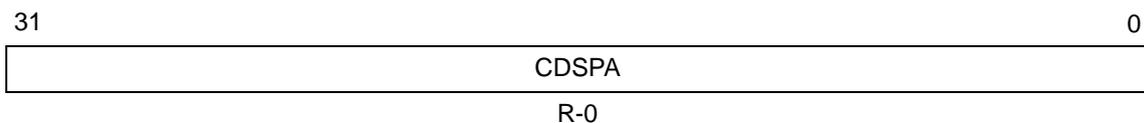
ビット	フィールド [†]	symval [†]	値	説明
31-16	CNT	OF (値)	0-FFFFh	転送カウントは転送するバイト数を指定します。リセット・ソースは RESET と Warm です。
		DEFAULT	0	
15-4	Reserved	-	0	予約。この予約ビット・ロケーションは、常にデフォルト値を返します。このフィールドにどのような値をライトしても影響はありません。このフィールドにライトすると、常にデフォルト値がライトされます。これは将来的なデバイスの互換性を確保するためです。
3	Reserved	-	0	予約。この予約ビット・ロケーションからは常に 0 (ゼロ) がリードされます。この予約ビットには常に 0 (ゼロ) をライトして下さい。このビットに 1 をライトすると、未定義の動作に入ってしまいます。
2-0	START	OF (値)	0-7h	リードまたはライト・マスター・トランザクションを開始します。トランザクションが完了すると START ビットは 000b に戻ります。アクティブなマスター転送中は、START ビットのライトや変更を行ってはいけません。PCI バスが転送中にリセットされると、転送は中止され、FIFO はフラッシュされます (CPU 割り込みは PRST の遷移によって生成されます)。START ビットは CNT ビットが 0000h ではない場合のみセットされます。リセット・ソースは RESET、PRST と Warm です。
		DEFAULT FLUSH	0	トランザクションは開始されていないか、現在のトランザクションをフラッシュしています。
		WRITE	1h	マスター・ライト・トランザクションを開始します。
		READPREF	2h	プリフェッチ可能メモリに対してマスター・リード・トランザクションを開始します。
		READNOPREF	3h	プリフェッチ不可能メモリに対してマスター・リード・トランザクションを開始します。
		CONFIGWRITE	4h	コンフィギュレーション・ライトを開始します。
		CONFIGREAD	5h	コンフィギュレーション・リードを開始します。
		IOWRITE	6h	I/O ライトを開始します。
		IOREAD	7h	I/O リードを開始します。

[†] CSL を使ってコードを記述する場合、表記 PCL_PCIMC_field_symval を使用してください。

15.3.8 カレント DSP アドレス・レジスタ (CDSPA)

カレント DSP アドレス・レジスタ (CDSPA) には、マスター・トランザクション用の現在の DSP アドレスがあります。CDSPA を図 40 に示します。また、その説明を表 44 に示します。

図 40. カレント DSP アドレス (CDSPA)



凡例：R = リード専用、-n = リセット後の値

表 44. カレント DSP アドレス (CDSPA) フィールドの説明

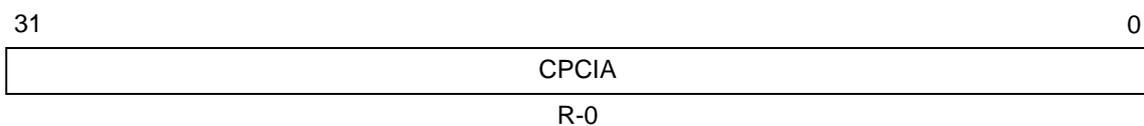
ビット	フィールド†	symval†	値	説明
31-0	CDSPA	OF (値)	0-FFFF FFFFh	マスター・トランザクション用の現在の DSP アドレス。リセット・ソースは $\overline{\text{RESET}}$ と Warm です。
		DEFAULT	0	

† CSL を使ってコードを記述する場合、表記 `PCI_CDSPA_CDSPA_symval` を使用してください。

15.3.9 カレント PCI アドレス・レジスタ (CPCIA)

カレント PCI アドレス・レジスタ (CPCIA) には、マスター・トランザクション用の現在の PCI アドレスがあります。CPCIA を図 41 に示します。また、その説明を表 45 に示します。

図 41. カレント PCI アドレス・レジスタ (CPCIA)



凡例：R = リード専用、-n = リセット後の値

表 45. カレント PCI アドレス・レジスタ (CPCIA) フィールドの説明

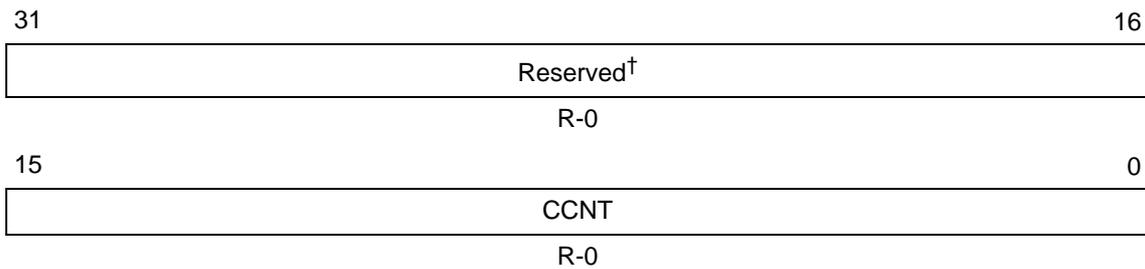
ビット	フィールド†	symval†	値	説明
31-0	CPCIA	OF (値)	0-FFFFFFFh	マスター・トランザクション用の現在の DSP アドレス。リセット・ソースは $\overline{\text{RESET}}$ 、 $\overline{\text{PRST}}$ と Warm です。
		DEFAULT	0	

† CSL を使ってコードを記述する場合、表記 `PCI_CPCIA_CPCIA_symval` を使用してください。

15.3.10 カレント・バイト・カウント・レジスタ (CCNT)

カレント・バイト・カウント・レジスタ (CCNT) は、現在のマスター・トランザクションで残されているバイト数を含んでいます。CCNT を図 42 に示します。また、その説明を表 46 に示します。

図 42. カレント・バイト・カウント・レジスタ (CCNT)



凡例：R = リード専用、-n = リセット後の値

[†] このフィールドにライトすると、常にデフォルト値がライトされます。これは将来的なデバイスの互換性を確保するためです。

表 46. カレント・バイト・カウント・レジスタ (CCNT) フィールドの説明

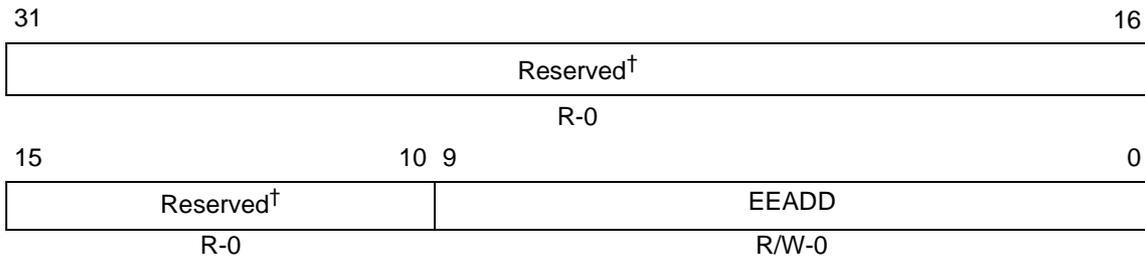
ビット	フィールド [†]	symval [†]	値	説明
31-16	Reserved	-	0	予約。この予約ビット・ロケーションは、常にデフォルト値を返します。このフィールドにどのような値をライトしても影響はありません。このフィールドにライトすると、常にデフォルト値がライトされます。これは将来的なデバイスの互換性を確保するためです。
15-0	CCNT	OF (値)	0-FFFFh	マスター・トランザクションで残されているバイト数。リセット・ソースは RESET、PRST と Warm です。
		DEFAULT	0	

[†] CSL を使ってコードを記述する場合、表記 PCI_CCNT_CCNT_symval を使用してください。

15.3.11 EEPROM アドレス・レジスタ (EEADD)

EEPROM アドレス・レジスタ (EEADD) には、EEPROM アドレスがあります。EEADD を図 43 に示します。また、その説明を表 47 に示します。

図 43. EEPROM アドレス・レジスタ (EEADD)



凡例：R = リード専用、R/W = リード/ライト、-n = リセット後の値

[†] このフィールドにライトすると、常にデフォルト値がライトされます。これは将来的なデバイスの互換性を確保するためです。

表 47. EEPROM アドレス・レジスタ (EEADD) フィールドの説明

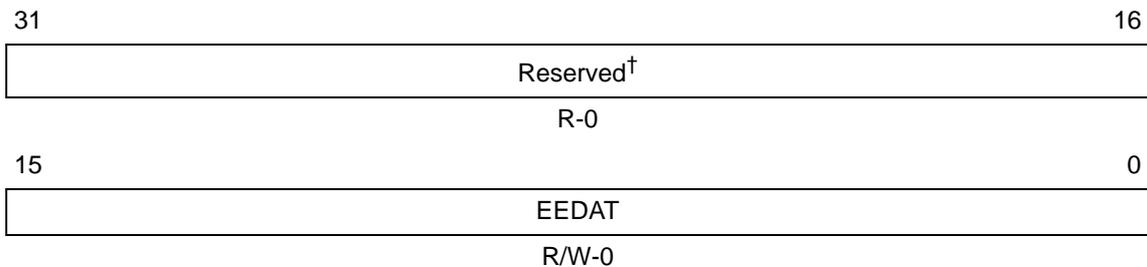
ビット	フィールド [†]	symval [†]	値	説明
31-10	Reserved	-	0	予約。この予約ビット・ロケーションは、常にデフォルト値を返します。このフィールドにどのような値をライトしても影響はありません。このフィールドにライトすると、常にデフォルト値がライトされます。これは将来的なデバイスの互換性を確保するためです。
9-0	EEADD	OF (値)	0-3FFh	EEPROM アドレス。リセット・ソースは $\overline{\text{RESET}}$ と Warm です。
		DEFAULT	0	

[†] CSL を使ってコードを記述する場合、表記 `PCI_EEADD_EEADD_symval` を使用してください。

15.3.12 EEPROM データ・レジスタ (EEDAT)

EEPROM データ・レジスタ (EEDAT) は、ライト時に EEPROM にユーザーのデータをクロック・アウト、リード時に EEPROM データをストアするために使用されます。EEPROM にライトする場合、EEDAT にライトされたデータはただちに内部レジスタに転送されます。この時点で、DSP が EEDAT をリードしても、ライトされた EEPROM データの値は返しません。内部レジスタにストアされているライト・データは、2 ビットのおペコードが EEPROM コントロール・レジスタ (EECTL) 内の EECNT ビットにライトされるとすぐに、ピン上にシフト・アウトされます。EEPROM をリードする場合、EECTL 内の READY ビットが 1 にセットされるとすぐに、データは EEDAT で使用可能になります。EEDAT を図 44 に示します。また、その説明を表 48 に示します。

図 44. EEPROM データ・レジスタ (EEDAT)



凡例：R=リード専用、R/W=リード/ライト、-n=リセット後の値

[†] このフィールドにライトすると、常にデフォルト値がライトされます。これは将来的なデバイスの互換性を確保するためです。

表 48. EEPROM データ・レジスタ (EEDAT) フィールドの説明

ビット	フィールド [†]	symval [†]	値	説明
31-16	Reserved	-	0	予約。この予約ビット・ロケーションは、常にデフォルト値を返します。このフィールドにどのような値をライトしても影響はありません。このフィールドにライトすると、常にデフォルト値がライトされます。これは将来的なデバイスの互換性を確保するためです。
15-0	EEDAT	OF (値)	0-FFFFh	EEPROM データ。リセット・ソースは RESET と Warm です。
		DEFAULT	0	

[†] CSL を使ってコードを記述する場合、表記 PCI_EEDAT_EEDAT_symval を使用してください。

15.3.13 EEPROM コントロール・レジスタ (EECTL)

EEPROM コントロール・レジスタ (EECTL) には、2 ビットのオペコード・ビット (EECNT) および EEPROM のサイズ (パワーオン・リセット時に、EESZ[2-0] ピンからラッチされる EESZ) を示すリード専用ビットのフィールドがあります。EECTL 内の READY ビットは、最後のオペレーションが完了し、EEPROM が新しい命令を受け付けることができるタイミングを示します。READY ビットがクリアされるのは、新しいオペコードが EECNT ビットにライトされるときです。EEPROM コマンドが完了したときに割り込みを生成することも可能です。PCI インタラプト・ソース・レジスタ (PCIIS) と PCI インタラプト・イネーブル・レジスタ (PCIEN) 内の EERDY ビットが、割り込み動作を制御します。EECTL を図 45 に示します。また、その説明を表 49 に示します。

図 45. EEPROM コントロール・レジスタ (EECTL)

31	Reserved [†]										16	
R-0												
15	Reserved [†]							9	8			
R-0								CFGDONE				R-0
7	6	5				3	2	1	0			
CFGERR	EEAI	EESZ			READY		EECNT					
R-0	R-x	R-x			R-0		R/W-0					

凡例：R = リード専用、R/W = リード/ライト、-n = リセット後の値、-x = リセット後の値は不定

[†] このフィールドにライトすると、常にデフォルト値がライトされます。これは将来的なデバイスの互換性を確保するためです。

表 49. EEPROM コントロール・レジスタ (EECTL) フィールドの説明

ビット	フィールド [†]	symval [†]	値	説明	
31-9	Reserved	-	0	予約。この予約ビット・ロケーションは、常にデフォルト値を返します。このフィールドにどのような値をライトしても影響はありません。このフィールドにライトすると、常にデフォルト値がライトされます。これは将来的なデバイスの互換性を確保するためです。	
8	CFGDONE	OF (値)		コンフィギュレーション終了ビット。リセット・ソースは、RESET です。	
			DEFAULT	0	コンフィギュレーションは終了していません。
				1	コンフィギュレーションは終了しました。

[†] CSL を使ってコードを記述する場合、表記 `PCI_EECTL_field_symval` を使用してください。

表 49. EEPROM コントロール・レジスタ (EECTL) フィールドの説明 (続き)

ビット	フィールド [†]	symval [†]	値	説明	
7	CFGERR	OF (値)		チェックサム・フェールド・エラー・ビット。リセット・ソースは、RESET です。	
			DEFAULT	0	チェックサム・エラーはありません。
				1	チェックサム・エラー。
6	EEAI	OF (値)		パワーオン・リセット時の EEAI ピンの状態。リセット・ソースは、RESET です。	
			DEFAULT	0	PCI はデフォルトの値を使用します。
				1	EEPROM から PCI コンフィギュレーション・レジスタの値をリードします。
5-3	EESZ	OF (値)	0-7h	パワーオン・リセット時の EESZ ピンの状態。リセット・ソースは、RESET です。	
			DEFAULT	0	EEPROM はありません。
				1h	1 K ビット (C6205 DSP のみ)
				2h	2 K ビット (C6205 DSP のみ)
				3h	4 K ビット
				4h	16 K ビット (C6205 DSP のみ)
				5h-7h	予約
2	READY	OF (値)		EEPROM は新しいコマンドを受け付けることができます。EECNT ビットにライトするとクリアされます。リセット・ソースは RESET と Warm です。	
			DEFAULT	0	EEPROM は新しいコマンドを受け付けることができません。
				1	EEPROM は新しいコマンドを受け付けることができます。
1-0	EECNT	OF (値)	0-3h	EEPROM オペコード。このフィールドにライトすると、シリアル・オペレーションを開始。リセット・ソースは RESET と Warm です。	
			DEFAULT	0	ライト・イネーブル (アドレス = 11xxxx)
			EWEN	0	すべてのメモリ・ロケーションを消去します (アドレス = 10xxxx)
			ERAL	0	すべてのメモリ・ロケーションを消去します (アドレス = 10xxxx)
			WRAL	0	すべてのメモリ・ロケーションをライトします (アドレス = 01xxxx)
			EWDS	0	プログラミング命令をディスエーブルにします (アドレス = 00xxxx)
			WRITE	1h	アドレスのメモリにライトします
			READ	2h	特定のアドレスのデータをリードします
			ERASE	3h	アドレスのメモリを消去します

[†] CSL を使ってコードを記述する場合、表記 PCI_EECTL_field_symval を使用してください。

15.3.14 PCI トランスファー・ホルト・レジスタ (HALT) (C62x DSP のみ)

PCI トランスファー・ホルト・レジスタ (HALT) を使用すると、C62x DSP は、補助 DMA チャンネルへの内部転送リクエストを終了させることができます。HALT を図 46 に示します。また、その説明を表 50 に示します。

図 46. PCI トランスファー・ホルト・レジスタ (HALT)

31	1	0
Reserved [†]		HALT
R-0		R/W-0

凡例：R = リード専用、R/W = リード/ライト、-n = リセット後の値

[†] このフィールドにライトすると、常にデフォルト値がライトされます。これは将来的なデバイスの互換性を確保するためです。

表 50. PCI トランスファー・ホルト・レジスタ (HALT) フィールドの説明

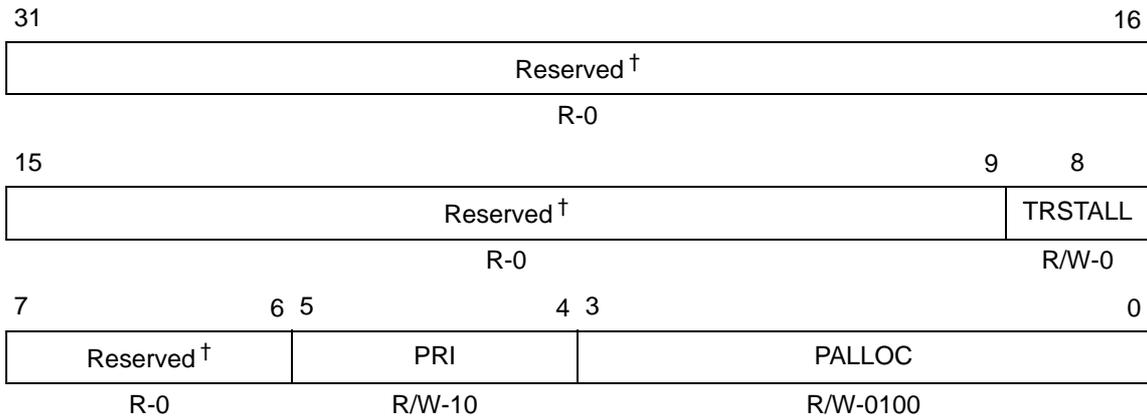
ビット	フィールド [†]	symval [†]	値	説明	
31-1	Reserved	-	0	予約。この予約ビット・ロケーションは、常にデフォルト値を返します。このフィールドにどのような値をライトしても影響はありません。このフィールドにライトすると、常にデフォルト値がライトされます。これは将来的なデバイスの互換性を確保するためです。	
0	HALT	OF (値)		内部転送リクエストを停止するビット。リセット・ソースは RESET、PRST と Warm です。	
			DEFAULT	0	影響ありません。
			SET	1	HALT は PCI ポートのマスター/スレーブ補助 DMA 転送リクエストを阻止します。

[†] CSL を使ってコードを記述する場合、表記 PCI_HALT_HALT_symval を使用してください。

15.3.15 PCI トランスファー・リクエスト・コントロール・レジスタ (TRCTL) (C64x DSP のみ)

PCI トランスファー・リクエスト・コントロール・レジスタ (TRCTL) は PCI がそのリクエストを EDMA サブシステムに出す方法を制御します。TRCTL を図 47 に示します。また、その説明を表 51 に示します。

図 47. PCI トランスファー・リクエスト・コントロール・レジスタ (TRCTL)



凡例：R = リード専用、R/W = リード/ライト、-n = リセット後の値

† このフィールドにライトすると、常にデフォルト値がライトされます。これは将来的なデバイスの互換性を確保するためです。

表 51. PCI トランスファー・リクエスト・コントロール・レジスタ (TRCTL) フィールドの説明

ビット	フィールド [†]	symval [†]	値	説明
31-9	Reserved	-	0	予約。この予約ビット・ロケーションは、常にデフォルト値を返します。このフィールドにどのような値をライトしても影響はありません。このフィールドにライトすると、常にデフォルト値がライトされます。これは将来的なデバイスの互換性を確保するためです。
8	TRSTALL	OF (値)	0	強制的に EDMA へのすべての PCI リクエストをストールします。このビットを使用することで、安全に PALLOC フィールドと PRI フィールドを変更できます。
			0	PCI はリクエストを EDMA に出すことができます。
			1	EDMA に対する新しい PCI リクエストを生成させないようにします。
7-6	Reserved	-	0	予約。この予約ビット・ロケーションは、常にデフォルト値を返します。このフィールドにどのような値をライトしても影響はありません。このフィールドにライトすると、常にデフォルト値がライトされます。これは将来的なデバイスの互換性を確保するためです。

† CSL を使ってコードを記述する場合、表記 PCI_TRCTL_field_symval を使用してください。

表 51. PCI トランスファー・リクエスト・コントロール・レジスタ (TRCTL) フィールドの説明 (続き)

ビット	フィールド†	symval†	値	説明
5-4	PRI	OF (値)	0-3h	PCI リクエストが出されるプライオリティキュー・レベルを制御します。
			0	アージェント・プライオリティ
			1h	ハイ・プライオリティ
			DEFAULT	ミディアム・プライオリティ
			3h	ロー・プライオリティ
3-0	PALLOC	OF (値)	1h-Fh	PCI から EDMA に出すことのできる未処理の合計リクエスト数を制御します。PALLOC の有効な値は、1 ~ 15 です。これ以外の値は予約されています。PCI は未処理のリクエスト数を把握しています。
			DEFAULT	4つのリクエストを PCI から EDMA に出すことができます。

† CSL を使ってコードを記述する場合、表記 PCI_TRCTL_field_symval を使用してください。

A

ADDRMA ビット
 DSPMA 内の 87
 PCIMA 内の 88
AINC ビット 87
AUXDETECT ビット 77

C

CCNT 92
CCNT ビット 92
CDSPA 91
CDSPA ビット 91
CFGDONE ビット
 EECTL 内の 95
 PCIEN 内の 84
 PCIIS 内の 81
 RSTSRC 内の 75
CFGERR ビット
 EECTL 内の 95
 HSR 内の 70
 PCIEN 内の 84
 PCIIS 内の 81
 RSTSRC 内の 75
CNT ビット 89
CPCIA 91
CPCIA ビット 91
CURSTATE ビット 77

D

D2WARMONWKP ビット 77
D3WARMONWKP ビット 77
DATASCALE ビット 65
DATASEL ビット 65
DMAHALTED ビット 81
DSP EEPROM インターフェイス 39
DSP スレーブ・ライト 25
DSP スレーブ・リード 25

DSP の PCI リセット 33
DSP ページ・レジスタ (DSPP) 73
DSP マスター・アドレス・レジスタ (DSPMA) 87
DSP マスター・ライト 28
DSP マスター・リード 29
DSP リセット・ソース/ステータス・レジスタ
 (RSTSRC) 75
DSPINT ビット 72
DSPMA 87
DSPP 73

E

EEADD 93
EEADD ビット 93
EEAI ビット 95
EECNT ビット 95
EECTL 95
EEDAT 94
EEDAT ビット 94
EEPROM
 DSP EEPROM インターフェイス 39
 PCI の自動初期化 37
 PCI ポート・インターフェイス 36
 チェックサム 39
 メモリ・マップ 38
EEPROM アドレス・レジスタ (EEADD) 93
EEPROM インターフェイス 36
EEPROM から PCI の自動初期化 37
EEPROM から自動初期化 37
EEPROM コントロール・レジスタ (EECTL) 95
EEPROM チェックサム 39
EEPROM データ・レジスタ (EEDAT) 94
EEPROM メモリ・マップ 38
EERDY ビット
 PCIEN 内の 84
 PCIIS 内の 81
EEREAD ビット 70
EESZ ビット 95

F

FIFO リセット 33

H

HALT 97
 HALT ビット 97
 HDCR 72
 HOSTSW ビット
 PCIEN 内の 84
 PCIIS 内の 81
 Host-to-DSP コントロール・レジスタ 72
 HSR 70
 HWPMECTL ビット 77

I

I/O レジスタ 69
 INTAM ビット 70
 INTAVAL ビット 70
 INTREQ ビット 75
 INTRST ビット 75
 INTSRC ビット 70

M

MAP ビット 73
 MASTEROK ビット
 PCIEN 内の 84
 PCIIS 内の 81
 Max_Latency レジスタ 62
 Min_Grant レジスタ 62

P

PAGE ビット 73
 PALLOC ビット 98
 PCI I/O レジスタ
 DSP ページ・レジスタ (DSPP) 73
 ホスト・ステータス・レジスタ (HSR) 70
 Host-to-DSP コントロール・レジスタ 72
 PCI インタラプト・イネーブル・レジスタ
 (PCIEN) 84
 PCI インタラプト・ソース・レジスタ (PCIIS) 81
 PCI コマンド・レジスタ 54
 PCI コンフィギュレーション・レジスタ
 Max_Latency レジスタ 62

Min_Grant レジスタ 62
 PCI コマンド・レジスタ 54
 PCI ステータス・レジスタ 55
 インタラプト・ライン・レジスタ 61
 機能識別レジスタ 63
 機能ポインタ・レジスタ 61
 キャッシュ・ライン・サイズ・レジスタ 57
 クラス・コード・レジスタ 56
 サブシステム識別レジスタ 60
 サブシステム・ベンダー識別レジスタ 60
 次項目ポインタ・レジスタ 63
 デバイス識別レジスタ 53
 パワー・データ・レジスタ (PWRDATA) 68
 パワー・マネージメント機能レジスタ (PMC)
 64
 パワー・マネージメント・コントロール/ス
 テータス・レジスタ (PMCSR) 65
 ベース 0 アドレス・レジスタ 58
 ベース 1 アドレス・レジスタ 59
 ベース 2 アドレス・レジスタ 59
 ヘッダ・タイプ・レジスタ 58
 ベンダー識別レジスタ 53
 リセット 33
 リビジョン識別レジスタ 56
 レイテンシ・タイマ・レジスタ 57
 PCI コンフィギュレーション・レジスタのリセッ
 ト 33
 PCI システム・エラー処理 42
 PCI ステータス・レジスタ 55
 PCI ターゲット・ホルト・プロトコル 42
 PCI トランスファー・ホルト・レジスタ (HALT)
 97
 PCI トランスファー・リクエスト・コントロール・
 レジスタ (TRCTL) 98
 PCI パリティ・エラー処理 41
 PCI マスター・アドレス・レジスタ (PCIMA) 88
 PCI マスター・コントロール・レジスタ (PCIMC)
 89
 PCI マスター・ホルト・プロトコル 42
 PCI メモリ・マップド・レジスタ
 DSP マスター・アドレス・レジスタ (DSPMA)
 87
 DSP リセット・ソース/ステータス・レジスタ
 (RSTSRC) 75
 EEPROM アドレス・レジスタ (EEADD) 93
 EEPROM コントロール・レジスタ (EECTL) 95
 EEPROM データ・レジスタ (EEDAT) 94
 PCI インタラプト・イネーブル・レジスタ
 (PCIEN) 84
 PCI インタラプト・ソース・レジスタ (PCIIS)
 81
 PCI トランスファー・ホルト・レジスタ
 (HALT) 97

PCI トランスファー・リクエスト・コントロール・レジスタ (TRCTL) 98
 PCI マスター・アドレス・レジスタ (PCIMA) 88
 PCI マスター・コントロール・レジスタ (PCIMC) 89
 カレント DSP アドレス・レジスタ (CDSPA) 91
 カレント・バイト・カウント・レジスタ (CCNT) 92
 カレント PCI アドレス・レジスタ (CPCIA) 91
 パワー・マネージメント DSP コントロール/ステータス・レジスタ (PMDCSR) 77
 PCIBOOT ビット 72
 PCIEN 84
 PCIIS 81
 PCIMA 88
 PCIMASTER ビット
 PCIEN 内の 84
 PCIIS 内の 81
 PCIMC 89
 PCITARGET ビット
 PCIEN 内の 84
 PCIIS 内の 81
 PMC 64
 PMCSR 65
 PMDCSR 77
 PMEDRVN ビット 77
 PMEEN ビット
 PMCSR の 65
 PMDCSR 内の 77
 PMESTAT ビット
 PMCSR の 65
 PMDCSR 内の 77
 PRI ビット 98
 PRST ビット
 PCIEN 内の 84
 PCIIS 内の 81
 RSTSRC 内の 75
 PWRDATA 68
 PWRHL ビット
 PCIEN 内の 84
 PCIIS 内の 81
 PWRMGMT ビット
 PCIEN 内の 84
 PCIIS 内の 81
 PWRSTATE ビット 65
 PWRWKP ビット 77

R

READY ビット 95

REQSTATE ビット 77
 RST ビット 75
 RSTSRC 75

S

START ビット 89

T

TRCTL 98
 TRSTALL ビット 98

W

WARMRESET ビット 72
 WARMRST ビット 75

あ

アーキテクチャ 17
 アドレス・デコード 21

い

インタラプト・イネーブル・レジスタ (PCIEN) 84
 インタラプト・ソース・レジスタ (PCIIS) 81
 インタラプト・ライン・レジスタ 61

え

エラー処理 41

か

概要 13
カレント DSP アドレス・レジスタ (CDSPA) 91
カレント PCI アドレス・レジスタ (CPCIA) 91
カレント・バイト・カウント・レジスタ (CCNT) 92
関連文献 4

き

機能 13
機能識別レジスタ 63
機能ポインタ・レジスタ 61
キャッシュ・ライン・サイズ・レジスタ 57

く

クラス・コード・レジスタ 56

こ

コンフィギュレーション・レジスタ 50

さ

サブシステム識別レジスタ 60
サブシステム・ベンダー識別レジスタ 60

し

次項目ポインタ・レジスタ 63
システム・ホストとしての DSP 31
商標 4

す

スレーブ転送 25

た

ターゲット・イニシエータッド・ターミネーション 27

て

デバイス識別レジスタ 53
デバイスの違い 16
電源管理
 DSP 46
 DSP サポート 48
 DSP のリセット 47

と

トランスファー・ホルト・レジスタ (HALT) 97
トランスファー・リクエスト・コントロール・レジスタ (TRCTL) 98

は

バイト・アドレッシング 21
パワー・データ・レジスタ (PWRDATA) 68
パワー・マネージメント 43
 PCI 43
 パワー・マネージメント DSP コントロール/ステータス・レジスタ (PMDCSR) 77
 パワー・マネージメント機能レジスタ (PMC) 64
 パワー・マネージメント・コントロール/ステータス・レジスタ (PMCSR) 65

ひ

表記規則 3

ふ

ブート・コンフィギュレーション 35

プリフェッチ可能スレーブ・リード 26
 プリフェッチ可能スレーブ・リード・マルチプル
 26
 プリフェッチ可能スレーブ・リード・ライン 26
 プリフェッチ可能リード 22
 プリフェッチ不可能スレーブ・リード 26
 プログラム・メモリ間の転送 23
 ブロック図
 PCI 19
 TMS320C62x DSP 15
 TMS320C64x DSP 16

へ

ベース 0 アドレス・レジスタ 58
 ベース 1 アドレス・レジスタ 59
 ベース 2 アドレス・レジスタ 59
 ヘッダ・タイプ・レジスタ 58
 ベンダー識別レジスタ 53

ほ

ホストへの DSP 割り込み 34
 ホスト・ステータス・レジスタ (HSR) 70

ま

マスター転送 27
 マスター・アドレス・レジスタ (PCIMA) 88
 マスター・コントロール・レジスタ (PCIMC) 89

め

メモリ・マップ 20
 メモリ・マップド・レジスタ 74

り

リセット 33
 リビジョン識別レジスタ 56

れ

レイテンシ・タイマ・レジスタ 57
 レジスタ 50
 PCI I/O レジスタ 69
 DSP ページ・レジスタ (DSPP) 73
 ホスト・ステータス・レジスタ (HSR)
 70
 Host-to-DSP コントロール・レジスタ 72
 PCI コンフィギュレーション・レジスタ 50
 Max_Latency レジスタ 62
 Min_Grant レジスタ 62
 PCI コマンド・レジスタ 54
 PCI ステータス・レジスタ 55
 インタラプト・ライン・レジスタ 61
 機能識別レジスタ 63
 機能ポインタ・レジスタ 61
 キャッシュ・ライン・サイズ・レジスタ
 57
 クラス・コード・レジスタ 56
 サブシステム識別レジスタ 60
 サブシステム・ベンダー識別レジスタ
 60
 次項目ポインタ・レジスタ 63
 デバイス識別レジスタ 53
 パワー・データ・レジスタ (PWRDATA)
 68
 パワー・マネージメント機能レジスタ
 (PMC) 64
 パワー・マネージメント・コントロール/
 ステータス・レジスタ
 (PMCSR) 65
 ベース 0 アドレス・レジスタ 58
 ベース 1 アドレス・レジスタ 59
 ベース 2 アドレス・レジスタ 59
 ヘッダ・タイプ・レジスタ 58
 ベンダー識別レジスタ 53
 リセット 33
 リビジョン識別レジスタ 56
 レイテンシ・タイマ・レジスタ 57
 PCI メモリ・マップド・レジスタ 74
 DSP マスター・アドレス・レジスタ
 (DSPMA) 87
 DSP リセット・ソース/ステータス・レ
 ジスタ (RSTSRC) 75
 EEPROM アドレス・レジスタ (EEADD)
 93
 EEPROM コントロール・レジスタ
 (EECTL) 95
 EEPROM データ・レジスタ (EEDAT)
 94

PCI インタラプト・イネーブル・レジスタ (PCIEN) 84
PCI インタラプト・ソース・レジスタ (PCIIS) 81
PCI トランスファー・ホルト・レジスタ (HALT) 97
PCI トランスファー・リクエスト・コントロール・レジスタ (TRCTL) 98

PCI マスター・アドレス・レジスタ (PCIMA) 88
PCI マスター・コントロール・レジスタ (PCIMC) 89
カレント DSP アドレス・レジスタ (CDSPA) 91

カレント PCI アドレス・レジスタ (CPCIA) 91
カレント・バイト・カウント・レジスタ (CCNT) 92
パワー・マネージメント DSP コントロール/ステータス・レジスタ (PMDCSR) 77



割り込み 34

日本テキサス・インスツルメンツ株式会社

本 社 〒160-8366 東京都新宿区西新宿6丁目24番1号 西新宿三井ビルディング3階 ☎03(4331)2000(番号案内)

西日本ビジネスセンター 〒530-6026 大阪市北区天満橋1丁目8番30号 OAPオフィスタワー26階 ☎06(6356)4500(代表)
工 場 大分県・日出町／茨城県・美浦村／静岡県・小山町 (センサーズ&コントロールズ事業部)

研 究 開 発 セ ン タ ー 茨城県・つくば市 (筑波テクノロジー・センター)／神奈川県・厚木市 (厚木テクノロジー・センター)

■お問い合わせ先

プロダクト・インフォメーション・センター (PIC) _____

FAX ☎ 0120-81-0036

URL: <http://www.tij.co.jp/pic/>

TMS320C6000 DSP PCI **リファレンス・ガイド**

第 1 版 2005 年 8 月

発行所 **日本テキサス・インスツルメンツ株式会社**
〒160-8366
東京都新宿区西新宿 6-24-1 (西新宿三井ビルディング)

