TPS546E25 4V～18V 入力、50A、4 × スタッカブル、同期整流型降圧コンバータ、 PMBus® および遠隔測定機能付き

1 特長

- 入力電圧:2.7V～18V、外部バイアスあり
- 入力電圧:4V～18V、外部バイアスなし
- 0.4V～5.5V の出力電圧
- サポート対象 50A 単相または 2×、3×、または 4× スタック構成
- Rds_{on_HS} = 2.6mΩ、Rds_{on_LS} = 1mΩ
- 400kHz～2MHz の動作周波数 (ピンストラップで 4 つの個別設定、PMBus® 経由の追加設定)
- PMBus プログラマブル
  - リビジョン 1.5 の PASSKEY セキュリティ機能に準拠
  - 入力電圧、出力電圧、出力電流、温度の遠隔測定
  - 過電流、過電圧、低電圧、過熱保護機能をプログラム可能
  - スタック構成に単一コマンド書き込み機能を含む
  - 拡張された書き込み保護機能
  - 構成設定を保存するための不揮発性メモリ
- 出力電圧をプログラムする 2 つの方法
  - 内部抵抗分圧器 (個別設定)、ピン ストラップでブートアップ電圧を選択
  - 外部抵抗分圧器 (連続設定)、VBOOT でブートアップ電圧を選択
- 高精度の電圧リファレンスと差動リモート検出による高精度の出力
  - 0°C ～ 85°C の接合部で ±0.5% の DAC 精度
  - –40°C ～ 125°C の接合部で ±0.85% の VOUT 許容誤差
- 単相のみで FCCM/DCM を選択可能
- ピン ストラップによる PMBus 通信なしの起動
- プリバイアスされた出力への安全な起動
- 0.5ms～16ms のプログラマブル ソフト スタート時間
- 高速過渡応答の D-CAP4 制御トポロジですべてのセラミック出力コンデンサをサポート
- プログラム可能な内部ループ補償
- サイクル単位のバレー電流制限を選択可能
- オープンドレインのパワー グッド出力

2 アプリケーション

- サーバーおよびクラウド コンピューティング POL
- ハードウェア アクセラレータ
- ネットワーク インターフェイス カード (NIC)

3 説明

TPS546E25 デバイスは高集積降圧 converter で、D-CAP4 制御トポロジによって高速過渡応答を実現しています。プログラム可能なパラメータは、いずれも PMBus インターフェイスにより設定し、新しいデフォルト値として NVM に保存できるため、外付け部品点数を最小限に抑えることができます。ピンストラップ オプションにより、1 次または 2 次としての構成、スタック位置とスタック番号、DCM (単相のみ) または FCCM、過電流制限、故障応答、内部または外部の帰還抵抗、出力電圧の選択または範囲、スイッチング周波数、補償が可能です。

1MHz クロックをサポートする PMBus インターフェイスは、出力電圧、出力電流、内部ダイ温度などの主要パラメータの遠隔測定だけでなく、設定するための便利な標準化されたデジタル インターフェイスを提供します。フォルト条件への応答は、システム要件に応じて、再起動、ラッチオフ、無視のいずれかに設定できます。2 個、3 個、4 個の TPS546E25 デバイスを相互に接続して、単一出力で最大 200A を供給できます。

TPS546E25 には、VDRV および VCC ピン経由で外部 5V 電源で内蔵 4.5V LDO をオーバードライブするオプションがあります。これにより、効率性の向上、消費電力の低減、低い入力電圧での起動が可能になります。

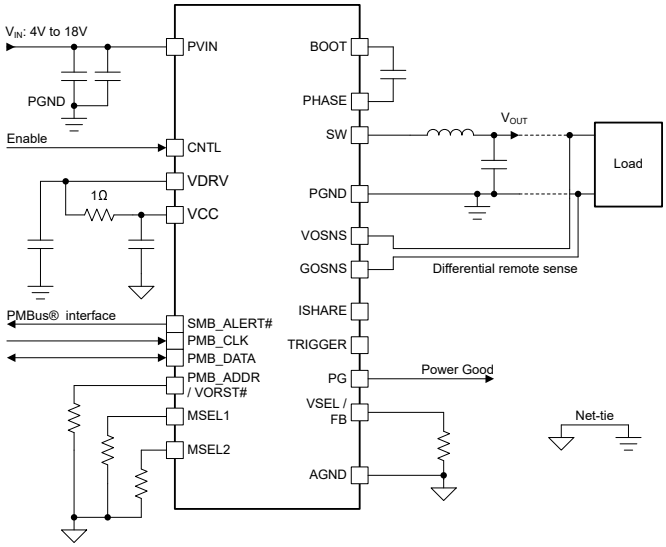
TPS546E25 は鉛フリー デバイスで、適用除外なしで RoHS に準拠しています。

パッケージ情報

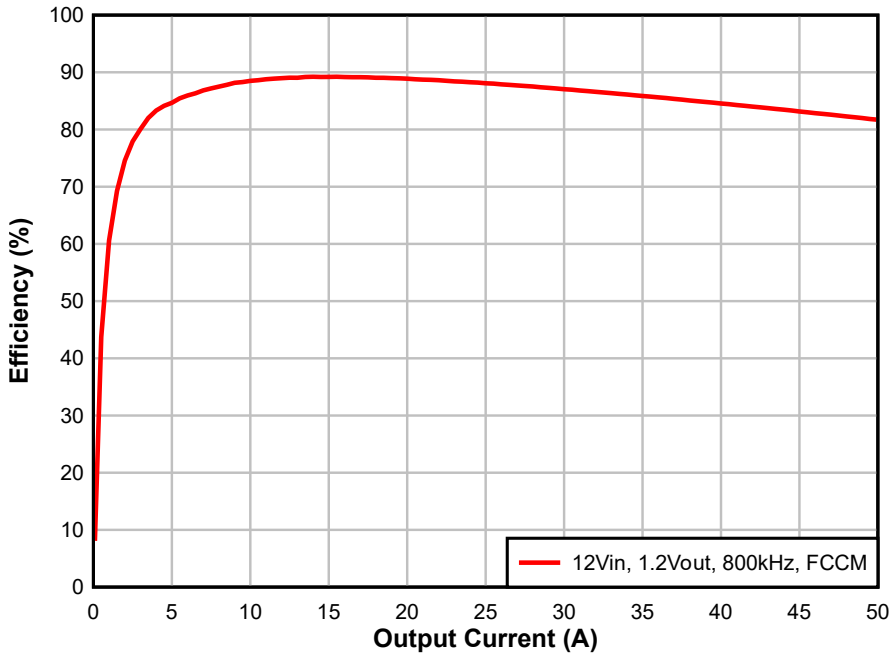
部品番号	パッケージ(1)	パッケージ サイズ(2)
TPS546E25	RXX (WQFN-FCRLF、37)	6mm × 5mm

(1) 詳細については、セクション 11 を参照してください。
(2) パッケージ サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。



概略回路図



効率代表値

Copyright © 2025 Texas Instruments Incorporated

目次

1 特長 ... 1
2 アプリケーション ... 1
3 説明 ... 1
4 ピン構成および機能 ... 4
5 仕様 ... 6
5.1 絶対最大定格 ... 6
5.2 ESD 定格 ... 6
5.3 推奨動作条件 ... 6
5.4 熱に関する情報 ... 7
5.5 電気的特性 ... 7
5.6 代表的特性 ... 14
6 詳細説明 ... 15
6.1 概要 ... 15
6.2 機能ブロック図 ... 15
6.3 機能説明 ... 16
6.4 デバイスの機能モード ... 27
6.5 プログラミング ... 37
7 レジスタマップ ... 40
7.1 ブロック コマンドの文書化規則 ... 40
7.2 (01h) OPERATION ... 41
7.3 (02h) ON_OFF_CONFIG ... 43
7.4 (03h) CLEAR_FAULTS ... 44
7.5 (04h) PHASE ... 45
7.6 (09h) P2_PLUS_WRITE ... 46
7.7 (0Ah) P2_PLUS_READ ... 47
7.8 (0Eh) PASSKEY ... 48
7.9 (10h) WRITE_PROTECT ... 49
7.10 (15h) STORE_USER_ALL ... 50
7.11 (16h) RESTORE_USER_ALL ... 51
7.12 (19h) CAPABILITY ... 52
7.13 (1Bh) SMBALERT_MASK ... 53
7.14 (20h) VOUT_MODE ... 56
7.15 (21h) VOUT_COMMAND ... 57
7.16 (22h) VOUT_TRIM ... 59
7.17 (24h) VOUT_MAX ... 60
7.18 (25h) VOUT_MARGIN_HIGH ... 62
7.19 (26h) VOUT_MARGIN_LOW ... 64
7.20 (27h) VOUT_TRANSITION_RATE ... 66
7.21 (29h) VOUT_SCALE_LOOP ... 67
7.22 (2Ah) VOUT_SCALE_MONITOR ... 69
7.23 (2Bh) VOUT_MIN ... 71
7.24 (33h) FREQUENCY_SWITCH ... 72
7.25 (35h) VIN_ON ... 74
7.26 (36h) VIN_OFF ... 75
7.27 (39h) IOUT_CAL_OFFSET ... 76
7.28 (40h) VOUT_OV_FAULT_LIMIT ... 77
7.29 (41h) VOUT_OV_FAULT_RESPONSE ... 78
7.30 (42h) VOUT_OV_WARN_LIMIT ... 80
7.31 (43h) VOUT_UV_WARN_LIMIT ... 82
7.32 (44h) VOUT_UV_FAULT_LIMIT ... 83
7.33 (45h) VOUT_UV_FAULT_RESPONSE ... 84
7.34 (46h) IOUT_OC_FAULT_LIMIT ... 86
7.35 (48h) IOUT_OC_LV_FAULT_LIMIT ... 89
7.36 (49h) IOUT_OC_LV_FAULT_RESPONSE ... 90
7.37 (4Ah) IOUT_OC_WARN_LIMIT ... 92
7.38 (4Fh) OT_FAULT_LIMIT ... 95
7.39 (50h) OT_FAULT_RESPONSE ... 97
7.40 (51h) OT_WARN_LIMIT ... 98
7.41 (55h) VIN_OV_FAULT_LIMIT ... 100
7.42 (60h) TON_DELAY ... 102
7.43 (61h) TON_RISE ... 103
7.44 (64h) TOFF_DELAY ... 105
7.45 (65h) TOFF_FALL ... 106
7.46 (78h) STATUS_BYTE ... 108
7.47 (79h) STATUS_WORD ... 110
7.48 (7Ah) STATUS_VOUT ... 112
7.49 (7Bh) STATUS_IOUT ... 113
7.50 (7Ch) STATUS_INPUT ... 115
7.51 (7Dh) STATUS_TEMPERATURE ... 116
7.52 (7Eh) STATUS_CML ... 117
7.53 (7Fh) STATUS_OTHER ... 119
7.54 (80h) STATUS_MFR_SPECIFIC ... 120
7.55 (88h) READ_VIN ... 121
7.56 (8Bh) READ_VOUT ... 122
7.57 (8Ch) READ_IOUT ... 123
7.58 (8Dh) READ_TEMPERATURE_1 ... 124
7.59 (98h) PMBUS_REVISION ... 125
7.60 (99h) MFR_ID ... 126
7.61 (9Ah) MFR_MODEL ... 127
7.62 (9Bh) MFR_REVISION ... 128
7.63 (ADh) IC_DEVICE_ID ... 129
7.64 (AEh) IC_DEVICE_REV ... 130
7.65 (D1h) SYS_CFG_USER1 ... 131
7.66 (D3h) PMBUS_ADDR ... 133
7.67 (D4h) COMP ... 134
7.68 (D5h) VBOOT_OFFSET_1 ... 136
7.69 (D6h) STACK_CONFIG ... 138
7.70 (D8h) PIN_DETECT_OVERRIDE ... 139
7.71 (D9h) NVM_CHECKSUM ... 141
7.72 (DAh) READ_TELEMETRY ... 142
7.73 (DBh) STATUS_ALL ... 143
7.74 (DDh) EXT_WRITE_PROTECTION ... 144
7.75 (DEh) IMON_CAL ... 147
7.76 (FCh) FUSION_ID0 ... 148
7.77 (FDh) FUSION_ID1 ... 149
8 アプリケーションと実装 ... 151
8.1 アプリケーション情報 ... 151
8.2 代表的なアプリケーション ... 151
8.3 電源に関する推奨事項 ... 158
8.4 レイアウト ... 158
9 デバイスおよびドキュメントのサポート ... 162
9.1 ドキュメントのサポート ... 162
9.2 ドキュメントの更新通知を受け取る方法 ... 162
9.3 サポート・リソース ... 162
9.4 商標 ... 162
9.5 静電気放電に関する注意事項 ... 162
9.6 用語集 ... 162
10 改訂履歴 ... 162
11 メカニカル、パッケージ、および注文情報 ... 163

Copyright © 2025 Texas Instruments Incorporated

4 ピン構成および機能

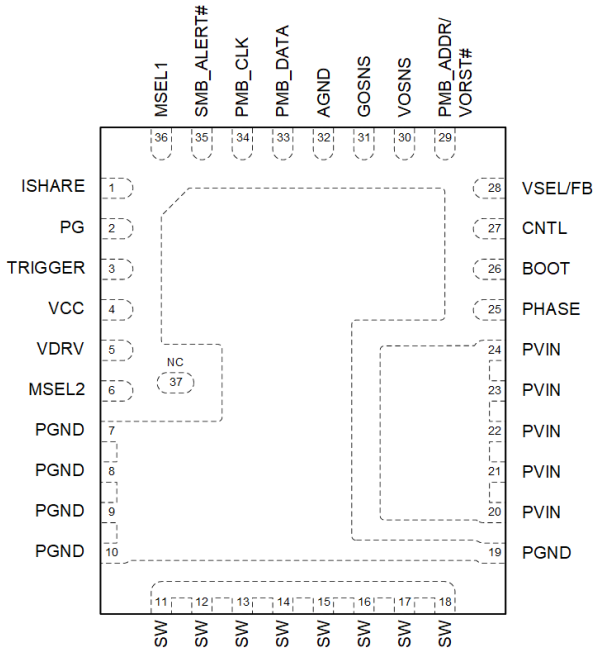


図 4-1. RXX 37 ピン WQFN-FCRLF パッケージ (上面図)

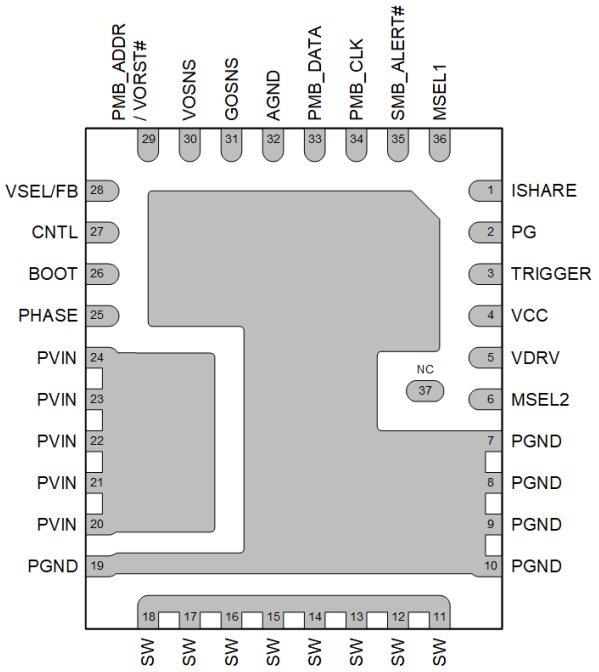


図 4-2. RXX 37 ピン WQFN-FCRLF パッケージ (底面図)

表 4-1. ピンの機能

ピン		種類[1]	説明
名称	番号		
AGND	32	G	アナログ グランド ピン、内部制御回路の基準点
BOOT	26	P	ハイサイド ゲートドライバの電源レール (昇圧端子)。このピンと PHASE ピンとの間にブートストラップ コンデンサを接続します。TI では、10V、X7R またはそれ以上、0.1µF 以上の値のセラミック コンデンサをお勧めします。5V で DC バイアス ディレーティングを行った後、コンデンサには 50nF 以上の容量が必要です。
CNTL	27	I	CTRL ピンはアクティブ High の入力ピンで、High にアサートすると、コンバータが出力電圧レールのソフトスタート シーケンスを開始します。
GOSNS	31	I	差動リモート センス回路の負入力。負荷側のグランド センス ポイントに接続します。
ISHARE	1	I/O	スタッカブル構成用の ISHARE ピン。このピンをスタック内の他の ISHARE ピンに接続します。スタンドアロン構成では接続 (フローティング) しないでください。
MSEL1	36	I	AGND との間に抵抗を使用して、1 次、2 次デバイス、内部、外部フィードバック、電流制限、故障応答のオプションを選択します。*ピン ストラップ* を参照してください。
MSEL2	6	I	AGND への抵抗を使用して、デバイスのスイッチング周波数、ランプ、ゲイン補償のオプションを選択します。*ピン ストラップ* を参照してください。
NC	37		接続なし。このピンは、内部でフローティングになっています。
PG	2	O	オープン ドレインのパワー グッド インジケータ
PGND	7、8、9、10、19	G	内部電力段の電源グランド
PHASE	25	I/O	ハイサイド MOSFET ドライバのリターン。内部で SW に短絡。BOOT ピンと PHASE ピンとの間にブートストラップ コンデンサを接続します。
PMB_ADDR/ VORST#	29	I	AGND への抵抗を使用して、PMBus アドレスの軽負荷動作モード、DCM または FCCM、およびマルチフェーズ スタックのオプションを選択します。*ピン ストラップ* を参照してください。
PMB_CLK	34	I	PMBus クロック ピン、オープン ドレイン

Copyright © 2025 Texas Instruments Incorporated

表 4-1. ピンの機能 (続き)

ピン		種類(1)	説明
名称	番号		
PMB_DATA	33	I/O	PMBus 双方向データ ピン、オープン ドレイン
PVIN	20、21、22、23、24	P	電力段および内部 VCC LDO の入力の両方に対する電源入力
SMB_ALERT_#	35	O	SMBus 仕様に記載されている SMBALERT#。このピンはオープン ドレインです。SMBALERT# インジケータは、アラート応答アドレス (ARA) と組み合わせて使用します。公称動作中、SMBALERT# は High に保持されます。
SW	11 ～ 18	O	パワー コンバータの出力スイッチング端子。このピンは出力インダクタに接続します。
TRIGGER	3	I/O	スタッカブル構成用の TRIGGER ピン。このピンをスタック内の他の TRIGGER ピンに接続します。スタンドアロン構成では接続 (フローティング) しないでください。
VCC	4	P	PVIN から内部 4.5V LDO を出力し、アナログ制御回路に電源を供給します。10V 定格の X5R またはそれ以上のグレードの 2.2µF コンデンサを使用して AGND にバイパスし、1Ω の抵抗を使用して VDRV に接続します。詳細については、レイアウト ガイドラインをご確認ください。
VDRV	5	—	ゲートドライバ用 5V 電源。10V 定格の X5R またはそれ以上のグレードの 2.2µF コンデンサを使用して PGND にバイパスし、1Ω の抵抗を使用して VCC に接続します。このピンに外部の 5V バイアスを接続することで、内部 LDO での電力損失を低減したり、より低い PVIN 電圧での動作を可能にしたりできます。詳細については、レイアウト ガイドラインをご確認ください。
VOSNS	30	I	差動リモート センス回路の出力電圧センス ピンと正入力。内部フィードバックと外部フィードバックの両方について、100Ω 以下の抵抗で VOSNS を Vout センス ポイントに接続します。
VSEL/FB	28	I	内部 FB 分周器を使用するようにデバイスが構成されている場合、このピンは VSEL です。AGND への抵抗を使用して周波数を選択します。*MSEL1 のプログラミング* と *VSEL\FB のプログラミング* を参照してください。外付けの抵抗分圧器用にデバイスを構成している場合、このピンはデバイスの帰還ピンです。このピンを抵抗分圧器を使用して VOSNS および GOSNS に接続し、出力電圧を設定します。*レイアウトのガイドライン* を参照してください。

(1) I = 入力、O = 出力、I/O = 入力または出力、G = グランド、P = 電源。

5 仕様

5.1 絶対最大定格

動作時接合部温度範囲内 (特に記述のない限り) (1)

		最小値	最大値	単位
ピン電圧	PVIN - PGND	-0.3	19	V
ピン電圧	SW – PGND、DC	-0.3	19	V
ピン電圧	SW – PGND、過渡 < 10ns	-3.0	21	V
ピン電圧	PVIN – SW、DC	-0.3	20	V
ピン電圧	PVIN – SW、過渡 < 10ns	-3.0	24	V
ピン電圧	BOOT – PGND	-0.3	25	V
ピン電圧	BOOT – SW、BOOT - PHASE	-0.3	5.5	V
ピン電圧	VDRV – PGND、VCC - AGND	-0.3	5.5	
ピン電圧	GOSNS – AGND	-0.3	0.3	
ピン電圧	AGND – PGND	-0.3	0.3	V
ピン電圧	MSEL1、MSEL2、PMB_ADDR/VORST#、VSEL/FB、VOSNS	-0.3	5.5	V
ピン電圧	PG、TRIGGER	-0.3	5.5	
ピン電圧	ISHARE	-0.3	1.98	V
ピン電圧	PMB_CLK、PMB_DATA、SMB_ALERT、CNTL	-0.3	5.5	V
シンク電流	PG		10	mA
シンク電流	PMB_CLK、PMB_DATA、SMB_ALERT		22	mA
T_{stg}	保存温度	-55	150	℃
T_J	動作時接合部温度	-40	150	℃

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 (1)	±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 (2)	±500	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

動作時接合部温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
V_{PVIN}	ピン電圧	PVIN - PGND の電圧範囲	4		18	V
V_{VCC}	内部 LDO ピン電圧	内蔵 LDO		4.5		V
V_{VCC}	外部バイアス ピンの電圧	外部バイアス電圧を使用可能	4.7		5.3	V
V_{PVIN}	ピン電圧	VCC バイアス (4.7V ～ 5.3V)	2.7		18	V
	PGND を基準とするピン電圧	VDRV		4.5		V
	AGND を基準とするピン電圧	CNTL	1.1	1.2		V
	AGND を基準とするピン電圧	PMB_CLK、PMB_DATA、SMB_ALERT	-0.1	1.8	5.25	V
	ピン電圧	AGND - PGND		0		V
	ピン電圧	AGND - GOSNS	-100		100	mV
I_{OUT}	出力電流範囲		0		50	A

Copyright © 2025 Texas Instruments Incorporated

5.3 推奨動作条件 (続き)

動作時接合部温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
I_{PMB}	PMBus ピンのシンク電流	PMB_CLK、PMB_DATA、SMB_ALERT			20	mA
I_{PG}	パワー グッドのシンク電流容量		0		5	mA
T_J	動作時接合部温度		-40		125	℃

5.4 熱に関する情報

熱評価基準(1)		TPS546E25		単位
		RXX 37 ピン QFN		
		JEDEC 51-7 PCB	TPS546E25EVM-1PH	
$R_{\theta JA}$	接合部から周囲への熱抵抗	26	14	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	7.4	該当なし (2)	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	3.6	該当なし (2)	℃/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.2	0.15	℃/W
Ψ_{JB}	接合部から基板への特性パラメータ	3.6	3.2	℃/W

(1) 従来および最新の熱評価基準の詳細については、*『半導体および IC パッケージの熱評価基準』アプリケーション ノート*を参照してください。
(2) 熱シミュレーションのセットアップは、TI の評価基板レイアウトに適用できません。

5.5 電気的特性

T_J = –40°C ～ +125°C。PVIN = 4V ～ 18V、V_{VCC} = 4.5V ～ 5.0V (特に記述のない限り)。標準値は T_J = 25°C、PVIN = 12V、V_{VCC} = 4.5V の場合

パラメータ		テスト条件		最小値	標準値	最大値	単位
電源							
$I_{Q(PVIN)}$	PVIN 静止電流	非スイッチング、PVIN = 12V、V_{CTRL} = 0V、VCC/VDRV ピンに外部バイアスなし			10		mA
$I_{SD(PVIN)}$	PVIN のシャットダウン時消費電流	PVIN = 12V、V_{EN} = 0V、VCC および VDRV ピンにバイアスなし			20		µA
I_{VCC}	VCC 外部バイアス電流	VCC+VDRV に外部バイアス 5V、通常スイッチング。T_J = 25°C、PVIN = 12V、V_{OUT} = 1.1V、V_{EN} = 2V、$_{SW}$ = 1MHz	f_{SW} = 1MHz		10		mA
I_{VDRV}	VDRV 外部バイアス電流	VCC+VDRV に外部バイアス 5V、通常スイッチング。T_J = 25°C、PVIN = 12V、V_{OUT} = 1.1V、V_{EN} = 2V、$_{SW}$ = 1MHz	f_{SW} = 1MHz		40		mA
$I_{Q(VDRV)}$	VCC+VDRV 静止電流	VCC+VDRV に外部バイアス 5V、非スイッチング。PVIN = 12V、V_{EN} = 0V			8.5		mA
入力 UVLO および OV							
$PVIN_{OV}$	PVIN 過電圧スレッショルド (55h) VIN_OV_FAULT_LIMIT	(55h) VIN_OV_FAULT_LIMIT = 16.5V		15.9	16.5		V
		(55h) VIN_OV_FAULT_LIMIT = 18.5V		18.9	19.5		V
$PVIN_{OV}$	PVIN 過電圧立ち下がりスレッショルドは、設定後に PVIN_OVF ステータス ビットをクリアします。	PVIN の立ち下がり			13.5		V
VIN_ON	PVIN ターンオン電圧 (35h) VIN_ON	PVIN 立ち上がり (デフォルトでサポートされている PMBus コマンドを参照)	(35h) VIN_ON = 10V		10		V
			(35h) VIN_ON = 9V		9		V
			(35h) VIN_ON = 8V		8		V
VIN_ON			(35h) VIN_ON = 7V		7		V
			(35h) VIN_ON = 6V		6		V
			(35h) VIN_ON = 5V		5		V
			(35h) VIN_ON = 3.8V		3.8		V
			(35h) VIN_ON = 2.5V		2.5		V

Copyright © 2025 Texas Instruments Incorporated

5.5 電気的特性 (続き)

T_J = –40°C ～ +125°C。PVIN = 4V ～ 18V、V_{VCC} = 4.5V ～ 5.0V (特に記述のない限り)。標準値は T_J = 25°C、PVIN = 12V、V_{VCC} = 4.5V の場合

パラメータ		テスト条件		最小値	標準値	最大値	単位
VIN_OFF	PVIN ターンオフ電圧 (36h) VIN_OFF	PVIN 立ち下がり (デフォルトでサポートされている PMBus コマンドを参照)	(36h) VIN_OFF = 9.5V		9.5		V
			(36h) VIN_OFF = 8.5V		8.5		V
			(36h) VIN_OFF = 7.5V		7.5		V
			(36h) VIN_OFF = 6.5V		6.5		V
			(36h) VIN_OFF = 5.5V		5.5		V
			(36h) VIN_OFF = 4.2V		4.2		V
			(36h) VIN_OFF = 3.6V		3.6		V
			(36h) VIN_OFF = 2.3V		2.3		V
$T_{DGLTCH(ON)}$	VIN_ON グリッチ除去時間				50		µs
$T_{DGLTCH(OFF)}$	VIN_OFF グリッチ除去時間				5		µs
イネーブル							
$V_{EN(R)}$	CTRL 電圧立ち上がりスレッショルド	CTRL 立ち上がり、スイッチングはイネーブル			1.2	1.3	V
$V_{EN(F)}$	CTRL 電圧立ち下がりスレッショルド	CTRL 立ち下がり、スイッチングはディスエーブル		0.9	1.0		V
$V_{EN(H)}$	CTRL 電圧ヒステリシス				0.2		V
$t_{EN(DGLTCH)}$	CTRL グリッチ除去時間(1)			0.2			µs
$R_{EN(PD)}$	CTRL 内部プルダウン抵抗 (CTRL から AGND へ)	VEN = 2V、CTRL ピンから AGND へ		110	125	140	kΩ
内部 VCC LDO							
$V_{VCC(LDO)}$	内部 VCC LDO 出力電圧	PVIN = 4V、$I_{VCC(load)}$ = 5mA	PVIN = 4V、$I_{VCC(load)}$ = 5mA	3.925	3.97	4.0	V
$V_{VCC(LDO)}$	内部 VCC LDO 出力電圧	PVIN = 5V ～ 18V、$I_{VCC(load)}$ = 5mA		4.28	4.44	4.55	V
$V_{VCC(ON)}$	VCC UVLO 立ち上がりスレッショルド	VCC 立ち上がり		3.70	3.80	3.86	V
$V_{VCC(OFF)}$	VCC UVLO 立ち下がりスレッショルド	VCC 立ち下がり		3.50	3.60	3.65	V
$V_{VCC(DO)}$	VCC LDO ドロップアウト電圧	PVIN – V_{VCC}、PVIN = 4V、$I_{VCC(load)}$ = 45mA		90	144	226	mV
$I_{VCC(SC)}$	VCC LDO 短絡電流制限	PVIN = 12V		150	200		mA
VOUT 電圧							
$V_{OUT(ACC)}$	出力電圧のレギュレーション精度	T_J = 0℃～85℃	V_{OUT} = 0.5V、VOSL = 1、V_{VOSNS} – V_{GOSNS}	0.496	0.5	0.504	V
			V_{OUT} = 1V、VOSL = 0.5、V_{VOSNS} – V_{GOSNS}	0.995	1	1.005	V
			V_{OUT} = 1.8V、VOSL = 0.25、V_{VOSNS} – V_{GOSNS}	1.791	1.8	1.809	V
			V_{OUT} = 3.3V、VOSL = 0.125、V_{VOSNS} – V_{GOSNS}	3.284	3.3	3.316	V
		T_J = –40℃～125℃	V_{OUT} = 0.5V、VOSL = 1、V_{VOSNS} – V_{GOSNS}	0.494	0.5	0.506	V
			V_{OUT} = 1V、VOSL = 0.5、V_{VOSNS} – V_{GOSNS}	0.9915	1	1.0085	V
			V_{OUT} = 1.8V、VOSL = 0.25、V_{VOSNS} – V_{GOSNS}	1.784	1.8	1.816	V
			V_{OUT} = 3.3V、VOSL = 0.125、V_{VOSNS} – V_{GOSNS}	3.271	3.3	3.329	V
I_{VOS}	VOSNS 入力電流	V_{VOSNS} = 1.8V、VOSL = 0.25			60	100	µA
V_{OUTRES}		VOUT_COMMAND および VOUT_TRIM の分解能			1.953		mV
VOSL	VOUT_SCALE_LOOP。内部帰還ループのスケーリング係数。	プログラマブルな範囲、4 つの個別設定		0.125		1	
VOUT_TRIM	プログラマブルな範囲			-125		123	mV
VOUT_TR	出力電圧遷移レートの精度	VOUT_TRANSITION_RATE = 10mV/µs		8.8	9.77	10.7	mV/µs
スイッチング周波数							

Copyright © 2025 Texas Instruments Incorporated

5.5 電気的特性 (続き)

T_J = –40°C ～ +125°C。PVIN = 4V ～ 18V、V_{VCC} = 4.5V ～ 5.0V (特に記述のない限り)。標準値は T_J = 25°C、PVIN = 12V、V_{VCC} = 4.5V の場合

パラメータ		テスト条件		最小値	標準値	最大値	単位
$f_{SW(FCCM)}$	スイッチング周波数 (33h) FREQUENCY_SWITCH	PVIN = 12V、FCCM、V_{OUT} = 1.1V、無負荷	(33h) FREQUENCY_SWITCH = 000b		400	440	kHz
			(33h) FREQUENCY_SWITCH = 001b	510	600	660	kHz
			(33h) FREQUENCY_SWITCH = 010b	680	800	920	kHz
			(33h) FREQUENCY_SWITCH = 011b	850	1000	1150	kHz
			(33h) FREQUENCY_SWITCH = 100b	1020	1200	1440	kHz
			(33h) FREQUENCY_SWITCH = 101b		1400		kHz
			(33h) FREQUENCY_SWITCH = 110b		1800		kHz
			(33h) FREQUENCY_SWITCH = 111b		2000		kHz
起動とシャットダウンのタイミング							
$t_{ON(DLY)}$	パワー オン シーケンス遅延、(60h) TON_DELAY (デフォルトでサポートされている PMBus コマンドを参照)	V_{VCC} = 4.5V	TON_DELAY = 0ms		0.05	0.1	ms
			TON_DELAY = 0.5ms		0.5	0.55	ms
			TON_DELAY = 1.0ms		1.0	1.1	ms
			TON_DELAY = 2.0ms		2.0	2.2	ms
$t_{ON(Rise)}$	ソフト スタート時間、(61h) TON_RISE (デフォルトでサポートされている PMBus コマンドを参照)	V_{VCC} = 4.5V	TON_RISE = 0.5ms		0.5	0.55	ms
			TON_RISE = 1.0ms		1.0	1.1	ms
			TON_RISE = 2.0ms		2.0	2.2	ms
			TON_RISE = 4.0ms		4.0	4.4	ms
			TON_RISE = 8.0ms		8.0	8.8	ms
			TON_RISE = 16.0ms		16.0	17.6	ms
$t_{OFF(DLY)}$	パワー オフ シーケンス遅延、(64h) TOFF_DELAY (デフォルトでサポートされている PMBus コマンドを参照)	V_{VCC} = 4.5V	TOFF_DELAY = 0ms		0	0.05	ms
			TOFF_DELAY = 1.0ms		1.0	1.1	ms
			TOFF_DELAY = 1.5ms		1.5	1.65	ms
			TOFF_DELAY = 2.0ms		2.0	2.2	ms
$SR_{(Fall)}$	ソフト ストップ スルーレート、(65h) TOFF_FALL (デフォルトでサポートされている PMBus コマンドを参照)	V_{VCC} = 4.5V、VOSL = 0.5 VDACBOOT = 0.55V	TOFF_FALL = 0.5ms		-2.22		mV/µs
			TOFF_FALL = 1ms		-1.11		mV/µs
			TOFF_FALL = 2ms		-0.56		mV/µs
			TOFF_FALL = 4ms		-0.28		mV/µs
		V_{VCC} = 4.5V、VOSL = 0.25 VDACBOOT = 0.45V	TOFF_FALL = 0.5ms		-3.64		mV/µs
			TOFF_FALL = 1ms		-1.82		mV/µs
			TOFF_FALL = 2ms		-0.91		mV/µs
			TOFF_FALL = 4ms		-0.46		mV/µs
電力段							
$R_{DSON(HS)}$	ハイサイド MOSFET オン抵抗	T_J = 25°C、PVIN = 12V、$V_{BOOT-PHASE}$ = 4.5V			2.55		mΩ
		T_J = 25°C、PVIN = 12V、$V_{BOOT-PHASE}$ = 5V			2.47		mΩ
$R_{DSON(LS)}$	ローサイド MOSFET オン抵抗	T_J = 25°C、PVIN = 12V、$V_{VCC/VDRV}$ = 4.5V			0.97		mΩ
		T_J = 25°C、PVIN = 12V、$V_{VCC/VDRV}$ = 5V			0.94		mΩ
$t_{ON(min)}$	最小 ON パルス幅	$V_{VCC/VDRV}$ = 4.5V			30		ns
$t_{OFF(min)}$	最小 OFF パルス幅	$V_{VCC/VDRV}$ = 4.5V、I_O = 1.5A、V_{OUT} = $V_{OUT(set)}$ – 20mV、SW 立ち下がりエッジから立ち上がりエッジまで			210		ns
ブートストラップ回路							
$I_{BOOT(LKG)}$	ブートリーク電流	V_{EN} = 2V、$V_{BOOT-PHASE}$ = 5V				150	µA
$V_{BT-PH(UV_F)}$	BOOT-PHASE UVLO 立ち下がりスレッショルド				3		V
過電流保護							

5.5 電気的特性 (続き)

T_J = –40°C ～ +125°C。PVIN = 4V ～ 18V、V_{VCC} = 4.5V ～ 5.0V (特に記述のない限り)。標準値は T_J = 25°C、PVIN = 12V、V_{VCC} = 4.5V の場合

パラメータ		テスト条件		最小値	標準値	最大値	単位
$I_{LS(OC)}$	ローサイド MOSFET バレー過電流制限値、(46h) IOUT_OC_FAULT_LIMIT (デフォルトでサポートされている PMBus コマンドを参照)	IOUT_OC_FAULT_LIMIT = 12A		11	12.5	14	A
		IOUT_OC_FAULT_LIMIT = 15A(1)		13.5	15	16.5	A
		IOUT_OC_FAULT_LIMIT = 18A(1)		16.5	18.75	21	A
		IOUT_OC_FAULT_LIMIT = 24A(1)		21	23.75	26	A
		IOUT_OC_FAULT_LIMIT = 26A(1)		23.5	26.25	29	A
		IOUT_OC_FAULT_LIMIT = 30A		27	30	33	A
		IOUT_OC_FAULT_LIMIT = 35A(1)		31	35	38.5	A
		IOUT_OC_FAULT_LIMIT = 37A(1)		33.5	37.5	41.5	A
		IOUT_OC_FAULT_LIMIT = 40A		36	40	44	A
		IOUT_OC_FAULT_LIMIT = 44A(1)		39	43.75	48	A
		IOUT_OC_FAULT_LIMIT = 49A(1)		43.5	48.75	54	A
		IOUT_OC_FAULT_LIMIT = 50A		45	50	55	A
		IOUT_OC_FAULT_LIMIT = 55A(1)		49	55	60.5	A
		IOUT_OC_FAULT_LIMIT = 60A(1)		54	60	66	A
$I_{(OCW)}$	平均出力電流警告、(4Ah) IOUT_OC_WARN_LIMIT (デフォルトでサポートされている PMBus コマンドを参照)	IOUT_OC_WARN_LIMIT = 5A(1)			5		A
		IOUT_OC_WARN_LIMIT = 10A(1)			10		A
		IOUT_OC_WARN_LIMIT = 15A(1)			15		A
		IOUT_OC_WARN_LIMIT = 20A(1)			20		A
		IOUT_OC_WARN_LIMIT = 25A(1)			25		A
		IOUT_OC_WARN_LIMIT = 30A(1)			30		A
		IOUT_OC_WARN_LIMIT = 35A(1)			35		A
		IOUT_OC_WARN_LIMIT = 40A(1)			40		A
		IOUT_OC_WARN_LIMIT = 45A(1)			45		A
		IOUT_OC_WARN_LIMIT = 50A(1)			50		A
		IOUT_OC_WARN_LIMIT = 55A(1)			55		A
$I_{LS(NOC)}$	ローサイド MOSFET の負の過電流制限値 (デフォルトでサポートされている PMBus コマンドを参照)		SEL_UCF = 00b(1)		-30		A
			SEL_UCF = 01b(1)		-25		A
			SEL_UCF = 01b(1)		-20		A
			SEL_UCF = 01b(1)		-10		A
スタッキング インターフェイス							
$V_{IH(TRIG)}$	High レベルの 1 次検出入力電圧	1 次デバイスの同期を判断する 2 次デバイスの TRIG 入力		2.5	3.2		V
$V_{IL(sync)}$	Low レベル入力電圧トリガ	トリガを判断する 2 次デバイスの TRIG 入力			1.85	2.3	V
$V_{OHH(TRIG)}$	プライマリ同期用の TRIGGER 出力時の High 電圧			2.5	3.2		V
	TRIGGER パルスの最小パルス幅検出	2 次デバイスの入力		10			ns
	TRIGGER パルスの最小パルス幅	1 次デバイスの出力		25			ns
電流共有							
$I_{SHARE(acc)}$	2 つのデバイスの出力電流共有精度は、2 つのデバイス間の電流差を 2 つのデバイスの合計電流で割った比率として定義されます	デバイスあたり I_{OUT} ≥ 20A(1)		-10%		+10%	%
	V_{ISHARE} 故障トリップ スレッショルド				200mV		V
$I_{SHARE(acc)}$	2 つのデバイスの出力電流共有精度は、各デバイス間の電流差と全デバイスの平均値として定義されます	デバイスあたり I_{OUT} < 20A(1)		-2		2	A
	V_{ISHARE} 故障リリース スレッショルド						V
出力 OVF/UVF							
V_{OVF}	Vout 過電圧故障 (OVF) スレッショルド、(40h) VOUT_OV_FAULT_LIMIT (デフォルトでサポートされている PMBus コマンドを参照)	(VOSNS – GOSNS) 立ち上がり	VOUT_OV_FAULT_LIMIT = 573d		112%		VOC
			VOUT_OV_FAULT_LIMIT = 594d		116%		VOC
			VOUT_OV_FAULT_LIMIT = 614d		120%		VOC
			VOUT_OV_FAULT_LIMIT = 717d		150%		VOC

Copyright © 2025 Texas Instruments Incorporated

5.5 電気的特性 (続き)

T_J = –40°C ～ +125°C。PVIN = 4V ～ 18V、V_{VCC} = 4.5V ～ 5.0V (特に記述のない限り)。標準値は T_J = 25°C、PVIN = 12V、V_{VCC} = 4.5V の場合

パラメータ		テスト条件		最小値	標準値	最大値	単位
$V_{OVF(acc)}$	Vout OVF 精度	(VOSNS – GOSNS) 立ち上がり		-3%		3%	VOC
V_{UVF}	Vout 低電圧故障 (UVF) スレッショルド、(44h) VOUT_UV_FAULT_LIMIT (デフォルトでサポートされている PMBus コマンドを参照)	(VOSNS – GOSNS) 立ち下がり	VOUT_UV_FAULT_LIMIT = 430d		84%		VOC
			VOUT_UV_FAULT_LIMIT = 389d		76%		VOC
			VOUT_UV_FAULT_LIMIT = 348d		68%		VOC
			VOUT_UV_FAULT_LIMIT = 307d		60%		VOC
$V_{OVF(acc)}$	Vout UVF 精度	(VOSNS – GOSNS) 立ち下がり		-3%		3%	VOC
	Vout UVF および UVW 遅延時間 (デフォルトでは、サポートされている PMBus コマンドを参照)	(45h) VOUT_UV_FAULT_RESPONSE<2:0> = x00b			2		µs
		(45h) VOUT_UV_FAULT_RESPONSE<2:0> = x01b			16		µs
		(45h) VOUT_UV_FAULT_RESPONSE<2:0> = x10b			64		µs
		(45h) VOUT_UV_FAULT_RESPONSE<2:0> = x11b			256		µs
T_{HICCUP}	再起動前のヒカップ スリープ時間。ヒカップ応答オプションがあるすべての故障に適用可能。	(45h) VOUT_UV_FAULT_RESPONSE<5:3> = 111b			52		ms
$V_{OVF(FIX)}$	V_{OUT} 固定 OVF 保護スレッショルド (デフォルトでサポートされている PMBus コマンドを参照)	VOUT_SCALE_LOOP = 1	OVF_FIXED = 0b		0.75		V
			OVF_FIXED = 1b		0.9		V
		VOUT_SCALE_LOOP = 0.5	OVF_FIXED = 0b	1.425	1.5	1.575	V
			OVF_FIXED = 1b	1.71	1.8	1.89	V
		VOUT_SCALE_LOOP = 0.25	OVF_FIXED = 0b	2.93	3.0	3.07	V
			OVF_FIXED = 1b		3.6		V
		VOUT_SCALE_LOOP = 0.125	OVF_FIXED = 0b		4.8		V
			OVF_FIXED = 1b		6.0		V
出力 OVW/UVW							
V_{OVW}	過電圧警告 (OVW) スレッショルド、(42h) VOUT_OV_WARN_LIMIT (デフォルトでサポートされている PMBus コマンドを参照)	(VOSNS – GOSNS) 立ち上がり	VOUT_OV_WARN_LIMIT = 553d	105%	108%	111%	VOC
			VOUT_OV_WARN_LIMIT = 573d		112%		VOC
			VOUT_OV_WARN_LIMIT = 594d		116%		VOC
			VOUT_OV_WARN_LIMIT = 655d		128%		VOC
$t_{OVW(DLY)}$	OVW の遅延時間	(VOSNS – GOSNS) > V_{OVW}			2		µs
$V_{UVW(range)}$	低電圧警告 (UVW) スレッショルド、(43h) VOUT_UV_WARN_LIMIT プログラマブル範囲	(VOSNS – GOSNS) 立ち下がり		68%		96%	VOC
$V_{UVW(res)}$	低電圧警告 (UVW) スレッショルドの分解能				4%		VOC
V_{UVW}	低電圧警告 (UVW) スレッショルド、(43h) VOUT_UV_WARN_LIMIT (デフォルトでサポートされている PMBus コマンドを参照)	(VOSNS – GOSNS) 立ち下がり	VOUT_UV_WARN_LIMIT = 492d		96%		VOC
			VOUT_UV_WARN_LIMIT = 471d	89%	92%	95%	VOC
			VOUT_UV_WARN_LIMIT = 451d		88%		VOC
			VOUT_UV_WARN_LIMIT = 430d		84%		VOC
パワー グッド							
$t_{PG(DLY_RISE)}$	PG 立ち上がりエッジ遅延 (ソフトスタート完了から High 状態までの遅延時間、スタートアップ時にのみ発生 - デフォルトでサポートされている PMBus コマンドを参照)	PGD_DEL = 00b			0		ms
		PGD_DEL = 01b			0.5		ms
		PGD_DEL = 10b			1.0		ms
		PGD_DEL = 11b			2.0		ms
$t_{PG(DLY_UVF)}$	PG 立ち下がりエッジ UVF 遅延				1		µs
$I_{PG(sink)}$	PG シンク電流	V_{PG} = 0.3V、V_{VCC} = 4.5V		10			mA
$I_{PG(LKG)}$	オープンドレイン出力が High のピンのリーク電流	V_{PG} = 5V				5	µA
$V_{OL(PG)}$	ピン出力 Low レベル電圧	I_{PG} = 10mA、V_{IN} = 12V、V_{VCC} = 4.5V				300	mV
	有効な PG 出力の最小 VCC	V_{EN} = 0V、R_{pullup} = 10kΩ V_{PG} ≤ 0.3V				1.2	V
リセット (VORST#)							
$V_{TH_H(reset)}$	High レベルの電圧スレッショルド (1.8V ロジック)	VORST# ピン	SEL_VORST_TH = 1		1.1	1.35	V
$V_{TH_L(reset)}$	Low レベルの電圧スレッショルド (1.8V ロジック)	VORST# ピン	SEL_VORST_TH = 1	0.8	0.9		V
$V_{HYS(reset)}$	入力電圧のヒステリシス (1.8V ロジック)	VORST# ピン	SEL_VORST_TH = 1		125		mV

Copyright © 2025 Texas Instruments Incorporated

5.5 電気的特性 (続き)

T_J = –40°C ～ +125°C。PVIN = 4V ～ 18V、V_{VCC} = 4.5V ～ 5.0V (特に記述のない限り)。標準値は T_J = 25°C、PVIN = 12V、V_{VCC} = 4.5V の場合

パラメータ		テスト条件		最小値	標準値	最大値	単位
$V_{TH_H(reset)}$	High レベルの電圧スレッショルド (1.2V ロジック)	VORST# ピン	SEL_VORST_TH = 0		0.6	0.65	V
$V_{TH_L(reset)}$	Low レベルの電圧スレッショルド (1.2V ロジック)	VORST# ピン	SEL_VORST_TH = 0	0.45	0.5		V
$V_{HYS(reset)}$	入力電圧のヒステリシス (1.2V ロジック)	VORST# ピン	SEL_VORST_TH = 0		150		mV
$V_{IH(reset)}$	入力ロジック Low (1.8V ロジック)	VORST# ピン	SEL_VORST_TH = 1			0.8	V
$V_{IL(reset)}$	入力ロジック High (1.8V ロジック)	VORST# ピン	SEL_VORST_TH = 1	1.35			V
$V_{IH(reset)}$	入力ロジック Low (1.2V ロジック)	VORST# ピン	SEL_VORST_TH = 0			0.4	V
$V_{IL(reset)}$	入力ロジック High (1.2V ロジック)	VORST# ピン	SEL_VORST_TH = 0	0.9			V
$t_{PW(reset)}$	最小 VORST# パルス幅(1)					0.2	µs
サーマル シャットダウンおよび温度保護機能							
$T_{J(SD)}$	サーマル シャットダウンのスレッショルド (1)	接合部温度の上昇		153	166		℃
$T_{J(HYS)}$	サーマル シャットダウン ヒステリシス (1)				30		
$T_{OT(FAULT)}$	過熱故障 スレッショルド、(4Fh) OT_FAULT_LIMIT (デフォルトでサポートされている PMBus コマンドを参照)	プログラマブルな範囲		115		165	
		分解能			5		
$T_{OT(WARN)}$	過熱警告スレッショルド、(51h) OT_WARN_LIMIT (デフォルトでサポートされている PMBus コマンドを参照)	プログラマブルな範囲		95		130	
		分解能			5		
遠隔測定 (PMBUS)							
$M_{IOUT(rng)}$	出力電流測定範囲			0		57.125	A
$M_{IOUT(acc)}$	出力電流測定精度データポイント	T_J = 0 ～ 125°C	I_{OUT} = 2.5A	1.25	2.5	3.75	A
			I_{OUT} = 15A(2)	13.5	15	16.5	A
			I_{OUT} = 30A(2)	27.6	30	32.4	A
			I_{OUT} = 50A(2)	46	50	54	A
	出力電流測定精度		0A ≤ I_{OUT} ≤ 10A	-1.25		1.25	A
			I_{OUT} = 15A(1)	-10%		10%	
			30A < I_{OUT} ≤ 50A(2)	-8%		8%	
$M_{VOUT(rng)}$	出力電圧測定範囲			0		6	V
$M_{VOUT(acc)}$	出力電圧測定精度データポイント	VOUT_SCALE_LOOP = 1	V_{OUT} = 0.5V	0.4925	0.5	0.5075	V
		VOUT_SCALE_LOOP = 0.5	V_{OUT} = 0.75V	0.735	0.75	0.765	V
		VOUT_SCALE_LOOP = 0.5	V_{OUT} = 1.1V	1.089	1.1	1.11	V
		VOUT_SCALE_LOOP = 0.25	V_{OUT} = 1.5V	1.47	1.5	1.53	V
		VOUT_SCALE_LOOP = 0.25	V_{OUT} = 1.8V	1.773	1.8	1.827	V
		VOUT_SCALE_LOOP = 0.125	V_{OUT} = 3.3V	3.234	3.3	3.366	V
$M_{PVIN(rng)}$	入力電圧測定範囲			4		18	V
$M_{PVIN(acc)}$	入力電圧測定精度データポイント	T_J = 25°C	VIN = 8 V		8		V
			VIN = 12 V	11.9	12	12.1	V
			VIN = 16 V		16		V
$M_{TSNS(rng)}$	内部温度検出範囲			-40		150	℃
$M_{TSNS(acc)}$	アナログ温度検出の精度	-40℃ ≦ T_J ≦ 150℃		-4		4	℃
PMBUS インターフェイス							
$V_{IH(PMBUS)}$	PMB_CLK、PMB_DATA の High レベル入力電圧			1.35			V
$V_{IL(PMBUS)}$	PMB_CLK、PMB_DATA の Low レベル入力電圧					0.8	
$I_{IH(PMBUS)}$	PMB_CLK、PMB_DATA への入力 High レベル電流			-10		10	µA
$V_{OL(PMBUS)}$	PMB_DATA SMB_ALERT の出力 Low レベル電圧	VCC ≥ 4.5V、I_{pin} = 20mA				0.4	V

Copyright © 2025 Texas Instruments Incorporated

5.5 電気的特性 (続き)

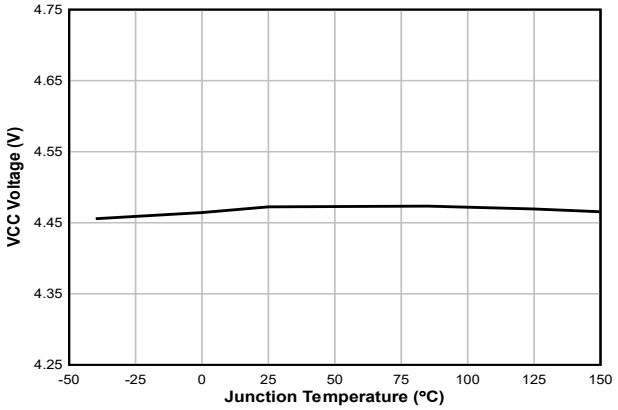
T_J = –40°C ～ +125°C。PVIN = 4V ～ 18V、V_{VCC} = 4.5V ～ 5.0V (特に記述のない限り)。標準値は T_J = 25°C、PVIN = 12V、V_{VCC} = 4.5V の場合

パラメータ		テスト条件	最小値	標準値	最大値	単位
$I_{OH(PMBUS)}$	PMB_CLK、PMB_DATA、SMB_ALERT への出力 High レベル オープンドレイン リーク電流	V_{pin} = 5.5V			10	µA
$I_{OL(PMBUS)}$	PMB_DATA、SMB_ALERT の出力 Low レベル オープンドレイン シンク電流	V_{pin} = 0.4V	20			mA
C_{PIN_PMB}	PMB_CLK ピンと PMB_DATA ピンの入力容量 (1)	V_{pin} = 0.1V ～ 1.35V			5	pF
f_{PMBUS_CLK}	PMBus の動作周波数範囲		10		1000	kHz
t_{BUF}	STOP 条件と START 条件の間のバスフリー時間		0.5			µs
t_{HD_STA}	(反復) 開始条件のホールド時間		0.26			µs
t_{SU_STA}	反復開始条件のセットアップ時間		0.26			µs
t_{SU_STO}	停止条件のセットアップ時間		0.26			µs
t_{HD_PMB}	PMB_DATA ホールド時間		0			µs
t_{SU_PMB}	PMB_DATA セットアップ時間		50			ns
$t_{TIMEOUT}$	クロック Low 検出のタイムアウト		25	30	35	ms
t_{LOW}	PMB_CLK の Low 期間		0.5			µs
t_{HIGH}	PMB_CLK の High 期間		0.26			µs
t_{R_PMB}	PMB_CLK および PMB_DATA の立ち上がり時間(1)	1000kHz クラス、$V_{IL(MAX)}$ –150mV ～ $V_{IH(MIN)}$ + 150mV			120	ns
t_{F_PMB}	PMB_CLK および PMB_DATA の立ち下がり時間(1)	1000kHz クラス、$V_{IH(MIN)}$ + 150mV ～ $V_{IL(MAX)}$ –150mV			120	ns
N_{WR_NVM}	書き込み可能な NVM サイクル数(1)	-40°C ≦ T_J ≦ 125°C	1000			サイクル

(1) 設計により規定されています。
(2) 相関により規定されています。

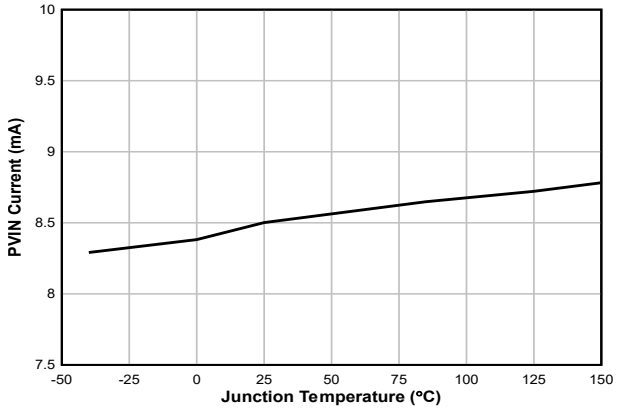
Copyright © 2025 Texas Instruments Incorporated

5.6 代表的特性



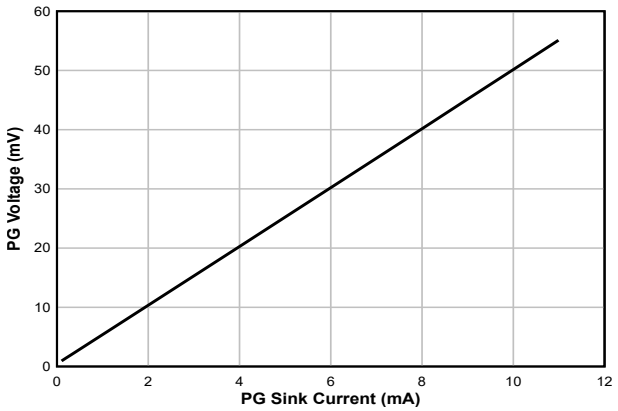
V_{PVIN} = 12V　CNTL = 0V (非スイッチング)　VCC = 内部、5mA 負荷

図 5-1. VCC LDO と接合部温度との関係



V_{PVIN} = 12V　CNTL = 0V (非スイッチング)　VCC = 内部

図 5-2. VIN Iq と接合部温度との関係



V_{PVIN} = 12V　CNTL = 0V (非スイッチング)　VCC = 内部

図 5-3. PGOOD の I-V 曲線

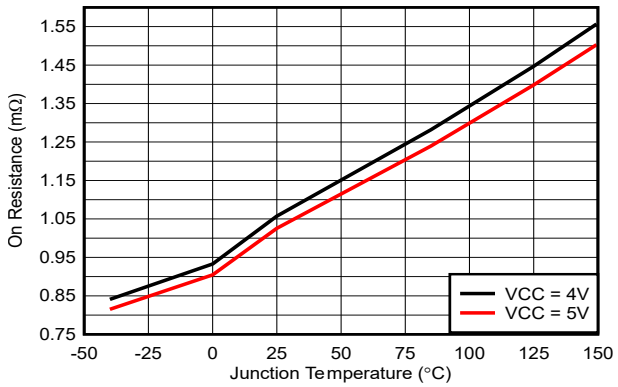


図 5-4. ローサイド MOSFET オン抵抗 ($R_{DSO(on)}$) と接合部温度との関係

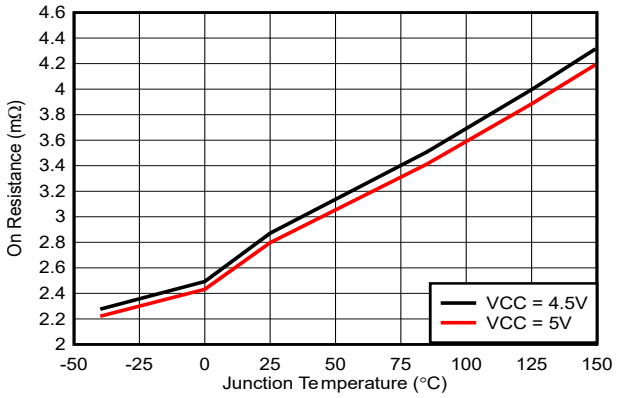
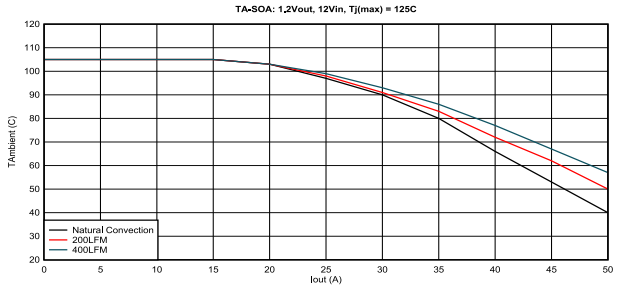


図 5-5. ハイサイド MOSFET オン抵抗 ($R_{DSO(on)}$) と接合部温度との関係



PVIN = 12 V　FSW = 800kHz　VCC = 内部
モード = FCCM　V_{OUT} = 1.2V　Tj(max) = 125C

図 5-6. 安全動作領域の周囲温度と負荷電流との関係

Copyright © 2025 Texas Instruments Incorporated

6 詳細説明

6.1 概要

TPS546E25 は、D-CAP4 制御トポロジを搭載した高集積降圧コンバータで、高速過渡応答と出力キャパシタンスの低減を実現しています。プログラマブルなパラメータは、いずれも PMBus インターフェイスを介して設定でき、パラメータの大半は新しいデフォルト値として NVM に保存できるため、外付け部品点数を最小限に抑えることができます。これらの機能により、このデバイスはスペースに制約のあるアプリケーションに適した設計になっています。

デバイスには、過電流、過電圧、低電圧、過熱保護機能が内蔵されています。TPS546E25 は鉛フリー デバイスで、適用除外なしで RoHS に準拠しています。

6.2 機能ブロック図

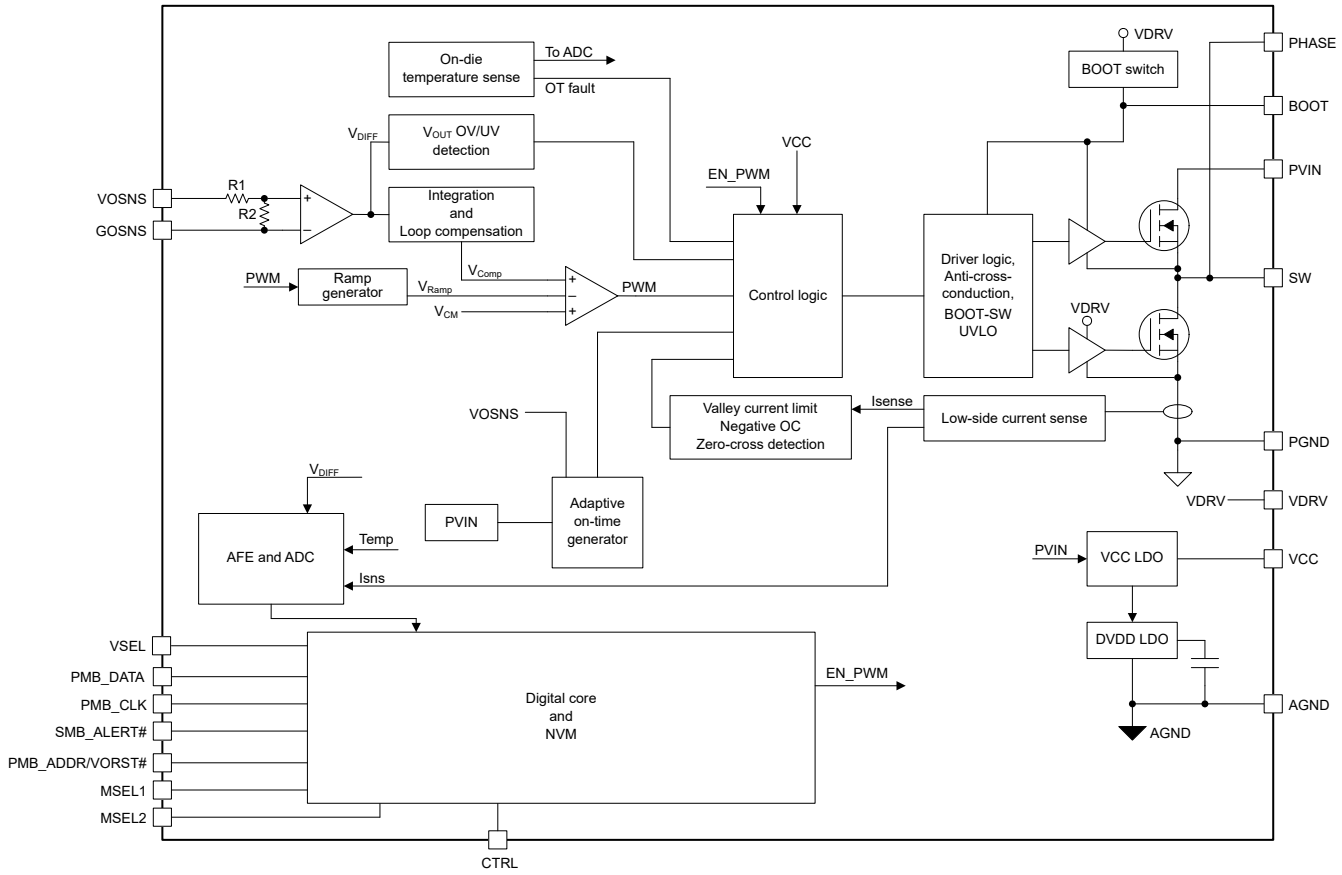


図 6-1. 内部帰還選択時のブロック図

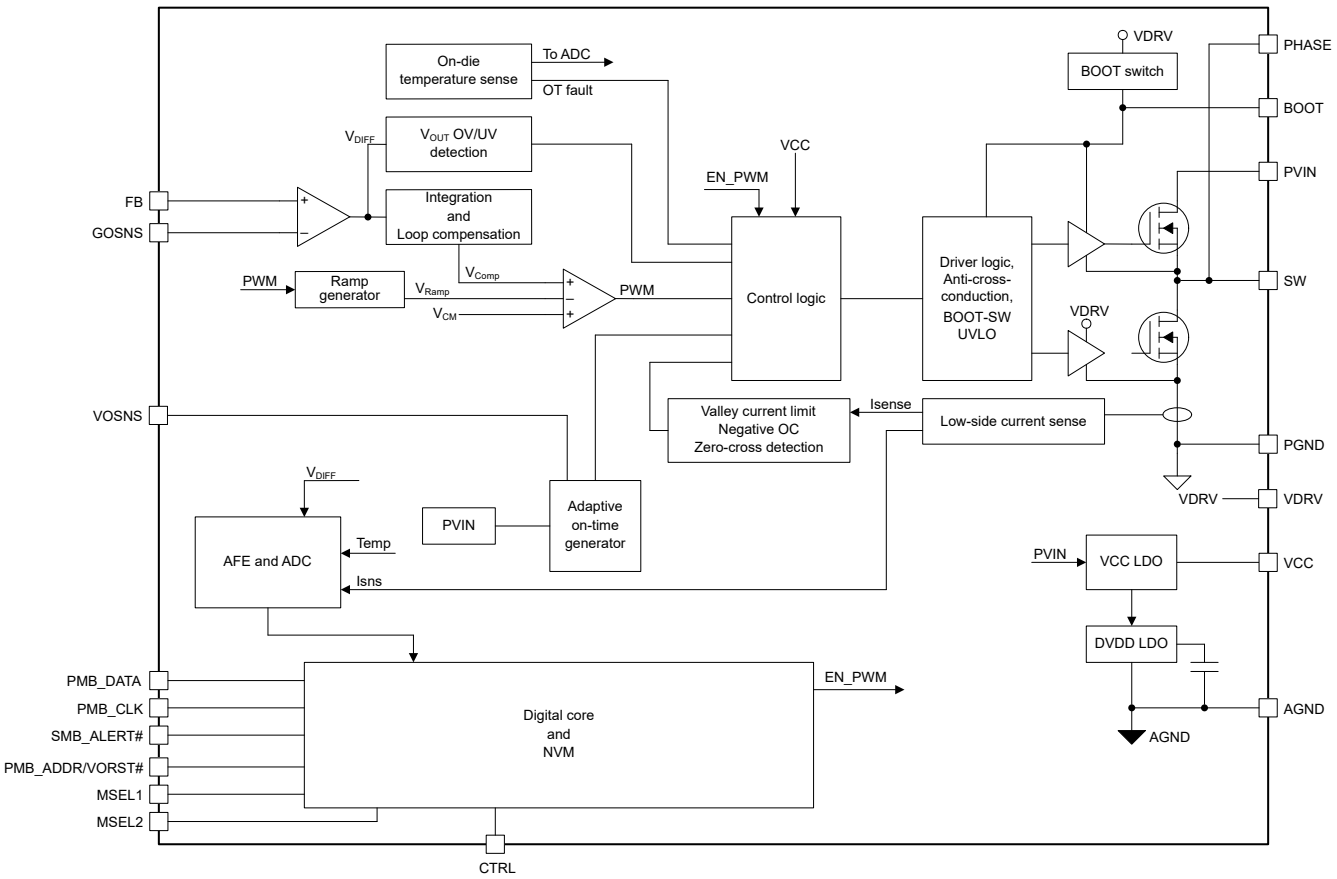


図 6-2. 外部帰還選択時のブロック図

6.3 機能説明

6.3.1 D-CAP4 制御

デバイスは D-CAP4 制御を使用して、使いやすさを維持しながら高速の負荷過渡応答を実現します。D-CAP4 制御アーキテクチャには、内部のリップル生成回路が含まれ、多層セラミック コンデンサ (MLCC) や低 ESR 高分子コンデンサなどの超低 ESR 出力コンデンサを使用できます。D-CAP4 制御アーキテクチャでは、外部の電流検出回路、リップル注入回路、または電圧補償回路が不要です。内部リップル生成回路の役割は、インダクタ電流情報のリップル成分をエミュレートし、電圧帰還信号と組み合わせることでループ動作を制御し、超低 ESR の高分子多層セラミック コンデンサ (MLCC) を使用できるようにすることです。

D-CAP4 制御アーキテクチャにより、VOUT 全体のループ ゲイン変動が低減され、1 つのランプ設定で出力電圧範囲全体にわたって高速負荷過渡応答を実現できます。従来の D-CAP2 および D-CAP3 アーキテクチャとは異なり、D-CAP4 は、各スイッチング サイクルにおける固定ランプ振幅と順方向 GAIN パスを使用して、過渡応答とパルス周波数ジッタを改善しながら、エラー積分器により高い DC 設定ポイント精度を実現します。

スイッチング サイクルあたりのランプ振幅は以下のとおりです

$$\frac{V_{ramp} \times N_{phase}}{GAIN} \times \left(1 - \frac{V_{out}}{V_{in}}\right) \quad (1)$$

ピンによってプログラマブルなランプおよび GAIN のオプション数には制限があり、出力インダクタの制御ループの性能に依存するため、ピンのプログラミング補償を使用した設計では、インダクタを選択する際に利用可能なループ オプションを

Copyright © 2025 Texas Instruments Incorporated

考慮し、コンデンサを選択する際には補償オプションがサポートする最小および最大容量を考慮することを TI は推奨します。

(D4h) COMP を介して PMBus でプログラムされた補償を使用する場合、利用可能なランプ電圧および GAIN オプションの範囲と分解能は一般的には十分広いため、スイッチング周波数とリップル電流に基づいてインダクタを選択した後、リップルと過渡要件を満たすようにコンデンサを選択し、最後にインダクタとコンデンサの安定性を確保するためにランプと GAIN を選択するという、比較的従来の設計フローに従った設計が可能です。しかし、多くの設計者は、インダクタの選択肢を簡単に絞り込めるよう補償第一の設計に従う傾向にあり、インダクタを選択した後に、より最適化されたランプ / GAIN オプションを選択する場合があります。

最大インダクタ値を評価します。この値は、各補償オプションで使用すると同時に、アプリケーションの過渡要件も満たすことができます。この動作を行うために、アプリケーションの過渡要件を満たすのに必要な最大ダイナミック出力インピーダンスを計算します。

$$Z_{out(dynamic)} < \frac{V_{OUT(transient)}}{I_{OUT(transient)}} \quad (2)$$

プログラマブルな 6 つのピン V_{ramp} / GAIN オプションのそれぞれについて、そのランプで必要な出力インピーダンスを達成するために使用できる最大インダクタンスを計算します

$$L_{(max)} = Z_{out(dynamic)} \times \frac{V_{sense} \times GAIN}{Fsw \times V_{ramp}} \quad (3)$$

インダクタの最大値を使用して、利用可能な各 V_{ramp}/GAIN 補償オプションのピーク ツー ピーク インダクタ リップル電流を推定し、ピーク ツー ピーク リップル電流が予測全負荷電流の 10% ～ 40% の範囲内になるインダクタを選択します。

$$I_{L(pk-pk)} = (V_{IN} - V_{OUT}) \times \left(\frac{V_{OUT}}{V_{IN} \times L \times Fsw}\right) \quad (4)$$

ダイナミック インピーダンス要件を満たす最大インダクタの近くにインダクタを選択することにより、設計全体が最小化され、安定性を維持するために必要な最小容量が減少します。小さなインダクタを選択すると、特に入力電圧が低い場合に、大信号オーバーシュートの要件を満たすために必要な容量が減少します。

インダクタを選択した後で、最大インダクタンスの式を調整して、閉ループの中間帯域の動的出力インピーダンスを計算します

$$Z_{out(dynamic)} = \frac{L_{(max)} \times V_{ramp} \times Fsw}{V_{sense} \times GAIN} \quad (5)$$

注

内部の帰還分周器を使用する場合、V_{sense} は VOSNS ピンの出力電圧です。外部の帰還分周器を使用する場合、V_{sense} は VSEL/FB ピンのリファレンス電圧です。

線形過渡性能を推定するには

$$V_{OUT(Transient)} = Z_{OUT(Dynamic)} \times I_{OUT(Transient)} \quad (6)$$

安定性のための最小容量は以下のとおりです

$$C_{OUT(min)} = \frac{2}{\pi \times Z_{OUT(Dynamic)} \times Fsw} \quad (7)$$

大信号オーバーシュートに適合する最小容量は以下のとおりです

Copyright © 2025 Texas Instruments Incorporated

$$C_{OUT(min)} = \frac{I_{OUT(Transient)}^{2} \times L}{V_{OUT} \times V_{OUT(Transient)}} \quad (8)$$

推奨される最大容量により、L-C の共振周波数は積分器のゼロ周波数の 1/2 を下回らないようになり、以下で推定できます

$$F_{Res} > 1/2 \times \frac{1}{2 \times \pi \times INT_TIME \times GAIN} \quad (9)$$

6.3.1.1 ループ補償

TPS546E25 は、出力電圧の帰還と過渡応答を調整するための複数の方法を備えています。PMBus コマンドセクション 7.67 には、すべての GAIN と RAMP 設定が含まれており、GAIN と RAMP 設定のサブセットも、MSEL2 のプログラミング 経由でピン ストラップ から選択できます。

- RAMP：内部ループのフル サイクル RAMP 振幅を設定します。ランプ設定を小さくすると、負荷過渡イベントに対する応答が高速化しますが、オフ時間のジッタも増加します。同様に、ランプ設定を大きくすると周波数ジッタは小さくなりますが、出力電圧偏差に対する応答が遅くなります。ランプ設定に加え、GAIN、インダクタ、および出力キャパシタンスも、コンバータの小信号帯域幅に影響を及ぼします。MSEL2 のプログラミング で使用可能な 2 つの設定と、PMBus コマンド COMP で 4 つのオプションがあります。
- GAIN は、検出された出力電圧からの比例ゲインを設定します (内部帰還分周器を使用する場合は VOSNS、外部帰還分周器を使用する場合は VSEL/FB)。GAIN に加えて、RAMP およびインダクタも、検出された出力電圧からインダクタ電流までの順方向相互コンダクタンスを式 5 の逆数として設定します。MSEL2 のプログラミング 使用可能な 3 つの設定と、PMBus コマンド COMP で 12 種類の設定があります。
- INT_TIME は積分時定数です。積分時定数は、入力または出力過渡後のセトリング時間と応答時間に影響します。デフォルトでは、INT_TIME はスイッチング周波数に基づいて自動的に設定され、COMP レジスタによりオーバーライドできます。

6.3.2 内部 VCC LDO と、VCC ピンおよび VDRV ピンでの外部バイアスの使用

TPS546E25 には内部 4.5V LDO があり、PVIN からの入力を受け入れ、VCC ピンへの出力を備えています。PVIN の電圧が上昇すると、内蔵 LDO が自動的にイネーブルになり、VCC ピンでの LDO 出力電圧のレギュレーションを開始します。VCC の電圧は、コントローラ側の内部アナログ回路にバイアス電圧を供給し、VDRV 電圧が電力段側に電源電圧を供給します。

VCC ピンと VDRV ピンの両方は、2.2µF、6.3V 以上の定格のセラミック コンデンサを使用してバイパスする必要があります。VCC ピン デカップリング コンデンサは、コントローラのアナログ回路にクリーンなグランドを提供するために、AGND を参照する必要があります。VDRV ピン デカップリング コンデンサは、電力段のドライバ回路の寄生ループ インダクタンスを最小限に抑えるために、PGND を参照する必要があります。VCC ピンと VDRV ピンとの間に 1Ω の抵抗を配置して RC フィルタを形成することを TI は強く推奨します。これにより、電力段からのノイズの影響が軽減されます。

4.75V ～ 5.30V の外部バイアス範囲を VDRV ピンおよび VCC ピンに接続して、IC に電力を供給できます。この接続により、VDRV と VCC の電源電流が、内部リニア レギュレータではなくこの外部バイアスで動作するため、コンバータの効率が向上します。

VDRV UVLO 回路は VDRV ピンの電圧を監視し、VDRV が VDRV UVLO 立ち下がりスレッショルドを下回ると、スイッチングをディスエーブルにします。デバイスをスムーズに動作させるには、安定的でクリーンな VCC 電圧を維持する必要があります。

VDRV および VCC ピンに外部バイアスを使用する際の検討事項を以下に示します。

- 外部 bias を VDRV ピンに直接接続します。VCC ピンと VDRV ピンとの間に 1Ω の抵抗を配置し、1Ω のフィルタ抵抗を介して VCC に電力を供給します。
- 良好なパワーアップ シーケンスは、まず VDRV ピンに外部の 5V バイアスを印加し (VCC ピンも 1Ω のフィルタリング抵抗を経由して外部バイアスにより電力供給されます)、次に PVIN ピンに 12V バスを印加すると、CTRL 信号が High に遷移します。

Copyright © 2025 Texas Instruments Incorporated

6.3.3 入力低電圧誤動作防止 (UVLO)

TPS546E25 には 4 つの独立した UVLO 機能があり、スタートアップ制御を非常に柔軟に行えます。PMBus 接続と PIN/IOUT/VOUT/TEMPERATURE 監視を有効にするのに必要なのは固定 VCC UVLO のみですが、スイッチングを有効にする前に 4 つの UVLO 機能をすべて満たす必要があります。

6.3.3.1 固定の VCC_OK UVLO

TPS546E25 は VCC に内部で 3.15V (標準値) の固定 UVLO を備えており、デジタル コアをイネーブルにして、ピン ストラップ検出を含むパワーオン リセットを開始できます。VCC のオフスレッショルドは 3.1V (標準値) です。VCC レベルが 3.15V (標準値) を超えて上昇し、3.1V (標準値) を上回って維持されると、PMBus 通信がイネーブルになります。

6.3.3.2 固定の VDRV UVLO

TPS546E25 デバイスは、VDRV に 3.6V (標準値) の UVLO を内部で固定しており、パワー FET と出力電圧変換用のドライバを有効にできます。VDRV のオフスレッショルドは 3.4V (標準値) です。

6.3.3.3 PVIN UVLO をプログラム可能

2 つの PMBus コマンド (VIN_ON と VIN_OFF) を使用すると、ユーザーは PVIN 電圧のターンオン / ターンオフ スレッショルドを個別に設定できます。

このレジスタは、複数の UVLO 回路 (VCC、VDRV、PVIN UVLO) を使用して、電力変換を有効または無効化します。VIN_OFF が VIN_ON よりも高い値にプログラムされている場合、PVIN が VIN_OFF を下回っている間、TPS546E25 はイネーブルとディスエーブルを高速に切り替えます。VIN_ON スレッショルドは常に、VIN_OFF スレッショルドより大きい値に設定してください。

6.3.3.4 制御 (CNTL) イネーブル

TPS546E25 は、CNTL ピンで高精度のイネーブル / ディスエーブル スレッショルドを実現します。CNTL ピンの電圧がロジック High スレッショルド (標準 1.2V) を上回るまで、電力段のスイッチングはオフに保持されます。CNTL ピンの電圧がロジック Low スレッショルド (標準 1V) を下回ると、電力段のスイッチングがオフになります。

CNTL ピンには内部フィルタがあり、短いグリッチによる予期しないオン / オフを防止します。グリッチ除去時間は 0.2µs に設定されています。

CNTL ピンの推奨動作条件は最大 5.3V、絶対最大定格は 5.5V です。CNTL ピンは PVIN ピンに直接接続しないでください。

CNTL ピンがフローティングになると、TPS546E25 はディスエーブル状態のままになります。CNTL ピンは、125kΩ 抵抗によって内部的に AGND にプルダウンされています。

6.3.4 差動リモート検出と内部 / 外部フィードバック デバイダ

TPS546E25 は、VOSNS ピンと GOSNS ピンとの間に実装された真の差動リモート センス機能を提供します。差動リモート センス アンプの出力は内部で制御ループに供給され、パッケージ ピンへは出力されません。

差動リモート センス機能は、PCB パターンで生じる可能性のある電圧降下を補償するため、定常状態動作および負荷過渡イベントにおいて VOUT 精度を維持するのに役立ちます。VOSNS ピンと GOSNS ピンを遠隔地に接続することで遠隔地の出力電圧を検出できます。VOSNS ピンと GOSNS ピンから遠隔地への接続には、パターン幅が 12mil 以上の 1 対の PCB パターンとする必要があり、0.1µF 以上の高バイパス コンデンサの両端にケルビン検出を実装する必要があります。リモート検出信号のグランド接続を GOSNS 端子に接続する必要があります。リモート検出信号の VOUT 接続を VOSNS 端子に接続する必要があります。安定した出力電圧を維持し、リップルを最小限に抑えるには、インダクタや SW ノード、高周波クロック ラインなどのノイズ源から、1 対のリモート検出ラインを離して配置する必要があります。リモート検出ラインのペアを上下のグランド プレーンでシールドすることを TI は推奨します。

GOSNS の推奨動作範囲 (AGND ピンを参照) は −300mV ～ +300mV です。ローカル センス (リモート検出なし) の場合は、GOSNS ピンを AGND へ短絡します。

Copyright © 2025 Texas Instruments Incorporated

TPS546E25 には、コンバータの出力電圧を決定するために 2 つの方法があります。統合型の内蔵高精度帰還分周器、または外部の帰還分周器です。使用する方法は、MSEL1 ピンでの選択によって決まります (詳細についてはピン ストラップ を参照)。外付けの帰還分周器を使用して、出力 (VOSNS 接続) とグランド リターン (GOSNS) との間の外付け抵抗分割回路 (FB/VSEL ピンに中心点を接続) で出力電圧をプログラミングします。公差 1% 以内の分圧抵抗を使用することを TI は推奨します。下側抵抗 (通常は 10kΩ) の固定値から開始して、この式を使用して分周器の上側抵抗を計算します。

ここで、VREF は内部リファレンス DAC 電圧で、デフォルトで VBOOT_NVM にプログラムされているもの (0.4V) です。

内部帰還分周器を使用するように MSEL1 を設定する場合、VSEL/FB と AGND との間の抵抗によって出力電圧設定が選択されます (詳細については、「*出力電圧の設定*」を参照してください)。

6.3.5 出力電圧と VORST# の設定

TPS546E25 は、内部帰還分周器 (ディスクリート) と外部帰還分周器 (連続) の出力電圧設定オプションを備えています。

連続出力電圧を設定する方法では、リファレンス DAC のデフォルトは 0.4V (VBOOT_OFFSET_1 の VBOOT_1) に設定され、外付けの抵抗デバイダは VOUT_SCALE_LOOP = 1 と等価です。抵抗デバイダのゲインは、「ループ補償」で説明されているように、外付け電圧設定抵抗により決定されるようになりました。

ディスクリート出力電圧の設定方法により、出力電圧は次の 2 つの設定、VOUT_COMMAND および VOUT_SCALE_LOOP により決定されます。これら 2 つのパラメータを組み合わせることで、コンバータの出力電圧が決定されます。VOUT_COMMAND は、エラー アンプへのリファレンス DAC 入力を調整するために使用され、0.25V ～ 0.75V の範囲内で設定可能です。VOUT_SCALE_LOOP は、1、0.5、0.25、0.125 の分圧器ゲインを選択します。

PMBus またはピン ストラップ を使用してレギュレート電圧を設定する場合、コマンドされる出力電圧 (ボルト単位) は、VOUT_COMMAND、VOUT_TRIM、VOUT_MARGIN_HIGH、VOUT_MARGIN_LOW、および OPERATION コマンドの組み合わせにより決定されます。VOUT_MODE コマンドの説明で述べたように、VOUT ステップ サイズは 1.953mV です。プログラムされた VOUT は次のように計算されます。

VOUT = (VOUT_COMMAND + VOUT_TRIM + (VOUT_MARGIN_HIGH – 1) * VOUT_COMMAND × OPERATIONS[5] – (1–m VOUT_MARGIN_LOW) * VOUT_COMMAND × OPERATIONS[4])

出力電圧は、次のように関係します。
- VOUT_MAX
- VOUT_MIN
- VOUT_OV_FAULT_LIMIT
- VOUT_OV_WARN_LIMIT
- VOUT_UV_FAULT_LIMIT
- VOUT_UV_WARN_LIMIT

TPS546E25 は、VOUT_MODE のビット 7 ごとに、デフォルトで相対形式になります。
- VOUT_MARGIN_HIGH
- VOUT_MARGIN_LOW
- VOUT_OV_FAULT_LIMIT
- VOUT_OV_WARN_LIMIT
- VOUT_UV_FAULT_LIMIT
- VOUT_UV_WARN_LIMIT

詳細については、VOUT_MODE の説明を参照してください。

VOUT_COMMAND の推奨値の範囲は、設定されている VOUT_SCALE_LOOP に依存します。この設計では、VOUT_COMMAND 値がこの推奨範囲内に制限されません。VOUT_COMMAND の値は、VOUT_MAX と VOUT_MIN によってのみ制限されます。VOUT の LSB は 1.953mV、最小 VOUT は 0.25V、最大 VOUT は 5.5V です。

Copyright © 2025 Texas Instruments Incorporated

表 6-1. VOUT_COMMAND の推奨範囲

VOUT_SCALE_LOOP (V/V)	VOUT 範囲 (V)	VOUT_COMMAND の推奨範囲 (10 進数)
1	0.244 ～ 0.75	125 ～ 384
0.5	0.244 ～ 1.5	125 ～ 768
0.25	0.488 ～ 3	250 ～ 1536
0.125	0.976 ～ 5.504	500 ～ 2818

TPS546E25 は、PMB_ADDR/VORST# ピンに VOUT リセット (VORST#) 機能を備えています。SYS_CFG_USER1[2] = 1 において PMB_ADDR/VORST# が Low かつ EN_VORST の場合、VOUT_TRANSITION_RATE の設定で VOUT_COMMAND が VBOOT に設定されます。

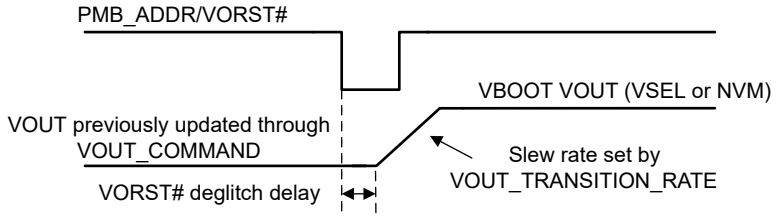


図 6-3. VORST# による VOUT リセット

6.3.6 スタートアップとシャットダウン

デバイスのスタートアップとシャットダウンは、以下のような PMBus の複数のプログラマブル値で制御されます。

- (01h) OPERATION
- (02h) ON_OFF_CONFIG
- (60h) TON_DELAY
- (61h) TON_RISE
- (64h) TOFF_DELAY
- (65h) TOFF_FALL

t_{ON_RISE} 時間は、MSEL1 によるピン ストラップ、PMBus によるプログラミング、または両方を使用して選択できます。

デフォルトの ON_OFF_CONFIG 設定では、タイミングは示されているとおりになります。実装と使用方法の詳細については、*対応している PMBus® コマンド*を参照してください。

Copyright © 2025 Texas Instruments Incorporated

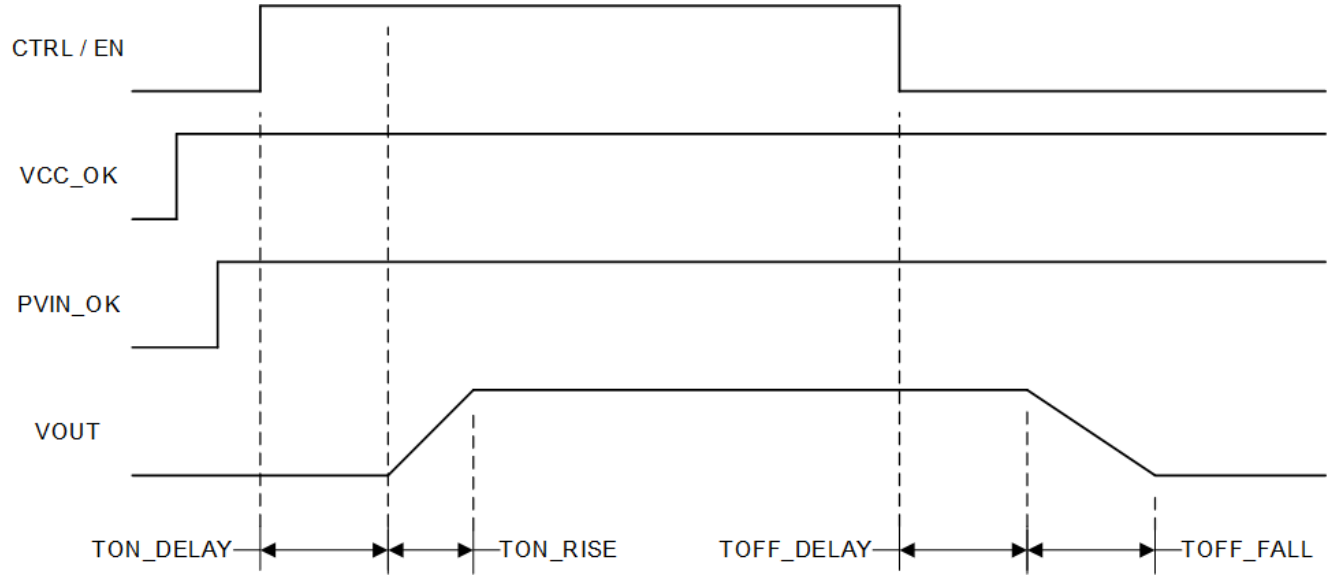


図 6-4. TPS546E25 のスタートアップとシャットダウン

スタートアップ

スタートアップ シーケンスには、3 つのシーケンシャルな周期が含まれます。最初の期間中に、デバイスは初期化を実行します。初期化には、内部 LDO とリファレンスの構築、レジスタ値の初期化、ピン ストラップ検出、デジタル インターフェイスの有効化などが含まれます。初期化は、CTRL ピンの電圧ではゲートされないもので、VCC ピンの電圧が VCC_OK UVLO 立ち上がりスレッショルド (標準値 3.15V) を上回っている限り開始されます。TPS546E25 の場合、この期間の長さは約 200µs です。初期化が完了した後、読み取りおよび書き込み動作の両方を含む PMBus 通信が許可されます。

CTRL ピンの電圧が CTRL High スレッショルド (標準 1.2V) を上回ると、デバイスは 2 番目の期間であるパワーオン遅延に移行します。パワーオン遅延は、レジスタ TON_DELAY により TPS546E25 でプログラム可能で、最小遅延は 0.05ms、最大遅延は 2ms です。

V_{OUT} のソフト スタートは 3 番目の期間です。ソフト スタート ランプは内部信号であり、選択されたパワーオン遅延が終了すると開始します。ソフト スタート時間はレジスタ TON_RISE で 1ms、2ms、4ms、8ms、16ms のいずれかを選択できます。出力にプリバイアスなしで起動する場合、VOUT は 0V から選択された Vboot 値、またはプログラマブルな VOUT_COMMAND 値のいずれかに上昇して、出力コンデンサ充電による突入電流を回避し、VOUT のオーバーシュートも最小化します。

プリバイアス出力でのスタートアップでは、最初の PWM パルスがハイサイド FET がオンにした後まで、ローサイド FET が SW ノードを強制的に Low にするのを防ぐことで、プリバイアス出力電圧から電流が放電されるのを制限します。リファレンス電圧の上昇が帰還電圧を超えると、内部で (VOSNS - GOSNS) レベルから分圧され、ハイサイド SW パルスが開始されます。この動作により、プリバイアスされた出力へのスムーズなスタートアップが可能になります。

シャットダウン

また、TPS546E25 は PMBus レジスタ TOFF_FALL (0.5ms、1ms、2ms、4ms のオプション) によって、プログラマブルなソフト ストップ機能も備えています。ソフト ストップ機能により、制御された出力電圧のレギュレーション範囲から 200mV までの減少が強制的に行われます。Vout が 200mV のレベルに放電されると、電力段はスイッチングを停止し、トライステートになります。TOFF_FALL 時間の間に、出力電圧を放電するために負のインダクタ電流が強制的に発生する可能性があります。

停止条件が受信され、選択された TOFF_DELAY 遅延が経過すると、TPS546E25 デバイスはソフト ストップ動作に移行し、その間に制御ループは出力電圧の放電スルーレートを能動的に制御します。内部リファレンスが直線的に低下する間、電力段はスイッチングを継続します。この位相中の放電スルーレートは、選択したブートアップ電圧 (電流出力電圧で

Copyright © 2025 Texas Instruments Incorporated

はありません) と、選択した TOFF_FALL 時間によって決定されます。Vout が 200mV のレベルに放電されると、電力段はスイッチングを停止し、トライステートになります。Vout 放電は続行されますが、放電スルーレートは負荷電流によって制御されます。この放電動作において、TPS546E25 デバイスは、合計ソフト ストップ時間ではなく、ソフト ストップ スルーレートを制御します。したがって、総 VOUT 放電時間 (ソフト ストップ時間とも呼ばれます) は、レジスタの TOFF_FALL 値によって異なる可能性があります。TOFF_FALL 時間は、レギュレーション レベルから 0mV までの内部リファレンス電圧 DAC のランプダウン時間を設定するために使われます。たとえば、重負荷条件では、VOUT レギュレーション レベルから 0V までの合計ソフト ストップ時間は、プログラムされた TOFF_FALL 値よりも短くなる可能性があります。軽負荷時では、合計ソフト ストップ時間は、プログラムされた TOFF_FALL 値よりも長くなる可能性があります。

6.3.7 動的電圧スルーレート

TPS546E25 には VOUT_TRANSITION_RATE レジスタが搭載されており、出力電圧レベルを変更するときにスルーレートを設定できます。

出力電圧の遷移中に、出力コンデンサへの急速な充電または放電に起因して、電力段に余分な突入電流が発生します。OCL または NOC 設定から十分な余裕がない場合、この突入電流と負荷電流の合計により、過電流保護がトリガされる可能性があります。たとえば、VOUT の昇圧遷移中の正のインダクタ電流は公称動作よりも大きくなります。LS バレー OCL スレッショルドが比較的低く設定され、追加の突入電流が許容されない場合、インダクタ電流はサイクル単位の過電流制限機能によって制限される可能性があるため、実際の昇圧スルーレートは目的の値よりも低くなります。同様の状況として、無負荷状態での VOUT の降圧遷移も発生する可能性があります。VOUT の降圧遷移中の負のインダクタ電流は、公称動作よりも負に大きくなります。ただし、インダクタ電流は、負の OC スレッショルドよりも負に大きくなりません。そのため、VOUT 降圧遷移中に NOC 動作がトリガされると、実際の降圧スルーレートは目的の値よりも低くなります。

6.3.8 スイッチング周波数の設定

TPS546E25 を使用すると、MSEL2 または FREQUENCY_SWITCH レジスタのピン ストラップによりスイッチング周波数を選択でき、SYS_CFG_USER1 の FCCM ビットにより動作モードを選択できます。

スイッチング周波数を 1.4MHz より高く設定する場合は、個別の VCC バイアスを使用する必要があります。

6.3.9 スイッチング ノード (SW)

SW ピンは電力変換段のスイッチング ノードに接続されます。SW ピンはハイサイド ゲート ドライバのリターン パスとして機能します。公称動作時、SW の電圧スイングは通常、グランドより低い電位から入力電圧より高い値まで変化します。PVIN から PGND へのループの寄生インダクタンス (PCB レイアウトの部品とパッケージ内の部品を含む) と両方のパワー FET の出力キャパシタンス (COSS) が共振回路を形成し、このノードで高周波 (> 100MHz) リンギングを発生させる可能性があります。このリンギングの電圧ピークは、制御されていないときは入力電圧よりも大幅に高くなることがあります。TPS546E25 ハイサイド ゲート ドライバは、ピーク リンギング振幅を最小化するように微調整されているため、通常、SW ノードに RC スナバは不要になります。ただし、ハイサイド FET またはローサイド FET のいずれかの両端の電圧ストレスを測定し、ピーク リンギング振幅が「*絶対最大定格*」表に記載された絶対最大定格制限を超えないようにすることを TI はユーザーに対して強く推奨します。

6.3.10 過電流制限およびローサイド電流センス

同期整流降圧コンバータの場合、インダクタ電流は、ハイサイド MOSFET のオン時間 (ON 時間) 中の入力電圧、出力電圧、および出力インダクタ値によって決定される線形速度で増加します。ローサイド MOSFET のオフ時間 (OFF 時間) 中は、このインダクタ電流は出力電圧と出力インダクタ値によって決定されるスルーレートごとに直線的に減少します。OFF 時間中のインダクタは、負のスルーレートであっても、通常、デバイスの SW ノードから負荷に流れ、デバイスは電流を供給しているとされ、出力電流は正とされます。このセクションでは、正のローサイド電流に基づく過電流制限機能について説明します。次のセクションでは、負のローサイド電流に基づく過電流制限機能について説明します。

TPS546E25 デバイスの正の過電流制限 (OCL) 機能は、ローサイドの*バレー電流*をサイクルごとにクランプするために実装されています。OFF 時間中に、ローサイド MOSFET を流れる電流を検出することで、インダクタ電流を監視します。検出されたローサイド MOSFET 電流が選択された OCL スレッショルドを超えたままの場合、検出された電流レベルが選択された OCL スレッショルドを下回るまでローサイド MOSFET は ON を維持します。この動作により、OFF 時間が延長され、次の ON 時間 (ハイサイド MOSFET がオンになるタイミング) が押し出されます。その結果、STATUS_IOUT の

Copyright © 2025 Texas Instruments Incorporated

OCL ビットが設定され、デバイスから供給される平均出力電流も減少します。検出されたローサイドの*バレー電流*が選択された OCL スレッショルドを超えるほど高負荷である限り、デバイスは連続的にこのクランプ モードで動作するため、電流 OFF 時間が延長され、次の ON 時間が押し出されます。デバイスは、過電流制限回路に直接接続された故障応答回路を実装していません。代わりに、VOUT トラッキング UVF 機能を使用して、過電流故障時にデバイスをシャットダウンします。過電流事象中、負荷によってシンクされる電流 (I_{OUT}) がデバイスから出力コンデンサに供給される電流を超えているため、通常は出力電圧が低下します。最終的に、出力電圧が選択した低電圧故障 スレッショルドを下回ると、VOUT トラッキング UVF コンパレータが UVF 応答遅延 (VOUT_UV_FAULT_RESPONSE レジスタでプログラム可能) の後でデバイスを検出してシャットダウンします。その後、デバイスは VOUT_UV_FAULT_RESPONSE レジスタのビット [3] *再起動*選択に従って、トラッキング UVF トリガに応答します。*再起動*ビットが設定されない場合 (値が「0」)、デバイスはハイサイドとローサイドの両方のドライバを OFF にラッチします。このラッチは、VCC のリセット、または EN ピンのトグルによってクリアされます。*再起動*ビットが設定されている場合 (値「1」)、デバイスはヒカップ モードに移行し、56ms のヒカップ スリープ時間後に自動的に再起動されます。これは再起動試行回数で制限されません。言い換えると、過電流故障に対する応答は、プログラムされた UVF 応答によって設定されます。

ソフト スタート ランプ中に OCL 状態が発生した場合でも、デバイスは、検出されたローサイドのバレー電流に基づくサイクル単位の電流制限で動作します。この動作により、出力コンデンサに充電されるエネルギーが制限されるため、出力電圧は目的のソフト スタート スルーレートよりも遅く上昇する可能性があります。ソフト スタート中、VOUT トラッキング UVF コンパレータはディスエーブルになるため、デバイスは UVF イベントに応答しません。ソフト スタートが完了すると、VOUT トラッキング UVF コンパレータがイネーブルになり、デバイスは UVF イベントへの応答を開始します。

デバイスの OCL 機能はアナログ回路を通じてローサイドのバレー電流を検出することで実装されており、内蔵 A/D コンバータ (ADC) とは関係ありません。遠隔測定アナログ フロントエンドは、ローサイド電流センス回路から入力を取得し、各ローサイド MOSFET のオン時間の開始から終了までの平均ローサイド MOSFET 電流を取得します。この方法により、遠隔測定サブシステムは負荷電流 (IOUT) を報告します。IOUT はインダクタ電流の平均値であり、ピーク値やバレー値ではありません。

6.3.11 負の過電流制限

TPS546E25 デバイスは同期整流降圧コンバータであるため、電流はデバイスから負荷へ、または負荷から SW ノードを経由してデバイスへ流れることができます。デバイスの SW ノードから負荷に電流が流れている場合、デバイスはソース電流とみなし、出力電流は正とされます。電流が負荷からデバイスの SW ノードに流れている場合、デバイスはシンク電流とみなし、電流は負とされます。

このデバイスは、SYS_CFG_USER1 レジスタの SEL_UCF ビットで、プログラマブルなサイクル単位の負の過電流 (NOC) 制限を提供します。正の過電流制限と同様に、ローサイド MOSFET オン期間中のインダクタ電流が監視されます。過大な負電流とローサイド MOSFET の 損傷を防ぐため、ローサイド MOSFET の検出電流が選択された NOC 制限値を超えると、デバイスはローサイド MOSFET をオフにします。

NOC 動作は通常、過電圧イベントの後に発生しますが、高速スルーレートでの VOUT の降圧遷移中にも発生することがあります。

6.3.12 ゼロ交差検出

TPS546E25 デバイスでは、ゼロ交差 (ZC) 回路を使用して、スキップ モード動作時にゼロ インダクタ電流検出を行います。ZC スレッショルドは、ローサイド MOSFET がオフになる前に小さな負の値に設定され、不連続導通モード (DCM) 動作に入ります。DCM に入った後、ZC スレッショルド ヒステリシスは DCM に入った後にスレッショルドを小さな正の値に増加させます。結果として、デバイスの軽負荷効率が向上します。

デバイスが DCM を終了できるように負荷電流が十分増加した場合、ZC 回路は DCM に戻る前に、ZC スレッショルドを下回る負のインダクタ電流の連続 16 サイクルを検出する必要があります。DCM を終了するのに必要なのは、ZC 検出なしの 1 サイクルのみです。

(61h) TON_RISE ソフトスタート中、ZC 回路は常にディスエーブルされ、

Copyright © 2025 Texas Instruments Incorporated

TPS546E25 は FCCM 動作で起動します。(61h) TON_RISE が完了後に連続 16 サイクルの負のインダクタ電流が検出された場合、ピンによるプログラミングまたは(D1h) SYS_CFG_USER1 プログラミングで FCCM モードが選択されていない場合、TPS546E25 は DCM 動作に移行できます

6.3.13 入力過電圧保護

TPS546E25 デバイスは、PVIN 入力電圧をアクティブに監視しています。PVIN の電圧レベルが過電圧スレッショルドを上回ると、TPS546E25 はスイッチングを停止し、PG 信号が Low になります。VIN_OV_FAULT_LIMIT レジスタの PVIN OV 立ち上がりスレッショルドには 2 つのオプションがある一方で、PVIN OV 立ち下がりスレッショルドは常に 13.5V です。

PVIN 過電圧故障がトリガされた後、EN ピンがトグルされるか PVIN がリセットされるまで、デバイスはラッチオフされます。

6.3.14 出力過電圧および低電圧保護

TPS546E25 デバイスは、出力電圧 (VOSNS-GOSNS) を監視し、過電圧 (OV) および低電圧 (UV) 保護を行います。トラッキング OVF スレッショルドとトラッキング UVF スレッショルドは、どちらも VOUT 設定に追従しますが、別々に選択できます。

VOUT トラッキング UVF

出力電圧 (VOSNS - GOSNS) が VOUT_UV_FAULT_LIMIT レジスタで設定された値だけ VOUT 設定を下回ると、トラッキング UVF コンパレータが検出され、VOUT_UV_FAULT_RESPONSE レジスタで選択された内部 UVF 応答遅延カウンタが開始されます。同時に、STATUS_VOUT レジスタの UVF ビットが設定されます。

トラッキング UVF 機能は、ソフト スタート期間の完了後にのみ有効になります。

UVF 応答遅延中に、出力電圧 (VOSNS - GOSNS) が UVF スレッショルドを上回ると、UVF イベントの要件を満たしていない場合、UVF 応答遅延タイマはゼロにリセットされます。VOUT が UVF スレッショルドを再度下回ると、UVF 応答遅延タイマはゼロから再起動します。

TPS546E25 デバイスは、トラッキング UV 警告 (UVW) 機能も備えています。VOUT_UV_WARN_LIMIT は、使用可能な UVW スレッショルドを示します。出力電圧 (VOSNS - GOSNS) が、VOUT_UV_WARN_LIMIT レジスタで設定された値だけ VOUT 設定よりも低くなると、トラッキング UVW コンパレータが検出し、STATUS_VOUT レジスタの UVW ビットが設定されます。UVW イベントには目的の遅延はありません。

VOUT トラッキング OVF

出力電圧 (VOSNS - GOSNS) が VOUT_OV_FAULT_LIMIT レジスタで設定された値だけ VOUT 設定よりも高くなると、トラッキング OVF コンパレータが検出し、デバイスは VOUT_OV_FAULT_RESPONSE レジスタでの選択に従い、OV 故障に即座に応答します。同時に、STATUS_VOUT レジスタの OVF ビットが設定されます。

トラッキング OVF 機能は、ソフト スタート期間の完了後にのみ有効になります。

TPS546E25 デバイスは、トラッキング OV 警告 (OVW) 機能も備えています。出力電圧 (VOSNS - GOSNS) が、VOUT_OV_WARN_LIMIT レジスタで設定された値だけ VOUT 設定よりも高くなると、トラッキング OVW コンパレータが検出し、STATUS_VOUT レジスタの OVW ビットが設定されます。OVW イベントには目的の遅延はありません。

6.3.15 過熱保護

潜在的な過熱事象を完全に検出できるように、TPS546E25 デバイスは 3 つの過熱保護回路を実装しています。コントローラのダイに 2 つ、電力段 (PS) ダイに 1 つです。

コントローラのダイ温度を監視することによるプログラマブル OTP

オン ダイ温度検出回路は、コントローラのダイ温度を検出します。検出された信号は内部 ADC に供給され、コントローラのダイ温度に変換されます。この温度は、遠隔測定サブシステム経由で (8Dh) READ_TEMP1 と報告されます。この機

Copyright © 2025 Texas Instruments Incorporated

能は、IC TEMPERATURE 遠隔測定の出力を、OT_FAULT_LIMIT レジスタで選択された故障スレッショルドと比較するデジタル コンパレータを利用しています。検出された IC 温度が選択されたスレッショルドを上回ると、デバイスは SW スイッチングを停止します。プログラマブル OTP イベントに対するデバイスの応答は OT_FAULT_RESPONSE に記載されています。

コントローラのダイ温度を監視することによるアナログ OTP

検出された温度信号は、コントローラのダイにあるアナログ OTP 回路にも供給されます。アナログ コンパレータを使用して、コントローラのダイ温度検出回路の出力を固定スレッショルド (標準値の立ち上がり 166°C) と比較します。検出された IC 温度が固定スレッショルドを上回ると、デバイスは SW スイッチングを停止します。アナログ OTP イベントに対するデバイスの応答は、常にプログラマブル OTP と同じです。

アナログ OTP の固定スレッショルド (標準値 166°C) が、プログラマブル OTP の最大設定値 (標準値 150°C) を上回るため、公称動作中にアナログ OTP がトリガされる可能性は高くありません。

電力段のダイ温度を監視することによるアナログ OTP

温度検出回路は、電力段 (PS) ダイに実装されています。この検出結果は、PS ダイのアナログ OTP 回路に供給されます。アナログ コンパレータを使用して、PS ダイの温度検出回路の出力を固定スレッショルド (標準値の立ち上がり 166°C) と比較します。検出された IC 温度が固定スレッショルドを上回ると、デバイスは SW スイッチングを停止します。PS ダイ温度が 30°C 立ち上がりスレッショルドを下回ると、デバイスは開始されたソフト スタートによって自動的に再起動します。このアナログ OTP は非ラッチ方式の保護です。

6.3.16 遠隔測定

コントローラ コアの遠隔測定サブシステムは、以下の測定をサポートします。

- 入力電圧 (直接測定)
- 出力電圧 (直接測定)
- 出力電流 (直接測定)
- コントローラのダイの温度 (直接測定)

ADC の出力は、各測定値を 1 回の変換であり、これらの主要なシステム パラメータの高速リフレッシュ レートのためにローリング ウィンドウの平均化を行うことはありません。上記のパラメータはすべて順次測定されますが、出力電流がその他のパラメータよりも頻繁に測定されています。このシーケンス設計により、IOUT の各遠隔測定値を 95µs 内で更新し、他の各遠隔測定値を 190µs 内で更新できます。

VOUT 遠隔測定

出力電圧センスの遠隔測定は、VOSNS ピンと GOSNS ピンとの間の差動電圧を検出します。READ_VOUT の最小値は 0V にクランプされます。内部分圧器を選択すると、出力電圧の設定時に選択された VOUT_SCALE_LOOP 値に基づいて、READ_VOUT 値がスケーリングされます。

外部分圧器を選択すると、ADC 入力の VOUT は、選択した VOUT_SCALE_MONITOR 値によって内部的にスケーリングされ、VOUT_SCALE_LOOP は常に 1 に設定されます。ユーザーは、VOUT_SCALE_MONITOR の表に記載されているように、期待される VOUT 設定に基づいて検出信号のダイナミック レンジを最大化できます。VOUT_SCALE_MONITOR の値が、許容される最大の VO になるように選択されている場合

IOUT 遠隔測定

出力電流センスの遠隔測定により、各ローサイド FET の開始から終了までのローサイド FET 電流の平均値を検出し、これにより平均インダクタ電流が得られます。高精度と広いレポート範囲を実現するため、このデバイスは自動的に電流センス ゲインを設定します。READ_IOUT の値は以下のとおりです

Copyright © 2025 Texas Instruments Incorporated

READ_IOUT= I_{SWavg} × IMON_GAIN_CAL + IOUT_CAL_OFFSET (10)

ここで

- I_{SWavg} は、ローサイド FET のオン時間中に SW ピンから流れ出す平均電流です

IC 温度の遠隔測定

ダイ温度検出の遠隔測定機能は、コントローラのダイ温度を検出します。電力段 (PS) ダイは過熱保護機能を実装しており、PS ダイの温度は遠隔測定のサブシステムを通じて通知されません。READ_TEMP1 は PMBus の READ_TEMP1 レジスタ値 (10 進数) です。

6.4 デバイスの機能モード

6.4.1 強制連続導通モード

動作モードが FCCM に設定されている場合、コントローラは軽負荷状態では連続導通モード (CCM) で動作します。CCM 中は、負荷範囲全体にわたってスイッチング周波数がほぼ一定に保たれます。これは効率低下を犠牲にしてもスイッチング周波数の厳密な制御が必要なアプリケーション向けに設計されています。

FCCM を選択すると、TPS546E25 デバイスはソフトスタート期間全体および公称動作中に CCM で動作します。

6.4.2 DCM 軽負荷動作

動作モードが DCM に設定されていると、高効率を維持するために軽負荷状態ではスイッチング周波数が自動的に低下します。このセクションでは、この動作について詳しく説明します。

重負荷状態から出力電流が減少すると、インダクタ電流のリップルの谷がゼロ レベルに達するまで、インダクタ電流も減少します。ゼロ レベルは、連続導通モードと不連続導通モードの間の境界です。このゼロ インダクタ電流が検出されると、同期 MOSFET がオフになります。負荷電流がさらに減少すると、コンバータは不連続導通モード (DCM) に入ります。オン時間は連続導通モード動作中とほぼ同じレベルに維持されるため、出力コンデンサを小さな負荷電流でリファレンス電圧レベルまで放電するには、より長い時間を要します。軽負荷動作への遷移点 $I_{OUT(LL)}$ (たとえば、連続導通モードと不連続導通モード間のスレッショルド) は、次の式で計算できます。

$$I_{OUT(LL)} = \frac{1}{2 \times L \times Fsw} \times \frac{(V_{IN} - V_{OUT}) \times V_{OUT}}{V_{IN}} \quad (11)$$

ここで

- Fsw は公称連続導通スイッチング周波数です

DCM において、$I_{OUT(LL)}$ 未満の負荷電流で低下したスイッチング周波数は、次の式で求められます。

$$Fsw_{LL} = Fsw \times \frac{I_{OUT}}{I_{OUT(LL)}} \quad (12)$$

出力電圧ピーク ツー ピーク リップルは負荷動作で増加し、無負荷時は連続導通リップル電圧の 4 倍に達します。

スキップ モードには低 ESR のコンデンサ (セラミック コンデンサなど) を使用することを TI はお勧めします。

6.4.3 12V バスからデバイスへの電力供給

このデバイスは、単一の V_{IN} 構成を使用して 12V バスから電力を供給する場合に適切に動作します。単一 V_{IN} 構成では、内部 LDO は 12V バスから電力を供給され、内部アナログ回路にバイアスを印加するための 4.5V の出力を生成するとともに、ゲートドライブをパワーアップします。この構成での V_{IN} 入力電圧範囲は 4V ～ 18V です。図 6-5 に、この単一 V_{IN} 構成の例を示します。

Copyright © 2025 Texas Instruments Incorporated

V_{IN} と CNTL は部品を有効化するための 2 つの信号です。起動シーケンスの場合、V_{IN} 信号と CNTL 信号との間の任意のシーケンスによってデバイスに正しく電源を供給することができます。

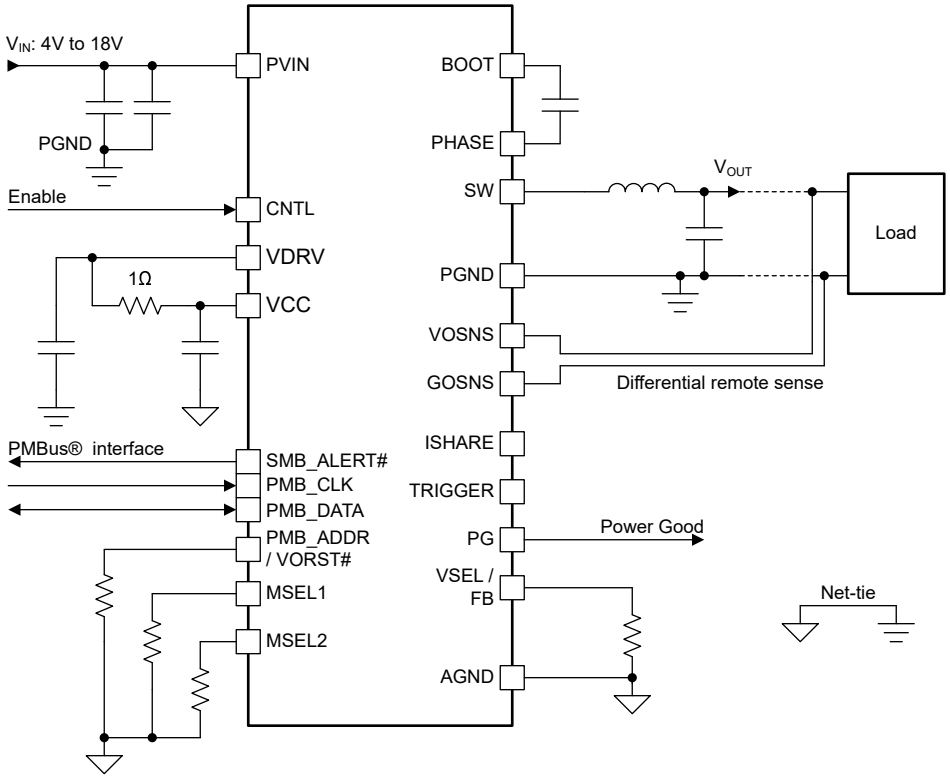


図 6-5. 12V バスを使用する単一 V_{IN} 構成

6.4.4 分割レール構成によるデバイスへの電力供給

メイン V_{IN} バスとは異なるレベルの外部バイアスを VCC /VDRV ピンに印加する場合、メイン V_{IN} バスと VCC バイアスの両方を使用して分割レールにデバイスを構成できます。有効なバイアス レールを VCC/VDRV ピンに接続すると、内部 VCC LDO を無効にし、リニア レギュレータの電力損失を低減できます。この構成は、システム レベル全体の効率を向上させますが、有効な VCC バイアスが必要です。VCC バイアスには、5.0V レールが一般的な選択肢です。安定した VCC バイアスを実装する場合、この構成での V_{IN} 入力範囲は最小 2.7V、最大 18V に達することがあります。

外部バイアスのノイズは、内部アナログ回路に影響を及ぼします。正常な動作を確保するために、クリーンで低ノイズの外部バイアス、および VCC ピンから PGND ピンへのローカル デカップリング コンデンサが必要です。図 6-6 に、この分割レール構成の例を示します。

公称動作時の VCC 外部バイアス電流は、バイアス電圧レベルとスイッチング周波数によって変化します。たとえば、デバイスをスキップ モードに設定することで、軽負荷状態でスイッチング周波数が低下した際に、VCC ピンの外部バイアスから引き込む電流は少なくなります。外部バイアスのキャパシティを準備できるよう、FCCM 動作での標準 VCC 外部バイアス電流を「*電気的特性*」表に示します。

分割レール構成では、PVIN、VCC バイアス、CTRL が部品を有効にする信号です。スタートアップ シーケンスでは、VCC/VDRV ピンに PVIN レールより早く外部バイアスを印加することを TI は推奨します。実用的なスタートアップ シーケンスの例は、最初に外部 5V バイアスを印加した後、PVIN に 12V バスを印加すると、CTRL 信号が High に遷移します。

Copyright © 2025 Texas Instruments Incorporated

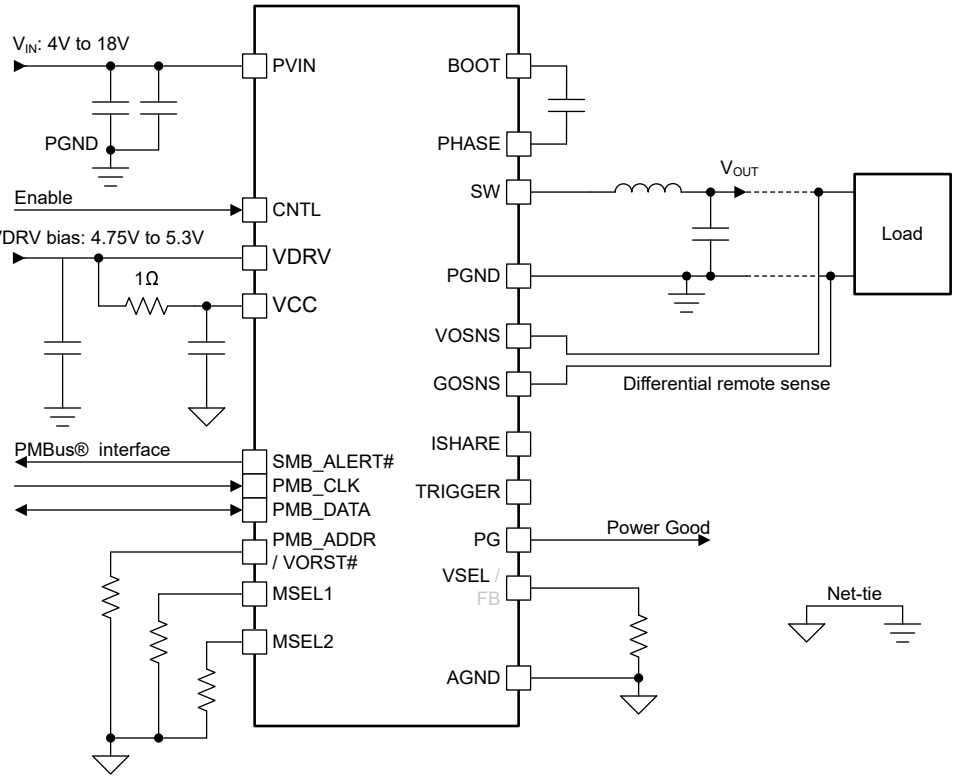


図 6-6. 外部 VCC バイアスを使用した分割レール構成

6.4.5 ピン ストラップ

TPS546E25 には 4 本の IC ピンがあり、PMBus 通信を必要とせずに、そのピンに接続されている抵抗によって、重要な PMBus コマンドの PMBus プログラミング初期値を選択できます。特定の PMBus コマンドが、検出された抵抗値または保存された NVM メモリによって選択された値に初期化されるかどうかは、PIN_DETECT_OVERRIDE コマンドのコマンド ビットで決まります。

どの機能がデフォルトでピン検出機能または NVM を使用しているか、対応している PMBus® コマンド の PIN_DETECT_OVERRIDE デフォルト値を確認します。

表 6-2. ピン ストラップ機能とデコード順序

機能	ピン ストラップに使用されるピン	ピン ストラップの順序
1 次側 / 2 次側 内部または外部の帰還分周器 過電流制限 (OCL) ソフト スタート 故障応答	MSEL1	1
1 次側: 位相数量 モード (FCCM/DCM) 1 次側 (共通) PMBus アドレス	PMB_ADDR	2
2 次側: 位相の位置 固有の PMBus アドレス		

表 6-2. ピン ストラップ機能とデコード順序 (続き)

機能	ピン ストラップに使用されるピン	ピン ストラップの順序
1 次側: スイッチング周波数 (FSW) RAMP ゲイン	MSEL2	3
スイッチング周波数 (FSW) 過電流制限 (OCL)		
内部帰還分周器を使用する場合の 1 次側: VOUT VOSL NRSA VOUT_MAX VOUT_MIN 注:MSEL1 で外部帰還分周器を選択し、かつピンが FB になる場合、ピン ストラップは使用されません	VSEL/FB	4
2 次側は VSEL を使用して VOSL と VOSM を設定します		

注

高精度のピン検出プログラミングでは、フラックス、湿気、ごみによる PCB の汚染に敏感です。そのため、ユーザーはピンでプログラムされた値をユーザーの不揮発性メモリにコミットすることを検討し、製品フローの一部としてピンストラップ値を将来使用することを無効にする必要があります。ピンでプログラムされた PMBus レジスタの値を NVM にコミットし、ピン ストラップ付きプログラミングの将来の使用を無効化するためのプログラミングシーケンスは、次のようになります。

- 必要な PMBus レジスタ値をプログラムするため、MSEL1、MSEL2、VSEL、PMB_ADDR プログラミング抵抗を選択します。
- VIN、VCC、VDRV に UVLO よりも高い電力を供給すると、ピン検出が開始され、PMBus 通信が有効になります。
- ピン検出により、最終値にプログラムされていない PMBus レジスタ値を更新します。
- PMBus レジスタ全体を読み取ります。
- ストア / リストアを実行します。
- デバイスが NVM ユーザー ストアの書き込みを完了するまで、最低 100ms の待機時間を確保してください。この 100ms の間に AVIN または VCC 電力が損失すると、NVM の整合性が損なわれる可能性があります。NVM 書き込みが完了しないと、以後のパワー オン リセット時に NVM が破損し、POR 故障が発生する可能性があります。
- VCC を UVLO オフ スレッショルド未満に下げてから、VCC を UVLO オン スレッショルドよりも高くすることで、電源リセットを実行します。

6.4.5.1 MSEL1 のプログラミング

MSEL1 のピン ストラップ表を以下に示します。電源オン時の PMBus コマンドのプログラミングは、PIN_DETECT_OVERRIDE の値によって異なります。PIN_DETECT_OVERRIDE のデフォルト値は 8E7Dh です。PIN_DETECT_OVERRIDE を参照して、MSEL1 によってどのコマンドがプログラムされているかを判定できます。「故障応答」列は、過熱、過電圧、低電圧という 3 種類の故障すべてに適用されます。

Copyright © 2025 Texas Instruments Incorporated

表 6-3. プログラミング用の MSEL1 抵抗

抵抗 (kΩ)	1 次側 / 2 次側	FB デバイダ	過電流制限 (OCL) (A)	ソフト スタート (ms)	故障応答
< 1.78	1 次側	内部	50	0.5	Latch-Off
2.21				2	
2.74				0.5	Hiccup
3.32				2	
4.02			40	0.5	Latch-Off
4.87				2	
5.9				0.5	Hiccup
7.32				2	
9.09			30	0.5	Latch-Off
11.3				2	
14.3				0.5	Hiccup
18.2				2	
22.1		外部	50	0.5	Hiccup
26.7				2	
33.2				4	
40.2				8	
49.9			40	0.5	Hiccup
60.4				2	
76.8				4	
102				8	
137			30	0.5	Hiccup
174				2	
243				8	
> 412	2 次側	該当なし	MSEL2 セカンダリ デバイスを参照してください	該当なし	Hiccup

6.4.5.2 PMB_ADDR のプログラミング

PMB_ADDR のピン ストラップ表を以下に示します。使用する PMBus アドレスは、PIN_DETECT_OVERRIDE レジスタの OVRD_PMB_ADDR ビットの状態に応じて、ピン ストラップの代わりに PMBus レジスタ PMBus_ADDR から供給できます。ピン ストラップを PMBus アドレスのソースとして使用する場合、PMBus アドレス (ビット [14:8]) を示す PMBus_ADDR の内容がピン ストラップ値で更新されます。

以下の表に、ピン ストラップによる 1 次デバイスと 2 次デバイスの有効な PMBus アドレス構成を示します。

表 6-4. PMB_ADDR の許容される組み合わせ

単相	二相	三相	四相
すべての抵抗値は 0Ω ～ 18.2kΩ	1 次側:22.1kΩ 2 次側:0Ω	1 次側:49.9kΩ 最初の 2 次側:4.02kΩ 2 番目の 2 次側:9.09kΩ	1 次側:137kΩ 最初の 2 次側:22.1kΩ 2 番目の 2 次側:49.9kΩ 3 番目の 2 次側:137kΩ
	1 次側:26.7kΩ 2 次側:2.21kΩ	1 次側:60.4kΩ 最初の 2 次側:4.87kΩ 2 番目の 2 次側:11.3kΩ	1 次側:174kΩ 最初の 2 次側:26.7kΩ 2 番目の 2 次側:60.4kΩ 3 番目の 2 次側:174kΩ
	1 次側:33.2kΩ 2 次側:2.74kΩ	1 次側:76.8kΩ 最初の 2 次側:5.9kΩ 2 番目の 2 次側:14.3kΩ	1 次側:243kΩ 最初の 2 次側:33.2kΩ 2 番目の 2 次側:76.8kΩ 3 番目の 2 次側:243kΩ
	1 次側:40.2kΩ 2 次側:3.32kΩ	1 次側:102kΩ 最初の 2 次側:7.32kΩ 2 番目の 2 次側:18.2kΩ	1 次側: > 412kΩ 最初の 2 次側:40.2kΩ 2 番目の 2 次側:102kΩ 3 番目の 2 次側:> 412kΩ

表 6-5. MSEL1 が 1 次 = 1 を選択したとき (1 次デバイス) のプログラミング抵抗

抵抗 (kΩ)	1 次スタック番号	モード	共通アドレス
< 1.78	1 次デバイス - 単相スタック	FCCM	11h
2.21			12h
2.74			13h
3.32		DCM	14h
4.02			15h
4.87			16h
5.9		FCCM	17h
7.32			18h
9.09			19h
11.3		DCM	1Ah
14.3			1Bh
18.2			1Ch
22.1	Primary Device - 2 Phase Stack	FCCM	0Dh
26.7			0Eh
33.2			0Fh
40.2			10h
49.9	Primary Device - 3 Phase Stack		0Dh
60.4			0Eh
76.8			0Fh
102			10h
137	Primary Device - 4 Phase Stack		0Dh
174			0Eh
243			0Fh
> 412			10h

Copyright © 2025 Texas Instruments Incorporated

表 6-6. MSEL1 が 2 次デバイス を選択したときのプログラミング抵抗

抵抗 (kΩ)	1 次スタック番号	モード	共通アドレス	固有のアドレス
< 1.78	最初の 2 次デバイス - 2 相スタック	FCCM	0Dh	1Dh
2.21			0Eh	1Eh
2.74			0Fh	1Fh
3.32			10h	20h
4.02	最初の 3 次デバイス - 2 相スタック		0Dh	1Dh
4.87			0Eh	1Eh
5.9			0Fh	1Fh
7.32			10h	20h
9.09	2 番目の 2 次デバイス - 3 相スタック		0Dh	3Dh
11.3			0Eh	3Eh
14.3			0Fh	3Fh
18.2			10h	30h
22.1	最初の 2 次デバイス - 4 相スタック		0Dh	1Dh
26.7			0Eh	1Eh
33.2			0Fh	1Fh
40.2			10h	20h
49.9	2 番目の 2 次デバイス - 4 相スタック		0Dh	3Dh
60.4			0Eh	3Eh
76.8			0Fh	3Fh
102			10h	30h
137	3 番目の 2 次デバイス - 4 相スタック		0Dh	5Dh
174			0Eh	5Eh
243			0Fh	5Fh
> 412			10h	50h

6.4.5.3 MSEL2 のプログラミング

MSEL2 のピン ストラップ表を以下に示します。電源オン時の PMBus コマンドのプログラミングは、PIN_DETECT_OVERRIDE の値によって異なります。PIN_DETECT_OVERRIDE のデフォルト値は 8E7Dh です。MSEL2 によってプログラムされるコマンド、および NVM のデフォルト値によってプログラムされるコマンドを決定するために、PIN_DETECT_OVERRIDE を参照してください

GAIN および RAMP 値のデフォルトは次のとおりです。

- GAIN1 =3V/V ((D4h) COMP によるユーザー プログラマブル)
- GAIN2 = 10V/V
- GAIN3 = 30V/V
- RAMP1 =60mV ((D4h) COMP によるユーザー プログラマブル)
- RAMP2 = 120mV

Copyright © 2025 Texas Instruments Incorporated

表 6-7. MSEL1 が 1 次 = 1 を選択したとき (1 次デバイス) の MSEL2 プログラミング抵抗

抵抗 (kΩ)	スイッチング周波数 (FSW) (kHz)	ゲイン	RAMP
< 1.78	600	3V/V	60mV
2.21			120mV
2.74		10V/V	60mV
3.32			120mV
4.02		30V/V	60mV
4.87			120mV
5.9	800	3V/V	60mV
7.32			120mV
9.09		10V/V	60mV
11.3			120mV
14.3		30V/V	60mV
18.2			120mV
22.1	1000	3V/V	60mV
26.7			120mV
33.2		10V/V	60mV
40.2			120mV
49.9		30V/V	60mV
60.4			120mV
76.8	1400	3V/V	60mV
102			120mV
137		10V/V	60mV
174			120mV
243		30V/V	60mV
> 412			120mV

表 6-8. MSEL1 が 1 次 = 0 を選択したとき (2 次デバイス) の MSEL2 プログラミング抵抗

抵抗 (kΩ)	スイッチング周波数 (FSW) (kHz)	過電流制限
< 1.78	600	50
2.21		
2.74		40
3.32		
4.02		30
4.87		
5.9	800	50
7.32		
9.09		40
11.3		
14.3		30
18.2		

Copyright © 2025 Texas Instruments Incorporated

表 6-8. MSEL1 が 1 次 = 0 を選択したとき (2 次デバイス) の MSEL2 プログラミング抵抗 (続き)

抵抗 (kΩ)	スイッチング周波数 (FSW) (kHz)	過電流制限
22.1	1000	50
26.7		
33.2		40
40.2		
49.9		30
60.4		
76.8	1400	50
102		
137		40
174		
243		30
> 412		

表 6-9. MSEL1 が 1 次 = 0 を選択したとき (2 次デバイス) の MSEL2 プログラミング抵抗

抵抗 (kΩ)	スイッチング周波数 (FSW) (kHz)	過電流制限 (OCL) (A)
< 1.78	600	50
2.21		
2.74		40
3.32		
4.02		30
4.87		
5.9	1000	50
7.32		
9.09		40
11.3		
14.3		30
18.2		
22.1	1400	50
26.7		
33.2		40
40.2		
49.9		30
60.4		
76.8	2000	50
102		
137		40
174		
243		30
> 412		

6.4.5.4 VSEL\FB のプログラミング

MSEL1 が内部分周器を選択すると、VSEL\FB ピンは VSEL と同様に動作します。VSEL の抵抗は、VOUT、VOSL、NRSA、VOUT_MIN、VOUT_MAX を以下の表に示すようにプログラムします。VBOOT は VBOOT_OFFSET_1、

Copyright © 2025 Texas Instruments Incorporated

VOSL は VOUT_SCALE_LOOP です。NRSA は VOSL (NRSA = 1/VOSL) から派生します。VSEL の値を、PIN_DETECT_OVERRIDE の OVRD_VSEL ビットでオーバーライドできます。

MSEL1 が外部分周器を選択すると、VSEL\FB ピンは FB として動作します。ここで、VBOOT は、デフォルトでは 0.4V と 1.0 の VOSL の NVM 値です。

この表に記載されている VOUT および VFB 電圧には、(22h) VOUT_TRIM でプログラムされたオフセットは含まれません。VOUT に印加されるオフセットについては、*対応している PMBus® コマンド* における(22h) VOUT_TRIM のデフォルト値を確認してください。

マルチデバイス スタックでは、フォロワーが VSEL 抵抗を使用して、出力電圧に適切な VOUT_SCALE_LOOP 値を選択する必要があります。1 次デバイスで内部分周器を使用する場合は、1 次側と同じ VSEL 抵抗を選択します。1 次デバイスが外部分周器を使用する場合は、VOUT_MAX の最小値が予想される最大出力電圧より大きい VSEL 抵抗を選択します

表 6-10. 1 次デバイスのプログラミング用の VSEL 抵抗

抵抗 (kΩ)	VOUT (V)	VBOOT_1 (b)	VOSL	NRSA	VOUT_MIN (V)	VOUT_MAX (V)
< 1.78	0.3	00001	1	1	0.25	0.75
2.21	0.5	10001				
2.74	0.55	10101				
3.32	0.6	11001				
4.02	0.65	11011				
4.87	0.7	00101	0.5	2	0.5	1.5
5.9	0.75	00111				
7.32	0.8	01001				
9.09	0.85	01011				
11.3	0.9	01101				
14.3	0.95	01111				
18.2	1	10001				
22.1	1.05	10011				
26.7	1.1	10101				
33.2	1.2	11001				
40.2	1.3	00011	0.25	4	1	3
49.9	1.5	00111				
60.4	1.8	01101				
76.8	2	10001				
102	2.5	00010	0.125	8	2	5.75
137	3	00111				
174	3.3	01010				
243	5	11010				
> 412	VBOOT NVM (0.4V デフォルト)	VBOOT_NVM	VOSL NVM (1.0 デフォルト)	1(デフォルト)	VOUT_MIN NVM (0.25V デフォルト)	VOUT_MAX NVM (0.75V デフォルト)

Copyright © 2025 Texas Instruments Incorporated

表 6-11. 2 次デバイスのプログラミング用の VSEL 抵抗

抵抗 (kΩ)	VOSL	NRSA	VOUT_MIN (V)	VOUT_MAX (V)
< 1.78	1	1	0.25	0.75
2.21				
2.74				
3.32				
4.02				
4.87	0.5	2	0.5	1.5
5.9				
7.32				
9.09				
11.3				
14.3				
18.2				
22.1				
26.7				
33.2				
40.2	0.25	4	1	3
49.9				
60.4				
76.8				
102	0.125	8	2	5.75
137				
174				
243				
> 412	VOSL NVM (デフォルト 1)	1 (デフォルト)	VOUT_MIN NVM (デフォルト 0.25V)	VOUT_MAX NVM (デフォルト 0.75V)

6.5 プログラミング

6.5.1 対応している PMBus® コマンド

次の表に、実装されているレジスタと、ビットの動作とレジスタ値のデフォルトを示します。

表 6-12. 対応している PMBus® コマンドとデフォルト値

コマンド コード	コマンド名	R/W	NVM	デフォルト値 (16 進数)	デフォルト動作
01h	OPERATION	R/W	いいえ	04h	デバイスの動作を定義します。
02h	ON_OFF_CONFIG	R/W	あり	16h	CNTL ピンでオン / オフを切り替えるには、TOFF_DELAY を使用
03h	CLEAR_FAULTS	W	いいえ	該当なし	すべての故障をクリアします。
04h	PHASE	R	いいえ	該当なし	STACK_POSITION は、ピン ストラップの選択によって設定されます。
09h	P2_PLUS_WRITE	W	いいえ	該当なし	Page Plus Write 機能により、コマンドを特定のページと位相、またはすべての位相に送信できます。
0Ah	P2_PLUS_READ	R	いいえ	該当なし	Page Plus Read 機能により、特定のページと位相、またはすべての位相にあるデータを読み取りできます。
0Eh	PASSKEY	R/W	あり	00h	(DDh) EXT_WRITE_PROTECTION へのアクセスをロックするためのパスキー
10h	WRITE_PROTECT	R/W	あり	00h	すべてのコマンドは書き込み可能
15h	STORE_USER_ALL	W	いいえ	該当なし	現在の格納可能レジスタ設定をすべて NVM に格納します。

Copyright © 2025 Texas Instruments Incorporated

表 6-12. 対応している PMBus® コマンドとデフォルト値 (続き)

コマンド コード	コマンド名	R/W	NVM	デフォルト値 (16 進数)	デフォルト動作
16h	RESTORE_USER_ALL	W	いいえ	該当なし	格納可能なすべてのレジスタ設定を NVM から復元します。
19h	CAPABILITY	R	いいえ	D0h	このデバイスには SMB_ALERT# ピンがあります。
1Bh	SMBALERT_MASK	R/W	あり	該当なし	SMB_ALERT# をトリガするイベントをマスクする機能を設定します。
20h	VOUT_MODE	R	いいえ	97h	デバイスが 1.953mV の等価 LSB に対して、指数値が -9 の相対形式であることを示します。
21h	VOUT_COMMAND	R/W	いいえ	VSEL	PMBus によって出力電圧を設定します。
22h	VOUT_TRIM	R/W	あり	0000h	出力電圧コマンド値に、固定オフセット電圧を印加します。
24h	VOUT_MAX	R/W	あり	VSEL	最大出力電圧であり、最初にピン ストラップで設定され、その後 PMBus で設定可能です。
25h	VOUT_MARGIN_HIGH	R/W	あり	0210h	OPERATION レジスタで選択した場合のマージンの上限パーセンテージを設定します。
26h	VOUT_MARGIN_LOW	R/W	あり	01F0h	OPERATION レジスタで選択した場合のマージンの下限パーセンテージを設定します。
27h	VOUT_TRANSITION_RATE	R/W	あり	E850h	出力電圧の変化レートを mV/µs 単位で設定します。
29h	VOUT_SCALE_LOOP	R/W	あり	VSEL	帰還抵抗比を設定します。
2Ah	VOUT_SCALE_MONITOR	R/W	あり	VSEL	遠隔測定の目的で外付け帰還分周器を使用する場合の帰還抵抗比を設定します。
2Bh	VOUT_MIN	R/W	あり	VSEL	最小出力電圧であり、最初にピン ストラップで設定され、その後 PMBus で設定可能です。
33h	FREQUENCY_SWITCH	R/W	あり	MSEL2	MSEL2 抵抗によりデフォルトでスイッチング周波数を設定します。
35h	VIN_ON	R/W	あり	0002h	PVIN ON スレッショルド
36h	VIN_OFF	R/W	あり	0002h	PVIN OFF スレッショルド
39h	IOUT_CAL_OFFSET	R/W	あり	F000h	READ_IOUT から固定オフセットを加算または減算するために使用します。デフォルトは 0A です。
40h	VOUT_OV_FAULT_LIMIT	R/W	あり	024Dh	VOUT トラッキング OV 故障スレッショルド = +12%
41h	VOUT_OV_FAULT_RESPONSE	R/W	あり	MSEL1	MSEL1 からの故障応答
42h	VOUT_OV_WARN_LIMIT	R/W	あり	0229h	VOUT トラッキング OV 警告スレッショルド = +8%
43h	VOUT_UV_WARN_LIMIT	R/W	あり	01D7h	VOUT トラッキング UV 故障スレッショルド = -8%
44h	VOUT_UV_FAULT_LIMIT	R/W	あり	0185Dh	VOUT トラッキング UV 故障スレッショルド = -24%
45h	VOUT_UV_FAULT_RESPONSE	R/W	あり	MSEL1	MSEL1 からの故障応答
46h	IOUT_OC_FAULT_LIMIT	R/W	あり	MSEL1	バレー電流制限を MSEL1 で設定
48h	IOUT_OC_LV_FAULT_LIMIT	R	いいえ	VOUT_UV	VOUT_UV_FAULT_LIMIT と同じ
49h	IOUT_OC_LV_FAULT_RESPONSE	R	いいえ	VOUT_UV	VOUT_UV_FAULT_LIMIT からの故障応答
4Ah	IOUT_OC_WARN_LIMIT	R/W	あり	0030h	出力過電流警告レベル 48A
4Fh	OT_FAULT_LIMIT	R/W	あり	1024h	プログラマブルな OT の故障制限 = 145°C
50h	OT_FAULT_RESPONSE	R/W	あり	MSEL1	MSEL1 からの故障応答
51h	OT_WARN_LIMIT	R/W	あり	101Fh	プログラマブルな OT の故障制限 = 125°C
55h	VIN_OV_FAULT_LIMIT	R/W	あり	0809h	PVIN OV 故障スレッショルド = 18.5V
60h	TON_DELAY	R/W	あり	F800h	50µs ターンオン遅延
61h	TON_RISE	R/W	あり	MSEL1	MSEL1 によって設定
64h	TOFF_DELAY	R/W	あり	F800h	0ms ターンオフ遅延
65h	TOFF_FALL	R/W	あり	F800h	Toff 遅延の終了から 0.5ms
78h	STATUS_BYTE	R	いいえ	41h	ステータスはデバイスが OFF、OTH が 1b です。
79h	STATUS_WORD	R	いいえ	2841h	VIN はオフ、PGOOD_Z は 1b です。
7Ah	STATUS_VOUT	R/W	あり	00h	現在のステータス
7Bh	STATUS_IOUT	R/W	あり	00h	現在のステータス
7Ch	STATUS_INPUT	R/W	あり	00h	現在のステータス

Copyright © 2025 Texas Instruments Incorporated

表 6-12. 対応している PMBus® コマンドとデフォルト値 (続き)

コマンド コード	コマンド名	R/W	NVM	デフォルト値 (16 進数)	デフォルト動作
7Dh	STATUS_TEMPERATURE	R/W	あり	00h	現在のステータス
7Eh	STATUS_CML	R/W	いいえ	00h	現在のステータス
7Fh	STATUS_OTHER	R/W	いいえ	00h	現在のステータス
80h	STATUS_MFR_SPECIFIC	R/W	あり	00h	現在のステータス
88h	READ_VIN	R	いいえ	該当なし	入力電圧の測定値。
8Bh	READ_VOUT	R	いいえ	該当なし	出力電圧の測定値。
8Ch	READ_IOUT	R	いいえ	該当なし	出力電流の測定値。
8Dh	READ_TEMP_1	R	いいえ	該当なし	コントローラのダイ温度の測定値
98h	PMBUS_REVISION	R	いいえ	55h	PMBus 1.5
99h	MFR_ID	R	いいえ	4954h	「TI」用の ASCII
9Ah	MFR_MODEL	R	あり	0000h	ブランク メーカー
9Bh	MFR_REVISION	R/W	あり	00h	デバイス リビジョン
ADh	IC_DEVICE_ID	R	いいえ	5449546E2500h	IC の型番
AEh	IC_DEVICE_REV	R	いいえ	00h	IC のリビジョン
D1h	SYS_CFG_USER1	R/W	あり	0000h	ユーザー構成オプション
D3h	PMBUS_ADDR	R/W	あり	PMBUS ADDR	PMBus アドレスは PMBUS_ADDR ピンによって設定
D4h	COMP	R/W	あり	MSEL2	COMP は MSEL2 ピン検出により設定
D5h	VBOOT_OFFSET_1	R/W	あり	VSEL	VBOOT は VSEL により設定
D6h	STACK_CONFIG	R	いいえ	該当なし	PMBUS_ADDR ピンのプログラミングで設定
D8h	PIN_DETECT_OVERRIDE	R/W	あり	8E7Dh	すべてのピン検出に使用
D9h	NVM_CHECKSUM	R	いいえ	DE7Eh	パスキーを除く NVM チェックサム
DAh	READ_TELEMETRY	R	いいえ	該当なし	ブロック読み取りで VOUT、IOUT、TEMP を読み取ります。
DBh	STATUS_ALL	R	いいえ	該当なし	すべての STATUS をブロック読み取りで読み取ります。
DDh	EXT_WRITE_PROTECTION	RW	あり	0000h	すべてのピン検出に使用
DEh	IMON_CAL	R/W	あり	07h	READ_IOUT キャリブレーション調整 0%
FCh	FUSION_ID0	R	いいえ	02C0h	FUSION で使用されるデバイス ID
FDh	FUSION_ID1	R	いいえ	4B434F4Ch	FUSION で使用されるデバイス ID

Copyright © 2025 Texas Instruments Incorporated

7 レジスタマップ

7.1 ブロック コマンドの文書化規則

SMBus 仕様に従い、ブロック コマンドは PMBus インターフェイス経由で昇順に送信されます。以下の説明は、ブロック コマンドを文書化する際の表記法を示しています。

ブロック値がレジスタ マップ テーブルとしてリストされている場合、ブロック値はバイト N からバイト 1 までの上から下へのバイト順でリストされます。

- バイト 1 (最初に送信されるバイト) はビット 7:0 に対応します。
- バイト 2 (2 番目に送信されるバイト) はビット 15:8 に対応します。
- バイト 3 (3 番目に送信されるバイト) はビット 23:16 に対応します。
- など

ブロック値が 16 進数のテキストとしてリストされている場合、ブロック値はバイト N からバイト 1 までの左から右へのバイト順でリストされます (値の各バイト間にはスペースが入ります)。たとえば、ブロック 00 28 4C 54 49 54h では、ブロック読み取りに応答して返されるバイト順序は次のようになります。

- バイト 1、ビット 7:0 = 54h
- バイト 2、ビット 15:8 = 49h
- バイト 3、ビット 23:16 = 54h
- バイト 4、ビット 31:24 = 4Ch
- バイト 5、ビット 39:32 = 28h
- バイト 6、ビット 47:40 = 00h

図 7-1. ブロック コマンド バイトの順序付け

47	46	45	44	43	42	41	40
RW	RW	RW	RW	RW	RW	RW	RW
バイト N							
39	38	37	36	35	34	33	32
RW	RW	RW	RW	RW	RW	RW	RW
バイト …							
31	30	29	28	27	26	25	24
RW	RW	RW	RW	RW	RW	RW	RW
バイト 4							
23	22	21	20	19	18	17	16
RW	RW	RW	RW	RW	RW	RW	RW
バイト 3							
15	14	13	12	11	10	9	8
RW	RW	RW	RW	RW	RW	RW	RW
バイト 2							
7	6	5	4	3	2	1	0
RW	RW	RW	RW	RW	RW	RW	RW
バイト 1							

凡例:R/W = 読み出し/書き込み、R = 読み出し専用

Copyright © 2025 Texas Instruments Incorporated

7.2 (01h) OPERATION

レジスタ・アドレス	01h
書き込みトランザクション:	書き込みバイト
読み取りトランザクション:	読み出しバイト
フォーマット:	符号なしバイナリ (1 バイト)
NVM バックアップ:	なし
更新内容:	オンザフライ

OPERATION コマンドは、OPERATION コマンドの構成に応じて、イネーブル ピンからの入力とともに電力変換をイネーブルまたはディスエーブルにするために使用されます。また、出力電圧を上側または下側の MARGIN レベルに設定し、ソフト ストップを選択するためにも使用されます。

サポートされている PMBus コマンドに戻ります。

図 7-2. (01h) OPERATION レジスタ マップ

7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R	R
オン	オフ	MARGIN				0	0

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-1. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
7	オン	R/W	0b	出力制御のために CMD ビットからの入力を必要とするコマンドが構成されている場合、電力変換のイネーブル / ディスエーブルを切り替えます。電力変換を開始する前に満たす必要がある他のいくつかの要件があることに注意してください (たとえば、UVLO スレッショルドを超える入力電圧や、(02h) ON_OFF_CONFIG により必要である場合はイネーブル ピンなど)。 0b: 電力変換を無効にします。 1b: VIN が VIN_UVLO スレッショルドよりも高く、CMD ビットが High で(02h) ON_OFF_CONFIG レジスタの SPR が Low、または CPR が High で CNTL ピンがイネーブルの場合に、電力変換をイネーブルにします。デバイスを 2 次デバイスとして構成した場合、このビットは常に 1b に設定されます。
6	オフ	R/W	0b	このビットは、(02h) ON_OFF_CONFIG が出力電圧制御のために CMD ビットからの入力を必要とするように構成されている場合、ターンオフ プロファイルを制御します。また、OPERATION ビット 7 が 1b から 0b に遷移するように制御します。 0b: 即時オフ。電力変換は直ちに停止し、電力段は強制的にハイ インピーダンス状態になります。 1b: ソフト オフ。電力変換が TOFF_DELAY 時間にわたって続行されると、TOFF_FALL に応じてスルーレートで出力電圧が降下します。出力電圧の降下が完了すると、電力変換は停止します。
5:2	MARGIN	R/W	0001b	マージン状態を設定します。 0000b、0001b、0010b: マージン オフ。出力電圧のターゲットは(21h) VOUT_COMMAND で、OV/UV 故障は、故障応答設定ごとに通常どおり動作します。 0101b: マージン Low (ビット 7 が 1b の場合は故障は無視)。出力電圧ターゲットはセクション 7.19 です。OV/ UV 故障は無視され、シャットダウンや STATUS の更新はトリガされません。 0110b: マージン Low (故障時の動作)。出力電圧ターゲットはセクション 7.19 です。OV/UV 故障は、故障応答設定ごとにトリガします。 1001b: マージン High (故障を無視)。出力電圧ターゲットはセクション 7.18 です。OV/UV トリガは無視され、シャットダウンや STATUS の更新はトリガされません。 1010b: マージン High (故障時の動作)。出力電圧ターゲットはセクション 7.18 です。OV/UV は、故障応答設定ごとにトリガします。 その他: 無効 / サポートされていないデータ
1	予約済み	R	0b	使用されず、常に 0 に設定されます。

Copyright © 2025 Texas Instruments Incorporated

表 7-1. レジスタのフィールドの説明 (続き)

ビット	フィールド	アクセス権	リセット	説明
0	予約済み	R	0b	使用されず、常に 0 に設定されます。

OPERATION を上記に記載されている値以外の任意の値に書き込もうとすると、無効 / サポートされていないデータと見なされ、適切なステータス ビットにフラグを立てて、PMBus 1.3.1 Part II 仕様、セクション 10.9.3 に従ってホストに通知することでデバイスが応答します。

Copyright © 2025 Texas Instruments Incorporated

7.3 (02h) ON_OFF_CONFIG

CMD アドレス	02h
書き込みトランザクション:	書き込みバイト
読み取りトランザクション:	読み出しバイト
NVM バックアップ:	EEPROM
更新内容:	オンザフライ

ON_OFF_CONFIG コマンドは、電力変換のイネーブル / ディスエーブルに必要なイネーブルピン入力と PMBus コマンドの組み合わせを設定します。これには、PVIN に電力が供給されたときのユニットの応答方法も含まれます。ON_OFF_CONFIG の目的上、デバイス ピン CNTL は制御ピンです。

デバイスが 2 次デバイスとして構成されている場合、デバイスは ON_OFF_CONFIG ビット、CNTL ピン、PMBus ON ビットの状態に関係なく、ビット 4 (PU) = 0b として応答し、このコマンドへの書き込みはすべて無視されます。このコマンドの読み取りまたは書き込みを試みると、NACK コマンドが発生し、IVC 故障が通知され、SMB_ALERT がトリガされます。スタック構成では、すべての CNTL ピンを互いに接続することを推奨します。

サポートされている PMBus コマンドに戻ります。

図 7-3. (02h) ON_OFF_CONFIG レジスタ マップ

7	6	5	4	3	2	1	0
R	R	R	R/W	R/W	R/W	R	R/W
0	0	0	PU	CMD	CPR	POL	CPA

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-2. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
7:5	予約済み	R	000b	使用されず、常に 0 に設定されます。
4	PU	R/W	NVM	0b: CONTROL (1) ピンの状態に関係なく、入力電力が存在すると、デバイスは常に電力変換を開始します。 1b: ON_OFF_CONFIG のビット [3:0] にプログラムされているように、CONTROL ピンや、電力変換を開始 / 停止する(01h) OPERATION コマンドで動作します。
3	CMD	R/W	NVM	0b: 電力変換を開始 / 停止するための(01h) OPERATION コマンドを無視します。 1b: 電力変換を開始 / 停止する(01h) OPERATION コマンド (および CP によって設定されている場合は CONTROL ピン) で動作します。
2	CPR	R/W	NVM	0b: 電力変換を開始 / 停止するための CONTROL ピンを無視します。 1b: 電力変換を開始 / 停止する CONTROL ピン (およびビット [3] で設定されている場合は(01h) OPERATION コマンド) で動作します。
1	POL	R	1b	1b: CONTROL ピンはアクティブ High 極性です。
0	CPA	RW	NVM	0b: CONTROL ピンによって電力変換がオフにコマンドされた場合 (上記のように CONTROL ピンを基準に構成する必要があります)、セクション 7.44 時間のレギュレーションを継続し、セクション 7.45 で定義された時間内に出力電圧を下げます。 1b: CONTROL ピンによって電力変換がオフにコマンドされた場合 (上記のように CONTROL ピンを基準に構成する必要があります)、電力変換を直ちに停止します。

(1) ON_OFF_CONFIG の目的上、デバイス ピン CNTL は制御ピンです。

ON_OFF_CONFIG を上記に明示的に記載されている値以外の任意の値に書き込もうとすると、無効 / サポートされていないデータと見なされ、適切なステータス ビットにフラグを立てて、PMBus 1.3.1 Part II 仕様、セクション 10.9.3 に従ってホストに通知することでデバイスが応答します。

Copyright © 2025 Texas Instruments Incorporated

7.4 (03h) CLEAR_FAULTS

CMD アドレス	03h
書き込みトランザクション:	送信バイト
読み取りトランザクション:	該当なし
フォーマット:	データレス
NVM バックアップ:	なし
更新内容:	オンザフライ

CLEAR_FAULTS は、設定された故障ビットをクリアするために使用されるコマンドです。このコマンドは、すべてのステータス レジスタのすべてのビットをクリアします。同時に、SMB_ALERT# がアサートされた場合、デバイスは SMB_ALERT# 信号出力を解放します。CLEAR_FAULTS は、データを含まない書き込み専用のコマンドです。

CLEAR_FAULTS コマンドを実行しても、「Do Not Restart (再起動しない)」という故障応答によりシャットダウンしたユニットは再起動しません。ビットがクリアされても故障がまだ存在している場合は、故障 ビットが再び即座にセットされ、通常の方法でホストに通知されます。

デバイスがその PMBus アドレスでアラート応答アドレス (ARA) への応答に成功した場合、SMB_ALERT# はクリアされますが、ステータス ビットやその他のビットはクリアされません (ホストへの通知に成功し、その後、ホストが割り込みを適切に処理することを予測しているため)。元の故障 (および SMB_ALERT# の初期アサートと、デバイスの ARA への応答が成功する間に発生する故障) は、いずれのソースも SMB_ALERT# を再トリガできるようになる前に、クリアする必要があります (CLEAR_FAULTS によって、ON_OFF_CONFIG にプログラムされたメカニズムによる出力をオンにし、ステータス ビットに 1b を書き込む、または電源リセット)。ただし、ARA に対するデバイスの応答が後にアクティブになる故障ソースは SMB_ALERT# をトリガします。

サポートされている PMBus コマンドに戻ります。

Copyright © 2025 Texas Instruments Incorporated

7.5 (04h) PHASE

CMD アドレス	04h
書き込みトランザクション:	該当なし
読み取りトランザクション:	読み出しバイト
フォーマット:	符号なしバイト
NVM バックアップ:	なし
更新内容:	オンザフライ

PHASE コマンドを使うと、複数位相スタック内のデバイスの PHASE 値を読み取る機能が提供されるため、(0Ah) P2_PLUS_READ および(09h) P2_PLUS_WRITE コマンドを使ってスタックの共通 PMBus アドレスでデバイスにアクセスできます。この値は、(D6h) STACK_CONFIG に格納されているスタック位置 STACK_POSITION <1:0> を反映しています。これは、PMBus 更新の影響、または PIN_DETECT_OVERRIDE の OVRD_STACK_POS ビットの設定を反映します。

サポートされている PMBus コマンドに戻ります。

図 7-4. (04h) PHASE レジスタ マップ

7	6	5	4	3	2	1	0
R	R	R	R	R	R	R	R
0	0	0	0	0	0	STACK_POSITION	

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-3. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
1:0	STACK_POSITION	R	0b	STACK_CONFIG、STACK_POSITION を参照してください

7.6 (09h) P2_PLUS_WRITE

CMD アドレス	09h
書き込みトランザクション:	書き込みブロック
読み取りトランザクション:	該当なし
フォーマット:	変動 (ターゲット コマンド+ 3 バイト)
位相:	なし
NVM バックアップ:	なし
更新内容:	オンザフライ

P2_PLUS_WRITE コマンドは、コマンドとその関連データを次の宛先に送信するために使用されます。

- 特定のページおよび位相 (有効な位相は 00h ～ 03h)
- 特定のページ内のすべての位相 (PHASE = FFh)、
- すべてのページ内の特定の位相 (PAGE = FFh)、
- またはすべてのページ内のすべての位相 (PAGE = FFh および PHASE = FFh)

P2_PLUS_WRITE コマンドの完了後に、PAGE コマンドまたは PHASE コマンドの値を変更せずに、アドレス指定されたデバイス内で実行されます。

有効な PAGE 設定は 00h と FFh のみで、これらは同じように扱われます。有効な範囲外の PAGE 設定については、1 次デバイスが IVC ビットを設定し、SMBALERT# をアサートします。PHASE 設定は、STACK_CONFIG の STACK_POSITION またはすべての位相 (PHASE = FFh) で決定される一意の位相に設定できます。有効な範囲外の PHASE 設定については、1 次デバイスが IVC ビットを設定し、SMBALERT# をアサートします。

P2_PLUS_WRITE は、基本コマンドのデータを 3 バイト追加したブロック書き込み形式を使用します。PAGE 用の 1 バイト、PHASE 用の 1 バイト、書き込むターゲット コマンド用の 1 バイトです。

サポートされている PMBus コマンドに戻ります。

図 7-5. (09h) P2_PLUS_WRITE レジスタ マップ

23	22	21	20	19	18	17	16
W	W	W	W	W	W	W	W
P2_PLUS_WR_CMD							
15	14	13	12	11	10	9	8
W	W	W	W	W	W	W	W
P2_PLUS_WR_PHASE_NUM							
7	6	5	4	3	2	1	0
W	W	W	W	W	W	W	W
P2_PLUS_WR_PAGE_NUM							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-4. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
23:16	P2_PLUS_WR_CMD	W	00000000b	
15:8	P2_PLUS_WR_PHASE_NUM	W	00000000b	
7:0	P2_PLUS_WR_PAGE_NUM	W	00000000b	

Copyright © 2025 Texas Instruments Incorporated

7.7 (0Ah) P2_PLUS_READ

CMD アドレス	0Ah
書き込みトランザクション:	該当なし
読み取りトランザクション:	ブロック書き込み / ブロック読み取りプロセス呼び出し
フォーマット:	変動 - ターゲット コマンド + 3 バイト
位相:	あり
NVM バックアップ:	なし
更新内容:	オンザフライ

説明:P2_PLUS_READ コマンドは、次のコマンドに関連付けられたデータを読み取るために使用されます。

- 特定のページと位相、
- 特定のページ内のすべての位相 (PHASE = FFh)、
- すべてのページ内の特定の位相 (PAGE = FFh)、または
- すべてのページ内のすべての位相 (PAGE = FFh および PHASE = FFh)

P2_PLUS_READ コマンドの完了後に、PAGE コマンドまたは PHASE コマンドの値を変更せずに、アドレス指定されたデバイス内で実行されます。

有効な PAGE 設定は 00h と FFh のみで、これらは同じように扱われます。有効な範囲外の PAGE 設定については、1 次デバイスが IVC ビットを設定し、SMBALERT# をアサートします。PHASE 設定は、STACK_CONFIG の STACK_POSITION またはすべての位相 (PHASE = FFh) で決定される一意の位相にできます。有効な範囲外の PHASE 設定については、1 次デバイスが IVC ビットを設定し、SMBALERT# をアサートします。

サポートされている PMBus コマンドに戻ります。

図 7-6. (09h) P2_PLUS_READ レジスタ マップ

23	22	21	20	19	18	17	16
RW	RW	RW	RW	RW	RW	RW	RW
P2_PLUS_RD_CMD							
15	14	13	12	11	10	9	8
RW	RW	RW	RW	RW	RW	RW	RW
P2_PLUS_RD_PHASE_NUM							
7	6	5	4	3	2	1	0
RW	RW	RW	RW	RW	RW	RW	RW
P2_PLUS_RD_PAGE_NUM							

凡例:R/W = 読み出し/書き込み、R = 読み出し専用

表 7-5. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
23:16	P2_PLUS_RD_CMD	RW	00000000b	
15:8	P2_PLUS_RD_PHASE_NUM	RW	00000000b	
7:0	P2_PLUS_RD_PAGE_NUM	RW	00000000b	

Copyright © 2025 Texas Instruments Incorporated

7.8 (0Eh) PASSKEY

CMD アドレス	0Eh
書き込みトランザクション:	書き込みブロック (4 バイト)
読み取りトランザクション:	読み取り (3 バイト)
フォーマット:	符号なしバイナリ (4 バイトまたは 3 バイト)
位相:	あり
NVM バックアップ:	EEPROM
更新内容:	オンザフライ

PMBus 1.5 標準のコマンド PASSKEY を使用すると、最大 32 ビットのパスキー [KJ1] をユーザーがプログラムした状態で EXT_WRITE_PROTECTION へのアクセスをロックできます。PASSKEY は、NACKing なしで書き込みを行う際に許容されるバイト数を減らしたり増やしたりします。

サポートされている PMBus コマンドに戻ります。

図 7-7. (0Eh) PASSKEY レジスタ マップ

15	14	13	12	11	10	9	8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PASSKEY_3				PASSKEY_2			
7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PASSKEY_1				PASSKEY_0			

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

PASSKEY を使用して 0 以外の値を書き込むと、STORE_USER_ALL コマンドを送信して POWER_ON_RESET を実行した後、または PMBus コマンド RESTORE_USER_ALL を送信した後でのみ、EXT_WRITE_PROTECT (および SNVML (EXT_WP[0]) が設定されている場合は STORE_USER_ALL) への書き込みアクセスがロックされます。

ユーザー オプションとして、NVM_CHECKSUM は PASSKEY データの次の 2 バイトとして読み戻されます。

PASSKEY = 0000h の場合、WRITE_PROTECT または EXT_WRITE_PROTECT で書き込み保護されていない限り、EXT_WRITE_PROTECT はロック解除され、書き込み可能です。不揮発性メモリのロックが解除されています。WRITE_PROTECT または EXT_WRITE_PROTECT で保護されていない限り、STORE コマンドは正常に機能します。まだ書き込みされていない PASSKEY の読み取りは 0000h を返します。PASSKEY への書き込みは、STORE_USER_ALL を介してパスキーを NVM に保存するように PASSKEY を設定します。

PASSKEY =! 0000h の場合、不揮発性メモリがロックされます。STORE_USER_ALL および EXT_WRITE_PROTECT は「サポートされていないデータまたは無効なデータ」として否定応答されます。

PASSKEY の読み取りでは、次の値が報告されます。

- 10h: PASSKEY のロックを解除するために無効な試行が行われていない場合
- 11h: PASSKEY のロックを解除するために無効な試行が 1 回行われた場合
- 12h: PASSKEY のロックを解除するために無効な試行が 2 回行われた場合
- 1Fh: PASSKEY のロックを解除するために無効な試行が 3 回以上行われた場合

PASSKEY への書き込みが、パワー オン リセットまたは RESTORE_USER_ALL の PASSKEY 内の PASSKEY の値と一致しない場合、PASSKEY 無効アクセス試行カウンタが増加します。カウンタが 3 に達すると、それ以上の書き込み試行はすべて無効と見なされ、デバイスは NACK を送信して STATUS_CML の IVD_DATA ビットを設定します

書き込みデータが PASSKEY アクセスに使用されたパスキーと一致し、無効な試行が 3 回未満の場合、PASSKEY は 0000h を含む新しい PASSKEY 値で上書きされ、無効な試行カウンタは 0 にリセットされます。

Copyright © 2025 Texas Instruments Incorporated

7.9 (10h) WRITE_PROTECT

CMD アドレス	10h
書き込みトランザクション:	書き込みバイト
読み取りトランザクション:	読み出しバイト
フォーマット:	符号なしバイナリ (1 バイト)
NVM バックアップ:	EEPROM
更新内容:	オンザフライ

WRITE_PROTECT コマンドは、PMBus デバイスへの書き込みを制御します。このコマンドの目的は、偶発的な変更に対する保護を提供することです。このコマンドには、以下で説明する 1 バイトのデータがあります。このコマンドは、デバイスの構成または動作に対する意図的または悪意のある変更から保護するものではありません。WRITE_PROTECT の設定に関係なく、サポートされているすべてのコマンドはパラメータを読み取ることができます。

サポートされている PMBus コマンドに戻ります。

図 7-8. (10h) WRITE_PROTECT レジスタ マップ

7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
WRITE_PROTECT							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-6. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
7:5	WRITE_PROTECT	R/W	NVM	00h: すべてのコマンドへの書き込みを有効にします。 20h: WRITE_PROTECT、OPERATION、ON_OFF_CONFIG、STORE_USER_ALL、VOUT_COMMAND 以外のすべての書き込みアクセスを無効化します。 40h: WRITE_PROTECT、OPERATION、STORE_USER_ALL コマンド以外のすべての書き込みを無効化します。 80h: WRITE_PROTECT、STORE_USER_ALL コマンド以外のすべての書き込みを無効化します。 02h: VOUT_COMMAND を除くすべての PMBus コマンドへの書き込みを無効化します (書き込みアクセスを復元するには電源サイクルが必要です)。 03h: すべての PMBus コマンドへの書き込みを無効化します (書き込みアクセスを復元するには電源サイクルが必要です)。 その他: 無効 / サポートされていないデータ
4:0		R/W	00000b	

上記に指定された無効な値に WRITE_PROTECT を書き込もうとすると、無効 / サポートされていないデータと見なされ、適切なステータス ビットにフラグを立てて、PMBus 1.3.1 Part II 仕様、セクション 10.9.3 に従ってホストに通知することでデバイスが応答します。

7.10 (15h) STORE_USER_ALL

CMD アドレス	15h
書き込みトランザクション:	送信バイト
読み取りトランザクション:	該当なし
フォーマット:	データレス
NVM バックアップ:	なし
更新内容:	オンザフライでの使用は推奨されませんが、明示的にブロックされていません

STORE_USER_ALL コマンドは、動作メモリの内容全体を不揮発性ユーザー ストア メモリ内の一致する場所にコピーするように PMBus デバイスに指示します。ユーザー ストア メモリ内の一致する位置を持たない動作メモリ内のアイテムは無視されます。

パワーアップ時のピン プログラミングから派生したコマンドの NVM 値は、前回の電源投入以降 STORE_USER_ALL を使用する前に書き込まれない限り、NVM では更新されません。これは、コマンドのビットが以下で更新された場合です

出力がイネーブルの間は、NVM ストア操作を推奨しません。ただし、ユーザーに対してこれを明示的に禁止はしていません。中断すると NVM の破損が発生する可能性があるためです。この期間中に発行された PMBus コマンドは無視されます。NVM ストア動作が発行された後で、TI はレギュレーションを無効化し、続行する前に少なくとも 125ms 待機することを推奨します。

EEPROM へのプログラミング故障が発生すると、デバイスは STATUS_CML のビット [1] のフラグを立てることで応答します。

サポートされている PMBus コマンドに戻ります。

図 7-9. (15h) STORE_USER_ALL レジスタ マップ

7	6	5	4	3	2	1	0
W	W	W	W	W	W	W	W
STORE_USER_ALL							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

Copyright © 2025 Texas Instruments Incorporated

7.11 (16h) RESTORE_USER_ALL

CMD アドレス	16h
書き込みトランザクション:	送信バイト
読み取りトランザクション:	該当なし
フォーマット:	データレス
NVM バックアップ:	なし
更新内容:	オンザフライでの使用は推奨されませんが、明示的にブロックされていません

RESTORE_USER_ALL コマンドは、不揮発性のユーザー ストア メモリの内容全体を動作メモリ内の一致する場所にコピーするように PMBus デバイスに指示します。その後、最後のパワーサイクルの後にピン検出によって設定された値は動作メモリ内の値を上書きします (レジスタに特に指定がない限り)。動作メモリ内の値は、ユーザー ストアとピン検出から取得した値によって上書きされます。対応するオーバーライド ビットが PIN_DETECT_OVERRIDE に設定されている場合、ユーザー ストア メモリの値は、ピン検出で設定された値で上書きされません。

注

出力が有効になっている間は、RESTORE_USER_ALL コマンドを使用できます。ただし、コピー操作中は PMBus コマンドは無視され、出力がイネーブルの間に実行されると、予測不可能な、望ましくない、または致命的な結果が発生する可能性があります。ON_OFF_CONFIG にプログラムされた方法を使用して、このコマンドを発行する前にデバイス出力をオフにすることを TI は推奨します。

サポートされている PMBus コマンドに戻ります。

図 7-10. (16h) RESTORE_USER_ALL レジスタ マップ

7	6	5	4	3	2	1	0
W	W	W	W	W	W	W	W
RESTORE_USER_ALL							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

7.12 (19h) CAPABILITY

CMD アドレス	19h
書き込みトランザクション:	該当なし
読み取りトランザクション:	読み出しバイト
フォーマット:	符号なしバイナリ (1 バイト)
NVM バックアップ:	なし
更新内容:	該当なし

このコマンドを使用すると、ホストはこの PMBus デバイスの機能を判断できます。このコマンドは読み取り専用で、以下のようにフォーマットされた 1 データ バイトがあります。

サポートされている PMBus コマンドに戻ります。

図 7-11. (19h) CAPABILITY レジスタ マップ

7	6	5	4	3	2	1	0
R	R	R	R	R	R	R	R
PEC	SPEED		ALERT	フォーマット	AVSBUS	0	0

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-7. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
7	PEC	R	1b	1b: パケット エラー チェックがサポートされています。
6:5	SPEED	R	10b	10b: サポートされている最大バス速度は 1MHz です。
4	ALERT	R	1b	1b: このデバイスには SMB_ALERT# ピンがあり、SMBus アラート応答プロトコルをサポートしています。
3	フォーマット	R	0b	0b: 数値形式は線形または直接です。
2	AVSBUS	R	0b	0b: AVSBus はサポートされていません。
1:0	予約済み	R	00b	予約済みで、常に 0 に設定されます。

Copyright © 2025 Texas Instruments Incorporated

7.13 (1Bh) SMBALERT_MASK

CMD アドレス:	1Bh
書き込みトランザクション:	書き込みワード
読み取りトランザクション:	書き込みブロック / 読み取りプロセス呼び出しをブロック
フォーマット:	書き込み: 符号なしバイナリ (2 バイト) 読み取り: 符号なしバイナリ (1 バイト)
NVM バックアップ:	EEPROM
更新内容:	オンザフライ

SMBALERT_MASK コマンドを使用すると、警告または故障状態によって SMB_ALERT# 信号がアサートされないようにできます。MASK ビットを設定しても、STATUS_x コマンドの関連ビットが設定されるのを防ぐことはできませんが、STATUS_x の関連ビットが SMB_ALERT# をアサートするのは防ぎます。以下のレジスタの説明では、利用可能な個別のマスク ビットについて説明します。

SMBALERT_MASK 書き込みトランザクションは、書き込みワードで次のものが含まれます。

- CMD アドレス = 1Bh
- 書き込みデータ バイト下位 = STATUS_x COMMAND CODE
- 書き込みデータ バイト上位 = STATUS_x MASK

SMBALERT_MASK 読み取りトランザクションは、次のブロック書き込み / ブロック読み取りプロセスの呼び出しです。

- CMD アドレス = 1Bh
- バイト数 = 1
- 書き込みデータ バイト = STATUS_x COMMAND CODE
- バイト数 = 1
- 読み取りデータ バイト = STATUS_x MASK

このコマンドの詳細については、PMBus 1.3.1 Part II 仕様、セクション 15.38「SMBALERT_MASK コマンド」、およびこのプロセス呼び出しトランザクションの詳細については、SMBus 3.1 仕様、セクション 6.5.8「ブロック書き込み / ブロック読み取りプロセスの呼び出し」を参照してください。

PMBus 1.4 セクション 15.38 の新しい要件に従い、STATUS_BYTE を追加および STATUS_WORD を拡張追加。

0 または 1 の X でマークされたマスク ビットに書き込むと、(7Eh) STATUS_CML の IVD エラーは発生しません。「X」のマークが付いたビットはデフォルトで「1」のマスク値になり、SMBALERT# をアサートできません (最も一般的に、これらのビットは、読み取り専用ロジック 0 ステータス ビットの位置をサポートしていません)。このリスト以外の STATUS_X コマンド コードのマスク バイトを読み書きしようとする場合は、(7Eh) STATUS_CML の無効データまたはサポートされていないデータ (IVD) エラーと見なされます。

すべてのレジスタについて、0b は条件が発生したとき SMB_ALERT# がアサートされることを示し、1b は条件が発生したとき SMB_ALERT# がアサートされないことを示します。

サポートされている PMBus コマンドに戻ります。

図 7-12. (1Bh) SMBALERT_MASK_BYTE レジスタ マップ

7	6	5	4	3	2	1	0
R	R	R/W	R/W	R	R/W	R/W	R/W
0	MASK_OFF	MASK_OVF	MASK_OCF	0	MASK_OTFW	MASK_CML	MASK_OTH

注

(78h) STATUS_BYTE のマスク (デフォルト= XX00 X000b) (下位バイト)

Copyright © 2025 Texas Instruments Incorporated

図 7-13. (1Bh) SMBALERT_MASK_WORD レジスタ マップ

15	14	13	12	11	10	9	8
R/W	R/W	R/W	R/W	R	R	R/W	R
MASK_VFW	MASK_OCFW	MASK_INPUT	MASK_MFR	MASK_PGOOD_Z	0	MASK_OTHER	0
7	6	5	4	3	2	1	0
R	R	R	R	R	R	R	R
STATUS_BYTE							

注

(79h) STATUS_WORD のマスク (デフォルト = 0000 XX0Xb) (上位バイト)

図 7-14. (1Bh) SMBALERT_MASK_VOUT レジスタ マップ

7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R	R	R
MASK_OVF	MASK_OVW	MASK_UVW	MASK_UVF	MASK_VO_MAX_MIN_W	0	0	0

注

(7Ah) STATUS_VOUT のマスク (デフォルト = 0000 0XXXb)

図 7-15. (1Bh) SMBALERT_MASK_IOUT レジスタ マップ

7	6	5	4	3	2	1	0
R/W	R	R/W	R/W	R	R	R	R
MASK_OCF	MASK_OCUV	MASK_OCW	MASK_UCF	0	0	0	0

注

(7Bh) STATUS_IOUT のマスク (デフォルト = 0x00 XXXXb)

図 7-16. (1Bh) SMBALERT_MASK_INPUT レジスタ マップ

7	6	5	4	3	2	1	0
R/W	R	R	R	R/W	R	R	R
PVIN_OVF	0	0	0	LOW_VIN	0	0	0

注

(7Ch) STATUS_INPUT のマスク (デフォルト = 0XXX 0XXXb)

図 7-17. (1Bh) STATUS_TEMPERATURE レジスタ マップ

7	6	5	4	3	2	1	0
R/W	R/W	R	R	R	R	R	R
OTF_PROG	OTW_PROG	0	0	0	0	0	0

注

(7Dh) STATUS_TEMPERATURE のマスク (デフォルト = 00XX XXXXb)

図 7-18. (1Bh) SMBALERT_MASK_CML レジスタ マップ

7	6	5	4	3	2	1	0

Copyright © 2025 Texas Instruments Incorporated

図 7-18. (1Bh) SMBALERT_MASK_CML レジスタ マップ (続き)

R/W	R/W	R/W	R/W	R	R	R/W	R
MASK_IVC	MASK_IVD	MASK_PEC	MASK_MEM	0	0	MASK_OTHER	0

注

(7Eh) STATUS_CML のマスク (デフォルト = 0000 XX0Xb)

図 7-19. (1Bh) SMBALERT_MASK_OTHER レジスタ マップ

7	6	5	4	3	2	1	0
R	R	R	R	R	R	R	R/W
0	0	0	0	0	0	0	MASK_FRST_2_ALRT

注

(7Fh) STATUS_OTHER のマスク (デフォルト = XXXX XXX0b)

図 7-20. (1Bh) SMBALERT_MASK_MFR_SPECIFIC レジスタ マップ

7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R	R	R/W	R/W
MASK_DCM	MASK_OTF_BG	MASK_PS_FLT	MASK_PS_COMM_WRN	0	0	MASK_PS_OT	MASK_PS_UV

注

(80h) STATUS_MFR_SPECIFIC のマスク (デフォルト = 0000 XX00b)

サポートされている PMBus コマンドに戻ります。

Copyright © 2025 Texas Instruments Incorporated

7.14 (20h) VOUT_MODE

CMD アドレス	20h
書き込みトランザクション:	該当なし
読み取りトランザクション:	読み出しバイト
フォーマット:	符号なしバイナリ (1 バイト)
NVM バックアップ:	なし
更新内容:	該当なし

VOUT_MODE コマンドのデータバイトは 1 バイトで、1 ビットの絶対 / 相対選択 (相対値では常に 1 に設定)、2 ビットの MODE、5 ビットの EXPONENT で構成されます (図 7-21 を参照)。2 ビットの MODE は、出力電圧関連のコマンドに対して、デバイスが ULINEAR16、ハーフ精度 IEEE 754 浮動小数点、VID、または DIRECT モードのどちらを使用するかを設定します。5 ビットの PARAMETER は、ULINEAR16 指数や、どのメーカーの VID コードが使用されているかなど、選択されたモードに関する詳細情報を提供します。

サポートされている PMBus コマンドに戻ります。

図 7-21. (20h) VOUT_MODE レジスタ マップ

7	6	5	4	3	2	1	0
R	R	R	R	R	R	R	R
REL	VOUT_MODE		VOUT_EXPONENT				

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-8. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
7	REL	R	1b	1b: 相対データ形式
6:5	モード	R	00b	00b: 線形形式 (ULINEAR16、SLINEAR16)
4:0	VOUT_EXPONENT	R	10111b	出力電圧関連コマンドで使用する指数「N」を 2 の補数形式で指定します。値は -9 (1.953mV/LSB) に固定されています。

VOUT_MODE を任意の値に書き込もうとすると、無効 / サポートされていないデータと見なされ、適切なステータス ビットにフラグを立てて、PMBus 1.3.1 Part II 仕様、セクション 10.9.3 に従ってホストに通知することでデバイスが応答します。

Copyright © 2025 Texas Instruments Incorporated

7.15 (21h) VOUT_COMMAND

CMD アドレス	21h
書き込みトランザクション:	書き込みワード
読み取りトランザクション:	読み出しワード
フォーマット:	ULINEAR16、(20h) VOUT_MODE 準拠
NVM バックアップ:	いいえ (VBOOT_OFFSET_1)/ VOUT_SCALE_LOOP
更新内容:	オンザフライ

レギュレートされる出力は、PMBus、またはピン VSEL のピン ストラップの結果によって設定できます。PMBus またはピン ストラップを使用してレギュレート電圧を設定する場合、コマンドされる出力電圧 (ボルト単位) は、VOUT_COMMAND、VOUT_TRIM、VOUT_MARGIN_HIGH、VOUT_MARGIN_LOW、および OPERATION コマンドの組み合わせにより決定されます。VOUT_MODE コマンドの説明で述べたように、VOUT ステップ サイズは 1.953mV です。

このレジスタは、ソフト スタート中またはソフト ストップ中に変更できます。ただし、レールは、TON_RISE/TOFF_FALL にプログラムされたレートで、元のターゲット (VBOOT) まで上昇または下降を継続します。ソフト スタートの完了後 (および VOUT_COMMAND が VBOOT 値と異なる場合)、デバイスは、VBOOT 値から、プログラムされた VOUT_TRANSITION_RATE で最後に書き込まれた VOUT_COMMAND に直ちに遷移します。ソフト ストップ中に VOUT_COMMAND への書き込みはアクノリッジ (受信確認) されますが、遷移は発生せず、ソフト ストップの終了時に VOUT_COMMAND が自動的に VBOOT に更新されます。また、ソフト スタートが完了した後、出力電圧が以前にプログラムされた VOUT_COMMAND に引き続き遷移している場合でも、VOUT_COMMAND への書き込みは許可されます。出力電圧は、VOUT_TRANSITION_RATE で指定されたレートで、新しくプログラムされた VOUT_COMMAND への遷移を直ちに開始します。デバイスは、前の遷移が完了するまで待機するわけではありません。

サポートされている PMBus コマンドに戻ります。

図 7-22. (21h) VOUT_COMMAND レジスタ マップ

15	14	13	12	11	10	9	8
R	R	R	R/W	R/W	R/W	R/W	R/W
VOUT_COMMAND (上位バイト)							
7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
VOUT_COMMAND (下位バイト)							

プログラムされた Vout は次のように計算されます。

デフォルト*: XXX0 0000 0000 0000 (バイナリ) (X は、書き込みが無視され、読み取りは 0 であることを意味します)

VOUT = (VOUT_COMMAND + VOUT_TRIM + (VOUT_MARGIN_HIGH – 1) * VOUT_COMMAND * OPERATION[5] – (1 – VOUT_MARGIN_LOW) * VOUT_COMMAND * OPERATION[4]) * VOUT_MODE

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-9. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:13	VOUT_COMMAND	R	000b	使用されず、常に 0 に設定されます。
12:0	VOUT_COMMAND	R/W	VBOOT_OFFSET_1 (以下を参照)	PMBus インターフェイス経由で出力電圧のターゲットを設定します。

Copyright © 2025 Texas Instruments Incorporated

VBOOT 電圧

パワーアップ時に、VOUT_COMMAND のリセット値は VBOOT_OFFSET_1/VOUT_SCALE_LOOP から導かれ ます。ON_OFF_CONFIG にプログラムされたメカニズム、または故障によってレールがディスエーブルになると、VOUT_COMMAND の値が VBOOT に更新されます。

PMB_ADDR/VORST# ピンが SYS_CONFIG_USER1 (EN_VORST) で RESET# ピンとして構成されている場合、PMB_ADDR/VORST# ピンがアサートされると、出力電圧が VBOOT_OFFSET_1 (VBOOT_1) の VBOOT 値に戻り、それに応じて VOUT_COMMAND 値が更新されます。

データの有効性

VOUT_COMMAND に書き込むと、その値 (VOUT_TRIM からのオフセットも含め) が電流(24h) VOUT_MAX より大きい、または電流(2Bh) VOUT_MIN より小さい場合、VOUT_COMMAND はそれぞれ(24h) VOUT_MAX または(2Bh) VOUT_MIN で指定された値に移動します。STATUS_VOUT に VOUT_MAX_MIN 警告ビットが設定され、これによって STATUS_WORD の適切なビットが設定され、ホストは PMBus 1.3.1 Part II 仕様、セクション 10.2 に従って通知されます。

Copyright © 2025 Texas Instruments Incorporated

7.16 (22h) VOUT_TRIM

CMD アドレス	22h
書き込みトランザクション:	書き込みワード
読み取りトランザクション:	読み出しワード
フォーマット:	SLINEAR16、(20h) VOUT_MODE 準拠
NVM バックアップ:	EEPROM
更新内容:	オンザフライ

VOUT_TRIM を使用して、出力電圧コマンド値に固定オフセット電圧を印加します。VOUT_TRIM による出力電圧の変化は、(27h) VOUT_TRANSITION_RATE で指定されたレートで発生します。

サポートされている PMBus コマンドに戻ります。

図 7-23. (22h) VOUT_TRIM レジスタ マップ

15	14	13	12	11	10	9	8
R	R	R	R	R	R	R	R
VOUT_TRIM (上位バイト)							
7	6	5	4	3	2	1	0
R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
VOUT_TRIM (下位バイト)							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-10. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:7	VOUT_TRIM_SIG_EXT	R	NVM	9 MSB は、プログラム可能な VOUT_TRIM の範囲を制限する読み取り専用です。これらの値は、ビット 6 の符号拡張によって設定されます。
6:0	VOUT_TRIM	RW	NVM	出力電圧オフセット。SLINEAR16 の指数が -9 の場合、値は +123mV ～ -125mV に制限されます。

データの有効性

出力電圧の値 (VOUT_TRIM、(21h) VOUT_COMMAND、VOUT_MARGIN_HIGH などからの任意のオフセットを含む) が、DAC ハードウェアでサポートされている値を超えない場合があります。

VOUT_COMMAND + VOUT_TRIM 値を DAC ハードウェアでサポートされている最大値よりも大きい、かつ(24h) VOUT_MAX より小さい値にプログラムすると、DAC ハードウェアでサポートされている最大値でレギュレートされた出力電圧がクランプされ、STATUS_VOUT の VOUT_MAX_MIN 警告ビットが設定されます。

VOUT_TRIM を有効として指定された値外の任意の値に書き込もうとすると、無効 / サポートされていないデータと見なされ、適切なステータス ビットにフラグを立てて、PMBus 1.3.1 Part II 仕様のセクション 10.9.3 に従ってホストに通知することでデバイスが応答します。

Copyright © 2025 Texas Instruments Incorporated

7.17 (24h) VOUT_MAX

CMD アドレス	24h
書き込みトランザクション:	書き込みワード
読み取りトランザクション:	読み出しワード
フォーマット:	ULINEAR16、VOUT_MODE 別の絶対値のみ
位相:	なし
NVM バックアップ:	EEPROM またはピン検出
更新内容:	オンザフライ

VOUT_MAX コマンドは、ユニットの出力電圧の上限を設定し、他のコマンドや組み合わせに関係なく、コマンドを発行できます。このコマンドの目的は、誤って出力電圧を破壊的なレベルに設定してしまう事態を防止することです。

サポートされている PMBus コマンドに戻ります。

図 7-24. (24h) VOUT_MAX レジスタ マップ

15	14	13	12	11	10	9	8
R	R	R	R	RW	RW	RW	RW
0	0	0	0	VOUT_MAX			
7	6	5	4	3	2	1	0
RW	RW	RW	RW	RW	RW	RW	RW
VOUT_MAX							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-11. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:12	0	R	0b	サポートされておらず、常に 0 です。
11:0	VOUT_MAX	RW	NVM	最大出力電圧。(20h) VOUT_MODE の設定ごとの LINEAR16 絶対値。データの有効性については、次の説明を参照してください。

VOUT_MAX の推奨データ範囲は、以下の表に従って、VOUT_SCALE_LOOP に依存します。

VOUT_SCALE_LOOP の仮数部	VOUT_MAX (V)	データ (d)
8d	0.34 ～ 0.75	175-384
4d	0.34 ～ 1.5	175 ～ 768
2d	0.68 ～ 3	350 ～ 1536
1d	1.36 ～ 5.75	700 ～ 2944

変換がイネーブルのとき、新しいターゲット電圧が VOUT_MAX の電流値よりも大きくなるような出力電圧の変化 (VOUT_COMMAND、(22h) VOUT_TRIM、マージン動作を含む) により、VOUT_MAX_MIN_WARNING の状態が発生します。この結果により、デバイスは次のことを実行します。

- (27h) VOUT_TRANSITION_RATE で定義されたスルーレートで、出力電圧を VOUT_MAX の電流値に対して設定します。
- (78h) STATUS_BYTE に上記以外のビットを設定します。
- (79h) STATUS_WORD の VOUT ビットを設定します。
- (7Ah) STATUS_VOUT の VOUT_MIN_MAX 警告ビットを設定します。
- PMBus 1.3.1 Part II 仕様、セクション 10.2 に従ってホストに通知します。

Copyright © 2025 Texas Instruments Incorporated

このシナリオは一般的ではありませんが、ユーザーが VOUT_MAX を現在の出力電圧のターゲットよりも低くプログラムしようとした場合、同じ応答が得られることに注意してください。

VOUT_MAX < (2Bh) VOUT_MIN のイベントの場合、VOUT_MAX が支配的な要素になります。

データの有効性

VOUT_MAX を有効として指定された値外の任意の値に書き込もうとすると、無効 / サポートされていないデータと見なされ、適切なステータス ビットにフラグを立てて、PMBus 1.3.1 Part II 仕様のセクション 10.9.3 に従ってホストに通知することでデバイスが応答します。

Copyright © 2025 Texas Instruments Incorporated

7.18 (25h) VOUT_MARGIN_HIGH

CMD アドレス	25h
書き込みトランザクション:	書き込みワード
読み取りトランザクション:	読み出しワード
フォーマット:	ULINEAR16、VOUT_MODE あたりの相対値
位相:	なし
NVM バックアップ:	EEPROM
更新内容:	オンザフライ

VOUT_MARGIN_HIGH コマンドは、OPERATION コマンドが「マージン HIGH」に設定されているときに出力の変更先となる電圧をユニットにロードします。Vout フォーマットは、(20h) VOUT_MODE レジスタ – ビット [7] で *相対値* に設定されるため、コマンドされた Vout は、このコマンドに示される乗法係数だけ増加します。このコマンドは、(20h) VOUT_MODE で指定された LSB も使用します。マージン動作中の出力電圧の遷移は、VOUT_TRANSITION_RATE で定義されたスルーレートで発生します。

OPERATION コマンドの MARGIN ビットが「マージン High」と示されている場合、出力電圧は VOUT_MARGIN_HIGH + VOUT_TRIM の値に更新されます。

サポートされている PMBus コマンドに戻ります。

図 7-25. (25h) VOUT_MARGIN_HIGH レジスタ マップ

15	14	13	12	11	10	9	8
R	W	W	W	W	RW	RW	RW
VOUT_MARGIN_HIGH (上位バイト)							
7	6	5	4	3	2	1	0
RW	RW	RW	RW	RW	RW	RW	RW
VOUT_MARGIN_HIGH (下位バイト)							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-12. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:11	予約済み	R	0b	
10:0	VOUT_MARGIN_HIGH	RW	NVM	マージン High 出力電圧。VOUT_MODE の設定に従って、ULINEAR16 を相対的に使用

このコマンドに必要な EEPROM ビット数を最適化するため、上記のレジスタのビットには直接バックアップはなく、EEPROM 復元時に以下のように使用される MRGN_HI_DFLT と呼ばれる NVM でバックアップされたビットと相関させます。

MARGIN_HI_DFLT	VOUT_MARGIN_HIGH[10:0]	% Margin
0b	528d	3.125
1b	536d	4.6875

このコマンドの影響は、VOUT_MODE コマンドの設定によって決まります。次の表に、NVM ストレージに対する MRGN_HI_DFLT の決定方法も示します。

Copyright © 2025 Texas Instruments Incorporated

VOUT_MARGIN_HIGH[10:0]		% Margin	MRGN_HI_DFLT
(10 進数) 以上	(10 進数) 未満		
	524	1.5625	0
524	532	3.125	
532	540	4.6875	1
540	548	6.25	
548	556	7.8125	
556	564	9.375	
564	572	10.9375	
572	2048	12.5	

VOUT_MARGIN_HIGH の最小および最大有効データ値は、VOUT_COMMAND の説明に従います。つまり、VOUT_MARGIN_HIGH および VOUT_TRIM を含む合計出力電圧は、現在の VOUT_MAX 設定で許容される値に従います。

(25h) VOUT_MARGIN_HIGH を有効として指定された値外の任意の値に書き込もうとすると、無効 / サポートされていないデータと見なされ、適切なステータス ビットにフラグを立てて、PMBus 1.3.1 Part II 仕様のセクション 10.9.3 に従ってホストに通知することでデバイスが応答します。

Copyright © 2025 Texas Instruments Incorporated

7.19 (26h) VOUT_MARGIN_LOW

CMD アドレス	26h
書き込みトランザクション:	書き込みワード
読み取りトランザクション:	読み出しワード
フォーマット:	ULINEAR16、VOUT_MODE あたりの相対値
位相:	なし
NVM バックアップ:	EEPROM

VOUT_MARGIN_LOW コマンドは、OPERATION コマンドが「マージン Low」に設定されているときに出力の変更先となる電圧をユニットにロードします。Vout フォーマットは、VOUT_MODE レジスタ – ビット [7] で *相対値に*設定されるため、コマンドされた Vout は、このコマンドに示される乗法係数だけ減少します。このコマンドは、VOUT_MODE で指定された LSB も使用します。マージン動作中の出力電圧の遷移は、VOUT_TRANSITION_RATE で定義されたスルーレートで発生します。

OPERATION コマンドの MARGIN ビットが「マージン Low」と示されている場合、出力電圧は VOUT_MARGIN_LOW + VOUT_TRIM の値に更新されます。

サポートされている PMBus コマンドに戻ります。

図 7-26. (26h) VOUT_MARGIN_LOW レジスタ マップ

15	14	13	12	11	10	9	8
W	W	W	W	W	W	RW	RW
VOUT_MARGIN_LOW (上位バイト)							
7	6	5	4	3	2	1	0
RW	RW	RW	RW	RW	RW	RW	RW
VOUT_MARGIN_LOW (下位バイト)							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-13. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:10	予約済み	R	0b	
9:0	VOUT_MARGIN_LOW	RW	NVM	マージン Low 出力電圧。VOUT_MODE の設定に従って、LINEAR16 を相対的に使用

このコマンドに必要な EEPROM ビット数を最適化するため、上記のレジスタのビットには直接バックアップはなく、EEPROM 復元時に以下のように使用される MRGN_LO_DFLT と呼ばれる NVM でバックアップされたビットと相関させます。

MARGIN_HI_DFLT	VOUT_MARGIN_HIGH[10:0]	% Margin
0b	496d	-3.125
1b	488d	-4.6875

このコマンドの影響は、VOUT_MODE コマンドの設定によって決まります。次の表に、NVM ストレージに対する MRGN_LO_DFLT の決定方法も示します。

VOUT_MARGIN_LOW[9:0]		% Margin	MRGN_LO_DFLT
> (d)	< (d)		
500	1024	-1.5625	0
492	500	-3.125	

Copyright © 2025 Texas Instruments Incorporated

VOUT_MARGIN_LOW[9:0]		% Margin	MRGN_LO_DFLT
> (d)	< (d)		
484	492	-4.6875	1
476	484	-6.25	
468	476	-7.8125	
460	468	-9.375	
452	460	-10.9375	
	452	-12.5	

VOUT_MARGIN_LOW の最小および最大有効データ値は、VOUT_COMMAND の説明に従います。(26h) VOUT_MARGIN_LOW を有効として指定された値外の任意の値に書き込もうとすると、無効 / サポートされていないデータと見なされ、適切なステータス ビットにフラグを立てて、PMBus 1.3.1 Part II 仕様のセクション 10.9.3 に従ってホストに通知することでデバイスが応答します。

Copyright © 2025 Texas Instruments Incorporated

7.20 (27h) VOUT_TRANSITION_RATE

CMD アドレス	27h
書き込みトランザクション:	書き込みワード
読み取りトランザクション:	読み出しワード
フォーマット:	LINEAR11
NVM バックアップ:	EEPROM
更新内容:	オンザフライ

VOUT_TRANSITION_RATE は、通常の電力変換発生時に出力電圧が変化するスルーレートを設定します。このコマンドされたレートは、ユニットがオンまたはオフにするようにコマンドされた場合には適用されません。単位は mV/µs です。

サポートされている PMBus コマンドに戻ります。

図 7-27. (27h) VOUT_TRANSITION_RATE レジスタ マップ

15	14	13	12	11	10	9	8
R	R	R	R	R	RW	RW	RW
指数					VOUT_TRANSITION_RATE		
7	6	5	4	3	2	1	0
RW	RW	RW	RW	RW	RW	RW	RW
VOUT_TRANSITION_RATE							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-14. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:11	指数	R	1 1101b	線形形式の 2 の補数指数。指数が -3 に固定され、0.125mV/µs LSB になります。
10:8	VOUT_TRANSITION_RATE	R	0	使用されず、常に 0 に設定されます。
7:0		R/W	NVM	線形形式の 2 の補数仮数部。

データの有効性

指数および仮数部の読み取り専用ビットへの書き込みは無視され、それらの値は更新されません。読み取り/ 書き込み仮数部ビットの各バイナリの組み合わせは、書き込み可能で読み取り可能です。ただし、実際の出力電圧スルーレートは、対応している最も近い設定にされます。また、EEPROM から復元された仮数部の値は、サポートされている各設定に対して固定されています。表 7-15 を参照してください。

表 7-15. サポートされている VOUT_TRANSITION_RATE 設定と EEPROM 復元時の値

VOUT_TRANSITION_RATE の仮数部 (10 進数)		VOUT_TRANSITION_RATE (mV/µs)
以下と等しいか大きい:	より小さい	
0	8	0.625
8	15	1.26
15	30	2.44
30	42	4.88
42	62	6.51
62	84	9.77
84	144	13
144	256	19.53

Copyright © 2025 Texas Instruments Incorporated

7.21 (29h) VOUT_SCALE_LOOP

CMD アドレス	29h
書き込みトランザクション:	書き込みワード
読み取りトランザクション:	読み出しワード
フォーマット:	SLINEAR11
更新内容:	出力が無効:以下を参照。出力が有効:読み取り専用。
NVM バックアップ:	

VOUT_SCALE_LOOP を使用すると、PMBus デバイスは、コマンドされた電圧と制御回路入力の電圧間をマッピングできます。また、VOUT_SCALE_LOOP は、内部の高精度抵抗デバイダもプログラミングするため、外部分周器は不要です。

MSEL1 ピンストラップによって外付け抵抗デバイダが得られる場合 (VSEL/FB ピンを外部抵抗デバイダとの間で FB ピンとして構成)、VOUT_SCALE_LOOP の仮数部が 8 に設定されます。

VOUT_SCALE_LOOP データは、以下の場合にのみ PMBus 経由で書き込むことができます。

- MSEL1 ピンストラップにより、内部抵抗デバイダが得られます (VSLE/FB ピンは VSEL 機能として構成されます)。
- レールは、ON_OFF_CONFIG メカニズムのいずれかによって無効化されます (ディスエーブル状態)。

サポートされている PMBus コマンドに戻ります。

図 7-28. レジスタ マップ

15	14	13	12	11	10	9	8
R	R	R	R	R	R	R	R
指数					VOUT_SCALE_LOOP		
7	6	5	4	3	2	1	0
R	R	R	R	R/W	R/W	R/W	R/W
VOUT_SCALE_LOOP							

凡例:R/W = 読み取り / 書き込み、R = 読み取り専用

表 7-16. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:11	指数	R	1 1101b	線形形式の 2 の補数指数。指数が -3 に固定され、0.125 LSB になります。
10:4	VOUT_SCALE_LOOP	R	0	使用されず、常に 0 に設定されます。
3:0	VOUT_SCALE_LOOP	R/W	NVM または VSEL 抵抗	線形形式の 2 の補数仮数部。PIN_DETECT_OVERRIDE の OVRD_VSEL ビットが 0 に設定されている場合、この値は VSEL ピンとグランドとの間に検出された抵抗によって設定されます。PMBus でこれを別の値にプログラムするには、OVRD_VSEL ビットを 1 に設定して NVM に保存する必要があります。その後、デバイスの VCC リセットを実行します。

データの有効性

書き込み可能ビット内のすべての仮数部バイナリ値は、書き込み可能で読み取り可能です。ただし、実際の分周器は、サポートされている最も近い値に設定されます。また、EEPROM から復元された仮数部の値は、ハードウェアでサポートされている各設定に対して固定されます。表 7-17 を参照してください。

Copyright © 2025 Texas Instruments Incorporated

表 7-17. VOUT_SCALE_LOOP がサポートしている値と EEPROM 復元時の値

VOUT_SCALE_LOOP 仮数部 (10 進数)		内部分周器のゲイン	VOUT_SCALE_LOOP 仮数部 EEPROM 復元値 (10 進数)
以下と等しいか大きい:	より小さい		
0	2	0.125	1
2	4	0.25	2
4	8	0.5	4
8	16	1.0	8

Copyright © 2025 Texas Instruments Incorporated

7.22 (2Ah) VOUT_SCALE_MONITOR

CMD アドレス	2Ah
書き込みトランザクション:	書き込みワード (MSEL1 ピン ストラップで外部帰還抵抗が選択されている場合)
読み取りトランザクション:	読み出しワード
フォーマット:	LINEAR11
更新内容:	書き込み可能な場合はオンザフライ
NVM バックアップ:	EEPROM または VSEL 抵抗

VOUT_SCALE_MONITOR は、MSEL1 ピンストラップで外部帰還抵抗オプションを選択した場合の VOUT のスケーリング方法を示します。内部帰還抵抗を使用する場合、VOUT_SCALE_MONITOR は VOUT_SCALE_LOOP に設定され、このコマンドは読み取り専用になります。外付けの帰還分圧抵抗を選択する場合、ユーザーは VOUT_SCAL_MONITOR の値を選択する必要があります。その後で、VOUT_SCALE_LOOP の値の代わりに内部で使用します。

サポートされている PMBus コマンドに戻ります。

図 7-29. レジスタ マップ

15	14	13	12	11	10	9	8
R	R	R	R	R	R	R	R
指数					VOUT_SCALE_MONITOR		
7	6	5	4	3	2	1	0
R	R	R	R	R/W	R/W	R/W	R/W
VOUT_SCALE_MONITOR							

凡例: R/W = 読み取り / 書き込み、R = 読み取り専用

表 7-18. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:11	指数	R	1 1101b	線形形式の 2 の補数指数。指数が -3 に固定され、0.125 LSB になります。
10:4	VOUT_SCALE_MONITOR	R	0	使用されず、常に 0 に設定されます。
3:0	VOUT_SCALE_MONITOR	R/W	NVM または VSEL 抵抗	線形形式の 2 の補数仮数部。PIN_DETECT_OVERRIDE の OVRD_VSEL ビットが 0 に設定されている場合、この値は VSEL ピンとグランドとの間に検出された抵抗によって設定されます。PMBus でこれを別の値にプログラムするには、OVRD_VSEL ビットを 1 に設定して NVM に保存する必要があります。その後、デバイスの VCC リセットを実行します。

データの有効性

書き込み可能ビット内のすべての仮数部バイナリ値は、書き込み可能で読み取り可能です。ただし、実際の分周器は、サポートされている最も近い値に設定されます。また、EEPROM から復元された仮数部の値は、ハードウェアでサポートされている各設定に対して固定されます。表 7-19 を参照してください。表からの VOSNS-GOSNS の最大許容値に違反するように VOUT_SCALE_MONITOR 値が選択された場合、報告される READ_VOUT は正確ではありません。

表 7-19. VOUT_SCALE_MONITOR がサポートしている値と EEPROM 復元時の値

VOUT_SCALE_MONITOR 仮数部 (10 進数)		内部分周器のゲイン	VOUT_SCALE_MONITOR 仮数部 EEPROM 復元値 (10 進数)	最大許容 VOUT (VOSNS-GOSNS) (V)
以下と等しいか大きい:	より小さい			
0	2	0.125	1	5.5
2	4	0.25	2	3
4	8	0.5	4	1.5

Copyright © 2025 Texas Instruments Incorporated

表 7-19. VOUT_SCALE_MONITOR がサポートしている値と EEPROM 復元時の値 (続き)

VOUT_SCALE_MONITOR 仮数部 (10 進数)		内部分周器のゲイン	VOUT_SCALE_MONITOR 仮数部 EEPROM 復元値 (10 進数)	最大許容 VOUT (VOSNS-GOSNS) (V)
以下と等しいか大きい:	より小さい			
8	16	1.0	8	0.75

Copyright © 2025 Texas Instruments Incorporated

7.23 (2Bh) VOUT_MIN

CMD アドレス	2Bh
書き込みトランザクション:	書き込みワード
読み取りトランザクション:	読み出しワード
フォーマット:	LINEAR16、VOUT_MODE 別の絶対値のみ
位相:	なし
更新内容:	オンザフライ
NVM バックアップ:	EEPROM またはピン検出

VOUT_MIN コマンドは、他のコマンドや組み合わせに関係なく、ユニットがコマンドできる出力電圧の下限を設定します。このコマンドの目的は、誤って出力電圧を特定のレベルに設定して、負荷が動作不能になる事態を防止することです。

サポートされている PMBus コマンドに戻ります。

図 7-30. (2Bh) VOUT_MIN レジスタ マップ

15	14	13	12	11	10	9	8
R	R	R	R	RW	RW	RW	RW
0	0	0	0	VOUT_MIN			
7	6	5	4	3	2	1	0
RW	RW	RW	RW	RW	RW	RW	RW
VOUT_MIN							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-20. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:12	VOUT_MIN	R	0000b	使用されず、常に 0 に設定されます。
11:0	VOUT_ MIN	RW	NVM	最小出力電圧。VOUT_MODE の設定ごとの LINEAR16 絶対値。

電力変換中に、新しいターゲット電圧が VOUT_MIN の電流値よりも低くなるような出力電圧の変化 (VOUT_COMMAND、VOUT_TRIM、マージン動作を含む) により、VOUT_MAX_MIN_WARNING の故障状態が発生します。これらの結果により、デバイスは次のことを実行します。

- VOUT_TRANSITION_RATE で定義されたスルーレートで、出力電圧を VOUT_MIN の電流値に対して設定します。
- STATUS_BYTE に上記以外を設定します。
- STATUS_WORD の VOUT ビットを設定します。
- STATUS_VOUT の VOUT_MIN_MAX 警告ビットを設定します。
- PMBus 1.3.1 Part II 仕様、セクション 10.2 に従ってホストに通知します。

このシナリオは一般的ではありませんが、ユーザーが VOUT_MIN を現在の出力電圧のターゲットよりも高くプログラムしようとした場合、同じ応答が得られることに注意してください。

データの有効性

VOUT_MIN の最小および最大有効データ値は、VOUT_MAX の値に従います。VOUT_MIN を有効として指定された値外の任意の値に書き込もうとすると、無効 / サポートされていないデータと見なされ、適切なステータス ビットにフラグを立てて、PMBus 1.3.1 Part II 仕様のセクション 10.9.3 に従ってホストに通知することでデバイスが応答します。

Copyright © 2025 Texas Instruments Incorporated

7.24 (33h) FREQUENCY_SWITCH

CMD アドレス	33h
書き込みトランザクション:	書き込みバイト
読み取りトランザクション:	読み出しバイト
フォーマット:	SLINEAR11
NVM バックアップ:	EEPROM
更新内容:	オンザフライ

FREQUENCY_SWITCH は、アクティブ デバイスのスイッチング周波数を設定します。

サポートされている PMBus コマンドに戻ります。

図 7-31. (33h) FREQUENCY_SWITCH レジスタ マップ

15	14	13	12	11	10	9	8
R	R	R	R	R	R	R	R
指数					FREQUENCY_SWITCH		
7	6	5	4	3	2	1	0
R	R	R	R	RW	RW	RW	RW
FREQUENCY_SWITCH							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-21. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:11	指数	R	0 0111b	線形形式の 2 の補数指数。指数が 7 に固定され、128kHz LSB になります。
10:4	FREQUENCY_SWITCH	R	000 0000b	使用されず、常に 0 に設定されます。
3:0	FREQUENCY_SWITCH	RW	NVM	線形形式の 2 の補数仮数部。

FREQUENCY_SWITCH のデフォルトの初期値は、NVM または MSEL2 ピン ストラップから得られます。

表 7-22. FREQUENCY_SWITCH がサポートしている値と EEPROM 復元時の値

FREQUENCY_SWITCH [3:0]		SW 周波数 (MHz)
以下と等しいか大きい:	より小さい	
	0100b (4d)	0.4
0100b (4d)	0110b (6d)	0.6
0110b (6d)	0111b (7d)	0.8
0111b (7d)	1001b (9d)	1.0
1001b (9d)	1010b (10d)	1.2
1010b (10d)	1101b (13d)	1.4
1101b (13d)	1111b (15d)	1.8
1111b (15d)	16d	2.0

表 7-23. FREQUENCY_SWITCH のピン ストラップ値 - 詳細については、MSEL2 を参照してください

FREQUENCY_SWITCH [3:0]		SW 周波数 (MHz)
以下と等しいか大きい:	より小さい	
0100b (4d)	0110b (6d)	0.6
0110b (6d)	0111b (7d)	0.8

Copyright © 2025 Texas Instruments Incorporated

表 7-23. FREQUENCY_SWITCH のピン ストラップ値 - 詳細については、MSEL2 を参照してください (続き)

FREQUENCY_SWITCH [3:0]		SW 周波数 (MHz)
以下と等しいか大きい:	より小さい	
0111b (7d)	1001b (9d)	1.0
1010b (10d)	1101b (13d)	1.4

データの有効性

FREQUENCY_SWITCH を有効として指定された値外の任意の値に書き込もうとすると、無効 / サポートされていないデータと見なされ、適切なステータス ビットにフラグを立てて、PMBus 1.3.1 Part II 仕様のセクション 10.9.3 に従ってホストに通知することでデバイスが応答します。

Copyright © 2025 Texas Instruments Incorporated

7.25 (35h) VIN_ON

CMD アドレス	35h
書き込みトランザクション:	書き込みバイト
読み取りトランザクション:	読み出しバイト
フォーマット:	LINEAR11
NVM バックアップ:	EEPROM
更新内容:	オンザフライ

VIN_ON コマンドは、ユニットが電力変換を開始する PVIN 入力電圧の値 (ボルト単位) を設定します。

サポートされている PMBus コマンドに戻ります。

図 7-32. (35h) VIN_ON レジスタ マップ

15	14	13	12	11	10	9	8
R	R	R	R	R	R	R	R
指数					VIN_ON		
7	6	5	4	3	2	1	0
R	R	R	R	RW	RW	RW	RW
VIN_ON							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-24. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:11	指数	R	0 0000b	線形形式の 2 の補数指数。指数が 0 に固定され、1V LSB になります。
10:4	VIN_ON	R	000 0000b	使用されず、常に 0 に設定されます。
3:0	VIN_ON	RW	NVM	線形形式の 2 の補数仮数部。

STATUS_INPUT レジスタの PVIN_UVF 状態は、検出された入力電圧がパワーオン リセット後、初めて VIN_ON スレッショルドを超えるまで、マスクされることに注意してください。EN ピンがトグルし、NVM の保存または復元動作では、このマスクはリセットされません。

表 7-25. VIN_ON がサポートしている値と EEPROM 復元時の値

VIN_ON [3:0]		VIN_ON (V)
以下と等しいか大きい:	より小さい	
10d	16d	10
9d	10d	9
8d	9d	8
7d	8d	7
6d	7d	6
5d	6d	5
3d	5d	3.8
0d	3d	2.5

Copyright © 2025 Texas Instruments Incorporated

7.26 (36h) VIN_OFF

CMD アドレス	36h
書き込みトランザクション:	書き込みバイト
読み取りトランザクション:	読み出しバイト
フォーマット:	LINEAR11
NVM バックアップ:	EEPROM
更新内容:	オンザフライ

VIN_OFF コマンドは、ユニットが電力変換を停止する PVIN 入力電圧の値（ボルト単位）を設定します。ON_OFF_CONFIG で定義された電力変換イネーブル条件が満たされ、PVIN が選択した VIN_OFF スレッショルドを下回ると、電力変換はオフになり、STATUS_INPUT の PVIN_UVF ビットが設定されます。

サポートされている PMBus コマンドに戻ります。

図 7-33. (35h) VIN_OFF レジスタ マップ

15	14	13	12	11	10	9	8
R	R	R	R	R	R	R	R
指数					VIN_OFF		
7	6	5	4	3	2	1	0
R	R	R	R	RW	RW	RW	RW
VIN_OFF							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-26. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:11	指数	R	0 0000b	線形形式の 2 の補数指数。指数が 0 に固定され、1V LSB になります。
10:4	VIN_ON	R	000 0000b	使用されず、常に 0 に設定されます。
3:0	VIN_ON	RW	NVM	線形形式の 2 の補数仮数部。

(36h) VIN_OFF スレッショルドを (35h) VIN_ON スレッショルド設定することはできますが、推奨されません。また、変換と望ましくない動作を迅速にイネーブルとディスエーブルにする可能性があります。VIN_ON スレッショルドは常に、VIN_OFF スレッショルドより大きい値に設定してください。

表 7-27. VIN_OFF がサポートしている値と EEPROM 復元時の値

VIN_OFF [3:0]		VIN_OFF (V)
以下と等しいか大きい:	より小さい	
10d	16d	9.5
9d	10d	8.5
8d	9d	7.5
7d	8d	6.5
6d	7d	5.5
5d	6d	4.2
3d	5d	3.6
0d	3d	2.3

Copyright © 2025 Texas Instruments Incorporated

7.27 (39h) IOUT_CAL_OFFSET

CMD アドレス	39h
書き込みトランザクション:	書き込みバイト
読み取りトランザクション:	読み出しバイト
フォーマット:	LINEAR11
NVM バックアップ:	EEPROM
更新内容:	オンザフライ

IOUT_CAL_OFFSET は、ユーザー キャリブレーション用に、READ_IOUT で通知する前にオフセット電流を加算または減算する (負の場合) ために使用されます。IOUT_CAL_OFFSET で負のオフセットを選択して負の値が得られても、READ_IOUT の最小値は 0 にクランプされます。

サポートされている PMBus コマンドに戻ります。

図 7-34. (39h) IOUT_CAL_OFFSET

15	14	13	12	11	10	9	8
R	R	R	R	R	R	R	R
指数					IOUT_CAL_OFFSET_SIG_EXT		
7	6	5	4	3	2	1	0
R	R	R	R	R/W	R/W	R/W	R/W
IOUT_CAL_OFFSET_SIG_EXT				IOUT_CAL_OFFSET_MAN			

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-28. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:11	指数	R	1 1110	線形形式の 2 の補数指数。指数が -2 に固定され、0.25A LSB になります。
10:4	IOUT_CAL_OFFSET_SIG_EXT	R	ビット 3 が 0 の場合は 000 0000b、ビット 3 が 1 の場合は 111 1111b	これらのビットは、IOUT_CAL_OFFSET_MAN のビット 3 の符号を残りの仮数部まで拡張するために使用されます。
3:0	IOUT_CAL_OFFSET_MAN	RW	NVM	IOUT_CAL_OFFSET_MAN の仮数部 最大 +7d (0111b) は +1.75A のオフセットです 最小 -8d (1000b) は -2A のオフセットです

Copyright © 2025 Texas Instruments Incorporated

7.28 (40h) VOUT_OV_FAULT_LIMIT

CMD アドレス	40h
書き込みトランザクション:	書き込みバイト
読み取りトランザクション:	読み出しバイト
フォーマット:	ULINEAR16、(20h) VOUT_MODE あたりの相対値
NVM バックアップ:	EEPROM
更新内容:	オンザフライ

VOUT_OV_FAULT_LIMIT コマンドは、出力過電圧故障の原因となる (VOSNS-GOSNS) ピンで検出される出力電圧の値を設定します。VOUT_OV_FAULT_LIMIT ビットは、VOUT_COMMAND で命令される現在の VOUT 設定に対して、過電圧故障スレッショルドを設定します。VOUT トラッキング OVF 機能は、ソフト スタート ランプの完了後に有効になります。

過電圧故障状態の後、デバイスは VOUT_OV_FAULT_RESP に従って応答します。

サポートされている PMBus コマンドに戻ります。

図 7-35. (40h) VOUT_OV_FAULT_LIMIT レジスタ マップ

15	14	13	12	11	10	9	8
R	R	R	R	R	RW	RW	RW
予約済み					VOUT_OV_FAULT_LIMIT		
7	6	5	4	3	2	1	0
RW	RW	RW	RW	RW	RW	RW	RW
VOUT_OV_FAULT_LIMIT							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-29. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:11	予約済み	R	000000b	使用されず、常に 0 に設定されます。
10:0	VOUT_OV_FAULT_LIMIT	R/W	NVM	過電圧故障スレッショルドを設定します。

表 7-30. VOUT_OV_FAULT_LIMIT がサポートしている値と EEPROM 復元時の値

VOUT_OV_FAULT_LIMIT [10:0]		VOUT_OVF (V)
以下と等しいか大きい:	より小さい	
	584d	12%
584d	604d	16%
604d	666d	20%
666d	2048d	50%

Copyright © 2025 Texas Instruments Incorporated

7.29 (41h) VOUT_OV_FAULT_RESPONSE

CMD アドレス	41h
書き込みトランザクション:	書き込みバイト
読み取りトランザクション:	読み出しバイト
フォーマット:	符号なしバイナリ (1 バイト)
NVM バックアップ:	EEPROM
更新内容:	オンザフライ

VOUT_OV_FAULT_RESPONSE コマンドは、出力過電圧故障に応答してどのアクションを実行するかをデバイスに指示します。これには、VOUT_OV_FAULT_LIMIT と、SYS_CFG_USER1 で選択された SEL_FIX_OVF でプログラムされた故障制限の両方が含まれます。また、本デバイスは、

- STATUS_BYTE の OVF ビットを設定します
- STATUS_WORD の VFW ビットを設定します
- STATUS_VOUT の OVF ビットを設定します
- SMB_ALERT# ピンを介してホストに通知します。

サポートされている PMBus コマンドに戻ります。

図 7-36. (41h) VOUT_OV_FAULT_RESPONSE レジスタ マップ

7	6	5	4	3	2	1	0
RW	R	RW	RW	RW	R	R	R
IGNRZ_OV	0	RS_OV			TD_OV		

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-31. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
7	IGNRZ_OV	RW	1b	出力過電圧時の応答設定 0b: デバイスは、割り込みなしで動作を継続します (すなわち、故障を無視します) (ビット [7] IGNRZ_OV が**アクティブ Low** であるため、IGNRZ_OV = 0 のときは故障は無視されます)。 1b: デバイスはシャットダウン (出力をディスエーブル) し、RS_OV ビットの再試行設定に従って応答します。 なお、OV 故障が発生しても IGNRZ_OV が故障 (0b)を無視するように設定されており、CLEAR_FAULTS によって故障ステータスがクリアされなかった場合、そして IGNRZ_OV が 1b に変更された場合、デバイスは RS_OV および TD_OV で設定された以前の故障に応答します。
6		R	0b	使用されず、常に 0 に設定されます。
5:3	RS_OV	RW	NVM	出力電圧が過電圧時の再試行設定。 000b: 故障後のラッチオフ。VCC のパワー サイクルまたは EN のトグルによって、電力変換を再開できます。 111b: 52ms の遅延後に自動的に再起動します。再起動の試行回数に制限はありません。 000b または 111b 以外の値は受け付けられず、そのような試行は、無効データまたはサポートされていないデータ (ivd) とみなされ、デバイスは ivd の記述に従って応答します。 3 ビットがすべて同じである必要があるため、1 ビット (ビット 5) のみが EEPROM に保存されます。

Copyright © 2025 Texas Instruments Incorporated

表 7-31. レジスタのフィールドの説明 (続き)

ビット	フィールド	アクセス権	リセット	説明
2:0	TD_OV	R	000b	出力過電圧時の再試行時間遅延の設定。 000b：このデバイスは再起動を遅延させず、RS_OV = 000b でのみサポートされています。故障がクリアされるまで、出力はディスエーブルのまま維持されます。 111b：デバイスは、通常の起動を実行するまで 52ms 待機します。これは、RS_OV = 111b の場合にのみサポートされます。 これらのビットは RS_OV 値を直接反映しています。 これらの読み取り専用ビットに書き込まれた値はすべて無視されます。

Copyright © 2025 Texas Instruments Incorporated

7.30 (42h) VOUT_OV_WARN_LIMIT

データの有効性

CMD アドレス	42h
書き込みトランザクション:	書き込みワード
読み取りトランザクション:	読み出しワード
フォーマット:	ULINEAR16、(20h) VOUT_MODE あたりの相対値
NVM バックアップ:	EEPROM
更新内容:	オンザフライ

VOUT_OV_WARN_LIMIT コマンドは、高出力電圧時の警告の原因となる (VOSNS-GOSNS) ピンで検出される出力電圧の値を設定します。この値は通常、出力過電圧故障スレッショルドよりも低くなっています。

検出された出力電圧が VOUT_OV_WARN_LIMIT スレッショルドを超えると、STATUS_VOUT レジスタの OVW ビットが設定されます。

サポートされている PMBus コマンドに戻ります。

図 7-37. (42h) VOUT_OV_WARN_LIMIT レジスタ マップ

15	14	13	12	11	10	9	8
R	R	R	R	R	RW	RW	RW
予約済み					VOUT_OV_WARN_LIMIT		
7	6	5	4	3	2	1	0
RW	RW	RW	RW	RW	RW	RW	RW
VOUT_OV_WARN_LIMIT							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-32. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:11	予約済み	R	000000b	使用されず、常に 0 に設定されます。
10:0	VOUT_OV_WARN_LIMIT	R/W	NVM	過電圧警告スレッショルドの設定

書き込み可能ビット内のすべての仮数部バイナリ値は、書き込み可能で読み取り可能です。ただし、実際の分周器は、サポートされている最も近い値に設定されます。また、EEPROM から復元された仮数部の値は、ハードウェアでサポートされている各設定に対して固定されます。

表 7-33. VOUT_OV_WARN_LIMIT がサポートしている値と EEPROM 復元時の値

VOUT_OV_WARN_LIMIT [10:0]		VOUT_OVW (V)
以下と等しいか大きい:	より小さい	
	560d	8%
560d	584d	12%
584d	624d	16%
624d	2048d	28%

データの有効性

Copyright © 2025 Texas Instruments Incorporated

VOUT_OV_WARN_LIMIT を有効として指定された値外の任意の値に書き込もうとすると、無効 / サポートされていないデータと見なされ、適切なステータス ビットにフラグを立てて、PMBus 1.3.1 Part II 仕様のセクション 10.9.3 に従ってホストに通知することでデバイスが応答します。

Copyright © 2025 Texas Instruments Incorporated

7.31 (43h) VOUT_UV_WARN_LIMIT

データの有効性

CMD アドレス	43h
書き込みトランザクション:	書き込みワード
読み取りトランザクション:	読み出しワード
フォーマット:	ULINEAR16、(20h) VOUT_MODE あたりの相対値
NVM バックアップ:	EEPROM
更新内容:	オンザフライ

VOUT_UV_WARN_LIMIT コマンドは、低出力電圧時の警告の原因となる (VOSNS-GOSNS) ピンで検出される出力電圧の値を設定します。この値は通常、出力低電圧故障スレッショルドよりも低い負の値になっています。

検出された出力電圧が VOUT トラッキング UVW スレッショルドを下回ると、STATUS_VOUT レジスタの UVW ビットが設定されます。

サポートされている PMBus コマンドに戻ります。

図 7-38. (43h) VOUT_UV_WARN_LIMIT レジスタ マップ

15	14	13	12	11	10	9	8
R	R	R	R	R	R	RW	RW
予約済み						VOUT_UV_WARN_LIMIT	
7	6	5	4	3	2	1	0
RW	RW	RW	RW	RW	RW	RW	RW
VOUT_UV_WARN_LIMIT							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-34. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:10	予約済み	R	000000b	使用されず、常に 0 に設定されます。
10:0	VOUT_OV_WARN_LIMIT	R/W	NVM	低電圧警告スレッショルドを設定します。

書き込み可能ビット内のすべての仮数部バイナリ値は、書き込み可能で読み取り可能です。ただし、実際の分周器は、サポートされている最も近い値に設定されます。また、EEPROM から復元された仮数部の値は、ハードウェアでサポートされている各設定に対して固定されます。

表 7-35. VOUT_UV_WARN_LIMIT がサポートしている値と EEPROM 復元時の値

VOUT_UV_WARN_LIMIT [10:0]		VOUT_UVW (V)
以下と等しいか大きい:	より小さい	
480d	1024d	-4%
464d	480d	-8%
440d	464d	-12%
416d	440d	-16%
400d	416d	-20%
384d	400d	-24%
360d	384d	-28%
	360d	-32%

Copyright © 2025 Texas Instruments Incorporated

7.32 (44h) VOUT_UV_FAULT_LIMIT

データの有効性

CMD アドレス	44h
書き込みトランザクション:	書き込みワード
読み取りトランザクション:	読み出しワード
フォーマット:	ULINEAR16、(20h) VOUT_MODE あたりの相対値
NVM バックアップ:	EEPROM
更新内容:	オンザフライ

VOUT_UV_FAULT_LIMIT コマンドは、出力低電圧故障の原因となる (VOSNS-GOSNS) ピンで検出される出力電圧の値を設定します。SEL_UVF ビットは、VOUT_COMMAND で命令される現在の VOUT 設定に対して、低電圧故障スレッショルドを設定します。VOUT トラッキング UVF 機能は、ソフト スタート ランプの完了後に有効になります。

低電圧故障条件がトリガされると、デバイスは VOUT_UV_FAULT_RESPONSE に従って応答します。

サポートされている PMBus コマンドに戻ります。

図 7-39. (44h) VOUT_UV_FAULT_LIMIT レジスタ マップ

15	14	13	12	11	10	9	8
R	R	R	R	R	R	RW	RW
予約済み						VOUT_UV_FAULT_LIMIT	
7	6	5	4	3	2	1	0
RW	RW	RW	RW	RW	RW	RW	RW
VOUT_UV_FAULT_LIMIT							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-36. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:10	予約済み	R	000000b	使用されず、常に 0 に設定されます。
9:0	VOUT_UV_FAULT_LIMIT	R/W	NVM	低電圧故障スレッショルドを設定します。

書き込み可能ビット内のすべての仮数部バイナリ値は、書き込み可能で読み取り可能です。ただし、実際の分周器は、サポートされている最も近い値に設定されます。また、EEPROM から復元された仮数部の値は、ハードウェアでサポートされている各設定に対して固定されます。

VOUT_UV_FAULT_LIMIT を有効として指定された値外の任意の値に書き込もうとすると、無効 / サポートされていないデータと見なされ、適切なステータス ビットにフラグを立てて、PMBus 1.3.1 Part II 仕様のセクション 10.9.3 に従ってホストに通知することでデバイスが応答します。

表 7-37. VOUT_UV_FAULT_LIMIT がサポートしている値と EEPROM 復元時の値

VOUT_UV_FAULT_LIMIT [10:0]		VOUT_UVF (V)
以下と等しいか大きい:	より小さい	
410d	1024d	-16%
369d	410d	-24%
328d	369d	-32%
	328d	-50%

Copyright © 2025 Texas Instruments Incorporated

7.33 (45h) VOUT_UV_FAULT_RESPONSE

CMD アドレス	45h
書き込みトランザクション:	書き込みバイト
読み取りトランザクション:	読み出しバイト
フォーマット:	符号なしバイナリ (1 バイト)
NVM バックアップ:	EEPROM
更新内容:	オンザフライ

VOUT_UV_FAULT_RESPONSE コマンドは、出力低電圧故障に応答してどのアクションを実行するかをデバイスに指示します。この故障制限値は、VOUT_UV_FAULT_LIMIT にプログラムされます。また、本デバイスは、

- STATUS_BYTE の UVF ビットを設定します
- STATUS_WORD の VFW ビットを設定します
- STATUS_VOUT の UVF ビットを設定します
- SMB_ALERT# ピンを介してホストに通知します。

サポートされている PMBus コマンドに戻ります。

図 7-40. (45h) VOUT_UV_FAULT_RESPONSE レジスタ マップ

7	6	5	4	3	2	1	0
RW	R	R/W	R/W	R/W	R	R/W	R/W
0	IGNRZ_UV	RS_UV			TD_UV		

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-38. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
7	0	R	0b	使用されず、常に 0 に設定されます。このビットに 1 を書き込むと、NACk と ivd が生成されます。
6	IGNRZ_UV	RW	1b	出力低電圧時の応答設定 0b: デバイスは、割り込みなしで動作を継続します (すなわち、故障を無視します) (ビット [6] IGNRZ_UV が**アクティブ Low** であるため、IGNRZ_OV = 0 のときは故障は無視されます)。 1b: 本デバイスは、TD_UV で指定された遅延時間にわたって動作を継続します。遅延時間の終了時に故障状態がまだ存在する場合、ユニットは再試行設定でプログラムされたとおりに応答します。 なお、UV 故障が発生しても IGNRZ_UV が故障 (0b)を無視するように設定されており、CLEAR_FAULTS によって故障ステータスがクリアされなかった場合、そして IGNRZ_UV が 1b に変更された場合、デバイスは RS_UV および TD_UV で設定された以前の故障に応答します。
5:3	RS_UV	RW	NVM	出力電圧が低電圧時の再試行設定。 000b: 故障後のラッチオフ。故障がクリアされるまで、デバイスはディスエーブルのまま維持されます。VCC のパワー サイクルまたは EN のトグルによって、電力変換を再開できます。 111b: コマンド送信でオフにするか、バイアス電力が取り除かれるか、または別の故障状態によってユニットがシャットダウンするまで、52ms の遅延後に自動的に再起動します。再起動の試行回数に制限はありません。 000b または 111b 以外の値は受け付けられず、そのような試行は、無効データまたはサポートされていないデータ (ivd) とみなされ、デバイスは ivd の記述に従って応答します。 3 ビットがすべて同じである必要があるため、1 ビット (ビット 5) のみが EEPROM に保存されます。

Copyright © 2025 Texas Instruments Incorporated

表 7-38. レジスタのフィールドの説明 (続き)

ビット	フィールド	アクセス権	リセット	説明
2:0	TD_UV	R	000b	出力低電圧時の再試行応答遅延時間の設定ヒカップ時間は常に 52ms ですが、次のビット [1:0] 設定で応答を遅延させることができます。遅延カウンタが満了する前に故障状態が解消した場合、遅延カウンタは 0 にリセットされ、出力はディスエーブルされません。ビット 2 は読み取り専用であり、常に 0 です。ビット 2 への 1 の書き込みは無視されます。 000b：2µs 001b：16µs 010b：64µs 011b：256µs

7.34 (46h) IOUT_OC_FAULT_LIMIT

CMD アドレス	46h
書き込みトランザクション:	書き込みワード
読み取りトランザクション:	読み出しワード
フォーマット:	LINEAR11
位相:	あり
NVM バックアップ:	EEPROM またはピン検出
更新内容:	オンザフライ

IOUT_OC_FAULT_LIMIT コマンドは、過電流検出器が過電流故障状態を通知する出力電流の値を設定します。ここで選択したスレッショルドは、検出されたローサイド バレー電流と比較されます。詳細については、「過電流制限およびローサイド電流センス」を参照してください。

サポートされている PMBus コマンドに戻ります。

図 7-41. (46h) IOUT_OC_FAULT_LIMIT レジスタ マップ

15	14	13	12	11	10	9	8
R	R	R	R	R	R	R	R
指数					IOUT_OC_FAULT_LIMIT		
7	6	5	4	3	2	1	0
R* または R/W**	R* または R/W**	R/W	R/W	R/W	R/W	R/W	R/W
IOUT_OC_FAULT_LIMIT							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-39. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:11	指数	R	00000b	線形形式の 2 の補数指数。指数は、他の設定を使用して自動的に構成され、その結果は次のようになります 1b: 0.5A (LSB) 0b: 1A (LSB)
10:8	予約済み	R	00000b	使用されず、常に 0 に設定されます。
7	IOUT_OC_FAULT_LIMIT	R* または R/W**	0b	* STACK_NUMBER[1:0] = 1b の場合、ビット 7 は読み取り専用です。 ** STACK_NUMBER[1:0] が 2b より大きい場合、P2_PLUS_WRITE コマンドおよび P2_PLUS_READ コマンドへの応答の説明に記載されているように、ビット 7 は読み取りおよび書き込み可能です。
6	IOUT_OC_FAULT_LIMIT	R* または R/W***	0b	* STACK_NUMBER[1:0] = 1b の場合、ビット 6 は読み取り専用です。 ** STACK_NUMBER[1:0] が 1b より大きい場合、P2_PLUS_WRITE コマンドおよび P2_PLUS_READ コマンドへの応答の説明に記載されているように、ビット 6 は読み取りおよび書き込み可能です。
5:0	IOUT_OC_FAULT_LIMIT	R/W	NVM	これらのビットは、I_{OUT} のバレー電流制限スレッショルドを選択します。

データの有効性

書き込み可能ビット内のすべての仮数部バイナリ値は、書き込み可能で読み取り可能です。ただし、実際の分周器は、サポートされている最も近い値に設定されます。また、EEPROM から復元された仮数部の値は、ハードウェアでサポートされている各設定に対して固定されます。

Copyright © 2025 Texas Instruments Incorporated

* STACK_NUMBER[1:0] = 1b の場合、読み取り専用ビット (IOUT_OC_FAULT_LIMIT[15:8]) を変更しようとすると、無効 / サポートされていないデータと見なされます。デバイスはサポートされていないデータに対して NACK 応答し、受信した値は無視されます。STATUS_BYTE の「cml」ビットと STATUS_CML レジスタの「ivd」ビットが設定されます。

** 読み取り / 書き込みビット (IOUT_OC_FAULT_LIMIT[7]) を変更しようとすると、STACK_NUMBER[1:0] が 2b よりも大きい場合のみ、有効なデータと見なされます。

*** 読み取り / 書き込みビット (IOUT_OC_FAULT_LIMIT[6]) を変更しようとすると、STACK_NUMBER[1:0] が 1b よりも大きい場合のみ、有効なデータと見なされます。

表 7-40. IOUT_OC_FAULT_LIMIT がサポートしている値と EEPROM 復元時の値

IOUT_OC_FAULT_LIMIT [5:0]		IOUT_OC (A)
以下と等しいか大きい:	より小さい	
	14d	12.5
14d	17d	15
17d	22d	18.75
22d	25d	23.75
25d	28d	26.25
28d	33d	30 (60%)
33d	37d	35
37d	39d	37.5
39d	42d	40 (80%)
42d	47d	43.75
47d	50d	48.75
50d	53d	50 (100%)
53d	58d	55
58d		60

P2_PLUS_WRITE コマンドへの応答

コマンドの位相データを FFh に設定した状態で、PMBus ホストが IOUT_OC_FAULT_LIMIT への P2+ 書き込みを実行しようとすると、命令された正味の「スタック OC」レベルを個別の「位相 OC」設定として位相に均等に分割することが期待されます。これを実現するため、デバイスは以下の手順を実行します。

- STACK_NUMBER[1:0] が 2 (2 相動作) の場合、受信したスタック OC レベルの命令値に 1 を加算し、その後 1 ビット右シフト (2 で除算し、切り**上げ**) することで、個別の位相 OC レベルに変換されます。その後、結果として得られる位相 OC レベルは、上記の IOUT__OC_FAULT_LIMIT 表に基づいて、適切な IOUT_OC 値にバインドされます。
- STACK_NUMBER[1:0] が 4 (4 相動作) の場合、受信したスタック OC レベルの命令値に 2 を加算し、その後 2 ビット右シフト (4 で除算し、切り**上げ**) することで、個別の位相 OC レベルに変換されます。その後、結果として得られる位相 OC レベルは、上記の IOUT_OC_FAULT_LIMIT 表に基づいて、適切な IOUT_OC 値にバインドされます。
- STACK_NUMBER[1:0] が 3 (3 相動作) の場合、受信したスタック OC レベルの命令値は、以下の表を使用して、位相 IOUT_OC 値に直接変換されます。

表 7-41. 3 相スタック OC IOUT_OC_FAULT_LIMIT がサポートしている値と EEPROM 復元時の値

3 相スタック OC コマンド [5:0]		位相 IOUT_OC (A)
以下と等しいか大きい:	より小さい	
	42d	12.5
42d	51d	15
51d	64d	18.75
64d	75d	23.75
75d	85d	26.25

Copyright © 2025 Texas Instruments Incorporated

表 7-41. 3 相スタック OC IOUT_OC_FAULT_LIMIT がサポートしている値と EEPROM 復元時の値 (続き)

3 相スタック OC コマンド [5:0]		位相 IOUT_OC (A)
以下と等しいか大きい:	より小さい	
85d	98d	30 (60%)
98d	109d	35
109d	117d	37.5
117d	126d	40 (80%)
126d	139d	43.75
139d	148d	48.75
148d	158d	50 (100%)
158d	173d	55
173d		60

P2_PLUS_READ コマンドへの応答

コマンドの位相データを **FFh** に設定した状態で、PMBus ホストが IOUT_OC_FAULT_LIMIT で P2+ 読み取りを実行しようとすると、1 次デバイスのみが PHASE = FFh の受信データを含む P2+ 読み取りコマンドに応答します。1 次デバイスは、IOUT_OC レベルに STACK_NUMBER を乗算し、製品を PMBus に報告します。たとえば、3 相レールの 1 次位相で IOUT_OC が 24A の場合、位相 = FFh を持つ P2+ 読み取りでは、読み戻し値として 24 x 3 = 72A が得られます。

Copyright © 2025 Texas Instruments Incorporated

7.35 (48h) IOUT_OC_LV_FAULT_LIMIT

CMD アドレス	48h
書き込みトランザクション:	該当なし
読み取りトランザクション:	読み出しバイト
フォーマット:	ULINEAR16、(20h) VOUT_MODE あたりの相対値
NVM バックアップ:	いいえ、(44h) VOUT_UV_FAULT_LIMIT で設定します
更新内容:	オンザフライ

IOUT_OC_FAULT_LIMIT は、その部品が電流制限条件で動作しているときの UV 故障宣言に対する電圧スレッショルドを定義します。OC 制限条件で動作している場合、これらのビットは、部品がシャットダウンする VOUT UV 故障スレッショルドのトラッキングオプションを選択し、VOUT_MODE で指定された LSB に基づいて相対的な形式で指定します。この設計では、これらの設定と、(44h) VOUT_UV_FAULT_LIMIT による設定とは区別されないため、このレジスタの内容は (44h) VOUT_UV_FAULT_LIMIT から直接コピーされ、読み取り専用で利用できます。

サポートされている PMBus コマンドに戻ります。

図 7-42. (44h) IOUT_OC_LV_FAULT_LIMIT レジスタ マップ

15	14	13	12	11	10	9	8
R	R	R	R	R	R	R	R
予約済み					IOUT_OC_LV_FAULT_LIMIT		
7	6	5	4	3	2	1	0
R	R	R	R	R	R	R	R
IOUT_OC_LV_FAULT_LIMIT							

Copyright © 2025 Texas Instruments Incorporated

7.36 (49h) IOUT_OC_LV_FAULT_RESPONSE

CMD アドレス	49h
書き込みトランザクション:	該当なし
読み取りトランザクション:	読み出しバイト
フォーマット:	符号なしバイナリ (2 バイト)
NVM バックアップ:	いいえ
更新内容:	オンザフライ

IOUT_OC_LV_FAULT_RESPONSE レジスタは、その部品が電流制限条件で動作しているときの UV 故障宣言に対する応答を定義します。故障を検出すると、デバイスは以下のことを行います。

- STATUS_BYTE の IOUT_OC_FAULT ビットを設定します
- STATUS_WORD の IOUT ビットを設定します
- STATUS_IOUT の OCUV ビットを設定します
- SMB_ALERT# ピンを介してホストに通知します。

サポートされている PMBus コマンドに戻ります。

図 7-43. (49h) IOUT_OC_LV_FAULT_RESPONSE レジスタ マップ

7	6	5	4	3	2	1	0
R	R	R	R	R	R	R	R
0	IGNRZ_OC_LV	RS_OC_LV			TD__OC_LV		

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-42. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
7	0	R	0b	使用されず、常に 0 に設定されます。
6	IGNRZ_OC_LV	R	1b	OC 時の出力過電圧応答設定。これらのビットは VOUT_UV_FAULT_RESPONSE から直接コピーされ、このレジスタにおいて読み取り専用で利用できます。 0b: デバイスは、割り込みなしで動作を継続します (すなわち、故障を無視します) (ビット [6] IGNRZ_UV が**アクティブ Low** であるため、IGNRZ_OV = 0 のときは故障は無視されます)。 1b: 本デバイスは、TD_OC_LV で指定された遅延時間にわたって動作を継続します。遅延時間の終了時に故障状態がまだ存在する場合、ユニットは再試行設定でプログラムされたとおりに応答します。
5:3	RS_OC_LV	R	NVM	出力電圧が低電圧時の再試行設定。これらのビットは VOUT_UV_FAULT_RESPONSE から直接コピーされ、このレジスタにおいて読み取り専用で利用できます。 000b: 故障後のラッチオフ。故障がクリアされるまで、デバイスはディスエーブルのまま維持されます。VCC のパワー サイクルまたは EN のトグルによって、電力変換を再開できます。 111b: コマンド送信でオフにするか、バイアス電力が取り除かれるか、または別の故障状態によってユニットがシャットダウンするまで、52ms の遅延後に自動的に再起動します。再起動の試行回数に制限はありません。 000b または 111b 以外の値は受け付けられず、そのような試行は、無効データまたはサポートされていないデータ (ivd) とみなされ、デバイスは ivd の記述に従って応答します。3 ビットがすべて同じである必要があるため、1 ビット (ビット 5) のみが EEPROM に保存されます。

Copyright © 2025 Texas Instruments Incorporated

表 7-42. レジスタのフィールドの説明 (続き)

ビット	フィールド	アクセス権	リセット	説明
2:0	TD_OC_LV	R	000b	出力低電圧時の再試行応答遅延時間の設定これらのビットは VOUT_UV_FAULT_RESPONSE から直接コピーされ、このレジスタにおいて読み取り専用で利用できます。 ヒカップ時間は常に 52ms ですが、次のビット [1:0] 設定で応答を遅延させることができます。遅延カウンタが満了する前に故障状態が解消した場合、遅延カウンタは 0 にリセットされ、出力はディスエーブルされません。ビット 2 は読み取り専用であり、常に 0 です。 000b：2µs 001b：16µs 010b：64µs 011b：256µs

7.37 (4Ah) IOUT_OC_WARN_LIMIT

CMD アドレス	46h
書き込みトランザクション:	書き込みワード
読み取りトランザクション:	読み出しワード
フォーマット:	LINEAR11
位相:	あり
NVM バックアップ:	EEPROM
更新内容:	オンザフライ

IOUT_OC_WARN_LIMIT コマンドは、過電流検出器が過電流警告状態を通知する出力電流の平均値を設定します。

サポートされている PMBus コマンドに戻ります。

図 7-44. (46h) IOUT_OC_WARN_LIMIT レジスタ マップ

15	14	13	12	11	10	9	8
R	R	R	R	R	R	R	R
指数					IOUT_OC_WARN_LIMIT		
7	6	5	4	3	2	1	0
R	R	RW	RW	RW	RW	RW	RW
IOUT_OC_WARN_LIMIT							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-43. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:11	指数	R	00000b	線形形式の 2 の補数指数。指数は、他の設定を使用して自動的に構成され、その結果は次のようになります 0b: 1A (LSB)
10:6	予約済み	R	00000b	使用されず、常に 0 に設定されます。
5:0	IOUT_OC_WARN_LIMIT	R/W	NVM	これらのビットは、平均 I_{OUT} 警告スレッショルドを選択します。

データの有効性

書き込み可能ビット内のすべての仮数部バイナリ値は、書き込み可能で読み取り可能です。ただし、実際の分周器は、サポートされている最も近い値に設定されます。また、EEPROM から復元された仮数部の値は、ハードウェアでサポートされている各設定に対して固定されます。

読み取り専用ビット (IOUT_OC_WARN_LIMIT[15:6]) を変更しようとすると、無効 / サポートされていないデータと見なされます。デバイスはサポートされていないデータに対して NACK 応答し、受信した値は無視されます。STATUS_BYTE の「cml」ビットと (7Eh) STATUS_CML レジスタの「ivd」ビットが設定されます。

表 7-44. IOUT_OC_WARN_LIMIT がサポートしている値と EEPROM 復元時の値

IOUT_OC_WARN_LIMIT [5:0]		IOUT_OCW (A)
以下と等しいか大きい:	より小さい	
	8d	5
8d	13d	10
13d	18d	15
18d	23d	20

Copyright © 2025 Texas Instruments Incorporated

表 7-44. IOUT_OC_WARN_LIMIT がサポートしている値と EEPROM 復元時の値 (続き)

IOUT_OC_WARN_LIMIT [5:0]		IOUT_OCW (A)
以下と等しいか大きい:	より小さい	
23d	28d	25
28d	33d	30
33d	38d	35
38d	43d	40
43d	48d	45
48d	53d	50
53d		55

P2_PLUS_WRITE コマンドへの応答

コマンドの位相データを FFh に設定した状態で、PMBus ホストが IOUT_OC_WARN_LIMIT への P2+ 書き込みを実行しようとすると、命令された正味の「スタック OCW」レベルを個別の「位相 OCW」設定として位相に均等に分割することが期待されます。これを実現するため、デバイスは以下の手順を実行します。

- STACK_NUMBER[1:0] が 2 (2 相動作) の場合、受信したスタック OCW レベルの命令値に 1 を加算し、その後 1 ビット右シフト (2 で除算し、切り**上げ**) することで、個別の位相 OCW レベルに変換されます。その後、結果として得られる位相 OCW レベルは、上記の IOUT_OC_WARN_LIMIT 表に基づいて、適切な IOUT_OCW 値にバインドされます。
- STACK_NUMBER<1:0> が 4 (4 相動作) の場合、受信したスタック OCW レベルの命令値に 2 を加算し、その後 2 ビット右シフト (4 で除算し、切り**上げ**) することで、個別の位相 OCW レベルに変換されます。その後、結果として得られる位相 OCW レベルは、上記の IOUT_OC_WARN_LIMIT 表に基づいて、適切な IOUT_OCW 値にバインドされます。
- STACK_NUMBER<1:0> が 3 (3 相動作) の場合、受信したスタック OCW レベルの命令値は、以下の表を使用して、位相 IOUT_OCW 値に直接変換されます。

表 7-45. 3 相スタック OCW IOUT_OC_WARN_LIMIT がサポートしている値と EEPROM 復元時の値

3 相スタック OCW コマンド [5:0]		位相 IOUT_OC (A)
以下と等しいか大きい:	より小さい	
	23d	5
33d	38d	10
41d	53d	15
51d	68d	20
60d	83d	25
68d	98d	30
78d	113d	35
87d	128d	40
93d	143d	45
101d	158d	50
111d	159d	55

P2_PLUS_READ コマンドへの応答

コマンドの位相データを FFh に設定した状態で、PMBus ホストが IOUT_OC_WARN_LIMIT で P2+ 読み取りを実行しようとすると、1 次デバイスのみが PHASE = FFh の受信データを含む P2+ 読み取りコマンドに応答します。1 次デバイスは、IOUT_OCW レベルに STACK_NUMBER を乗算し、製品を PMBus に報告します。たとえば、3 相レールの 1 次

Copyright © 2025 Texas Instruments Incorporated

位相で IOUT_OCW が 25A の場合、位相 = FFh を持つ P2+ 読み取りでは、読み戻し値として 25 x 3 = 75A が得られます。

Copyright © 2025 Texas Instruments Incorporated

7.38 (4Fh) OT_FAULT_LIMIT

CMD アドレス	4Fh
書き込みトランザクション:	書き込みワード
読み取りトランザクション:	読み出しワード
フォーマット:	LINEAR11
位相:	あり
NVM バックアップ:	EEPROM
更新内容:	オンザフライ

OT_FAULT_LIMIT コマンドは、過熱故障状態を示すユニットの温度を設定します。このコマンドの単位は摂氏です。この機能は、IC TEMPERATURE 遠隔測定の出力を、このレジスタで選択された故障スレッショルドと比較するデジタル コンパレータを利用しています。

過熱イベントに対するデバイスの応答を (50h) OT_FAULT_RESPONSE で 説明します。

サポートされている PMBus コマンドに戻ります。

図 7-45. (4Fh) OT_FAULT_LIMIT レジスタ マップ

15	14	13	12	11	10	9	8
R	R	R	R	R	RW	RW	RW
予約済み					OT_FAULT_LIMIT		
7	6	5	4	3	2	1	0
RW	RW	RW	RW	RW	RW	RW	RW
OT_FAULT_LIMIT							

図 7-46.

15	14	13	12	11	10	9	8
R	R	R	R	R	RW	RW	RW
予約済み					OT_FAULT_LIMIT		

図 7-46.

7	6	5	4	3	2	1	0
RW	RW	RW	RW	RW	RW	RW	RW
OT_FAULT_LIMIT							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-46. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:11	指数	R	00010b	線形形式 2 の補数指数で、結果は 4 °C LSB になります。
10:6	予約済み	R	00000b	使用されず、常に 0 に設定されます。
5:0	OT_FAULT_LIMIT	R/W	NVM (デフォルト 10 0010b (145°C))	これらのビットは、遠隔測定システムの高精度温度センサに基づいて、コントローラ ダイの過熱故障スレッショルドを選択します。

Copyright © 2025 Texas Instruments Incorporated

データの有効性

書き込み可能ビット内のすべての仮数部バイナリ値は、書き込み可能で読み取り可能です。ただし、実際の分周器は、サポートされている最も近い値に設定されます。また、EEPROM から復元された仮数部の値は、ハードウェアでサポートされている各設定に対して固定されます。

読み取り専用ビット (OT_FAULT_LIMIT[15:6]) を変更しようとすると、無効 / サポートされていないデータと見なされます。デバイスはサポートされていないデータに対して NACK 応答し、受信した値は無視されます。STATUS_BYTE の「cml」ビットと (7Eh) STATUS_CML レジスタの「ivd」ビットが設定されます。

表 7-47. OT_FAULT_LIMIT がサポートしている値と EEPROM 復元時の値

OT_FAULT_LIMIT [5:0]		OTF (°C)
以下と等しいか大きい:	より小さい	
	30d	115
30d	31d	120
31d	32d	125
32d	34d	130
34d	35d	135
35d	36d	140
36d	37d	145
37d		150

Copyright © 2025 Texas Instruments Incorporated

7.39 (50h) OT_FAULT_RESPONSE

CMD アドレス	50h
書き込みトランザクション:	書き込みバイト
読み取りトランザクション:	読み出しバイト
フォーマット:	LINEAR11
位相:	なし
NVM バックアップ:	EEPROM
更新内容:	オンザフライ

(50) OT_FAULT_RESPONSE コマンドは、過熱故障に応答してどのアクションを実行するかをデバイスに指示します。過熱故障をトリガすると、デバイスはこのレジスタの RS_OT ビットに従って応答し、STATUS_TEMPERATURE レジスタの OTF_PROG ビットを設定して、SMB_ALERT# ピンを介してホストに通知します。

サポートされている PMBus コマンドに戻ります。

図 7-47. (50h) OT_FAULT_RESPONSE レジスタ マップ

7	6	5	4	3	2	1	0
R	R	RW	RW	RW	R	R	R
1	0	RS_OT			TD_OT		

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-48. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
7	1	R	1b	過熱応答設定。読み取り専用で、常に 1b に設定されます。デバイスは、出力をシャットダウンしてディスエーブルにし、RS_OT ビットの再試行設定に従って応答します。
6	0	R	0b	使用されず、常に 0b に設定されます。
5:3	RS_OT	RW	NVM	過熱再試行設定。 000b: 故障後のラッチオフ。故障がクリアされるまで、デバイスはディスエーブルのまま維持されます。VCC のパワー サイクルまたは EN のトグルによって、電力変換を再開できます。 111b: コマンド送信でオフにするか、バイアス電力が取り除かれるか、または別の故障状態によってユニットがシャットダウンするまで、52ms の遅延後に自動的に再起動します。再起動の試行回数に制限はありません。 000b または 111b 以外の値は受け付けられず、そのような試行は、無効データまたはサポートされていないデータ (ivd) とみなされ、デバイスは ivd の記述に従って応答します。3 ビットがすべて同じである必要があるため、1 ビット (ビット 5) のみが EEPROM に保存されます。
2:0	TD_OT	R	000b	過熱再試行の時間遅延設定。これらのビットは RS_OT 設定と同じです。 000b: デバイスは再起動を遅延させません。これは RS_OT=000b で再起動が無効化されている場合のみサポートされています。故障がクリアされるまで、デバイスはディスエーブルのまま維持されます。VCC のパワー サイクルまたは EN のトグルによって、電力変換を再開できます。 111b: コマンド送信でオフにするか、バイアス電力が取り除かれるか、または別の故障状態によってユニットがシャットダウンするまで、52ms の遅延後に自動的に再起動します。再起動の試行回数に制限はありません。これは、RS_OT = 111b の場合にのみサポートされます。

Copyright © 2025 Texas Instruments Incorporated

7.40 (51h) OT_WARN_LIMIT

CMD アドレス	51h
書き込みトランザクション:	書き込みワード
読み取りトランザクション:	読み出しワード
フォーマット:	LINEAR11
位相:	あり
NVM バックアップ:	EEPROM
更新内容:	オンザフライ

OT_WARN_LIMIT コマンドは、過熱警告アラームを示すユニットの温度を設定します。このコマンドの単位は摂氏です。この機能は、IC TEMPERATURE 遠隔測定の出力を、このレジスタで選択された警告スレッショルドと比較するデジタルコンパレータを利用しています。

過熱故障をトリガすると、デバイスは STATUS_TEMPERATURE レジスタの OTW_PROG ビットを設定し、SMB_ALERT# ピンを介してホストに通知します。

サポートされている PMBus コマンドに戻ります。

図 7-48. (4Fh) OT_WARN_LIMIT レジスタ マップ

15	14	13	12	11	10	9	8
R	R	R	R	R	RW	RW	RW
予約済み					OT_WARN_LIMIT		
7	6	5	4	3	2	1	0
RW	RW	RW	RW	RW	RW	RW	RW
OT_WARN_LIMIT							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-49. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:11	指数	R	00010b	線形形式 2 の補数指数で、結果は 4 °C LSB になります。
10:6	予約済み	R	00000b	使用されず、常に 0 に設定されます。
5:0	OT_FAULT_LIMIT	R/W	NVM (デフォルト 10 0010b (125°C))	これらのビットは、遠隔測定システムの高精度温度センサに基づいて、コントローラ ダイの過熱警告スレッショルドを選択します。

データの有効性

書き込み可能ビット内のすべての仮数部バイナリ値は、書き込み可能で読み取り可能です。ただし、実際の分周器は、サポートされている最も近い値に設定されます。また、EEPROM から復元された仮数部の値は、ハードウェアでサポートされている各設定に対して固定されます。

読み取り専用ビット (OT_WARN_LIMIT[15:6]) を変更しようとすると、無効 / サポートされていないデータと見なされます。デバイスはサポートされていないデータに対して NACK 応答し、受信した値は無視されます。STATUS_BYTE の「cml」ビットと (7Eh) STATUS_CML レジスタの「ivd」ビットが設定されます。

表 7-50. OT_WARN_LIMIT がサポートしている値と EEPROM 復元時の値

OT_WARN_LIMIT [5:0]		OTW (°C)
以下と等しいか大きい:	より小さい	
	25d	95

Copyright © 2025 Texas Instruments Incorporated

表 7-50. OT_WARN_LIMIT がサポートしている値と EEPROM 復元時の値 (続き)

OT_WARN_LIMIT [5:0]		OTW (°C)
以下と等しいか大きい:	より小さい	
25d	26d	100
26d	27d	105
27d	29d	110
29d	30d	115
30d	31d	120
31d	32d	125
32d	64d	130

Copyright © 2025 Texas Instruments Incorporated

7.41 (55h) VIN_OV_FAULT_LIMIT

CMD アドレス	55h
書き込みトランザクション:	書き込みワード
読み取りトランザクション:	読み出しワード
フォーマット:	LINEAR11
位相:	なし
NVM バックアップ:	EEPROM
更新内容:	オンザフライ

VIN_OV_FAULT_LIMIT コマンドは、VIN_OV_FAULT が宣言されたときの PVIN 電圧 (ボルト単位) を設定します。VIN_OV_FAULT が検出された場合の応答は、常にラッチオフです。VIN_OV_FAULT_LIMIT は、通常、入力電圧が過剰な事象でスイッチングを停止するために使用されます。その結果、SW ノードのリンギングによってパワー FET に過大なストレスがかかり、損傷する可能性があります。PVIN 過電圧故障がトリガされると、デバイスは STATUS_INPUT レジスタの PVIN_OVF ビットを設定し、SMB_ALERT# ピンによってホストに通知します。

サポートされている PMBus コマンドに戻ります。

図 7-49. (55h) VIN_OV_FAULT_LIMIT レジスタ マップ

15	14	13	12	11	10	9	8
R	R	R	R	R	R	R	R
指数					VIN_OV_FAULT_LIMIT		
7	6	5	4	3	2	1	0
R	R	R	R	RW	RW	RW	RW
VIN_OV_FAULT_LIMIT							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-51. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:11	指数	R	00001b	線形形式の 2 の補数指数。指数は、他の設定を使用して自動的に構成され、その結果は 2V LSB になります。
10:4	予約済み	R	00000b	使用されず、常に 0 に設定されます。
3:0	VIN_OV_FAULT_LIMIT	R/W	NVM (デフォルト 1001b (>18.5V)	これらのビットは、VIN の過電圧スレッショルドを選択します。

データの有効性

書き込み可能ビット内のすべての仮数部バイナリ値は、書き込み可能で読み取り可能です。ただし、実際の分周器は、サポートされている最も近い値に設定されます。また、EEPROM から復元された仮数部の値は、ハードウェアでサポートされている各設定に対して固定されます。

読み取り専用ビット (VIN_OV_FAULT_LIMIT[15:4]) を変更しようとすると、無効 / サポートされていないデータと見なされます。デバイスはサポートされていないデータに対して NACK 応答し、受信した値は無視されます。STATUS_BYTE の「cml」ビットと (7Eh) STATUS_CML レジスタの「ivd」ビットが設定されます。

表 7-52. VIN_OV_FAULT_LIMIT がサポートしている値と EEPROM 復元時の値

VIN_OV_FAULT_LIMIT [3:0]		PVIN_OVF (°C)
以下と等しいか大きい:	より小さい	
	9d	16.5

Copyright © 2025 Texas Instruments Incorporated

表 7-52. VIN_OV_FAULT_LIMIT がサポートしている値と EEPROM 復元時の値 (続き)

VIN_OV_FAULT_LIMIT [3:0]		PVIN_OVF (°C)
以下と等しいか大きい:	より小さい	
9d	16d	18.5

7.42 (60h) TON_DELAY

CMD アドレス	60h
書き込みトランザクション:	書き込みワード
読み取りトランザクション:	読み出しワード
フォーマット:	LINEAR11
位相:	なし
NVM バックアップ:	EEPROM
更新内容:	オンザフライ

TON_DELAY コマンドは、スタート状態を受信した時点から (ON_OFF_CONFIG コマンドでプログラムされた状態で) 出力電圧の上昇を開始するまでの時間をミリ秒単位で設定します。

サポートされている PMBus コマンドに戻ります。

図 7-50. (60h) TON_DELAY レジスタ マップ

15	14	13	12	11	10	9	8
R	R	R	R	R	R	R	R
指数					TON_DELAY		
7	6	5	4	3	2	1	0
R	R	R	R	R	RW	RW	RW
TON_DELAY							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-53. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:11	指数	R	11111b	線形形式の 2 の補数指数。指数はプログラマブルではなく、その結果 0.5ms LSB になります。
10:3	予約済み	R	00000b	使用されず、常に 0 に設定されます。
2:0	TON_DELAY	R/W	000b	これらのビットは、TON_DELAY 時間を選択します。000b を選択すると、50us 以上の遅延が強制的に適用されます。

データの有効性

書き込み可能ビット内のすべての仮数部バイナリ値は、書き込み可能で読み取り可能です。ただし、実際の分周器は、サポートされている最も近い値に設定されます。また、EEPROM から復元された仮数部の値は、ハードウェアでサポートされている各設定に対して固定されます。

読み取り専用ビット (TON_DELAY[15:3]) を変更しようとすると、無効 / サポートされていないデータと見なされます。デバイスはサポートされていないデータに対して NACK 応答し、受信した値は無視されます。STATUS_BYTE の「cml」ビットと (7Eh) STATUS_CML レジスタの「ivd」ビットが設定されます。

表 7-54. TON_DELAY がサポートしている値と EEPROM 復元時の値

TON_DELAY [2:0]		TON_DELAY (ms)
以下と等しいか大きい:	より小さい	
	1d	0.05
1d	2d	0.5
2d	3d	1
3d	8d	2

Copyright © 2025 Texas Instruments Incorporated

7.43 (61h) TON_RISE

CMD アドレス	61h
書き込みトランザクション:	書き込みワード
読み取りトランザクション:	読み出しワード
フォーマット:	LINEAR11
NVM バックアップ:	EEPROM またはピン検出
更新内容:	オンザフライ

TON_RISE コマンドは、出力の上昇開始から、電圧がレギュレーション帯域に入るまでの時間をミリ秒単位で設定します。これにより、ソフトスタート期間中のリファレンス DAC のスルーレートを実質的に設定できます。ソフトスタート時間は、VOUT_COMMAND をブート アップに使用している場合の TON_RISE の選択によって変化します。詳細については、「スタートアップとシャットダウン」セクション を参照してください。

サポートされている PMBus コマンドに戻ります。

図 7-51. (61h) TON_RISE レジスタ マップ

15	14	13	12	11	10	9	8
R	R	R	R	R	R	R	R
指数					TON_RISE		
7	6	5	4	3	2	1	0
R	R	RW	RW	RW	RW	RW	RW
TON_RISE							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-55. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:11	指数	R	11111b	線形形式の 2 の補数指数。指数はプログラマブルではなく、その結果 0.5ms LSB になります。
10:6	予約済み	R	00000b	使用されず、常に 0 に設定されます。
5:0	TON_RISE	R/W	000000b	これらのビットは、TON_RISE 時間を選択します。

データの有効性

書き込み可能ビット内のすべての仮数部バイナリ値は、書き込み可能で読み取り可能です。ただし、実際の分周器は、サポートされている最も近い値に設定されます。また、EEPROM から復元された仮数部の値は、ハードウェアでサポートされている各設定に対して固定されます。

読み取り専用ビット (TON_RISE[15:6]) を変更しようとすると、無効 / サポートされていないデータと見なされます。デバイスはサポートされていないデータに対して NACK 応答し、受信した値は無視されます。STATUS_BYTE の「cml」ビットと (7Eh) STATUS_CML レジスタの「ivd」ビットが設定されます。

表 7-56. TON_RISE がサポートしている値と EEPROM 復元時の値

TON_RISE [5:0]		TON_RISE (ms)
以下と等しいか大きい:	より小さい	
	2d	0.5
2d	4d	1
4d	8d	2
8d	16d	4
16d	32d	8

Copyright © 2025 Texas Instruments Incorporated

表 7-56. TON_RISE がサポートしている値と EEPROM 復元時の値 (続き)

TON_RISE [5:0]		TON_RISE (ms)
以下と等しいか大きい:	より小さい	
32d	64d	16

Copyright © 2025 Texas Instruments Incorporated

7.44 (64h) TOFF_DELAY

CMD アドレス	64h
書き込みトランザクション:	書き込みワード
読み取りトランザクション:	読み出しワード
フォーマット:	LINEAR11
NVM バックアップ:	EEPROM
更新内容:	オンザフライ

TOFF_DELAY コマンドは、停止状態が受信されたとき (ON_OFF_CONFIG コマンドでプログラムされたもの)、デバイスがソフト ストップ動作を開始するまでの時間をミリ秒単位で設定します。

サポートされている PMBus コマンドに戻ります。

図 7-52. (64h) TOFF_DELAY レジスタ マップ

15	14	13	12	11	10	9	8
R	R	R	R	R	R	R	R
指数					TOFF_DELAY		
7	6	5	4	3	2	1	0
R	R	R	R	R	RW	RW	RW
TOFF_DELAY							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-57. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:11	指数	R	11111b	線形形式の 2 の補数指数。指数はプログラマブルではなく、その結果 0.5ms LSB になります。
10:3	予約済み	R	00000b	使用されず、常に 0 に設定されます。
2:0	TOFF_DELAY	R/W	000b	これらのビットは、TOFF_DELAY 時間を選択します。

データの有効性

書き込み可能ビット内のすべての仮数部バイナリ値は、書き込み可能で読み取り可能です。ただし、実際の分周器は、サポートされている最も近い値に設定されます。また、EEPROM から復元された仮数部の値は、ハードウェアでサポートされている各設定に対して固定されます。

読み取り専用ビット (TOFF_DELAY[15:3]) を変更しようとすると、無効 / サポートされていないデータと見なされます。デバイスはサポートされていないデータに対して NACK 応答し、受信した値は無視されます。STATUS_BYTE の「cml」ビットと (7Eh) STATUS_CML レジスタの「ivd」ビットが設定されます。

表 7-58. TOFF_DELAY がサポートしている値と EEPROM 復元時の値

TOFF_DELAY [2:0]		TOFF_DELAY (ms)
以下と等しいか大きい:	より小さい	
	1d	0
1d	3d	1
3d	4d	1.5
3d	8d	2

Copyright © 2025 Texas Instruments Incorporated

7.45 (65h) TOFF_FALL

CMD アドレス	65h
書き込みトランザクション:	書き込みワード
読み取りトランザクション:	読み出しワード
フォーマット:	LINEAR11
NVM バックアップ:	EEPROM
更新内容:	オンザフライ

TOFF_FALL コマンドは、ターンオフ遅延時間の終了からリファレンス DAC が 0mV にコマンドされるまでの時間をミリ秒単位で設定します。このコマンドを使用して、制御された速度で出力電圧を低下させます。これにより、ソフト オフ期間中のリファレンス DAC のスルーレートが実質的に設定されます。TOFF_FALL の実装では、サポートされている 32 VBOOT レベルごとに VREF DAC のスルーレートが調整され、ソフト ストップ時間がターゲット値に近くなる (しかし、必ずしもそうとは限りません) スルーレートが得られます。0.5ms TOFF_FALL に対して選択されたスルーレートは、TON_RISE に示すものと同じですが、負の勾配を持っています。TOFF_FALL は、さまざまな設定で TON_RISE と同じ方法でスケーリングされます。

VOUT の立ち下がり時間は、実際には TOFF_FALL 値と等しくありません。これは、出力電圧が 200mV まで放電されると、デバイスは SW スイッチングを停止し、立ち下がり時間がリファレンス DAC スルーレートを設定するためにより長くなるためです。詳細については、シャットダウンを参照してください。

サポートされている PMBus コマンドに戻ります。

図 7-53. (65h) TOFF_FALL レジスタ マップ

15	14	13	12	11	10	9	8
R	R	R	R	R	R	R	R
指数					TOFF_FALL		
7	6	5	4	3	2	1	0
R	R	R	R	RW	RW	RW	RW
TOFF_FALL							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-59. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:11	指数	R	11111b	線形形式の 2 の補数指数。指数はプログラマブルではなく、その結果 0.5ms LSB になります。
10:4	予約済み	R	0000000b	使用されず、常に 0 に設定されます。
3:0	TON_RISE	R/W	0000b	これらのビットは、TOFF_FALL 時間を選択します。

データの有効性

書き込み可能ビット内のすべての仮数部バイナリ値は、書き込み可能で読み取り可能です。ただし、実際の分周器は、サポートされている最も近い値に設定されます。また、EEPROM から復元された仮数部の値は、ハードウェアでサポートされている各設定に対して固定されます。

読み取り専用ビット (TOFF_FALL[15:4]) を変更しようとすると、無効 / サポートされていないデータと見なされます。デバイスはサポートされていないデータに対して NACK 応答し、受信した値は無視されます。STATUS_BYTE の「cml」ビットと STATUS_CML レジスタの「ivd」ビットが設定されます。

Copyright © 2025 Texas Instruments Incorporated

表 7-60. TOFF_FALL がサポートしている値と EEPROM 復元時の値

TOFF_FALL [5:0]		TOFF_FALL (ms)
以下と等しいか大きい:	より小さい	
	2d	0.5
2d	4d	1
4d	8d	2
8d	16d	4

7.46 (78h) STATUS_BYTE

CMD アドレス:	78h
書き込みトランザクション:	該当なし
読み取りトランザクション:	読み出しバイト
フォーマット:	符号なしバイナリ (1 バイト)
NVM バックアップ:	なし
更新内容:	オンザフライ

STATUS_BYTE コマンドは 1 バイトの情報を返し、過電圧、過電流、過熱などの最も重要な故障の概要も記載しています。次の表に、サポートされている STATUS_BYTE メッセージの内容を示します。STATUS_BYTE は、STATUS_WORD の下位バイトと同じです。STATUS_BYTE の条件は要約情報のみです。故障が発生した場合、他のどの STATUS レジスタをチェックする必要があるかをホストに通知するためにアサートされます。これらのビットの設定とクリアは、各ステータスレジスタで行う必要があります。たとえば、STATUS_VOUT の VOUT_OVF をクリアすると、STATUS_BYTE の VOUT_OVF もクリアされます。

STATUS_BYTE を書き込もうとすると、無効 / サポートされていないデータと見なされ、適切なステータス ビットにフラグを立てて、PMBus 1.3.1 Part II 仕様のセクション 10.9.3 に従ってホストに通知することでデバイスが応答します。

2 次デバイスでは、すべてのビットが 0b に設定されます。

サポートされている PMBus コマンドに戻ります。

図 7-54. (78h) STATUS_BYTE レジスタ マップ

7	6	5	4	3	2	1	0
R	R	R	R	R	R	R	R
0	オフ	OVF	OCF	0	OTFW	CML	OTH

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-61. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
7	非対応	R	0b	サポートされておらず、常に 0b に設定されています。
6	オフ	R	1b	LIVE (ラッチなし) ステータス ビット。 0b: デバイスは有効であり、電力を変換しています。 1b: このデバイスは、単に有効になっていないなど、何らかの理由により電力変換を実行していません。
5	OVF	R	0b	出力過電圧に関する故障が発生しました。このビットは、(7Ah) STATUS_VOUT [7]–OVF の状態を直接反映します。この故障ソースをマスクし、SMBALERT をトリガしないようにする場合は、マスキング(7Ah) STATUS_VOUT[7] で行う必要があります。2 次デバイスでは、ビット OVF が 0 に設定されることに注意してください。 0b: 出力過電圧に関する故障は発生していません。 1b: 出力過電圧に関する故障が発生しました。
4	OCF	R	0b	出力過電流に関する故障が発生しました。PMBus 仕様により、このビットは (7Bh) STATUS_IOUT[7]OCF または (7Bh) STATUS_IOUT[6]OCUV のいずれかで設定できます。(7Bh) STATUS_IOUT[6] OCUV は SMBALERT のソースではないため、ユーザーがこの故障ソースをマスクし、SMBALERT をトリガしないようにするには、(7Bh) STATUS_IOUT のソース ビットをマスクする必要があります 0b: 出力過電流に関する故障は発生していません。 1b: 出力過電流に関する故障が発生しました。
3	非対応	R	0b	サポートされておらず、常に 0b に設定されています。

Copyright © 2025 Texas Instruments Incorporated

表 7-61. レジスタのフィールドの説明 (続き)

ビット	フィールド	アクセス権	リセット	説明
2	OTFW	R	0b	OTF または OTW 入力は、プログラマブルな温度制限によってアサートされます。 0b: 温度に関する故障または警告は発生していません。 1b: 温度に関する故障または警告が発生した場合、ホストは詳細に関して(7Dh) STATUS_TEMPERATURE を確認する必要があります。
1	CML	R	0b	(7Eh) STATUS_CML で通信、メモリ、またはロジックに関する故障が発生しました。 0b: 通信、メモリ、ロジックに関する故障は発生していません。 1b: 通信、メモリ、ロジックに関する故障が発生した場合、ホストは詳細に関して(7Eh) STATUS_CML を確認する必要があります。
0	OTH	R	0b	このビットは、STATUS_BYTE の他のビットに関する故障でカバーされていない故障にフラグを立てるために使用されます。この場合、VOUT_MAX_MIN_W、OTF_BG、LOW_VIN、UVF、OCW、OVW、UVW、PVIN_OVF、または FRST_2_ALRT が使用されます。 0b: 上記以外の故障は発生していません。 1b: 上記以外の故障が発生しました。詳細について、ホストは (79h) STATUS_WORD をチェックする必要があります。

7.47 (79h) STATUS_WORD

CMD アドレス:	79h
書き込みトランザクション:	該当なし
読み取りトランザクション:	読み出しワード
フォーマット:	符号なしバイナリ (2 バイト)
NVM バックアップ:	なし
更新内容:	オンザフライ

STATUS_WORD コマンドは 2 バイトの情報を返し、過電圧、過電流、過熱などの最も重要な故障の概要も記載しています。STATUS_WORD の下位バイトは、STATUS_BYTE と同じレジスタです。次の表に、サポートされている STATUS_WORD メッセージの内容を示します。STATUS_BYTE の条件は要約情報のみです。

これらのビットはすべて SMB_ALERT# をトリガでき、対応するビットが SMBALERT_MASK にあります。

STATUS_WORD を書き込もうとすると、無効 / サポートされていないデータと見なされ、適切なステータス ビットにフラグを立てて、PMBus 1.3.1 Part II 仕様のセクション 10.9.3 に従ってホストに通知することでデバイスが応答します。

2 次デバイスは PGOOD_Z ビットと OVF ビットを 0b に設定します。

サポートされている PMBus コマンドに戻ります。

図 7-55. (79h) STATUS_WORD レジスタ マップ

15	14	13	12	11	10	9	8
R	R	R	R	R	R	R	R
VFW	OCFW	入力	メーカー	PGOOD_Z	0	その他	0
7	6	5	4	3	2	1	0
R	R	R	R	R	R	R	R
STATUS_BYTE							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-62. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15	VFW	R	0b	出力電圧故障または警告。(7Ah) STATUS_VOUT に故障または警告があります (OVF + OVW + UVF + UVW + VOUT_MAX_Warning)。 0b: 出力電圧関連の故障は発生していません。 1b: 出力電圧に関する故障が発生しました。詳細について、ホストは STATUS_VOUT をチェックする必要があります。
14	OCFW	R	0b	出力電流故障または警告。(7Bh) STATUS_IOUT に故障または警告があります (OCF + OCW)。 0b: 出力電流関連の故障は発生していません。 1b: 出力電流に関する故障が発生しました。詳細について、ホストは STATUS_IOUT をチェックする必要があります。
13	入力	R	0b	(7Ch)STATUS_INPUT に入力故障または警告があります。初期値が VIN <VIN_ON の場合、1 として表示される可能性のある LOW_VIN に依存します。 0b: 入力に関連する故障は発生していません。 1b: 入力に関する故障が発生しました。詳細について、ホストは (7Ch) STATUS_INPUT をチェックする必要があります。

Copyright © 2025 Texas Instruments Incorporated

表 7-62. レジスタのフィールドの説明 (続き)

ビット	フィールド	アクセス権	リセット	説明
12	メーカー	R	0b	メーカー固有の故障 / 警告状態。ビット 7 DCM を除くと、STATUS_MFR_SPECIFIC に故障または警告が存在します。 0b: メーカー定義の故障は発生していません。 1b: メーカー定義の故障が発生しました。詳細について、ホストは STATUS_MFR_SPECIFIC をチェックする必要があります。
11	PGOOD_Z	R	0b	パワー グッドを反転。コンバータの出力電圧が VOUT_OV_FAULT_LIMIT と VOUT_UV_FAULT_LIMIT で定義された FAULT_LIMIT を下回った場合、Power Not Good 機能でフラグを立てます。この信号はラッチされず、常にデバイスの現在の状態を表します。 0b: 出力電圧はレギュレーション ウィンドウ内にあります。PG ピンはフローティングです。 1b: 出力電圧がレギュレーション ウィンドウの範囲外です。PG ピンは Low にプルされます。 注: PMBus 仕様 v1.4 10.2.5.3 に従い、PGOOD_Z を PMBus の書き込みによってクリアすることはできません。常にデバイスの現在の状態を反映します。PGOOD_Z マスク ビットへのアクセスに関する詳細については、SMBALERT_MASK コマンドを参照してください。2 次デバイスでは PGOOD_Z が常に 0 に設定され、1 次デバイスはスタックの POWER_GOOD ステータスを通知します。
10	非対応	R	0b	サポートされず、常に 0 に設定されます。
9	その他	R	0b	STATUS_OTHER の故障 / 警告状態。STATUS_OTHER に故障または警告 (FRST_2_ALRT) があります。 0b: STATUS_OTHER 故障または警告は発生していません。 1b: STATUS_OTHER 故障または警告が発生しました。
8	非対応	R	0b	サポートされず、常に 0 に設定されます。
7:0	STATUS_BYTE	R	00h	常に STATUS_BYTE の値と同じです。

Copyright © 2025 Texas Instruments Incorporated

7.48 (7Ah) STATUS_VOUT

CMD アドレス:	7Ah
書き込みトランザクション:	書き込みバイト
読み取りトランザクション:	読み出しバイト
フォーマット:	符号なしバイナリ (1 バイト)、読み取り + 書き込み可能クリア
NVM バックアップ:	あり
更新内容:	オンザフライ

STATUS_VOUT コマンドは、次のような出力電圧の警告および故障に関する内容を含む 1 バイトのデータを返します。これらのビットはいずれも SMBALERT_MASK の状態に影響されません。ただし、FAULT_CTRL レジスタの対応する故障 / 警告ディスエーブル ビットが設定されている場合、その故障からの応答をブロックするだけでなく、対応するステータス ビットもブロックされます。故障状態が存在しなくなった後も、(デジタル入力故障 / 警告信号によって伝達されるように) ステータス ビットはラッチされたままになります。これらのビットは、パワー サイクル、CLEAR_FAULTS コマンドの発行、または ((02h)ON_OFF_CONFIG レジスタで設定されたように) レールのオン / オフ メカニズムの切り替えによってクリアできます。

PMBus 1.3.1 Part II 仕様セクション 10.2.3 に従い、サポートされているすべてのビットは、CLEAR_FAULTS によってクリアされ、ON_OFF_CONFIG にプログラムされたメカニズムにより出力をオンにすること、またはそれぞれの位置にある STATUS_VOUT レジスタに 1b を書き込むことで個別にクリアできます。

サポートされている PMBus コマンドに戻ります。

図 7-56. (7Ah) STATUS_VOUT レジスタ マップ

7	6	5	4	3	2	1	0
RW1C	RW1C	RW1C	RW1C	RW1C	R	R	R
OVF	OVW	UVW	UVF	VO_MAX_MIN_W	0	0	0

凡例: R/W1C = 読み取り / 書き込み 1 でクリア、R = 読み取り専用

表 7-63. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
7	OVF	RW1C	0b	0b: 出力過電圧故障が発生していないことを示すラッチ フラグ。 1b: 出力過電圧故障が発生したことを示すラッチ フラグ。
6	OVW	RW1C	0b	0b: 出力過電圧警告が発生していないことを示すラッチ フラグ。 1b: 出力過電圧警告が発生したことを示すラッチ フラグ。 注: ソフト スタート後に OVF が発生すると、OVW ステータス ビットが自動的に設定されます。ソフト スタート (固定 OVF) が完了する前に OVF がトリップされた場合、OVW ステータスは設定されません。
5	UVW	RW1C	0b	0b: 出力低電圧故障が発生していないことを示すラッチ フラグ。 1b: 出力低電圧故障が発生したことを示すラッチ フラグ。 注: UVF が発生すると、UVW ステータス ビットも自動的に設定されます。
4	UVF	RW1C	0b	0b: 出力低電圧警告が発生していないことを示すラッチ フラグ。 1b: 出力低電圧警告が発生したことを示すラッチ フラグ。
3	VOUT_MAX_MIN_W	RW1C	0b	0b: VOUT_COMMAND に記載されている VOUT_MAX_MIN 警告が発生していないことを示すラッチ フラグ。 1b: VOUT_COMMAND に記載されている VOUT_MAX_MIN 警告が発生したことを示すラッチ フラグ。
2:0	非対応	R	000b	サポートされず、常に 0 に設定されます。

Copyright © 2025 Texas Instruments Incorporated

7.49 (7Bh) STATUS_IOUT

CMD アドレス:	7Bh
書き込みトランザクション:	書き込みバイト
読み取りトランザクション:	読み出しバイト
フォーマット:	符号なしバイナリ (1 バイト)
NVM バックアップ:	あり
更新内容:	オンザフライ

STATUS_IOUT コマンドは、次のような 1 バイトのデータを返します。これらのビットはいずれも SMBALERT_MASK の状態に影響されません。ただし、FAULT_CTRL レジスタの対応する故障 / 警告ディスエーブル ビットが設定されている場合、その故障からの応答をブロックするだけでなく、対応するステータス ビットもブロックされます。PMBus 1.3.1 Part II 仕様セクション 10.2.3 に従い、サポートされているすべてのビットは、CLEAR_FAULTS によってクリアされ、ON_OFF_CONFIG にプログラムされたメカニズムにより出力をオンにすること、またはそれぞれの位置にある STATUS_IOUT レジスタに 1b を書き込むことで個別にクリアできます。

OCF[7] と OCW[5] は 1 つの NVM ビットを共有して、共有されるデフォルトの NVM マスキング機能を変更できます。したがって、過電流故障および警告の SMBALERT マスキングのデフォルトについて、ユーザーが NVM に設定および保存できます。ただし、これらは単一の NVM ビットを共有するため、SMBALERT の設定可否 (マスキング) は、NVM からの復元またはパワー サイクル後も常に共通 / 同じです。これに対して、2 つの smb_alert マスク ビットを異なる / 独立に動的に設定することは可能です。これが、2 つのマスク設定を別々にできる唯一の方法です。パワーサイクル / NVM 復元時に、2 つの SMB_ALERT マスク設定が同じ設定に戻ります。初期デフォルトでは、(SMBALERT_MASK コマンドのデフォルト定義で記載されているように) 両方とも SMBALERT がトリガされます。実際の NVM ビットは OCW [5] に関連付けられているため、このビット位置の SMBALERT_MASK ビットの値は、NVM に保存 / NVM から復元されるものです。

サポートされている PMBus コマンドに戻ります。

図 7-57. (7Bh) STATUS_IOUT レジスタ マップ

7	6	5	4	3	2	1	0
RW1C	R	RW1C	RW1C	R	R	R	R
OCF	OCUV	OCW	UCF	0	0	0	0

凡例: R/W1C = 読み取り / 書き込み 1 でクリア、R = 読み取り専用

表 7-64. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
7	OCF をサポート	RW1C	0b	IOUT_OC_FAULT_LIMIT によって設定された IOUT OCF イベントが検出されると、このラッチされたビットは 1 に設定されます。 サポートされず、常に 0 に設定されます。
6	OCUV	R	0b	OCL に起因する VOUT UV。 0b: IOUT_OC_LV_FAULT が発生していないことを示すラッチ フラグ。 1b: IOUT_OC_LV_FAULT が発生したことを示すラッチ フラグ。 このビットは、出力電圧が IOUT_OC_LV_FAULT_LIMIT を下回っており、出力電流が IOUT_OC_FAULT_LIMIT を上回ると設定されます。このビットに 1b を書き込むことではクリアできません。STATUS_VOUT の VOUT_UVF に 1b を書き込むことでクリアされます。
5	OCW	RW1C	0b	0b: 出力過電流警告が発生していないことを示すラッチ フラグ。 1b: 出力過電流警告が発生したことを示すラッチ フラグ。

Copyright © 2025 Texas Instruments Incorporated

表 7-64. レジスタのフィールドの説明 (続き)

ビット	フィールド	アクセス権	リセット	説明
4	UCF	RW1C	0b	IOUT UC 故障が検出されると、このラッチされたビットは 1 に設定されます。 0b: 出力低電流故障が発生していないことを示すラッチ フラグ。 1b: 出力低電流故障が発生したことを示すラッチ フラグ。
3:0	非対応	R	0000b	サポートされず、常に 0 に設定されます。

Copyright © 2025 Texas Instruments Incorporated

7.50 (7Ch) STATUS_INPUT

CMD アドレス:	7Ch
書き込みトランザクション:	書き込みバイト
読み取りトランザクション:	読み出しバイト
フォーマット:	符号なしバイナリ (1 バイト)
NVM バックアップ:	あり
更新内容:	オンザフライ

STATUS_INPUT コマンドは、次のような 1 バイトのデータを返します。故障状態が存在しなくなった後も、(デジタル入力故障 / 警告信号によって伝達されるように) ステータス ビットはラッチされたままになります。PMBus 1.3.1 Part II 仕様セクション 10.2.3 に従い、サポートされているすべてのビットは、CLEAR_FAULTS によってクリアされ、ON_OFF_CONFIG にプログラムされたメカニズムにより出力をオンにすること、またはそれぞれの位置にある STATUS_INPUT レジスタに 1b を書き込むことで個別にクリアできます。

これらのビットはいずれも SMBALERT_MASK の状態に影響されません。ただし、FAULT_CTRL レジスタの対応する故障 / 警告ディスエーブル ビットが設定されている場合、その故障からの応答をブロックするだけでなく、対応するステータス ビットもブロックされます。

サポートされている PMBus コマンドに戻ります。

図 7-58. (7Ch) STATUS_INPUT レジスタ マップ

7	6	5	4	3	2	1	0
RW1C	R	R	R	RW1C	R	R	R
PVIN_OVF	0	0	0	LOW_VIN	0	0	0

凡例: R/W1C = 読み取り / 書き込み 1 でクリア、R = 読み取り専用

表 7-65. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
7	PVIN_OVF	R/W1C	0b	0b: 入力過電圧故障が発生していないことを示すラッチ フラグ。 1b: 入力過電圧故障が発生したことを示すラッチ フラグ。
6:4	非対応	R	000b	サポートされず、常に 0 に設定されます。
3	LOW_VIN	R/W1C	0b	このビットは、VIN_ON および VIN_OFF に対する PVIN 電圧のステータスを示します。初期のパワーアップ時に、LOW_VIN はラッチされず、SMB_ALERT# をアサートしません。PVIN が初めて VIN_ON を超えると、以後の PVIN < VIN_OFF イベントがラッチされ、SMB_ALERT# がアサートされます。 0b: PVIN が VIN_ON より大きい。 1b: PVIN が VIN_OFF より小さい。
2:0	非対応	R	000b	サポートされず、常に 0 に設定されます。

Copyright © 2025 Texas Instruments Incorporated

7.51 (7Dh) STATUS_TEMPERATURE

CMD アドレス:	7Dh
書き込みトランザクション:	書き込みバイト
読み取りトランザクション:	読み出しバイト
フォーマット:	符号なしバイナリ (1 バイト)
NVM バックアップ:	あり
更新内容:	オンザフライ

STATUS_TEMPERATURE コマンドは、次のような 1 バイトのデータを返します。PMBus 1.3.1 Part II 仕様セクション 10.2.3 に従い、サポートされているすべてのビットは、CLEAR_FAULTS によってクリアされ、ON_OFF_CONFIG にプログラムされたメカニズムにより出力をオンにすること、またはそれぞれの位置にある STATUS_TEMPERATURE レジスタに 1b を書き込むことで個別にクリアできます。

これらのビットはいずれも SMBALERT_MASK の状態に影響されません。ただし、FAULT_CTRL レジスタの対応する故障 / 警告ディスエーブル ビットが設定されている場合、その故障からの応答をブロックするだけでなく、対応するステータス ビットもブロックされます。

サポートされている PMBus コマンドに戻ります。

図 7-59. (7Dh) STATUS_TEMPERATURE レジスタ マップ

7	6	5	4	3	2	1	0
R/W1C	R/W1C	R	R	R	R	R	R
OTF_PROG	OTW_PROG	0	0	0	0	0	0

凡例: R/W1C = 読み取り / 書き込み 1 でクリア、R = 読み取り専用

表 7-66. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
7	OTF_PROG	R/W1C	0b	プログラマブルな過熱故障。 0b: 過熱故障が発生していないことを示すラッチ フラグ。 1b: 過熱故障が発生したことを示すラッチ フラグ。
6	OTW_PROG	R/W1C	0b	プログラマブルな過熱警告。 0b: 過熱警告が発生していないことを示すラッチ フラグ。 1b: 過熱警告が発生したことを示すラッチ フラグ。
5:0	非対応	R	00h	サポートされず、常に 0 に設定されます。

Copyright © 2025 Texas Instruments Incorporated

7.52 (7Eh) STATUS_CML

CMD アドレス:	7Eh
書き込みトランザクション:	書き込みバイト
読み取りトランザクション:	読み出しバイト
フォーマット:	符号なしバイナリ (1 バイト)
NVM バックアップ:	あり
更新内容:	オンザフライ

STATUS_CML コマンドは、次のように、通信、ロジック、メモリに関連する内容を含む 1 バイトのデータを返します。PMBus 1.3.1 Part II 仕様セクション 10.2.3 に従い、サポートされているすべてのビットは、(03h) CLEAR_FAULTS によってクリアされ、(02h) ON_OFF_CONFIG にプログラムされたメカニズムにより出力をオンにすること、またはそれぞれの位置にある STATUS_CML レジスタに 1b を書き込むことで個別にクリアできます。

対応している PMBus® コマンド に戻ります。

図 7-60. (7Eh) STATUS_CML レジスタ マップ

7	6	5	4	3	2	1	0
R/W1C	R/W1C	R/W1C	R/W1C	R	R	R/W1C	R
IVC	IVD	PEC	MEM	0	0	その他	0

凡例: R/W1C = 読み取り / 書き込み 1 でクリア、R = 読み取り専用

表 7-67. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
7	IVC	R/W1C	0b	0b: 無効またはサポートされていないコマンドが受信されなかったことを示すラッチ フラグ。 1b: 無効またはサポートされていないコマンドが受信されたことを示すラッチ フラグ。
6	IVD	R/W1C	0b	0b: 無効またはサポートされていないデータが受信されなかったことを示すラッチ フラグ。 1b: 無効またはサポートされていないデータが受信されたことを示すラッチ フラグ。
5	PEC	R/W1C	0b	0b: パケット エラー チェックに失敗がないことを示すラッチ フラグ。 1b: パケット エラー チェックに失敗したことを示すラッチ フラグ。
4	MEM	R/W1C	0b	0b: メモリ エラーが検出されなかったことを示すラッチ フラグ。 1b: メモリ エラーが検出されたことを示すラッチ フラグ。 内部的には、次のいずれかが故障の原因となっている可能性があります。 • STORE_USER_ALL 中 / 後のパリティ チェックに失敗 • リセット RESTORE (ブートアップ時の EEPROM 復元) 中に、EEPROM の内容とレジスタの内容との間で不一致が発生、またはパリティ チェックに不合格 • ユーザーが RESTORE_USER_ALL コマンドを発行し、パリティ チェックに不合格 • NVM プログラミング シーケンス中の故障。 このビットは、基になる問題が解決されてメモリが更新されるまで、どのクリア メカニズムでもクリアすることはできません。
3:2	非対応	R	00b	サポートされず、常に 0 に設定されます。
1	その他	R/W1C	0b	0b: 通信エラーが検出されなかったことを示すラッチ フラグ。 1b: 通信エラーの検出を示すラッチ フラグ。
0	非対応	R	0b	サポートされず、常に 0 に設定されます。

対応するビット (78h) STATUS_BYTE は、このコマンドでサポートされているビットの論理和です。このコマンドのいずれかのイベントが発生し、イベントの代表ビットが設定されると、(78h) STATUS_BYTE の対応するビットが更新されます。同

Copyright © 2025 Texas Instruments Incorporated

様に、このバイトが個別にクリアされると (たとえば、ラッチ状態に 1b を書き込むことで)、(78h) STATUS_BYTE の対応するビットがクリアされます。

Copyright © 2025 Texas Instruments Incorporated

7.53 (7Fh) STATUS_OTHER

CMD アドレス:	7Eh
書き込みトランザクション:	書き込みバイト
読み取りトランザクション:	読み出しバイト
フォーマット:	符号なしバイナリ (1 バイト)
NVM バックアップ:	なし
更新内容:	オンザフライ

STATUS_OTHER コマンドは、PMBus の First to Alert ステータスを含む 1 バイトのデータを返します。First to Alert は、SMB_ALERT を単独でアサートしません。これは、デバイスが SMB_ALERT を他のいずれかの故障状態によってアサートした場合、SMB_ALERT の状態に関する情報提供のみを目的としています。

PMBus 1.3.1 Part II 仕様セクション 10.2.3 に従い、サポートされているすべてのビットは、CLEAR_FAULTS によってクリアされ、ON_OFF_CONFIG にプログラムされたメカニズムにより出力をオンにすること、またはそれぞれの位置にある STATUS_OTHER レジスタに 1b を書き込むことで個別にクリアできます。

サポートされている PMBus コマンドに戻ります。

図 7-61. (7Fh) STATUS_OTHER レジスタ マップ

7	6	5	4	3	2	1	0
R	R	R	R	R	R	R	RW1C
0	0	0	0	0	0	0	FRST_2_ALRT

凡例: R/W1C = 読み取り / 書き込み 1 でクリア、R = 読み取り専用

表 7-68. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
7:1	非対応	R	0000000b	サポートされず、常に 0 に設定されます。
0	FRST_2_ALRT	RW1C	0b	0b: ラッチ フラグにより、デバイスが SMBALERT をアサートしていないか、このデバイスが SMBALERT をアサートする前に SMBALERT が Low にアサートされたことを示します。 1b: ラッチ フラグにより、デバイスが SMBALERT をアサートしているか、このデバイスが SMBALERT をアサートする前に SMBALERT が Low にアサートされなかったことを示します。

対応するビット STATUS_BYTE は、このコマンドでサポートされているビットの論理和です。このコマンドのいずれかのイベントが発生し、イベントの代表ビットが設定されると、STATUS_BYTE の対応するビットが更新されます。同様に、このバイトが個別にクリアされると (たとえば、ラッチ状態に 1b を書き込むことで)、STATUS_BYTE の対応するビットがクリアされます。

Copyright © 2025 Texas Instruments Incorporated

7.54 (80h) STATUS_MFR_SPECIFIC

CMD アドレス	80h
書き込みトランザクション:	書き込みバイト
読み取りトランザクション:	読み出しバイト
フォーマット:	符号なしバイナリ (1 バイト)
NVM バックアップ:	あり
更新内容:	オンザフライ

STATUS_MFR_SPECIFIC コマンドは、次のようなメーカー定義ステータスの内容を含む 1 バイトのデータを返します。PMBus 1.3.1 Part II 仕様セクション 10.2.3 に従い、サポートされているすべてのビットは、(03h) CLEAR_FAULTS によってクリアされ、(02h) ON_OFF_CONFIG にプログラムされたメカニズムにより出力をオンにすること、またはそれぞれの位置にある STATUS_MFR_SPECIFIC レジスタに 1b を書き込むことで個別にクリアできます。

これらのビットはいずれも SMBALERT_MASK の状態に影響されません。ただし、FAULT_CTRL レジスタの対応する故障 / 警告ディスエーブル ビットが設定されている場合、その故障からの応答をブロックするだけでなく、対応するステータス ビットもブロックされます。

サポートされている PMBus コマンドに戻ります。

図 7-62. (80h) STATUS_MFR_SPECIFIC レジスタ マップ

7	6	5	4	3	2	1	0
R	R/W1C	R/W1C	R/W1C	R	R	R/W1C	R/W1C
DCM	OTF_BG	PS_FLT	PS_COMM_WRN	0	0	PS_OT	PS_UV

凡例: R/W1C = 読み取り / 書き込み 1 でクリア、R = 読み取り専用

表 7-69. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
7	DCM	R	0b	LIVE (ラッチなし) ステータス ビット。このビットは、DCM 動作の検出時に設定されます。このビットは SMB_ALERT# をトリガせず、STATUS_WORD の MFR ビットや STATUS_BYTE の OTH ビットをアサートしません。 0b: デバイスは DCM で動作していません。 1b: デバイスは DCM で動作しています。
6	OTF_BG	R/W1C	0b	0b: コントローラ固定サーマル シャットダウンが発生していないことを示すラッチ フラグ。 1b: コントローラ固定サーマル シャットダウンが発生したことを示すラッチ フラグ。
5	PS_FLT	R/W1C	0b	0b: 電力段故障が発生していないことを示すラッチ フラグ。 1b: 電力段故障が発生したことを示すラッチ フラグ。 このビットを設定できる故障は次のとおりです。 1. 電力段での VDRV 電圧が不十分です (VDRV_UV)。 2. 電力段の温度が、電力段の固定サーマル シャットダウン (PS_OT) を超えています。 3. PVIN の電圧が、固定 $PVIN_{UVLO}$ スレッショルドを下回っています。
4	PS_COMM_WRN	R/W1C	0b	0b: 電力段通信エラーが発生していないことを示すラッチ フラグ。 1b: 電力段通信エラーが発生したことを示すラッチ フラグ。
3:2	非対応	R	00b	サポートされず、常に 0 に設定されます。
1	PS_OT	R/W1C	0b	0b: 電力段固定サーマル シャットダウンが発生していないことを示すラッチ フラグ。 1b: 電力段固定サーマル シャットダウンが発生したことを示すラッチ フラグ。
0	PS_UV	R/W1C	0b	0b: 電力段の低電圧故障が発生していないことを示すライブ フラグ。 1b: 電力段の低電圧故障が発生したことを示すライブ フラグ。

Copyright © 2025 Texas Instruments Incorporated

7.55 (88h) READ_VIN

CMD アドレス	88h
書き込みトランザクション:	該当なし
読み取りトランザクション:	読み出しワード
フォーマット:	LINEAR11
位相:	あり
NVM バックアップ:	なし
更新レート:	190µs
対応範囲:	4V～20V

READ_VIN コマンドは、入力電圧をボルト単位で返します。READ_VIN は 4V にクランプされます。PVIN で検出された電圧が 4V を下回ると、READ_VIN は 4.0V を通知します。詳細については、「遠隔測定」を参照してください。

サポートされている PMBus コマンドに戻ります。

図 7-63. (88h) READ_VIN レジスタ マップ

15	14	13	12	11	10	9	8
R	R	R	R	R	R	R	R
指数					READ_VIN		
7	6	5	4	3	2	1	0
R	R	R	R	R	R	R	R
READ_VIN							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-70. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:11	指数	R	11011b	LINEAR11 形式の 2 の補数指数。指数が 7 に固定され、0.03125V LSB になります。
10:0	READ_VIN	R/W	000 0000 0000b	入力電圧の遠隔測定データ。最小 128d (4V)、最大 640d (20V) でクランプされています。

Copyright © 2025 Texas Instruments Incorporated

7.56 (8Bh) READ_VOUT

CMD アドレス	8Bh
書き込みトランザクション:	該当なし
読み取りトランザクション:	読み出しワード
フォーマット:	LINEAR16、セクション 7.14 あたりの絶対値
NVM バックアップ:	なし
更新レート:	190µs
対応範囲	VOUT 1.953mV ステップ:最大 6V

READ_VOUT コマンドは、実際の測定された出力電圧 (VOSNS - GOSNS) をボルト単位で返します。詳細については、遠隔測定を参照してください。形式と LSB を(20h) VOUT_MODE で設定します。

サポートされている PMBus コマンドに戻ります。

図 7-64. (8Bh) READ_VOUT レジスタ マップ

15	14	13	12	11	10	9	8
R	R	R	R	R	R	R	R
0	0	0	READ_VOUT				
7	6	5	4	3	2	1	0
R	R	R	R	R	R	R	R
READ_VOUT							

凡例:R/W = 読み出し/書き込み、R = 読み出し専用

表 7-71. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:13	0	R	000b	サポートされず、常に 0 に設定されます。
12:0	READ_VOUT	R/W	000 0000 0000b	出力電圧のテレメトリ データ。最小 0V にクランプされます。

外部帰還抵抗を選択した場合の READ_VOUT の最大有効値を、以下の表に示します。最大値を上回る任意の値は、VOUT_SCALE_MONITOR 設定が正しくないことを示しています。

表 7-72. 外部帰還分周器による READ_VOUT のサポート値

VOUT_SCALE_MONITOR [3:0]		最大有効 READ_VOUT (V)
以下と等しいか大きい:	より小さい	
	2d	6.0
2d	4d	3.0
3.04d	8d	1.5
8d	16d	0.75

Copyright © 2025 Texas Instruments Incorporated

7.57 (8Ch) READ_IOUT

CMD アドレス	8Ch
書き込みトランザクション:	該当なし
読み取りトランザクション:	読み出しワード
フォーマット:	LINEAR11
位相:	あり
NVM バックアップ:	なし
更新レート:	70µs

READ_IOUT コマンドは、SW 出力電流の測定値をアンペア単位で返します。詳細については、遠隔測定を参照してください。

サポートされている PMBus コマンドに戻ります。

図 7-65. (8Ch) READ_IOUT レジスタ マップ

15	14	13	12	11	10	9	8
R	R	R	R	R	R	R	R
指数					READ_IOUT		
7	6	5	4	3	2	1	0
R	R	R	R	R	R	R	R
READ_IOUT							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-73. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:11	指数	R	11100b	線形形式の 2 の補数指数。-4 の固定指数では、シングル スタックでは 0.0625A LSB、マルチ スタックでは可変
10:0	READ_IOUT	R	現在のステータス	出力電流の読み取り値。 CSA 遠隔測定の最大電流能力は 57.125A 詳細については、遠隔測定を参照してください。

P2_PLUS_READ コマンドへの応答

コマンドの位相データを FFh に設定した状態で、PMBus ホストが READ_IOUT で P2+ 読み取りを実行しようとすると、1 次デバイスのみが PHASE = FFh の受信データを含む P2+ 読み取りコマンドに応答します。1 次デバイスは、READ_IOUT レベルに STACK_NUMBER を乗算し、製品を PMBus に報告します。たとえば、3 相レールの 1 次位相で READ_IOUT が 24A の場合、位相 = FFh を持つ P2+ 読み取りでは、読み戻し値として 24 x 3 = 72A が得られます。

Copyright © 2025 Texas Instruments Incorporated

7.58 (8Dh) READ_TEMPERATURE_1

CMD アドレス	8Dh
書き込みトランザクション:	該当なし
読み取りトランザクション:	読み出しワード
フォーマット:	LINEAR11
位相:	あり
NVM バックアップ:	なし
更新レート:	190µs
対応範囲:	-40℃ ～ 150℃

READ_TEMP1 コマンドは、コントローラ ダイの温度 (°C) を返します。詳細については、遠隔測定を参照してください。

サポートされている PMBus コマンドに戻ります。

図 7-66. (8Dh) READ_TEMPERATURE_1 レジスタ マップ

15	14	13	12	11	10	9	8
R	R	R	R	R	R	R	R
指数					READ_TEMP1		
7	6	5	4	3	2	1	0
R	R	R	R	R	R	R	R
READ_TEMP1							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-74. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:11	指数	R	1 1110b	LINEAR11 形式の 2 の補数指数。指数が -2 に固定され、0.25°C LSB になります。
10:0	READ_TEMP1	R/W	000 0000 0000b	コントローラ ダイの温度。

Copyright © 2025 Texas Instruments Incorporated

7.59 (98h) PMBUS_REVISION

CMD アドレス	98h
書き込みトランザクション:	該当なし
読み取りトランザクション:	読み出しバイト
フォーマット:	符号なしバイナリ (1 バイト)
NVM バックアップ:	なし

PMBUS_REVISION コマンドは、PMBus のリビジョンを返します。

サポートされている PMBus コマンドに戻ります。

図 7-67. (98h) PMBUS_REVISION レジスタ マップ

7	6	5	4	3	2	1	0
R	R	R	R	R	R	R	R
PMBUS_REVISION							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-75. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
7:0	PMBUS_REVISION	R	0101 0101b	PMBus リビジョン、PMBus 仕様のリビジョン 1.5 準拠 (パート I および II)。

Copyright © 2025 Texas Instruments Incorporated

7.60 (99h) MFR_ID

CMD アドレス	99h
書き込みトランザクション:	該当なし
読み取りトランザクション:	ブロック読み取り
フォーマット:	符号なしバイナリ (2 バイト)
NVM バックアップ:	なし
更新レート:	95µs
対応範囲:	0W ～ 510W (PIN_OPW = 510W の場合)

この読み取り専用ブロック読み取りコマンドは、メーカーの ID (ユニットのメーカーを示す名前、略語、またはシンボル) を含む 1 つのワード (16 ビット) を返します。ブロック読み取りコマンドの BYTE_COUNT フィールドは 2 です (2 バイトが続くことを示します)。

サポートされている PMBus コマンドに戻ります。

図 7-68. (2Bh) VOUT_MIN レジスタ マップ

15	14	13	12	11	10	9	8
R	R	R	R	R	R	R	R
4				9			
7	6	5	4	3	2	1	0
R	R	R	R	R	R	R	R
5				4			

注

54 は T の ASCII、49 は I の ASCII です

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

Copyright © 2025 Texas Instruments Incorporated

7.61 (9Ah) MFR_MODEL

CMD アドレス	9Ah
書き込みトランザクション:	該当なし
読み取りトランザクション:	ブロック読み取り
フォーマット:	符号なしバイナリ (4 バイト)
NVM バックアップ:	なし

この読み取り専用ブロック読み取りコマンドは、メーカーのモデル番号を含む 4 バイト (32 ビット) を返します。ブロック読み取りコマンドの BYTE_COUNT フィールドは 4 です (4 バイトが続くことを示します)。

サポートされている PMBus コマンドに戻ります。

図 7-69. (9Ah) MFR_MODEL レジスタ マップ

31	30	29	28	27	26	25	24
R	R	R	R	R	R	R	R
型番の拡張							
23	22	21	20	19	18	17	16
R	R	R	R	R	R	R	R
型番の 5 桁目				型番の 6 桁目			
15	14	13	12	11	10	9	8
R	R	R	R	R	R	R	R
型番の 3 桁目				型番の 4 桁目			
7	6	5	4	3	2	1	0
R	R	R	R	R	R	R	R
型番の 1 桁目				型番の 2 桁目			

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

Copyright © 2025 Texas Instruments Incorporated

7.62 (9Bh) MFR_REVISION

CMD アドレス	9Bh
書き込みトランザクション:	ブロック書き込み
読み取りトランザクション:	ブロック読み取り
フォーマット:	符号なしバイナリ (1 バイト)
NVM バックアップ:	あり

このシングル バイトのブロック コマンドは、メーカーのリビジョン番号の設定または読み取りに使用されます。これは書き込み可能で、NVM バックアップが含まれています。

サポートされている PMBus コマンドに戻ります。

図 7-70. (9Bh) MFR_REVISION

7	6	5	4	3	2	1	0
RW	RW	RW	RW	RW	RW	RW	RW
MFR_REVISION							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

Copyright © 2025 Texas Instruments Incorporated

7.63 (ADh) IC_DEVICE_ID

CMD アドレス	ADh
書き込みトランザクション:	該当なし
読み取りトランザクション:	ブロック読み取り
フォーマット:	符号なしバイナリ (6 バイト)
NVM バックアップ:	EEPROM
更新内容:	オンザフライ

ブロック読み取り専用 IC_DEVICE_ID コマンドは、PMBus インターフェイスに使用される、PMBus 内に組込まれた IC のタイプまたは型番を読み取るために使用されます。IC_DEVICE_ID は 6 バイトのブロック形式を使用します。最初の 2 バイトは、ASCII テキスト形式の「TI」の場合、0x5449h です。3 番目から 5 番目のバイトは、6 桁の部品番号を表す、直接読み取り可能な 16 進数の型番です。6 番目のバイトは、型番の拡張コードになります

サポートされている PMBus コマンドに戻ります。

図 7-71. (ADh) IC_DEVICE_ID レジスタ マップ

47	46	45	44	43	42	41	40
R	R	R	R	R	R	R	R
型番の拡張							
39	38	37	36	35	34	33	32
R	R	R	R	R	R	R	R
型番の 5 桁目				型番の 6 桁目			
31	30	29	28	27	26	25	24
R	R	R	R	R	R	R	R
型番の 3 桁目				型番の 4 桁目			
23	22	21	20	19	18	17	16
R	R	R	R	R	R	R	R
型番の 1 桁目				型番の 2 桁目			
15	14	13	12	11	10	9	8
R	R	R	R	R	R	R	R
4				9			
「I」の ASCII = 49h							
7	6	5	4	3	2	1	0
R	R	R	R	R	R	R	R
5				4			
「T」の ASCII = 54h							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

Copyright © 2025 Texas Instruments Incorporated

7.64 (AEh) IC_DEVICE_REV

CMD アドレス	AEh
書き込みトランザクション:	該当なし
読み取りトランザクション:	読み取りブロック
フォーマット:	符号なしバイナリ (1 バイト)
NVM バックアップ:	なし

ブロック読み取り専用 IC_DEVICE_REV コマンドは、固有のデバイス リビジョン識別子を持つ 1 バイトを返します。DEVICE_REV は最初のシリコンで 0 から始まり、以後のシリコン リビジョンごとにインクリメントされます。ブロック読み取りコマンドの BYTE_COUNT フィールドは 01h です (1 バイトが続くことを示します)。

サポートされている PMBus コマンドに戻ります。

図 7-72. (AEh) IC_DEV)CE_REVC レジスタ マップ

7	6	5	4	3	2	1	0
R	R	R	R	R	R	R	R
予約済み	PS_IC			DEVICE_REVISION			

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-76. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
7	予約済み	R	0b	使用されず、常に 0 に設定されます。
6:4	PS_IC	R	111b	電力段のバージョン。これらのビットは電力段のダイ ID からマップされます。
3:0	DEVICE_REVISION	R	0	デバイス リビジョン。

Copyright © 2025 Texas Instruments Incorporated

7.65 (D1h) SYS_CFG_USER1

CMD アドレス	D1h
書き込みトランザクション:	書き込みワード
読み取りトランザクション:	読み出しワード
フォーマット:	符号なしバイナリ (2 バイト)
NVM バックアップ:	EEPROM
更新内容:	オンザフライ

このコマンドには、システム構成用のその他のビットが含まれています。

サポートされている PMBus コマンドに戻ります。

図 7-73. レジスタ マップ

15	14	13	12	11	10	9	8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
FCCM	0		EN_SS_DCM	PGD_DEL		SEL_UCF	
7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PEC_REQ	0	0	EXT_DIV	SEL_HI_VORST_TH	EN_VORST	SEL_FIX_OVF	EN_FIX_OVF

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-77. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15	FCCM	R/W	NVM	強制 CCM 動作。 1b: スイッチング コンバータの連続導通を強制します。 0b: DCM 動作がイネーブルになり、LFET 検出電流のゼロ交差検出に基づいて自動的に開始または終了します。 このビットは、ディスエーブルになると更新されます。PMBus 書き込みは常に受け付けられ、データは更新されます。ただし、このビットを有効にするには、レールをディスエーブルする必要があります。 スタック構成では、FCCM は常に 1b に設定されます。
14:13	0	R/W	00b	サポートされておらず、常に 0 です。
12	EN__SS_DCM	R/W	NVM	SS (ソフト スタート) 時に DCM をイネーブル 1b: DCM 動作は、ソフト スタート時に有効になります。これにより、ソフト スタート時に FCCM ビットの設定がオーバーライドされます。 0b: DCM 動作は、ソフト スタート時に無効化されます。
11:10	PGD_DEL	R/W	NVM	PG 遅延。これらのビットは、SS_DONE が High に遷移してから PGOOD ピンが High に遷移するまでの立ち上がりエッジのグリッチ除去時間を示します。結果として、このグリッチ除去時間はレールのスタートアップごとに 1 回だけ含まれます。PMBus 書き込みは常に受け付けられ、データは更新されます。ただし、このビットを有効にするには、レールをディスエーブルする必要があります。 00b: 0.0015ms の遅延。 01b: 0.5ms の遅延。 10b: 1ms の遅延。 11b: 2ms の遅延。
9:8	SEL_UCF	R/W	NVM	これらのビットは、UCF スレッショルドを選択します。

Copyright © 2025 Texas Instruments Incorporated

表 7-77. レジスタのフィールドの説明 (続き)

ビット	フィールド	アクセス権	リセット	説明
7	PEC_REQ	R/W	NVM	すべてのトランザクションでパケット エラー チェック (PEC) が必要です。1 次デバイス以外の場合、このビットは無視されます。 0b:PEC に通常どおり応答します。PEC が提供されていない場合は、コマンドを受け入れます。追加の PEC バイトが提供されている場合、PEC を処理します 1b:PEC なしで受信されたコマンド トランザクションを拒否します。無効な PEC バイトが受信されたかのように応答します。
6:5	0	R/W	00b	サポートされておらず、常に 0 です。
4	EXT_DIV	R/W	NVM	外付け分圧抵抗を選択します。 このビットは、外付けの分圧抵抗と内部の分周器を選択するときのステータスを示すために使用されます。このビットはピン ストラップで設定されます。書き込みは受け付けられますが、保存されません。読み取りでは、ピン ストラップされた値が返されます。
3	SEL_HI_VORST_TH	R/W	NVM	VORST の上限スレッショルドを選択します。 0b:VORST スレッショルドは、VH = 0.6V、VL = 0.5V です 1b:VORST スレッショルドは VH = 1.1V、VL = 0.9V です
2	EN_VORST	R/W	NVM	VOUT リセット (VORST) をイネーブルにします。 0b:(PMB_ADDR/VORST) のプルダウンは、レギュレートされた出力電圧に影響はなく、Vout は変更されません 1b:(PMB_ADDR/VORST) のプルダウンをオンにすると、(27h) VOUT_TRANSITION_RATE で指定されたスルーレートで、レギュレートされた出力電圧を VBOOT に変化させる効果があります。EN_VORST を 1 に設定したときに VORST# ピンが Low の場合、VBOOT への遷移が発生します。
1	SEL_FIX_OVF	R/W	NVM	固定 OVF スレッショルドの選択。 0b:(29h) VOUT_SCALE_LOOP の仮数部が 8 のとき、OVF スレッショルドは 0.75V です 0b:(29h) VOUT_SCALE_LOOP の仮数部が 4 のとき、OVF スレッショルドは 1.5V です 0b:(29h) VOUT_SCALE_LOOP の仮数部が 2 のとき、OVF スレッショルドは 3.0V です 0b:(29h) VOUT_SCALE_LOOP の仮数部が 1 のとき、OVF スレッショルドは 4.8V です 1b:(29h) VOUT_SCALE_LOOP の仮数部が 8 のとき、OVF スレッショルドは 0.9V です 1b:(29h) VOUT_SCALE_LOOP の仮数部が 4 のとき、OVF スレッショルドは 1.8V です 1b:(29h) VOUT_SCALE_LOOP の仮数部が 2 のとき、OVF スレッショルドは 3.6V です 1b:(29h) VOUT_SCALE_LOOP の仮数部が 1 のとき、OVF スレッショルドは 6.0V です
0	EN_FIX_OVF	R/W	NVM	固定 OV 故障。 0b:固定 OVF を有効にする。 1b:固定 OVF を無効にする。

Copyright © 2025 Texas Instruments Incorporated

7.66 (D3h) PMBUS_ADDR

CMD アドレス	D3h
書き込みトランザクション:	書き込みワード
読み取りトランザクション:	読み出しワード
フォーマット:	符号なしバイナリ (2 バイト)
NVM バックアップ:	EEPROM
更新内容:	オンザフライ。(15h) STORE_USER_ALL 後、デバイスが新しい PMBus アドレスに応答するために VCC リセットが必要です。

このコマンドには、デバイスの PMBus アドレスを設定するためのビットと、PMB_ADDR ピンの他の構成を設定するためのビットが含まれています。このコマンド値の変更を NVM に保存すると、(D8h) PIN_DETECT_OVERRIDE の PMB_ADDR ビットが PMB_ADDR のプログラミング ピン検出を使用するように設定されていても、将来のパワーオン サイクルでデバイスの PMBus アドレスが変更されます。ピンのプログラマブルなアドレスすべてにおいて、現在のピンでプログラムされている PMBus アドレスに適用される変更によってシフトします。

たとえば、PMB_ADDR/VORST# が 1.78kΩ を上回って AGND に接続された状態でデバイスの電源がオンになり、PMBus アドレス 11h を選択し、PMBUS_ADDR が 15h に変更されてから NVM に保存されると、PMB_ADDR のプログラミング のすべての PMBUS_ADDR 値は、アドレスにおいて同じ +04h シフトだけシフトされます。PMB_ADDR/VORST# から AGND への抵抗が変更されていない場合、NVM プログラミングに基づいて PMB_ADDR を選択するように(D8h) PIN_DETECT_OVERRIDE が変更されなかった場合でも、部品はプログラムされた PMBus アドレスで動作します。

この値を変更し、PMBus アドレスのピン検出を引き続き有効にするときは注意する必要があります。この場合、デバイスの動作と競合する予約済み PMBus アドレスが選択される可能性があるためです。

このコマンド値を 70h 以上に設定する場合も注意する必要があります。更新された PMBus アドレスが、ピンによるプログラマブルな最高 PMBus アドレスをアドレス 7Fh よりも上にプッシュすると、ピンによるプログラマブルなアドレス範囲が 70h ～ 7Fh に制限されるよう、ピンによるプログラマブルなアドレスがクランプされます。

サポートされている PMBus コマンドに戻ります。

図 7-74. (D2h) MFR_SPECIFIC_D2 (PMBUS_ADDR) レジスタ マップ

15	14	13	12	11	10	9	8
R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
予約済み	COMMON_ADDR						
7	6	5	4	3	2	1	0
R	R	R	R/W	R	R	R	R/W
予約済み	UNIQUE_ADDR						

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-78. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15	予約済み	R	0b	使用されず、常に 0 に設定されます。
14:8	COMMON_ADDR	R/W	NVM	部品の 1 次 PMBus アドレス。起動復元後、このフィールドからの読み戻し値は、デバイスが応答するアドレスである必要があります。ピン ストラップによるこのフィールドへの影響については、PMB_ADDR のプログラミング を参照してください。
7	予約済み	R	0b	使用されず、常に 0 に設定されます。
6:0	UNIQUE_ADDR	R/W	NVM	部品の 2 次 (固有) PMBus アドレス。1 次 デバイスは一意のアドレスをサポートしておらず、フィールドは COMMON_ADDR と同じ値に設定されます。

Copyright © 2025 Texas Instruments Incorporated

7.67 (D4h) COMP

CMD アドレス	D4h
書き込みトランザクション:	書き込みワード
読み取りトランザクション:	読み出しワード
フォーマット:	符号なしバイナリ (2 バイト)
NVM バックアップ:	EEPROM
更新内容:	オンザフライ

このコマンドには、レギュレートされたレールの帰還補償設定が含まれます。

MSEL2 のプログラミング の GAIN 1 および RAMP 1 のオプションは、このコマンドのランプとゲインの値を使用するため、NVM に保存されている COMP に変更すると、(D8h) PIN_DETECT_OVERRIDE のランプまたはゲイン ビットがピンでプログラムされた値を選択するように設定されていても、GAIN1 と RAMP1 のピンでプログラムされた値が変更されます

サポートされている PMBus コマンドに戻ります。

図 7-75. レジスタ マップ

15	14	13	12	11	10	9	8
R/W	R/W	R/W	R/W	R	R	R	R
ゲイン				0			
7	6	5	4	3	2	1	0
R/W	R	R/W	R/W	R/W	R	R/W	R/W
FRC_IN_TIME	0	INT_TIME			0	SEL_RAMP	

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-79. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:12	ゲイン	R/W	NVM	これらのビットによって、AC ゲインの設定が決定されます。 0000b: 3V/V のゲイン 0001b: 5V/V のゲイン 0010b: 10V/V のゲイン 0011b: 15V/V のゲイン 0100b: 20V/V のゲイン 0101b: 25V/V のゲイン 0110b: 30V/V のゲイン 0111b: 35V/V のゲイン 1000b: 40V/V のゲイン 1001b: 50V/V のゲイン 1010b: 60V/V のゲイン 1011b: 70V/V のゲイン
11:8	0	R	0000b	サポートされておらず、常に 0 です。

Copyright © 2025 Texas Instruments Incorporated

表 7-79. レジスタのフィールドの説明 (続き)

ビット	フィールド	アクセス権	リセット	説明
7	FRC_INT_TIME	R/W	NVM	NVM の設定から積分器の時定数を強制します。 0b:このレジスタの INT_TIME[2:0] ビットを読み取り専用にし、以下の参照テーブル INT_TIME で指定されたように、(33h) FREQUENCY_SWITCH レジスタ内の既存のライブ データに基づいて入力されます。 • Fsw 400kHz、INT_TIME = 111b • Fsw 600kHz、INT_TIME = 110b • Fsw 800kHz または 1MHz、INT_TIME = 100b • Fsw 1.2MHz または 1.4MHz、INT_TIME = 011b • Fsw 1.8MHz または 2MHz、INT_TIME = 010b 1b:このレジスタの INT_TIME[2:0] ビットを、関連する NVM バックアップから書き込みおよび初期化できるようにします
6	0	R	0b	サポートされておらず、常に 0 です。
5:3	INT_TIME	R/W	NVM	積分器の時定数の設定。 000b = 0.25µs 001b = 1µs 010b = 3µs 011b = 4.5µs 100b = 6.25µs 101b = 8µs 110b = 10µs 111b = 20µs
2	0	R	0b	サポートされておらず、常に 0 です。
1:0	SEL_RAMP	R/W	NVM	ランプの振幅 / 勾配の設定。これらのビットによって、ランプの振幅 / 勾配が決定されます。 00b = 60 mV 01b = 120 mV 10b = 180 mV 11b = 240 mV

データの有効性

COMP の読み取り専用ビットへの書き込み試行は無視されます。

7.68 (D5h) VBOOT_OFFSET_1

CMD アドレス	D5h
書き込みトランザクション:	書き込みワード
読み取りトランザクション:	読み出しワード
フォーマット:	符号なしバイナリ (2 バイト)
NVM バックアップ:	EEPROM
更新内容:	オンザフライ

このコマンドには、ブートアップ電圧 VBOOT を設定するためのビットが含まれています。

サポートされている PMBus コマンドに戻ります。

図 7-76. レジスタ マップ

15	14	13	12	11	10	9	8
R/W	R/W	R	R	R	R	R	R
SPARE_NVM		0	0	0	0	0	0
7	6	5	4	3	2	1	0
R	R	R	R/W	R/W	R/W	R/W	R/W
0	0	0	VBOOT_1				

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-80. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:14	SPARE_NVM	R/W	NVM	予備 NVM。
13:5	0	R	0b	サポートされておらず、常に 0 です。
4:0	VBOOT_1	R/W	NVM	これらのビットには、(初期 VOUT 電圧を直接指定する場合とは異なり、) ソフトスタート用の VREF DAC ターゲット コードで使用される VBOOT 設定が含まれています。ユーザーは、目的の出力電圧 VOUT を実現するため、適切な VOUT_SCALE_LOOP を選択する必要があります。DAC ターゲット コードを直接設定すると、使用可能な VBOOT 電圧数を、内部ゲイン オプション設定数で乗算します。 注: 実効ブートアップ電圧は、VOUT_COMMAND を説明する表に記載されているように、VBOOT、VOUT_SCALE_LOOP、VOUT_MARGIN_HIGH、VOUT_MARGIN_LOW、VOUT_TRIM の組み合わせによって決定されます。適切な VOUT は、ピン ストラップまたは VOUT_SCALE_LOOP の NVM から設定されます。どの状態でも、VBOOT 値の更新を妨げるものはありません。ソフトスタート状態中にアクティブな VBOOT が更新されると、出力電圧は更新された VBOOT 設定値に向かって変化します。 VBOOT の値は、VBOOT_1 によってプログラムされます。

データの有効性

読み取り専用ビット [13:5] を変更しようとすると、無効 / サポートされていないデータと見なされます。デバイスはサポートされていないデータに対して NACK 応答し、受信した値は無視されます。STATUS_BYTE の「cml」ビットと STATUS_CML レジスタの「ivd」ビットが設定されます。

表 7-81. VBOOT_1 がサポートしている値と EEPROM 復元時の値

VBOOT_1 [4:0] (b)	VDAC_BOOT (V)
00000	0
00001	0.299804688

Copyright © 2025 Texas Instruments Incorporated

表 7-81. VBOOT_1 がサポートしている値と EEPROM 復元時の値 (続き)

VBOOT_1 [4:0] (b)	VDAC_BOOT (V)
00010	0.3125
00011	0.325195313
00100	0.337890625
00101	0.3501
00110	0.362304688
00111	0.375
01000	0.387695313
01001	0.3999
01010	0.412597656
01011	0.424804688
01100	0.4375
01101	0.450195313
01110	0.462890625
01111	0.4751
10000	0.487304688
10001	0.5
10010	0.512695313
10011	0.5249
10100	0.537109375
10101	0.549804688
10110	0.5625
10111	0.575195313
11000	0.587890625
11001	0.599609375
11010	0.625
11011	0.6499
11100	0.674804688
11101	0.700195313
11110	0.724609375
11111	0.75

Copyright © 2025 Texas Instruments Incorporated

7.69 (D6h) STACK_CONFIG

CMD アドレス	D6h
読み取りトランザクション:	読み出しバイト
フォーマット:	符号なしバイナリ (1 バイト)
NVM バックアップ:	EEPROM
更新内容:	オンザフライ

STACK_CONFIG は、システム内のデバイス数、スタック内のデバイスの場所、およびシステム内でのその役割を示します。ビット [7:4] は読み取り専用であり、ビット [3:2] および [1:0] はピンストラップの結果から入力されます。

サポートされている PMBus コマンドに戻ります。

図 7-77. レジスタ マップ

7	6	5	4	3	2	1	0
R	R	R	R	RW	RW	RW	RW
PSTR_STACK				STACK_NUMBER		STACK_POSITION	

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-82. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
7:4	PSTR_STACK	R	0000b	ピンストラップからのスタック番号とスタック位置。ピンストラップ値が STACK_NUMBER であるか、STACK_POSITION が上書きされます。形式は {STACK_NUMBER[1:0],STACK_POSITION[1:0]} です。
3:2	STACK_POSITION	R/W	NVM	システム スタック内のデバイス位置。 部品が 1 次デバイスか 2 次デバイスかを示します。これらのビットはピンストラップで設定されます。読み取り値はピンストラップされた値を返します。 00b: スタック コントローラ / 1 次デバイス 01b: 最初の 2 次デバイス 10b: 2 番目の 2 次デバイス 11b: 3 番目の 2 次デバイス
1:0	STACK_NUMBER	R/W	NVM	システム スタック内のデバイス数。 コントローラ / プライマリ デバイスを含む、スタック内のデバイスの総数を示します。これらのビットはピンストラップで設定されます。読み取り値はピンストラップされた値を返します。 00b: 単相 01b: 2 相 10b: 3 相 11b: 4 相

Copyright © 2025 Texas Instruments Incorporated

7.70 (D8h) PIN_DETECT_OVERRIDE

CMD アドレス	D8h
書き込みトランザクション:	書き込みワード
読み取りトランザクション:	読み出しワード
フォーマット:	符号なしバイナリ (2 バイト)
NVM バックアップ:	EEPROM
更新内容:	オンザフライ

このレジスタには、NVM またはピンストラップで設定できる選択された機能をオーバーライドするためのビットが含まれています。ビットが 0b に設定されている場合、デフォルトの NVM 値、またはユーザーがコマンド ソースの PMBus 優先度に従ってピンでプログラムされた値をオーバーライドします。このビットが 1b に設定されている場合、ピンでプログラムされた値が NVM 値 (デフォルトまたはユーザー ストア) をオーバーライドします。

電源オン時のピン検出から設定された PMBus コマンド値は、保存前にこれらのコマンドが書き込まれない限り、NVM 値を更新しません。ビットを 1b から 0b に変更する場合、NVM に保存する前に、そのコマンドまたは複数のコマンドに目的の値を書き込む必要があります。

オーバーライド ビットを有効にするには、ユーザーはこのビットを書き込み、EEPROM に保存してから、部品の電源サイクルを行う必要があります。

サポートされている PMBus コマンドに戻ります。

図 7-78. レジスタ マップ

15	14	13	12	11	10	9	8
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W
OVRD_STACK	0	0	0	OVRD_SS	OVRD_FLT_R_ESP	OVRD_PMB_ADDR	0
7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0	OVRD_MODE	OVRD_FSW	OVRD_RAMP	OVRD_GAIN	OVRD_OCL	0	OVRD_VSEL

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-83. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15	OVRD_STACK	R/W	NVM	0b: (D6h) STACK_CONFIG のピンストラップ結果は無視されます。このデバイスは 1 次単相デバイスとして動作します。 1b: ピンストラップの結果によって、1 次 / 2 次 デバイスの構成と(D6h) STACK_CONFIG の値が決まります。
14:12	0	R	0b	サポートされず、常に 0 に設定されます。このビットへの書き込み試行は無視されます。
13:12	0	R/W	00b	サポートされず、常に 0 に設定されます。
11	OVRD_SS	R/W	NVM	ソフト スタートのピンストラップ値をオーバーライドします。 0b: TON_RISE のピンストラップ結果は無視されます。NVM からの値は、TON_RISE レジスタに値が書き込まれるまで有効です。 1b: ピンストラップの結果によって、ソフト スタート値が決まります。
10	OVRD_FLT_RESP	R/W	NVM	故障応答ピンストラップ値をオーバーライドします。 0b: FAULT_RESPONSE のピンストラップ結果は無視されます。NVM の値は、VOUT_OV_FAULT_RESPONSE、VOUT_UV_FAULT_RESPONSE、または OT_FAULT_RESPONSE レジスタに値が書き込まれるまで有効です。 1b: ピンストラップの結果によって故障応答が決まります。

Copyright © 2025 Texas Instruments Incorporated

表 7-83. レジスタのフィールドの説明 (続き)

ビット	フィールド	アクセス権	リセット	説明
9	OVRD_PMB_ADDR	R/W	NVM	PMBus アドレスのピンストラップ値をオーバーライドします。 0b:PMBus_ADDR のピンストラップ結果は無視されます。NVM からの値は、PMBus_ADDR レジスタに値が書き込まれるまで有効です。 1b:ピンストラップ結果によって PMBus アドレス値が決まります。
8:7	0	R/W	00b	サポートされず、常に 0 に設定されます。
6	OVRD_MODE	R/W	NVM	モードのピンストラップ値をオーバーライドします。 0b:ピンストラップの結果または FCCM/DCM の軽負荷動作は無視されます。NVM からの値は、SYS_CFG_USER1 レジスタに値が書き込まれるまで有効です。 1b:ピンストラップの結果によってモード値が決まります。
5	OVRD_FSW	R/W	NVM	周波数スイッチのピンストラップ値をオーバーライドします。 0b:FREQUENCY_SWITCH のピンストラップ結果は無視されます。NVM からの値は、FREQUENCY_SWITCH レジスタに値が書き込まれるまで有効です。 1b:ピンストラップの結果によって、周波数スイッチの値が決まります。
4	OVRD_RAMP	R/W	NVM	RAMP ピンストラップ値をオーバーライドします。 0b:COMP のピンストラップ結果は無視されます。NVM からの値は、COMP レジスタに値が書き込まれるまで有効です。 1b:ピンストラップの結果によって RAMP 値が決まります。
3	OVRD_GAIN	R/W	NVM	GAIN ピンストラップ値をオーバーライドします。 0b:ピン ストラップ動作から得られたピンストラップの結果は無視されます。NVM からの値は、COMP レジスタに値が書き込まれるまで有効です。 1b:ピンストラップの結果によって、RAMP と GAIN の値が決まります。
2	OVRD_OCL	R/W	NVM	過電流制限 (OCL) のピンストラップ値をオーバーライドします。 0b:ピンストラップの結果 IOUT_OC_FAULT_LIMIT は無視されます。NVM からの値は、IOUT_OC_FAULT_LIMIT レジスタに値が書き込まれるまで有効です。 1b:ピンストラップの結果によって OCL 値が決まります。
1	0	R/W	NVM	サポートされず、常に 0 に設定されます。
0	OVRD_VSEL	R/W	NVM	VSEL ピンストラップ値をオーバーライドします。 0b:VSEL のピンストラップ結果は無視されます。NVM からの値は、VBOOT_1、VOUT_SCALE_LOOP、VOUT_COMMAND、VOUT_MAX、VOUT_MIN レジスタに値が書き込まれるまで有効です。 1b:ピンストラップの結果によって VSEL 値が決まります。外付け抵抗デバイダを選択する場合は無視されます。

Copyright © 2025 Texas Instruments Incorporated

7.71 (D9h) NVM_CHECKSUM

CMD アドレス	D1h
書き込みトランザクション:	該当なし
読み取りトランザクション:	読み出しワード
フォーマット:	符号なしバイナリ (2 バイト)
NVM バックアップ:	なし
更新内容:	オンザフライ

このコマンドには、不揮発性メモリ (NVM)の内容を読み取ったときの CRC 値が含まれます。チェックサムの値は CRC-16 (多項式 0x8005)として計算されます。チェックサムは 8 つの並列スライスで計算されます。入力 8 ビットの最後のワードにするために必要なパディングは 0 になります。チェックサム値は NVM に保存され、STORE 機能の整合性を確保します。ユーザーが計算した NVM_CHECKSUM と、予想される既知の良好な値を比較すると、STORE 操作中に破損したデータが RESTORE 時に検出されます。

サポートされている PMBus コマンドに戻ります。

図 7-79. (D9h) NVM_CHECKSUM レジスタ マップ

15	14	13	12	11	10	9	8
R	R	R	R	R	R	R	R
NVM_CHECKSUM							
7	6	5	4	3	2	1	0
R	R	R	R	R	R	R	R
NVM_CHECKSUM							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-84. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:0	NVM_CHECKSUM	R		最後に保存された NVM のチェック合計結果で応答します。 32 ビット(0Eh) PASSKEY NVM ビットは NVM_CHECKSUM の判定から除外され、悪意のあるアクターがデバイス構成を読み取って PASSKEY 値を繰り返し設定して、PASSKEY 値を検出しようとするのを防ぎます。

Copyright © 2025 Texas Instruments Incorporated

7.72 (DAh) READ_TELEMETRY

CMD アドレス	DAh
書き込みトランザクション:	該当なし
読み取りトランザクション:	読み取りブロック
フォーマット:	符号なしバイナリ (6 バイト)
NVM バックアップ:	なし
更新内容:	オンザフライ

このコマンドは、遠隔測定値の 6 バイト ブロック読み取りを行い、複数の読み取り機能を単一のコマンドに組み合わせることで、複数のアドレスおよびコマンド コード バイトを不要にし、ポーリングのバス利用率を向上させます。

READ_TELEMETRY ブロック内の各バイト ペアは、1 番目の下位バイトと 2 番目の上位バイトの読み取りワード ペアとして順序付けされます。バイトの順序は次のとおりです (バイト 0 ～ バイト 5)。

バイト 0、バイト 1: READ_VOUT の下位バイト、READ_VOUT の上位バイト

バイト 2、バイト 3: READ_IOUT の下位バイト、READ_IOUT の上位バイト

バイト 4、バイト 5: READ_TEMP1 の下位バイト、READ_TEMP1 の上位バイト

サポートされている PMBus コマンドに戻ります。

図 7-80. (DAh) READ_TELEMETRY ブロックマップ

0	1	2	3	4	5
R	R	R	R	R	R
READ_VOUT		READ_IOUT		READ_TEMP1	

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-85. ブロックのフィールドの説明

ブロック	フィールド	アクセス権	リセット	説明
0:1	READ_VOUT	R		ブロック内の各バイト ペアの内容については、各コマンドの詳細を参照してください。
2:3	READ_IOUT	R		
4:5	READ_TEMP1	R		

Copyright © 2025 Texas Instruments Incorporated

7.73 (DBh) STATUS_ALL

CMD アドレス:	DBh
書き込みトランザクション:	該当なし
読み取りトランザクション:	読み取りブロック
フォーマット:	符号なしバイナリ (6 バイト)
NVM バックアップ:	なし
更新内容:	オンザフライ

STATUS_ALL は、6 つの標準 STATUS コマンド コードすべてに対する 6 バイト ブロックのブロック読み取りを提供します。これにより、バスの利用率を低減して複数の故障を読み取ることができます。

サポートされている PMBus コマンドに戻ります。

図 7-81. (DBh) STATUS_ALL ブロック マップ

0	1	2	3	4	5
R	R	R	R	R	R
STATUS_VOUT	STATUS_IOUT	STATUS_INPUT	STATUS_TEMPERATURE	STATUS_CML	STATUS_MFR

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-86. ブロックのフィールドの説明

ブロック	フィールド	アクセス権	リセット	説明
0	STATUS_VOUT	R		ブロック内の各バイトの内容については、各コマンドの詳細を参照してください。
1	STATUS_IOUT	R		
2	STATUS_INPUT	R		
3	STATUS_TEMPERATURE	R		
4	STATUS_CML	R		
5	STATUS_MFR	R		

Copyright © 2025 Texas Instruments Incorporated

7.74 (DDh) EXT_WRITE_PROTECTION

CMD アドレス	DDh
書き込みトランザクション:	書き込みワード
読み取りトランザクション:	読み出しワード
フォーマット:	符号なしバイナリ (2 バイト)
NVM バックアップ:	EEPROM
更新内容:	オンザフライ

このコマンドは、標準の PMBus 書き込み保護(10h) WRITE_PROTECT を超える追加のレジスタ書き込み保護を設定します。

サポートされている PMBus コマンドに戻ります。

図 7-82. (DDh) EXT_WRITE_PROTECTION レジスタ マップ

15	14	13	12	11	10	9	8
R	RW	RW	RW	RW	RW	RW	RW
0	WPL	TRIML	VOCL	VOFCL	WRNL	IO_TEMPL	MRGNL
7	6	5	4	3	2	1	0
RW	RW	RW	RW	RW	RW	RW	RW
OPL	DFGL	VIFCL	SQNCL	MFRDL	PSKYL	RNVML	SNVML

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-87. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15	0	R	0b	使用されず、常に 0 に設定されます。このビットの読み取り試行は無視されます。
14	WPL	R/W	NVM	**書き込み保護のロック**。標準(10h) WRITE_PROTECT および EXTENDED_WRITE_PROTECT コマンドへの書き込みをブロックします。一度設定すると、取り消せません。 0b: (10h) WRITE_PROTECT と EXTENDED_WRITE_PROTECT コマンドは書き込み可能です。 1b: (10h) WRITE_PROTECT および EXTENDED_WRITE_PROTECT コマンドは読み取り専用です。
13	TRIML	R/W	NVM	ベース出力電圧を設定するコマンドを含め、トリム関連のコマンド (VOUT_TRIM、IMON_CAL、VOUT_SCALE_LOOP、VOUT_SCALE_MONITOR、VBOOT_OFFSET_1) へのブロック書き込みは、通常はデバイス構成に対して固定値に設定されます。 0b: (10h) WRITE_PROTECT で書き込み保護されていない限り、コマンドは書き込み可能です。 1b: コマンドは読み取り専用です。
12	VOCL	R/W	NVM	**Vout コマンドのロック**。ベース出力電圧 (VOUT_MODE、VOUT_COMMAND) の設定に関連するコマンドへブロック書き込みし、アプリケーションで動的に変更できます。 0b: (10h) WRITE_PROTECT で書き込み保護されていない限り、コマンドは書き込み可能です。 1b: コマンドは読み取り専用です。
11	VOFCL	R/W	NVM	**Vout 故障 構成のロック**。出力電圧故障の構成に関連するコマンドへのブロック書き込み (VOUT_MAX、VOUT_OV_FAULT_LIMIT、VOUT_OV_FAULT_RESPONSE、VOUT_UV_FAULT_LIMIT、VOUT_UV_FAULT_RESPONSE、VOUT_MIN)。 0b: (10h) WRITE_PROTECT で書き込み保護されていない限り、コマンドは書き込み可能です。 1b: コマンドは読み取り専用です。

Copyright © 2025 Texas Instruments Incorporated

表 7-87. レジスタのフィールドの説明 (続き)

ビット	フィールド	アクセス権	リセット	説明
10	WRNL	R/W	NVM	**警告**の**ロック**。警告の構成に関連するコマンドへの ブロック書き込み (SMBALERT_MASK、VOUT_OV_WARN_LIMIT、VOUT_UV_WARN_LIMIT、IOUT_OC_WARN_LIMIT、OT_WARN_LIMIT)。これには、SMB_ALERT# をアサートできる故障または警告のマスクが含まれます。 0b:(10h) WRITE_PROTECT で書き込み保護されていない限り、コマンドは書き込み可能です。 1b:コマンドは読み取り専用です。
9	IO_TEMPL	R/W	NVM	**Iout** および**温度**の**ロック**。出力電流および温度に関する故障の設定に関連するコマンド (IOUT_OC_FAULT_LIMIT、IOUT_OC_FAULT_RESPONSE、OT_FAULT_LIMIT、OT_FAULT_RESPONSE) へのブロック書き込み。 0b:(10h) WRITE_PROTECT で書き込み保護されていない限り、コマンドは書き込み可能です。 1b:コマンドは読み取り専用です。
8	MRGNL	R/W	NVM	**マージン**の**ロック**。出力電圧のマージン設定に関連するコマンド (VOUT_MARGIN_HIGH、VOUT_MARGIN_LOW、VOUT_TRANSITION_RATE) へのブロック書き込み。 0b:(10h) WRITE_PROTECT で書き込み保護されていない限り、コマンドは書き込み可能です。 1b:コマンドは読み取り専用です。
7	OPL	R/W	NVM	**操作**の**ロック**。OPERATION コマンドへのブロック書き込み。 0b:(10h) WRITE_PROTECT で書き込み保護されていない限り、コマンドは書き込み可能です。 1b:コマンドは読み取り専用です。
6	CFGL	R/W	NVM	**構成**の**ロック**。デバイスの構成の設定に関連するコマンド (FREQUENCY_SWITCH、SYS_CFG_USER1、PMB_ADDR、COMP、STACK_CONFIG) へのブロック書き込み。 0b:(10h) WRITE_PROTECT で書き込み保護されていない限り、コマンドは書き込み可能です。 1b:コマンドは読み取り専用です。
5	VIFCL	R/W	NVM	**Vin 故障 構成**の**ロック**。入力電圧故障 (VIN_OV_FAULT_LIMIT) の構成に関連するコマンドへのブロック書き込み。 0b:(10h) WRITE_PROTECT で書き込み保護されていない限り、コマンドは書き込み可能です。 1b:コマンドは読み取り専用です。
4	SQNL	R/W	NVM	**シーケンス**の**ロック**。シーケンシングの構成に関連するコマンド (TON_DELAY、TON_RISE、TOFF_DELAY、TOFF_FALL、ON_OFF_CONFIG、VIN_ON、VIN_OFF) へのブロック書き込み。 0b:(10h) WRITE_PROTECT で書き込み保護されていない限り、コマンドは書き込み可能です。 1b:コマンドは読み取り専用です。
3	MFRDL	R/W	NVM	**メーカー データ**の**ロック**。メーカー データ コマンド (MFR_ID、MFR_MODEL、MFR_REVISION) へのブロック書き込み。 0b:(10h) WRITE_PROTECT で書き込み保護されていない限り、コマンドは書き込み可能です。 1b:コマンドは読み取り専用です。

Copyright © 2025 Texas Instruments Incorporated

表 7-87. レジスタのフィールドの説明 (続き)

ビット	フィールド	アクセス権	リセット	説明
2	PSKYL	R/W	NVM	**パスキーのロック**。PASSKEY コマンドへのブロック書き込み。これは、パスキーを持たないデバイスに誤って PASSKEY を設定しようとする、偶発的または悪意のある試行を防止するためのものです。また、このビット設定をすると、PASSKEY コマンドでデバイスのロック解除を防ぎます。 0b:(10h) WRITE_PROTECT で書き込み保護されていない限り、コマンドは書き込み可能です。 1b:コマンドは読み取り専用です。
1	RNVML	R/W	NVM	**リストア NVM のロック**。RESTORE_USER_ALL コマンドへのブロック書き込み。RESTORE_USER_ALL がブロックされている場合は、パワーアップ後にリストアを許可する必要があります。 0b:(10h) WRITE_PROTECT で書き込み保護されていない限り、コマンドは書き込み可能です。 1b:コマンドは読み取り専用です。
0	SNVML	R/W	NVM	**ストア NVM のロック**。STORE_USER_ALL コマンドへのブロック書き込み。 0b:(10h) WRITE_PROTECT で読み取り専用に設定されていない限り、コマンドは書き込み可能です。 1b (パワーオン リセットまたは RESTORE 時):コマンドは読み取り専用です。 1b (その他のすべての時点):STORE、その後リセットまたは RESTORE を行うまで変更なし。

Copyright © 2025 Texas Instruments Incorporated

7.75 (DEh) IMON_CAL

CMD アドレス	DEh
書き込みトランザクション:	書き込みバイト
読み取りトランザクション:	読み出しバイト
フォーマット:	符号なしバイナリ (1 バイト)
NVM バックアップ:	EEPROM
更新内容:	オンザフライ

IMON_CAL コマンドには、READ_IOUT キャリブレーション用のビットが含まれています。

サポートされている PMBus コマンドに戻ります。

図 7-83. (DEh) IMON_CAL レジスタ マップ

7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
0				IMON_OFS_CAL			

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-88. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
7:4	0	R	0000b	サポートされておらず、常に 0 です。
3:0	IMON_OFS_CAL	R/W	NVM	これらのビットには、READ_IOUT ゲインのキャリブレーションが含まれています。このフィールドにより、公称報告のゲインを −3.52% から +3.91% に柔軟に変更できます。 0000b: IMON ゲイン調整 = −3.52% 0001b: IMON ゲイン調整 = −3.13% 0010b: IMON ゲイン調整 = −2.34% 0011b: IMON ゲイン調整 = −1.95% 0100b: IMON ゲイン調整 = −1.56% 0101b: IMON ゲイン調整 = −1.17% 0110b: IMON ゲイン調整 = −0.39% 0111b: IMON ゲイン調整 = −0% 1000b: IMON ゲイン調整 = +0.39% 1001b: IMON ゲイン調整 = +1.17% 1010b: IMON ゲイン調整 = +1.56% 1011b: IMON ゲイン調整 = +1.95% 1100b: IMON ゲイン調整 = +2.34% 1101b: IMON ゲイン調整 = +3.13% 1110b: IMON ゲイン調整 = +3.52% 1111b: IMON ゲイン調整 = +3.91%

Copyright © 2025 Texas Instruments Incorporated

7.76 (FCh) FUSION_ID0

CMD アドレス	FCh
書き込みトランザクション:	該当なし
読み取りトランザクション:	読み出しワード
フォーマット:	符号なしバイナリ (2 バイト)
位相:	なし
NVM バックアップ:	なし

FUSION_ID0 は、テキサス インスツルメンツの Digital Power Designer が TI デバイスを識別するために使用するプラットフォーム レベルの識別コードです。

このコマンドへの書き込みは受け付けられますが、それ以外の場合は無視されます (書き込み試行後、このコマンドの読み戻し値は変更されません)。一部の TI デバイスではこのコマンドに書き込むことができるため、交差互換性を維持するため、デバイスはこのコマンドに対する書き込みトランザクションも受け付けます。このコマンドの書き込み試行を受信した結果として、STATUS_CML ビットは設定されません。

サポートされている PMBus コマンドに戻ります。

図 7-84. (FCh) FUSION_ID0 レジスタ マップ

15	14	13	12	11	10	9	8
R	R	R	R	R	R	R	R
FUSION_ID0							
7	6	5	4	3	2	1	0
R	R	R	R	R	R	R	R
FUSION_ID0							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-89. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
15:0	FUSION_ID0	R	02C0h	02C0h にハードコードされています

Copyright © 2025 Texas Instruments Incorporated

7.77 (FDh) FUSION_ID1

CMD アドレス	FDh
書き込みトランザクション:	該当なし
読み取りトランザクション:	ブロック読み取り
フォーマット:	符号なしバイナリ (6 バイト)
位相:	なし
NVM バックアップ:	なし

FUSION_ID1 は、テキサス インスツルメンツの Digital Power Designer が TI デバイスを識別するために使用するプラットフォーム レベルの識別コードです。

このコマンドへの書き込みは受け付けられますが、それ以外の場合は無視されます (書き込み試行後、このコマンドの読み戻し値は変更されません)。一部の TI デバイスではこのコマンドに書き込むことができるため、交差互換性を維持するため、デバイスはこのコマンドに対する書き込みトランザクションも受け付けます。このコマンドの書き込み試行を受信した結果として、STATUS_CML ビットは設定されません。

サポートされている PMBus コマンドに戻ります。

図 7-85. (FDh) FUSION_ID1 レジスタ マップ

47	46	45	44	43	42	41	40
R	R	R	R	R	R	R	R
FUSION_ID1							
39	38	37	36	35	34	33	32
R	R	R	R	R	R	R	R
FUSION_ID1							
31	30	29	28	27	26	25	24
FUSION_ID1							
23	22	21	20	19	18	17	16
R	R	R	R	R	R	R	R
FUSION_ID1							
15	14	13	12	11	10	9	8
R	R	R	R	R	R	R	R
FUSION_ID1							
7	6	5	4	3	2	1	0
R	R	R	R	R	R	R	R
FUSION_ID1							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用

表 7-90. レジスタのフィールドの説明

ビット	フィールド	アクセス権	リセット	説明
47:40	FUSION_ID1	R	4Bh	4Bh にハードコードされています
39:32	FUSION_ID1	R	43h	43h にハードコードされています
31:24	FUSION_ID1	R	4Fh	4Fh にハードコードされています

Copyright © 2025 Texas Instruments Incorporated

表 7-90. レジスタのフィールドの説明 (続き)

ビット	フィールド	アクセス権	リセット	説明
23:16	FUSION_ID1	R	4Ch	4Ch にハードコードされています
15:8	FUSION_ID1	R	49h	49h にハードコードされています
7:0	FUSION_ID1	R	54h	54h にハードコードされています

Copyright © 2025 Texas Instruments Incorporated

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

TPS546E25 デバイスは、高集積の同期整流式降圧 DC/DC コンバータです。TPS546E25 は単純な設計手順で、ピンストラップまたは PMBus でプログラマブルなパラメータを構成し、不揮発性メモリ (NVM) に保存できるため、外付け部品数を最小限に抑えることができます。

8.2 代表的なアプリケーション

8.2.1 アプリケーション

この設計では、1.2V、50A のアプリケーションについて説明します。

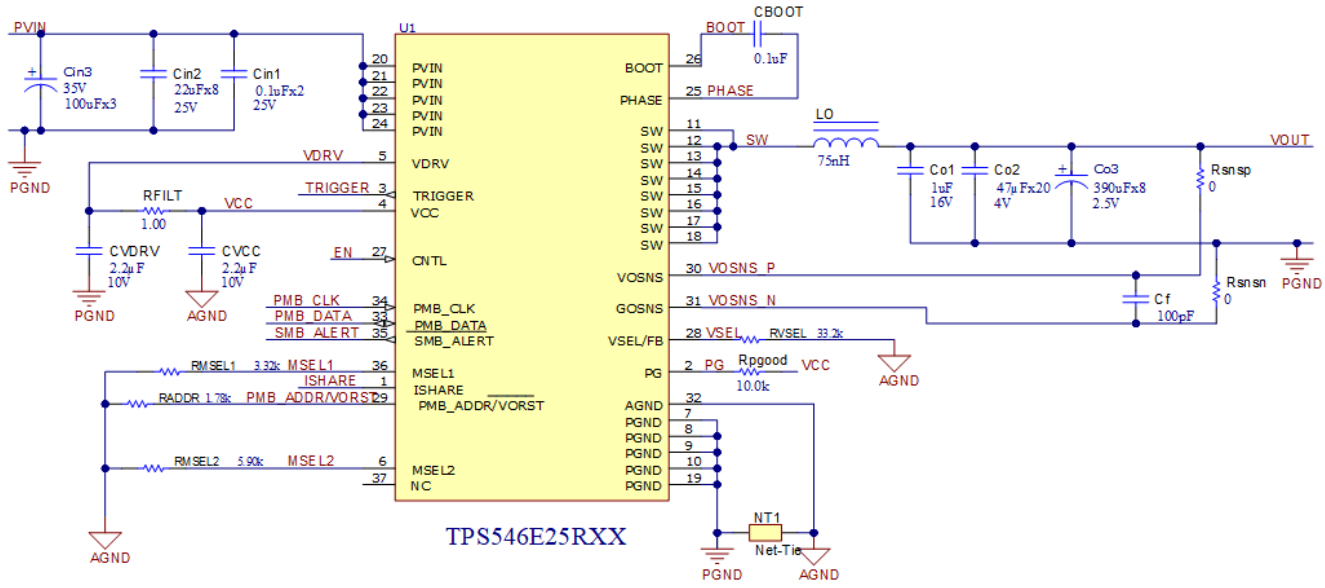


図 8-1. 1.2V、50A 出力のアプリケーション

8.2.2 設計要件

この設計では、次の表に示すパラメータを使用します。

表 8-1. 設計パラメータ

パラメータ	値
入力電圧	10.8V～13.2V
出力電圧	1.2V
出力電流	50A
スイッチング周波数	800kHz
PMBus アドレス	11h

Copyright © 2025 Texas Instruments Incorporated

8.2.3 詳細な設計手順

以下のステップでは、主要なコンポーネントの選択方法、ピンストラップ、およびデバイスを使用するためのその他の検討事項を説明します。

8.2.3.1 入力コンデンサの選択

入力電圧リップルと高周波バイパスを低減するように、入力コンデンサを選択する必要があります。その結果、デバイスの内部にある電力段 MOSFET のスイッチング ストレスを低減できます。この例では、0.1µF、25V、0402 を、PCB 上の IC と同じ層上にあるデバイスの PVIN ピンのできるだけ近くに配置する必要があります。また、8 つの 22µF セラミック コンデンサが使用されており、入力には 100µF バルク キャパシタが使用されています。

8.2.3.2 インダクタの選択

特定の設計において過渡性能とリップル要件のバランスがとれるように、インダクタを選択する必要があります。一般に、インダクタンスが小さいとループ帯域幅が増加するため、電流と電圧リップルが大きくなる代わりに、過渡応答が改善されます。

コンバータが必要とするインダクタ リップル電流の大きさを決定します。最大 DC 出力電流の 25% ～ 40% が、RMS 損失 (MOSFET とインダクタ内) と優れた負荷過渡応答との間の適切な妥協点を達成します。

$$L = ((vin-vout) \times duty\text{-}cycle \times Ts) / (delta\text{-}I) \quad (13)$$

ここで、DC 電流に耐えることができるインダクタを選択します。適切な選択肢:

- 全負荷時のインダクタンス *ドループ*は初期値の 20% 未満
- 過負荷条件下では飽和しない
- 動作周波数において DC 損失とコア損失が小さい
- 温度上昇が動作環境の範囲内に収まっていること

この例では、75nH、0.228mΩ のインダクタを使用しています。

8.2.3.3 出力コンデンサの選択

コンバータの出力キャパシタンスの選択には、多数の検討事項が含まれます。閉ループ安定性と負荷過渡応答は、2 つの主な目標です。ループ安定性の観点から、出力キャパシタンスのインピーダンスは、コンデンサの値だけでなく ESR および ESL も考慮する必要があります。ESR は、フィルタ伝達関数に *ゼロ*を供給します

$$Fz = 1 / (2pi \times ESR \times C) \quad (14)$$

ESL は 2 番目の 0 を提供します

$$Fz2 = 1 / (2pi \times sqrt (ESL \times C)) \quad (15)$$

出力フィルタの出力キャパシタンスの選択には、多くの場合 2 種類または 3 種類のコンデンサを使用します。

負荷過渡応答をサポートする出力キャパシタンスの選択は、次の検討事項です。出力電圧オーバーシュートを最小限に抑えるためのキャパシタンスはのように計算されます

$$Cout > (L \times Idrop^2) / (vout_overshoot^2\text{-}vout_nominal^2) \quad (16)$$

これは、公称出力電圧とピーク オーバーシュート出力電圧との間のエネルギー差に転送されるインダクタのエネルギーです。

多くの場合、出力電圧のオーバーシュートが 3% という要件の場合、LC コーナー周波数はスイッチング周波数の 1% ～ 1.5% 程度になります。

D-CAP4 の高速負荷過渡応答では、負荷の増加と電圧アンダーシュートが発生するケースの大部分に対応しています。ただし、負荷ステップが増加している間に、コンバータの最小オフ時間によって、レギュレーションを維持するのに十分な

Copyright © 2025 Texas Instruments Incorporated

速度でスイッチング周波数を上げる能力がコンバータの能力に制限される場合があります。出力電圧が高くなったり、公称スイッチング周波数が高くなったりする場合、この場合が当てはまります。

この設計では、8 個の 390µF SP コンデンサと 20 個の 47µF セラミック コンデンサを使用して、±3% の出力電圧レギュレーションで 100A/µs のスルーレートで 50A の負荷ステップをサポートしています。

8.2.3.4 補償の選択

デバイスの内部補償は、広範なアプリケーションに対応します。エラー アンプのゼロ周波数など、一部の設定は自動的に調整され、この場合は周波数の選択を使用して調整されます。その他の設定は、MSEL2 のピンストラップ選択、または PMBus による設定によって決定されます。

FB_ZERO_TAU は、エラー アンプのゼロ設定に対する設定です。

$$Fz = (10^6) / (2pi \times FB_ZERO_TAU) \quad (17)$$

RAMP は、内蔵されている内部ループ RAMP の振幅を設定します。ピン ストラップおよび PMBus で利用可能な RAMP 設定の全詳細については、「*MSEL2 のプログラミングおよび* COMP」を参照してください。120mV 設定から始めます。この選択は、ジッタと過渡応答との間で最良の妥協点を実現する必要があります。RAMP が大きいほどジッタは改善されますが、位相マージンは小さくなります。そのため、(上側の電圧設定用抵抗デバイダの両端に) フィード フォワード コンデンサが必要になります。

内部分周器を使用して出力電圧を設定する場合、GAIN を使用して、帰還ループに十分なループ ゲインが確保され、安定性と優れた負荷過渡性能を実現できるようにします。GAIN 設定は、VOUT_SCALE_LOOP パラメータ設定に従って選択します。

ゲイン	VOSL
3	0.125
10	0.25
15	0.5
30	1

外部電圧設定抵抗を使用するコンバータの場合は、上記の C の GAIN 設定から始めて、電圧設定抵抗比で除算します。

$$GAIN_External_R = GAIN_From_C_above / (R_BOT / (R_TOP+R_BOT)) \quad (18)$$

デバイスは D-CAP4 制御を使用して、使いやすさを維持しながら高速の負荷過渡応答を実現します。D-CAP4 制御アーキテクチャには、内部のリップル生成回路が含まれ、多層セラミック コンデンサ (MLCC) や低 ESR 高分子コンデンサなどの超低 ESR 出力コンデンサを使用できます。D-CAP4 制御アーキテクチャでは、外部の電流検出回路や電圧補償回路は不要です。

内部リップル生成回路の役割は、インダクタ電流情報のリップル成分をエミュレートし、電圧帰還信号と組み合わせることでループ動作を制御することです。D-CAP4 制御アーキテクチャにより、VOUT 全体のループ ゲイン変動が低減され、1 つのランプ設定で出力電圧範囲全体にわたって高速負荷過渡応答を実現できます。内部ランプ回路の R-C 時定数によって、ランプのゼロ周波数が設定されます。これは、他の R-C ベースの内部ランプ生成アーキテクチャと同様です。また、ループ ゲインの変動が小さくなるため、フィード フォワード コンデンサの必要性も緩和され、過渡応答を最適化できます。ランプ振幅は VIN によって変化し、入力電圧 (一般に入力電圧フィードフォワードと呼ばれます) 全体にわたるループ ゲインの変動を最小限に抑えます。

デバイスは、注入されたランプに起因する DC オフセットを補正するために内部回路を使用しており、特に軽負荷電流の場合、出力リップル電圧に起因する DC オフセットを大幅に低減します。外部補償を使用しない制御トポロジでは、出力フィルタがサポートするための最小範囲、最大範囲、またはその両方があります。代表的な降圧コンバータで使用する出力フィルタは、ローパス L-C 回路です。この L-C フィルタには二重極があります。低周波数では、出力設定点分圧抵抗

Copyright © 2025 Texas Instruments Incorporated

回路、およびデバイスの内部ゲインによって、全体のループ ゲインが設定されます。低周波数の L-C 二重極には、180 度の位相降下があります。出力フィルタ周波数では、10 進数毎にゲインが –40dB ロール オフし、位相は急速に減少します。内部リップル生成回路によって高周波数のゼロが導入されることで、ゲインのロール オフが 10 進数毎に –40dB から –20dB に減り、位相はゼロ周波数より 10 進数毎に 90 度増加します。

出力フィルタに使用するインダクタとコンデンサは、二重極が定常状態動作周波数の 1/30 を超えないように選択する必要があります。

補償と出力フィルタは、一緒に検討する必要があります。非常に小さい出力容量を選択すると、高周波の L-C 二重極が発生し、L-C の二重周波数まで全体のループ ゲインは高く維持されます。内部リップル生成回路のゼロも比較的高い周波数であるため、出力容量が非常に小さいループではクロスオーバー周波数が高くなりすぎ、不安定性が発生する可能性があります。

一般に、妥当な (より小さな) 出力容量が求められる場合には、出力リップル要件と負荷過渡要件を使用して、安定動作に必要な出力容量を決定できます。最大出力容量に関する推奨値を得るには、L-C の二重極周波数が動作周波数の 1/100 以上になるように、インダクタとコンデンサの値を選択します。この開始点から、次の基準を使用して基板上の小信号応答を確認します。基準は、ループ クロスオーバーの位相マージンが 50 度を超えていることです。位相マージンが 50 度より大きい限り、実際の最大出力容量はさらに大きくなる可能性があります。ただし、小信号測定 (ボード線図) を実行して設計を確認する必要があります。

MLCC を使用する場合は、設計の最終的な出力容量を決定する際に、ディレーティング特性を考慮します。たとえば、10µF、X5R、6.3V の仕様を持つ MLCC を使用する場合には、DC バイアスおよび AC バイアスによるディレーティングがそれぞれ 80% および 50% となります。実効的なディレーティングは、この 2 つの係数の積であり、この場合は 40%、4µF となります。アプリケーションで使用するコンデンサの具体的な特性については、コンデンサのメーカーに確認してください。

L-C の二重極が動作周波数の 1/100 付近にある大型出力フィルタの場合は、追加の位相ブーストが必要になることがあります。RFB_HS と並列にフィードフォワード コンデンサを配置すると、位相が増幅されます。詳細は、*『フィードフォワード コンデンサ付きの内部的に補正される DC/DC コンバータの過渡応答の最適化』アプリケーション ノート*を参照してください。位相を増幅する以外に、フィードフォワード コンデンサは AC 結合を通じてより多くの VOUT ノード情報を FB ノードに供給します。このフィードフォワードにより、負荷過渡イベント時に、VOUT 偏差に対する制御ループの応答を短縮できます。ただし、定常状態動作時のこのフィードフォワードにより、より多くの VOUT リップルやノイズが FB に送られます。FB 上の高いリップルとノイズは通常、ジッタの増加、またはダブル パルス動作につながります。最終的なフィードフォワード コンデンサの値が、FB 上の位相マージン、負荷過渡性能、リップル、ノイズに与える影響をすべて考慮する必要があります。

8.2.3.5 VCC および VRDV バイパス コンデンサ

VCC ピンと VDRV ピンをバイパスするには、最小 2.2µF ～ 4.7µF、定格 10V のコンデンサを使用し、2 つのピンを 1Ω で接続します。VCC バイパス コンデンサは AGND を参照し、VDRB バイパス コンデンサは PGND を参照する必要があります。

8.2.3.6 BOOT コンデンサの選択

PHASE から BOOT には、最低 0.1µF のコンデンサを接続してください。0Ω または 2.2Ω の直列ブート抵抗をオプションで追加できます。

8.2.3.7 VOSNS および GOSNS コンデンサの選択

VOSNS と GOSNS との間に 100pF のセラミック コンデンサを使用し、RSNSP と RSNSN の抵抗をそれぞれ VOUT と PGND に使用します。デカップリング コンデンサにより、スイッチング ノイズによる影響を最小限に抑え、負荷でのより優れた VOUT およびリモート PGND センシングが可能になります。

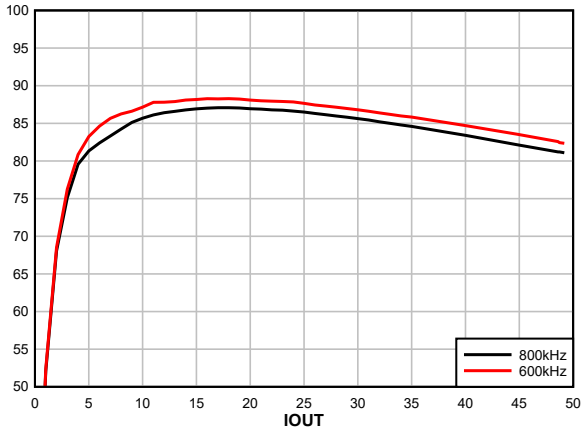
8.2.3.8 PMBus® アドレス抵抗の選択

外付け抵抗で選択可能な PMBus アドレスの一覧については、「*PMB_ADDR/VORST# のプログラミング*」を参照してください。PMB_ADDR/VORST# ピンと AGND との間に抵抗を接続することにより、メモリ マップ内で事前設定された

Copyright © 2025 Texas Instruments Incorporated

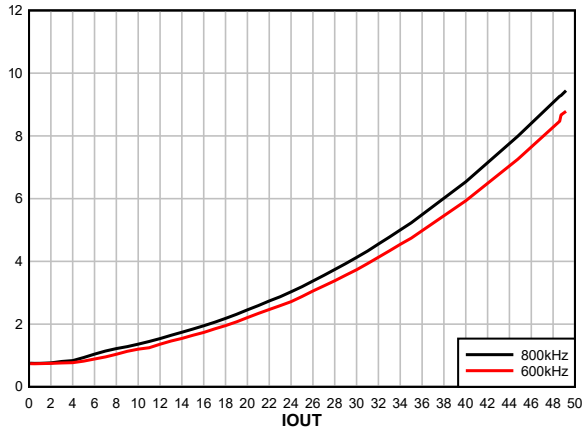
PMBus アドレスが設定されます。このアプリケーションでは、1.78kΩ 抵抗によって 11h の PMBus アドレスが選択されます。

8.2.4 アプリケーション曲線



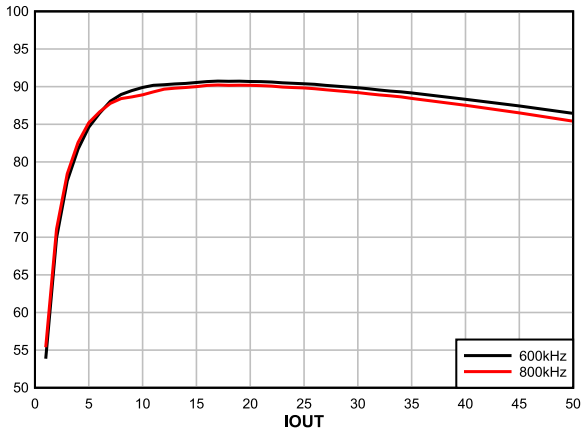
PVIN = 12 V　　V_{OUT} = 0.75V

図 8-2. 効率、FCCM、内部 LDO



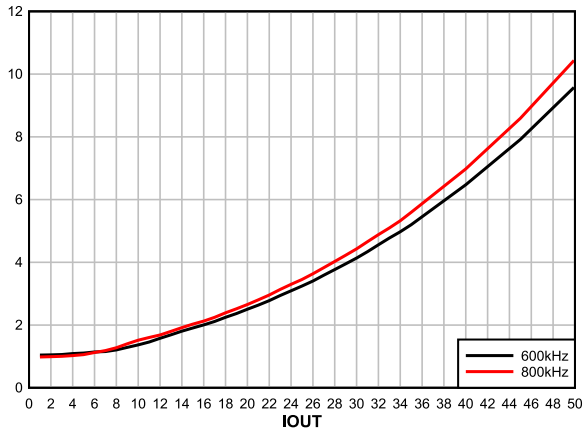
PVIN = 12 V　　V_{OUT} = 0.75V

図 8-3. 消費電力、FCCM、内部 LDO



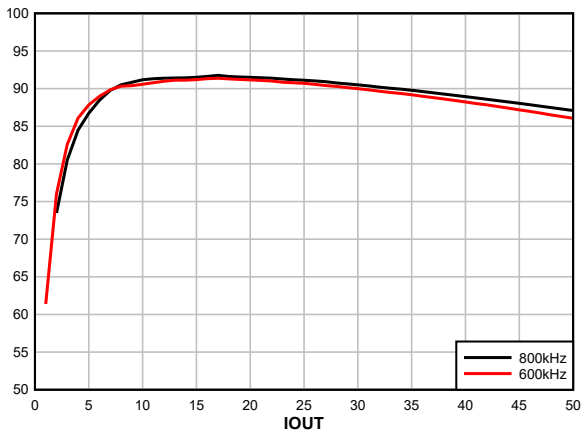
PVIN = 12 V　　V_{OUT} = 1.2V

図 8-4. 効率、FCCM、内部 LDO



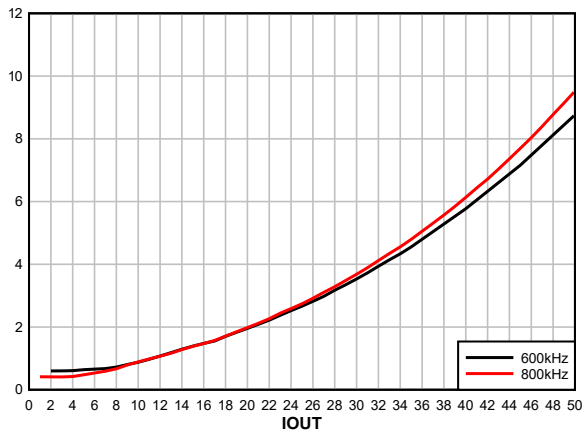
PVIN = 12 V　　V_{OUT} = 1.2V

図 8-5. 消費電力、FCCM、内部 LDO



PVIN = 12 V　　V_{OUT} = 1.2V

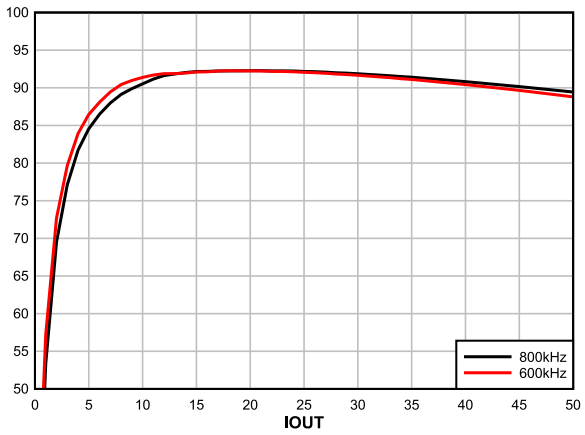
図 8-6. 効率、FCCM、外部 5V バイアス



PVIN = 12 V　　V_{OUT} = 1.2V

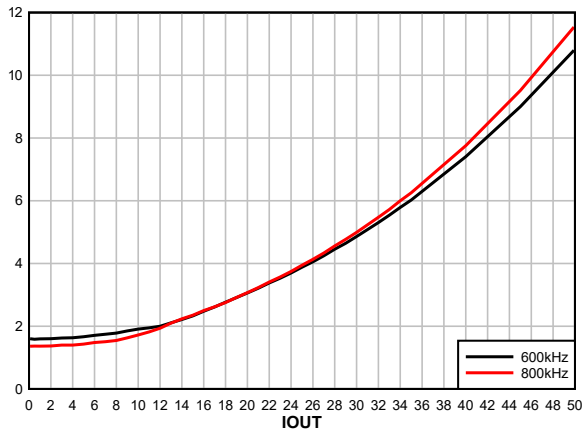
図 8-7. 消費電力、FCCM、外部 5V バイアス

Copyright © 2025 Texas Instruments Incorporated



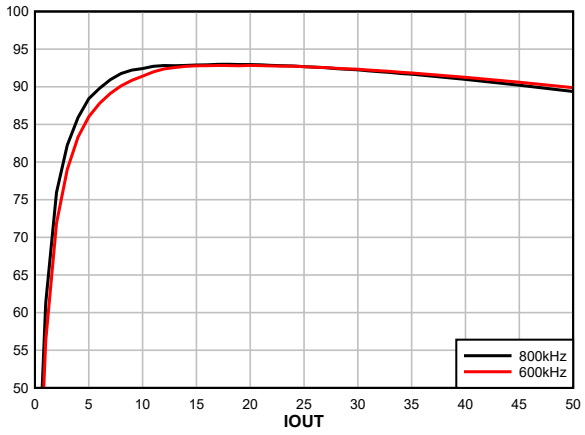
PVIN = 12 V V_{OUT} = 1.8V

図 8-8. 効率、FCCM、内部 LDO



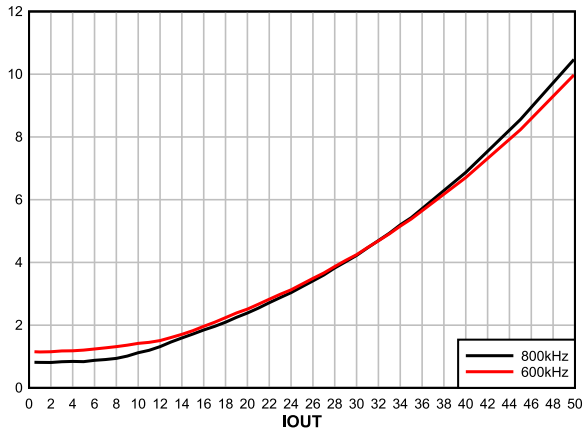
PVIN = 12 V V_{OUT} = 1.8V

図 8-9. 消費電力、FCCM、内部 LDO



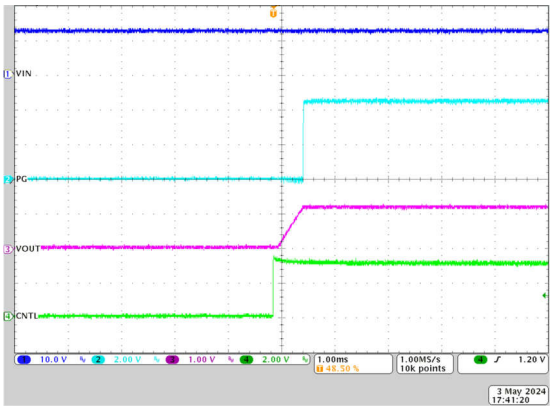
PVIN = 12 V V_{OUT} = 1.8V

図 8-10. 効率、FCCM、外部 5V バイアス



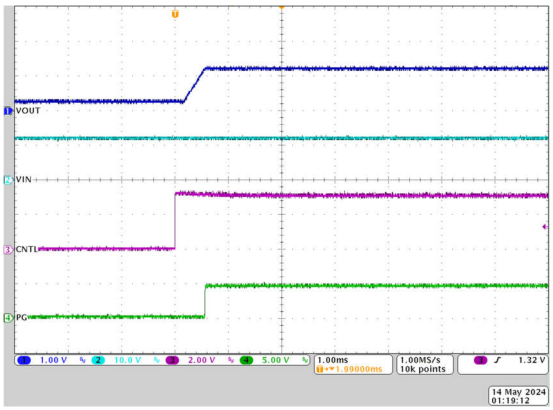
PVIN = 12 V V_{OUT} = 1.8V

図 8-11. 消費電力、FCCM、外部 5V バイアス



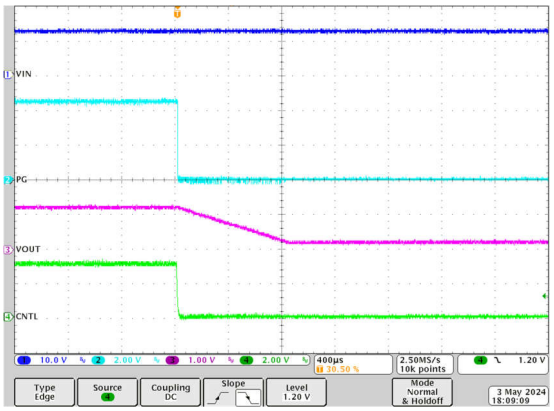
CH1 = VIN CH3 = VOUT
CH2 = PG CH4 = CNTL

図 8-12. CNTL スタートアップ波形



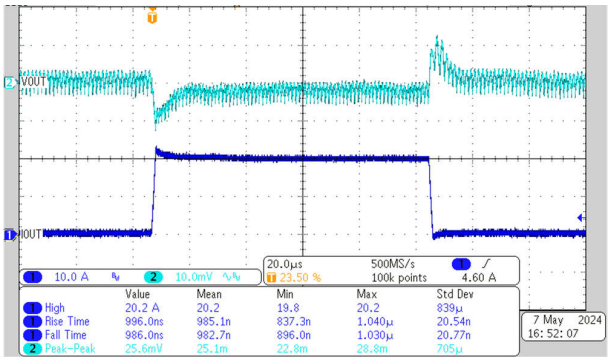
CH1 = VOUT CH3 = CNTL
CH2 = VIN CH4 = PG

図 8-13. CNTL プリバイアス スタートアップ、300mV 印加



CH1 = VIN
CH2 = PG
CH3 = VOUT
CH4 = CNTL

図 8-14. CNTL シャットダウン波形、1.2Vout、800kHz FCCM



CH1 = IOUT
CH2 = VOUT
スルーレート:20A/uS

図 8-15. 負荷過渡応答 0A ～ 20A

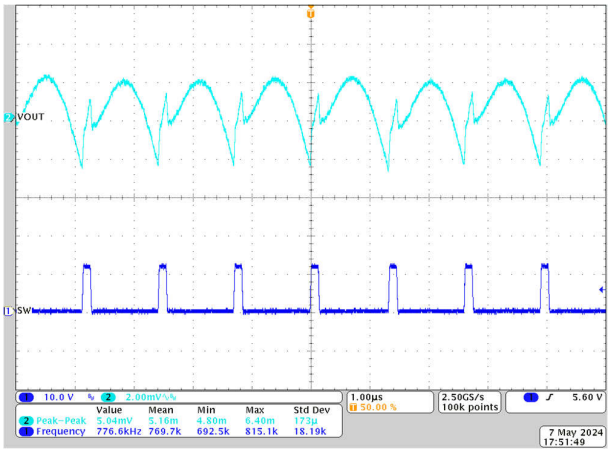


図 8-16. 出力電圧リップル、1.2V Vout、800kHz FCCM、25A 負荷

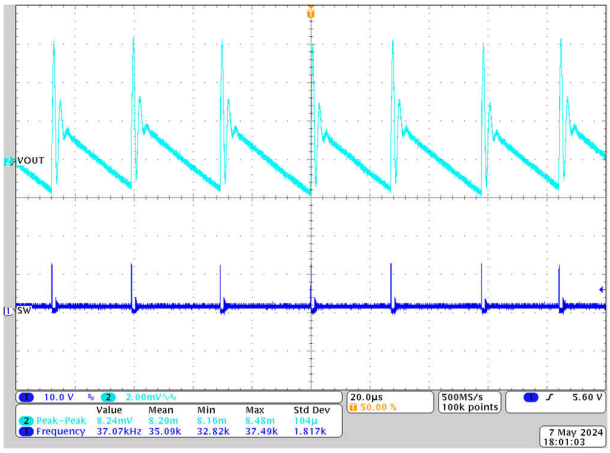


図 8-17. 出力電圧リップル、1.2V Vout、800kHz DCM、無負荷

8.3 電源に関する推奨事項

このデバイスは、VCC ピンと VDRV ピンが 4.75V ～ 5.3V の範囲の外部バイアスで給電されるとき、2.7V ～ 18V の広い入力電源電圧範囲で動作するよう設計されています。すべての入力電源 (PVIN、VCC、VDRV バイアス) には、適切なレギュレーションが必要です。PCB レイアウトおよびグランド方式と同様に、入力電源を適切にバイパスすることも、ノイズ性能にとって重要です。「*レイアウトのガイドライン*」の推奨事項を参照してください。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

レイアウトは、優れた電源設計のために重要です。セクション 8.4.2 に、推奨される PCB レイアウト構成を示します。

デバイスの使用に関する PCB レイアウトの検討事項を以下に示します。

- 電源部品 (入力 / 出力コンデンサ、インダクタ、IC を含む) は、PCB の上面に配置します。小信号パターンをノイズの多い電源ラインから遮蔽 / 絶縁するために、少なくとも 1 つのソリッドなグランド内部プレーンを挿入します。
- PVIN と PGND の間のデカップリング コンデンサは、FET の堅牢性を高めるために重要です。体積の大きい 0603 または 0805 セラミック コンデンサのほかに、PVIN ピン 20 (最上層) に 25V/X7R 定格の 0.1µF 0402 セラミック コンデ

Copyright © 2025 Texas Instruments Incorporated

ンサを配置し、PVIN から PGND ループに流れる高周波電流をバイパスすることを TI は強くお勧めします。TI では 25V 定格を推奨しますが、厳格に安定化された 12V 入力バスを使用するアプリケーション向けには、定格を 16V まで下げることができます。

- 下層に 1 つまたは複数の PVIN と PGND 間のデカップリング コンデンサを配置する場合、IC PVIN ノードを IC PGND ノードにバイパスするために追加のインピーダンスを導入します。PVIN パッド (ピン 20 ～ ピン 24 で形成) に少なくとも 3 倍の PVIN ビアを配置し、サーマル パッド (IC の下) に少なくとも 9 倍の PGND ビアを配置することは、下層のバイパス コンデンサの余分なインピーダンスを最小化するため重要です。
- サーマル パッドの下にある PGND ビアに加えて、PGND ピン 7 ～ ピン 10 のできるだけ近くに少なくとも 4 つの PGND ビアを配置する必要があります。PGND ピン 19 のできるだけ近くに、少なくとも 2 つの PGND ビアを配置する必要があります。この操作により、PGND バウンスが最小化され、熱抵抗も低下します。
- VDRV と PGND 間のデカップリング コンデンサをデバイスのできるだけ近くに配置します。TI は、2.2µF/6.3V/X7R/0603 または 4.7µF/6.3V/X6S/0603 セラミック コンデンサをお勧めします。このバイパス コンデンサの定格電圧は、ESR と ESL を低減するために、6.3V 以上 10V 以下にする必要があります。DC バイアス効果による容量降下を最小化するため、コンデンサの推奨サイズは 0603 です。VDRV から PGND へのデカップリング ループが最も小さく、配線パターンがインピーダンスの低減のために十分な幅であることを確認します。
- VCC と AGND の間のデカップリング コンデンサは、同じ側で、IC にできる限り近づけて配置します。VCC ピンを VDRV ピンに接続し、1Ω 0402 5% 以下の抵抗を使用します。VCC ピンと VDRV ピンの間に 1Ω の抵抗を配置することで VCC ピンに RC フィルタを形成することで、電力段ドライバ回路によるノイズの影響を大幅に低減できます。TI は、2.2µF/6.3V/X7R/0603 または 4.7µF/6.3V/X6S/0603 セラミック コンデンサをお勧めします。このバイパス コンデンサの定格電圧は、ESR と ESL を低減するために、6.3V 以上 10V 以下にする必要があります。
- リモート検出の場合、VOSNS/GOSNS ピンから遠隔地への接続には、パターン幅が 12mil 以上の 1 対の PCB パターンとする必要があり、0.1µF 以上の高バイパス コンデンサの両端にケルビン検出を実装する必要があります。リモート検出信号のグランド接続を GOSNS 端子に接続する必要があります。リモート検出信号の VOUT 接続を VOSNS 端子に接続する必要があります。安定した出力電圧を維持し、リップルを最小限に抑えるには、インダクタや SW ノード、高周波クロック ラインなどのノイズ源から、1 対のリモート検出ラインを離して配置する必要があります。また、リモート検出ラインのペアを上下のグランド プレーンでシールドすることを TI は推奨します。
- シングルエンド検出の場合は、VOSNS ピンを 0.1µF 以上の高周波のローカル バイパス コンデンサに接続し、最短のパターンで GOSNS を AGND に短絡します。
- AGND をソリッド PGND プレーンに接続する必要があります。TI では、2 つの AGND ビアをピンの近くに配置して AGND を上層から下層に配線してから、AGND パターンを下層のネット タイまたは 0Ω 抵抗を介して PGND ビア (IC の下) に接続することを推奨します。
- PMB_ADDR ピンと AGND の間に抵抗を接続すると、アドレスが設定されます。このピンにはコンデンサを接続しないでください。ピンにコンデンサが接続されていると、アドレスの誤った検出結果につながる可能性があります。
- ピン 6 (DNC) は、未接続ピンです。ピン 6 は、グランドを含めた他の回路には接続しないでください。
- 外部の分周器でデバイスを構成する場合、ハイサイド抵抗を VOSNS ピンから VSEL/FB ピンに、ローサイド帰還抵抗を VSEL/FB ピンとデバイスに近い GOSNS ピンに接続します。
- MSEL1 抵抗、MSEL2 抵抗、PMB_ADDR 抵抗、VSEL/FB 抵抗のリターンは (内部の帰還分周器を使用する場合)、ノイズの少ない AGND アイランドです。

Copyright © 2025 Texas Instruments Incorporated

8.4.2 レイアウト例

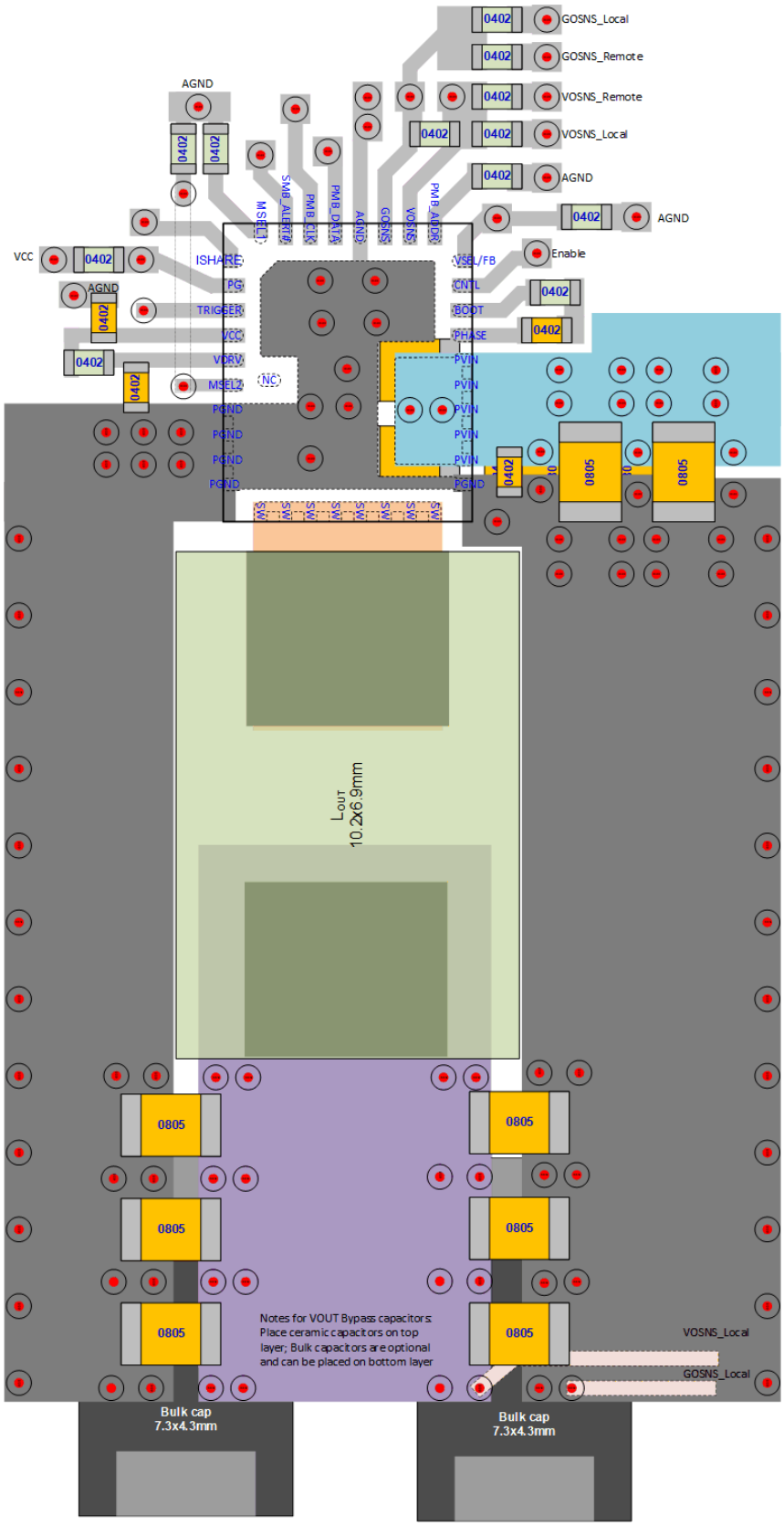


図 8-18. レイアウトに関する推奨事項

Copyright © 2025 Texas Instruments Incorporated

8.4.2.1 TPS546E25 EVM の放熱性能

以下に、PVIN = 12V、V_{OUT} = 1.2V を条件としてこの評価基板で測定した熱結果を示します。

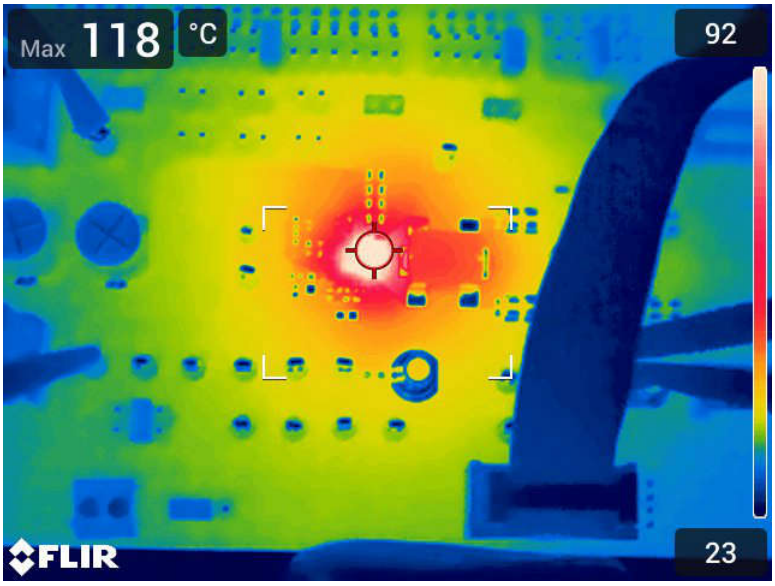


図 8-19. 熱画像、800kHz FCCM、50A 負荷

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

テキサス インスツルメンツ、『フィードフォワード コンデンサ付き内部補正 DC/DC コンバータの過渡応答の最適化』アプリケーション レポート

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
PMBus® is a registered trademark of System Management Interface Forum (SMIF).
すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (July 2024) to Revision A (April 2025)	Page
• ドキュメントのステータスを「事前情報」から「量産データ」に変更	1

Copyright © 2025 Texas Instruments Incorporated

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS546E25RXXR	Active	Production	WQFN-FCRLF (RXX) | 37	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	T546E25
TPS546E25RXXR.A	Active	Production	WQFN-FCRLF (RXX) | 37	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	T546E25
TPS546E25RXXR.B	Active	Production	WQFN-FCRLF (RXX) | 37	3000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

GENERIC PACKAGE VIEW

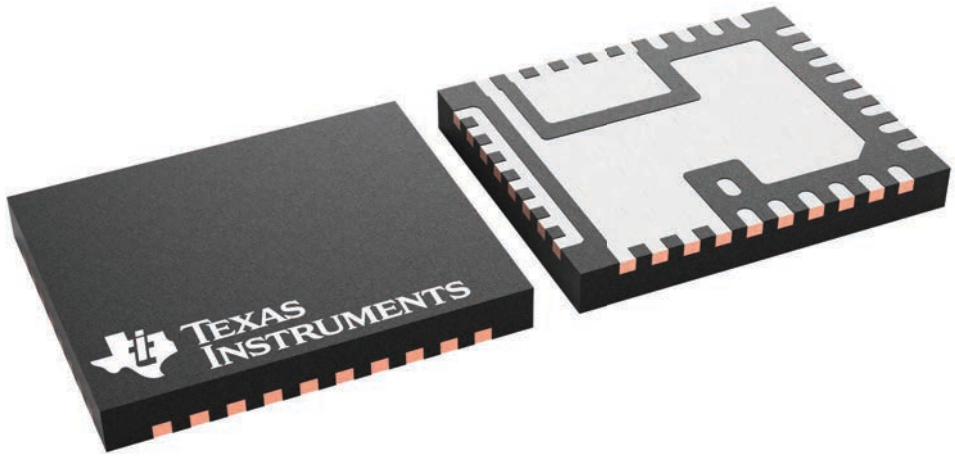
RXX 37

VQFN-FCRLF - 1.05 mm max height

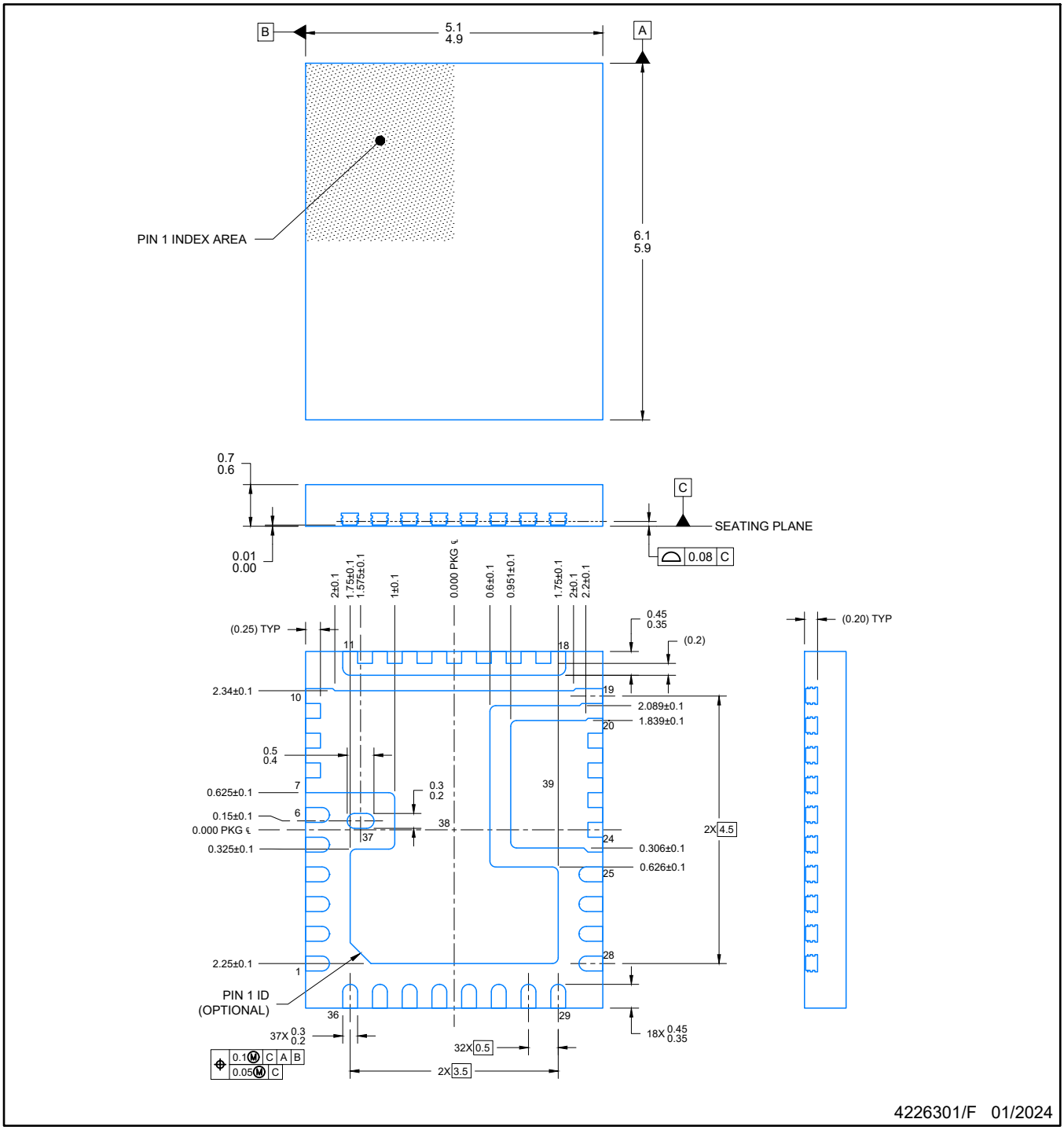
5 x 6, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

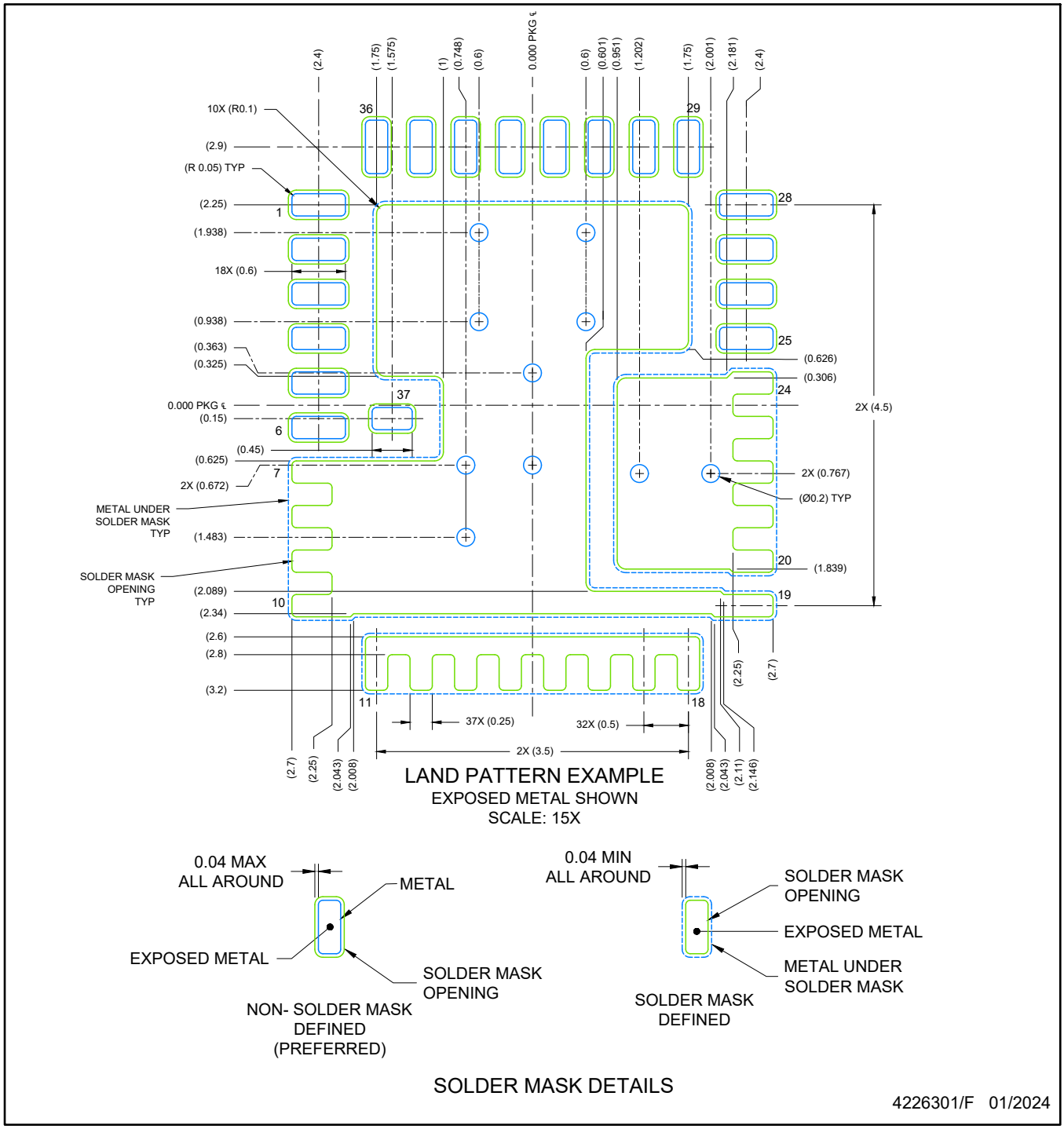


4228557/A



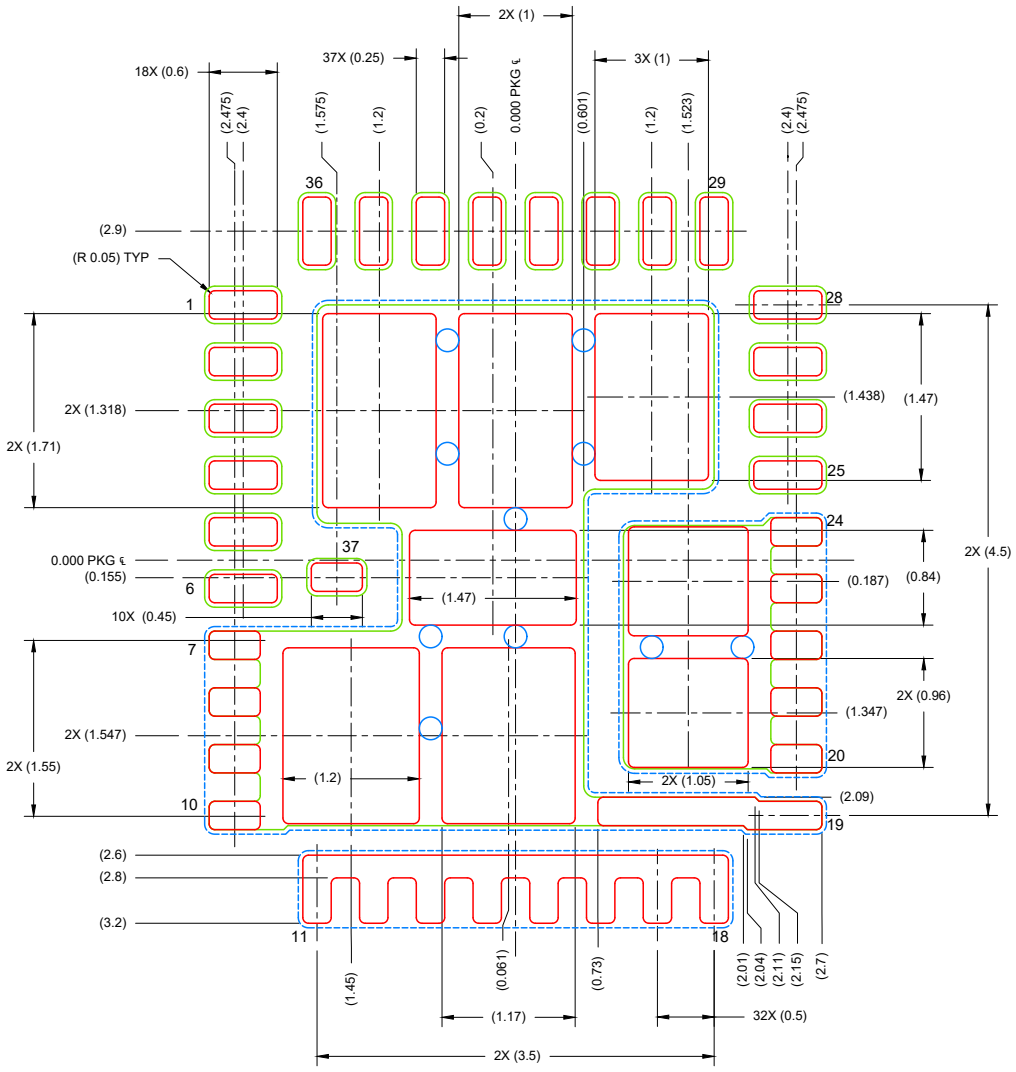
NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271) .
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
6. Recommended board layout is designed for 2oz copper for high current applications.



SOLDER PASTE EXAMPLE

BASED ON 0.1 mm THICK STENCIL

SOLDER COVERAGE :
Thermal Pad connected to pin 7-10, 19 : 80%
Thermal Pad connected to pin 20-24 : 86%
SCALE: 15X

4226301/F 01/2024

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月