

SNx4HCT240 3 ステート出力、オクタル・バッファ / ライン・ドライバ

1 特長

- 4.5V～5.5V の動作電源電圧範囲
- 大電流出力は最大 15 個の LSTTL 負荷を駆動可能
- 低消費電力、最大 I_{CC} : 80 μ A
- $t_{pd} = 12$ ns (標準値)
- 5V で ± 6 mA の出力駆動能力
- 低い入力電流: 1 μ A 以下
- 入力は TTL 電圧互換
- バスラインまたはバッファメモリアドレスレジスタを駆動できる 3 ステート出力

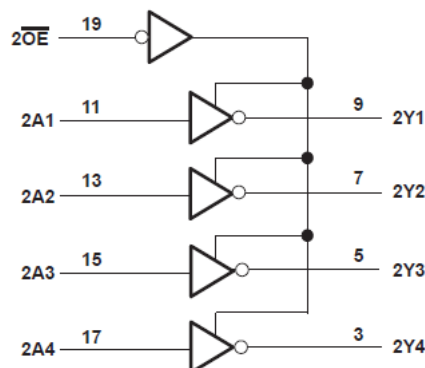
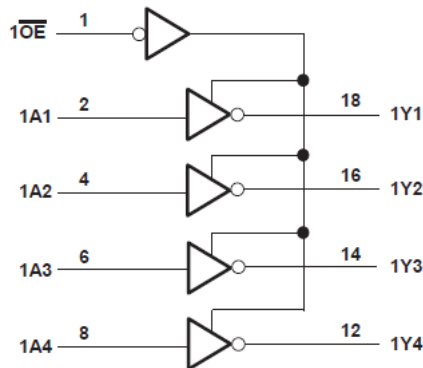
2 概要

これらの 8 進バッファ / ラインドライバは、3 ステートメモリアドレスドライバ、クロックドライバ、バス用レシーバ / トランスミッタの性能と密度の両方を向上することに特化して設計されています。'HCT240 デバイスは、独立した出力イネーブル (\overline{OE}) 入力を備えた 2 つの 4 ビットバッファ / ドライバで構成されています。 \overline{OE} が Low の場合、デバイスは A 入力の反転データを Y 出力に渡します。 \overline{OE} が High の場合、出力は高インピーダンス状態になります。

製品情報

部品番号	パッケージ ⁽¹⁾	パッケージサイズ ⁽²⁾	本体サイズ ⁽³⁾
SN74HCT240	DGS (VSSOP, 20)	5.1mm × 4.9 mm	5.1 mm × 3mm
	DW (SOIC, 20)	12.80mm × 10.3mm	12.80mm × 7.50mm
	PDIP (20)	24.33mm × 9.4 mm	24.33 mm × 6.35mm
	NS (SOP, 20)	12.6mm × 7.8mm	12.6mm × 5.3mm
	PW (TSSOP, 20)	6.50mm × 6.4mm	6.50mm × 4.40mm
SN54HCT240	J (CDIP, 20)	24.2mm × 7.62mm	24.2 mm × 6.92mm
	FK (LCCC, 20)	8.9mm × 8.9mm	8.9mm × 8.9mm

- (1) 詳細については、「[メカニカル、パッケージ、および注文情報](#)」を参照してください。
- (2) パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。
- (3) 本体サイズ (長さ × 幅) は公称値であり、ピンは含まれません。



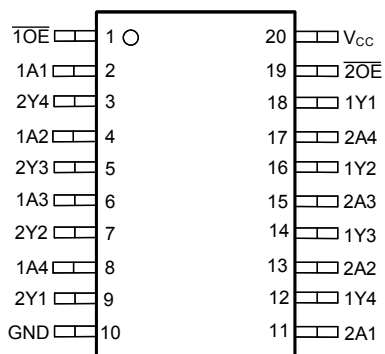
機能ブロック図



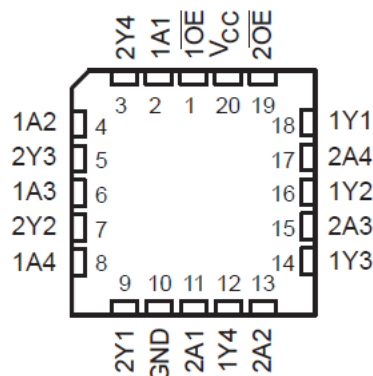
目次

1 特長.....	1	6.2 機能ブロック図.....	7
2 概要.....	1	6.3 デバイスの機能モード.....	7
3 ピン構成および機能.....	3	7 アプリケーションと実装.....	8
4 仕様.....	4	7.1 電源に関する推奨事項.....	8
4.1 絶対最大定格.....	4	7.2 レイアウト.....	8
4.2 推奨動作条件.....	4	8 デバイスおよびドキュメントのサポート.....	9
4.3 熱に関する情報.....	4	8.1 ドキュメントの更新通知を受け取る方法.....	9
4.4 電気的特性.....	5	8.2 サポート・リソース.....	9
4.5 スイッチング特性.....	5	8.3 商標.....	9
4.6 スイッチング特性.....	5	8.4 静電気放電に関する注意事項.....	9
4.7 動作特性.....	5	8.5 用語集.....	9
5 パラメータ測定情報.....	6	9 改訂履歴.....	9
6 詳細説明.....	7	10 メカニカル、パッケージ、および注文情報.....	9
6.1 概要.....	7		

3 ピン構成および機能



J、DGS、DW、N、NS、PW パッケージ
20 ピン CDIP、SOIC、PDIP、NS、TSSOP
上面図



FK パッケージ
20 ピン LCCC
上面図

名称 ⁽¹⁾	ピン	タイプ	説明
1OE	1	I	出力イネーブル 1
1A1	2	I	1A1 入力
2Y4	3	O	2Y4 出力
1A2	4	I	1A2 入力
2Y3	5	O	2Y3 出力
1A3	6	I	1A3 入力
2Y2	7	O	2Y2 出力
1A4	8	I	1A4 入力
2Y1	9	O	2Y1 出力
GND	10	—	グランドピン
2A1	11	I	2A1 入力
1Y4	12	O	1Y4 出力
2A2	13	I	2A2 入力
1Y3	14	O	1Y3 出力
2A3	15	I	2A3 入力
1Y2	16	O	1Y2 出力
2A4	17	I	2A4 入力
1Y1	18	O	1Y1 出力
2OE	19	I	出力イネーブル 2
VCC	20	—	パワーピン

(1) I = 入力、O = 出力、P = 電源、FB = フィードバック、GND = グランド、N/A = 該当なし

4 仕様

4.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

			最小値	最大値	単位
V_{CC}	電源電圧範囲		-0.5	7	V
I_{IK}	入力クランプ電流 ⁽²⁾	$V_I < 0$ または $V_I > V_{CC}$		± 20	mA
I_{OK}	出力クランプ電流 ⁽²⁾	$V_O < 0$ または $V_O > V_{CC}$		± 20	mA
I_O	連続出力電流	$V_O = 0 \sim V_{CC}$		± 35	mA
	V_{CC} または GND を通過する連続電流			± 70	mA
T_J	接合部温度			150	°C
T_{stg}	保管温度範囲		-65	150	°C

- (1) 「絶対最大定格」に示された値を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらは、ストレス定格のみを示すものであり、これらの条件や「推奨動作条件」に示された値を超える条件で、本製品が機能することを意味するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) 入力と出力の電流定格を順守しても、入力と出力の電圧定格を超えることがあります。

4.2 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

			SN54HCT240			SN74HCT240			単位
			最小値	公称値	最大値	最小値	公称値	最大値	
V_{CC}	電源電圧		4.5	5	5.5	4.5	5	5.5	V
V_{IH}	High レベル入力電圧	$V_{CC} = 4.5V \sim 5.5V$	2			2			V
V_{IL}	Low レベル入力電圧	$V_{CC} = 4.5V \sim 5.5V$			0.8			0.8	V
V_I	入力電圧		0		V_{CC}	0		V_{CC}	V
V_O	出力電圧		0		V_{CC}	0		V_{CC}	V
$\Delta t/\Delta v$	入力遷移の立ち上がり / 立ち下がり時間				500			500	ns
T_A	自由空気での動作温度		-55		125	-40		85	°C

- (1) デバイスが適切に動作するように、デバイスの未使用の入力はすべて、 V_{CC} または GND に固定する必要があります。テキサス・インスツルメンツのアプリケーション レポート『低速またはフローティング CMOS 入力の影響』(文献番号 SCBA004) を参照してください。

4.3 熱に関する情報

		DGS (VSSOP)	DW (SOIC)	N (PDIP)	NS (SOP)	PW (TSSOP)	単位
熱評価基準		20 ピン	20 ピン	20 ピン	20 ピン	20 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗 ⁽¹⁾	130.6	109.1	84.6	113.4	131.8	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	68.7	76	72.5	78.6	72.2	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	85.4	77.6	65.3	78.4	82.8	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	10.5	51.5	55.3	47.1	21.5	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	85.0	77.1	65.2	78.1	82.4	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	該当なし	該当なし	該当なし	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

4.4 電気的特性

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件		V _{CC}	T _A = 25°C			SN54HCT240		SN74HCT240		単位
				最小値	標準値	最大値	最小値	最大値	最小値	最大値	
V _{OH}	V _I = V _{IH} または V _{IL}	I _{OH} = -20μA	4.5 V	4.4	4.499		4.4		4.4		V
		I _{OH} = -6 mA		3.98	4.3		3.7		3.84		
V _{OL}	V _I = V _{IH} または V _{IL}	I _{OL} = 20μA	4.5 V		0.001	0.1		0.1		0.1	V
		I _{OL} = 6 mA			0.17	0.26		0.4		0.33	
I _I	V _I = V _{CC} または 0		5.5 V		±0.1	±100		±1000		±1000	nA
I _{OZ}	V _O = V _{CC} または 0、	V _I = V _{IH} または V _{IL}	5.5V		±0.01	±0.5		±10		±5	μA
I _{CC}	V _I = V _{CC} または 0、	I _O = 0	5.5 V			8		160		80	μA
ΔI _{CC} ⁽¹⁾	1 つの入力は 0.5V または 2.4V、その他の入力は 0 または V _{CC}		5.5V		1.4	2.4		3		2.9	mA
C _I			4.5V~5.5V		3	10		10		10	pF

(1) これは、0V や V_{CC} ではなく、規定された TTL 電圧レベルのいずれかにおける各入力電源電流の増加量です。

4.5 スイッチング特性

自由気流での推奨動作温度範囲内、C_L = 50pF (特に記述のない限り) (図 5-1 を参照)

パラメータ	始点 (入力)	終点 (出力)	V _{CC}	T _A = 25°C			SN54HCT240		SN74HCT240		単位
				最小値	標準値	最大値	最小値	最大値	最小値	最大値	
t _{pd}	A	Y	4.5 V		13	25		37		32	ns
			5.5 V		12	23		33		29	
t _{en}	OE	Y	4.5 V		21	35		53		44	ns
			5.5 V		19	32		48		40	
t _{dis}	OE	Y	4.5 V		19	35		53		44	ns
			5.5 V		18	32		48		40	
t _t		Y	4.5 V		8	12		18		15	ns
			5.5 V		7	11		16		14	

4.6 スイッチング特性

自由気流での推奨動作温度範囲内、C_L = 150pF (特に記述のない限り) (図 5-1 を参照)

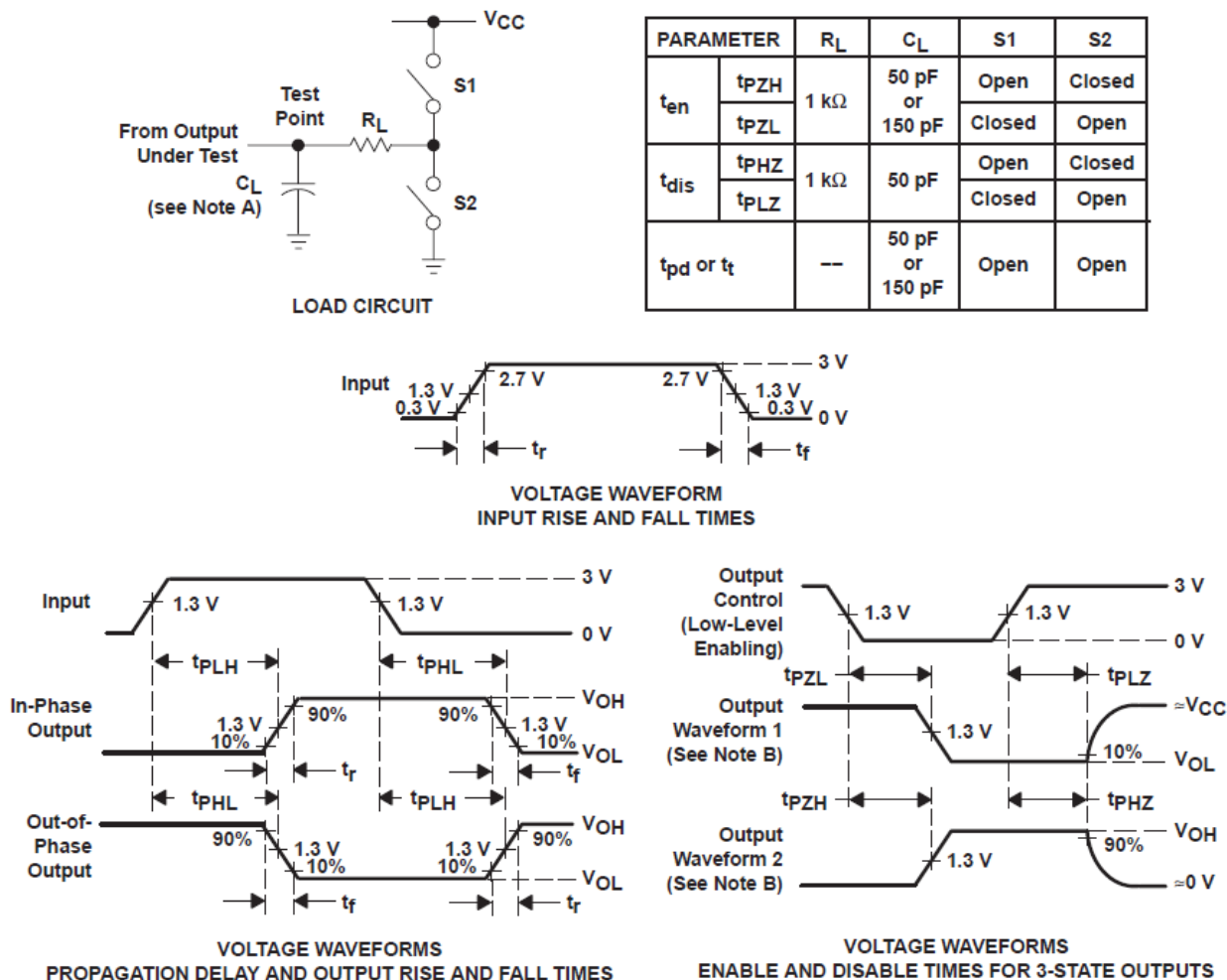
パラメータ	始点 (入力)	終点 (出力)	V _{CC}	T _A = 25°C			SN54HCT240		SN74HCT240		単位
				最小値	標準値	最大値	最小値	最大値	最小値	最大値	
t _{pd}	A	Y	4.5 V		20	42		63		53	ns
			5.5 V		19	38		56		48	
t _{en}	OE	Y	4.5 V		25	52		79		65	ns
			5.5 V		22	47		71		59	
t _t		Y	4.5 V		17	42		63		53	ns
			5.5 V		14	38		57		48	

4.7 動作特性

T_A = 25°C

パラメータ	テスト条件	標準値	単位
C _{pd}	電力散逸容量	40	pF

5 パラメータ測定情報



- A. C_L にはプローブとテスト装置の容量が含まれます。
- B. 波形 1 は、出力が Low になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディスエーブルされている場合は除きます。波形 2 は、出力が High になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディスエーブルされている場合は除きます。
- C. 波形間の位相関係は、任意に選択されています。すべての入力パルスは、以下の特性を持つジェネレータによって供給されます。PRR \leq 1MHz、 $Z_O = 50\Omega$ 、 $t_r = 6ns$ 、 $t_f = 6ns$ 。
- D. 出力は一度に 1 つずつ測定され、測定するたびに入力が 1 回遷移します。
- E. t_{PLZ} と t_{PHZ} は t_{dis} と同じです。
- F. t_{PZL} と t_{PZH} は t_{en} と同じです。
- G. t_{PLH} と t_{PHL} は t_{pd} と同じです。

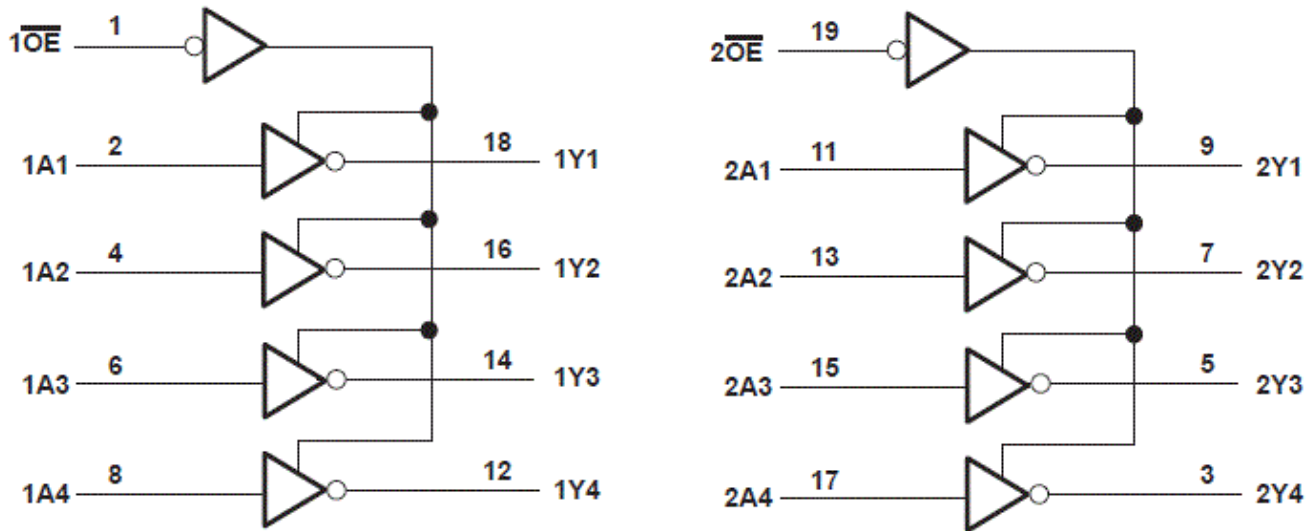
図 5-1. 負荷回路および電圧波形

6 詳細説明

6.1 概要

これらの 8 進バッファ / ラインドライバは、3 ステート メモリ アドレスドライバ、クロックドライバ、バス用レシーバ / トランスミッタの性能と密度の両方を向上することに特化して設計されています。'HCT240 デバイスは、独立した出力イネーブル (\overline{OE}) 入力を備えた 2 つの 4 ビット バッファ / ドライバで構成されています。 \overline{OE} が Low の場合、デバイスは A 入力の反転データを Y 出力に渡します。 \overline{OE} が High の場合、出力は高インピーダンス状態になります。

6.2 機能ブロック図



6.3 デバイスの機能モード

表 6-1. 機能表
(各バッファ / ドライバ)

入力		出力 Y
\overline{OE}	A	
L	H	L
L	L	H
H	X	Z

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 電源に関する推奨事項

電源には、「推奨動作条件」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。電源の外乱を防止するため、各 V_{CC} 端子に適切なバイパス コンデンサを配置する必要があります。このデバイスには $0.1\mu F$ のコンデンサを推奨します。複数のバイパス コンデンサを並列に配置して、異なる周波数のノイズを除去することが許容されます。一般的に、 $0.1\mu F$ と $1\mu F$ のコンデンサは並列に使用されます。バイパス コンデンサを電源端子のできるだけ近くに配置すると最適な結果が得られます。

7.2 レイアウト

7.2.1 レイアウトのガイドライン

マルチ入力およびマルチチャネルのロジック デバイスを使用する場合、入力をフローティングのままにすることはできません。多くの場合、デジタル論理デバイスの機能または機能の一部は使用されません (たとえば、トリプル入力 AND ゲートの 2 つの入力のみを使用する場合や 4 つのバッファ ゲートのうちの 3 つのみを使用する場合)。このような未使用の入力ピンを未接続のままにすることはできません。外部接続の電圧が未確定の場合、動作状態が不定になるためです。デジタルロジック デバイスの未使用入力はすべて、入力電圧の仕様に定義されるロジック High またはロジック Low 電圧に接続して、それらがフローティングにならないようにする必要があります。特定の未使用入力に適用する必要があるロジックレベルは、デバイスの機能によって異なります。一般に入力は、GND または V_{CC} のうち、ロジックの機能にとってより適切であるかより利便性の高い方に接続されます。

8 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

8.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision G (May 2022) to Revision H (August 2024)	Page
・「製品情報」表、「ピン構成および機能」セクション、および「熱に関する情報」表に DGS パッケージを追加.....	1
・「ピンの機能」表を追加.....	3
・「アプリケーションと実装」セクションを追加	8

Changes from Revision F (February 2022) to Revision G (May 2022)	Page
・ 接合部から周囲への熱抵抗の値を以下のように増加。DW は 58 から 109.1、N は 69 から 84.6、NS は 60 から 113.4、PW は 83 から 131.8.....	4

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報はそのデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
85505012A	Active	Production	LCCC (FK) 20	55 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	85505012A SNJ54HCT 240FK
8550501RA	Active	Production	CDIP (J) 20	20 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8550501RA SNJ54HCT240J
JM38510/65753BRA	Active	Production	CDIP (J) 20	20 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	JM38510/ 65753BRA
JM38510/65753BRA.A	Active	Production	CDIP (J) 20	20 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	JM38510/ 65753BRA
M38510/65753BRA	Active	Production	CDIP (J) 20	20 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	JM38510/ 65753BRA
SN54HCT240J	Active	Production	CDIP (J) 20	20 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	SN54HCT240J
SN54HCT240J.A	Active	Production	CDIP (J) 20	20 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	SN54HCT240J
SN74HCT240DGSR	Active	Production	VSSOP (DGS) 20	5000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HT240
SN74HCT240DGSR.A	Active	Production	VSSOP (DGS) 20	5000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HT240
SN74HCT240DW	Obsolete	Production	SOIC (DW) 20	-	-	Call TI	Call TI	-40 to 85	HCT240
SN74HCT240DWR	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HCT240
SN74HCT240DWR.A	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HCT240
SN74HCT240DWRE4	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HCT240
SN74HCT240N	Active	Production	PDIP (N) 20	20 TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	SN74HCT240N
SN74HCT240N.A	Active	Production	PDIP (N) 20	20 TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	SN74HCT240N
SN74HCT240NSR	Active	Production	SOP (NS) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HCT240
SN74HCT240NSR.A	Active	Production	SOP (NS) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HCT240
SN74HCT240PW	Obsolete	Production	TSSOP (PW) 20	-	-	Call TI	Call TI	-40 to 85	HT240
SN74HCT240PWR	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HT240
SN74HCT240PWR.A	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HT240
SN74HCT240PWT	Obsolete	Production	TSSOP (PW) 20	-	-	Call TI	Call TI	-40 to 85	HT240
SNJ54HCT240FK	Active	Production	LCCC (FK) 20	55 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	85505012A SNJ54HCT 240FK

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SNJ54HCT240FK.A	Active	Production	LCCC (FK) 20	55 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	85505012A SNJ54HCT 240FK
SNJ54HCT240J	Active	Production	CDIP (J) 20	20 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8550501RA SNJ54HCT240J
SNJ54HCT240J.A	Active	Production	CDIP (J) 20	20 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8550501RA SNJ54HCT240J

(1) Status: For more details on status, see our [product life cycle](#).

(2) Material type: When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) RoHS values: Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) Lead finish/Ball material: Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) MSL rating/Peak reflow: The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) Part marking: There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN54HCT240, SN74HCT240 :

- Catalog : [SN74HCT240](#)
- Military : [SN54HCT240](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Military - QML certified for Military and Defense Applications

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74HCT240DGSR	VSSOP	DGS	20	5000	330.0	16.4	5.4	5.4	1.45	8.0	16.0	Q1
SN74HCT240DWR	SOIC	DW	20	2000	330.0	24.4	10.9	13.3	2.7	12.0	24.0	Q1
SN74HCT240DWR	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1
SN74HCT240NSR	SOP	NS	20	2000	330.0	24.4	8.4	13.0	2.5	12.0	24.0	Q1
SN74HCT240PWR	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1

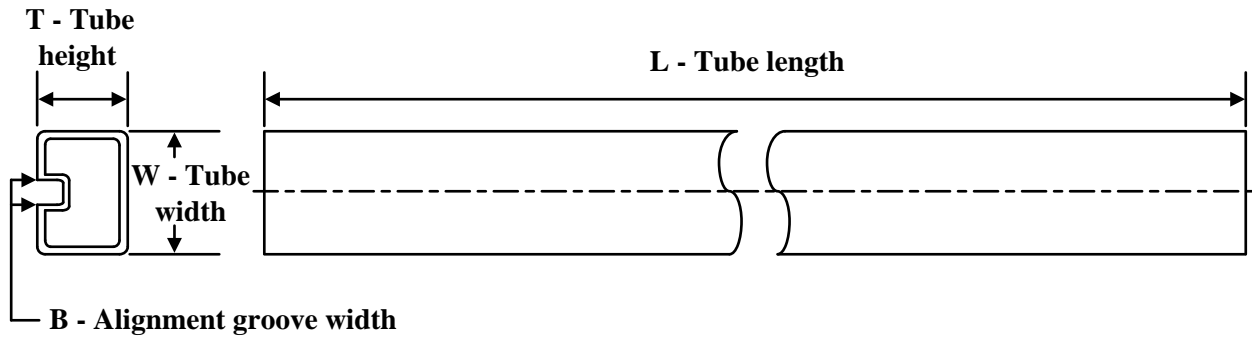
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

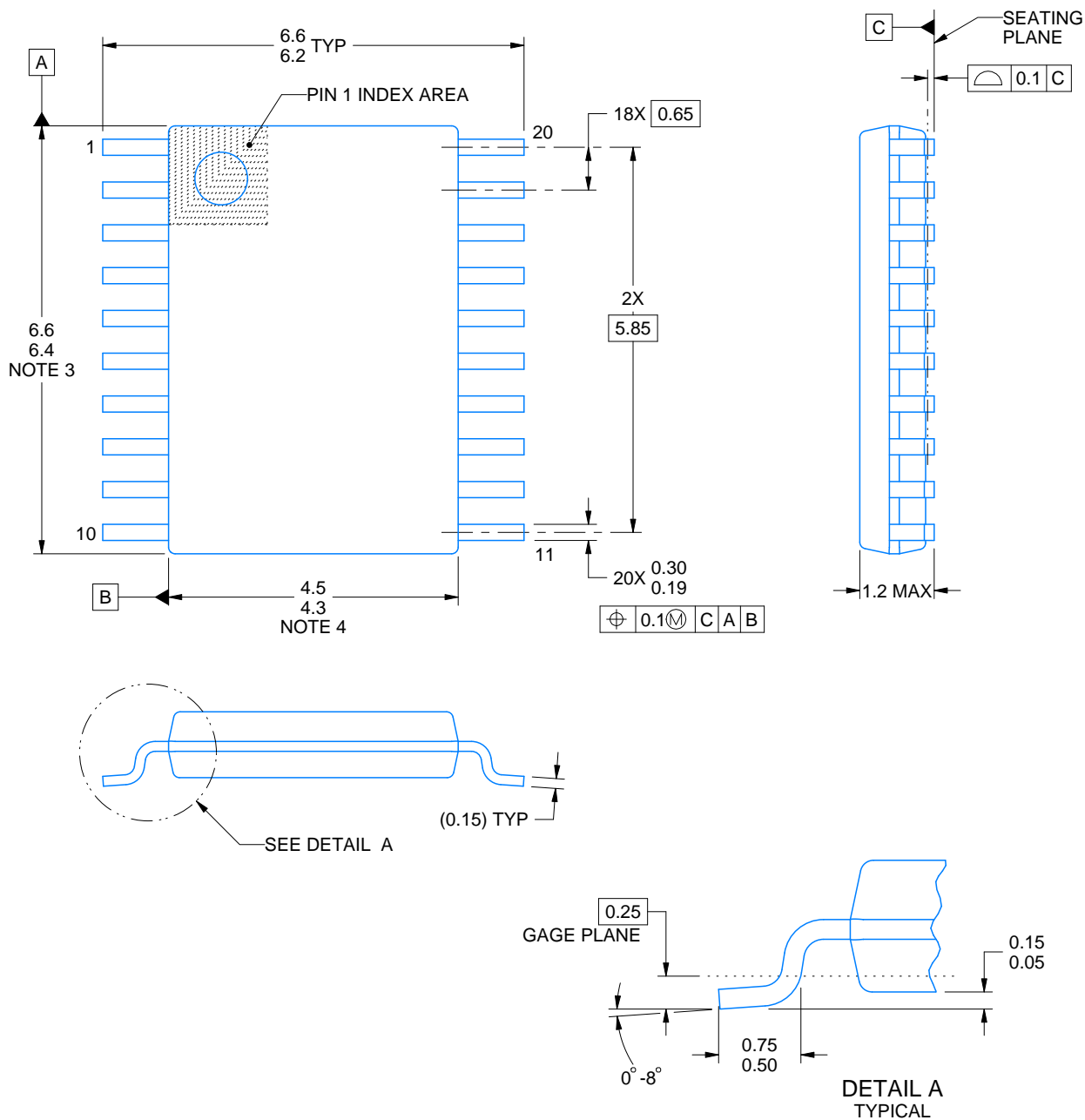
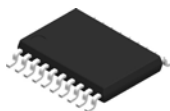
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74HCT240DGSR	VSSOP	DGS	20	5000	353.0	353.0	32.0
SN74HCT240DWR	SOIC	DW	20	2000	356.0	356.0	45.0
SN74HCT240DWR	SOIC	DW	20	2000	356.0	356.0	45.0
SN74HCT240NSR	SOP	NS	20	2000	356.0	356.0	45.0
SN74HCT240PWR	TSSOP	PW	20	2000	353.0	353.0	32.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
85505012A	FK	LCCC	20	55	506.98	12.06	2030	NA
SN74HCT240N	N	PDIP	20	20	506	13.97	11230	4.32
SN74HCT240N.A	N	PDIP	20	20	506	13.97	11230	4.32
SNJ54HCT240FK	FK	LCCC	20	55	506.98	12.06	2030	NA
SNJ54HCT240FK.A	FK	LCCC	20	55	506.98	12.06	2030	NA



4220206/A 02/2017

NOTES:

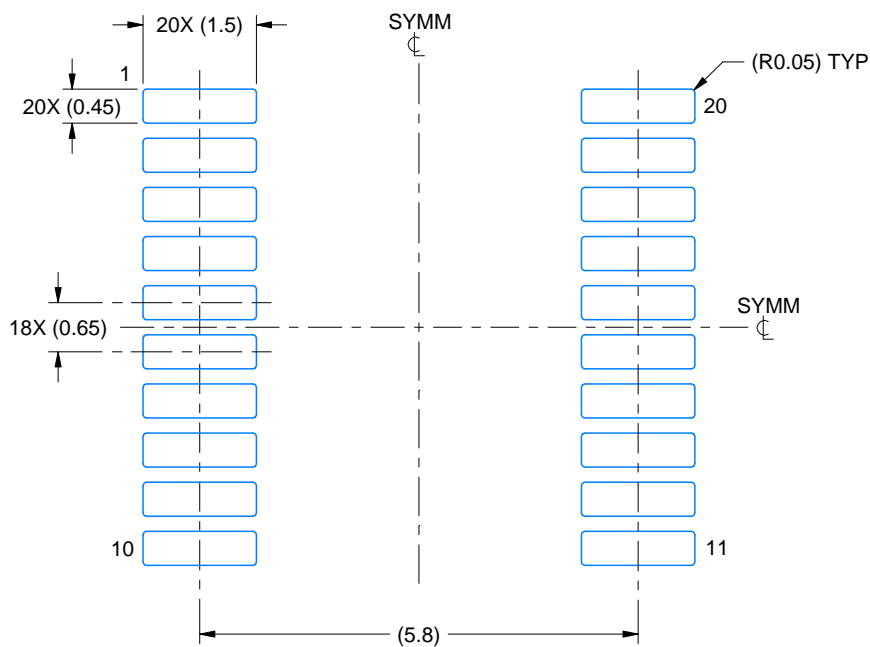
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

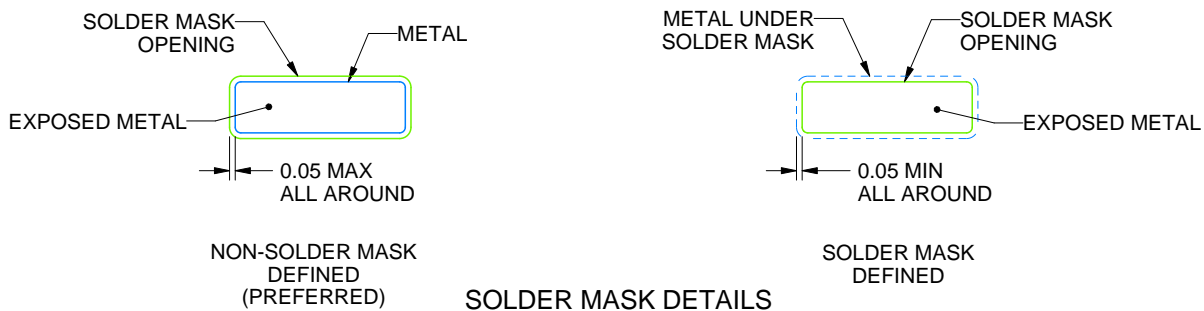
PW0020A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220206/A 02/2017

NOTES: (continued)

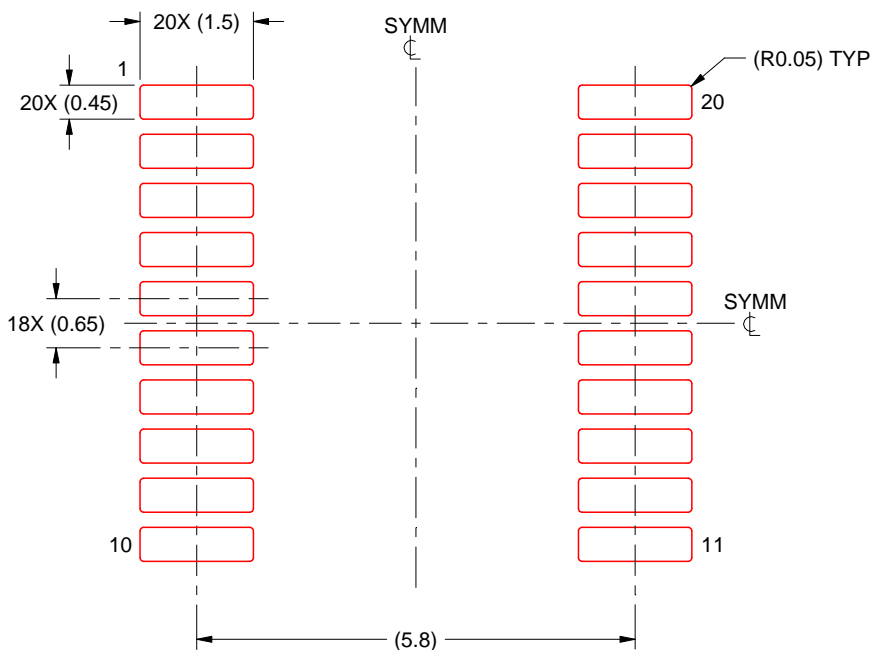
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0020A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

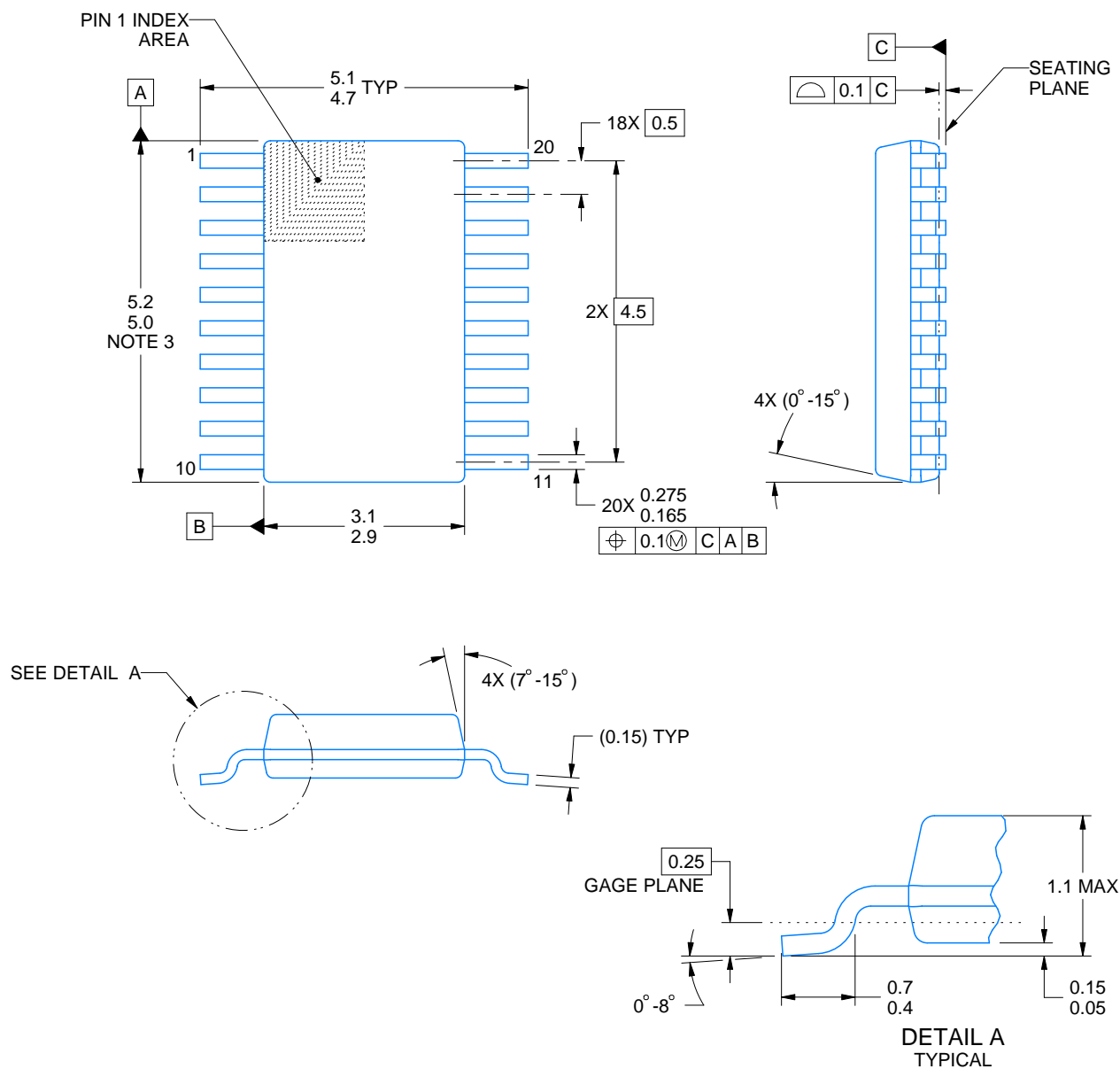
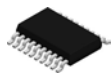


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220206/A 02/2017

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



4226367/A 10/2020

NOTES:

PowerPAD is a trademark of Texas Instruments.

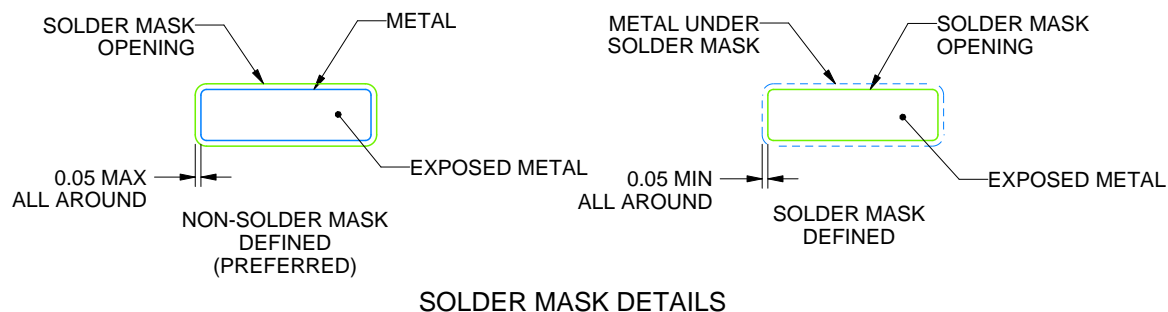
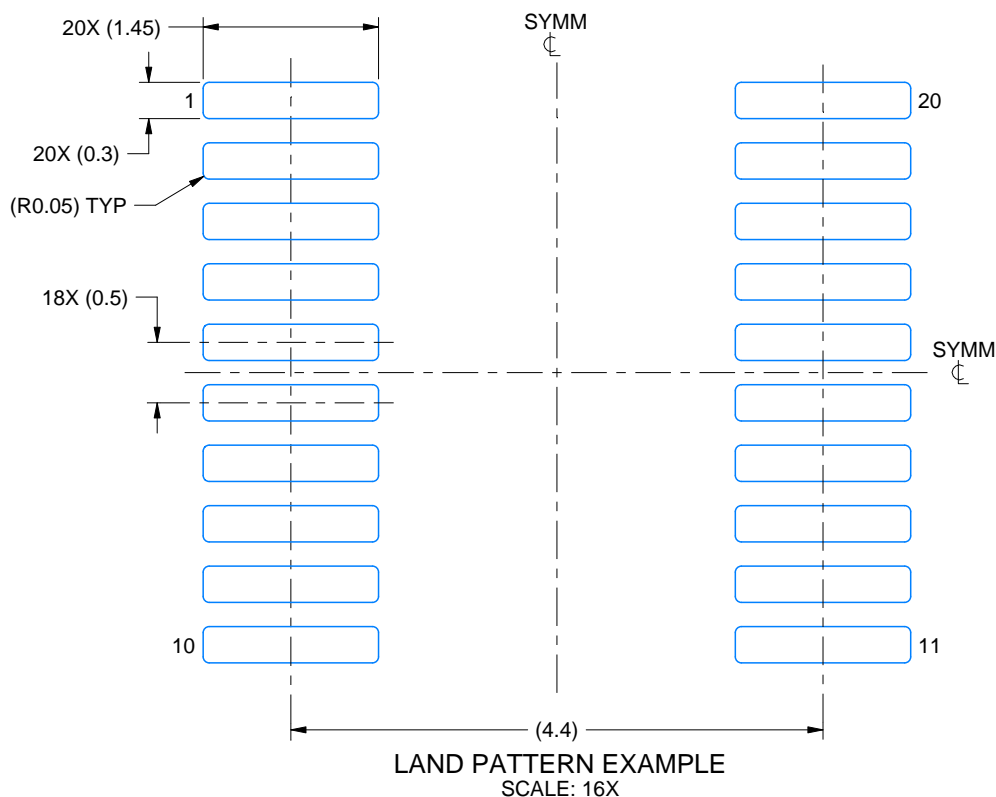
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. No JEDEC registration as of September 2020.
5. Features may differ or may not be present.

EXAMPLE BOARD LAYOUT

DGS0020A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



4226367/A 10/2020

NOTES: (continued)

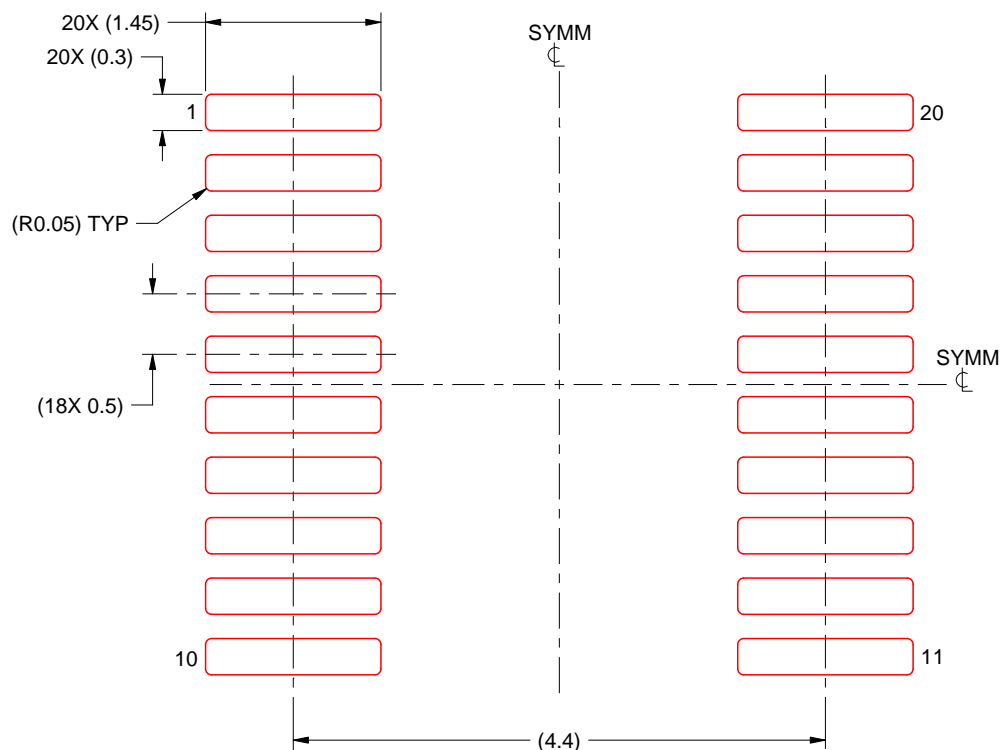
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DGS0020A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 16X

4226367/A 10/2020

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

MECHANICAL DATA

NS (R-PDSO-G**)

PLASTIC SMALL-OUTLINE PACKAGE

14-PINS SHOWN

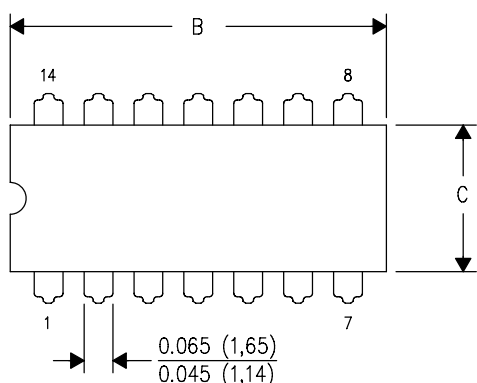


- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

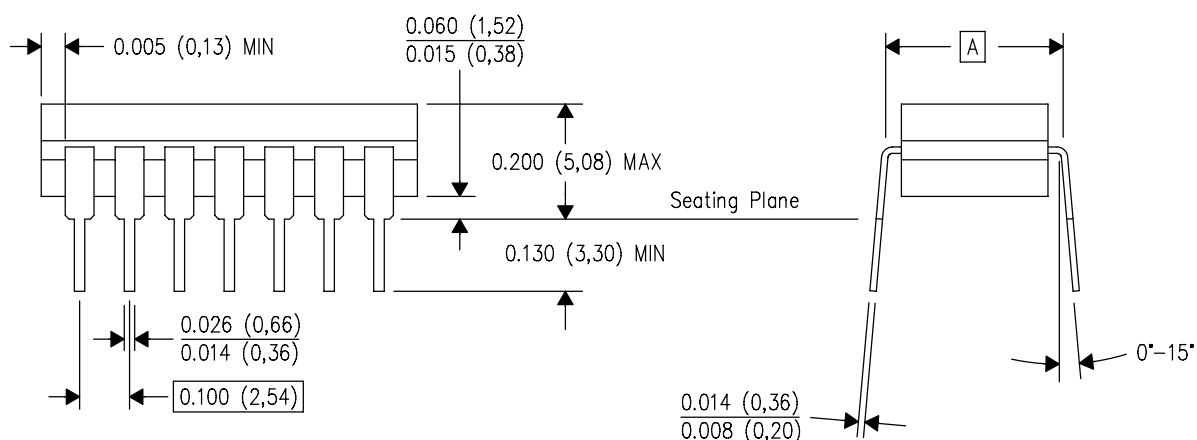
J (R-GDIP-T**)

14 LEADS SHOWN

CERAMIC DUAL IN-LINE PACKAGE



PINS ** DIM	14	16	18	20
A	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC
B MAX	0.785 (19,94)	.840 (21,34)	0.960 (24,38)	1.060 (26,92)
B MIN	—	—	—	—
C MAX	0.300 (7,62)	0.300 (7,62)	0.310 (7,87)	0.300 (7,62)
C MIN	0.245 (6,22)	0.245 (6,22)	0.220 (5,59)	0.245 (6,22)



4040083/F 03/03

- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - C. This package is hermetically sealed with a ceramic lid using glass frit.
 - D. Index point is provided on cap for terminal identification only on press ceramic glass frit seal only.
 - E. Falls within MIL STD 1835 GDIP1-T14, GDIP1-T16, GDIP1-T18 and GDIP1-T20.

GENERIC PACKAGE VIEW

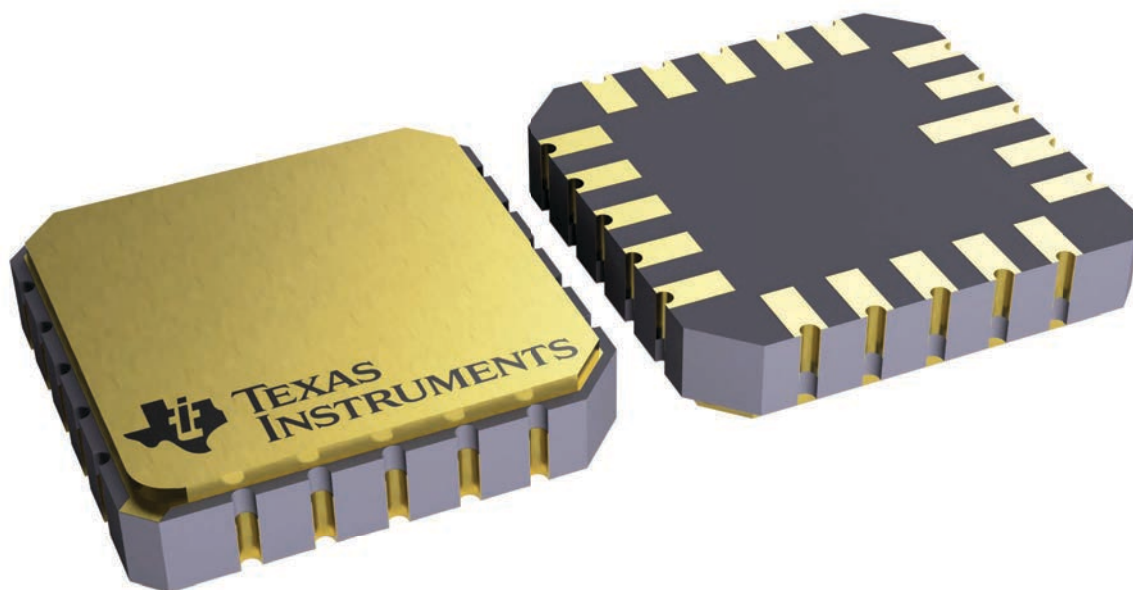
FK 20

LCCC - 2.03 mm max height

8.89 x 8.89, 1.27 mm pitch

LEADLESS CERAMIC CHIP CARRIER

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

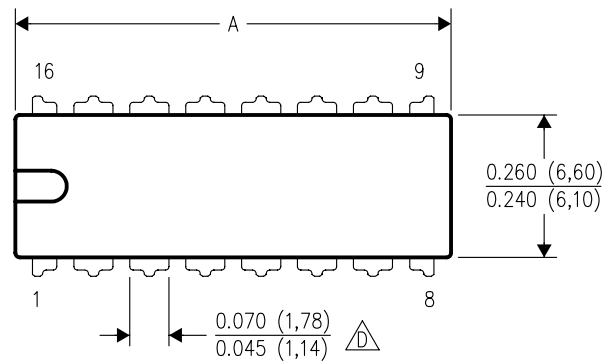


4229370VA\

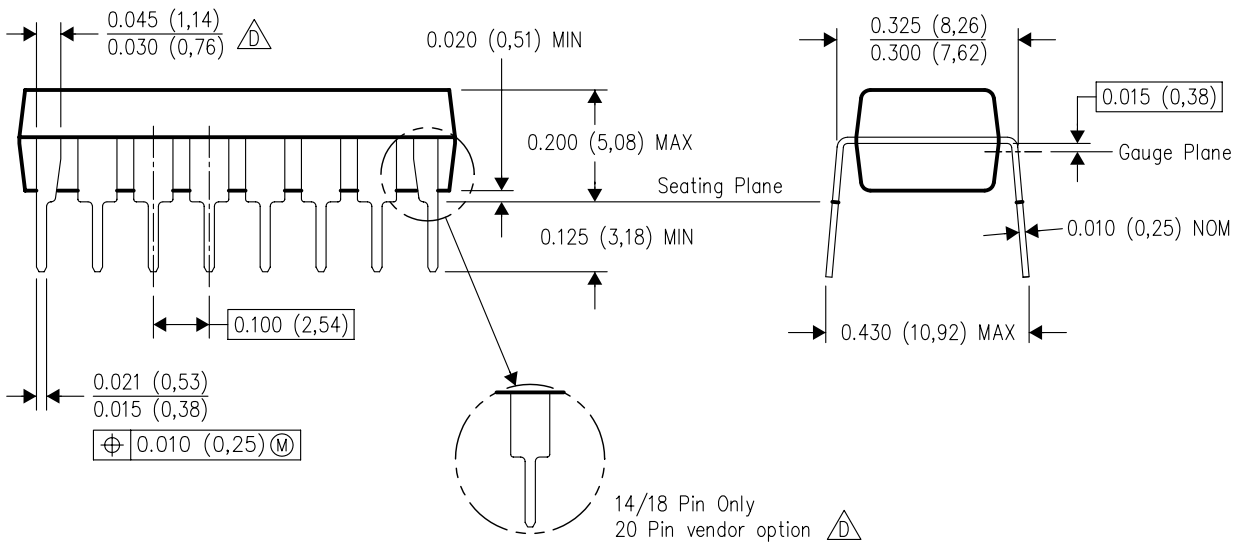
N (R-PDIP-T**)

16 PINS SHOWN

PLASTIC DUAL-IN-LINE PACKAGE

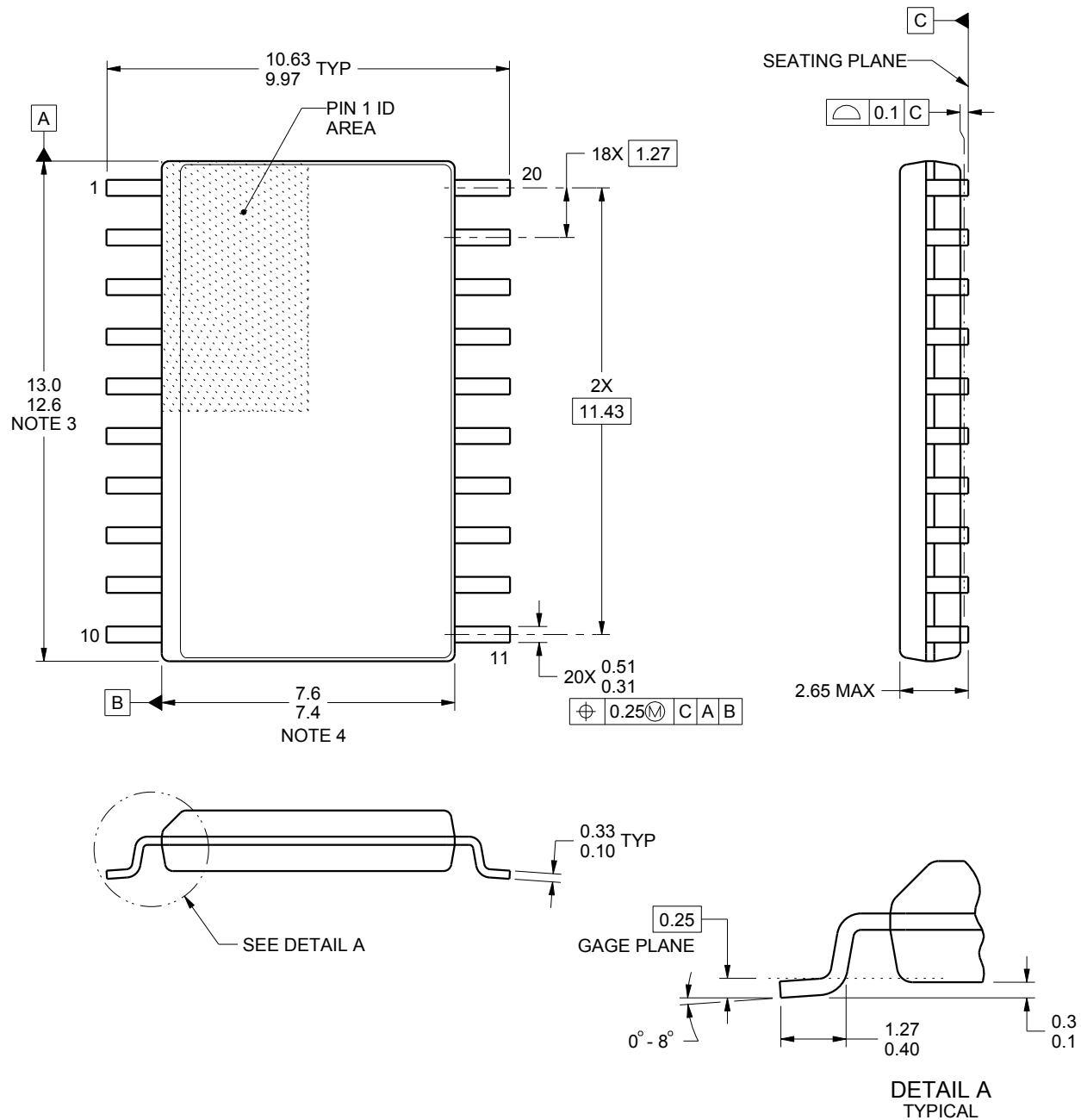
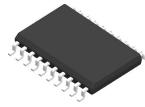


PINS **	14	16	18	20
DIM				
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS-001 VARIATION	AA	BB	AC	AD



4040049/E 12/2002

- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - C. Falls within JEDEC MS-001, except 18 and 20 pin minimum body length (Dim A).
 - D. The 20 pin end lead shoulder width is a vendor option, either half or full width.



4220724/A 05/2016

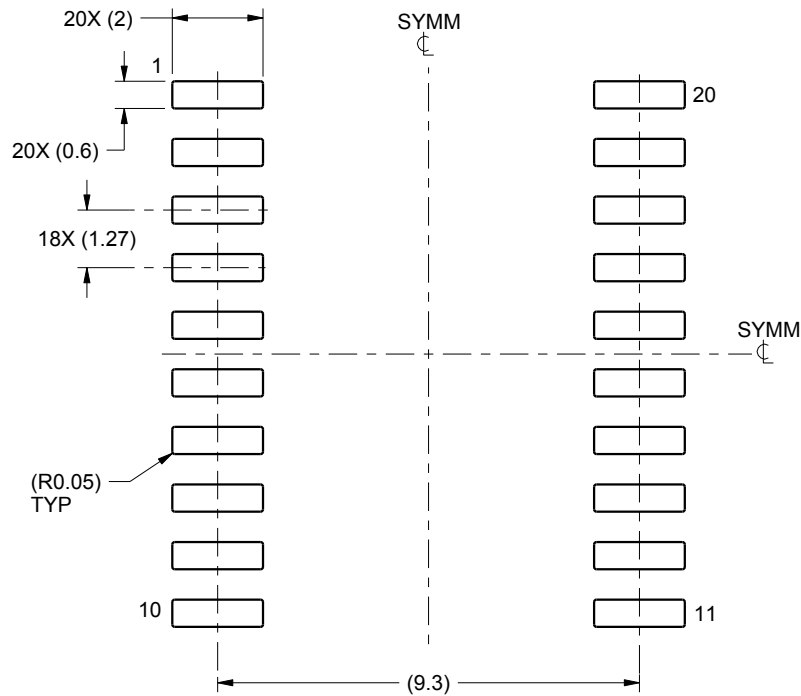
NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm per side.
5. Reference JEDEC registration MS-013.

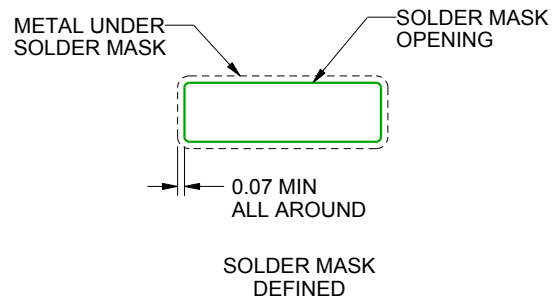
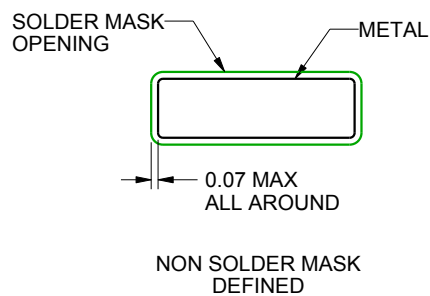
DW0020A

SOIC - 2.65 mm max height

SOIC



LAND PATTERN EXAMPLE
SCALE:6X



SOLDER MASK DETAILS

4220724/A 05/2016

NOTES: (continued)

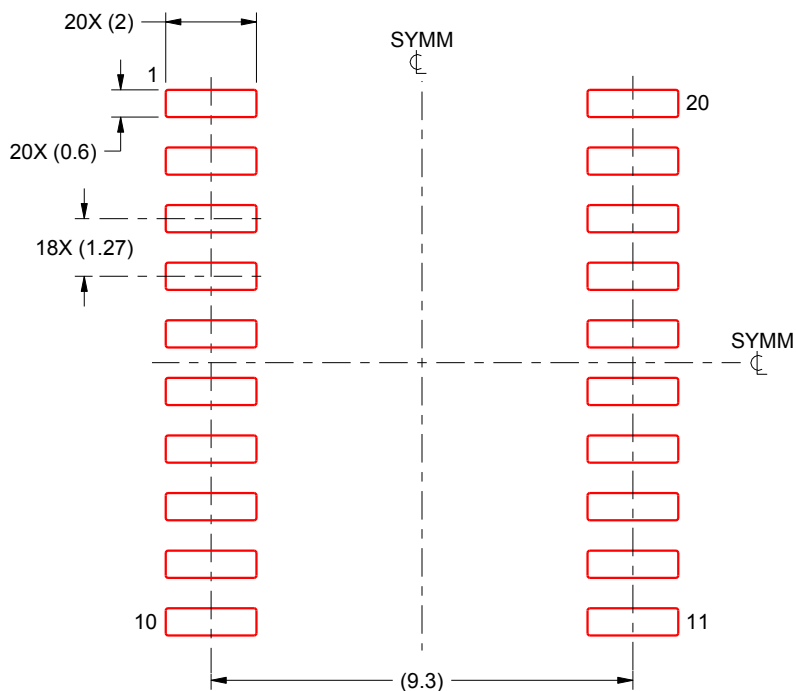
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DW0020A

SOIC - 2.65 mm max height

SOIC



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:6X

4220724/A 05/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月