SNx4AHC125 3 ステート出力、クワッド・バス・バッファ・ゲート

1 特長

- 動作範囲:2V～5.5V
- JESD 17 準拠で 250mA 超のラッチアップ性能
- 4 つの個別の出力イネーブル ピン

2 アプリケーション

- 流量メーター
- プログラマブル・ロジック・コントローラ
- PoE (Power Over Ethernet)
- モータ駆動および制御
- 電子 POS

3 概要

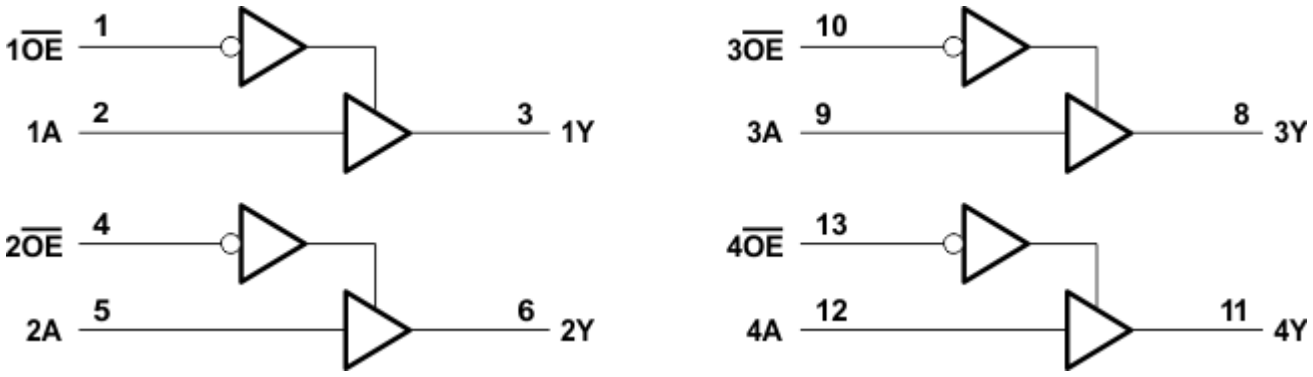
SNx4AHC125 デバイスはクワッド バス バッファ ゲートで、3 ステート出力の独立したライン ドライバを備えています。各出力は、対応する出力イネーブル ($\overline{OE}$) 入力が High のときディセーブルになります。$\overline{OE}$ が Low の場合、該当するゲートは A 入力からのデータをその Y 出力に渡します。

電源投入または電源切断時に高インピーダンス状態を確保するため、$\overline{OE}$ はプルアップ抵抗経由で V_{CC} に結線する必要があります。この抵抗の最小値は、ドライバの電流シンク能力によって決定されます。

製品情報

部品番号	パッケージ (1)	本体サイズ (2)
SN54AHC125	J (CDIP、14)	8.89mm × 8.89mm
	W (CFP、14)	19.56mm × 6.67mm
	FK (LCCC、20)	9.21mm × 5.97mm
SN74AHC125	DB (SSOP、14)	6.20mm × 5.30mm
	D (SOIC、14)	8.65mm × 3.91mm
	NS (SO、14)	10.30mm × 5.30mm
	DGV (TVSOP、14)	3.60mm × 4.40mm
	PW (TSSOP、14)	5.00mm × 4.40mm
	N (PDIP、14)	19.30mm × 6.35mm
	RGY (VQFN、14)	3.50mm × 3.50mm
	BQA (WQFN、14)	3mm × 2.5mm

(1) 詳細については、セクション 11 を参照してください。
(2) 本体サイズ (長さ×幅) は公称値であり、ピンは含まれません。



ここに示すピン番号は D、DB、DGV、J、N、NS、PW、RGY、W の各パッケージのものです。

論理図 (正論理)

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長 ... 1
2 アプリケーション ... 1
3 概要 ... 1
4 ピン構成および機能 ... 3
5 仕様 ... 5
5.1 絶対最大定格 ... 5
5.2 ESD 定格 ... 5
5.3 推奨動作条件 ... 5
5.4 熱に関する情報 ... 6
5.5 電気的特性 ... 6
5.6 スイッチング特性、V_{CC} = 3.3 V ± 0.3 V ... 8
5.7 スイッチング特性、V_{CC} = 5 V ± 0.5 V ... 9
5.8 ノイズ特性 ... 10
5.9 動作特性 ... 10
5.10 代表的特性 ... 10
6 パラメータ測定情報 ... 11
7 詳細説明 ... 12
7.1 概要 ... 12
7.2 機能ブロック図 ... 12
7.3 機能説明 ... 12
7.4 デバイスの機能モード ... 12
8 アプリケーションと実装 ... 13
8.1 アプリケーション情報 ... 13
8.2 代表的なアプリケーション ... 13
8.3 電源に関する推奨事項 ... 15
8.4 レイアウト ... 15
9 デバイスおよびドキュメントのサポート ... 16
9.1 ドキュメントのサポート (アナログ) ... 16
9.2 ドキュメントの更新通知を受け取る方法 ... 16
9.3 サポート・リソース ... 16
9.4 商標 ... 16
9.5 静電気放電に関する注意事項 ... 16
9.6 用語集 ... 16
10 改訂履歴 ... 16
11 メカニカル、パッケージ、および注文情報 ... 17

Copyright © 2024 Texas Instruments Incorporated

4 ピン構成および機能

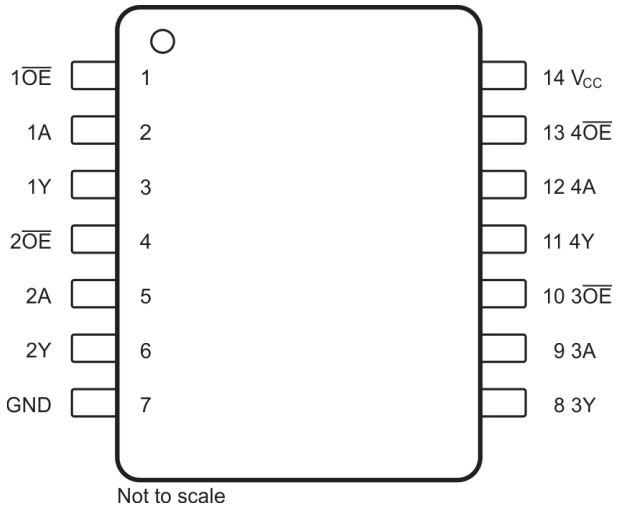


図 4-1. D、DB、DGV、N、NS、J、W、PW パッケージ 14 ピン SOIC、SSOP、TVSOP、PDIP、SO、CDIP、CFP、TSSOP 上面図

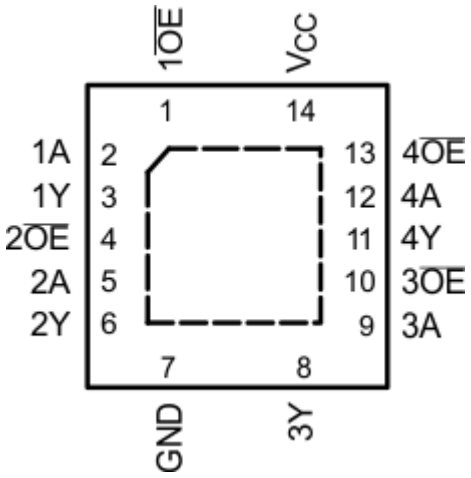


図 4-2. RGY または BQA パッケージ 14 ピン VQFN 上面図

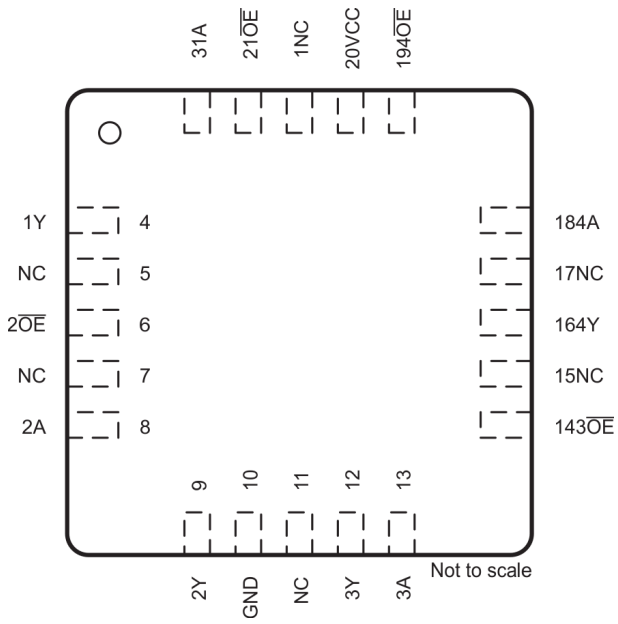


図 4-3. FK パッケージ 20 ピン LCCC 上面図

表 4-1. ピンの機能

ピン			I/O	説明
名称	SOIC、SSOP、TVSOP、PDIP、SO、CDIP、CFP、TSSOP、VQFN	LCCC		
1 $\overline{OE}$	1	2	I	ゲート 1 の出力イネーブル
1A	2	3	I	ゲート 1 入力
1Y	3	4	O	ゲート 1 出力
2 $\overline{OE}$	4	6	I	ゲート 2 の出力イネーブル
2A	5	8	I	ゲート 2 入力
2Y	6	9	O	ゲート 2 出力
3 $\overline{OE}$	10	14	I	ゲート 3 の出力イネーブル
3A	9	13	I	ゲート 3 入力
3Y	8	12	O	ゲート 3 出力
4 $\overline{OE}$	13	19	I	ゲート 4 の出力イネーブル
4A	12	18	I	ゲート 4 入力
4Y	11	16	O	ゲート 4 出力
GND	7	10	—	グランド ピン
NC	—	1、5、7、11、15、17	—	内部接続なし
V_{CC}	14	20	—	パワー ピン

Copyright © 2024 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

		最小値	最大値	単位
電源電圧		-0.5	7	V
入力電圧(2)		-0.5	7	V
出力電圧(2)		-0.5	V_{CC} + 0.5	V
入力クランプ電流	V_I < 0		-20	mA
出力クランプ電流	V_O < 0 または V_O > V_{CC}		±20	mA
連続出力電流	V_O = 0～V_{CC}		±25	mA
V_{CC} または GND を通過する連続電流			±50	mA
動作時の仮想的な接合部温度、T_J			150	℃
保管温度、T_{stg}		-65	150	℃

(1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについての話で、絶対最大定格において、またはこのデータシートの「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
(2) 入力と出力の電流定格を順守しても、入力と出力の電圧定格を超えることがあります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±1500	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠(2)	±1000	

(1) JEDEC のドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	最大値	単位
V_{CC}	電源電圧		2	5.5	V
V_{IH}	High レベル入力電圧	V_{CC} = 2 V	1.5		V
		V_{CC} = 3V	2.1		
		V_{CC} = 5.5 V	3.85		
V_{IL}	Low レベル入力電圧	V_{CC} = 2 V		0.5	V
		V_{CC} = 3 V		0.9	
		V_{CC} = 5.5 V		1.65	
V_I	入力電圧		0	5.5	V
V_O	出力電圧		0	V_{CC}	V
I_{OH}	High レベル出力電流	V_{CC} = 2 V		-50	μA
		V_{CC} = 3.3V ±0.3V		-4	mA
		V_{CC} = 5V ±0.5V		-8	
I_{OL}	Low レベル出力電流	V_{CC} = 2 V		50	μA
		V_{CC} = 3.3V ±0.3V		4	mA
		V_{CC} = 5V ±0.5V		8	
Δt/Δv	入力遷移の立ち上がりまたは立ち下がりレート	V_{CC} = 3.3V ±0.3V		100	ns/V
		V_{CC} = 5V ±0.5V		20	

Copyright © 2024 Texas Instruments Incorporated

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	最大値	単位
T_A	自由空気での動作温度	-40	125	℃

5.4 熱に関する情報

熱評価基準(1)		SNx4AHC125								単位
		D (SOIC)	DB (SSOP)	NS (SO)	DGV (TVSOP)	PW (TSSOP)	N (PDIP)	RGY (VQFN)	BQA (WQFN)	
		14 ピン	14 ピン	14 ピン	14 ピン	14 ピン	14 ピン	14 ピン	14 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	124.5	107.3	89.9	134.6	147.7	56.3	87.1	88.3	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	78.8	59.3	47.7	53.9	77.4	43.9	92.6	90.9	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	81	54.7	48.6	63.8	90.9	36.1	62.5	56.8	℃/W
ψ_{JT}	接合部から上面への特性パラメータ	37	24	17.5	6.3	27.2	29.2	22.8	9.9	℃/W
ψ_{JB}	接合部から基板への特性パラメータ	80.6	54.1	48.3	63.2	90.2	36	61.7	56.7	℃/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	該当なし	該当なし	該当なし	該当なし	45.1	33.4	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

5.5 電気的特性

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件			最小値	代表値	最大値	単位
V_{OH}	I_{OH} = -50 μA	V_{CC} = 2 V	T_A = 25℃	1.9	2		V
			T_A = -55℃～125℃ (SN54AHC125)	1.9			
			T_A = -40℃～85℃ (SN74AHC125)	1.9			
			T_A = -40℃～125℃ (SN74AHC125 の推奨動作条件)	1.9			
		V_{CC} = 3 V	T_A = 25℃	2.9	3		
			T_A = -55℃～125℃ (SN54AHC125)	2.9			
			T_A = -40℃～85℃ (SN74AHC125)	2.9			
			T_A = -40℃～125℃ (SN74AHC125 の推奨動作条件)	2.9			
		V_{CC} = 4.5 V	T_A = 25℃	4.4	4.5		
			T_A = -55℃～125℃ (SN54AHC125)	4.4			
			T_A = -40℃～85℃ (SN74AHC125)	4.4			
			T_A = -40℃～125℃ (SN74AHC125 の推奨動作条件)	4.4			
	I_{OH} = -4mA および V_{CC} = 3V		T_A = 25℃	2.58			
			T_A = -55℃～125℃ (SN54AHC125)	2.48			
			T_A = -40℃～85℃ (SN74AHC125)	2.48			
			T_A = -40℃～125℃ (SN74AHC125 の推奨動作条件)	2.48			
	I_{OH} = -8 mA および V_{CC} = 4.5 V		T_A = 25℃	3.94			
			T_A = -55℃～125℃ (SN54AHC125)	3.8			
			T_A = -40℃～85℃ (SN74AHC125)	3.8			
			T_A = -40℃～125℃ (SN74AHC125 の推奨動作条件)	3.8			

Copyright © 2024 Texas Instruments Incorporated

5.5 電気的特性 (続き)

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件			最小値	代表値	最大値	単位
V_{OL}	I_{OL} = 50 µA	V_{CC} = 2 V	T_A = 25℃			0.1	V
			T_A = -55℃～125℃ (SN54AHC125)			0.1	
			T_A = -40℃～85℃ (SN74AHC125)			0.1	
			T_A = -40℃～125℃ (SN74AHC125 の推奨動作条件)			0.1	
		V_{CC} = 3 V	T_A = 25℃			0.1	
			T_A = -55℃～125℃ (SN54AHC125)			0.1	
			T_A = -40℃～85℃ (SN74AHC125)			0.1	
			T_A = -40℃～125℃ (SN74AHC125 の推奨動作条件)			0.1	
		V_{CC} = 4.5 V	T_A = 25℃			0.1	
			T_A = -55℃～125℃ (SN54AHC125)			0.1	
			T_A = -40℃～85℃ (SN74AHC125)			0.1	
			T_A = -40℃～125℃ (SN74AHC125 の推奨動作条件)			0.1	
	I_{OH} = 4 mA および V_{CC} = 3V		T_A = 25℃			0.36	
			T_A = -55℃～125℃ (SN54AHC125)			0.5	
			T_A = -40℃～85℃ (SN74AHC125)			0.44	
			T_A = -40℃～125℃ (SN74AHC125 の推奨動作条件)			0.5	
	I_{OH} = 8 mA および V_{CC} = 4.5 V		T_A = 25℃			0.36	
			T_A = -55℃～125℃ (SN54AHC125)			0.5	
			T_A = -40℃～85℃ (SN74AHC125)			0.44	
			T_A = -40℃～125℃ (SN74AHC125 の推奨動作条件)			0.5	
I_I	V_I = 5.5 V または GND、V_{CC} = 0 V～5.5 V		T_A = 25℃			±0.1	µA
			T_A = -55℃～125℃ (SN54AHC125)			±1(1)	
			T_A = -40℃～85℃ (SN74AHC125)			±1	
			T_A = -40℃～125℃ (SN74AHC125 の推奨動作条件)			±1	
I_{OZ}	V_O = V_{CC} または GND、V_{CC} = 5.5V		T_A = 25℃			±0.25	µA
			T_A = -55℃～125℃ (SN54AHC125)			±2.5	
			T_A = -40℃～85℃ (SN74AHC125)			±2.5	
			T_A = -40℃～125℃ (SN74AHC125 の推奨動作条件)			±2.5	
I_{CC}	V_I = V_{CC} または GND、I_O = 0、V_{CC} = 5.5 V		T_A = 25℃			4	µA
			T_A = -55℃～125℃ (SN54AHC125)			40	
			T_A = -40℃～85℃ (SN74AHC125)			40	
			T_A = -40℃～125℃ (SN74AHC125 の推奨動作条件)			40	
C_i	V_I = V_{CC} または GND、V_{CC} = 5V		T_A = 25℃		4	10	pF
			T_A = -40℃～85℃ (SN74AHC125)			10	

(1) MIL-PRF-38535 に準拠した製品では、このパラメータについては、V_{CC} = 0V で出荷時のテストは行っていません。

Copyright © 2024 Texas Instruments Incorporated

5.6 スイッチング特性、V_{CC} = 3.3 V ± 0.3 V

自由気流での推奨動作温度範囲内、V_{CC} = 3.3V±0.3V (特に記述のない限り) (負荷回路および電圧波形を参照)

パラメータ	始点 (入力)	終点 (出力)	テスト条件		最小値	代表値	最大値	単位
t_{PHL}、t_{PLH}	A	Y	C_L = 15pF	T_A = 25℃		5.6(1)	8(1)	ns
				T_A = -55℃～125℃ (SN54AHC125)	1(1)		9.5(1)	
				T_A = -40℃～85℃ (SN74AHC125)	1		9.5	
				T_A = -40℃～125℃ (SN74AHC125 の推奨動作条件)	1		9.5	
t_{PZL}、t_{PZH}	$\overline{OE}$	Y	C_L = 15pF	T_A = 25℃		5.4(1)	8(1)	ns
				T_A = -55℃～125℃ (SN54AHC125)	1(1)		9.5(1)	
				T_A = -40℃～85℃ (SN74AHC125)			9.5	
				T_A = -40℃～125℃ (SN74AHC125 の推奨動作条件)			9.5	
t_{PLZ}、t_{PHZ}	$\overline{OE}$	Y	C_L = 15pF	T_A = 25℃		7.0(1)	9.7(1)	ns
				T_A = -55℃～125℃ (SN54AHC125)	1(1)		11.5(1)	
				T_A = -40℃～85℃ (SN74AHC125)	1(1)		11.5(1)	
				T_A = -40℃～125℃ (SN74AHC125 の推奨動作条件)	1(1)		11.5(1)	
t_{PHL}、t_{PLH}	A	Y	C_L = 50pF	T_A = 25℃		8.1	11.5	ns
				T_A = -55℃～125℃ (SN54AHC125)	1		13	
				T_A = -40℃～85℃ (SN74AHC125)	1		13	
				T_A = -40℃～125℃ (SN74AHC125 の推奨動作条件)	1		13	
t_{PZL}、t_{PZH}	$\overline{OE}$	Y	C_L = 50pF	T_A = 25℃		7.9	11.5	ns
				T_A = -55℃～125℃ (SN54AHC125)	1		13	
				T_A = -40℃～85℃ (SN74AHC125)	1		13	
				T_A = -40℃～125℃ (SN74AHC125 の推奨動作条件)	1		13	
t_{PLZ}、t_{PHZ}	$\overline{OE}$	Y	C_L = 50pF	T_A = 25℃		9.5	13.2	ns
				T_A = -55℃～125℃ (SN54AHC125)	1		15	
				T_A = -40℃～85℃ (SN74AHC125)	1		15	
				T_A = -40℃～125℃ (SN74AHC125 の推奨動作条件)	1		15	
tsk(o)	$\overline{OE}$	Y	C_L = 50pF	T_A = 25℃			1.5(2)	ns
				T_A = -40℃～85℃ (SN74AHC125)			1.5	

(1) MIL-PRF-38535 に準拠した製品では、このパラメータについては、出荷時のテストは行っていません。
(2) MIL-PRF-38535 に準拠した製品では、このパラメータは適用されません。

Copyright © 2024 Texas Instruments Incorporated

5.7 スイッチング特性、V_{CC} = 5 V ± 0.5 V

自由気流での推奨動作温度範囲内、V_{CC} = 5V ± 0.5V (特に記述のない限り) (負荷回路および電圧波形を参照)

パラメータ	始点 (入力)	終点 (出力)	テスト条件		最小値	代表値	最大値	単位
t_{PLH}、t_{PHL}	A	Y	C_L = 15pF	T_A = 25℃		3.8(1)	5.5(1)	ns
				T_A = -55℃～125℃ (SN54AHC125)	1(1)		6.5(1)	
				T_A = -40℃～85℃ (SN74AHC125)	1		6.5	
				T_A = -40℃～125℃ (SN74AHC125 の推奨動作条件)	1		6.5	
t_{PZH}、t_{PZL}	$\overline{OE}$	Y	C_L = 15pF	T_A = 25℃		3.6(1)	5.1(1)	ns
				T_A = -55℃～125℃ (SN54AHC125)	1(1)		6(1)	
				T_A = -40℃～85℃ (SN74AHC125)	1		6	
				T_A = -40℃～125℃ (SN74AHC125 の推奨動作条件)	1		6	
t_{PHZ}、t_{PLZ}	$\overline{OE}$	Y	C_L = 15pF	T_A = 25℃		4.6(1)	6.8(1)	ns
				T_A = -55℃～125℃ (SN54AHC125)	1(1)		8(1)	
				T_A = -40℃～85℃ (SN74AHC125)	1(1)		8(1)	
				T_A = -40℃～125℃ (SN74AHC125 の推奨動作条件)	1(1)		8(1)	
t_{PLH}、t_{PHL}	A	Y	C_L = 50pF	T_A = 25℃		5.3	7.5	ns
				T_A = -55℃～125℃ (SN54AHC125)	1		8.5	
				T_A = -40℃～85℃ (SN74AHC125)	1		8.5	
				T_A = -40℃～125℃ (SN74AHC125 の推奨動作条件)	1		8.5	
t_{PZH}、t_{PZL}	$\overline{OE}$	Y	C_L = 50pF	T_A = 25℃		5.1	7.1	ns
				T_A = -55℃～125℃ (SN54AHC125)	1		8	
				T_A = -40℃～85℃ (SN74AHC125)	1		8	
				T_A = -40℃～125℃ (SN74AHC125 の推奨動作条件)	1		8	
t_{PHZ}、t_{PLZ}	$\overline{OE}$	Y	C_L = 50pF	T_A = 25℃		6.1	8.8	ns
				T_A = -55℃～125℃ (SN54AHC125)	1		10	
				T_A = -40℃～85℃ (SN74AHC125)	1		10	
				T_A = -40℃～125℃ (SN74AHC125 の推奨動作条件)	1		10	
tsk(o)	$\overline{OE}$	Y	C_L = 50pF	T_A = 25℃			1(2)	ns
				T_A = -40℃～85℃ (SN74AHC125)			1	

Copyright © 2024 Texas Instruments Incorporated

5.8 ノイズ特性

V_{CC} = 5V、C_L = 50pF、T_A = 25℃(1)

パラメータ		最小値	最大値	単位
$V_{OL(P)}$	低ノイズ出力、最大動的 (V_{OL})		0.8	V
$V_{OL(V)}$	低ノイズ出力、最小動的 (V_{OL})		-0.8	V
$V_{OH(V)}$	低ノイズ出力、最小動的 (V_{OH})	4.4		V
$V_{IH(D)}$	High レベル動的入力電圧	3.5		V
$V_{IL(D)}$	Low レベル動的入力電圧		1.5	V

(1) 特性は表面実装パッケージのみが対象です。

5.9 動作特性

V_{CC} = 5V、T_A = 25℃

パラメータ		テスト条件	標準値	単位
C_{pd}	電力散逸容量	無負荷、f = 1MHz	9.5	pF

5.10 代表的特性

図 5-1 に、V_{CC} が 5V ±0.5V、T_A = 25℃の場合の各種 V_{IN} 値に対する I_{cc} を示します。

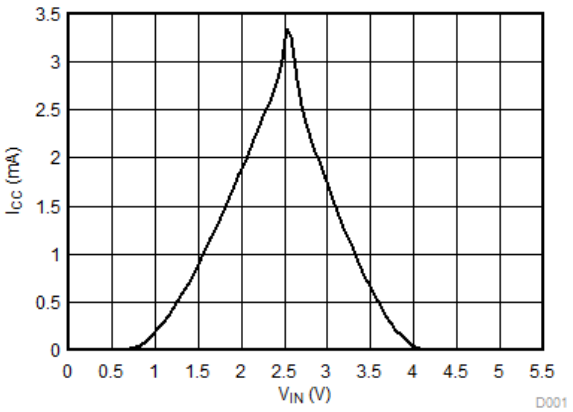
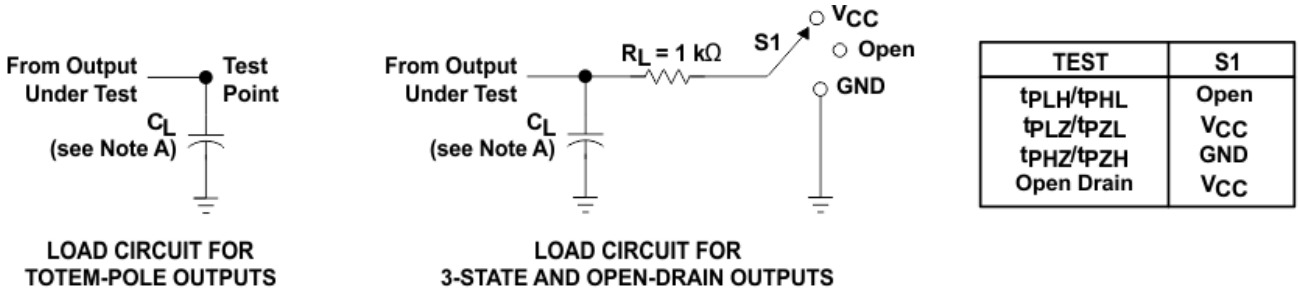


図 5-1. V_{IN} と I_{CC} との関係

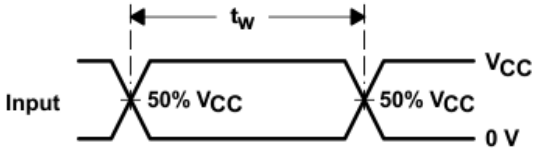
Copyright © 2024 Texas Instruments Incorporated

6 パラメータ測定情報

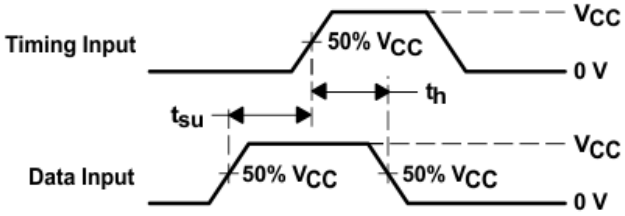


LOAD CIRCUIT FOR TOTEM-POLE OUTPUTS

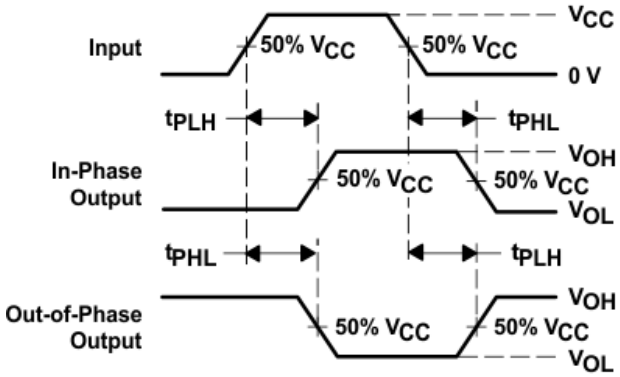
LOAD CIRCUIT FOR 3-STATE AND OPEN-DRAIN OUTPUTS



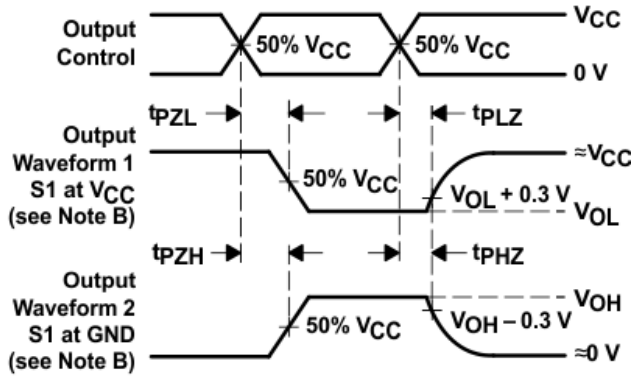
VOLTAGE WAVEFORMS PULSE DURATION



VOLTAGE WAVEFORMS SETUP AND HOLD TIMES



VOLTAGE WAVEFORMS PROPAGATION DELAY TIMES INVERTING AND NONINVERTING OUTPUTS



VOLTAGE WAVEFORMS ENABLE AND DISABLE TIMES LOW- AND HIGH-LEVEL ENABLING

A. C_L にはプローブと治具の容量が含まれます。

B. 波形 1 は、出力が Low になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディスエーブルされている場合は除きます。波形 2 は、出力が High になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディスエーブルされている場合は除きます。

C. すべての入力パルスは、以下の特性を持つジェネレータによって供給されます。PRR ≦ 1MHz、Z_O = 50Ω、t_r ≦ 3 ns、t_f ≦ 3 ns。

D. 出力は一度に 1 つずつ測定され、測定するたびに入力が 1 回遷移します。

E. すべてのパラメータと波形が、すべてのデバイスに適用できるわけではありません。

図 6-1. 負荷回路および電圧波形

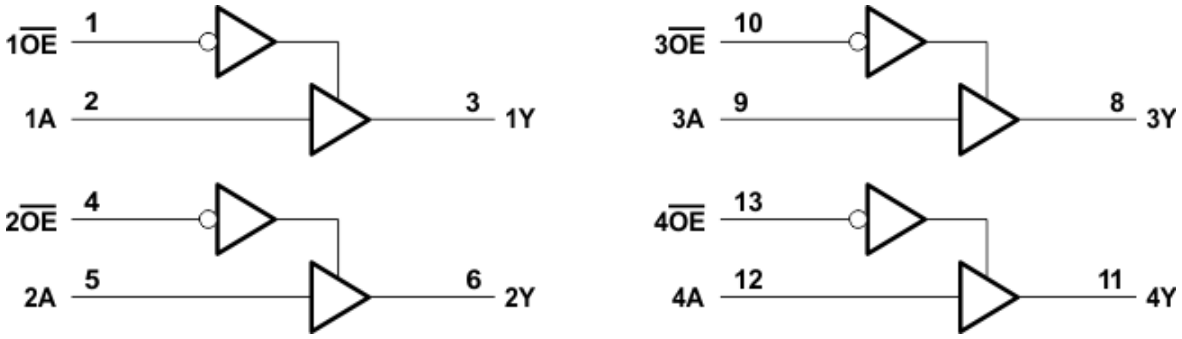
Copyright © 2024 Texas Instruments Incorporated

7 詳細説明

7.1 概要

SNx4AHC125 デバイスには、4 つのバス バッファ ゲートが搭載されています。各ゲートは、それぞれの出力イネーブル ピンから個別に制御することも、まとめて結線して同時に制御することもできます。これにより、1 つのデバイスから最大 4 つの異なるラインを制御できます。多くの場合、マイクロコントローラは 1 つのピンに対して複数の機能オプションを備えています。GPIO ピンを使用して特定のバッファをイネーブルすることで、SNx4AHC125 はマルチプレクサとして機能し、マイクロコントローラで選択されているピンの機能に応じて特定のデータ ラインを選択できます。同時に、選択されていないラインがピンから分離されます。

7.2 機能ブロック図



ここに示すピン番号は D、DB、DGV、J、N、NS、PW、RGY、W の各パッケージのものです。

7.3 機能説明

各バッファは、独自の出力イネーブルを備えています。これにより、各バッファを個別に制御できます。出力イネーブルが Low のとき、入力は出力に渡されます。出力イネーブルが High のとき、出力は高インピーダンスになります。この機能は、絶縁を必要とする可能性のあるアプリケーションでの使用に適しています。

7.4 デバイスの機能モード

表 7-1 に、SNx4AHC125 の機能モードを示します。

表 7-1. 機能表
(各バッファ)

入力		出力
$\overline{OE}$	A	Y
L	H	H
L	L	L
H	X	Z

Copyright © 2024 Texas Instruments Incorporated

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

SNx4AHC125 デバイスは動作範囲が広いため、各種のアプリケーションに実装できます。これらのデバイスが、動作範囲が広いことに加えて、独立した出力イネーブル ($\overline{OE}$) ピンで個別に制御できる 4 つのバッファを備えていることは、類似のデバイスにはない特長です。各バッファは、イネーブル時には A から Y にデータを転送し、ディスエーブル時には高インピーダンス状態に設定されます。

8.2 代表的なアプリケーション

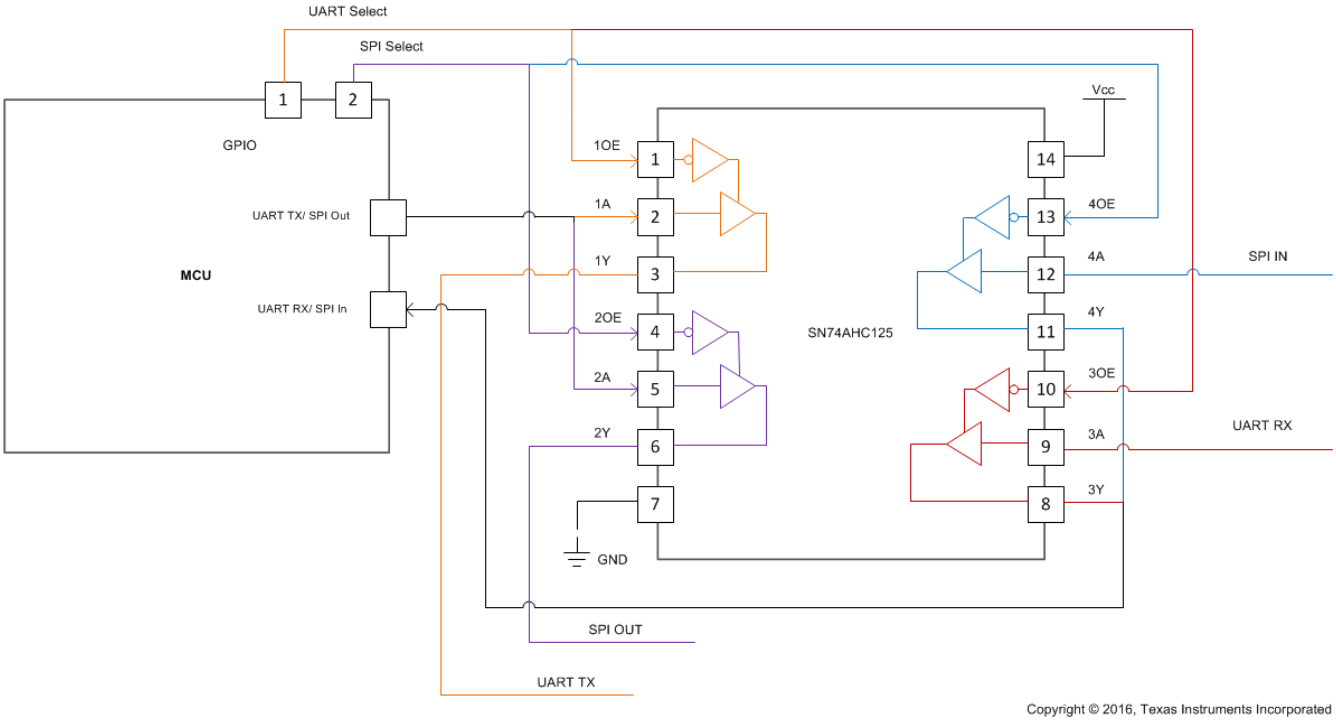


図 8-1. デジタル MUX

8.2.1 設計要件

SN74AHC125 の V_{CC} は、マイクロコントローラのロジック レベルと同じレベルに設定するのが最善の方法です。これにより、最適な性能が得られます。SN74AHC125 は -0.5V～7V の入力レベルを安全に扱うことができます。しかし、受け取るロジック レベルが本デバイスの V_{CC} レベルと異なる場合、エラーが発生する可能性があります。たとえば、V_{CC} が 5.5V の場合、High レベル入力電圧 (V_{IH}) レベルの最小値は 3.85V です。これは、マイクロコントローラが High 信号を送ったが、High = 3.3V である場合、SNx4AHC125 がその信号を High として認識するには、その信号レベルは低すぎることを意味します。この場合、V_{IH} の最小値を下げるため、V_{CC} を下げる必要があります。Low レベル入力電圧 (V_{IL}) についても、その逆が成り立ちます。VCC が 2V に設定されている場合、V_{IL} の最大値は 0.5V です。マイクロコントローラのロジック レベルによっては、SNx4AHC125 が Low を認識するほど十分に Low 信号レベルが下がらない場合があります。

8.2.2 詳細な設計手順

1. 推奨入力条件:
   - 各種 V_{CC} での V_{IH} および V_{IL} レベルについては、「推奨動作条件」を参照してください。
   - 適切なバッファが有効化され、その他のバッファが無効化されるように、出力イネーブル ピンの立ち上がり時間と立ち下がり時間の仕様に注意します。これにより、マイクロコントローラ ピンでの干渉と外部回路への干渉を最小化できます。詳細については、「スイッチング特性、V_{CC} = 3.3V ±0.3V」および「スイッチング特性、V_{CC} = 5V ±0.5V」表を参照してください。
2. 推奨出力条件:
   - 負荷電流は、出力ごとに I_O の最大値を超えないようにする必要があります。また、V_{CC} または GND を流れる連続電流は、本デバイスの最大総電流の仕様値を超えないようにする必要があります。これらの限界値は、「絶対最大定格」に記載されています。
   - 出力は、V_{CC} を超えてプルされないようにしてください。

8.2.3 アプリケーション曲線

25℃における代表的なデバイス

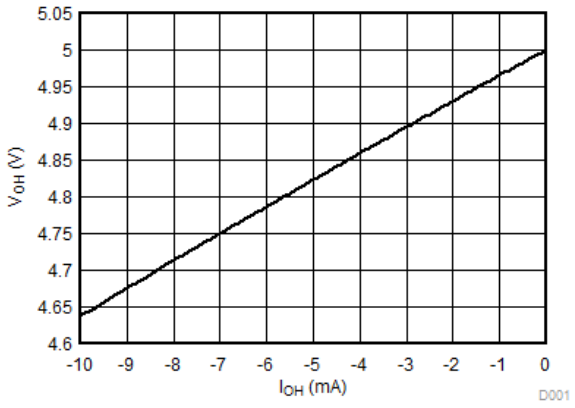


図 8-2. I_{OH} と V_{OH} との関係

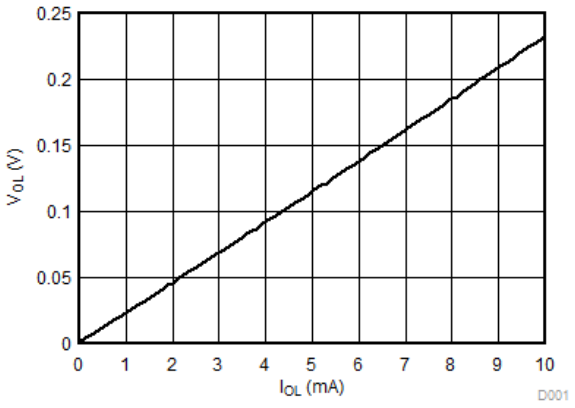


図 8-3. I_{OL} と V_{OL} との関係

Copyright © 2024 Texas Instruments Incorporated

8.3 電源に関する推奨事項

電源には、「推奨動作条件」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。

電源の障害を防止するため、各 V_{CC} ピンに適切なバイパス コンデンサを配置する必要があります。単電源のデバイスには 0.1µF のコンデンサを推奨します。V_{CC} 端子が複数ある場合は、各電源端子に 0.01µF または 0.022µF のコンデンサを推奨します。複数のバイパス コンデンサを並列に配置して、異なる周波数のノイズを除去することもできます。一般的に、0.1µF と 1µF のコンデンサを並列に使用します。最良の結果を得るため、バイパス コンデンサは電源ピンのできるだけ近くに配置する必要があります。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

多ビット ロジック デバイスを使用する場合、入力をフローティングにしないでください。多くの場合、デジタル論理デバイスの機能または機能の一部は使用されません (たとえば、トリプル入力 AND ゲートの 2 つの入力のみを使用する場合や 4 つのバッファ ゲートのうちの 3 つのみを使用する場合)。このような未使用の入力ピンを未接続のままにすることはできません。外部接続の電圧が未確定の場合、動作状態が不定になるためです。以下に規定された規則は、あらゆる状況で遵守する必要があります。デジタル ロジック デバイスの未使用の入力はすべて、フローティングにならないように、High または Low バイアスに接続する必要があります。特定の未使用入力に適用する必要があるロジック レベルは、デバイスの機能によって異なります。一般に、GND または V_{CC} (より適切であるかより利便性の高い方) に接続されます。

8.4.1.1 レイアウト例

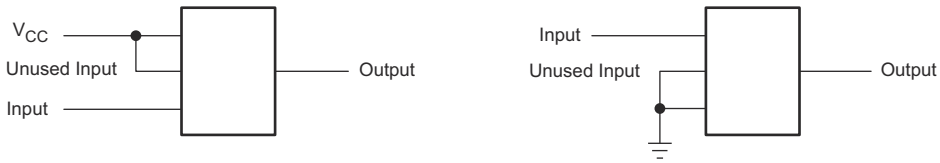


図 8-4. レイアウトの図

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート (アナログ)

9.1.1 関連資料

関連資料については、以下を参照してください。

『低速またはフローティング CMOS 入力の影響』(SCBA004)

9.1.2 関連リンク

次の表に、クイック アクセス リンクを示します。カテゴリには、技術資料、サポートおよびコミュニティ リソース、ツールとソフトウェア、およびサンプル注文またはご購入へのクイック アクセスが含まれます。

表 9-1. 関連リンク

製品	プロダクト フォルダ	サンプルとご購入	技術資料	ツールとソフトウェア	サポートとコミュニティ
SN54AHC125	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック
SN74AHC125	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision N (October 2023) to Revision O (February 2024)	Page
• RGY パッケージの熱特性値を RθJA = 55.1 から 87.1、RθJC(top) = 52.3 から 92.6、RθJB = 49.4 から 30.9、ΨJT = 14.6 から 2.4、ΨJB = 31 から 61.7、RθJC(bot) = 12.7 から 45.1 に更新 (値はすべて℃/W)	6

Copyright © 2024 Texas Instruments Incorporated

Changes from Revision M (June 2023) to Revision N (October 2023) **Page**

- D および PW パッケージの RθJC(top)、RθJB、ΨJT、ΨJB、RθJC(bot) を更新 (値はすべて℃/W)..... 6

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側のナビゲーション リンクを参照してください。

Copyright © 2024 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
5962-9686801Q2A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9686801Q2A SNJ54AHC125FK
5962-9686801QCA	Active	Production	CDIP (J) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9686801QCA SNJ54AHC125J
5962-9686801QDA	Active	Production	CFP (W) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9686801QDA SNJ54AHC125W
SN74AHC125BQAR	Active	Production	WQFN (BQA) | 14	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	AHC125
SN74AHC125BQAR.A	Active	Production	WQFN (BQA) | 14	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	AHC125
SN74AHC125D	Obsolete	Production	SOIC (D) | 14	-	-	Call TI	Call TI	-40 to 125	AHC125
SN74AHC125DBR	Active	Production	SSOP (DB) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HA125
SN74AHC125DBR.A	Active	Production	SSOP (DB) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HA125
SN74AHC125DGVR	Active	Production	TVSOP (DGV) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HA125
SN74AHC125DGVR.A	Active	Production	TVSOP (DGV) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HA125
SN74AHC125DR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHC125
SN74AHC125DR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHC125
SN74AHC125N	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 125	SN74AHC125N
SN74AHC125N.A	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 125	SN74AHC125N
SN74AHC125NE4	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 125	SN74AHC125N
SN74AHC125NSR	Active	Production	SOP (NS) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHC125
SN74AHC125NSR.A	Active	Production	SOP (NS) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHC125
SN74AHC125PWR	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	HA125
SN74AHC125PWR.A	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HA125
SN74AHC125RGYR	Active	Production	VQFN (RGY) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HA125
SN74AHC125RGYR.A	Active	Production	VQFN (RGY) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HA125
SN74AHC125RGYRG4	Active	Production	VQFN (RGY) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HA125
SN74AHC125RGYRG4.A	Active	Production	VQFN (RGY) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HA125

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SNJ54AHC125FK	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9686801Q2A SNJ54AHC 125FK
SNJ54AHC125FK.A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9686801Q2A SNJ54AHC 125FK
SNJ54AHC125J	Active	Production	CDIP (J) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9686801QCA SNJ54AHC125J
SNJ54AHC125J.A	Active	Production	CDIP (J) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9686801QCA SNJ54AHC125J
SNJ54AHC125W	Active	Production	CFP (W) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9686801QDA SNJ54AHC125W
SNJ54AHC125W.A	Active	Production	CFP (W) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9686801QDA SNJ54AHC125W

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN54AHC125, SN74AHC125 :

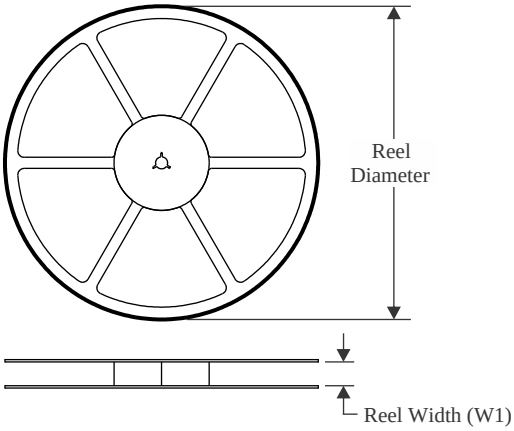
- Catalog : SN74AHC125
- Automotive : SN74AHC125-Q1, SN74AHC125-Q1
- Enhanced Product : SN74AHC125-EP, SN74AHC125-EP
- Military : SN54AHC125

NOTE: Qualified Version Definitions:

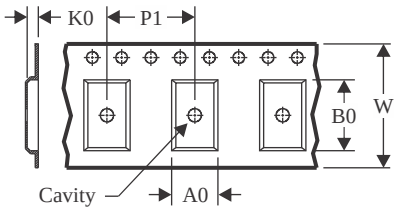
- Catalog - TI's standard catalog product
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects
- Enhanced Product - Supports Defense, Aerospace and Medical Applications
- Military - QML certified for Military and Defense Applications

TAPE AND REEL INFORMATION

REEL DIMENSIONS

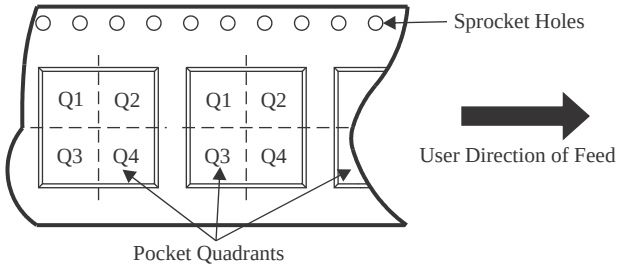


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

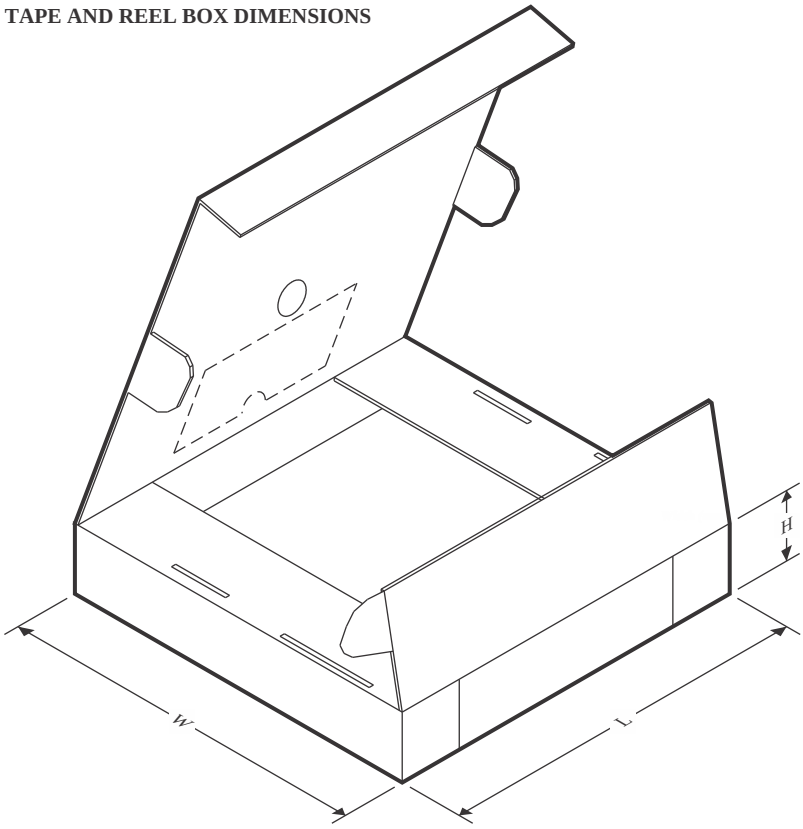
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74AHC125BQAR	WQFN	BQA	14	3000	180.0	12.4	2.8	3.3	1.1	4.0	12.0	Q1
SN74AHC125DBR	SSOP	DB	14	2000	330.0	16.4	8.35	6.6	2.4	12.0	16.0	Q1
SN74AHC125DGVR	TVSOP	DGV	14	2000	330.0	12.4	6.8	4.0	1.6	8.0	12.0	Q1
SN74AHC125DR	SOIC	D	14	2500	330.0	12.4	3.75	3.75	1.15	8.0	12.0	Q1
SN74AHC125DR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
SN74AHC125NSR	SOP	NS	14	2000	330.0	16.4	8.1	10.4	2.5	12.0	16.0	Q1
SN74AHC125PWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74AHC125RGYR	VQFN	RGY	14	3000	330.0	12.4	3.75	3.75	1.15	8.0	12.0	Q1
SN74AHC125RGYRG4	VQFN	RGY	14	3000	330.0	12.4	3.75	3.75	1.15	8.0	12.0	Q1

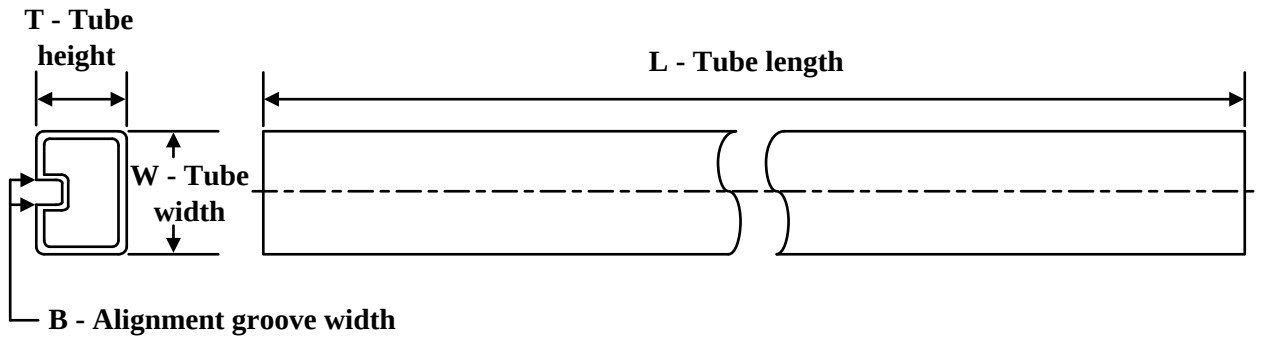
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

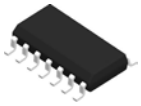
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74AHC125BQAR	WQFN	BQA	14	3000	210.0	185.0	35.0
SN74AHC125DBR	SSOP	DB	14	2000	353.0	353.0	32.0
SN74AHC125DGVR	TVSOP	DGV	14	2000	353.0	353.0	32.0
SN74AHC125DR	SOIC	D	14	2500	340.5	336.1	32.0
SN74AHC125DR	SOIC	D	14	2500	353.0	353.0	32.0
SN74AHC125NSR	SOP	NS	14	2000	353.0	353.0	32.0
SN74AHC125PWR	TSSOP	PW	14	2000	353.0	353.0	32.0
SN74AHC125RGYR	VQFN	RGY	14	3000	360.0	360.0	36.0
SN74AHC125RGYRG4	VQFN	RGY	14	3000	360.0	360.0	36.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
5962-9686801Q2A	FK	LCCC	20	55	506.98	12.06	2030	NA
5962-9686801QDA	W	CFP	14	25	506.98	26.16	6220	NA
SN74AHC125N	N	PDIP	14	25	506	13.97	11230	4.32
SN74AHC125N	N	PDIP	14	25	506	13.97	11230	4.32
SN74AHC125N.A	N	PDIP	14	25	506	13.97	11230	4.32
SN74AHC125N.A	N	PDIP	14	25	506	13.97	11230	4.32
SN74AHC125NE4	N	PDIP	14	25	506	13.97	11230	4.32
SN74AHC125NE4	N	PDIP	14	25	506	13.97	11230	4.32
SNJ54AHC125FK	FK	LCCC	20	55	506.98	12.06	2030	NA
SNJ54AHC125FK.A	FK	LCCC	20	55	506.98	12.06	2030	NA
SNJ54AHC125W	W	CFP	14	25	506.98	26.16	6220	NA
SNJ54AHC125W.A	W	CFP	14	25	506.98	26.16	6220	NA

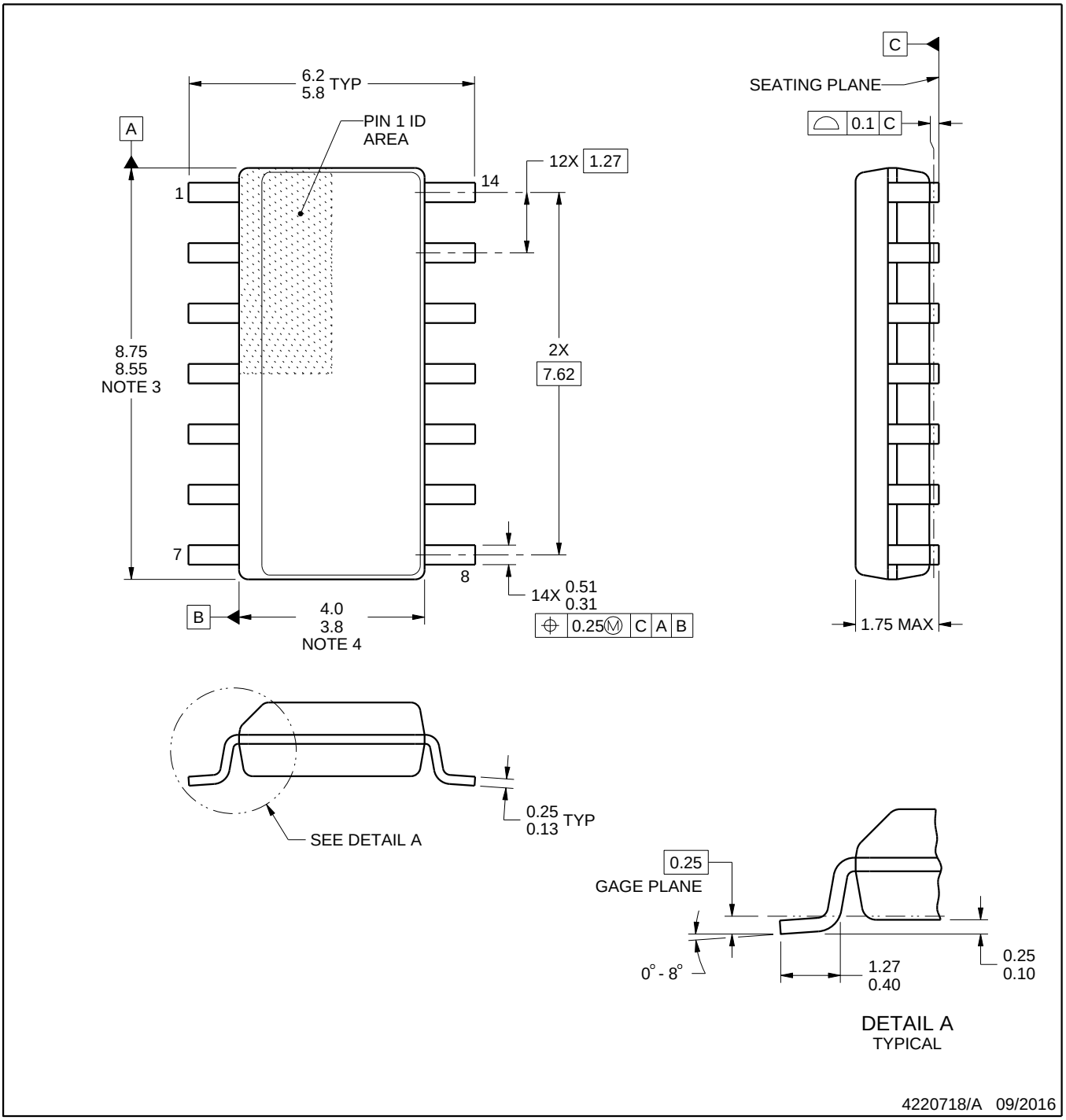


PACKAGE OUTLINE

D0014A

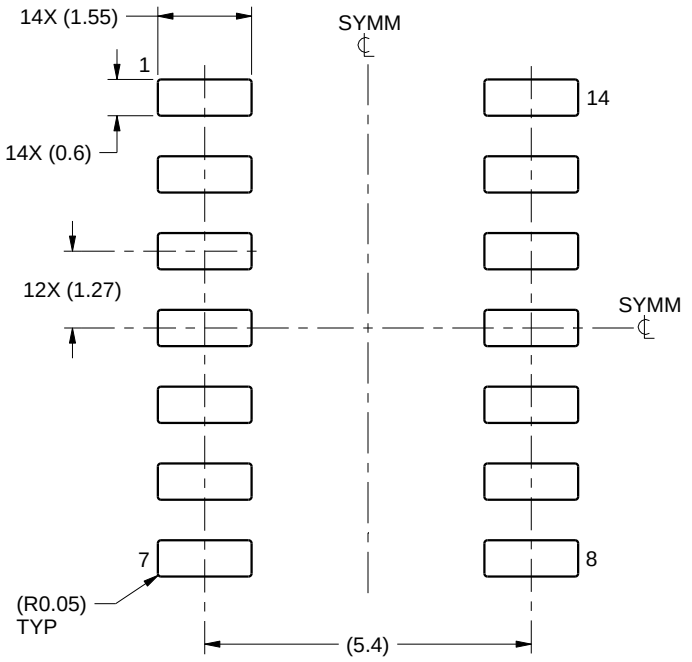
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

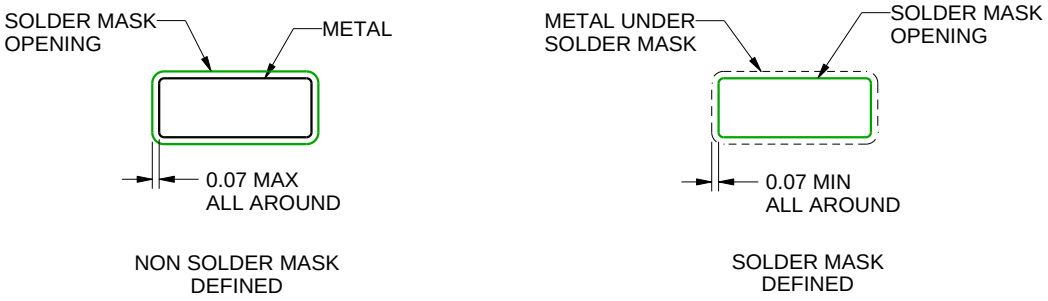


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

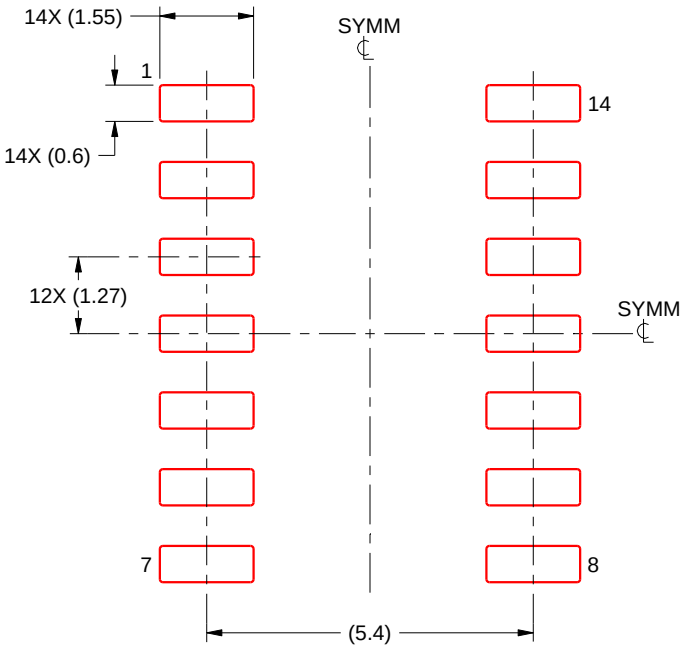
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

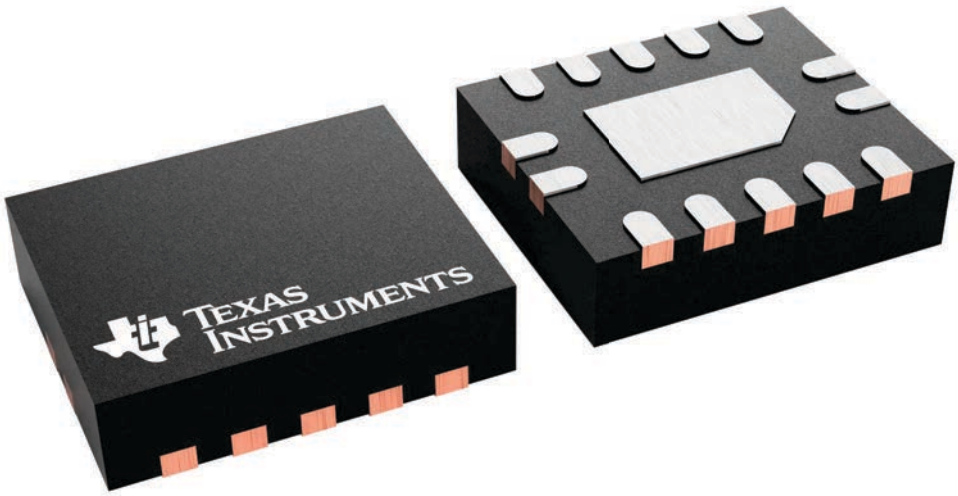
BQA 14

WQFN - 0.8 mm max height

2.5 x 3, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



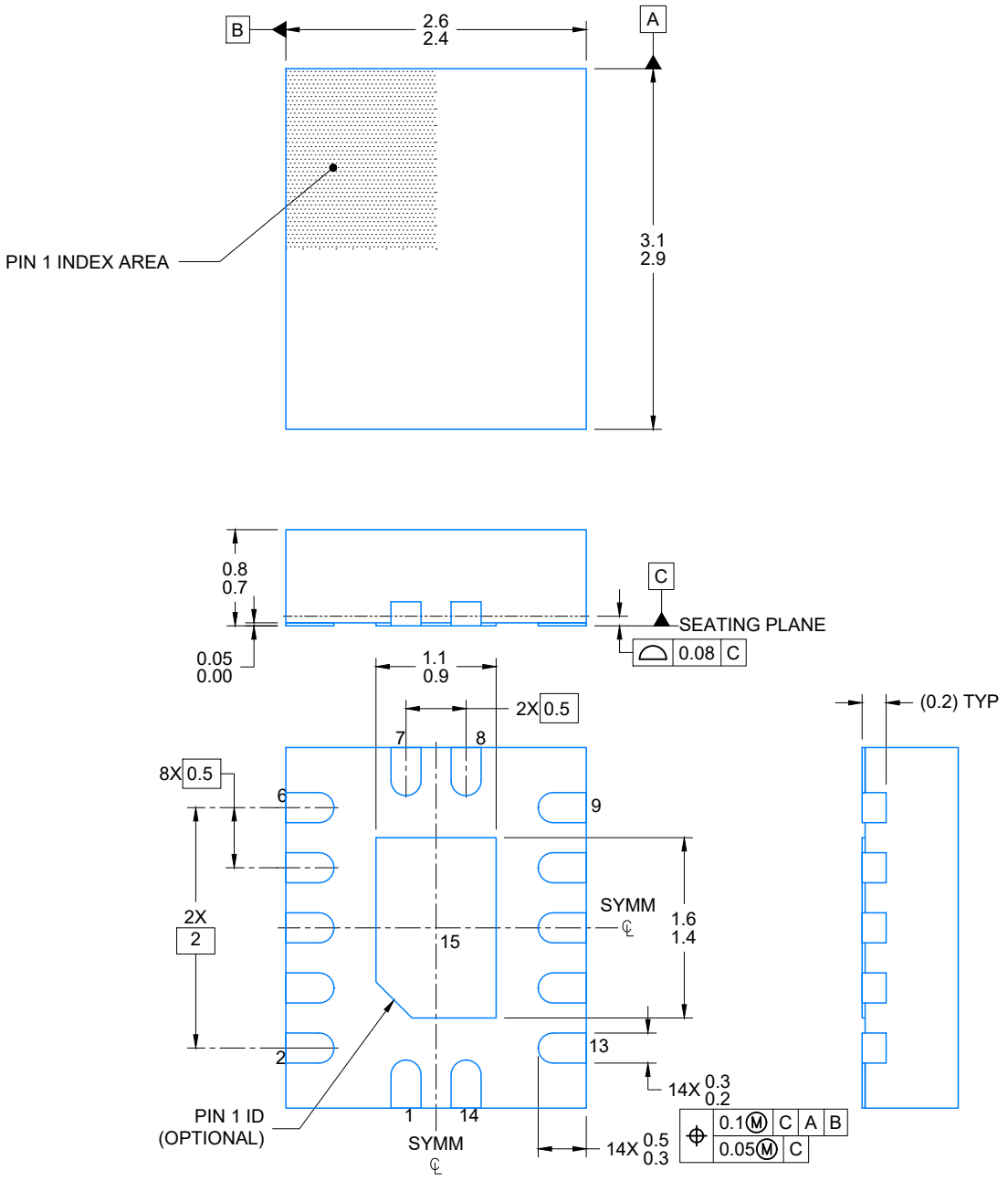
4227145/A

PACKAGE OUTLINE

BQA0014A

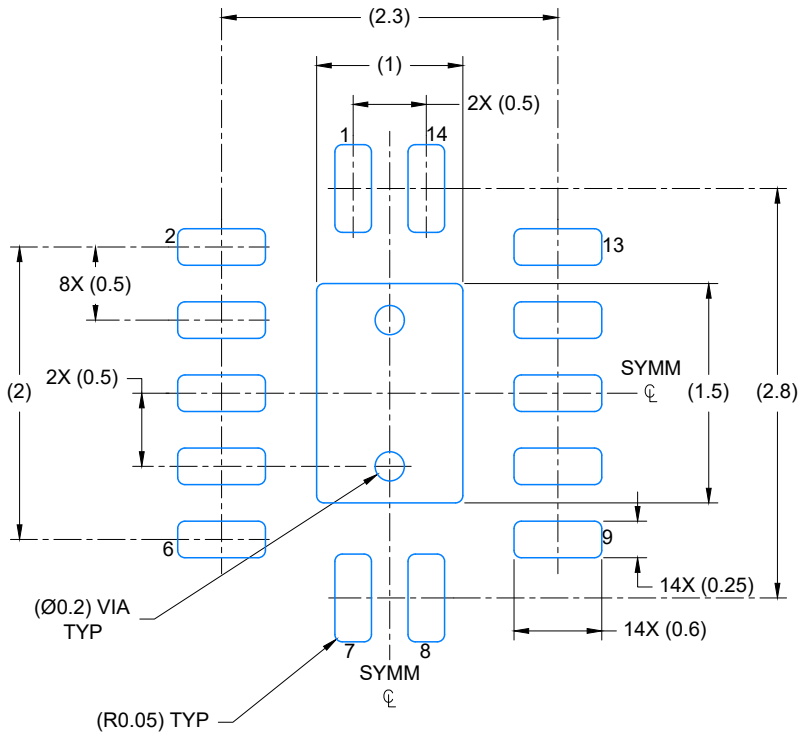
WQFN - 0.8 mm max height

PLASTIC QUAD FLAT PACK-NO LEAD

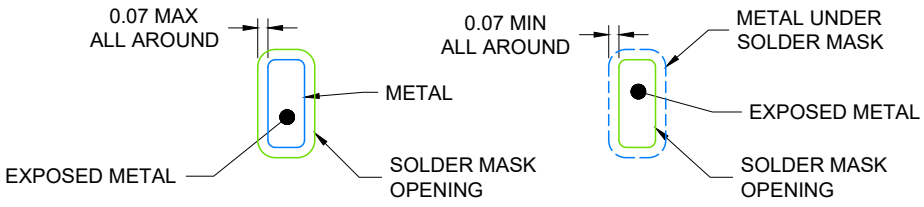


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



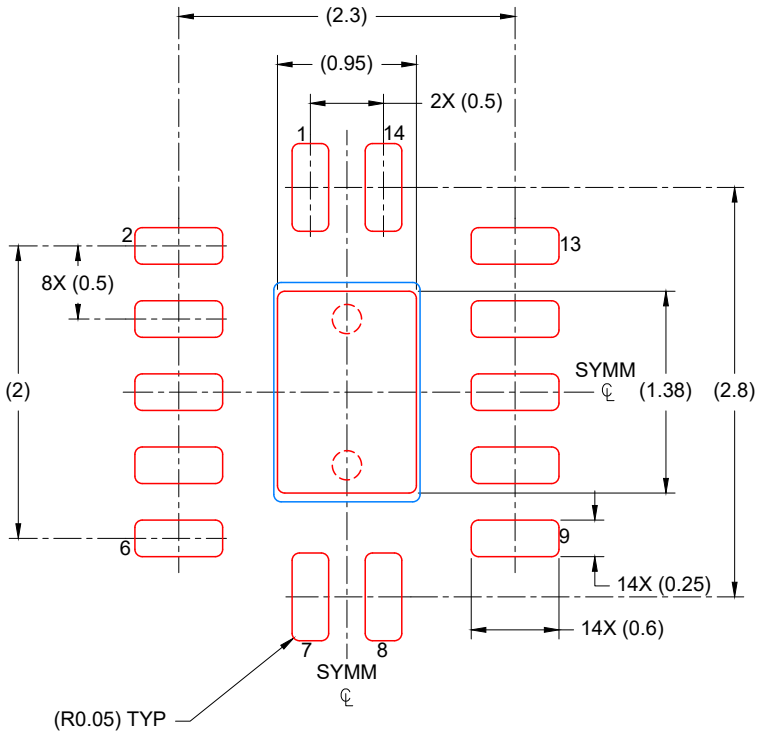
NON-SOLDER MASK
DEFINED
(PREFERRED)

SOLDER MASK
DEFINED

4224636/A 11/2018

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
88% PRINTED COVERAGE BY AREA
SCALE: 20X

4224636/A 11/2018

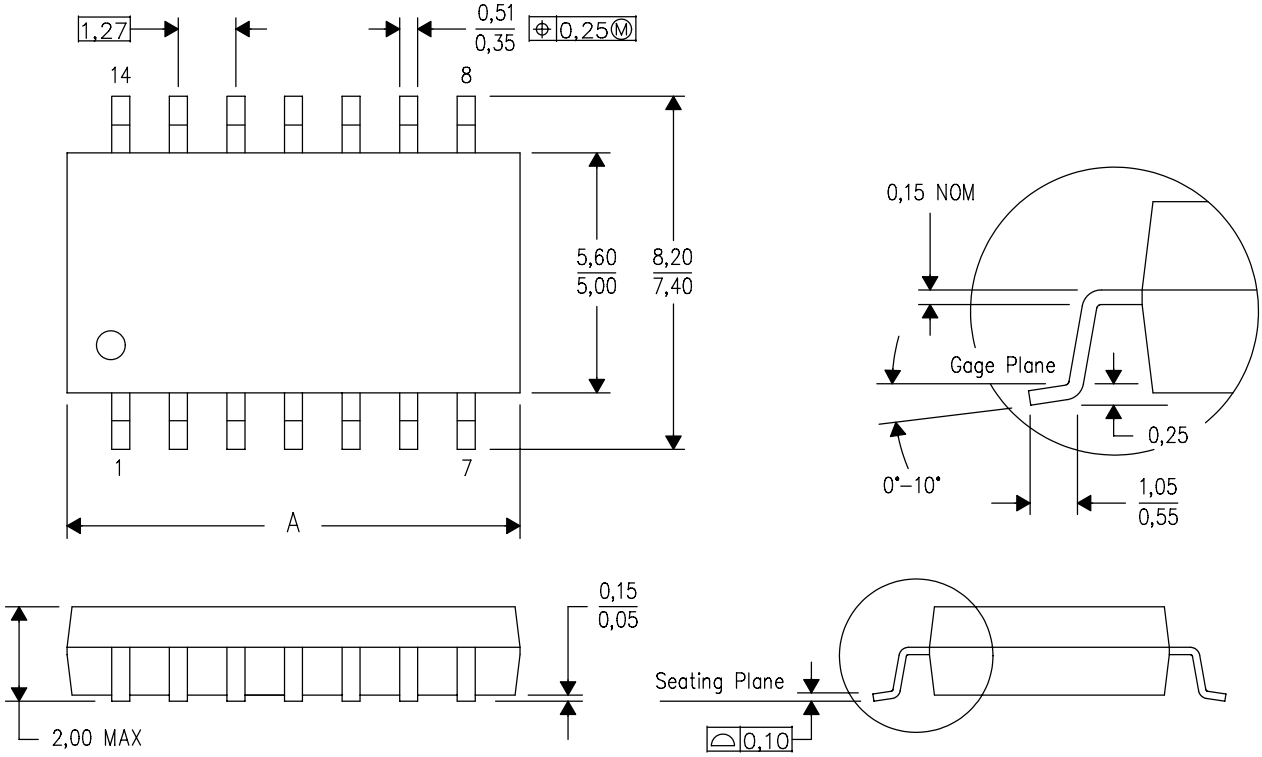
NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

MECHANICAL DATA

NS (R-PDSO-G)** **PLASTIC SMALL-OUTLINE PACKAGE**

14-PINS SHOWN

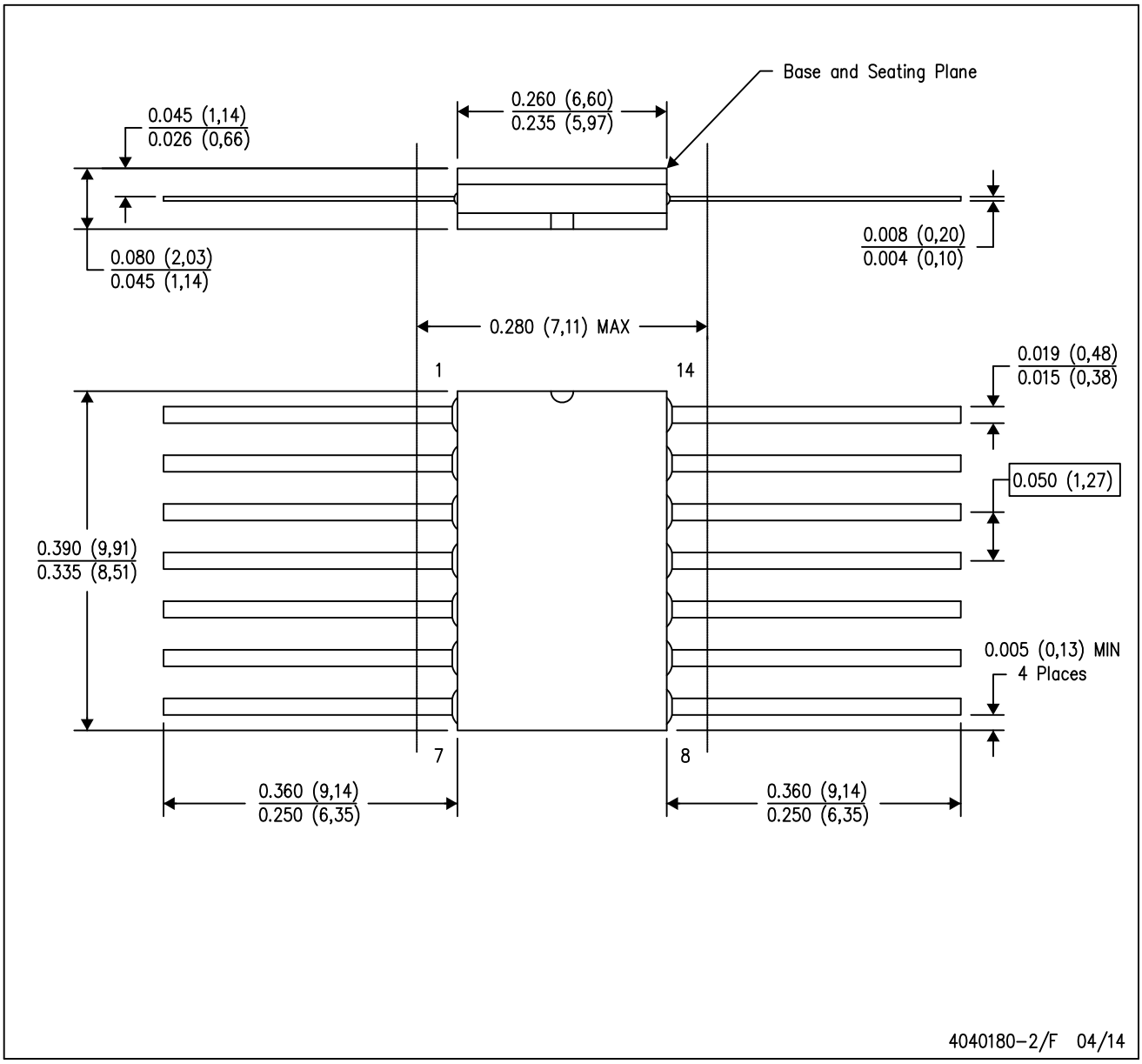


DIM \ PINS **	14	16	20	24
A MAX	10,50	10,50	12,90	15,30
A MIN	9,90	9,90	12,30	14,70

4040062/C 03/03

NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

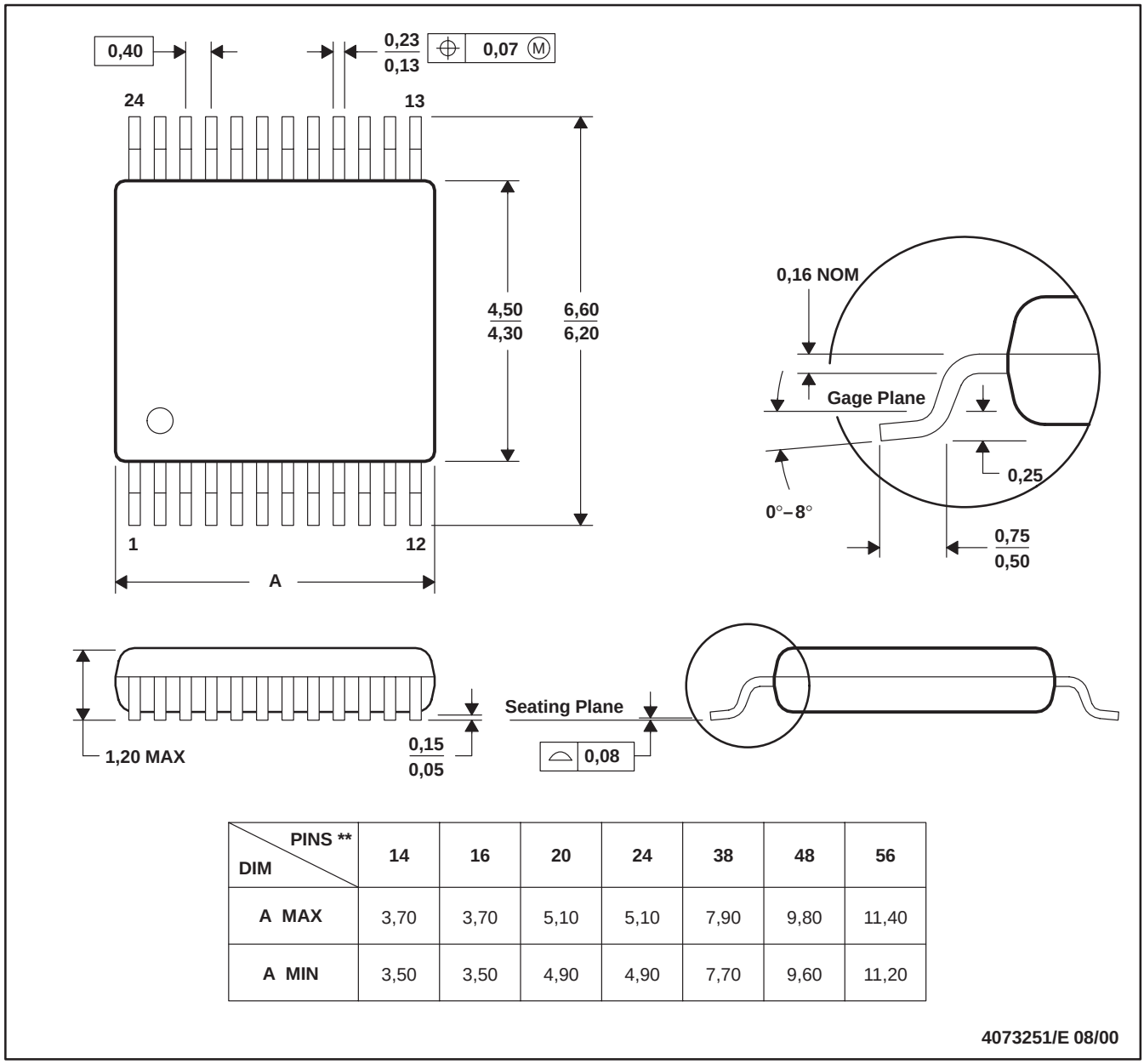
W (R–GDFP–F14) CERAMIC DUAL FLATPACK



NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. This package can be hermetically sealed with a ceramic lid using glass frit.
D. Index point is provided on cap for terminal identification only.
E. Falls within MIL STD 1835 GDFP1–F14

DGV (R-PDSO-G)** **PLASTIC SMALL-OUTLINE**

24 PINS SHOWN



DIM \ PINS **	14	16	20	24	38	48	56
A MAX	3,70	3,70	5,10	5,10	7,90	9,80	11,40
A MIN	3,50	3,50	4,90	4,90	7,70	9,60	11,20

4073251/E 08/00

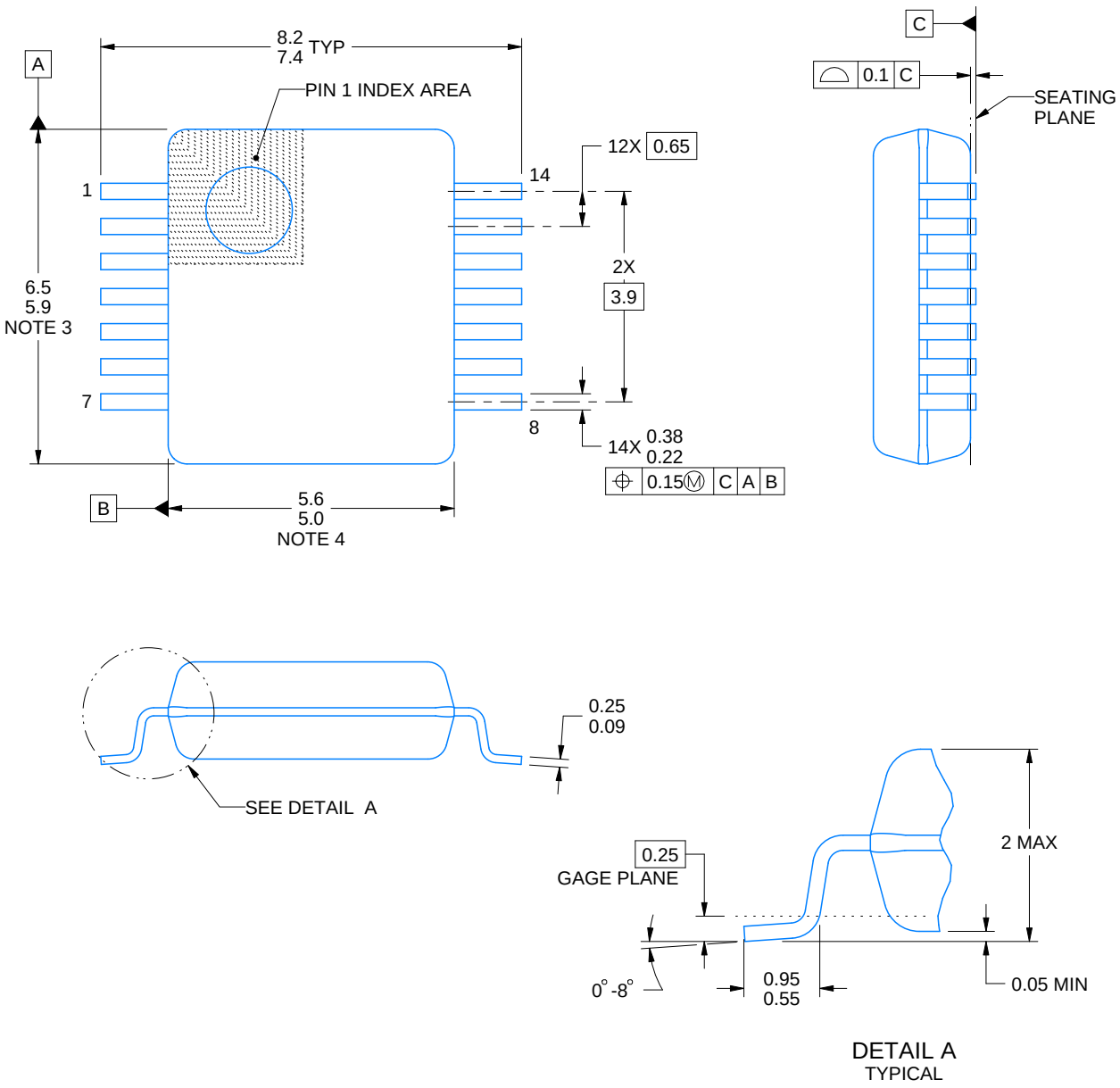
NOTES: A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15 per side.
D. Falls within JEDEC: 24/48 Pins – MO-153
14/16/20/56 Pins – MO-194

PACKAGE OUTLINE

DB0014A

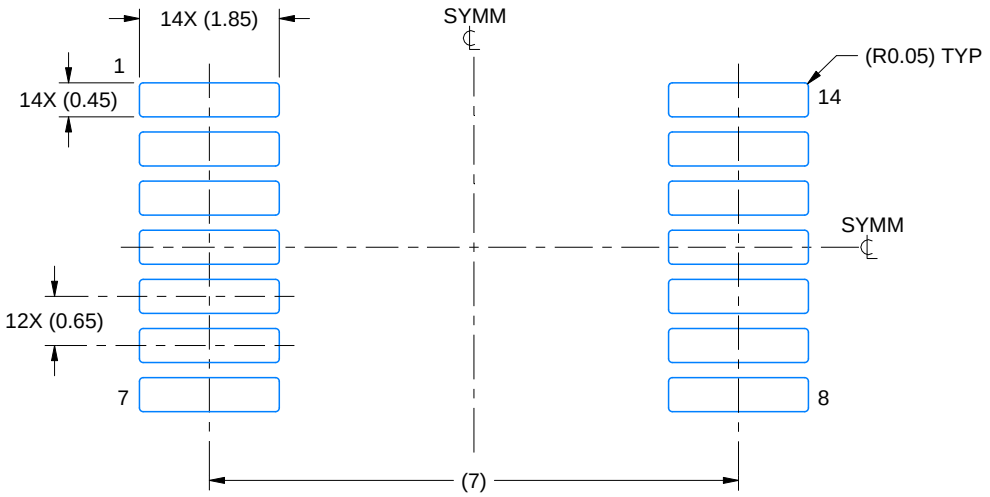
SSOP - 2 mm max height

SMALL OUTLINE PACKAGE

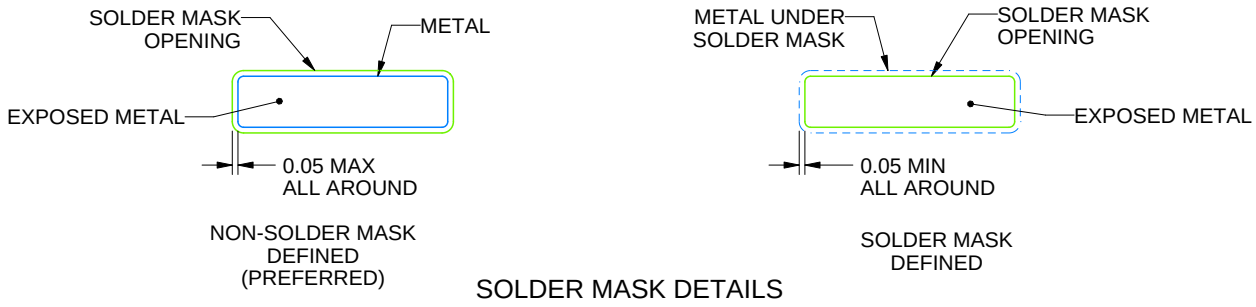


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-150.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

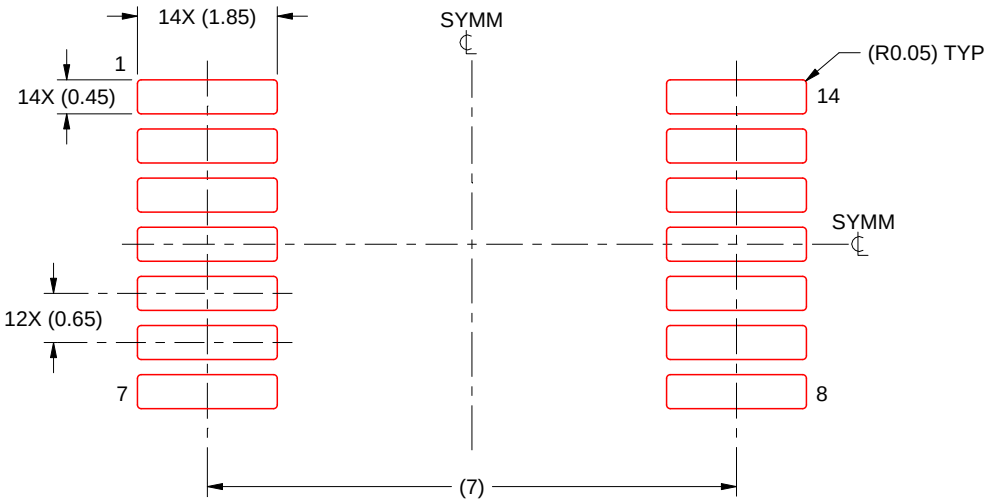


SOLDER MASK DETAILS

4220762/A 05/2024

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220762/A 05/2024

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

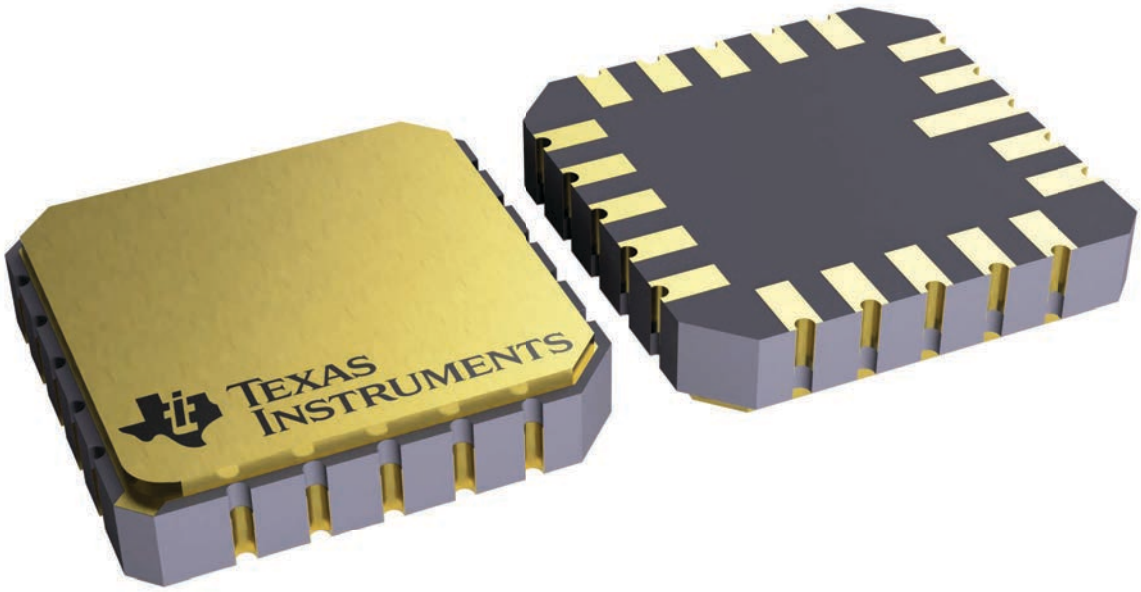
FK 20

LCCC - 2.03 mm max height

8.89 x 8.89, 1.27 mm pitch

LEADLESS CERAMIC CHIP CARRIER

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

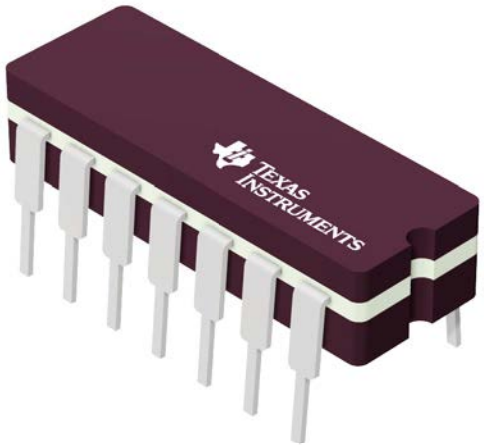


4229370VA\

GENERIC PACKAGE VIEW

J 14 CDIP - 5.08 mm max height

CERAMIC DUAL IN LINE PACKAGE



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

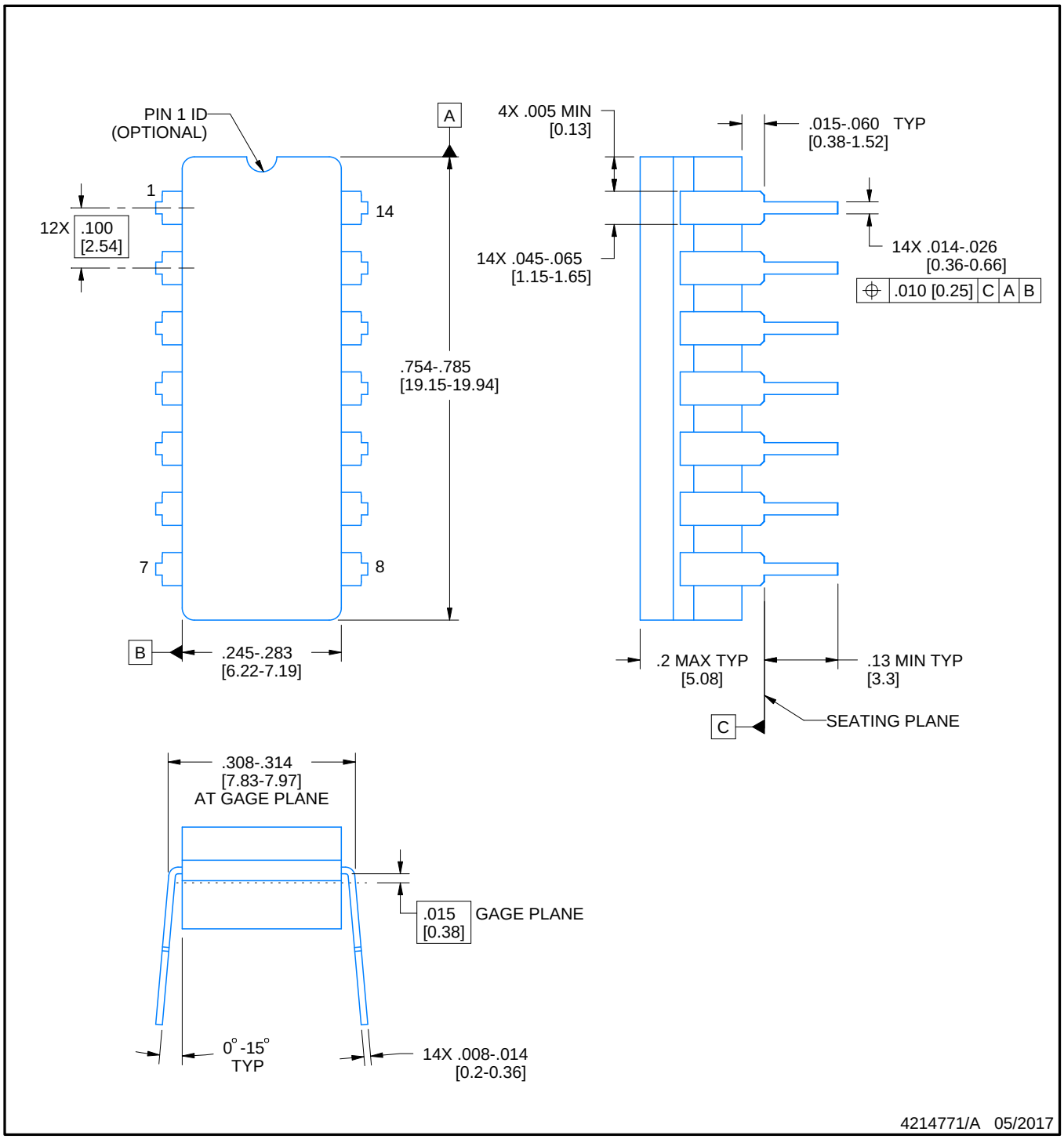
4040083-5/G

PACKAGE OUTLINE

J0014A

CDIP - 5.08 mm max height

CERAMIC DUAL IN LINE PACKAGE



NOTES:

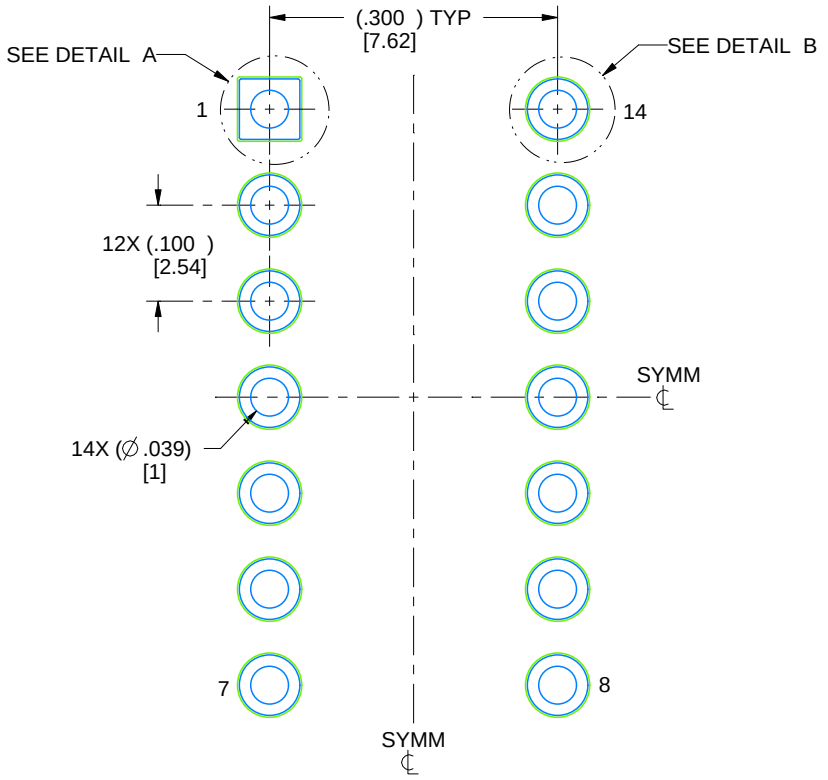
1. All controlling linear dimensions are in inches. Dimensions in brackets are in millimeters. Any dimension in brackets or parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This package is hermitically sealed with a ceramic lid using glass frit.
4. Index point is provided on cap for terminal identification only and on press ceramic glass frit seal only.
5. Falls within MIL-STD-1835 and GDIP1-T14.

EXAMPLE BOARD LAYOUT

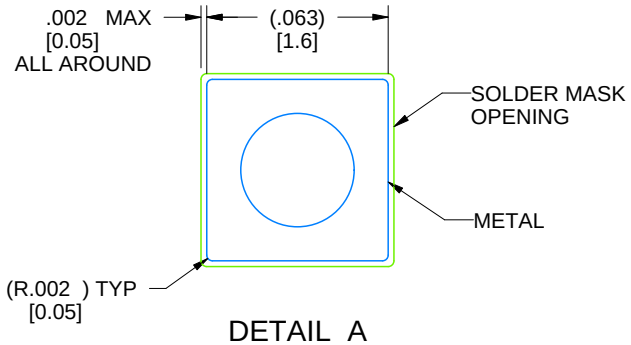
J0014A

CDIP - 5.08 mm max height

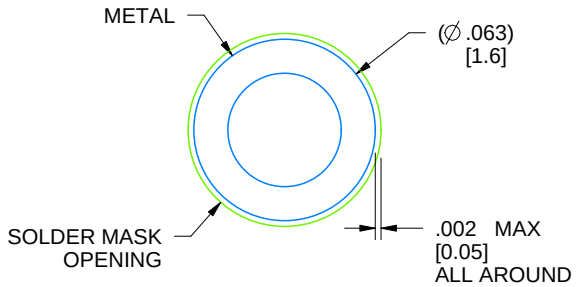
CERAMIC DUAL IN LINE PACKAGE



LAND PATTERN EXAMPLE
NON-SOLDER MASK DEFINED
SCALE: 5X



DETAIL A
SCALE: 15X



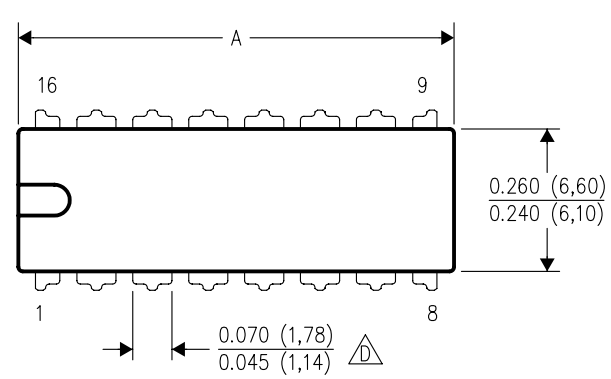
DETAIL B
13X, SCALE: 15X

4214771/A 05/2017

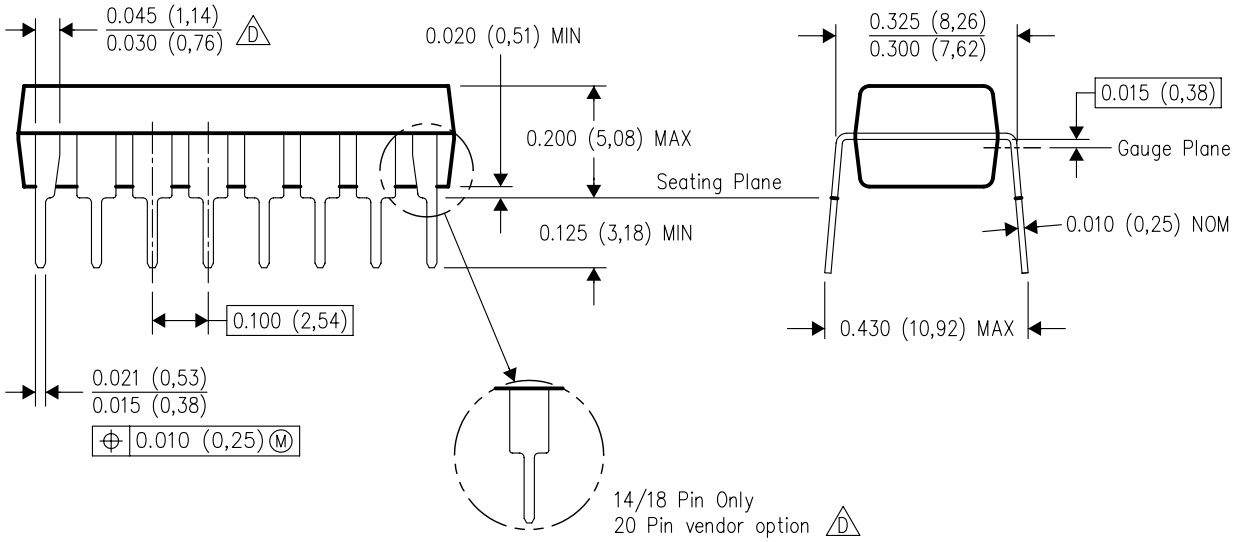
N (R–PDIP–T**)

PLASTIC DUAL–IN–LINE PACKAGE

16 PINS SHOWN



DIM \ PINS **	14	16	18	20
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS–001 VARIATION (C)	AA	BB	AC	AD



4040049/E 12/2002

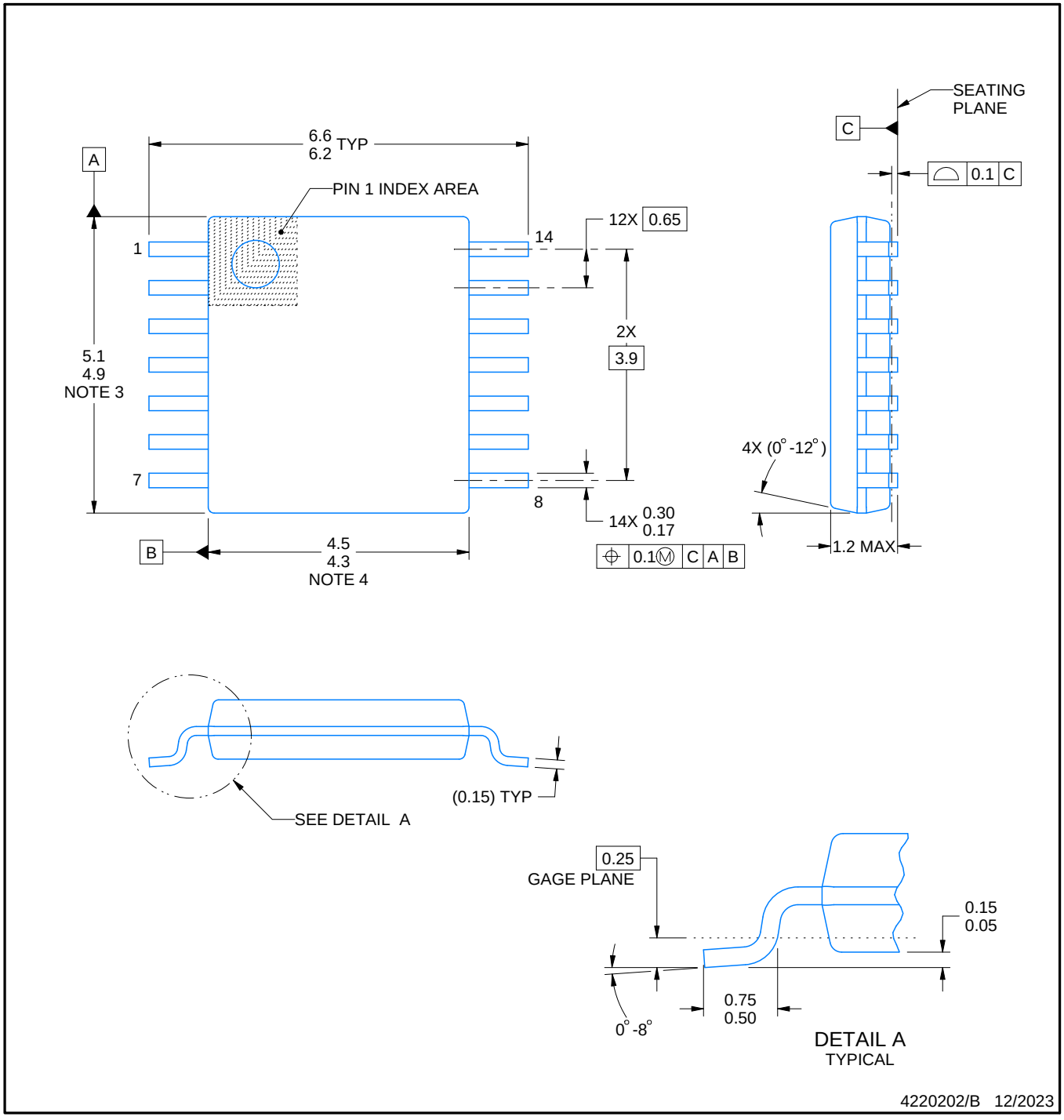
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001, except 18 and 20 pin minimum body length (Dim A).
D. The 20 pin end lead shoulder width is a vendor option, either half or full width.

PACKAGE OUTLINE

PW0014A

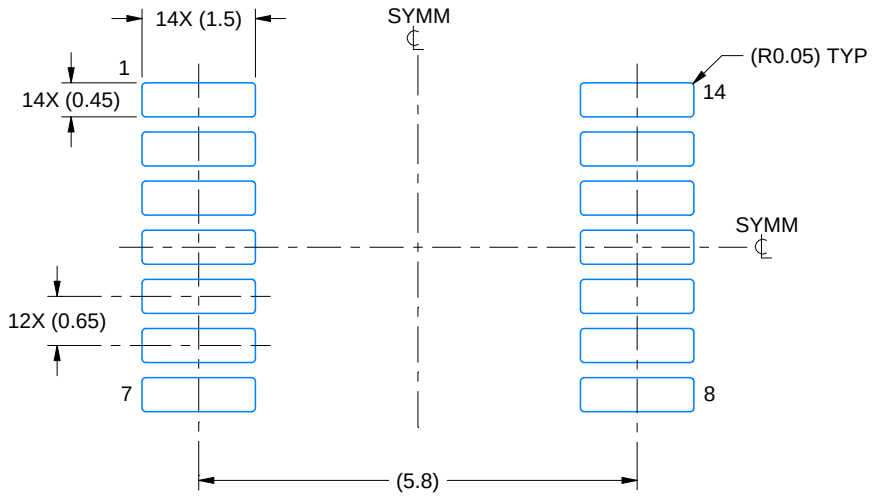
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

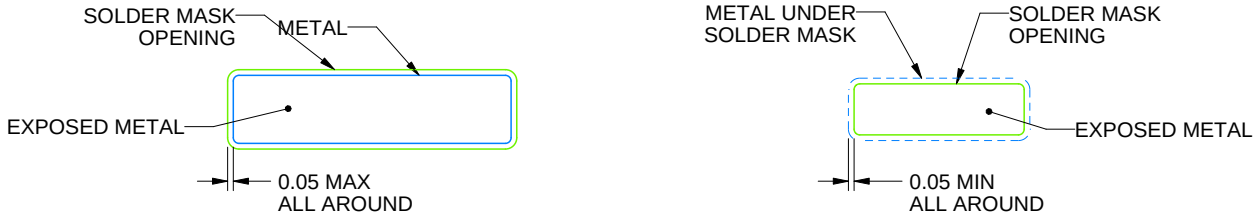


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

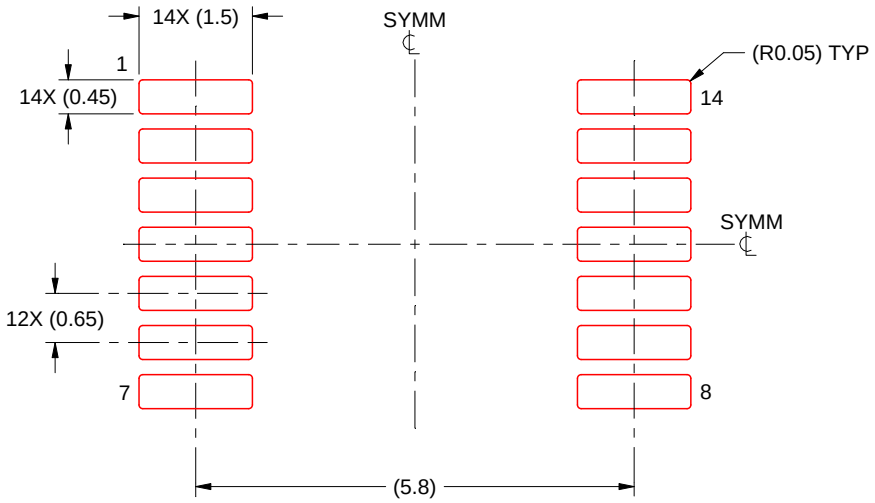


SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

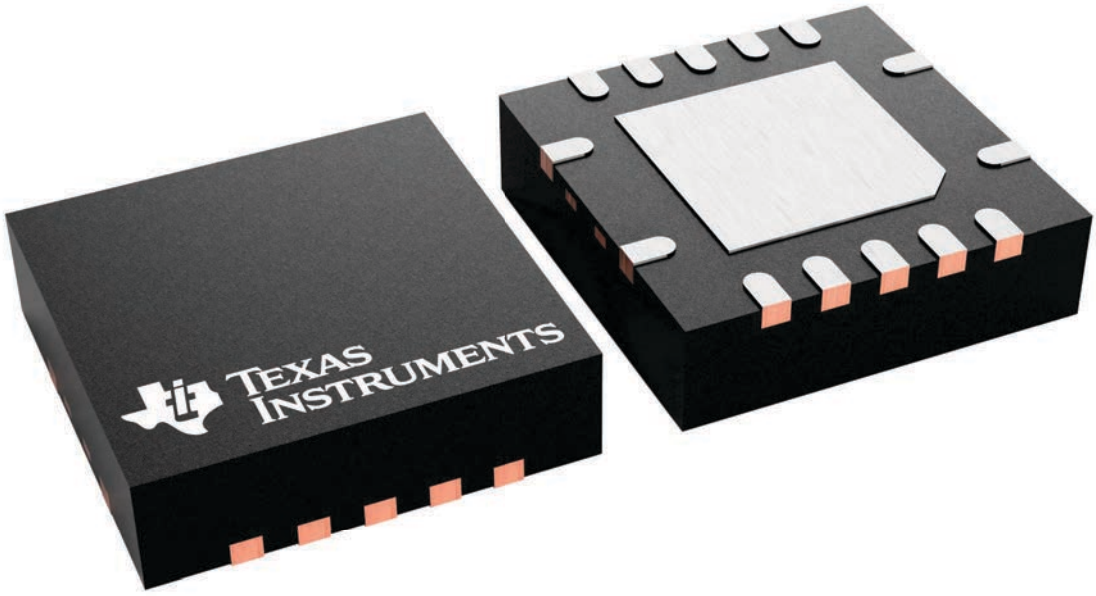
RGY 14

VQFN - 1 mm max height

3.5 x 3.5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



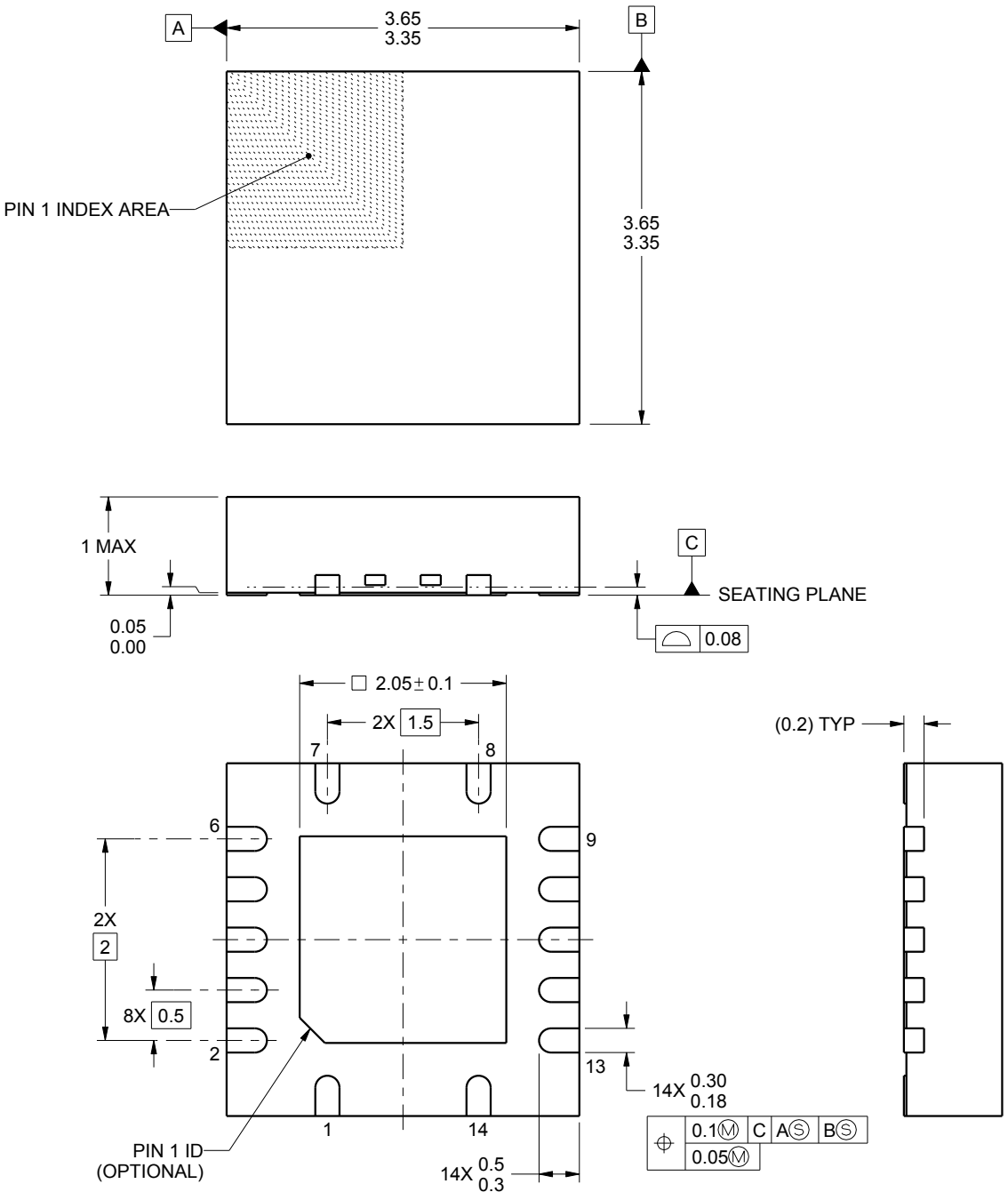
4231541/A

PACKAGE OUTLINE

RGY0014A

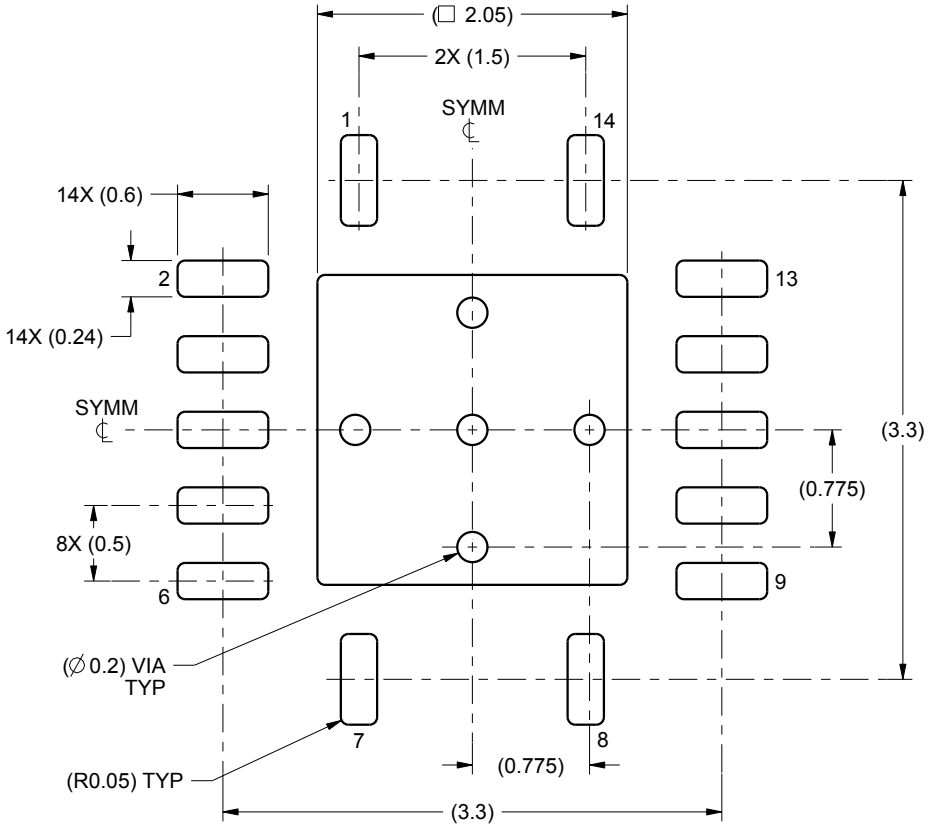
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

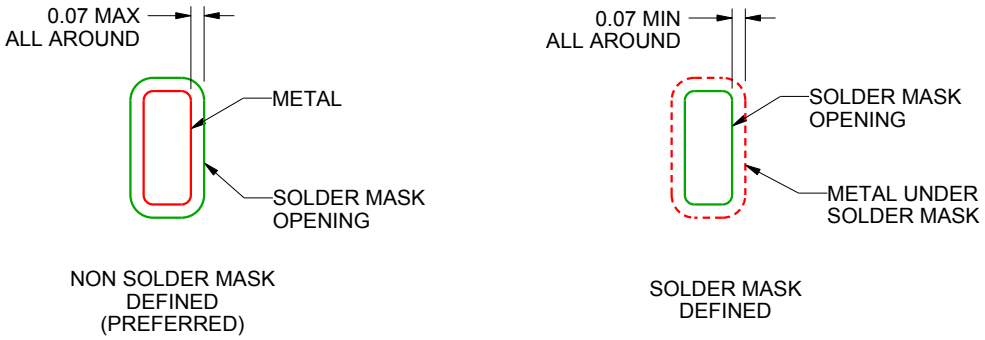


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:20X

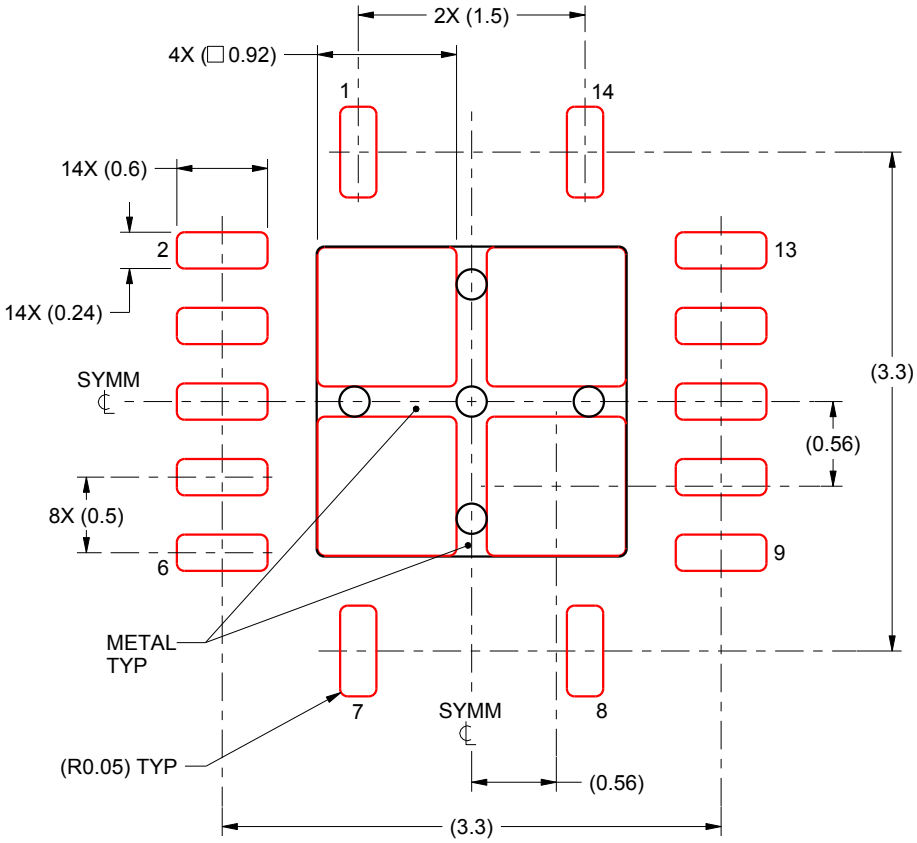


SOLDER MASK DETAILS

4219040/A 09/2015

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
80% PRINTED SOLDER COVERAGE BY AREA
SCALE:20X

4219040/A 09/2015

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月