MSPM0L130x-Q1 車載ミックスド・シグナル・マイクロコントローラ

1 特長

- 車載アプリケーション向けに **AEC-Q100** 認定済み
  - 温度グレード 1:-40℃～+125℃、T_A
- 機能安全品質管理
  - 機能安全システムの設計に役立つ資料を利用可能
- コア
  - Arm® 32 ビット Cortex®-M0+ CPU、最高 32MHz の周波数
- 動作特性
  - 広い電源電圧範囲:1.62V～3.6V
- メモリ
  - 最大 64KB のフラッシュ
  - 最大 4KB の SRAM
- 高性能アナログ ペリフェラル
  - 最大 10 の外部チャネルを持つ 1 つの 12 ビット 1.68Msps アナログ / デジタル コンバータ (ADC)
  - 設定可能な 1.4V または 2.5V の内部 ADC リファレンス電圧 (VREF)
  - 2 つのゼロドリフト ゼロクロスオーバー チョッパ オペアンプ (OPA)
    - チョッピングによる 0.5μV/℃のドリフト
    - プログラム可能なゲイン段を内蔵 (1～32x)
  - 1 つの汎用アンプ (GPAMP)
  - 8 ビット リファレンス電圧 DAC を内蔵した 1 つの高速コンパレータ (COMP)
    - 伝搬遅延:32ns
    - 最小 1μA 未満の低消費電力モード
  - ADC、OPA、COMP、DAC 間のアナログ接続をプログラム可能
  - 温度センサ内蔵
- 最適化された低消費電力モード
  - RUN:71μA/MHz (CoreMark)
  - STOP:4MHz で 151μA、32kHz で 44μA
  - STANDBY:32kHz 16 ビット タイマ動作で 1.0μA、SRAM / レジスタを完全に保持、32MHz クロックでのウェークアップ時間 3.2μs
  - SHUTDOWN:61nA (IO ウェークアップ可能)
- インテリジェントなデジタル ペリフェラル
  - 3 チャネルの DMA コントローラ
  - 3 チャネルのイベント ファブリック信号システム
  - 合計 8 つの PWM チャネルをサポートする 4 つの 16 ビット汎用タイマ (それぞれに STANDBY モードでの低消費電力動作をサポートする 2 つのキャプチャ / 比較レジスタを内蔵)
  - ウィンドウ付きウォッチドッグ タイマ
- 豊富な通信インターフェイス
  - 2 つの UART インターフェイス。1 つは LIN、IrDA、DALI、スマート カード、マンチェスターをサポート。どちらも、STANDBY モードでの低消費電力動作をサポート。
  - 2 つの I^2C インターフェイス。1 つは FM+ (1Mbit/s) をサポート。どちらも、SMBus、PMBus、STOP モードからのウェークアップをサポート。
  - 1 つの SPI:最大 16Mbit/s をサポート
- クロック システム
  - ±1.2% 精度の 4～32MHz の内部発振器 (SYSOSC)
  - ±3% 精度の 32kHz の低周波数内部発振器 (LFOSC)
- データの整合性
  - 巡回冗長性検査 (CRC-16 または CRC-32)
- 柔軟な **I/O** 機能
  - 最大 28 の GPIO
  - フェイルセーフ保護機能を備えた 2 つの 5V 許容オープンドレイン IO
- 開発サポート
  - 2 ピン シリアル ワイヤ デバッグ (SWD)
- パッケージ オプション
  - 32 ピン VQFN (RHB)
  - 32 ピン VSSOP (DGS)
  - 28 ピン VSSOP (DGS)
  - 24 ピン VQFN (RGE)
  - 20 ピン VSSOP (DGS)
  - 16 ピン SOT (DYY)
- ファミリの製品 (「製品比較」も参照)
  - MSPM0L1304:16KB のフラッシュ、2KB の RAM
  - MSPM0L1305:32KB のフラッシュ、4KB の RAM
  - MSPM0L1306:64KB のフラッシュ、4KB の RAM
- 開発キットとソフトウェア (「ツールとソフトウェア」も参照)
  - LP-MSPM0L1306 LaunchPad™ 開発キット
  - MSP ソフトウェア開発キット (SDK)

2 アプリケーション

- 車載用ボディ・エレクトロニクス / ライティング
- 車載ゲートウェイ
- ステアリング・ホイール・システム
- 車載モーター制御
- DC / AC インバータ
- 車内ライティング
- ドア・ハンドル・モジュール
- キック・ツー・オープン・モジュール
- 車両占有検出

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

- コンフォート・シート・モジュール

3 概要

MSPM0L130x マイクロコントローラ (MCU) は、最高 32MHz の周波数で動作する拡張 Arm® Cortex®-M0+ コア・プラットフォームに基づく、MSP 高集積超低消費電力 32 ビット MSPM0 MCU ファミリの製品です。コスト最適化されたこれらの MCU は高性能アナログ・ペリフェラルを統合しており、-40℃～125℃の拡張温度範囲をサポートしており、1.62V～3.6V の電源電圧で動作します。

MSPM0L130x デバイスは、最大 64KB の組込みフラッシュ・プログラム・メモリと、最大 4KB の SRAM を内蔵しています。これらの MCU は ±1.2% の精度の高速オンチップ発振器を内蔵しているため、外部水晶振動子は不要です。追加機能には、3 チャネル DMA、16 および 32 ビット CRC アクセラレータ、各種の高性能アナログ・ペリフェラル (1 つの設定可能内部リファレンス電圧付き 12 ビット 1.68MSPS ADC、1 つのリファレンス電圧 DAC 内蔵高速コンパレータ、2 つのゲインをプログラム可能なゼロドリフト・ゼロクロスオーバー・オペアンプ、1 つの汎用アンプ、1 つのオンチップ温度センサなど) が含まれます。これらのデバイスは、4 つの 16 ビット汎用タイマ、1 つのウィンドウ付きウォッチドッグ・タイマ、各種通信ペリフェラル (2 つの UART、1 つの SPI、2 つの I²C など) などのインテリジェントなデジタル・ペリフェラルも備えています。これらの通信ペリフェラルは LIN、IrDA、DALI、マンチェスター、スマート・カード、SMBus、PMBus プロトコルをサポートしています。

テキサス・インスツルメンツの MSPM0 低消費電力 MCU ファミリは、各種のアナログおよびデジタル集積度のデバイスで構成されているため、お客様はプロジェクトのニーズを満たす MCU を見つけることができます。そのアーキテクチャと豊富な低消費電力モードは、携帯型測定アプリケーションで長いバッテリ駆動時間を実現するように最適化されています。

MSPM0L130x MCU は、広範囲にわたるハードウェアおよびソフトウェアのエコシステムによってサポートされており、リファレンス・デザインやコード・サンプルによって設計を迅速に開始できます。開発キットには、購入可能な LaunchPad™ 開発キットと、ターゲット・ソケット・ボード用の設計ファイルが含まれています。また、テキサス・インスツルメンツは無償の MSP ソフトウェア開発キット (SDK) も提供しており、Code Composer Studio™ IDE デスクトップのコンポーネントとして利用できます。また、TI Resource Explorer ではクラウド・バージョンを利用できます。MSPM0 MCU には、広範囲にわたるオンライン資料、MSP Academy によるトレーニング、TI E2E™ サポート・フォーラムによるオンライン・サポートも用意されています。

モジュールの詳細については、『MSPM0 L シリーズ 32MHz マイクロコントローラ・テクニカル・リファレンス・マニュアル』を参照してください。

> **注意**
>
> 電気的な過剰ストレスや、データやコード・メモリの不安定化を防止するため、デバイス・レベルの ESD 仕様に従って、システム・レベルの ESD 保護を適用する必要があります。詳細については、『MSP430™ のシステム・レベルの ESD に関する考慮事項』を参照してください (このアプリケーション・ノートの原理は MSPM0 MCU にも当てはまるため)。

Copyright © 2024 Texas Instruments Incorporated

4 機能ブロック図

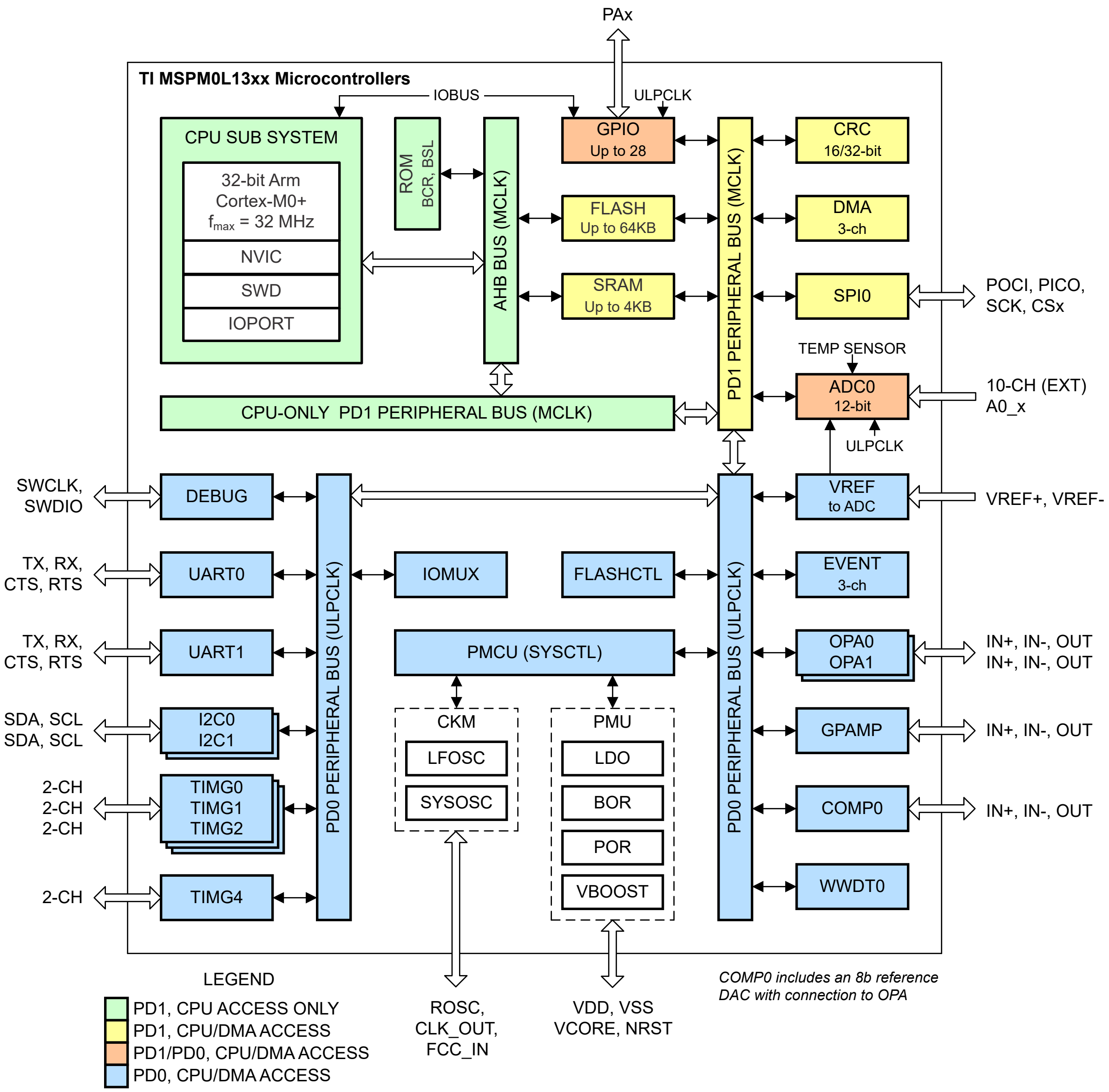


図 4-1. MSPM0L130x の機能ブロック図

目次

1 特長 1
2 アプリケーション 1
3 概要 2
4 機能ブロック図 3
5 デバイスの比較 5
6 ピン構成および機能 6
6.1 ピン配置図 6
6.2 ピン属性 7
6.3 信号の説明 9
6.4 未使用ピンの接続 13
7 仕様 14
7.1 絶対最大定格 14
7.2 ESD 定格 14
7.3 推奨動作条件 14
7.4 熱に関する情報 15
7.5 電源電流特性 16
7.6 電源シーケンス 17
7.7 フラッシュ メモリの特性 18
7.8 タイミング特性 19
7.9 クロック仕様 21
7.10 デジタル IO 22
7.11 アナログ マルチプレクサ VBOOST 25
7.12 ADC 25
7.13 温度センサ 27
7.14 VREF 27
7.15 *COMP* 28
7.16 GPAMP 29
7.17 *OPA* 30
7.18 I2C 32
7.19 SPI 33
7.20 UART 35
7.21 TIMx 35
7.22 エミュレーションおよびデバッグ 35
8 詳細説明 36
8.1 CPU 36
8.2 動作モード 36
8.3 パワー マネージメント ユニット (PMU) 38
8.4 クロック・モジュール (CKM) 38
8.5 DMA 38
8.6 イベント 39
8.7 メモリ 39
8.8 フラッシュ・メモリ 42
8.9 SRAM 42
8.10 GPIO 42
8.11 IOMUX 42
8.12 ADC 42
8.13 温度センサ 43
8.14 VREF 43
8.15 COMP 44
8.16 CRC 44
8.17 GPAMP 44
8.18 OPA 45
8.19 I2C 45
8.20 SPI 45
8.21 UART 46
8.22 WWDT 46
8.23 タイマ (TIMx) 47
8.24 デバイスのアナログ接続 47
8.25 入力 / 出力の回路図 49
8.26 シリアル・ワイヤ・デバッグ・インターフェイス 50
8.27 ブートストラップ・ローダ (BSL) 50
8.28 デバイス・ファクトリ定数 50
8.29 識別 51
9 アプリケーション、実装、およびレイアウト 52
9.1 代表的なアプリケーション 52
10 デバイスおよびドキュメントのサポート 53
10.1 使い始めと次の手順 53
10.2 デバイス命名規則 53
10.3 ツールとソフトウェア 55
10.4 ドキュメントのサポート 55
10.5 サポート・リソース 56
10.6 商標 56
10.7 静電気放電に関する注意事項 56
10.8 用語集 56
11 改訂履歴 56
12 メカニカル、パッケージ、および注文情報 57

Copyright © 2024 Texas Instruments Incorporated

5 デバイスの比較

表 5-1. 製品比較

型番 (1) (2)	フラッシュ / SRAM (KB)	QUAL (3)	ADC チャネル	COMP	OPA	GPAMP	UART/I2C/SPI	TIMG	GPIO	5V 対応 IO	パッケージ [パッケージ サイズ] (4)
M0L1306QRHBQ1	64/4	Q	10	1	2	1	2/2/1	4	28	2	32 VQFN [5mm × 5mm] (5)
M0L1305QRHBQ1	32/4										
M0L1304QRHBQ1	16/2										
M0L1306QDGS32Q1	64/4	Q	10	1	2	1	2/2/1	4	28	2	32 VSSOP [8.1mm × 4.9mm]
M0L1305QDGS32Q1	32/4										
M0L1304QDGS32Q1	16/2										
M0L1306QDGS28Q1	64/4	Q	10	1	2	1	2/2/1	4	24	2	28 VSSOP [7.1mm × 4.9mm]
M0L1305QDGS28Q1	32/4										
M0L1304QDGS28Q1	16/2										
M0L1306QRGEQ1	64/4	Q	9	1	2	1	2/2/1	4	20	2	24 VQFN [4mm × 4mm](5)
M0L1305QRGEQ1	32/4										
M0L1304QRGEQ1	16/2										
M0L1306QDGS20Q1	64/4	Q	8	1	2	1	2/2/1	4	17	2	20 VSSOP [5.1mm × 4.9mm]
M0L1305QDGS20Q1	32/4										
M0L1304QDGS20Q1	16/2										
M0L1306QDYYQ1	64/4	Q	6	1	2	1	2/2/1	4	13	2	16 SOT [4.2mm × 2mm]
M0L1305QDYYQ1	32/4										
M0L1304QDYYQ1	16/2										

(1) 提供中の全デバイスに関する最新の製品、パッケージ、および注文情報については、セクション 12 の「付録:パッケージ オプション」またはテキサス・インスツルメンツ Web サイトを参照してください。
(2) 型番の詳細については、セクション 10.2 を参照してください。
(3) デバイス認定:
- Q = -40℃～125℃

(4) パッケージ サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。公差を含めたパッケージの寸法については、セクション 12 の「メカニカル データ」を参照してください。
(5) 24 ピンおよび 32 ピン VQFN パッケージはウェッタブル フランク付きで提供しています。

Copyright © 2024 Texas Instruments Incorporated

6 ピン構成および機能

6.1 ピン配置図

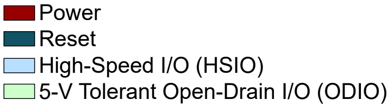


図 6-1. ピン配置図の色分け

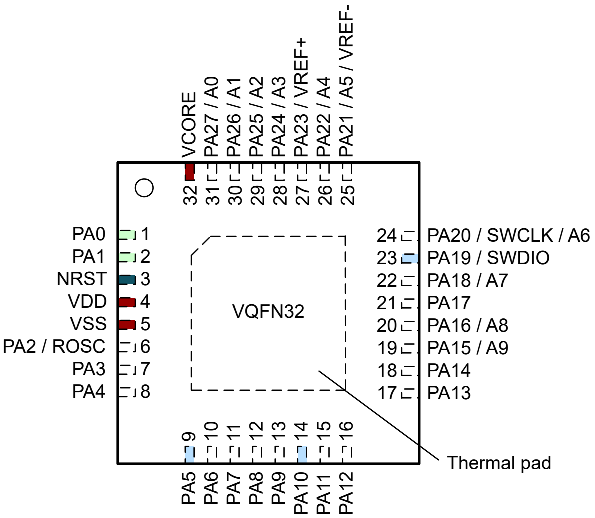


図 6-2. 32 ピン RHB (VQFN) (上面図) - MSPM0L130x

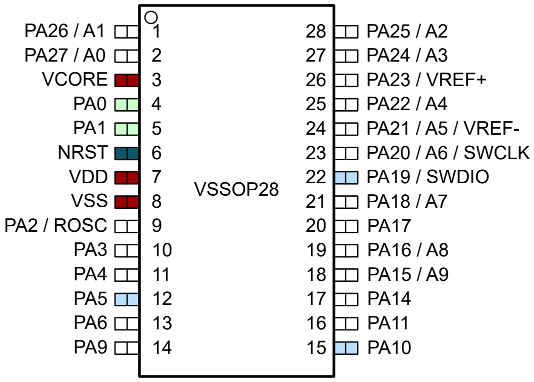


図 6-3. 28 ピン DGS28 (VSSOP) (上面図) - MSPM0L130x

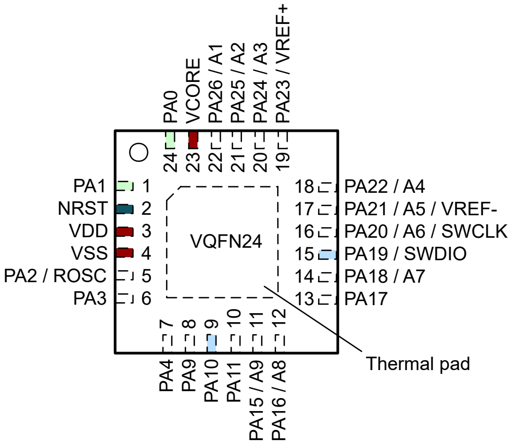


図 6-4. 24 ピン (VQFN) (上面図) - MSPM0L130x

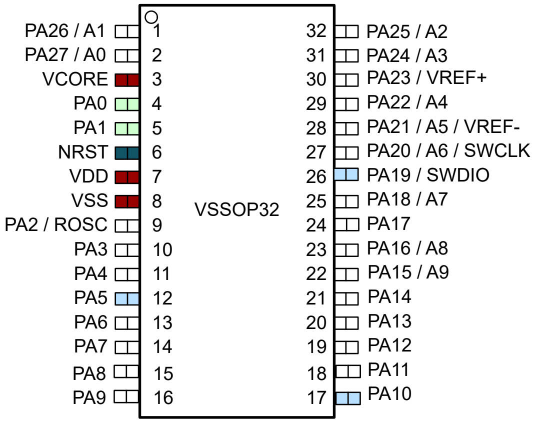


図 6-5. 32 ピン DGS32 (VSSOP) (上面図) - MSPM0L130x

Copyright © 2024 Texas Instruments Incorporated

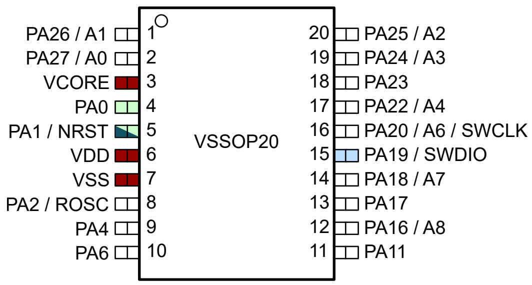


図 6-6. 20 ピン DGS20 (VSSOP) (上面図) - MSPM0L130x

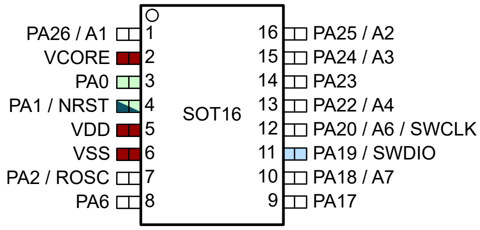


図 6-7. 16 ピン DYY (SOT) (上面図) - MSPM0L130x

6.2 ピン属性

次の表に、各デバイス パッケージの各ピンで利用可能な機能を示します。

注

デバイス上の各デジタル I/O は、専用のピン制御管理レジスタ (PINCMx) に割り当てられており、ユーザーが PINCM.PF 制御ビットを使って必要なピン機能を設定できます。

表 6-1. ピン属性

PINCMx	ピン名	ピン機能		ピン番号						I/O 構造
		アナログ	デジタル (1)	32 VQFN	32 VSSOP	28 VSSOP	24 VQFN	20 VSSOP	16 SOT	
該当なし	N/A	VDD		4	7	7	3	6	5	電源
該当なし	N/A	VSS		5	8	8	4	7	6	電源
該当なし	N/A	VCORE		32	3	3	23	3	2	電源
1	PA0		UART1_TX *[1]* / I2C0_SDA *[2]* / TIMG1_C0 *[3]* / SPI0_CS1 *[4]* *(デフォルトの BSL I2C_SDA)*	1	4	4	24	4	3	5V 許容オープンドレイン
2	PA1		UART1_RX *[1]* / I2C0_SCL *[2]* / TIMG1_C1 *[3]* *(デフォルトの BSL I2C_SCL)*	2	5	5	1	5	4	5V 許容オープンドレイン
該当なし	N/A	NRST		3	6	6	2			リセット (2)
3	PA2	ROSC	TIMG1_C1 *[1]* / SPI0_CS0 *[2]*	6	9	9	5	8	7	標準
4	PA3		TIMG2_C0 *[1]* / SPI0_CS1 *[2]* / UART1_CTS *[3]* / COMP0_OUT *[4]*	7	10	10	6	–	–	標準
5	PA4		TIMG2_C1 *[1]* / SPI0_POCI *[2]* / UART1_RTS *[3]*	8	11	11	7	9	–	標準
6	PA5		TIMG0_C0 *[1]* / SPI0_PICO *[2]*	9	12	12	–	–	–	高速
7	PA6		TIMG0_C1 *[1]* / SPI0_SCK *[2]*	10	13	13	–	10	8	標準
8	PA7		COMP0_OUT *[1]* / CLK_OUT *[2]* / TIMG1_C0 *[3]*	11	14	–	–	–	–	標準
9	PA8		UART0_TX *[1]* / SPI0_CS0 *[2]* / UART1_RTS *[3]* / TIMG2_C0 *[4]*	12	15	–	–	–	–	標準
10	PA9		UART0_RX *[1]* / SPI0_PICO *[2]* / UART1_CTS *[3]* / TIMG2_C1 *[4]*	13	16	14	8	–	–	標準
11	PA10		UART1_TX *[1]* / SPI0_POCI *[2]* / I2C0_SDA *[3]* / TIMG4_C0 *[4]*	14	17	15	9	–	–	高速

Copyright © 2024 Texas Instruments Incorporated

表 6-1. ピン属性 (続き)

PINCMx	ピン名	ピン機能		ピン番号						I/O 構造
		アナログ	デジタル (1)	32 VQFN	32 VSSOP	28 VSSOP	24 VQFN	20 VSSOP	16 SOT	
12	PA11		UART1_RX *[1]* / SPI0_SCK *[2]* / I2C0_SCL *[3]* / TIMG4_C1 *[4]* / COMP0_OUT *[5]*	15	18	16	10	11	–	標準
13	PA12		UART0_CTS *[1]* / TIMG0_C0 *[2]*	16	19	–	–	–	–	標準
14	PA13		UART0_RTS *[1]* / TIMG0_C1 *[2]* / UART1_RX *[3]*	17	20	–	–	–	–	標準
15	PA14		UART1_CTS *[1]* / CLK_OUT *[2]* / UART1_TX *[3]* / TIMG1_C0 *[4]*	18	21	17	–	–	–	標準
16	PA15	A9	UART1_RTS *[1]* / I2C1_SCL *[2]* / SPI0_CS2 *[3]* / TIMG4_C1 *[4]*	19	22	18	11	–	–	標準
17	PA16	A8 / OPA1_OUT	COMP0_OUT *[1]* / I2C1_SDA *[2]* / SPI0_POCI *[3]* / TIMG0_C0 *[4]*	20	23	19	12	12	–	標準
18	PA17	OPA1_IN1-	UART0_TX *[1]* / I2C1_SCL *[2]* / SPI0_SCK *[3]* / TIMG4_C0 *[4]* / SPI0_CS1 *[5]*	21	24	20	13	13	9	標準 (ウェーク付き)
	該当なし	OPA1_IN0-								
該当なし	N/A	OPA1_IN0-		–	–	–	–	13	–	アナログ
19	PA18	A7 / OPA1_IN0+ / GPAMP_IN-	UART0_RX *[1]* / SPI0_PICO *[2]* / I2C1_SDA *[3]* / TIMG4_C1 *[4]* *(BSL 呼び出し)*	22	25	21	14	14	10	標準 (ウェーク付き)
20	PA19		SWDIO *[1]* / I2C1_SDA *[2]* / SPI0_POCI *[3]*	23	26	22	15	15	11	高速
21	PA20	A6 / COMP0_IN1+	SWCLK *[1]* / I2C1_SCL *[2]* / TIMG4_C0 *[3]*	24	27	23	16	16	12	標準
22	PA21	A5 / VREF-	TIMG2_C0 *[1]* / UART0_CTS *[2]* / UART0_TX *[3]*	25	28	24	17	–	–	標準
23	PA22	A4 / GPAMP_OUT / OPA0_OUT	UART0_RX *[1]* / TIMG2_C1 *[2]* / UART0_RTS *[3]* / CLK_OUT *[4]* / UART1_RX *[5]* *(デフォルトの BSL UART_RX)*	26	29	25	18	17	13	標準
24	PA23	VREF+ / COMP0_IN1-	UART0_TX *[1]* / SPI0_CS3 *[2]* / TIMG0_C0 *[3]* / UART0_CTS *[4]* / UART1_TX *[5]* *(デフォルトの BSL UART_TX)*	27	30	26	19	18	14	標準
25	PA24	A3 / OPA0_IN1- / OPA0_IN0-	SPI0_CS2 *[1]* / TIMG0_C1 *[2]* / UART0_RTS *[3]*	28	31	27	20	19	15	標準
該当なし	N/A	OPA0_IN0-		–	–	–	–	19	–	アナログ
26	PA25	A2 / OPA0_IN0+	TIMG4_C1 *[1]* / UART0_TX *[2]* / SPI0_PICO *[3]*	29	32	28	21	20	16	標準
27	PA26	A1 / GPAMP_IN+ / COMP0_IN0+	TIMG1_C0 *[1]* / UART0_RX *[2]* / SPI0_POCI *[3]*	30	1	1	22	1	1	標準
28	PA27	A0 / COMP0_IN0-	TIMG1_C1 *[1]* / SPI0_CS3 *[2]*	31	2	2	–	2	–	標準

(1) アナログ機能 (例:OPA 入力 / 出力、COMP 入力) を使う場合、IOMUX の PINCM.PF と PINCM.PC を 0 に設定する必要があります。デバイス上の各デジタル I/O は、ユーザーが PINCM.PF 制御ビットを使って目的のピン機能を設定できる専用のピン制御管理レジスタ (PINCMx) に割り当てられています。
(2) 16 ピンと 20 ピンのデバイスでは、リセット ピンは PA1 と多重化されています。

Copyright © 2024 Texas Instruments Incorporated

表 6-2. IO タイプ別のデジタル IO 機能

IO 構造	反転制御	駆動能力制御	ヒステリシス制御	プルアップ抵抗	プルダウン抵抗	ウェークアップロジック
標準駆動	Y			Y	Y	
標準駆動 (ウェーク付き)	Y			Y	Y	Y
高速	Y	Y		Y	Y	
5V 対応オープン ドレイン	Y		Y		Y	Y

6.3 信号の説明

表 6-3. 信号の説明

機能	信号名	ピン番号 (1) 32 VQFN	32 VSSOP	28 VSSOP	24 VQFN	20 VSSOP	16 SOT	ピンの種類 (2)	説明
ADC	A0	31	2	2	–	2	–	I	ADC0 アナログ入力 0
	A1	30	1	1	22	1	1	I	ADC0 アナログ入力 1
	A2	29	32	28	21	20	16	I	ADC0 アナログ入力 2
	A3	28	31	27	20	19	15	I	ADC0 アナログ入力 3
	A4	26	29	25	18	17	13	I	ADC0 アナログ入力 4
	A5	25	28	24	17	–	–	I	ADC0 アナログ入力 5
	A6	24	27	23	16	16	12	I	ADC0 アナログ入力 6
	A7	22	25	21	14	14	10	I	ADC0 アナログ入力 7
	A8	20	23	19	12	12	–	I	ADC0 アナログ入力 8
	A9	19	22	18	11	–	–	I	ADC0 アナログ入力 9
BSL	BSL_invoke	22	25	21	14	14	10	I	ブートローダの呼び出しに使用する入力ピン
BSL (I^2C)	BSLSCL	2	5	5	1	5	4	I/O	デフォルトの I^2C BSL クロック
	BSLSDA	1	4	4	24	4	3	I/O	デフォルトの I^2C BSL データ
BSL (UART)	BSLRX	26	29	25	18	17	13	I	デフォルトの UART BSL 受信
	BSLTX	27	30	26	19	18	14	O	デフォルトの UART BSL 送信
クロック	CLK_OUT	11 18 26	14 16 17 21 29	17 25	8 9 18	17	13	O	設定可能クロック出力
	ROSC	6	9	9	5	8	7	I	発振器の精度向上のために使用する外付け抵抗
コンパレータ	COMP0_IN0-	31	2	2	–	2	–	I	コンパレータ 0 反転入力 0
	COMP0_IN0+	30	1	1	22	1	1	I	コンパレータ 0 非反転入力 0
	COMP0_IN1-	27	30	26	19	18	14	I	コンパレータ 0 反転入力 1
	COMP0_IN1+	24	27	23	16	16	12	I	コンパレータ 0 非反転入力 1
	COMP0_OUT	7 11 15 20	10 14 18 23	10 16 19	6 10 12	11 12	–	O	コンパレータ 0 出力
デバッグ	SWCLK	24	27	23	16	16	12	I	シリアル・ワイヤ・デバッグ入力クロック
	SWDIO	23	26	22	15	15	11	I/O	シリアル・ワイヤ・デバッグ・データ入力 / 出力

表 6-3. 信号の説明 (続き)

機能	信号名	ピン番号 (1)						ピンの種類 (2)	説明
		32 VQFN	32 VSSOP	28 VSSOP	24 VQFN	20 VSSOP	16 SOT		
汎用アンプ	GPAMP_IN+	30	1	1	22	1	1	I	GPAMP 非反転端子入力
	GPAMP_OUT	26	29	25	14	17	13	O	GPAMP 出力
	GPAMP_IN-	22	25	21	18	14	10	I	GPAMP 反転端子入力
GPIO	PA0	1	4	4	24	4	3	I/O	SHUTDOWN からのウェークアップ機能を備えた汎用デジタル I/O
	PA1	2	5	5	1	5	4	I/O	SHUTDOWN からのウェークアップ機能を備えた汎用デジタル I/O
	PA2	6	9	9	5	8	7	I/O	汎用デジタル I/O
	PA3	7	10	10	6	–	–	I/O	汎用デジタル I/O
	PA4	8	11	11	7	9	–	I/O	汎用デジタル I/O
	PA5	9	12	12	–	–	–	I/O	汎用デジタル I/O
	PA6	10	13	13	–	10	8	I/O	汎用デジタル I/O
	PA7	11	14	–	–	–	–	I/O	汎用デジタル I/O
	PA8	12	15	–	–	–	–	I/O	汎用デジタル I/O
	PA9	13	16	14	8	–	–	I/O	汎用デジタル I/O
	PA10	14	17	15	9	–	–	I/O	汎用デジタル I/O
	PA11	15	18	16	10	11	–	I/O	汎用デジタル I/O
	PA12	16	19	–	–	–	–	I/O	汎用デジタル I/O
	PA13	17	20	–	–	–	–	I/O	汎用デジタル I/O
	PA14	18	21	17	–	–	–	I/O	汎用デジタル I/O
	PA15	19	22	18	11	–	–	I/O	汎用デジタル I/O
	PA16	20	23	19	12	12	–	I/O	汎用デジタル I/O
	PA17	21	24	20	13	13	9	I/O	SHUTDOWN からのウェークアップ機能を備えた汎用デジタル I/O
	PA18	22	25	21	14	14	10	I/O	SHUTDOWN からのウェークアップ機能を備えた汎用デジタル I/O
	PA19	23	26	22	15	15	11	I/O	汎用デジタル I/O
	PA20	24	27	23	16	16	12	I/O	汎用デジタル I/O
	PA21	25	28	24	17	–	–	I/O	汎用デジタル I/O
	PA22	26	29	25	18	17	13	I/O	汎用デジタル I/O
	PA23	27	30	26	19	18	14	I/O	汎用デジタル I/O
	PA24	28	31	27	20	19	15	I/O	汎用デジタル I/O
	PA25	29	32	28	21	20	16	I/O	汎用デジタル I/O
	PA26	30	1	1	22	1	1	I/O	汎用デジタル I/O
	PA27	31	2	2	–	2	–	I/O	汎用デジタル I/O

Copyright © 2024 Texas Instruments Incorporated

表 6-3. 信号の説明 (続き)

機能	信号名	ピン番号 (1) 32 VQFN	32 VSSOP	28 VSSOP	24 VQFN	20 VSSOP	16 SOT	ピンの種類 (2)	説明
I²C	I2C0_SCL	2 15	5 18	5 16	1 10	5 11	4	I/O	I2C0 シリアル・クロック
	I2C0_SDA	1 14	4 17	4 15	24 9	4	3	I/O	I2C0 シリアル・データ
	I2C1_SCL	19 21 24	11 22 24 27	18 20 23	7 11 13 16	13 16	9 12	I/O	I2C1 シリアル・クロック
	I2C1_SDA	20 22 23	10 23 25 26	19 21 22	6 12 14 15	12 14 15	10 11	I/O	I2C1 シリアル・データ
チョッパ安定化オペアンプ (ゼロドリフト・オペアンプ)	OPA0_IN0+	29	32	28	21	20	16	I	OPA0 非反転端子入力 0
	OPA0_IN0-	28	31	27	20	19	15	I	OPA0 反転端子入力 0
	OPA0_IN1-	28	31	27	20	19	15	I	OPA0 反転端子入力 1
	OPA0_OUT	26	29	25	18	17	13	O	OPA0 出力
	OPA1_IN0+	22	25	21	14	14	10	I	OPA1 非反転端子入力 0
	OPA1_IN0-	21	24	20	13	13	9	I	OPA1 反転端子入力 0
	OPA1_IN1-	21	24	20	13	13	9	I	OPA1 反転端子入力 1
	OPA1_OUT	20	23	19	12	12	–	O	OPA1 出力
電源	VSS	5	8	8	4	7	6	P	グランド電源
	VDD	4	7	7	3	6	5	P	電源
	VCORE	32	3	3	23	3	2	P	安定化コア電源出力
	QFN パッド	パッド	–	–	パッド	–	–	P	QFN パッケージの露出サーマル・パッド。V_{SS} に接続することを推奨します。
SPI	SPI0_CS0	6 12	9 15	9	5	8	7	I/O	SPI0 チップ・セレクト 0
	SPI0_CS1	1 7 21	4 10 24	4 10 20	24 6 13	4 13	3 9	I/O	SPI0 チップ・セレクト 1
	SPI0_CS2	19 28	22 31	18 27	11 20	19	15	I/O	SPI0 チップ・セレクト 2
	SPI0_CS3	27 31	30 2	2 26	19	2 18	14	I/O	SPI0 チップ・セレクト 3
	SPI0_SCK	10 15 21	13 18 24	13 16 20	10 13	10 11 13	8 9	I/O	SPI0 クロック信号入力 – SPI ペリフェラル・モード クロック信号出力 – SPI コントローラ・モード
	SPI0_POCI	8 14 20 23 30	11 17 23 26 1	1 11 15 19 22	7 9 12 15 22	1 9 12 15	1 11	I/O	SPI0 コントローラ入力 / ペリフェラル出力
	SPI0_PICO	9 13 22 29	12 16 25 32	12 14 21 28	8 14 21	14 20	10 16	I/O	SPI0 コントローラ出力 / ペリフェラル入力
システム	NRST	3	6	6	2	5	4	I	リセット入力 (アクティブ Low)

Copyright © 2024 Texas Instruments Incorporated

表 6-3. 信号の説明 (続き)

機能	信号名	ピン番号 (1)						ピンの種類 (2)	説明
		32 VQFN	32 VSSOP	28 VSSOP	24 VQFN	20 VSSOP	16 SOT		
タイマ	TIMG0_C0	9 16 20 27	12 19 23 30	12 19 26	12 19	12 18	14	I/O	汎用タイマ 0 CCR0 キャプチャ入力 / 比較出力
	TIMG0_C1	10 17 28	13 20 31	13 27	20	10 19	8 15	I/O	汎用タイマ 0 CCR1 キャプチャ入力 / 比較出力
	TIMG1_C0	1 11 18 30	4 14 21 1	1 4 17	24 22	1 4	1 3	I/O	汎用タイマ 1 CCR0 キャプチャ入力 / 比較出力
	TIMG1_C1	2 6 31	5 9 2	2 5 9	1 5	2 5 8	4 7	I/O	汎用タイマ 1 CCR1 キャプチャ入力 / 比較出力
	TIMG2_C0	7 12 25	10 15 28	10 24	6 17	–	–	I/O	汎用タイマ 2 CCR0 キャプチャ入力 / 比較出力
	TIMG2_C1	8 13 26	11 16 29	11 14 25	7 8 18	9 17	13	I/O	汎用タイマ 2 CCR1 キャプチャ入力 / 比較出力
	TIMG4_C0	14 21 24	17 24 27	15 20 23		13 16	9 12	I/O	汎用タイマ 4 CCR0 キャプチャ入力 / 比較出力
	TIMG4_C1	15 19 22 29	18 22 25 32	16 18 21 28	9 13 16	11 14 20	10 16	I/O	汎用タイマ 4 CCR1 キャプチャ入力 / 比較出力

Copyright © 2024 Texas Instruments Incorporated

表 6-3. 信号の説明 (続き)

機能	信号名	ピン番号 (1)						ピンの種類 (2)	説明
		32 VQFN	32 VSSOP	28 VSSOP	24 VQFN	20 VSSOP	16 SOT		
UART	UART0_TX	12 21 25 27 29	15 24 28 30 32	20 24 26 28	13 17 19 21	13 18 20	9 14 16	O	UART0 送信データ
	UART0_RX	13 22 26 30	16 25 29 1	1 14 21 25	8 14 18 22	1 14 17	1 10 13	I	UART0 受信データ
	UART0_CTS	16 25 27	19 28 30	24 26	17 19	18	14	I	UART0「送信可」フロー制御入力
	UART0_RTS	17 26 28	20 29 31	25 27	18 20	17 19	13 15	O	UART0「送信要求」フロー制御出力
	UART1_TX	1 14 18 27	4 17 21 30	4 15 17 26	24 9 19	4 18	3 14	O	UART1 送信データ
	UART1_RX	2 15 17 26	5 18 20 29	5 16 25	1 10 18	5 11 17	4 13	I	UART1 受信データ
	UART1_CTS	7 13 18	10 16 21	10 14 17	6 8	–	–	I	UART1「送信可」フロー制御入力
	UART1_RTS	8 12 19	11 15 22	11 18	7 11	9	–	O	UART1「送信要求」フロー制御出力
リファレンス電圧 (3)	VREF+	27	30	26	19	18	14	I	リファレンス電圧電源 - 外部リファレンス電圧入力
	VREF-	25	28	24	17	–	–	I	リファレンス電圧グランド電源 - 外部リファレンス電圧入力

(1) – = 使用不可
(2) I = 入力、O = 出力、I/O = 入出力、P = 電源
(3) VREF+ と VREF- を使用して ADC などのアナログ・ペリフェラル用の外部電圧リファレンスを取り込む場合、デカップリング・コンデンサを VREF+ から VREF- / GND に、外部リファレンス・ソースに基づく容量で配置する必要があります。

6.4 未使用ピンの接続

表 6-4 に、未使用ピンの正しい終端を示します。

表 6-4. 未使用ピンの接続

ピン (1)	電位	備考
PAx	オープン	対応するピン機能を GPIO (PINCMx.PF = 0x1) に設定し、未使用のピンが Low を出力するように、または未使用のピンが内部プルアップまたはプルダウン抵抗付き入力になるように構成します。
NRST	VCC	NRST はアクティブ Low のリセット信号です。このピンは VCC にプルアップする必要があります。そうしないと、本デバイスは起動できません。詳細については、セクション 9.1 を参照してください。

(1) 汎用 I/O と共有されている機能を持つすべての未使用ピンについては、「PAx」未使用ピンの接続ガイドラインに従う必要があります。

7 仕様

7.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)(1)

			最小値	最大値	単位
VDD	電源電圧	VDD ピンで、VSS を基準として	-0.3	4.1	V
V_I	入力電圧	すべての 5V 許容オープン ドレイン ピンに印加	-0.3	5.5	V
V_I	入力電圧	任意の通常耐圧ピンに印加	-0.3	V_{DD} + 0.3 (最大 4.1)	V
I_{VDD}	VDD ピンに流れ込む電流 (ソース)	-40℃ ≦ Tj ≦ 130℃		80	mA
		-40℃ ≦ Tj ≦ 85℃		100	mA
I_{VSS}	VSS ピンから流れ出す電流 (シンク)	-40℃ ≦ Tj ≦ 130℃		80	mA
		-40℃ ≦ Tj ≦ 85℃		100	mA
I_{IO}	SDIO ピンの電流	SDIO ピンによってシンクまたはソースされる電流		6	mA
	HSIO ピンの電流	HSIO ピンによってシンクまたはソースされる電流		6	mA
	ODIO ピンの電流	ODIO ピンによってシンクされる電流		20	mA
I_D	サポートされているダイオード電流	すべてのデバイス ピンのダイオード電流		±2	mA
Tj	接合部温度		-40	130	℃
T_{stg}	保存温度(2)		-40	150	℃

(1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについての話で、絶対最大定格において、またはこのデータシートの「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
(2) ボード製造時の半田付けでは、現在の JEDEC J-STD-020 仕様に従い、梱包箱またはリール上のデバイス ラベルに記載されている分類を超えないピーク リフロー温度条件で、より高い温度をかけることもできます。

7.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電気放電	人体モデル (HBM)、AEC-Q100-002 準拠(1)	±2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 準拠、すべてのピン	±500	V
		デバイス帯電モデル (CDM)、AEC Q100-011 準拠、コーナー ピン	±750	V

(1) AEC Q100-002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

7.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
VDD	電源電圧 (4)	1.62(5)		3.6	V
VCORE	VCORE ピンの電圧 (2)		1.35		V
C_{VDD}	VDD と VSS の間に配置されたコンデンサ (1)		10		μF
C_{VCORE}	VCORE と VSS の間に配置されたコンデンサ (1) (2)		470		nF
T_A	周囲温度、Q バージョン	-40		125	℃
T_J	最大接合部温度、Q バージョン			130	℃

Copyright © 2024 Texas Instruments Incorporated

7.3 推奨動作条件 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
f_{MCLK}	MCLK、CPUCLK、ULPCLK 周波数、1 フラッシュ待機状態 (3)			32	MHz
	MCLK、CPUCLK、ULPCLK 周波数、0 フラッシュ待機状態 (3)			24	

(1) C_{VDD} と C_{VCORE} は、それぞれ VDD/VSS 間と VCORE/VSS 間に、本デバイスのピンにできる限り近づけて接続します。C_{VDD} と C_{VCORE} には、容量値の誤差が ±20% までの精度の低 ESR コンデンサを使う必要があります。
(2) VCORE ピンは、C_{VCORE} にのみ接続する必要があります。電圧を供給したり、VCORE ピンに外部負荷を加えたりしないでください。
(3) 待機状態はシステム コントローラ (SYSCTL) によって自動的に管理されるため、アプリケーション ソフトウェアで設定する必要はありません。
(4) VDD の推奨動作範囲に関して MCLK 周波数への依存はありません。
(5) 最小 $V_{BOR0-(min)}$ まで機能が保証されます。

7.4 熱に関する情報

熱評価基準(1)		パッケージ	値	単位
$R_{θJA}$	接合部から周囲への熱抵抗	VQFN-32 (RHB)	36.3	°C/W
$R_{θJC(top)}$	接合部からケース (上面) への熱抵抗		28.5	°C/W
$R_{θJB}$	接合部から基板への熱抵抗		17.2	°C/W
$Ψ_{JT}$	接合部から上面への特性パラメータ		0.8	°C/W
$Ψ_{JB}$	接合部から基板への特性パラメータ		17.2	°C/W
$R_{θJC(bot)}$	接合部からケース (底面) への熱抵抗		6.9	°C/W
$R_{θJA}$	接合部から周囲への熱抵抗	VSSOP-32 (DGS32)	72.9	°C/W
$R_{θJC(top)}$	接合部からケース (上面) への熱抵抗		28.3	°C/W
$R_{θJB}$	接合部から基板への熱抵抗		37.2	°C/W
$Ψ_{JT}$	接合部から上面への熱特性パラメータ		1.0	°C/W
$Ψ_{JB}$	接合部から基板への特性パラメータ		37.0	°C/W
$R_{θJC(bot)}$	接合部からケース (底面) への熱抵抗		該当なし	°C/W
$R_{θJA}$	接合部から周囲への熱抵抗	VSSOP-28 (DGS28)	78.9	°C/W
$R_{θJC(top)}$	接合部からケース (上面) への熱抵抗		38.6	°C/W
$R_{θJB}$	接合部から基板への熱抵抗		41.3	°C/W
$Ψ_{JT}$	接合部から上面への特性パラメータ		3.4	°C/W
$Ψ_{JB}$	接合部から基板への特性パラメータ		41.0	°C/W
$R_{θJC(bot)}$	接合部からケース (底面) への熱抵抗		該当なし	°C/W
$R_{θJA}$	接合部から周囲への熱抵抗	VQFN-24 (RGE)	44.7	°C/W
$R_{θJC(top)}$	接合部からケース (上面) への熱抵抗		38.1	°C/W
$R_{θJB}$	接合部から基板への熱抵抗		21.9	°C/W
$Ψ_{JT}$	接合部から上面への特性パラメータ		1.1	°C/W
$Ψ_{JB}$	接合部から基板への特性パラメータ		21.9	°C/W
$R_{θJC(bot)}$	接合部からケース (底面) への熱抵抗		7.1	°C/W
$R_{θJA}$	接合部から周囲への熱抵抗	VSSOP-20 (DGS20)	91.3	°C/W
$R_{θJC(top)}$	接合部からケース (上面) への熱抵抗		29.3	°C/W
$R_{θJB}$	接合部から基板への熱抵抗		48.3	°C/W
$Ψ_{JT}$	接合部から上面への特性パラメータ		0.7	°C/W
$Ψ_{JB}$	接合部から基板への特性パラメータ		47.9	°C/W
$R_{θJC(bot)}$	接合部からケース (底面) への熱抵抗		該当なし	°C/W

7.4 熱に関する情報 (続き)

熱評価基準[(1)]		パッケージ	値	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	SOT-16 (DYY)	86.6	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗		39.3	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗		27.8	℃/W
Ψ_{JT}	接合部から上面への特性パラメータ		1.1	℃/W
Ψ_{JB}	接合部から基板への特性パラメータ		27.8	℃/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗		該当なし	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

7.5 電源電流特性

7.5.1 RUN/SLEEP モード

VDD = 3.3V。すべての入力は、0V または VDD に接続されています。出力は、電流のソースまたはシンクを行いません。すべてのペリフェラルはディセーブルです。

パラメータ		MCLK	-40℃ 標準値	-40℃ 最大値	25℃ 標準値	25℃ 最大値	85℃ 標準値	85℃ 最大値	105℃ 標準値	105℃ 最大値	125℃ 標準値	125℃ 最大値	単位
RUN モード													
IDD_{RUN}	MCLK=SYSOSC、CoreMark、フラッシュから実行	32MHz	2.3		2.3		2.3		2.3		2.4		mA
		4MHz	0.52		0.52		0.54		0.56		0.60		
IDD_{RUN}、MHz あたり	MCLK=SYSOSC、While(1)、フラッシュから実行	32MHz	40	48	40	50	41	50	42	51	43	56	µA/MHz
	MCLK=SYSOSC、CoreMark、フラッシュから実行	32MHz	72		72		72		73		74		
	MCLK=SYSOSC、CoreMark、フラッシュから実行	4MHz	130		130		135		140		150		
SLEEP モード													
IDD_{SLEEP}	MCLK=SYSOSC、CPU 停止	32MHz	967	1047	978	1066	1002	1192	1024	1301	1070	1416	µA
		4MHz	356	416	363	441	389	577	411	689	458	809	

7.5.2 STOP/STANDBY モード

特に記述のない限り、VDD=3.3V。すべての入力は、0V または VDD に接続されています。出力は、電流のソースまたはシンクを行いません。特に記述のないすべてのペリフェラルはディセーブルです。

パラメータ		ULPCLK	-40℃ 標準値	-40℃ 最大値	25℃ 標準値	25℃ 最大値	85℃ 標準値	85℃ 最大値	105℃ 標準値	105℃ 最大値	125℃ 標準値	125℃ 最大値	単位
STOP モード													
IDD_{STOP0}	SYSOSC=32MHz、USE4MHZSTOP=0、DISABLESTOP=0	4MHz	316	342	320	344	323	347	327	352	334	361	µA
IDD_{STOP1}	SYSOSC=4MHz、USE4MHZSTOP=1、DISABLESTOP=0	4MHz	146	167	151	171	155	176	158	182	166	192	
IDD_{STOP2}	SYSOSC オフ、DISABLESTOP=1、ULPCLK=LFCLK	32kHz	42	51	44	54	47	58	50	64	56	76	
STANDBY モード													

7.5.2 STOP/STANDBY モード (続き)

特に記述のない限り、VDD=3.3V。すべての入力は、0V または VDD に接続されています。出力は、電流のソースまたはシンクを行いません。特に記述のないすべてのペリフェラルはディセーブルです。

パラメータ		ULPCLK	-40℃		25℃		85℃		105℃		125℃		単位
			標準値	最大値	標準値	最大値	標準値	最大値	標準値	最大値	標準値	最大値	
IDD_{STBY0}	STOPCLKSTBY=0、TIMG0 イネーブル	32kHz	1.2	1.3	1.3	1.7	2.7	6.2	4.7	12	11	25	µA
IDD_{STBY1}	STOPCLKSTBY=1、TIMG0 イネーブル		0.9	1.0	1.0	1.4	2.4	5.9	4.4	12	11	25	
	STOPCLKSTBY=1、GPIOA イネーブル		0.9	1.0	1.0	1.4	2.4	5.9	4.4	12	10	25	

7.5.3 SHUTDOWN モード

すべての入力は、0V または VDD に接続されています。出力は、電流のソースまたはシンクを行いません。コア レギュレータはパワーダウンされています。

パラメータ		VDD	-40℃		25℃		85℃		105℃		125℃		単位
			標準値	最大値	標準値	最大値	標準値	最大値	標準値	最大値	標準値	最大値	
IDD_{SHDN}	SHUTDOWN モードの電源電流	3.3V	47		61		352		793		2020		nA

7.6 電源シーケンス

7.6.1 POR と BOR

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
dVDD/dt	VDD (電源電圧) のスルーレート	立ち上がり			1	V/µs
		立ち下がり [2]			0.01	
		立ち下がり、STANDBY			0.1	V/ms
V_{POR+}	パワーオン リセット電圧レベル	立ち上がり [1]	0.95	1.30	1.51	V
V_{POR-}		立ち下がり [1]	0.9	1.25	1.48	V
$V_{HYS, POR}$	POR ヒステリシス	[1]	30	45	60	mV
$V_{BOR0+, COLD}$	ブラウンアウト リセット電圧レベル 0 (デフォルトのレベル)	コールド スタート、立ち上がり [1]	1.48	1.54	1.61	V
V_{BOR0+}		立ち上がり [1] [2]	1.55	1.59	1.62	
V_{BOR0-}		立ち下がり [1] [2]	1.54	1.58	1.61	
$V_{BOR0, STBY}$		STANDBY モード [1]	1.51	1.57	1.61	
V_{BOR1+}	ブラウンアウト リセット電圧レベル 1	立ち上がり [1] [2]	2.13	2.18	2.23	V
V_{BOR1-}		立ち下がり [1] [2]	2.10	2.15	2.19	
V_{BOR2+}	ブラウンアウト リセット電圧レベル 2	立ち上がり [1] [2]	2.73	2.77	2.82	V
V_{BOR2-}		立ち下がり [1] [2]	2.7	2.74	2.79	
V_{BOR3+}	ブラウンアウト リセット電圧レベル 3	立ち上がり [1] [2]	2.88	2.97	3.04	V
V_{BOR3-}		立ち下がり [1] [2]	2.85	2.94	3.01	
$V_{HYS, BOR}$	ブラウンアウト リセットのヒステリシス	レベル 0 [1]		15	21	mV
		レベル 1～3 [1]		34	40	

7.6.1 POR と BOR (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$T_{PD, BOR}$	BOR 伝搬遅延	RUN/SLEEP/STOP モード			10	μs
		STANDBY モード			100	μs

(1) |dVDD/dt| ≦ 3V/s
(2) デバイスは RUN、SLEEP、STOP モードで動作しています。

7.6.2 電源ランプ

図 7-1 に、パワーアップ / パワーダウン時の POR-、POR+、BOR0-、BOR0+ の関係を示します。

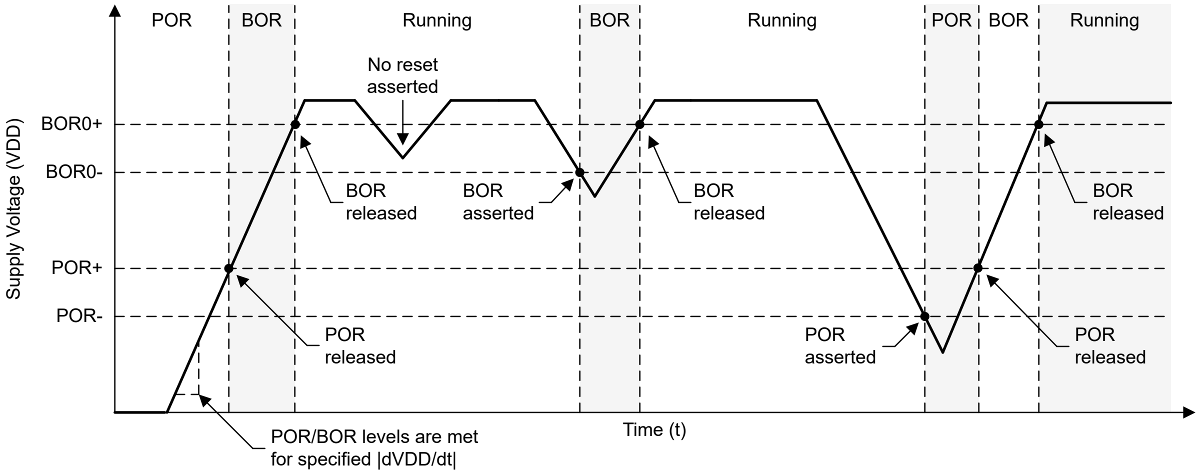


図 7-1. パワー サイクルの POR と BOR の条件

7.7 フラッシュ メモリの特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源						
$VDD_{PGM/ERASE}$	書き込みと消去の電源電圧		1.62		3.6	V
IDD_{ERASE}	消去動作中の VDD からの電源電流	電源電流の差分		2		mA
IDD_{PGM}	書き込み動作中の VDD からの電源電流	電源電流の差分		2.5		mA
耐久性						
$NWEC_{(LOWER)}$	消去 / 書き込みサイクル耐久性 (フラッシュの下位 32KB) (1)		100			k サイクル
$NWEC_{(UPPER)}$	消去 / 書き込みサイクル耐久性 (フラッシュの残り) (1)		10			k サイクル
$NE_{(MAX)}$	故障に至るまでの全消去動作回数 (2)		802			k 回の消去動作
$NW_{(MAX)}$	セクタが消去されるまでのワード線あたりの書き込み動作回数 (3)				83	書き込み動作
保持						
t_{RET_85}	フラッシュ メモリのデータ保持	-40℃ ≦T_j ≦ 85℃	60			年
t_{RET_105}	フラッシュ メモリのデータ保持	-40℃ ≦T_j ≦ 105℃	11.4			年
書き込みと消去のタイミング						
$t_{PROG (WORD, 64)}$	フラッシュ ワードの書き込み時間 (4) (6)			50	275	µs

Copyright © 2024 Texas Instruments Incorporated

7.7 フラッシュ メモリの特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{PROG\ (SEC,\ 64)}$	1KB セクタの書き込み時間 (5) (6)			6.4		ms
$t_{ERASE\ (SEC)}$	セクタの消去時間	2k 以下の消去 / 書き込みサイクル、T_j≧25℃		4	20	ms
$t_{ERASE\ (SEC)}$	セクタの消去時間	10k 以下の消去 / 書き込みサイクル、T_j≧25℃		20	150	ms
$t_{ERASE\ (SEC)}$	セクタの消去時間	10k 以下の消去 / 書き込みサイクル		20	200	ms
$t_{ERASE\ (BANK)}$	バンクの消去時間	10k 以下の消去 / 書き込みサイクル		22	220	ms

(1) EEPROM エミュレーション アプリケーションを可能にするため、下位 32KB のフラッシュ アドレス空間はより優れた消去 / 書き込み耐久性をサポートしています。32KB 以下のフラッシュ メモリを内蔵したデバイスでは、フラッシュ メモリ全体が $NWEC_{(LOWER)}$ の消去 / 書き込みサイクルをサポートしています。
(2) 故障に至るまでにフラッシュによってサポートされる消去動作の累積回数。セクタ消去またはバンク消去動作は、1 回の消去動作と見なします。
(3) ワード線を消去するまでに、許容されるワード線あたりの書き込み動作の最大回数。同じワード線への追加書き込みが必要な場合、ワード線あたりの書き込み動作の最大回数に達すると、セクタ消去が必要です。
(4) 書き込み時間は、書き込みコマンドがトリガされてから、フラッシュ コントローラでコマンド完了割り込みフラグがセットされるまでの時間として定義されます。
(5) セクタ書き込み時間は、最初のワード書き込みコマンドがトリガされてから、最後のワード書き込みコマンドが完了し、フラッシュ コントローラで割り込みフラグがセットされるまでの時間として定義されます。この時間には、セクタの書き込み中にソフトウェアが (最初のフラッシュ ワードの後に) 各フラッシュ ワードをフラッシュ コントローラに読み込むために必要な時間が含まれます。
(6) フラッシュ ワード サイズは 64 データ ビット (8 バイト) です。ECC 付きデバイスの場合、フラッシュ ワード サイズの合計は 72 ビット (64 データ ビット + 8 ECC ビット) です。

7.8 タイミング特性

VDD=3.3V、T_a=25℃ (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
ウェークアップ タイミング						
$t_{WAKE、SLEEP}$	SLEEP から RUN までのウェークアップ時間 (1)			2		サイクル
$t_{WAKE、STOP}$	STOP1 から RUN までのウェークアップ時間 (SYSOSC イネーブル) (1)			14		μs
	STOP2 から RUN までのウェークアップ時間 (SYSOSC ディセーブル) (1)			13		us
$t_{WAKE、STBY}$	STANDBY から RUN までのウェークアップ時間 (1)			15		μs
$t_{WAKE、SHDN}$	SHUTDOWN から RUN までのウェークアップ時間	高速ブートがイネーブル		214		μs
$t_{WAKE、SHDN}$	SHUTDOWN から RUN までのウェークアップ時間	高速ブートがディセーブル		230		μs
非同期高速クロック要求タイミング						
t_{DELAY}	非同期要求のエッジから最初の 32MHz MCLK エッジまでの遅延時間	モードは SLEEP2		0.9		μs
		モードは STOP1		2.4		μs
		モードは STOP2		0.9		μs
		モードは STANDBY1		3.2		μs
スタートアップ タイミング						
$t_{START、RESET}$	リセット / パワーアップからのデバイスのコールド スタートアップ時間 (2)	高速ブートがイネーブル		241		μs
		高速ブートがディセーブル		284		μs
NRST タイミング						

7.8 タイミング特性 (続き)

VDD=3.3V、T_a=25℃ (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{RST、BOOTRST}$	BOOTRST を生成するための NRST ピンの最小パルス幅	ULPCLK≧4MHz		2		μs
		ULPCLK=32kHz		100		μs
$t_{RST、POR}$	POR を生成するための NRST ピンの最小パルス幅			1		s

(1) ウェークアップ時間は、GPIO グリッチ フィルタは無効 (FILTEREN = 0x0)、高速ウェークアップは有効 (FASTWAKEONLY = 1) の条件で、外部信号のエッジ (GPIO ウェークアップ イベント) から、最初の CPU 命令が実行されるまでの時間として測定されます。
(2) 起動時間は、VDD が VBOR0+ と交差 (コールド スタートアップ) した時刻から、ユーザー プログラムの最初の命令が実行された時刻までの時間として測定されます。

Copyright © 2024 Texas Instruments Incorporated

7.9 クロック仕様

7.9.1 システム発振器 (SYSOSC)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
f_{SYSOSC}	出荷時に調整された SYSOSC 周波数	SYSOSCCFG.FREQ=00 (ベース)		32		MHz
		SYSOSCCFG.FREQ=01		4		
	ユーザー調整された SYSOSC 周波数	SYSOSCCFG.FREQ=10、SYSOSCTRIMUSER.FREQ=10		24		
		SYSOSCCFG.FREQ=10、SYSOSCTRIMUSER.FREQ=01		16		
	周波数補正ループ (FCL) がイネーブルで、理想的な ROSC 抵抗を想定した場合の SYSOSC 周波数精度 (1) (2)	SETUSEFCL=1、T_a = 25℃	-0.41		0.58	%
		SETUSEFCL=1、-40℃ ≦ T_a ≦ 85℃	-0.80		0.93	
		SETUSEFCL=1、-40℃ ≦ T_a ≦ 105℃	-0.80		1.09	
		SETUSEFCL=1、-40℃ ≦ T_a ≦ 125℃	-0.80		1.30	
	周波数補正ループ (FCL) がイネーブルのときの SYSOSC 精度、R_{OSC} 抵抗を R_{OSC} ピンに配置、出荷時にトリムされた周波数用 (1)	SETUSEFCL=1、T_a = 25℃、±0.1% ±25ppm R_{OSC}	-0.5		0.7	%
		SETUSEFCL=1、-40℃ ≦ T_a ≦ 85℃、±0.1% ±25ppm R_{OSC}	-1.1		1.2	
		SETUSEFCL=1、-40℃ ≦ T_a ≦ 105℃、±0.1% ±25ppm R_{OSC}	-1.1		1.4	
		SETUSEFCL=1、-40℃ ≦ T_a ≦ 125℃、±0.1% ±25ppm R_{OSC}	-1.1		1.7	
	周波数補正ループ (FCL) がディセーブルのときの SYSOSC 精度、32MHz	SETUSEFCL=0、SYSOSCCFG.FREQ=00、-40℃ ≦ T_a ≦ 125℃	-2.6		1.8	%
f_{SYSOSC}	出荷時に調整された周波数 4MHz の場合、周波数補正ループ (FCL) がディセーブルのときの SYSOSC 精度	SETUSEFCL=0、SYSOSCCFG.FREQ=01、-40℃ ≦ T_a ≦ 125℃	-2.7		2.3	%
R_{OSC}	ROSC ピンと VSS の間の外付け抵抗 (1)	SETUSEFCL=1		100		kΩ
$t_{settle、SYSOSC}$	目標精度に達するまでのセトリング タイム (3)	SETUSEFCL=1、±0.1% 25ppm の R_{OSC} (1)			30	µs
$f_{settle、SYSOSC}$	t_{settle} の間の f_{SYSOSC} の追加アンダーシュート精度(3)	SETUSEFCL=1、±0.1% 25ppm の R_{OSC} (1)	-11			%

(1) SYSOSC 周波数補正ループ (FCL) を使うと、本デバイスの ROSC ピンと VSS との間に接続すべき外部リファレンス抵抗 (R_{OSC}) によって、SYSOSC の精度を高めることができます。±0.1% 25ppm の R_{OSC} に対する精度を示しています。公差の緩い抵抗も使用できます (SYSOSC の精度は低下します)。さまざまな R_{OSC} 精度での SYSOSC 精度の計算方法の詳細については、テクニカル リファレンス マニュアルの「SYSOSC」のセクションを参照してください。FCL をイネーブルしない場合には、R_{OSC} を実装する必要はありません。
(2) デバイスの精度のみを表します。最終的な精度を判定するには、使用する ROSC 抵抗の公差と温度ドリフトを、この仕様と組み合わせる必要があります。±0.1% ±25ppm R_{OSC} についての性能が、基準点として示されています。
(3) SYSOSC がウェークアップするとき (たとえば、低消費電力モードを終了するとき)、FCL がイネーブルなら、SYSOSC は最初に目標周波数 f_{SYSOSC} を、時間 $t_{settle,SYSOSC}$ にわたって、最大 $f_{settle,SYSOSC}$ の追加誤差だけアンダーシュートします。目標の精度はこの時間後に達成されます。

7.9.2 低周波数発振器 (LFOSC)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
f_{LFOSC}	LFOSC 周波数			32768		Hz
	LFOSC 精度	-40℃ ≦ T_a ≦ 125℃	-5		5	%
		-40℃ ≦ T_a ≦ 85℃	-3		3	%

7.9.2 低周波数発振器 (LFOSC) (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{start、LFOSC}$	LFOSC スタートアップ時間			1.7		ms

7.10 デジタル IO

7.10.1 電気的特性

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
V_{IH}	High レベル入力電圧	ODIO [1]	V_{DD} ≥ 1.62V	0.7 × V_{DD}		5.5	V
			V_{DD} ≥ 2.7V	2		5.5	V
		すべての I/O (ODIO とリセットを除く)	V_{DD} ≥ 1.62V	0.7 × V_{DD}		V_{DD}+0.3	V
V_{IL}	Low レベル入力電圧	ODIO	V_{DD} ≥ 1.62V	-0.3		0.3 × V_{DD}	V
			V_{DD} ≥ 2.7V	-0.3		0.8	V
		すべての I/O (ODIO とリセットを除く)	V_{DD} ≥ 1.62V	-0.3		0.3 × V_{DD}	V
V_{HYS}	ヒステリシス	ODIO		0.05 × V_{DD}			V
		すべての I/O (ODIO を除く)		0.1 × V_{DD}			V
I_{lkg}	ハイ インピーダンスのリーク電流	SDIO[2] [3]				±50[4]	nA
R_{PU}	プルアップ抵抗	すべての I/O (ODIO を除く)			40		kΩ
R_{PD}	プルダウン抵抗				40		kΩ
C_I	入力容量				5		pF

Copyright © 2024 Texas Instruments Incorporated

7.10.1 電気的特性 (続き)

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
V_{OH}	High レベル出力電圧	SDIO	V_{DD} ≥ 2.7V、$\|I_{IO}\|_{,max}$ = 6mA V_{DD} ≥ 1.71V、$\|I_{IO}\|_{,max}$ = 2mA V_{DD} ≥ 1.62V、$\|I_{IO}\|_{,max}$ = 1.5mA -40℃ ≤ T_j ≤ 25℃	V_{DD}-0.4			V
			V_{DD} ≥ 2.7V、$\|I_{IO}\|_{,max}$ = 6mA V_{DD} ≥ 1.71V、$\|I_{IO}\|_{,max}$ = 2mA V_{DD} ≥ 1.62V、$\|I_{IO}\|_{,max}$ = 1.5mA -40℃ ≤ T_j ≤ 130℃	V_{DD}-0.45			
		HSIO	V_{DD} ≥ 2.7V、DRV = 1、$\|I_{IO}\|_{,max}$ = 6mA V_{DD} ≥ 1.71V、DRV = 1、$\|I_{IO}\|_{,max}$ = 3mA V_{DD} ≥ 1.62V、DRV = 1、$\|I_{IO}\|_{,max}$ = 2mA -40℃ ≤ T_j ≤ 25℃	V_{DD}-0.4			
			V_{DD} ≥ 2.7V、DRV = 1、$\|I_{IO}\|_{,max}$ = 6mA V_{DD} ≥ 1.71V、DRV = 1、$\|I_{IO}\|_{,max}$ = 3mA V_{DD} ≥ 1.62V、DRV = 1、$\|I_{IO}\|_{,max}$ = 2mA -40℃ ≤ T_j ≤ 130℃	V_{DD}-0.4			
			V_{DD} ≥ 2.7V、DRV = 0、$\|I_{IO}\|_{,max}$ = 4mA V_{DD} ≥ 1.71V、DRV = 0、$\|I_{IO}\|_{,max}$ = 2mA V_{DD} ≥ 1.62V、DRV = 0、$\|I_{IO}\|_{,max}$ = 1.5mA -40℃ ≤ T_j ≤ 25℃	V_{DD}-0.45			
			V_{DD} ≥ 2.7V、DRV = 0、$\|I_{IO}\|_{,max}$ = 4mA V_{DD} ≥ 1.71V、DRV = 0、$\|I_{IO}\|_{,max}$ = 2mA V_{DD} ≥ 1.62V、$\|I_{IO}\|_{,max}$ = 1.5mA -40℃ ≤ T_j ≤ 130℃	V_{DD}-0.45			

7.10.1 電気的特性 (続き)

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
V_{OL}	Low レベル出力電圧	SDIO	V_{DD} ≥ 2.7V、$\|I_{IO}\|_{,max}$ = 6mA V_{DD} ≥ 1.71V、$\|I_{IO}\|_{,max}$ = 2mA V_{DD} ≥ 1.62V、$\|I_{IO}\|_{,max}$ = 1.5mA -40℃ ≤ T_j ≤ 25℃			0.4	V
			V_{DD} ≥ 2.7V、$\|I_{IO}\|_{,max}$ = 6mA V_{DD} ≥ 1.71V、$\|I_{IO}\|_{,max}$ = 2mA V_{DD} ≥ 1.62V、$\|I_{IO}\|_{,max}$ = 1.5mA -40℃ ≤ T_j ≤ 130℃			0.45	
		HSIO	V_{DD} ≥ 2.7V、DRV = 1、$\|I_{IO}\|_{,max}$ = 6mA V_{DD} ≥ 1.71V、DRV = 1、$\|I_{IO}\|_{,max}$ = 3mA V_{DD} ≥ 1.62V、DRV = 1、$\|I_{IO}\|_{,max}$ = 2mA T_j ≤ 85℃			0.4	
			V_{DD} ≥ 2.7V、DRV = 1、$\|I_{IO}\|_{,max}$ = 6mA V_{DD} ≥ 1.71V、DRV = 1、$\|I_{IO}\|_{,max}$ = 3mA V_{DD} ≥ 1.62V、DRV = 1、$\|I_{IO}\|_{,max}$ = 2mA -40℃ ≤ T_j ≤ 130℃			0.45	
			V_{DD} ≥ 2.7V、DRV = 0、$\|I_{IO}\|_{,max}$ = 4mA V_{DD} ≥ 1.71V、DRV = 0、$\|I_{IO}\|_{,max}$ = 2mA V_{DD} ≥ 1.62V、DRV = 0、$\|I_{IO}\|_{,max}$ = 1.5mA T_j ≤ 85℃			0.4	
			V_{DD} ≥ 2.7V、DRV = 0、$\|I_{IO}\|_{,max}$ = 4mA V_{DD} ≥ 1.71V、DRV = 0、$\|I_{IO}\|_{,max}$ = 2mA V_{DD} ≥ 1.62V、DRV = 0、$\|I_{IO}\|_{,max}$ = 1.5mA -40℃ ≤ T_j ≤ 130℃			0.45	
		ODIO	V_{DD} ≥ 2.7V、$I_{OL,max}$ = 8mA V_{DD} ≥ 1.71V、$I_{OL,max}$ = 4mA -40℃ ≤ T_j ≤ 25℃			0.4	
			V_{DD} ≥ 2.7V、$I_{OL,max}$ = 8mA V_{DD} ≥ 1.71V、$I_{OL,max}$ = 4mA -40℃ ≤ T_j ≤ 130℃			0.45	

(1) I/O タイプ : ODIO = 5V 許容オープン ドレイン、SDIO = 標準駆動、HSIO = 高速
(2) リーク電流は、対応するピンに VSS または V_{DD} を印加して計測されます (特に記述のない限り)。
(3) デジタル ポート ピンのリーク電流は個別に計測されます。ポート ピンは入力として選択され、プルアップ / プルダウン抵抗は無効化されています。
(4) この値は、SDIO がアナログ入力と多重化されていない場合の値です。SDIO がアナログ入力と多重化されている場合、リーク電流は最大 100nA になる可能性があります。

Copyright © 2024 Texas Instruments Incorporated

7.10.2 スイッチング特性

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
f_{max}	ポート出力周波数	SDIO [(1)]	V_{DD} ≥ 1.71V、C_L= 20pF			16	MHz
			V_{DD} ≥ 2.7V、C_L= 20pF			32	
		HSIO	V_{DD} ≥ 1.71V、DRV = 0、C_L = 20pF			16	
			V_{DD} ≥ 1.71V、DRV = 1、C_L = 20pF			24	
			V_{DD} ≥ 2.7V、DRV = 0、C_L = 20pF			32	
		ODIO	V_{DD} ≥ 1.71V、FM$^+$、C_L = 20pF - 100pF			1	
t_r、t_f	出力立ち上がり / 立ち下がり時間	ODIO を除くすべての出力ポート	V_{DD} ≥ 1.71V			0.3 × f_{max}	s
t_f	出力立ち下がり時間	ODIO	V_{DD} ≥ 1.71V、FM$^+$、C_L = 20pF～100pF	20 × V_{DD}/5.5		120	ns

(1) I/O タイプ:ODIO = 5V 許容オープンドレイン、SDIO = 標準駆動、HSIO = 高速

7.11 アナログ マルチプレクサ VBOOST

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{VBST}	VBOOST 電流加算器	MCLK/ULPCLK は LFCLK		0.8		μA
		MCLK/ULPCLK は LFCLK ではなく、SYSOSC の周波数は 4MHz		8.5		
$t_{START,VBST}$	VBOOST スタートアップ時間			12		μs

7.12 ADC

7.12.1 電気的特性

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。すべての代表値は 25℃で測定されており、すべての精度パラメータは 12 ビット分解能モードを使用して測定されています (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$Vin_{(ADC)}$	アナログ入力電圧範囲[(1)]	すべての ADC アナログ入力ピンに適用されます	0		VDD	V
V_{R+}	正の ADC リファレンス電圧	VDD から供給される V_{R+}		VDD		V
		外部リファレンス電圧ピン (VREF+) から供給される V_{R+}	1.4		VDD	V
		内部リファレンス電圧 (VREF) から供給される V_{R+}		VREF		V
V_{R-}	負の ADC リファレンス電圧			0		V
F_S	ADC サンプリング周波数	RES = 0x0 (12 ビット モード)、外部リファレンス電圧			1.68	Msps
$I_{(ADC)}$ [(2)]	VDD 端子に流れ込む動作電源電流	F_S = 1MSPS、内部リファレンス電圧はオフ、V_{R+} = VDD		454	600	μA
		F_S = 200ksps、内部リファレンス電圧はオン、V_{R+} = VREF = 2.5V		300	435	
$C_{S/H}$	ADC サンプル ホールド容量			3.3	7	pF
Rin	ADC サンプリング スイッチ抵抗			0.5	1	kΩ
ENOB	有効ビット数	内部リファレンス電圧、V_{R+} = VREF = 2.5V、F_{in} = 10kHz	10	10.2		ビット
		外部リファレンス電圧、F_{in} = 10kHz [(3)]	11	11.1		
SNR	信号対雑音比	外部リファレンス電圧 [(3)]	68	71		dB
		内部リファレンス電圧、V_{R+} = VREF = 2.5V	63	65		

7.12.1 電気的特性 (続き)

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。すべての代表値は 25℃で測定されており、すべての精度パラメータは 12 ビット分解能モードを使用して測定されています (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$PSRR_{DC}$	電源除去比、DC	外部リファレンス電圧 (3)、VDD = $VDD_{(min)}$～$VDD_{(max)}$	63	68		dB
		VDD = $VDD_{(min)}$～$VDD_{(max)}$ 内部リファレンス電圧、V_{R+} = VREF = 2.5V	49	55		
$PSRR_{AC}$	電源除去比、AC	外部リファレンス電圧 (3)、ΔVDD = 0.1V (1kHz 時)		61		dB
		ΔVDD = 0.1V (1kHz 時) 内部リファレンス電圧、V_{R+} = VREF = 2.5V		49		
T_{wakeup}	ADC ウェークアップ時間	内部リファレンス電圧はオンであると仮定		1		µs
$V_{SupplyMon}$	電源モニタ分圧器 (VDD/3) の精度	ADC の入力チャネル:電源モニタ(4)	-1.5		+1.5	%
$I_{SupplyMon}$	電源モニタ分圧器の消費電流	ADC の入力チャネル:電源モニタ		10		µA

(1) 有効な変換結果を得るには、選択された ADC リファレンス電圧の範囲内 (V_{R+}～V_{R-}) にアナログ入力電圧範囲が含まれている必要があります。
(2) 内部リファレンス電圧 (VREF) の消費電流は、消費電流パラメータ ($I_{(ADC)}$) には含まれません。
(3) 外部リファレンス電圧のすべての仕様は、V_{R+} = VREF+ = VDD = 3.3V かつ V_{R-} = VREF- = VSS = 0V の条件で、VREF+ ピンの外部容量 1uF として測定されたものです。
(4) アナログ電源モニタ。チャネル 15 のアナログ入力は切り離されており、分圧器 (VDD/3) と内部的に接続されています。

7.12.2 スイッチング特性

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
f_{ADCCLK}	ADC クロック周波数			4		32	MHz
$t_{ADC\ trigger}$	ソフトウェア トリガの最小幅			3			ADCCLK サイクル
t_{Sample}	サンプリング時間 (OPA なし)	12 ビット モード、R_S = 50Ω、C_{pext} = 10pF		156			ns
t_{Sample_PGA}	サンプリング時間 (OPA あり) (1)	12 ビット モード	GBW = 0x1、PGA ゲイン = x1	0.31			µs
			GBW = 0x1、PGA ゲイン = x32	1.5			µs
t_{Sample_GPAMP}	サンプリング時間 (GPAMP あり)	12 ビット モード		2.5			µs
$t_{Sample_SupplyMon}$	サンプリング時間 (電源モニタ (VDD/3) あり)	12 ビット モード		3			µs

(1) OPA を備えたデバイスにのみ適用されます。

7.12.3 直線性パラメータ

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。すべての代表値は 25℃で測定されており、すべての直線性パラメータは 12 ビット分解能モードを使用して測定されています (特に記述のない限り)。(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
E_I	積分直線性誤差 (INL)	外部リファレンス電圧 (2)	-2.0		+2.0	LSB
E_D	微分直線性誤差 (DNL) ミッシング コードなしを保証	外部リファレンス電圧 (2)	-1.0		+1.0	LSB
E_O	オフセット エラー	外部リファレンス電圧 (2)	-3		3	mV
		内部リファレンス電圧、V_{R+} = VREF = 2.5V	-3		3	mV
E_G	ゲイン誤差	外部リファレンス電圧 (2)	-3		3	LSB

(1) 総合未調整誤差 (TUE) は、次の式を使用して、E_I、E_O、E_G から計算できます。TUE = $\sqrt{(E_I^2 + |E_O|^2 + E_G^2)}$
注:上記の式が正確であるためには、すべての誤差を同じ単位 (通常は LSB) に変換する必要があります。
(2) 外部リファレンス電圧のすべての仕様は、VR+ = VREF+ = VDD = 3.3V かつ VR- = VREF- = VSS = 0V の条件で、VREF+ ピンの外部容量 1uF として測定されたものです。

Copyright © 2024 Texas Instruments Incorporated

7.12.4 代表的な接続図

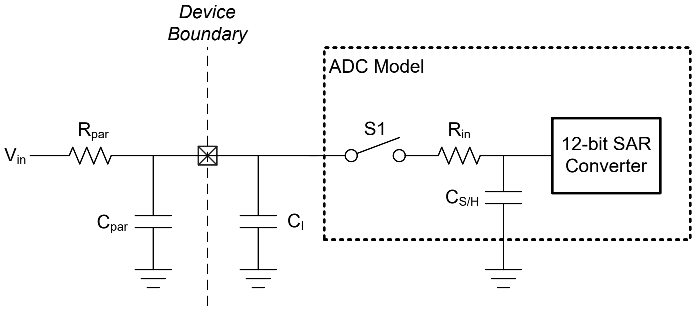


図 7-2. ADC 入力ネットワーク

1. R_{in} と $C_{S/H}$ の値については、「ADC 電気的特性」を参照してください。
2. C_I の値については、「デジタル IO 電気的特性」を参照してください。
3. C_{par} と R_{par} は外部 ADC 入力回路の寄生容量および抵抗を表します。

次の式を使用して、ADC 変換に必要な最小サンプリング時間 (T) を求めます。

1. $Tau = (R_{par} + R_{in}) \times C_{S/H} + R_{par} \times (C_{par} + C_I)$
2. $K = \ln(2^n$ / セトリング誤差$) - \ln((C_{par} + C_I) / C_{S/H})$
3. T (最小サンプリング時間) = K × Tau

7.13 温度センサ

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
TS_{TRIM}	出荷時調整温度 (1)	ADC および VREF の構成：RES = 0 (12 ビット モード)、VRSEL = 2h (内部 VREF)、BUFCONFIG = 1h (1.4V VREF)、ADC t_{Sample} = 12.5μs	27	30	33	℃
TS_c	温度係数		-1.84	-1.75	-1.66	mV/℃
$t_{SET, TS}$	温度センサのセトリング タイム (2)			2.5	10	μs

(1) ユーザー較正により、より高い絶対精度を実現できます。
(2) これは、ADC で測定したときに温度センサがセトリングするために必要な最大時間です。温度センサを測定するとき、ADC の最小サンプリング時間を指定するために使用できます。

7.14 VREF

7.14.1 電圧特性

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
VDD_{min}	VREF 動作に必要な最低電源電圧	BUFCONFIG = 1	1.62			V
		BUFCONFIG = 0	2.7			
VREF	リファレンス電圧の出力電圧	BUFCONFIG = 1	1.379	1.4	1.421	V
		BUFCONFIG = 0	2.462	2.5	2.538	

7.14.2 電気的特性

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{VREF}	VREF の動作電源電流	BUFCONFIG = {0, 1}、無負荷		74	100	μA
TC_{VREF}	VREF の温度係数 (1)	BUFCONFIG = {0, 1}			200	ppm/℃

Copyright © 2024 Texas Instruments Incorporated

7.14.2 電気的特性 (続き)

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
TC_{drift}	VREF の長期ドリフト	時間=1000 時間、BUFCONFIG = {0, 1}、T = 25℃			300	ppm
$PSRR_{DC}$	VREF 電源除去比、DC	VDD = 1.7V～VDDmax、BUFCONFIG = 1	59	64		dB
		VDD = 2.7V～VDDmax、BUFCONFIG = 0	49	53		
V_{noise}	VREF 出力での RMS ノイズ (0.1Hz ～100MHz)	BUFFCONFIG = 1		500		μVrms
		BUFFCONFIG = 0		750		
ADC F_S	サポートされている最大 ADC サンプリング周波数	ADC リファレンスとして VREF を使用			200	ksps
$T_{startup}$	VREF スタートアップ時間	BUFCONFIG = {0, 1}、VDD = 2.8V			15	μs

(1) VREF 出力の温度係数は、TC_{VRBUF} と内部バンドギャップ リファレンスの温度係数の和です。

7.15 *COMP*

7.15.1 コンパレータの電気的特性

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
コンパレータ電気的特性						
Vcm	コモン モード入力範囲		0		VDD	V
V_{offset}	入力オフセット電圧				±25	mV
V_{hys}	DC 入力ヒステリシス	HYST = 00h		0.4		mV
		HYST = 01h		11		
		HYST = 02h		20		
		HYST = 03h		30		
t_{PD_ls}	伝搬遅延時間、応答時間	出力フィルタ オフ、オーバードライブ = 100mV、高速モード		32	50	ns
		出力フィルタ オフ、オーバードライブ=100mV、低消費電力モード			5	μs
t_{en}	コンパレータ イネーブル時間	伝播遅延仕様に達するまでのスタートアップ時間、高速モード			10	μs
		伝搬遅延仕様に達するまでのスタートアップ時間、低消費電力モード			10	μs
I_{comp}	コンパレータの消費電流	Vcm = VDD/2、100mV オーバードライブ、リファレンス電圧は DAC 出力、VDD が DAC のリファレンス電圧、高速モード		120	200	μA
		Vcm = VDD/2、100mV オーバードライブ、リファレンス電圧は DAC 出力、VDD が DAC のリファレンス電圧、低消費電力モード		0.8	2.7	μA
		Vcm = VDD/2、100mV オーバードライブ、コンパレータのみ。高速モード		100	180	μA
		Vcm = VDD/2、100mV オーバードライブ、コンパレータのみ、低消費電力モード		0.7	2.1	μA
8 ビット DAC 電気的特性						
V_{dac}	DAC の出力範囲		0		VDD	V
$V_{dac\text{-}code}$	特定のコードに対する 8 ビット DAC の出力電圧	VIN = 8 ビット DAC に与えるリファレンス電圧、コード n = 0～255		VIN × (n+1) / 256		V
INL	8 ビット DAC の積分非直線性		-1		1	LSB
DNL	8 ビット DAC の微分非直線性		-1		1	LSB
ゲイン誤差	8 ビット DAC のゲイン誤差	リファレンス電圧=VDD	-2		2	% (対 FSR)
オフセット誤差	8 ビット DAC のオフセット誤差		-5		5	mV

Copyright © 2024 Texas Instruments Incorporated

7.15.1 コンパレータの電気的特性 (続き)

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{dac_settle}	スタティック モードでの 8 ビット DAC のセトリング タイム	DACCODE0 = 0 → 255、DAC 出力が 1 LSB まで正確		1.5		μs

7.16 GPAMP

7.16.1 電気的特性

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
V_{CM}	同相電圧範囲	RRI = 0x0		-0.1		VDD-1	V
		RRI = 0x1		1		VDD-0.2	
		RRI = 0x2		-0.1		VDD-0.2	
I_q	静止電流 (オペアンプ 1 個あたり)	I_O= 0mA、RRI = 0x0			97		μA
		I_O= 0mA、RRI = 0x1 または 0x2			93		
GBW	ゲイン帯域幅積	C_L = 200pF			0.32		MHz
V_{OS}	入力オフセット電圧	非反転、ユニティ ゲイン、T_A = 25℃、VDD = 3.3V	CHOPCLKMODE = 0x0		±0.2	±6.5	mV
			CHOPCLKMODE = 0x1		±0.08	±0.4	
dV_{OS}/dT	入力オフセット電圧の温度ドリフト	非反転、ユニティ ゲイン	CHOPCLKMODE = 0x0		7.7		μV/℃
			CHOPCLKMODE = 0x1		0.34		
I_{bias}	SoC の多重化された I/O ピンの入力バイアス	0.1V<V_{in}<VDD-0.3V、VDD=3.3V、CHOPCLKMODE=0x0	T_A = 25℃		±40		pA
			T_A = 125℃		±4000		
		0.1V<V_{in}<VDD-0.3V、VDD=3.3V、CHOPCLKMODE=0x1	T_A = 25℃		±200		
			T_A = 125℃		±4000		
$CMRR_{DC}$	同相除去比、DC	同相電圧範囲の全範囲	CHOPCLKMODE = 0x0	48	77		dB
			CHOPCLKMODE = 0x1	56	105		
e_n	入力電圧ノイズ密度	非反転、ユニティ ゲイン	f = 1kHz		43		nV/√Hz
			f = 10kHz		19		
R_{in}	入力抵抗(1)				0.65		kΩ
C_{in}	入力容量	同相			4		pF
		差動			2		
A_{OL}	開ループ電圧ゲイン、DC	R_L = 350kΩ、0.3 < Vo < (VDD-0.3)		82	90	107	dB
PM	位相マージン	C_L = 200pF、R_L= 350kΩ		69	70	72	度
SR	スルーレート	非反転、ユニティ ゲイン、C_L = 40pF			0.32		V/μs
THDN	全高調波歪 + ノイズ				0.012		%
I_{Load}	出力負荷電流				±4		mA
C_{Load}	出力負荷容量					200	pF

(1) 「Rin」という用語は、GPAMP 内のマルチプレクサ (mux) の入力抵抗を意味します。

7.16.2 スイッチング特性

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
t_{EN}	GPAMP のイネーブル時間	ENABLE = 0x0～0x1、バンドギャップ リファレンスはオン、0.1%	非反転、ユニティ ゲイン		12	20	μs
$t_{disable}$	GPAMP のディセーブル時間				4		ULPCLK サイクル
t_{SETTLE}	GPAMP のセトリング タイム	C_L = 200pF、Vstep = 0.3V～(VDD - 0.3V)、0.1%、ENABLE = 0x1	非反転、ユニティ ゲイン		9		μs

7.17 *OPA*

7.17.1 電気的特性

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
V_{CM}	同相電圧範囲	RRI = 0x0		-0.1		VDD-1.1	V
		RRI = 0x1		-0.1		VDD-0.3	
V_O	レール範囲からの電圧出力スイング	R_L = 10kΩ を VDD/2 に接続			20	68	mV
I_q	静止電流 (オペアンプ 1 個あたり) (2)	I_O= 0mA、RRI = 0x0	GBW = 0x0		100		μA
			GBW = 0x1		350		
		I_O= 0mA、RRI = 0x1	GBW = 0x0		140	170	
			GBW = 0x1		450	600	
I_{BCS}	バーンアウト電流源の電流				2		μA
GBW	ゲイン帯域幅積	非反転、ユニティ ゲイン、C_L = 40pF	GBW = 0x0		1.5		MHz
			GBW = 0x1		6		
V_{OS}	入力オフセット電圧	非反転、ユニティ ゲイン、VDD = 3.3V、T_A = 25℃	CHOP = 0x0		±0.4	±2	mV
			CHOP = 0x1 または 0x2			±0.3	
		非反転、ユニティ ゲイン、VDD = 3.3V	CHOP = 0x0		±1.5	±3.5	
			CHOP = 0x1 または 0x2		±0.1	±0.5	
dV_{OS}/dT	入力オフセット電圧の温度ドリフト	非反転、ユニティ ゲイン、CHOP = 0x0	GBW = 0x0		±8.5		μV/℃
			GBW = 0x1		±6		
		非反転、ユニティ ゲイン、CHOP = 0x1 または 0x2			±0.5		
$PSRR_{DC}$	電源除去比、DC	非反転、ユニティ ゲイン	CHOP = 0x0	74	86		dB
			CHOP = 0x1 または 0x2	74	86		
I_{bias}	専用 OPA 入力ピンの入力バイアス電流	0.1V<V_{in}<VDD-0.3V、VDD = 3.3V、CHOP=0x0	T_A = 25℃		±6		pA
			T_A = 125℃		±0.35	±0.4	nA
		0.1V<V_{in}<VDD-0.3V、VDD = 3.3V、CHOP=0x1	T_A = 25℃		±0.4		nA
			T_A = 125℃		±0.4	±0.5	nA
$CMRR_{DC}$	同相除去比、DC	RRI = 0x0 : 0V<V_{CM}<VDD-1.1V RRI = 0x1 : 0V<V_{CM}<VDD-0.3V	CHOP = 0x0		89		dB
			CHOP = 0x1 または 0x2	73	102		
e_n	入力電圧ノイズ密度	GBW = 0x0、非反転、ユニティ ゲイン、CHOP = 0x0	f = 1kHz		240		nV/√Hz
			f = 10kHz		88		

Copyright © 2024 Texas Instruments Incorporated

7.17.1 電気的特性 (続き)

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
R_{in}	入力抵抗 (1)				2.6		kΩ
C_{in}	入力容量	同相			3		pF
A_{OL}	開ループ電圧ゲイン、DC	R_L = 20kΩ を GND との間に接続、0.3<Vo<VDD-0.3			105		dB
PM	位相マージン	C_L = 40pF	GBW = 0x0		57		度
			GBW = 0x1		50		
SR	スルーレート	非反転、ユニティ ゲイン、C_L = 40pF	GBW = 0x0		1.3		V/μs
			GBW = 0x1		4.9		
THDN	全高調波歪 + ノイズ	非反転、ユニティ ゲイン、GBW = 0x0、f = 1.5kHz、積分 BW = 100kHz			0.0034		%
		非反転、ユニティ ゲイン、GBW = 0x1、f = 6kHz、積分 BW = 100kHz			0.004		
I_{Load}	短絡電流	GBW = 0x0、T_A = 25℃			±9		mA
		GBW = 0x1、T_A = 25℃			±30		
C_{Load}	出力負荷容量					40	pF

(1) ここでの R_{in} は、OPA 内のマルチプレクサの入力抵抗を意味します。
(2) VBOOST 電流を除きます。OPA がイネーブルのときは、VBOOST をイネーブルにする必要があります。

7.17.2 スイッチング特性

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
t_{EN}	OPA のイネーブル時間	ENABLE = 0x0～0x1、バンドギャップ リファレンスはオン、0.1%、非反転、ユニティ ゲイン	GBW = 0x0		7.3	12	μs
			GBW = 0x1		4.4	6	
$t_{disable}$	OPA のディセーブル時間				4		ULPCLK サイクル
f_{CHOP}	OPA のチョッピング周波数	CHOP = 0x1	GAIN = 0x0		125		kHz
			GAIN = 0x1		62.5		
			GAIN = 0x2		31.25		
			GAIN = 0x3		15.625		
			GAIN = 0x4		7.8		
			GAIN = 0x5		3.9		
t_{SETTLE}	OPA のセトリング タイム	C_L = 40pF、Vstep = 0.3V～(VDD - 0.3V)、0.1%、ENABLE = 0x1、非反転、ユニティ ゲイン	GBW = 0x0		2.5	9	μs
			GBW = 0x1		1.3	5	

7.17.3 PGA モード

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
G	非反転ゲインの精度	バッファ モード (1)	ユニティ ゲイン	-0.05		+0.05	%
		GAIN = 0x1	ゲイン 2	-0.6		+0.6	%
		GAIN = 0x2	ゲイン 4	-0.8		+0.8	
		GAIN = 0x3	ゲイン 8	-1		+1	
		GAIN = 0x4	ゲイン 16	-1.5		1.5	
		GAIN = 0x5	ゲイン 32	-2.6		+2.6	
	反転ゲインの精度	GAIN = 0x1	ゲイン -1	-0.8		+0.8	
		GAIN = 0x2	ゲイン -3	-1.0		+1.0	
		GAIN = 0x3	ゲイン -7	–1.2		1.2	
		GAIN = 0x4	ゲイン -15	-1.5		1.5	
		GAIN = 0x5	ゲイン -31	-2.7		2.7	
R_{PGA}	プログラム可能なゲイン段の抵抗	GAIN = 0x1	R1		64		kΩ
			R2 (帰還抵抗)		64		
		GAIN = 0x2	R1		32		
			R2 (帰還抵抗)		96		
		GAIN = 0x3	R1		16		
			R2 (帰還抵抗)		112		
		GAIN = 0x4	R1		8		
			R2 (帰還抵抗)		120		
		GAIN = 0x5	R1		4		
			R2 (帰還抵抗)		124		
G/dV	電源によるゲインのドリフト				0.026	0.84	%/V
G/dT	温度によるゲインのドリフト				0.0007	0.014	%/C
THD	全高調波歪	f = 3kHz、R_L = 1.5kΩ を VDD/2 に接続、GBW = 0x1、GAIN = 0x1			88		dB
		f = 188Hz、R_L = 1.5kΩ を VDD/2 に接続、GBW = 0x1、GAIN = 0x5			61		

(1) OPA はバッファ モードにおいてユニティ ゲインで動作し、増幅なしでインピーダンス マッチングと信号バッファリングを行います。

7.18 I2C

7.18.1 I2C の特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	スタンダード モード		ファスト モード		高速プラス モード		単位
			最小値	最大値	最小値	最大値	最小値	最大値	
f_{I2C}	I2C 入力クロック周波数	パワー ドメイン 0 の I2C	2	32	8	32	20	32	MHz
f_{SCL}	SCL クロック周波数			0.1		0.4		1	MHz
$t_{HD,STA}$	(リピート) スタート ホールド時間		4		0.6		0.26		µs
t_{LOW}	SCL クロックの Low 期間		4.7		1.3		0.5		µs
t_{HIGH}	SCL クロック High 期間		4		0.6		0.26		µs
$t_{SU,STA}$	リピート スタート セットアップ時間		4.7		0.6		0.26		µs
$t_{HD,DAT}$	データ ホールド時間		0		0		0		ns
$t_{SU,DAT}$	データ セットアップ時間		250		100		50		ns

Copyright © 2024 Texas Instruments Incorporated

7.18.1 I2C の特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	スタンダード モード		ファスト モード		高速プラス モード		単位
			最小値	最大値	最小値	最大値	最小値	最大値	
$t_{SU,STO}$	ストップ セットアップ時間		4		0.6		0.26		μs
t_{BUF}	終了条件と開始条件の間のバス フリー時間		4.7		1.3		0.5		μs
$t_{VD、DAT}$	データ有効時間			3.45		0.9		0.45	μs
$t_{VD、ACK}$	データ有効アクノリッジ時間			3.45		0.9		0.45	μs

7.18.2 I2C フィルタ

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
f_{SP}	入力フィルタにより抑制されるスパイクのパルス持続時間	AGFSELx = 0		6		ns
		AGFSELx = 1		14	35	ns
		AGFSELx = 2		22	60	ns
		AGFSELx = 3		35	90	ns

7.18.3 I²C のタイミング図

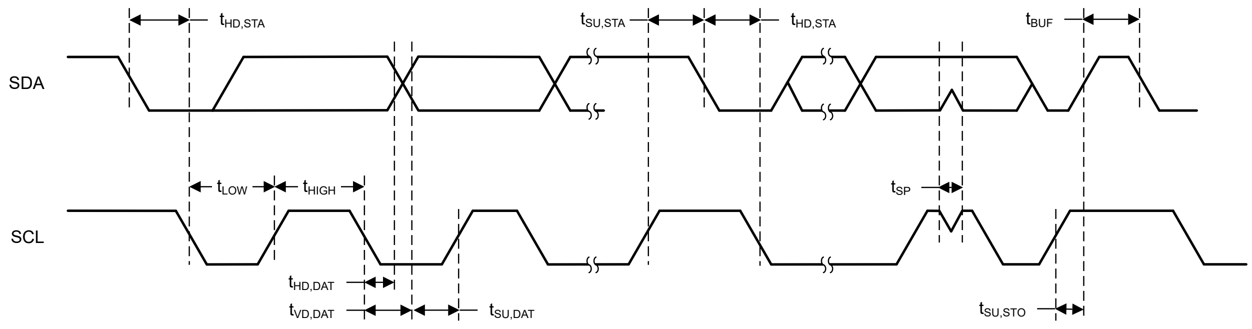


図 7-3. I2C のタイミング図

7.19 SPI

7.19.1 SPI

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
SPI						
f_{SPI}	SPI クロック周波数	最大クロック速度 = 32MHz 1.62 < VDD < 3.6V コントローラ モード			16	MHz
f_{SPI}	SPI クロック周波数	最大クロック速度 = 32MHz 1.62 < VDD < 3.6V ペリフェラル モード			16	MHz
DC_{SCK}	SCK のデューティ サイクル		40	50	60	%
コントローラ						
$t_{SCLK_H/L}$	SCLK High または Low 時間		(tSPI/2) - 1	tSPI/2	(tSPI/2) + 1	ns

7.19.1 SPI (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{SU.CI}$	POCI 入力データのセットアップ時間 (1)	2.7 < VDD < 3.6V、遅延サンプリングがイネーブル	1			ns
		1.62 < VDD < 2.7V、遅延サンプリングがイネーブル	1			
$t_{SU.CI}$	POCI 入力データのセットアップ時間 (1)	2.7 < VDD < 3.6V、遅延サンプリングなし	27			ns
		1.62 < VDD < 2.7V、遅延サンプリングなし	35			
$t_{HD.CI}$	POCI 入力データのホールド時間		9			ns
$t_{VALID.CO}$	PICO 出力データの有効時間 (2)				10	ns
$t_{HD.CO}$	PICO 出力データのホールド時間 (3)		1			ns
ペリフェラル						
$t_{CS.LEAD}$	CS 進み時間、CS アクティブからクロックまで		8			ns
$t_{CS.LAG}$	CS 遅れ時間、最後のクロックから CS 非アクティブまで		1			ns
$t_{CS.ACC}$	CS アクセス時間、CS アクティブから POCI データ出力まで				23	ns
$t_{CS.DIS}$	CS ディセーブル時間、CS 非アクティブから POCI 高インピーダンスまで				19	ns
$t_{SU.PI}$	PICO 入力データのセットアップ時間		7			ns
$t_{HD.PI}$	PICO 入力データのホールド時間		31.25			ns
$t_{VALID.PO}$	POCI 出力データの有効時間 (2)	2.7 < VDD < 3.6V			24	ns
$t_{VALID.PO}$	POCI 出力データの有効時間 (2)	1.62 < VDD < 2.7V			31	ns
$t_{HD.PO}$	POCI 出力データのホールド時間 (3)		5			ns

(1) 遅延サンプリング機能がイネーブルのとき、POCI 入力データのセットアップ時間を完全に補償できます。
(2) 出力が SCLK クロック エッジを変更した後、次の有効なデータを出力に駆動する時間を規定します。
(3) 出力が SCLK クロック エッジを変更した後、出力のデータが有効である間の時間を規定します。

7.19.2 SPI タイミング図

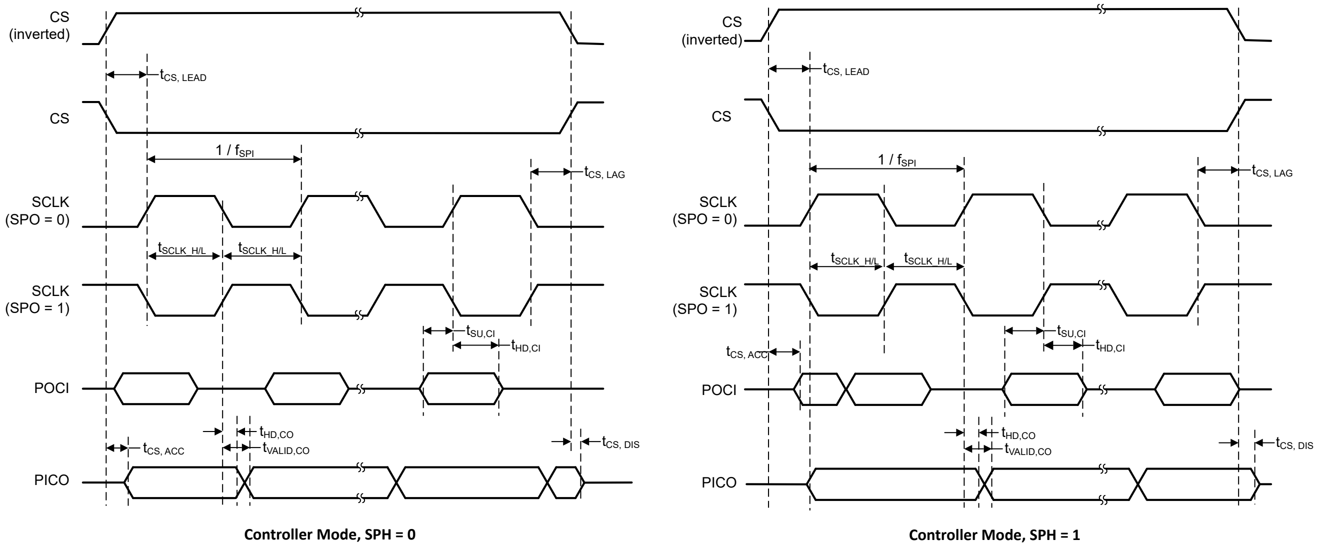


図 7-4. SPI のタイミング図 - コントローラ モード

Copyright © 2024 Texas Instruments Incorporated

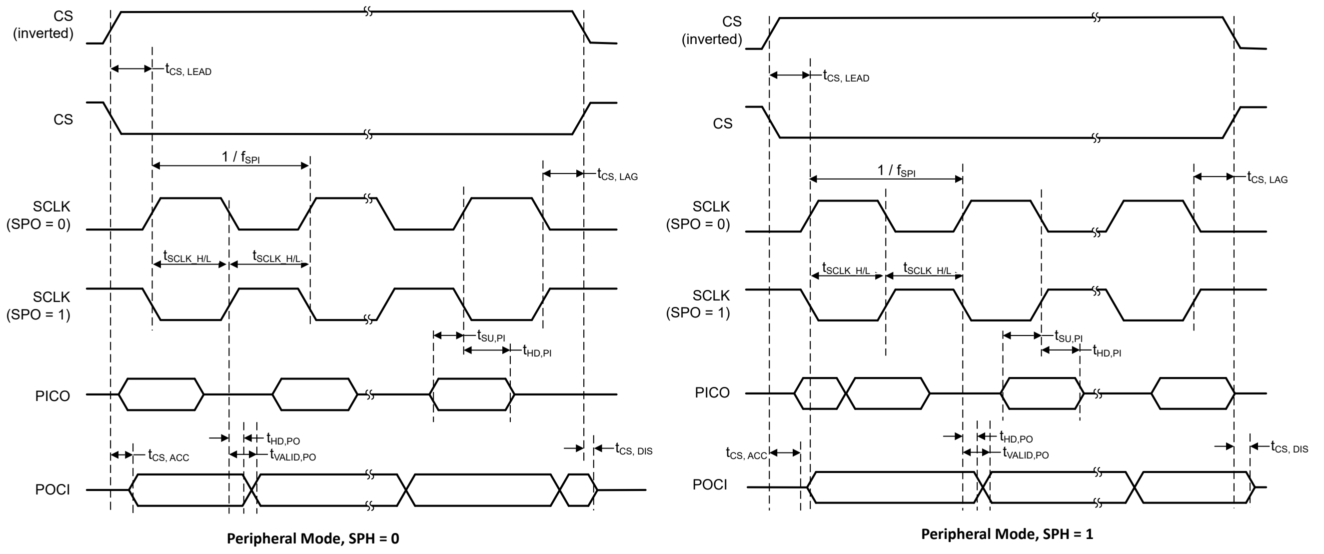


図 7-5. SPI のタイミング図 - ペリフェラル モード

7.20 UART

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
f_{UART}	UART 入力クロック周波数				32	MHz
f_{BITCLK}	BITCLK クロック周波数 (MBaud のボー レートに等しい)				4	MHz
t_{SP}	入力フィルタにより抑制されるスパイクのパルス持続時間	AGFSELx = 0		6		ns
		AGFSELx = 1		14	35	ns
		AGFSELx = 2		22	60	ns
		AGFSELx = 3		35	90	ns

7.21 TIMx

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{res}	タイマ分解能時間	$f_{TIMxCLK}$ = 32MHz	31.25			ns
			1			$t_{TIMxCLK}$
t_{res}	タイマ分解能時間	16 ビット カウンタ付き TIMx			16	ビット
$t_{COUNTER}$	16 ビット カウンタのクロック周期	$f_{TIMxCLK}$ = 32MHz	0.03125		2048	μs
			1		65536	$t_{TIMxCLK}$

7.22 エミュレーションおよびデバッグ

7.22.1 SWD タイミング

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
f_{SWD}	SWD 周波数				10	MHz

8 詳細説明

以降のセクションでは、このデータシートのデバイスを構成するすべてのコンポーネントについて説明します。これらのデバイスに内蔵されているペリフェラルは、メモリ・マップト・レジスタ (MMR) を介してソフトウェアで設定されます。詳細については、*『MSPM0 L シリーズ 32MHz マイクロコントローラ・テクニカル・リファレンス・マニュアル』*の対応する章を参照してください。

8.1 CPU

CPU サブシステム (MCPUSS) は、Arm Cortex-M0+ CPU、命令プリフェッチおよびキャッシュ、システム・タイマ、割り込み管理機能を実装しています。Arm Cortex-M0+ は、組込みアプリケーションに高性能と低消費電力を提供する、コスト最適化された 32 ビット CPU です。CPU サブシステムの主な特長は次のとおりです。

- Arm Cortex-M0+ CPU により、32kHz～32MHz のクロック周波数をサポート
  - ARMv6-M Thumb 命令セット (リトル・エンディアン)、シングル・サイクル 32×32 乗算命令付き
  - Arm シングル・サイクル IO ポートを経由して、GPIO レジスタにシングル・サイクルでアクセス
- シーケンシャル・コード実行を改善するためのプリフェッチ・ロジックと、2 つの 64 ビット・キャッシュ・ラインを備えた I キャッシュ
- 24 ビットのダウン・カウンタと自動リロード機能を備えたシステム・タイマ (SysTick)
- 4 つのプログラム可能な優先レベルとテール・チェーンを備えたネスト型ベクタ割り込みコントローラ (NVIC)
- 割り込みレイテンシを短縮するためのジャンプ・インデックスを備えた、割り込み源全体を拡張するための割り込みグループ

8.2 動作モード

MSPM0L MCU には 5 つのメイン動作モード (電力モード) があり、アプリケーションの要件に基づいてデバイスの消費電力を最適化できます。消費電力を低減するためのモードは次のとおりです。RUN、SLEEP、STOP、STANDBY、SHUTDOWN。CPU は RUN モードではコードをアクティブに実行しています。ペリフェラル割り込みイベントにより、デバイスを SLEEP、STOP、または STANDBY モードから RUN モードにウェークアップできます。SHUTDOWN モードでは、内部コア・レギュレータが完全にディスエーブルされ、消費電力が最小化されます。また、NRST、SWD、または特定の IO でのロジック・レベルの一致によってのみウェークアップが可能です。RUN、SLEEP、STOP、STANDBY の各モードには、複数の構成可能なポリシー・オプション (例：RUN.x) も含まれており、性能と消費電力のバランスを確保できます。

性能と消費電力のバランスをさらに高めるために、MSPM0L デバイスには次の 2 つの電力ドメインが実装されています。PD1 (CPU、メモリ、高性能ペリフェラル用) と PD0 (低速、低消費電力ペリフェラル用)。PD1 は、RUN モードと SLEEP モードで常に電源が供給されますが、他のすべてのモードではディスエーブルになります。PD0 は、RUN、SLEEP、STOP、STANDBY の各モードで常に電源が供給されます。SHUTDOWN モードでは、PD1 と PD0 の両方がディスエーブルになります。

8.2.1 動作モード別の機能

各動作モードでサポートされている機能を、表 8-1 に示します。

機能キー：

- **EN**：その機能は、指定されたモードでイネーブルされます。
- **DIS**：その機能は、指定されたモードでディセーブル (クロックと電源のどちらかが遮断) されますが、その機能の設定は保持されます。
- OPT：その機能は、指定されたモードでは任意であり、イネーブルなときはイネーブルのままです。
- **NS**：その機能は、指定されたモードで自動的にはディセーブルされませんが、サポートされません。
- **OFF**：その機能は、指定されたモードで完全に電源がオフになり、設定情報は保持されません。

Copyright © 2024 Texas Instruments Incorporated

表 8-1. 動作モード別のサポートされている機能

動作モード		RUN			SLEEP			STOP			STANDBY		
		RUN0	RUN1	RUN2	SLEEP0	SLEEP1	SLEEP2	STOP0	STOP1	STOP2	STANDBY0	STANDBY1	SHUTDOWN
発振器	SYSOSC	EN	EN	DIS	EN	EN	DIS	OPT(1)	EN	DIS	DIS	DIS	OFF
	LFOSC	EN											OFF
クロック	CPUCLK	32M	32k	32k	DIS								OFF
	MCLK から PD1 へ	32M	32k	32k	32M	32k	32k	DIS					OFF
	ULPCLK から PD0 へ	32M	32k	32k	32M	32k	32k	4M(1)	4M	32k		DIS	OFF
	ULPCLK から TIMG0/1 へ	32M	32k	32k	32M	32k	32k	4M(1)	4M	32k			OFF
	MFCLK	OPT	DIS		OPT	DIS		OPT		DIS			OFF
	LFCLK	32k										DIS	OFF
	LFCLK から TIMG0/1 へ	32k											OFF
	MCLK モニタ	OPT										DIS	OFF
PMU	POR モニタ	EN											
	BOR モニタ	EN											OFF
	コア・レギュレータ	高駆動能力						中駆動能力			低駆動能力		OFF
コア機能	CPU	EN			DIS								OFF
	DMA	OPT						NS (トリガをサポート)					OFF
	フラッシュ	EN						DIS					OFF
	SRAM	EN						DIS					OFF
PD1 ペリフェラル	SPI0	OPT						DIS					OFF
	CRC	OPT						DIS					OFF
PD0 ペリフェラル	TIMG0/1	OPT											OFF
	TIMG2/4	OPT										OPT(2)	OFF
	UART0/1	OPT										OPT(2)	OFF
	I2C0/1	OPT										OPT(2)	OFF
	GPIOA	OPT										OPT(2)	OFF
	WWDT0	OPT										DIS	OFF
アナログ	ADC0	OPT								NS (トリガをサポート)			OFF
	OPA0/1	OPT	NS		OPT	NS		OPT		NS			OFF
	GPAMP	OPT								NS			OFF
	COMP0	OPT	OPT (ULP)		OPT	OPT (ULP)		OPT		OPT (ULP)			OFF
IOMUX および IO ウェークアップ		EN											DIS (ウェーク付き)
ウェーク源		N/A			任意の IRQ			PD0 IRQ					IOMUX、NRST、SWD

(1) RUN1 から STOP0 に遷移した場合 (SYSOSC がイネーブルで、MCLK は LFCLK から供給)、RUN1 のときと同様に SYSOSC はイネーブルに維持され、ULPCLK は 32kHz に維持されます。RUN2 から STOP0 に遷移した場合 (SYSOSC がディセーブルで、MCLK は LFCLK から供給)、RUN2 のときと同様に SYSOSC はディセーブルに維持され、ULPCLK は 32kHz に維持されます。

(2) STANDBY に STANDBY1 のポリシーを使用する場合、TIMG0 と TIMG1 のみがクロック駆動されます。その他の PD0 ペリフェラルは、外部アクティビティが発生した際に非同期高速クロック要求を生成できますが、アクティブにクロック供給されません。

8.3 パワー マネージメント ユニット (PMU)

パワー マネージメント ユニット (PMU) は、本デバイスのための内部的に安定化されたコア電源を生成し、また外部電源 (VDD) の監視を行います。PMU は、PMU 自体とアナログ ペリフェラルで使用されるバンドギャップ基準電圧も内蔵しています。PMU の主な特長は次のとおりです。

- パワーオン リセット (POR) 電源モニタ
- ブラウンアウト リセット (BOR) 電源モニタ、プログラム可能な 3 つのスレッショルドを使った早期警告機能付き
- RUN、SLEEP、STOP、STANDBY 動作モードをサポートするコア レギュレータにより、性能と消費電力を動的に最適化
- パリティ保護されたトリムにより、パワー マネージメント トリムが破損した際、パワーオン リセット (POR) を直ちに生成

詳細については、*『MSPM0 L シリーズ 32MHz マイクロコントローラ テクニカル リファレンス マニュアル』*の「PMU」の章を参照してください。

8.4 クロック・モジュール (CKM)

クロック・モジュールは次の発振器を備えています。

- **LFOSC**：内部低周波数発振器 (32kHz)
- **SYSOSC**：内部高周波数発振器 (4MHz または 32MHz (出荷時に調整)、16MHz または 24MHz (ユーザーによる調整))

プロセッサ、バス、ペリフェラルで使用するために、クロック・モジュールによって次のクロックが分配されます。

- **MCLK**：PD1 ペリフェラルのメイン・システム・クロック。SYSOSC または LFCLK から派生。RUN および SLEEP モードでアクティブ。
- **CPUCLK**：プロセッサのクロック (MCLK から派生)。RUN モードでアクティブ。
- **ULPCLK**：PD0 ペリフェラル用の超低消費電力クロック。RUN、SLEEP、STOP、STANDBY モードでアクティブ。
- **MFCLK**：ペリフェラル用の 4MHz 固定中周波数クロック。RUN、SLEEP、STOP モードで使用可能。
- **LFCLK**：ペリフェラルまたは MCLK 用の 32kHz 固定低周波数クロック。RUN、SLEEP、STOP、STANDBY モードでアクティブ。
- **ADCCLK**：ADC のクロック。RUN、SLEEP、STOP モードで使用可能。
- **CLK_OUT**：クロックを外部に出力するために使用。RUN、SLEEP、STOP、STANDBY モードで使用可能。

詳細については、『MSPM0 L シリーズ 32MHz マイクロコントローラ・テクニカル・リファレンス・マニュアル』の「CKM」の章を参照してください。

8.5 DMA

ダイレクト・メモリ・アクセス (DMA) コントローラを使うと、CPU を介さずに、1 つのメモリ・アドレスから別のメモリ・アドレスにデータを移動できます。たとえば、DMA を使って ADC 変換メモリから SRAM にデータを移動できます。DMA を使用すると、ペリフェラルとの間でデータをやりとりするとき、CPU をウェークアップする必要がなく、低消費電力モードのまま維持できるため、システムの消費電力を削減できます。

これらのデバイスの DMA は、以下の主な機能をサポートしています。

- 3 つの独立した DMA 転送チャネル
  - 1 つのフル機能チャネル (DMA0)。繰り返し転送モードをサポートします。
  - 2 つの基本チャネル (DMA1、DMA2)。シングル転送モードをサポートします。
- DMA チャネルの優先度を設定可能
- バイト (8 ビット)、短いワード (16 ビット)、ワード (32 ビット)、長いワード (64 ビット)、バイトとワードの混合の転送機能
- 最大 64k のブロック・サイズのすべてのデータ・タイプの転送をサポートする転送カウンタ
- DMA 転送トリガの選択を設定可能
- その他のチャネルにサービスを提供するためのアクティブ・チャネル中断
- ピンポン・バッファ・アーキテクチャのための早期割り込み生成
- 別のチャネルでのアクティビティ完了時のチャネルのカスケード化

Copyright © 2024 Texas Instruments Incorporated

- ストライド・モードによりデータの再編成をサポート

表 8-2 に、DMA メモリ・マップ・レジスタの DMATCTL.DMATSEL 制御ビットを使って設定された DMA で利用可能なトリガの一覧を示します。

表 8-2. DMA のトリガの割り当て

TRIGGER 0:6	ソース	TRIGGER 7:13	ソース
0	ソフトウェア	7	I2C1 パブリッシャ 2
1	一般サブスクライバ 0 (FSUB_0)	8	SPI0 パブリッシャ 1
2	一般サブスクライバ 1 (FSUB_1)	9	SPI0 パブリッシャ 2
3	ADC0 パブリッシャ 2	10	UART0 パブリッシャ 1
4	I2C0 パブリッシャ 1	11	UART0 パブリッシャ 2
5	I2C0 パブリッシャ 2	12	UART1 パブリッシャ 1
6	I2C1 パブリッシャ 1	13	UART1 パブリッシャ 2

8.6 イベント

イベント・マネージャは、1 つのエンティティ (ペリフェラルなど) から別のエンティティ (第 2 のペリフェラル、DMA、CPU など) にデジタル・イベントを転送します。イベント・マネージャは、静的なルートとプログラマブルなルートの組み合わせを含むイベント・ファブリックによって相互接続された一連の定義済みイベント・パブリッシャ (ジェネレータ) およびサブスクライバ (レシーバ) によるイベント転送を実装しています。

イベント・マネージャによって転送されるイベントには、以下が含まれます。

- 割り込み要求 (IRQ) として CPU に転送されるペリフェラル・イベント (静的イベント)
  – 例:CPU に送られる GPIO 割り込み
- DMA トリガ (DMA イベント) として DMA に転送されるペリフェラル・イベント
  – 例:DMA 転送を要求するための、DMA への UART データ受信トリガ
- ハードウェアでの動作を直接トリガするため、別のペリフェラルに転送されるペリフェラル・イベント (汎用イベント)
  – 例:TIMx タイマ・ペリフェラルが ADC サブスクライバ・ポートに周期的イベントを発行し、ADC がこのイベントを使ってサンプリング開始をトリガする。

詳細については、『MSPM0 L シリーズ 32MHz マイクロコントローラ・テクニカル・リファレンス・マニュアル』の「イベント」の章を参照してください。

表 8-3. 汎用イベント・チャネル

一般的なルートは、1:1 ルートと 1:2 スプリッタ・ルートのどちらかです。これらのルートでは、イベントを発行しているペリフェラルは、利用可能な複数の汎用ルート・チャネルの 1 つを使ってそのイベントを別の 1 つのエンティティ (スプリッタ・ルートの場合は複数のエンティティ) に公開するように構成されています。エンティティとは、別のペリフェラル、汎用 DMA トリガ・イベント、汎用 CPU イベントを指します。

CHANID	汎用ルート・チャネルの選択	チャネル・タイプ
0	汎用イベント・チャネルが選択されていない。	N/A
1	汎用イベント・チャネル 1 が選択されている。	1:1
2	汎用イベント・チャネル 2 が選択されている。	1:1
3	汎用イベント・チャネル 3 が選択されている。	1:2 (スプリッタ)

8.7 メモリ

8.7.1 メモリ構成

デバイスのメモリ・マップを、以下の表に要約します。メモリ領域の詳細については、『MSPM0 L シリーズ 32MHz マイクロコントローラ・テクニカル・リファレンス・マニュアル』の「プラットフォーム・メモリ・マップ」の章を参照してください。

表 8-4. メモリ構成

メモリ領域	サブ領域	MSPM0L1304	MSPM0L1305	MSPM0L1306
コード (フラッシュ)	MAIN (3)	16KB - 8B 0x0000.0000～0x0000.3FF8	32KB - 8B(1) 0x0000.0000～ 0x0000.7FF8	64KB - 8B(1) 0x0000.0000～ 0x0000.FFF8
	MAIN のエイリアス (2) (3)	0x0040.0000～0x0040.3FF8	0x0040.0000～ 0x0040.7FF8	0x0040.0000～ 0x0040.FFF8
SRAM (SRAM)	SRAM	2KB 0x2000.0000～0x2000.0800	4KB 0x2000.0000～ 0x2000.1000	4KB 0x2000.0000～0x2000.1000
	SRAM のエイリアス (2)	0x2000.0000～0x2000.0800	0x2000.0000～ 0x2000.1000	0x2000.0000～0x2000.1000
ペリフェラル	ペリフェラル	0x4000.0000～0x40FF.FFFF	0x4000.0000～ 0x40FF.FFFF	0x4000.0000～ 0x40FF.FFFF
	MAIN (3)	0x0000.0000～0x0000.3FF8	0x0000.0000～ 0x0000.7FF8	0x0000.0000～ 0x0000.FFF8
	MAIN のエイリアス (2) (3)	0x0040.0000～0x0040.3FF8	0x0040.0000～ 0x0040.7FF8	0x0040.0000～ 0x0040.FFF8
	NONMAIN	512 バイト 0x41C0.0000～ 0x41C0.0200	512 バイト 0x41C0.0000～ 0x41C0.0200	512 バイト 0x41C0.0000～ 0x41C0.0200
	NONMAIN のエイリアス (2)	0x41C1.0000～ 0x41C1.0200	0x41C1.0000～ 0x41C1.0200	0x41C1.0000～ 0x41C1.0200
	FACTORY	0x41C4.0000～ 0x41C4.0080	0x41C4.0000～ 0x41C4.0080	0x41C4.0000～ 0x41C4.0080
	FACTORY のエイリアス (2)	0x41C5.0000～ 0x41C5.0080	0x41C5.0000～ 0x41C5.0080	0x41C5.0000～ 0x41C5.0080
サブシステム		0x6000.0000～0x7FFF.FFFF	0x6000.0000～ 0x7FFF.FFFF	0x6000.0000～ 0x7FFF.FFFF
システム PPB		0xE000.0000～ 0xE00F.FFFF	0xE000.0000～ 0xE00F.FFFF	0xE000.0000～ 0xE00F.FFFF

(1) フラッシュ・メモリの上位 32KB (アドレス 0x0000.0000～0x0000.8000) の書き込み / 消去サイクルは最大 100000 回です。
(2) メモリのエイリアスは、対応するメモリ領域と同じメモリ領域を読み取ります。ECC を備えたデバイスとの互換性を維持するために、メモリのエイリアスが備わっています
(3) フラッシュ領域の最後の 8 バイトのいずれかに CPU がアクセスすると、ハード・フォルトが発生します。これは、プリフェッチ・ロジックが 1 フラッシュ・ワード (64 ビット) 先の読み取りを試み、無効なメモリ位置の読み取りが行われるためです。

8.7.2 ペリフェラル・ファイル・マップ

使用可能なペリフェラルと、各ペリフェラルのレジスタ・ベース・アドレスの一覧を、表 8-5 に示します。

表 8-5. ペリフェラルのまとめ

ペリフェラル名	ベース・アドレス	サイズ
ADC0	0x40004000	0x2000
COMP0	0x40008000	0x2000
OPA0	0x40020000	0x2000
OPA1	0x40022000	0x2000
VREF	0x40030000	0x2000
WWDT0	0x40080000	0x2000
TIMG0	0x40084000	0x2000
TIMG1	0x40086000	0x2000
TIMG2	0x40088000	0x2000
TIMG4	0x4008C000	0x2000

Copyright © 2024 Texas Instruments Incorporated

表 8-5. ペリフェラルのまとめ (続き)

ペリフェラル名	ベース・アドレス	サイズ
GPIO0	0x400A0000	0x2000
SYSCTL	0x400AF000	0x3000
DEBUGSS	0x400C7000	0x2000
EVENT	0x400C9000	0x3000
NVMNW	0x400CD000	0x2000
I2C0	0x400F0000	0x2000
I2C1	0x400F2000	0x2000
UART1	0x40100000	0x2000
UART0	0x40108000	0x2000
MCPUSS	0x40400000	0x2000
WUC	0x40424000	0x1000
IOMUX	0x40428000	0x2000
DMA	0x4042A000	0x2000
CRC	0x40440000	0x2000
SPI0	0x40468000	0x2000
ADC0 (1)	0x4055A000	0x1000

(1) ADC0 メモリ・マップ・レジスタのエイリアス領域。

8.7.3 ペリフェラルの割り込みベクタ

表 8-6 に、このデバイス内の各ペリフェラルの IRQ 番号と割り込みグループ番号を示します。

表 8-6. 割り込みベクタ番号

ペリフェラル名	NVIC IRQ	グループ IIDX
WWDT0	0	0
DEBUGSS	0	2
NVMNW	0	3
EVENT SUB PORT0	0	4
EVENT SUB PORT1	0	5
SYSCTL	0	6
GPIO0	1	0
COMP0	1	2
TIMG1	2	–
ADC	4	–
SPI0	9	–
UART1	13	–
UART0	15	–
TIMG0	16	–
TIMG2	18	–
TIMG4	20	–
I2C0	24	–
I2C1	25	–
DMA	31	–

Copyright © 2024 Texas Instruments Incorporated

8.8 フラッシュ・メモリ

実行可能なプログラム・コードとアプリケーション・データを格納するため、1 バンクの不揮発性フラッシュ・メモリが備わっています。

フラッシュの主な特長は次のとおりです。

- 推奨電源電圧範囲全体にわたって、インサーキットでの書き込み / 消去動作をサポート
- 1KB の小さなセクタ・サイズ (1KB の最小消去分解能)
- フラッシュ・メモリの下位 32KB で最大 100000 回の書き込み / 消去サイクル、残りのフラッシュ・メモリで最大 10000 回の書き込み / 消去サイクルをサポート (32KB 以下のデバイスでは、フラッシュ・メモリ全体で 100000 サイクルをサポート)

フラッシュ・メモリの詳細な説明については、『*MSPM0 L シリーズ 32MHz マイクロコントローラ・テクニカル・リファレンス・マニュアル*』の「NVM」の章を参照してください。

8.9 SRAM

MSPM0Lxx MCU には、低消費電力の高性能 SRAM が搭載されており、デバイスでサポートされている CPU 周波数範囲全体にわたってゼロ待機状態に対応します。SRAM は、コードに加えて、呼び出しスタック、ヒープ、グローバル・データなどの揮発性情報を格納するために使用できます。SRAM の内容は、RUN、SLEEP、STOP、STANDBY 動作モードでは完全に保持され、SHUTDOWN モードでは失われます。書き込み保護メカニズムが搭載されているため、アプリケーションは SRAM の一部に意図しない変更が加わることを防止できます。SRAM 書き込み保護は、実行可能コードを SRAM に配置する際、CPU と DMA のどちらかが意図せずコードを上書きしないように保護するのに役立ちます。SRAM にコードを配置すると、ゼロ待機状態動作と低消費電力を実現することで、重要なループの性能を向上できます。

8.10 GPIO

汎用入出力 (GPIO) ペリフェラルを使用すると、アプリケーションは本デバイスのピンを経由してデータを読み書きできます。ポート A GPIO ペリフェラルを使用することで、これらのデバイスは最大 28 本の GPIO ピンをサポートします。

GPIO モジュールの主な特長は次のとおりです。

- CPU からの 0 待機状態の MMR アクセス
- ソフトウェアでのリード・モディファイ・ライト構造を必要とせずに、複数のビットのセット、クリア、トグルが可能
- 任意の GPIO ポートによる、STOP および STANDBY モードからの低消費電力ウェークアップを可能にする「FastWake」機能
- ユーザー制御の入力フィルタリング

8.11 IOMUX

IOMUX ペリフェラルは IO パッド構成を可能にし、デバイス・ピンとの間のデジタル・データの流れを制御します。IOMUX の主な特長は次のとおりです。

- IO パッド構成レジスタにより、プログラム可能な駆動強度、速度、プルアップまたはプルダウンなどが可能
- デジタル・ピン多重化により、複数のペリフェラル信号を同じ IO パッドに接続可能
- PINCM レジスタを使って、ピンの機能と能力をユーザー設定可能

詳細については、『MSPM0 L シリーズ 32MHz マイクロコントローラ・テクニカル・リファレンス・マニュアル』の「IOMUX」の章を参照してください。

8.12 ADC

これらのデバイスの 12 ビット・アナログ / デジタル・コンバータ (ADC) モジュールは、シングルエンド入力による高速 12 ビット変換をサポートしています。

ADC の主な特長は次のとおりです。

- 12 ビットの出力分解能、最大 1.68Msps、11 ビットを超える ENOB
- ハードウェア平均化により、105ksps で 14 ビットの変換分解能を実現

 Copyright © 2024 Texas Instruments Incorporated

- 最大 10 の外部入力チャネル
- 温度センシング、電源監視、アナログ信号チェーン (OPA、GPAMP などとの相互接続) 用の内部チャネル
- ソフトウェアで選択可能なリファレンス電圧：
  - 1.4V と 2.5V に設定可能な ADC 専用の内部リファレンス電圧 (VREF)
  - MCU 電源電圧 (VDD)
  - VREF+ および VREF- ピンを経由して ADC に供給される外部リファレンス電圧
- RUN、SLEEP、STOP モードで動作し、STANDBY モードからのトリガをサポート

表 8-7. ADC0 のチャネル割り当て

CHANNEL[0:7]	信号名	CHANNEL[8:15]	信号名 (1) (2)
0	A0	8	A8
1	A1	9	A9
2	A2	10	–
3	A3	11	*温度センサ*
4	A4	12	*OPA0 出力*
5	A5	13	*OPA1 出力*
6	A6	14	*GPAMP 出力*
7	A7	15	*電源 / バッテリ・モニタ*

(1) 信号名が斜体で記載された信号は、SoC の内部の信号です。これらの信号は、内部ペリフェラルの相互接続に使用されます。
(2) デバイスのアナログ接続の詳細については、セクション 8.24 を参照してください。

詳細については、『MSPM0 L シリーズ 32MHz マイクロコントローラ・テクニカル・リファレンス・マニュアル』の「ADC」の章を参照してください。

8.13 温度センサ

温度センサは、デバイス温度に対して直線的に変化する電圧を出力します。温度センサの出力は、温度からデジタルへの変換を可能にするため、ADC 入力チャネルの 1 つに内部的に接続されています。

温度センサのユニットごとの 1 点キャリブレーション値は、ファクトリ定数メモリ領域に格納されています。このキャリブレーション値は、工場調整温度 (TS_{TRIM}) において VDD = 3.3V として 12 ビット モードで測定された温度センサ値に対応する ADC 変換結果 (ADC コード形式) を表します。上記の測定において、ADC および VREF の構成は次のとおりです。RES = 0 (12 ビット モード)、VRSEL = 0h (VDD)、ADC t_{Sample} = 12.5μs。このキャリブレーション値を温度センサの温度係数 (TS_c) と組み合わせて使用することで、本デバイスの温度を推定できます。出荷時調整値を使って本デバイスの温度を推定する方法については、*『MSPM0 L シリーズ 32MHz マイクロコントローラ テクニカル リファレンス マニュアル』*の「温度センサ」のセクションを参照してください。

8.14 VREF

これらのデバイスのリファレンス電圧モジュール (VREF) は、オンボード ADC 専用の構成可能なリファレンス電圧バッファを内蔵しています。これらのデバイスは、より高い精度を必要とするアプリケーション向けに、外部リファレンス電圧の接続にも対応しています。

VREF の主な特長は次のとおりです。

- ADC 用に、1.4V と 2.5V の内部リファレンス電圧をユーザーが選択可能
- 内部リファレンス電圧は、最大 200ksps の ADC 動作をサポート
- ADC 用の外部リファレンス、および VREF+ および VREF- デバイス・ピン上の他のアナログ・ペリフェラルを取り込むためのサポート (24、28、32 ピンのパッケージのみ)

詳細については、*『MSPM0 L シリーズ 32MHz マイクロコントローラ・テクニカル・リファレンス・マニュアル』*の「VREF」の章を参照してください。

Copyright © 2024 Texas Instruments Incorporated

8.15 COMP

本デバイスのコンパレータ ペリフェラルは、2 つの入力端子の電圧レベルを比較し、この比較に基づいてデジタル信号を出力します。COMP は、以下の主な機能をサポートしています。

- ヒステリシスをプログラム可能
- リファレンス電圧をプログラム可能:
  - 8 ビット リファレンス電圧 DAC を内蔵。その出力は、出力バッファとして OPA 入力端子に内部的に接続することもできます。
- 動作モードを設定可能:
  - 高速モード (タイミング重視のアプリケーションで伝搬遅延を最小限に抑えるため)
  - 低消費電力モード (最小限の消費電力で低速で変化する信号を監視するため)
- 出力グリッチ フィルタ遅延をプログラム可能
- 最小のものを除くすべての低消費電力モードからのデバイスの出力ウェークアップをサポート
- コンパレータ レジスタの IPSEL および IMSEL ビットを使用して、デバイス ピンまたは内部アナログ モジュールからコンパレータ チャネル入力を選択できます。

表 8-8. COMP0 の入力チャネルの選択 (1)

IPSEL/IMSEL ビット	正端子入力	負端子入力
0x0	COMP0_IN0+	COMP0_IN0-
0x1	COMP0_IN1+	COMP0_IN1-
0x6	OPA1 出力	OPA0 出力

(1) デバイスのアナログ接続の詳細については、セクション 8.24 を参照してください。

表 8-9. COMP0 ブランキング ソース表

CTL2.BLANKSRC	ブランキング ソースの選択
0x0	ブランキング ソースがディセーブル
0x1	TIMG0.CC1
0x2	TIMG1.CC1
0x3	TIMG2.CC1

詳細については、『MSPM0 L シリーズ 32MHz マイクロコントローラ テクニカル リファレンス マニュアル』の「COMP」の章を参照してください。

8.16 CRC

巡回冗長検査 (CRC) モジュールは入力データ・シーケンスのシグネチャを提供します。CRC モジュールの主な特長は次のとおりです。

- CRC16-CCITT に基づく 16 ビット CRC をサポート
- CRC32-ISO3309 に基づく 32 ビット CRC をサポート
- ビット・リバーサルをサポート

詳細については、*『MSPM0 L シリーズ 32MHz マイクロコントローラ・テクニカル・リファレンス・マニュアル』*の「CRC」の章を参照してください。

8.17 GPAMP

汎用アンプ (GPAMP) ペリフェラルは、レール・ツー・レールの入力と出力を備えたチョッパ安定化汎用オペアンプです。

GPAMP は、以下の機能をサポートしています。

- ソフトウェアで選択可能なチョッパ安定化
- レール・ツー・レール入出力

 Copyright © 2024 Texas Instruments Incorporated

- プログラム可能な内部ユニティ・ゲイン帰還ループ

詳細については、『*MSPM0 L シリーズ 32MHz マイクロコントローラ・テクニカル・リファレンス・マニュアル*』の「ADC」の章を参照してください。

8.18 OPA

これらのデバイスのゼロドリフト オペアンプ (OPA) (OPA0、OPA1) は、レール ツー レール入力 / 出力とプログラム可能なゲイン段帰還ループを備えたチョッパ安定化オペアンプです。

OPA ペリフェラルは、以下の主な機能をサポートしています。

- 精度とドリフト性能を向上させる、ソフトウェアで選択可能なゼロドリフト チョッパ安定化機能
- オフセット誤差を除去するための工場出荷時トリミング
- センサの状態を監視するための内蔵バーンアウト電流源 (BCS)
- 最大 32 倍のプログラマブル ゲイン アンプ (PGA)

各種アナログ信号チェーン アンプ構成 (汎用、反転、非反転、ユニティ ゲイン、カスケード、非反転カスケード、差動など) をサポートするため、OPA は構成可能な入力マルチプレクサ (P-MUX、N-MUX、M-MUX) を備えています。各 OPA の入力チャネルの割り当てを、以下の表に示します。

デバイスのアナログ接続の詳細については、セクション 8.24 を参照してください。

詳細については、『MSPM0 L シリーズ 32MHz マイクロコントローラ テクニカル リファレンス マニュアル』の「OPA」の章を参照してください。

8.19 I2C

これらのデバイスの I²C (Inter-Integrated Circuit Interface) ペリフェラルは、バス上のその他の I2C デバイスとの双方向データ転送を行い、次の主な機能をサポートしています。

- 複数の 7 ビット・ターゲット・アドレスを持つ 7 ビットおよび 10 ビット・アドレッシング・モード
- マルチ・コントローラのトランスミッタ / レシーバ・モード
- 設定可能クロック・ストレッチング付きターゲット・レシーバ / トランスミッタ・モード
- スタンダード・モード (Sm) をサポート (最大 100kbit/s のビット・レート)
- ファスト・モード (Fm) をサポート (最大 400kbit/s のビット・レート)
- ファスト・モード・プラス (Fm+) をサポート (最大 1Mbit/s のビット・レート)
  – オープン・ドレイン IO (ODIO) のみでサポート
- 独立した送信および受信 FIFO による DMA データ転送のサポート
- PEC、ARP、タイムアウト検出、ホスト・サポートにより SMBus 3.0 をサポート
- アドレス一致で低消費電力モードからウェークアップ
- 入力信号のグリッチを抑制するためのアナログおよびデジタル・グリッチ・フィルタをサポート
- 8 エントリの送信および受信 FIFO

詳細については、『MSPM0 G シリーズ 80MHz マイクロコントローラ・テクニカル・リファレンス・マニュアル』『MSPM0 L シリーズ 32MHz マイクロコントローラ・テクニカル・リファレンス・マニュアル』の「I2C」の章を参照してください。

8.20 SPI

これらのデバイスのシリアル ペリフェラル インターフェイス (SPI) ペリフェラルは、以下の主な機能をサポートしています。

- コントローラ モードとペリフェラル モードの両方で、ULPCLK/2 のビット レートと最大 16Mbits/s をサポート。
- コントローラまたはペリフェラルとして構成可能
- コントローラとペリフェラルの両方に対応する構成可能なチップ セレクト
- プログラマブルなクロック プリスケーラおよびビット レート
- データ フレーム サイズを 4 ビット～16 ビット (コントローラ モード)、7 ビット～16 ビット (ペリフェラル モード) にプログラム可能
- PACKEN 機能をサポート、2 つの 16 ビット FIFO エントリを 32 ビット値にパックして CPU 性能を向上

- DMA データ転送をサポートする送信および受信 FIFO (エントリごとに 16 ビットの 4 エントリ)
- テキサス・インスツルメンツ モード、Motorola モード、National Microwire 形式をサポート

詳細については、『*MSPM0 L シリーズ 32MHz マイクロコントローラ テクニカル リファレンス マニュアル*』の「SPI」の章を参照してください。

8.21 UART

UART ペリフェラルの主な機能を次に示します。

- スタート、ストップ、およびパリティ用の標準非同期通信ビット
- プログラマブルなシリアル・インターフェイス
  - 5、6、7、または 8 データ・ビット
  - 偶数パリティ・ビット、奇数パリティ・ビット、スティック・パリティ・ビット、およびパリティなしビットの生成 / 検出
  - 1 または 2 ストップ・ビットの生成
  - 改行の検出
  - 入力信号のグリッチ・フィルタ
  - プログラマブルなボーレート生成 (16/8/3 倍オーバーサンプリング機能付き)
  - ローカル相互接続ネットワーク (LIN) モードのサポート
- 独立した送信および受信 FIFO による DAM データ転送のサポート
- 送信および受信ループバック・モード動作をサポート
- サポートされているプロトコルの詳細については、表 8-10 を参照してください

表 8-10. UART の機能

UART の機能	UART0 (拡張)	UART1 (メイン)
STOP および STANDBY モードでアクティブ	あり	あり
送信 FIFO と受信 FIFO を分離	あり	あり
ハードウェア・フロー制御をサポート	あり	あり
9 ビット構成をサポート	あり	あり
LIN モードをサポート	あり	-
DALI をサポート	あり	-
IrDA をサポート	あり	-
ISO7816 スマート・カードをサポート	あり	-
マンチェスター符号化をサポート	あり	-
FIFO の深度	4 エントリ	4 エントリ

詳細については、『*MSPM0 L シリーズ 32MHz マイクロコントローラ・テクニカル・リファレンス・マニュアル*』の「UART」の章を参照してください。

8.22 WWDT

ウィンドウ付きウォッチドッグ・タイマ (WWDT) は、本デバイスの動作 (特にコードの実行) を監視するために使えます。WWDT は、アプリケーション・ソフトウェアが規定された時間の範囲内にウォッチドッグを正常にリセットしなかった場合に、リセットまたは割り込みを生成するために使用できます。WWDT の主な特長は次のとおりです。

- 25 ビット・カウンタ
- プログラマブルなクロック分周回路
- ソフトウェアで選択可能な 8 つのウォッチドッグ・タイマ期間
- ソフトウェアで選択可能な 8 つのウィンドウ・サイズ
- SLEEP モードに入った際の WWDT の自動停止をサポート
- ウォッチドッグ機能を必要としないアプリケーションのためのインターバル・タイマ・モード

Copyright © 2024 Texas Instruments Incorporated

詳細については、『MSPM0 L シリーズ 32MHz マイクロコントローラ・テクニカル・リファレンス・マニュアル』の「WWDT」の章を参照してください。

8.23 タイマ (TIMx)

これらのデバイスのタイマ ペリフェラルは、以下の主な機能をサポートしています。構成の詳細については、表 8-11 を参照してください。

汎用タイマ (TIMGx) 特有の機能には以下が含まれます。

- 16 ビット タイマ、アップ、ダウン、またはアップダウンのカウント モードと反復リロード モード付き
- 選択可能 / 構成可能なクロック ソース
- カウンタ クロック周波数を分周するための 8 ビット プログラマブル プリスケーラ
- 以下のための 2 つの独立したチャネル
  - 出力の比較
  - 入力のキャプチャ
  - PWM 出力
  - ワンショット モード
- 位置決めと移動量検出のための直交エンコーダ インターフェイス (QEI) のサポート
- 同一電力ドメイン内の各種 TIMx インスタンス間の同期とクロス トリガをサポート
- 割り込み / DMA トリガ生成とクロス ペリフェラル (ADC など) トリガ機能をサポート
- ホール センサ入力のためのクロス トリガ イベント ロジック

表 8-11. 各種 TIMG の構成

TIM 名	パワー ドメイン	分解能	プリスケーラ	キャプチャ / 比較チャネル	外部 PWM チャネル	位相負荷	シャドウ負荷	シャドウ CC
TIMG0	PD0	16 ビット	8 ビット	2	2	-	-	-
TIMG1	PD0	16 ビット	8 ビット	2	2	-	-	-
TIMG2	PD0	16 ビット	8 ビット	2	2	-	-	-
TIMG4	PD0	16 ビット	8 ビット	2	2	-	あり	あり

表 8-12. TIMG クロス トリガ マップ

TSEL.ETSEL の選択	TIMG0	TIMG1	TIMG2	TIMG4
0	TIMG0.TRIG0	TIMG0.TRIG0	TIMG0.TRIG0	TIMG0.TRIG0
1	TIMG1.TRIG0	TIMG1.TRIG0	TIMG1.TRIG0	TIMG1.TRIG0
2	TIMG2.TRIG0	TIMG2.TRIG0	TIMG2.TRIG0	TIMG2.TRIG0
3	TIMG4-TRIG0	TIMG4-TRIG0	TIMG4-TRIG0	TIMG4-TRIG0
4～15	予約済み			
16	イベント サブスクライバ ポート 0 (FSUB0)			
17	イベント サブスクライバ ポート 1 (FSUB1)			
18～31	予約済み			

詳細については、『MSPM0 L シリーズ 32MHz マイクロコントローラ テクニカル リファレンス マニュアル』の「タイマ」の章を参照してください。

8.24 デバイスのアナログ接続

本デバイスの内部アナログ接続を、図 8-1 に示します。

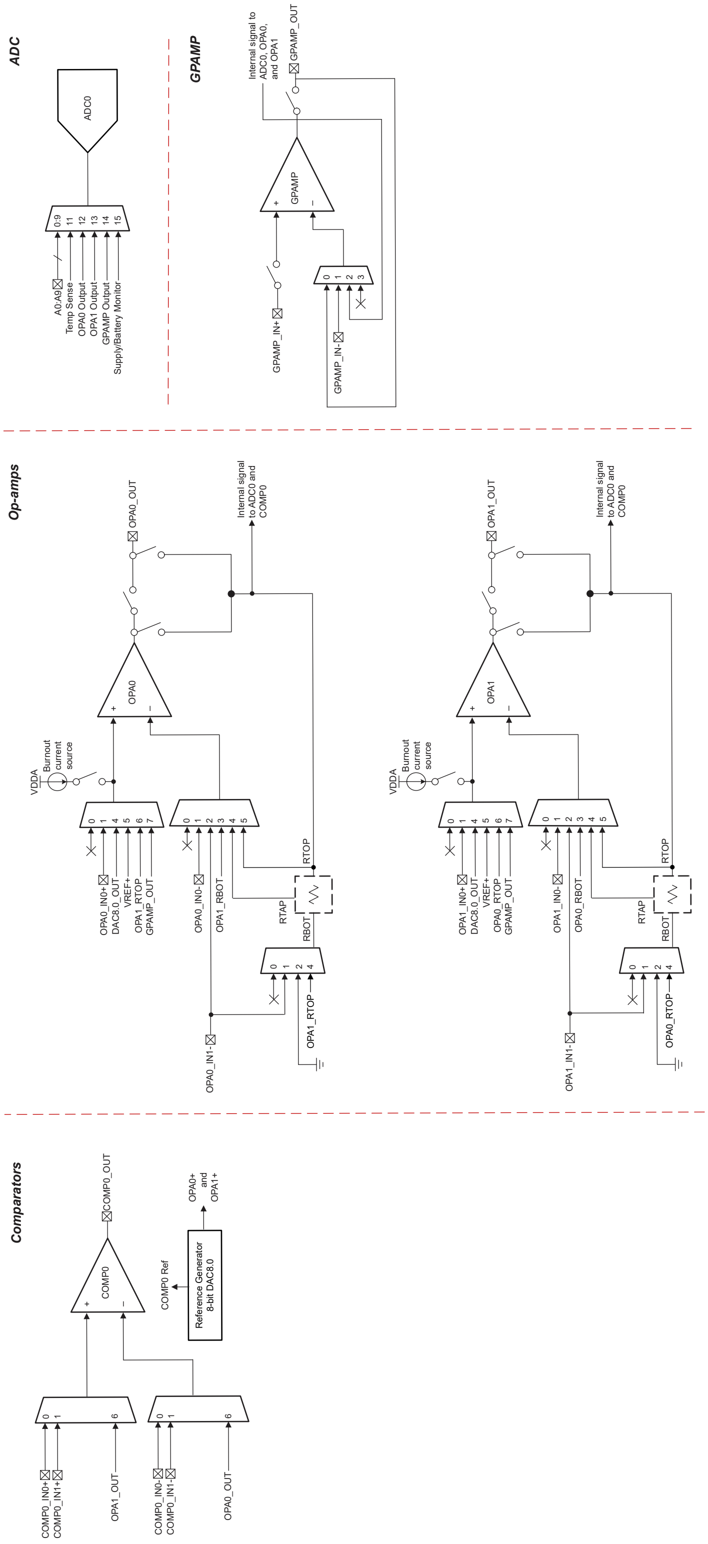


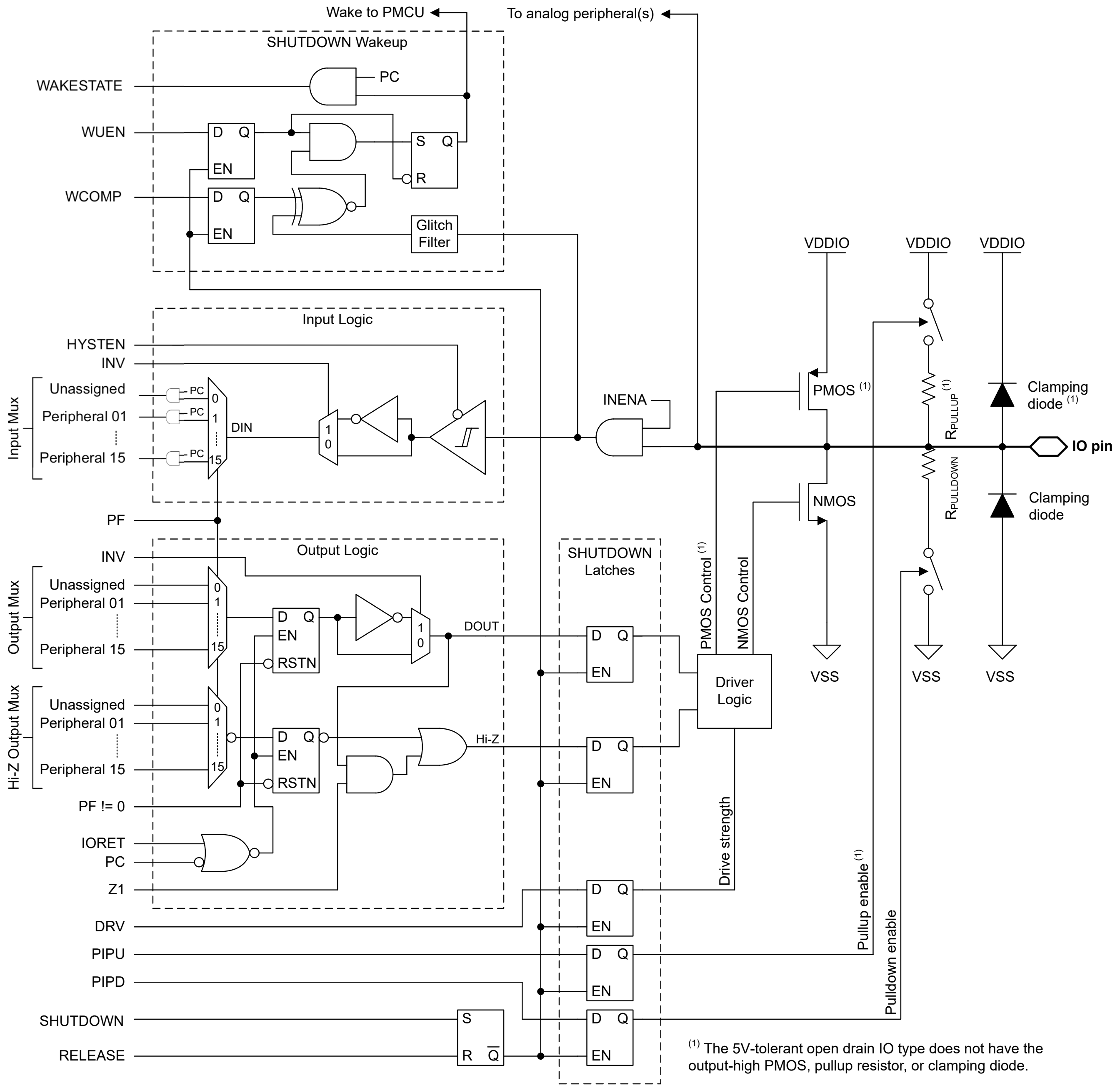
図 8-1. アナログ接続

Copyright © 2024 Texas Instruments Incorporated

8.25 入力 / 出力の回路図

IOMUX は、デジタル IO で使用されるペリフェラル機能の種類の選択を管理し、出力ドライバ、入力経路、SHUTDOWN モードからのウェークアップのためのウェークアップ・ロジックを制御します。詳細については、*『MSPM0 L シリーズ 32MHz マイクロコントローラ・テクニカル・リファレンス・マニュアル』*の「IOMUX」セクションを参照してください。

図 8-2 に、フル機能 IO ピンのミックスド・シグナル IO ピン・スライスの回路図を示します。すべてのピンが、アナログ機能、ウェークアップ・ロジック、駆動強度制御、利用可能なプルアップまたはプルダウン抵抗を備えているとは限りません。特定のピンでサポートされている機能の詳細については、デバイスごとのデータシートを参照してください。



(1) The 5V-tolerant open drain IO type does not have the output-high PMOS, pullup resistor, or clamping diode.

図 8-2. 入力 / 出力の回路図 (上位セット)

8.26 シリアル・ワイヤ・デバッグ・インターフェイス

本デバイス内の各種デバッグ機能を利用できるように、Arm 互換シリアル・ワイヤ・デバッグ・ポート (SW-DP) を利用したシリアル・ワイヤ・デバッグ (SWD) 2 線式インターフェイスが備わっています。MSPM0 デバイスが備えるデバッグ機能の詳細な説明については、テクニカル・リファレンス・マニュアルの「デバッグ」の章を参照してください。

表 8-13. シリアル・ワイヤ・デバッグ・ピンの要件と機能

デバイス信号	方向	SWD 機能
SWCLK	入力	デバッグ・プローブからのシリアル・ワイヤ・クロック
SWDIO	入力 / 出力	双方向 (共有) シリアル・ワイヤ・データ

8.27 ブートストラップ・ローダ (BSL)

ブートストラップ・ローダ (BSL) を使用すると、デバイスの構成も、デバイス・メモリのプログラミングも、UART または I2C シリアル・インターフェイスを介して行うことができます。BSL によるデバイス・メモリへのアクセスと構成は、256 ビットのユーザー定義パスワードで保護されており、必要に応じて、デバイス構成の中で BSL を完全に無効化できます。量産プログラミング用に BSL を使用できるように、テキサス・インスツルメンツによって BSL はデフォルトで有効化されています。

BSL を使用するには、最低 2 本のピンが必要です。それは、BSLRX および BSLTX 信号 (UART の場合) または BSLSCL および BSLSDA 信号 (I^2C の場合) です。さらに、1 本または 2 本の追加ピン (BSL_invoke と NRST) を、外部ホストによるブートローダの制御された呼び出しのために使うこともできます。

有効化されている場合、BSL は次の方法で起動 (開始) されます。

- BSL_invoke ピンの状態が、定義された BSL_invoke のロジック・レベルと一致している場合、ブート・プロセス中に BSL が呼び出されます。本デバイスの高速ブート・モードが有効化されている場合、この呼び出しチェックは省略されます。外部ホストは、呼び出し条件をアサートし、BOOSTRST をトリガするために NRST ピンにリセット・パルスを印加することで、本デバイスが BSL を実行するように指示できます。その後、本デバイスは再起動プロセス中に呼び出し条件を検証し、呼び出し条件がロジック・レベルの期待値と一致している場合、BSL を開始します。
- リセット・ベクトルとスタック・ポインタがプログラミングされていない場合、BSL はブート・プロセス中に自動的に呼び出されます。その結果、テキサス・インスツルメンツから出荷されたブランク・デバイスは、ブート・プロセス中に BSL を呼び出します。BSL_invoke ピンにハードウェア呼び出し条件を与える必要はありません。そのため、シリアル・インターフェイス信号のみで量産プログラミングが可能です。
- BSL エントリ・コマンドを使用して SYSRST を発行することで、アプリケーション・ソフトウェアから BSL を実行時に呼び出すことができます。

表 8-14. BSL ピンの要件と機能

デバイス信号	接続	BSL 機能
BSLRX	UART に必要	UART の受信信号 (RXD)、入力
BSLTX	UART に必要	UART の送信信号 (TXD)、出力
BSLSCL	I2C に必要	I^2C の BSL クロック信号 (SCL)
BSLSDA	I2C に必要	I^2C の BSL データ信号 (SDA)
BSL_invoke	オプション	ブート時に BSL を開始するために使用されるアクティブ High のデジタル入力
NRST	オプション	リセットのトリガとその後の呼び出し信号 (BSL_invoke) のチェックのために使用されるアクティブ Low のリセット・ピン

8.28 デバイス・ファクトリ定数

すべてのデバイスは、アプリケーション・ソフトウェア用に、デバイスの機能を説明する読み取り専用データと、工場から提供された調整情報とを、メモリ内に割り当てられた FACTORY 領域に格納しています。*『MSPM0 L シリーズ 32MHz マイクロコントローラ・テクニカル・リファレンス・マニュアル』*の「ファクトリ定数」の章を参照してください。

Copyright © 2024 Texas Instruments Incorporated

表 8-15. DEVICEID

DEVICEID アドレスは 0x41C4.0004、PARTNUM はビット 12～27、MANUFACTURER はビット 1～11 です。

デバイス	DEVICEID.PARTNUM	DEVICEID.MANUFACTURER
MSPM0L1304	0xBB82	0x17
MSPM0L1305	0xBB82	0x17
MSPM0L1306	0xBB82	0x17

表 8-16. USERID

USERID アドレスは 0x41C4.0008、PART はビット 0～15、VARIANT はビット 16～23 です。

デバイス	型番	バリエーション	デバイス	型番	バリエーション
M0L1306QRHBRQ1	0xDDD3	0xC2	M0L1305QRGERQ1	0x4845	0x74
M0L1306QDGS32RQ1	0xDDD3	0xC2	M0L1305QDGS20RQ1	0x4845	0xB7
M0L1306QDGS28RQ1	0xBB70	0xC2	M0L1305QDYYRQ1	0x4845	0xEC
M0L1306QRGERQ1	0xDDD3	0xC2	M0L1304QRHBRQ1	0xAA4D	0xA9
M0L1306QDGS20RQ1	0xDDD3	0x59	M0L1304QDGS32RQ1	0xAA4D	0x91
M0L1306QDYYRQ1	0xBB70	0x9F	M0L1304QDGS28RQ1	0xAA4D	0xB6
M0L1305QRHBRQ1	0x4845	0x78	M0L1304QRGERQ1	0xAA4D	0x91
M0L1305QDGS32RQ1	0x4845	0x74	M0L1304QDGS20RQ1	0xAA4D	0x91
M0L1305QDGS28RQ1	0x4845	0x74	M0L1304QDYYRQ1	0xAA4D	0xA0

8.29 識別

リビジョンおよびデバイス識別

ハードウェア・リビジョンとデバイスの識別値は、メモリ内に割り当てられた FACTORY 領域に格納されています (「デバイス・ファクトリ定数」セクションを参照)。この領域は、アプリケーション・ソフトウェア用に、デバイスの機能を説明する読み出し専用データと、工場から提供された調整情報とを提供します。詳細については、『MSPM0 L シリーズ 32MHz マイクロコントローラ・テクニカル・リファレンス・マニュアル』の「ファクトリ定数」の章を参照してください。

デバイス・リビジョンおよび識別情報は、本デバイスのパッケージの上面マーキングの一部としても記載されています。デバイスごとの正誤表に、これらのマーキングが記載されています (セクション 10.4 を参照)。

9 アプリケーション、実装、およびレイアウト

9.1 代表的なアプリケーション

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1.1 回路図

テキサス・インスツルメンツは、10µF と 0.1µF の低 ESR セラミック・デカップリング・コンデンサを VDD ピンと VSS ピンの間に接続するとともに、これらのコンデンサを分離する電源ピンにできる限り近づけて配置し (数 mm 以内)、ループ面積を最小限に抑えることをおすすめします。ほとんどのアプリケーションでは 10µF のバルク・デカップリング・コンデンサが推奨値ですが、PCB の設計とアプリケーションの要件に基づいて、必要に応じてこの容量を調整することもできます。たとえば、より値の大きいコンデンサを使用することもできますが、電源レールの立ち上がり時間に影響を及ぼす可能性があります。

デバイスが RESET 状態から開放されてブート・プロセスを開始するには、NRST RESET ピンを VDD (電源レベル) にプルアップする必要があります。ほとんどのアプリケーションでは、外部の 47kΩ プルアップ抵抗を 10nF プルダウン・コンデンサに接続し、NRST ピンを他のデバイスまたはデバッグ・プローブで制御できるようにすることをおすすめします。

SYSOSC 周波数補正ループ (FCL) 回路では、公差 0.1%、温度係数 (TCR) は 25ppm/℃ 以内の外付け 100kΩ 抵抗を、ROSC ピンと VSS の間に取り付けます。この抵抗はリファレンス電流を確立し、補正ループを通して SYSOSC 周波数を安定させます。この抵抗が必要なのは、FCL 機能を使用して高精度を実現する場合で、SYSOSC FCL がイネーブルになっていない場合は必要ありません。FCL モードを使用しない場合、PA2 ピンをデジタル入出力ピンとして使用できます。

VCORE ピンには 0.47µF のタンク・コンデンサが必要で、デバイスのグランドとの距離を最小限に抑えてデバイスの近くに配置する必要があります。他の回路は VCORE ピンに接続しないでください。

5V 対応のオープン・ドレイン (ODIO) では、オープン・ドレイン IO はローサイド NMOS ドライバのみを実装し、ハイサイド PMOS ドライバを実装しないので、I2C および UART 機能に High を出力するためプルアップ抵抗が必要です。5V 対応のオープン・ドレイン IO はフェイルセーフで、VDD が供給されていない場合でも電圧が存在する可能性があります。

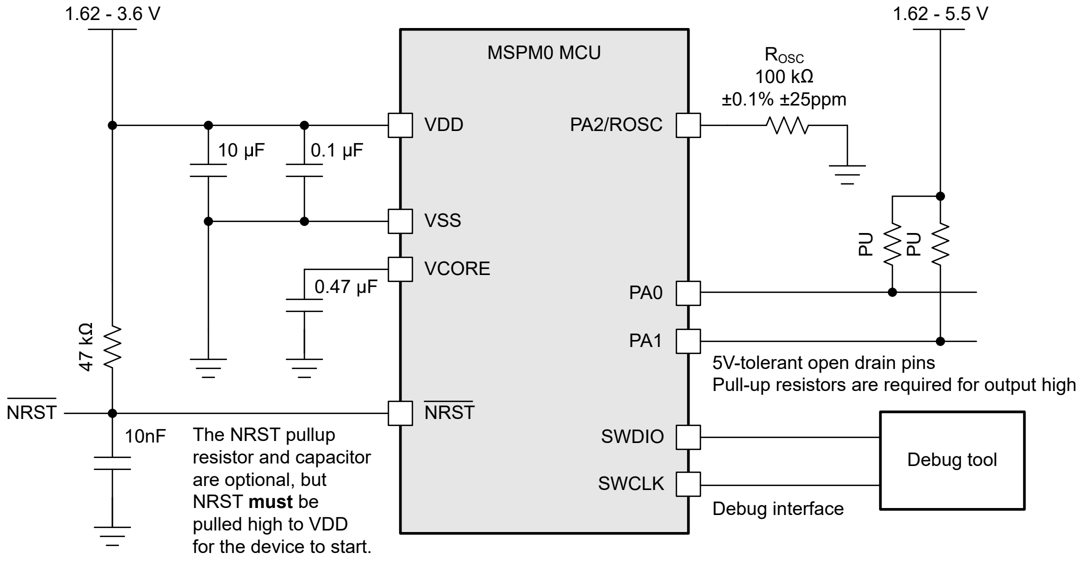


図 9-1. 基本アプリケーションの回路図

Copyright © 2024 Texas Instruments Incorporated

10 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを、以下で紹介します。

10.1 使い始めと次の手順

10.2 デバイス命名規則

製品開発サイクルの段階を示すために、テキサス・インスツルメンツは MSP MCU デバイスとサポート ツールのすべての型番に接頭辞を割り当てています。MSP MCU 車載用ファミリの各番号には、M0、XM0 のいずれかの接頭辞があります。これらの接頭辞は、製品開発の進展段階を表します。段階には、エンジニアリング プロトタイプ (XM0) から、完全認定済みの量産デバイス (M0) までがあります。

X または XMS - 実験段階のデバイスで、最終製品の電気的特性を表しているとは限りません。

M0 - 完全に認定済みの量産版デバイスです。

X および XMS デバイスは、以下の免責事項付きで出荷されます。

「開発中の製品は、社内での評価用です」。MSP デバイスの特性は完全に明確化されており、デバイスの品質と信頼性が十分に示されています。テキサス・インスツルメンツの標準保証が適用されます。プロトタイプ デバイス (X) は、標準的な製品版デバイスに比べて故障率が大きいと予測されます。これらのデバイスは、予測される最終使用時の故障率が未定義であるため、テキサス・インスツルメンツはそれらのデバイスを量産システムで使用しないよう推奨しています。認定済みの量産デバイスのみを使用する必要があります。

テキサス・インスツルメンツのデバイスの命名規則には、デバイス ファミリ名の接尾辞も含まれます。この接尾辞は、温度範囲、パッケージ タイプ、配布形式を示しています。デバイス名の各部の読み方を、図 10-1 に示します。

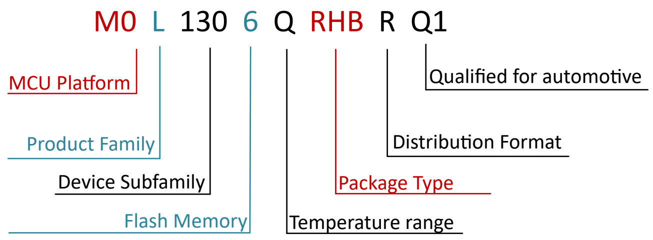


図 10-1. デバイス命名規則

表 10-1. デバイス命名規則

MCU プラットフォーム	M0 = Arm ベース 32 ビット M0+ XM0 = 実験段階のシリコン Arm ベース 32 ビット M0+
製品ファミリ	L = 32MHz の周波数
デバイス サブファミリ	130 = ADC、2 つの OPA、COMP
内部メモリ	4 = 16KB フラッシュ、2KB SRAM 5 = 32KB フラッシュ、4KB SRAM 6 = 64KB フラッシュ、4KB SRAM
温度範囲	Q =-40℃～125℃、AEC-Q100 認定済み
パッケージ タイプ	セクション 5 と www.ti.com/packaging を参照
配布形式	T = 小型リール R = 大型リール マーキングなし = チューブまたはトレイ
認証	Q1=車載アプリケーション向けに認定済み

各種パッケージ タイプの MSP デバイスの注文可能な部品番号については、このデータシートの末尾にあるパッケージ注文情報または ti.com を参照するか、テキサス・インスツルメンツの販売代理店にお問い合わせください。

Copyright © 2024 Texas Instruments Incorporated

10.3 ツールとソフトウェア

設計キットと評価モジュール

MSPM0 LaunchPad 開発キット:LP-MSPM0L1306	業界で最も優れたアナログを内蔵し、コストを最も最適化した汎用 MSPM0 MCU ファミリの開発をただちに開始できます。すべてのデバイス・ピンと機能が見えるようにします。多様な内蔵回路、すぐに使用できるソフトウェア・デモ、オンボード XDS110 デバッグ・プローブ (プログラミング、デバッグ、EnergyTrace™ テクノロジー用) が含まれています。 LaunchPad エコシステムには、機能を拡張するための多数の BoosterPack™ スタッカブル・プラグイン・モジュールが含まれています。

組込みソフトウェア

MSPM0 ソフトウェア開発キット (SDK)	ソフトウェア・ドライバ、ミドルウェア・ライブラリ、資料、ツール、すべての MSPM0 デバイスのための使いやすく簡単なユーザー体験を実現するサンプル・コードが含まれています。

ソフトウェア開発ツール

TI クラウド・ツール	Web ブラウザ上で評価と開発を開始できます。インストールは不要です。クラウド・ツールには、ダウンロード可能なオフライン・バージョンもあります。
TI Resource Explorer	TI SDK へのオンライン・ポータル。CCS IDE または TI クラウド・ツールからアクセスできます。
SysConfig	デバイスとペリフェラルの構成、システム競合の解消、構成コードの生成、ピン多重化設定の自動化のための直感的な GUI。CCS IDE または TI クラウド・ツールからアクセスできます。(オフライン・バージョン)
MSP Academy	さまざまなトピックを網羅するトレーニング・モジュールを使用して MSPM0 MCU プラットフォームについて学習するための優れた出発点です。TIRex の一部です。
GUI Composer	コードをまったく必要としない完全統合型アナログ信号チェーンの構成と監視など、特定の MSPM0 機能の評価を簡素化する GUI。

IDE とコンパイラのツール・チェーン

Code Composer Studio™ (CCS)	TI Arm-Clang コンパイラが含まれています。テキサス・インスツルメンツのすべての Arm Cortex MCU をサポートしており、競争力のあるコード・サイズ性能、高速コンパイル時間、コード・カバレッジのサポート、安全性認定のサポート、完全に無料で使用できることを特長としています。
IAR Embedded Workbench® IDE	
Keil® MDK IDE	
GNU Arm 組込みツール・チェーン	

10.4 ドキュメントのサポート

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

以下のドキュメントには、MSPM0 MCU について記載しています。これらのドキュメントのコピーは、インターネット上の www.ti.com で入手できます。

テクニカル リファレンス マニュアル

MSPM0 L シリーズ 32MHz マイクロコントローラ テクニカル リファレンス マニュアル	このマニュアルは、MSPM0L デバイス ファミリのモジュールおよびペリフェラルについて解説しています。それぞれの説明は、モジュールまたはペリフェラルを一般的な意味で示しています。すべてのデバイスについて、すべてのモジュールまたはペリフェラルのすべての特長や機能を示しているわけではありません。さらに、モジュールやペリフェラルは、異なるデバイスに対して、全く同じように実装されているとは限りません。ピンの機能、内部信号の接続、および動作パラメータはデバイスによって異なります。詳細については、デバイス固有のデータシートを参照してください。

10.5 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

10.6 商標

LaunchPad™, Code Composer Studio™, TI E2E™, EnergyTrace™, BoosterPack™, and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.
Arm® and Cortex® are registered trademarks of Arm Limited.
すべての商標は、それぞれの所有者に帰属します。

10.7 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.8 用語集

テキサス・インスツルメンツ用語集	この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from MAY 24, 2023 to DECEMBER 19, 2023	Page
• ドキュメント全体を通して最終的なデバイス特性評価とリリースを量産データに変更	1

Copyright © 2024 Texas Instruments Incorporated

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

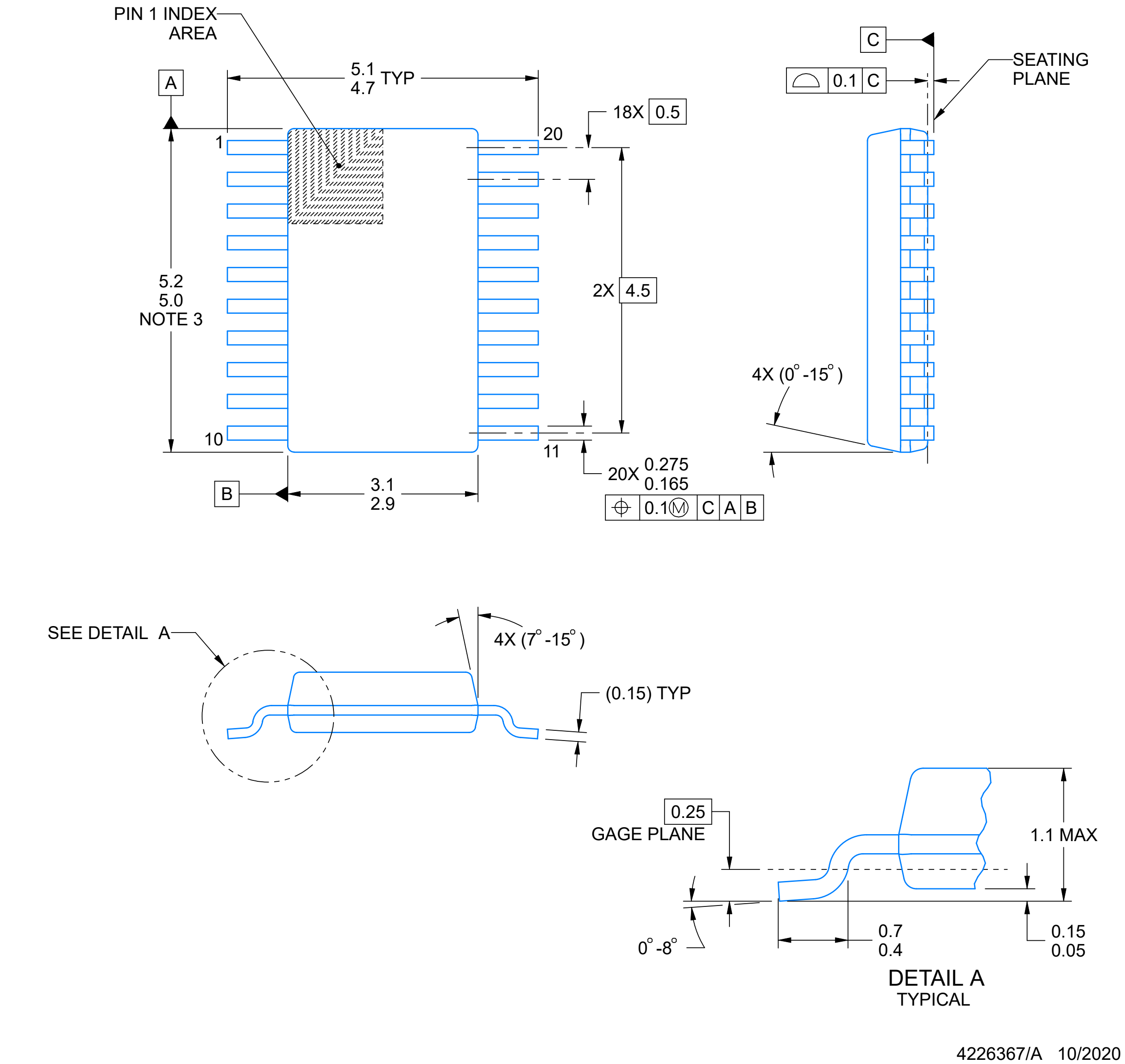
Copyright © 2024 Texas Instruments Incorporated

PACKAGE OUTLINE

DGS0020A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. No JEDEC registration as of September 2020.
5. Features may differ or may not be present.

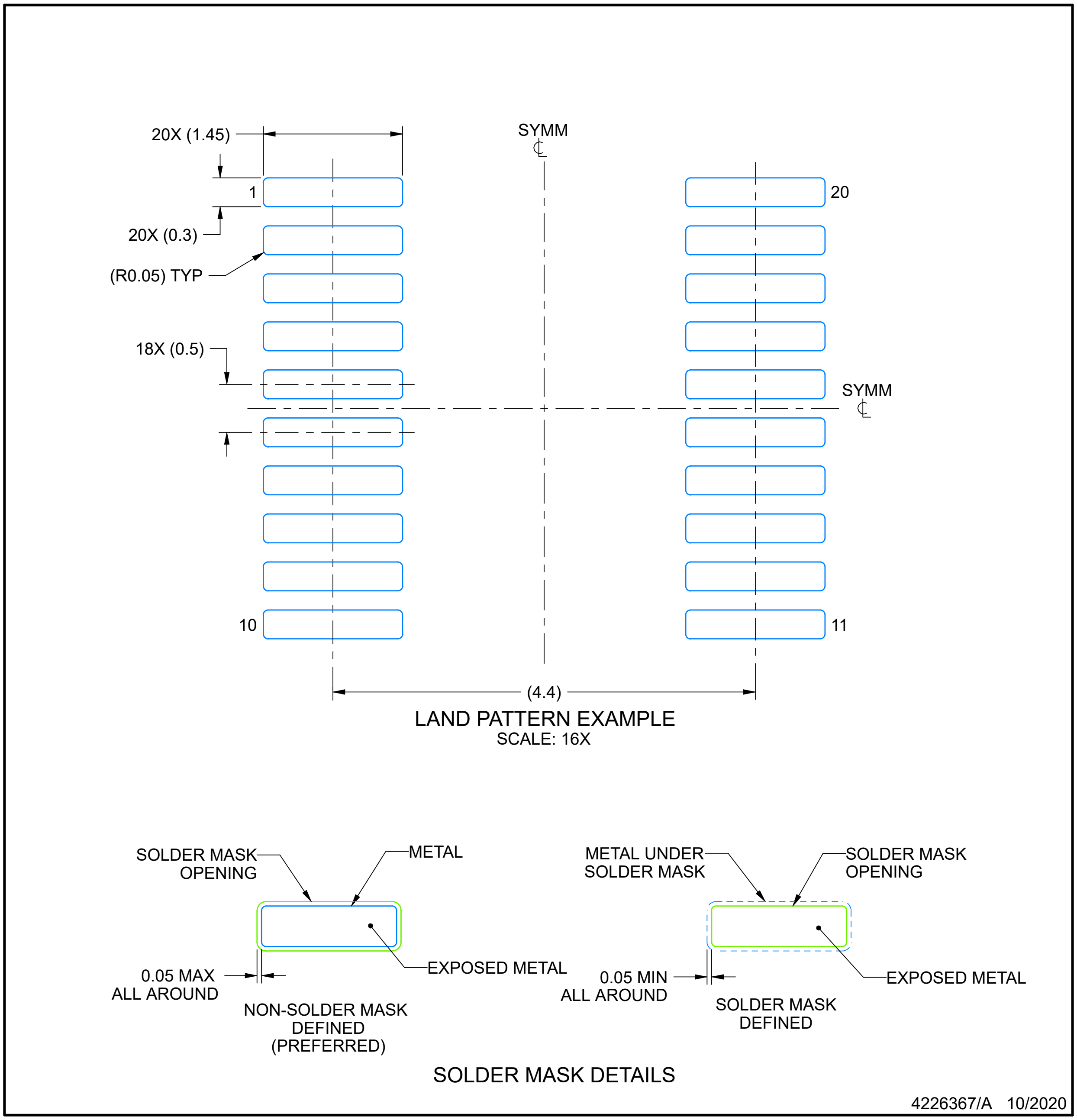
Copyright © 2024 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

DGS0020A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



NOTES: (continued)

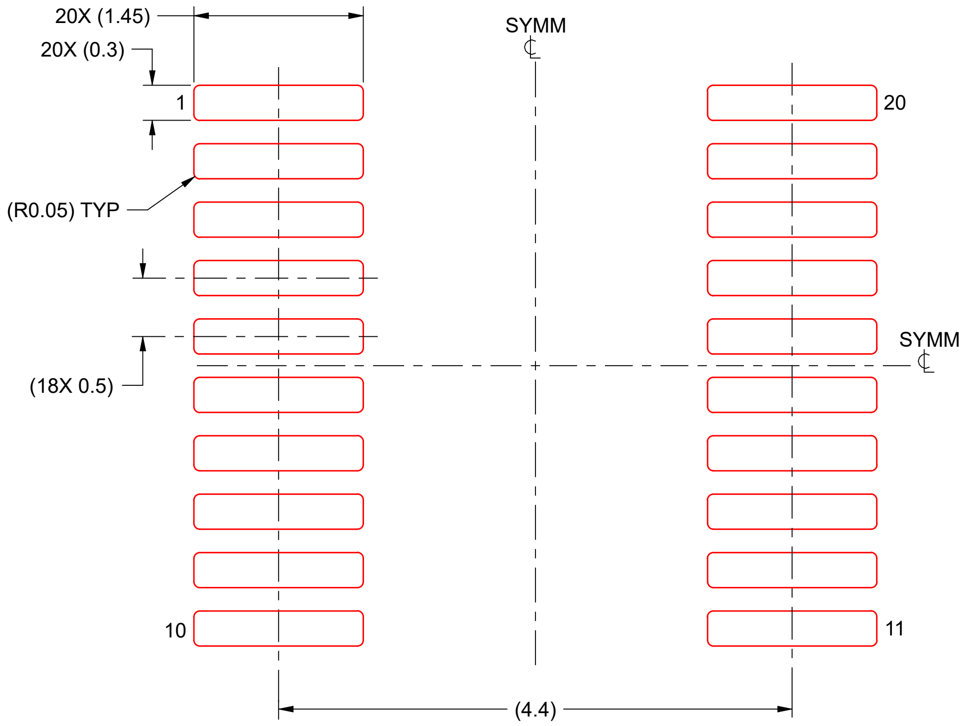
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DGS0020A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 16X

4226367/A 10/2020

NOTES: (continued)

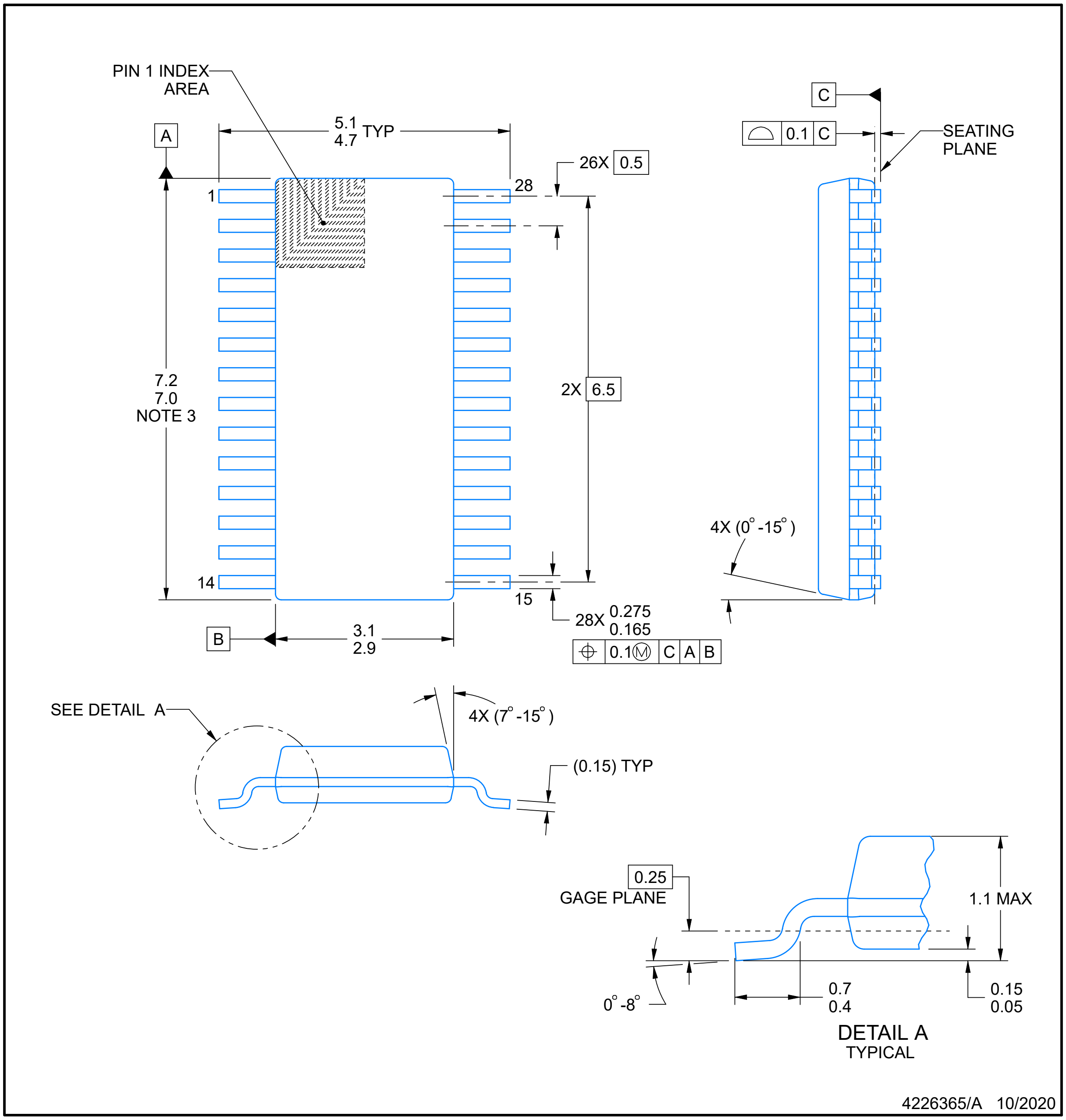
11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DGS0028A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



NOTES:

PowerPAD is a trademark of Texas Instruments.

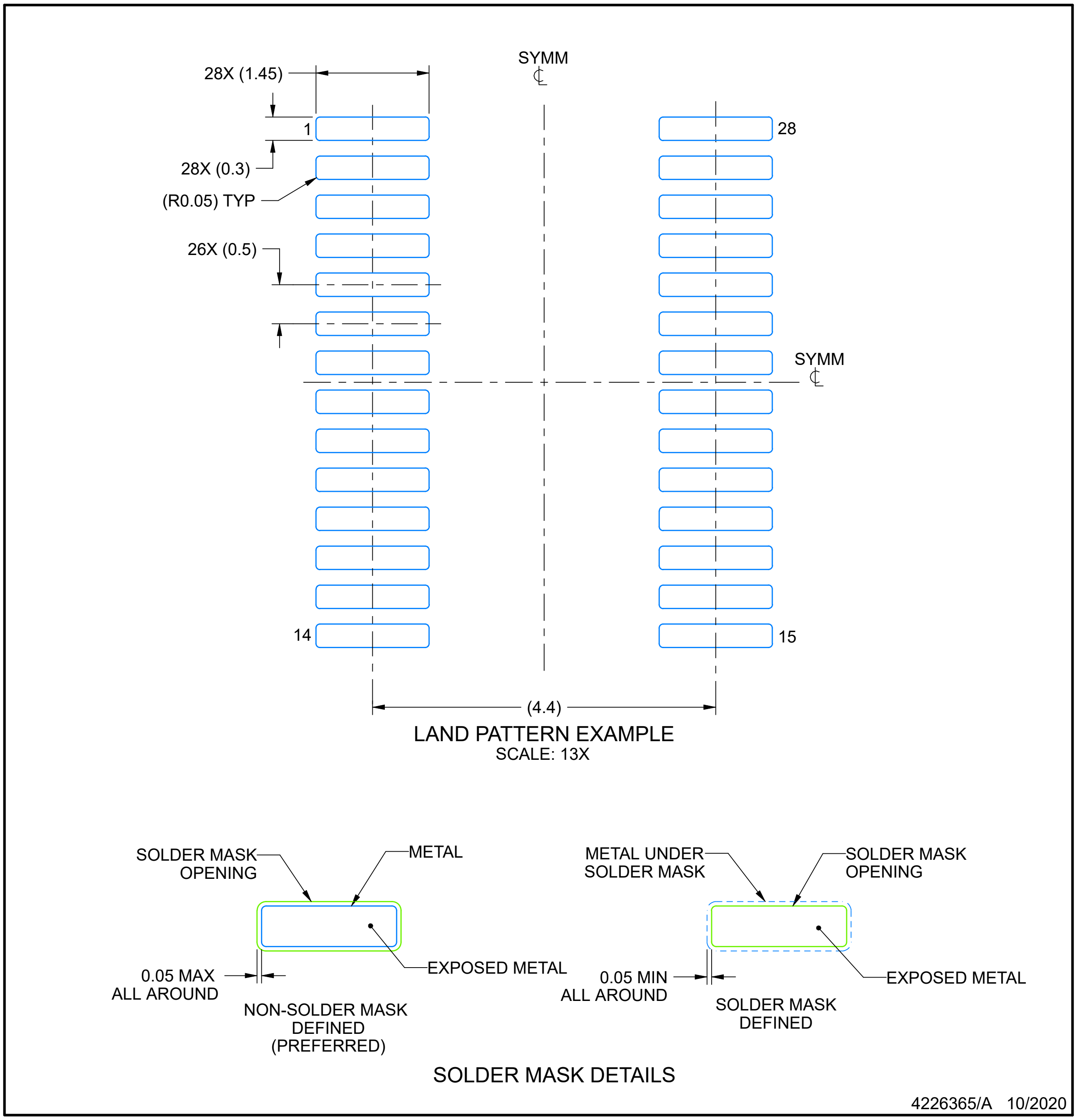
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. No JEDEC registration as of September 2020.
5. Features may differ or may not be present.

EXAMPLE BOARD LAYOUT

DGS0028A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

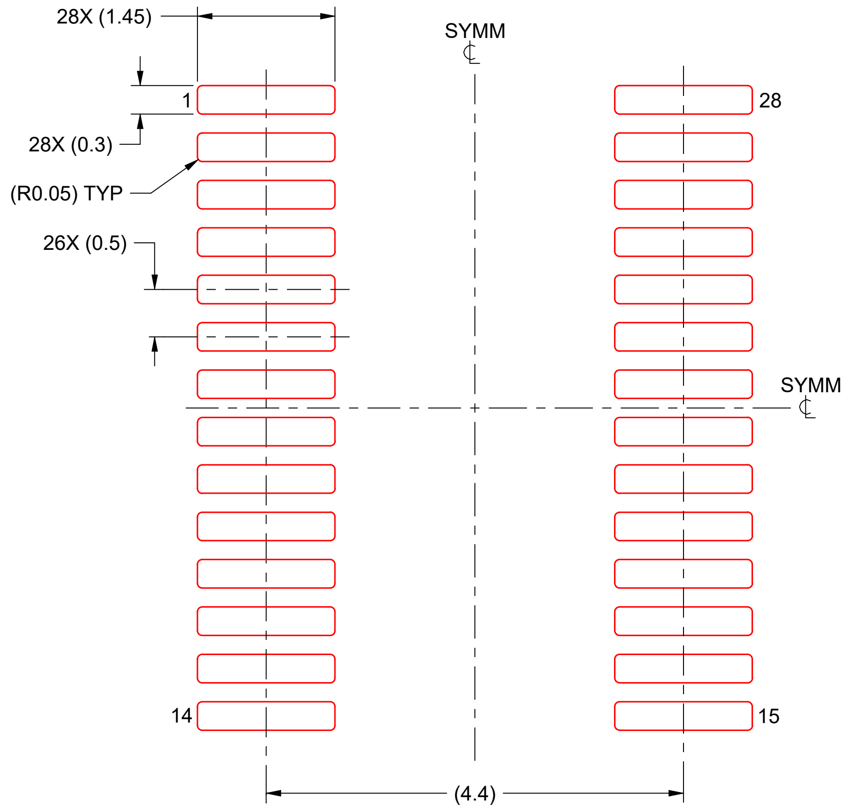
Copyright © 2024 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

DGS0028A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 13X

4226365/A 10/2020

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

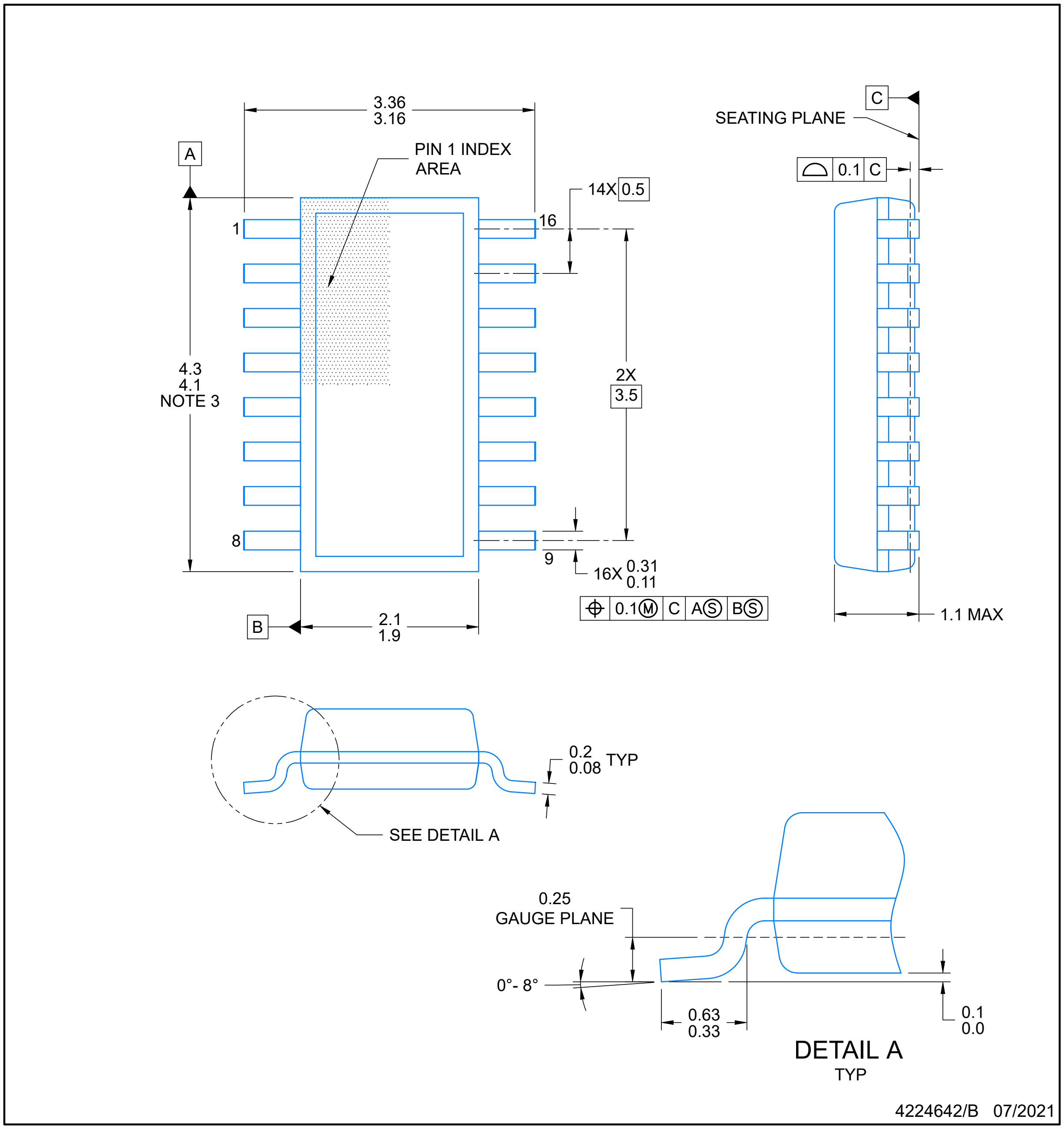
Copyright © 2024 Texas Instruments Incorporated

PACKAGE OUTLINE

DYY0016A

SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
5. Reference JEDEC Registration MO-345, Variation AA

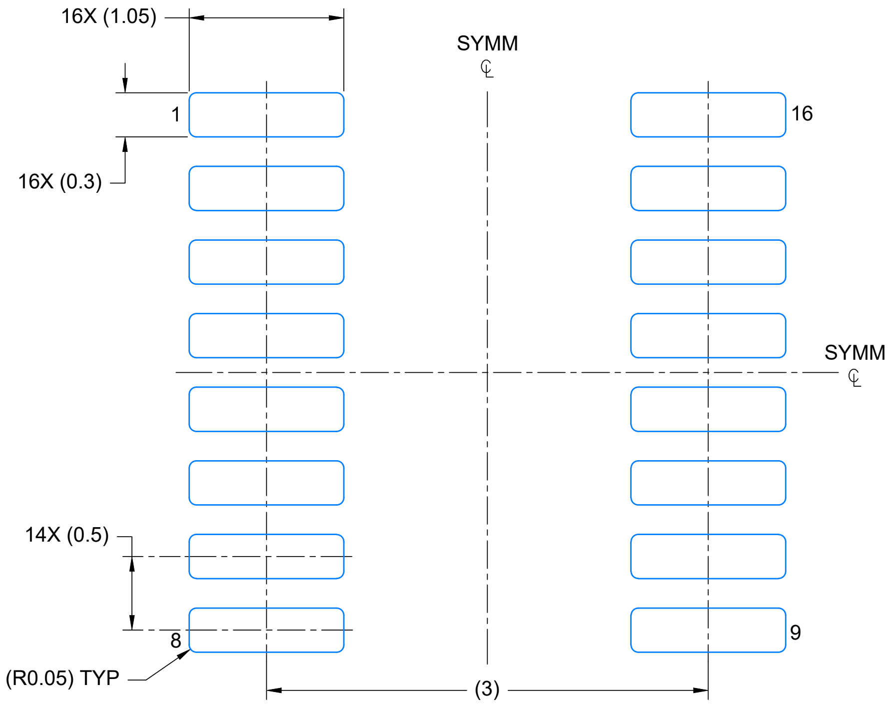
Copyright © 2024 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

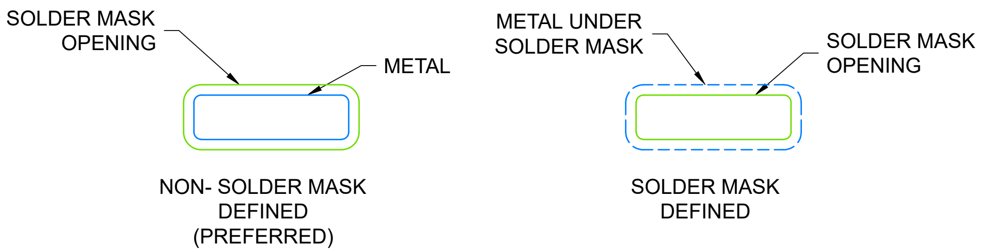
DYY0016A

SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



SOLDER MASK DETAILS

4224642/B 07/2021

NOTES: (continued)

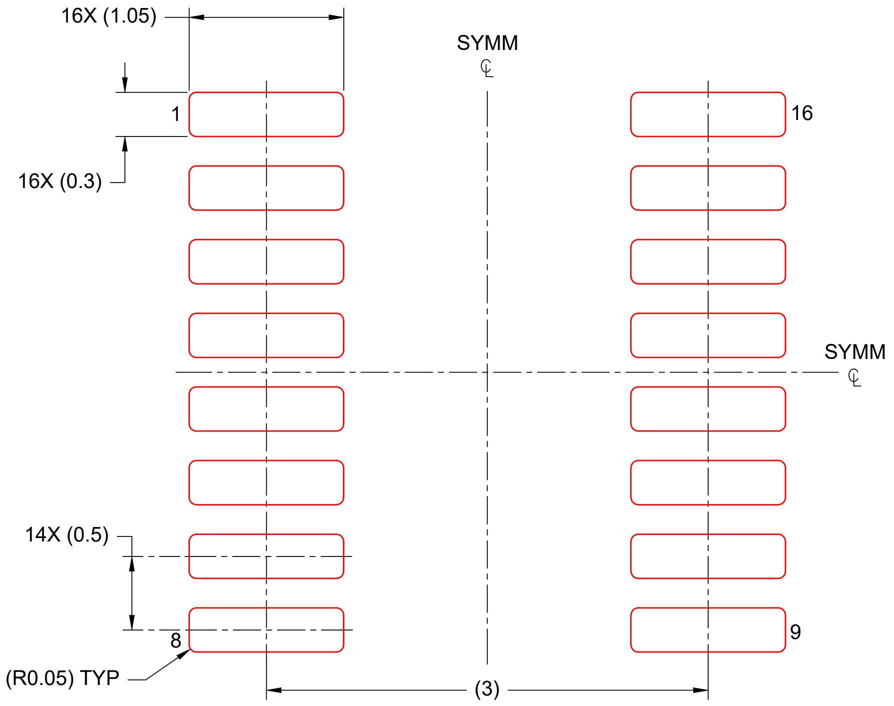
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DYY0016A

SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 20X

4224642/B 07/2021

NOTES: (continued)

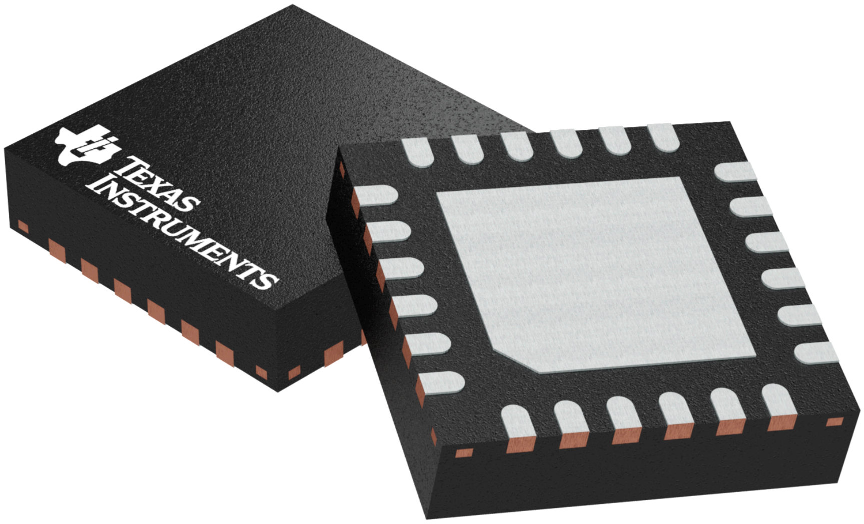
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

Copyright © 2024 Texas Instruments Incorporated

GENERIC PACKAGE VIEW

RGE 24 VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

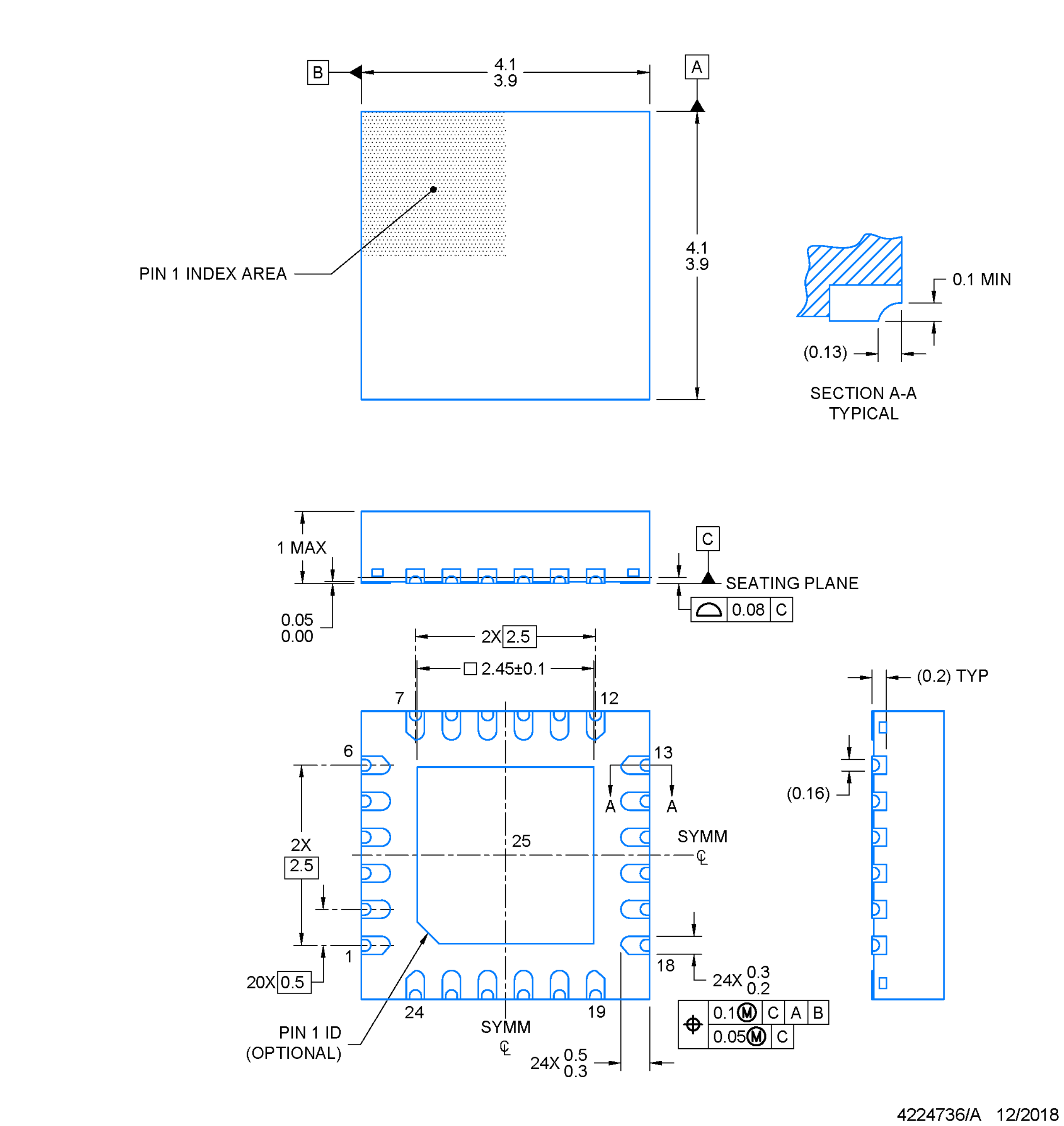
4204104/H

PACKAGE OUTLINE

RGE0024N

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK-NO LEAD



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.

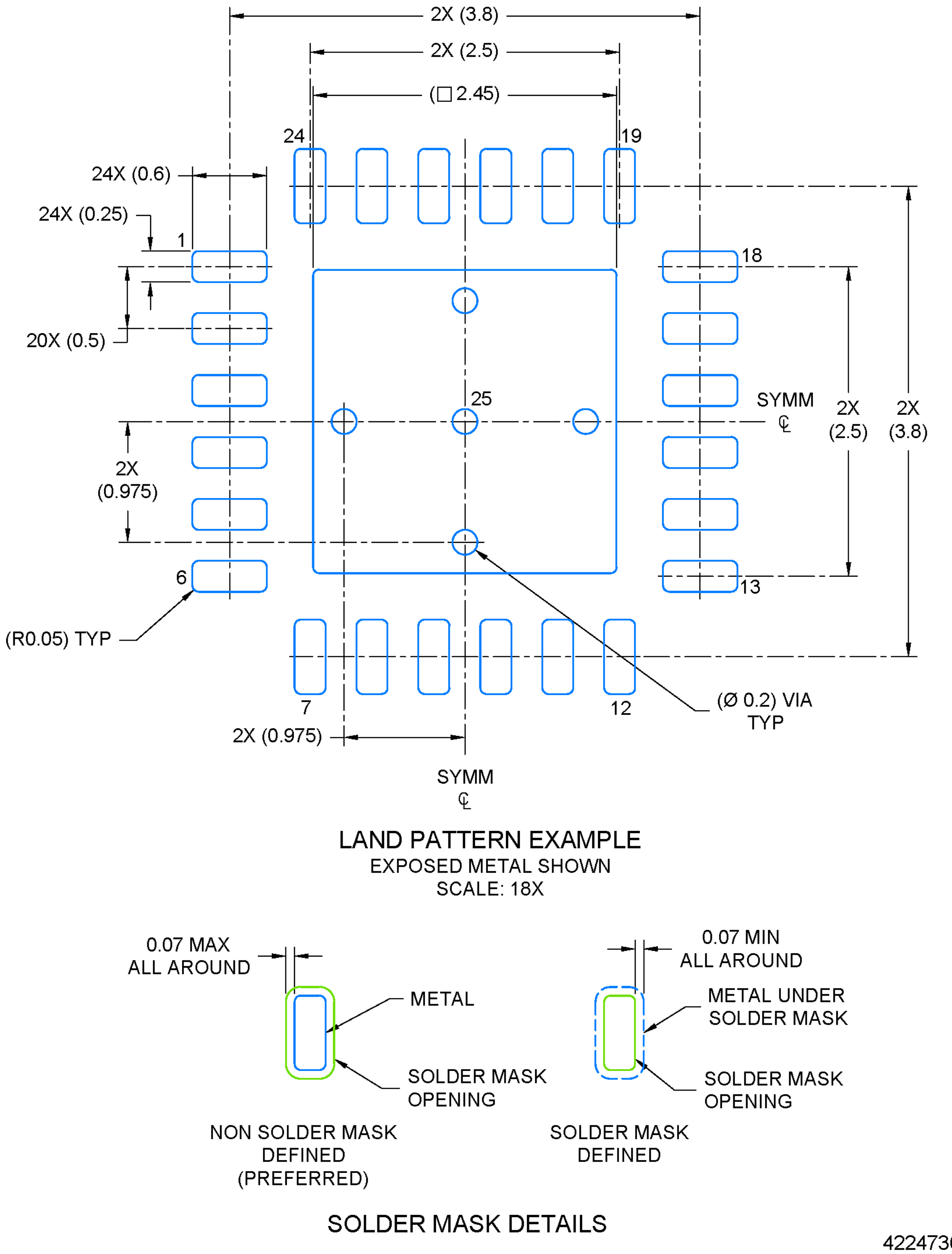
Copyright © 2024 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

RGE0024N

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK-NO LEAD



4224736/A 12/2018

NOTES: (continued)

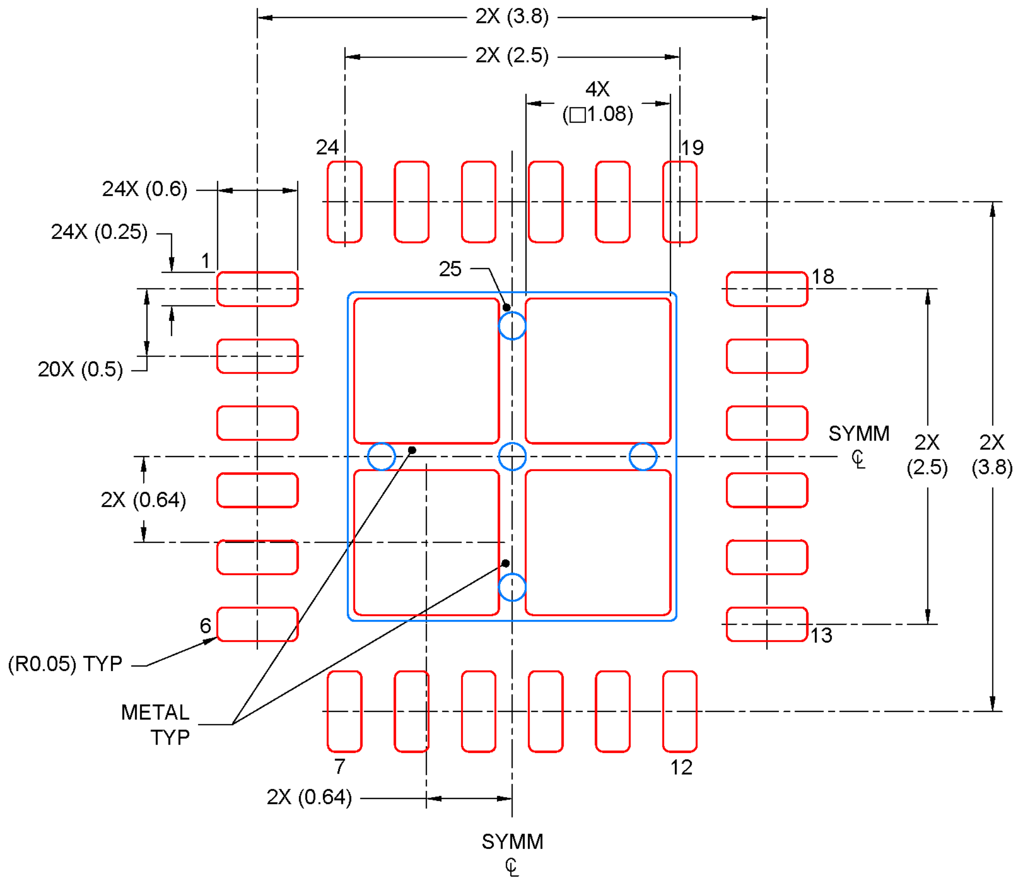
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RGE0024N

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK-NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
78% PRINTED COVERAGE BY AREA
SCALE: 18X

4224736/A 12/2018

NOTES: (continued)

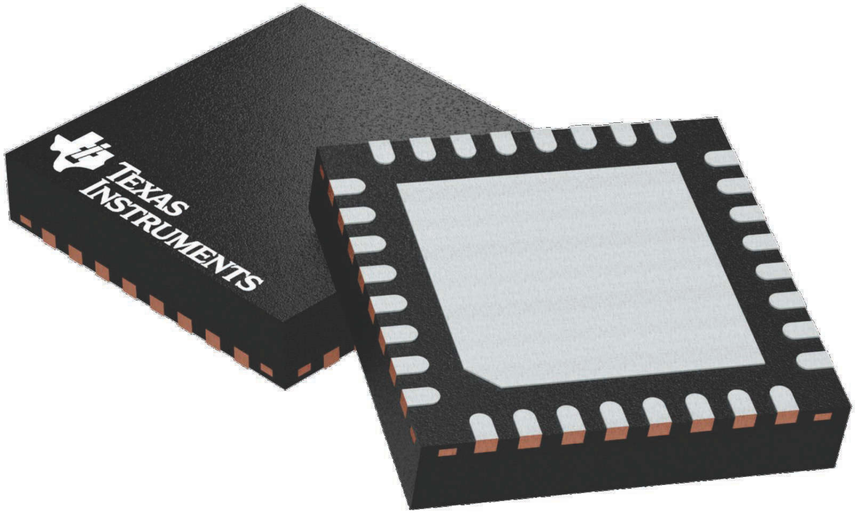
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

Copyright © 2024 Texas Instruments Incorporated

GENERIC PACKAGE VIEW

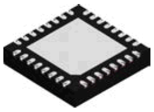
RHB 32 VQFN - 1 mm max height

5 x 5, 0.5 mm pitch PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4224745/A

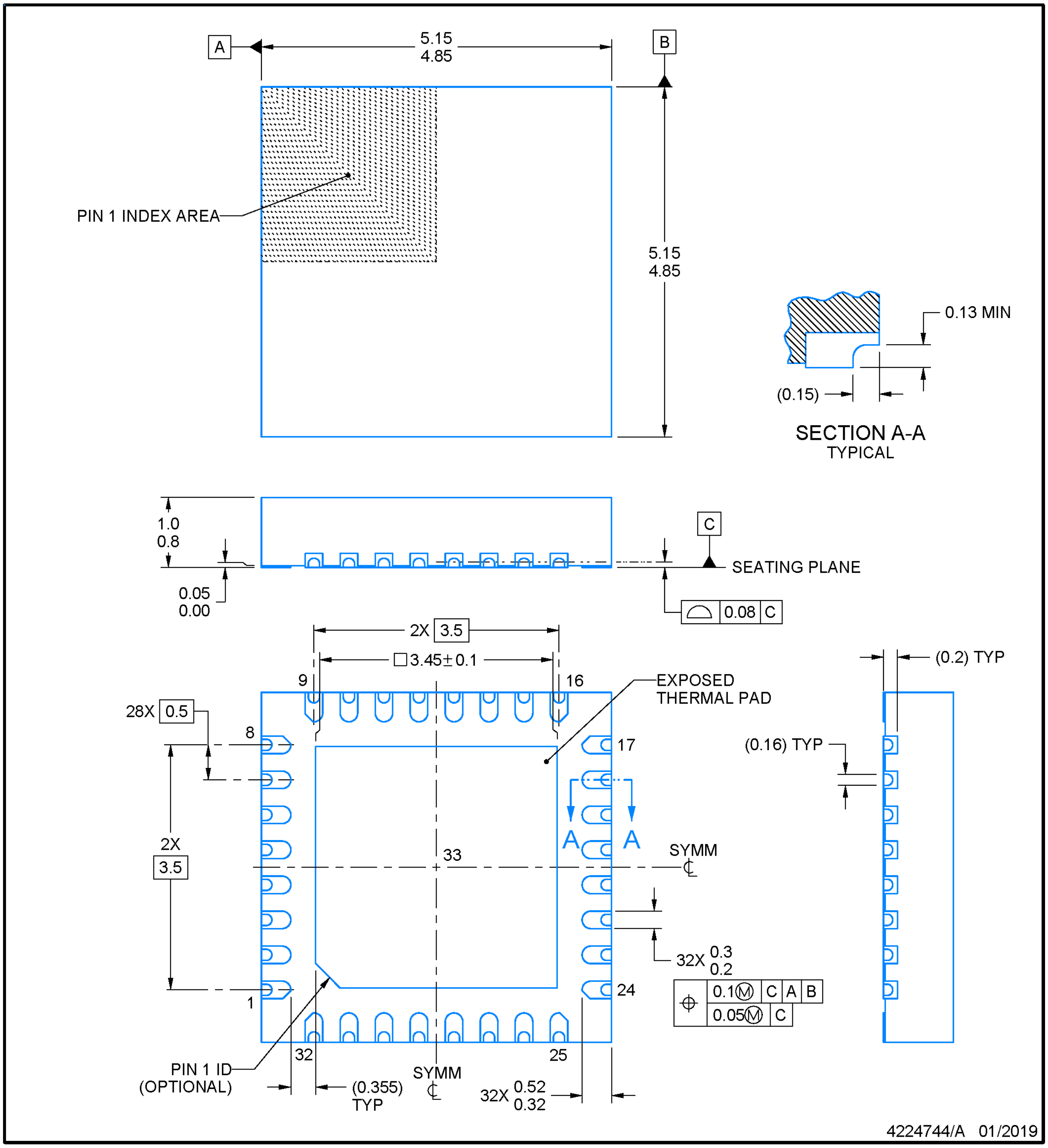


PACKAGE OUTLINE

RHB0032T

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

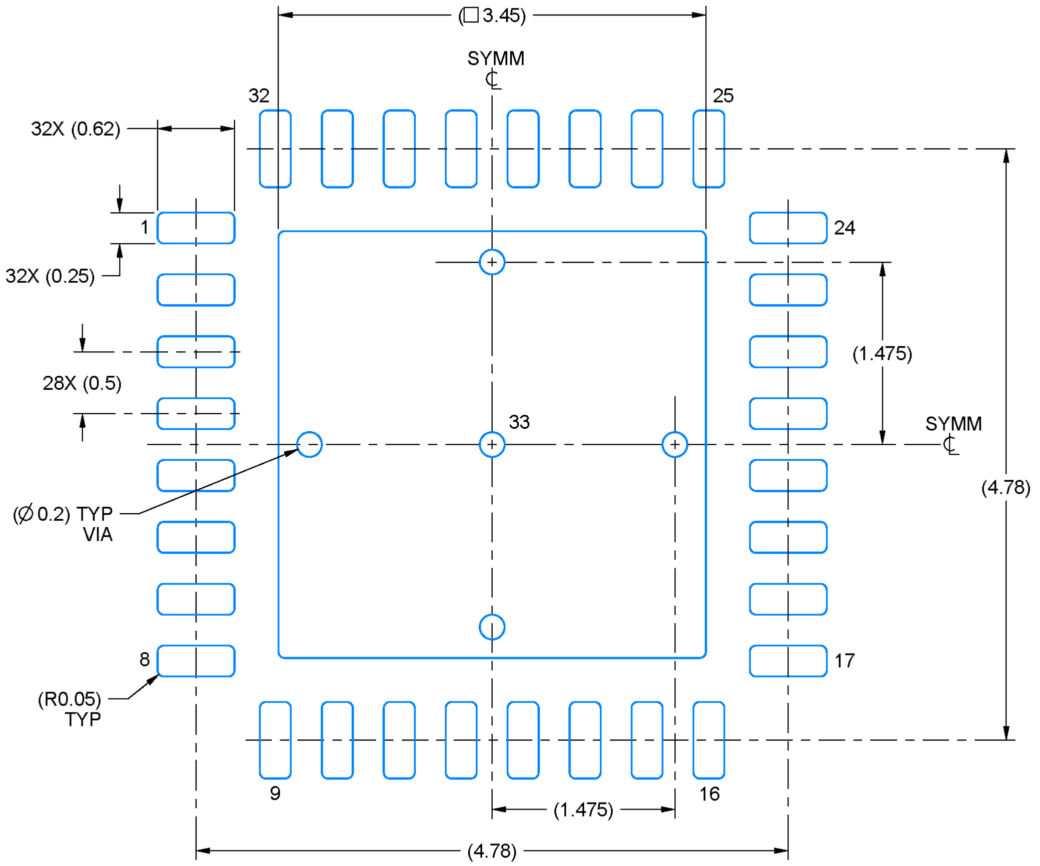
Copyright © 2024 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

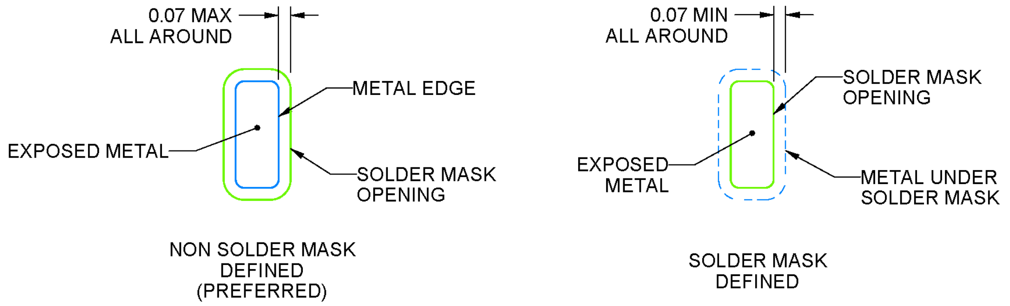
RHB0032T

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X



SOLDER MASK DETAILS

4224744/A 01/2019

NOTES: (continued)

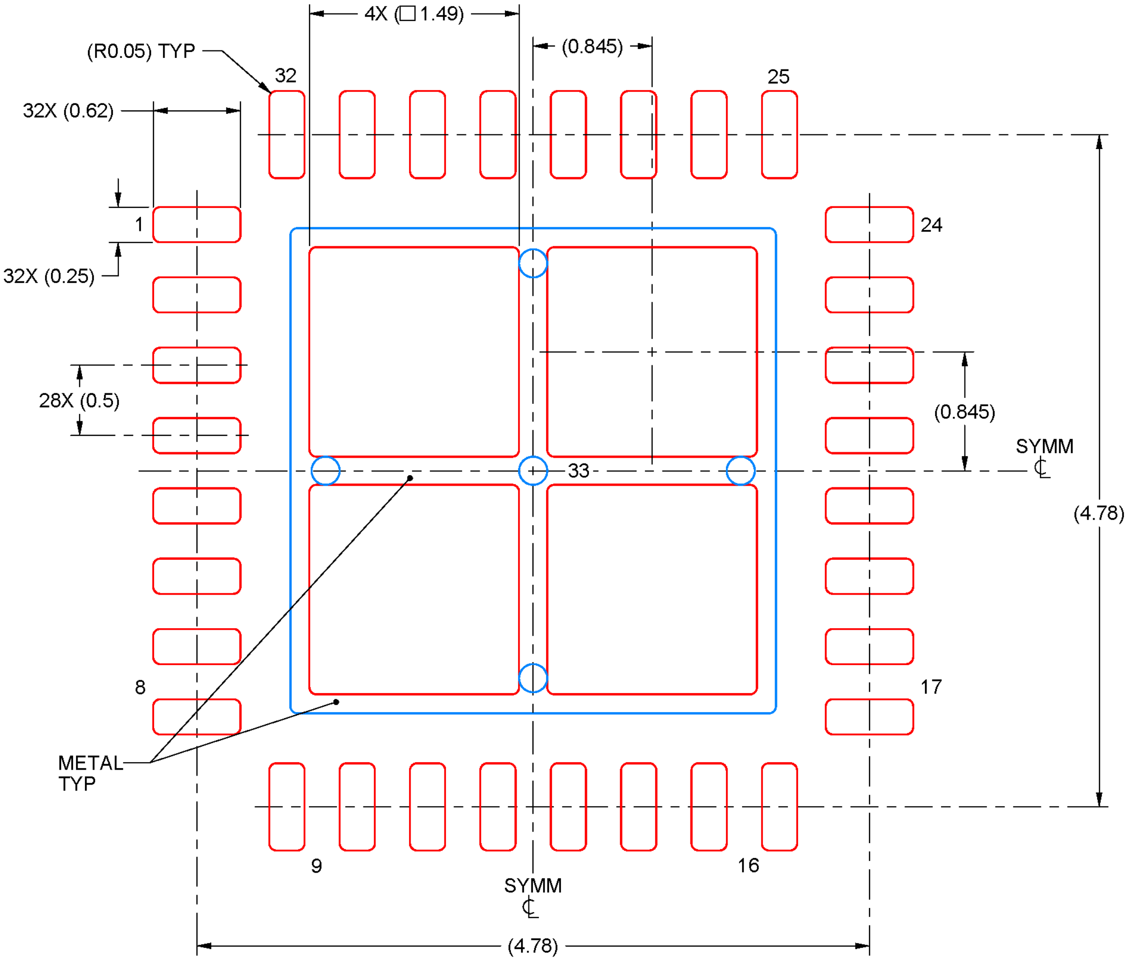
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RHB0032T

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 33:
75% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:20X

4224744/A 01/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

Copyright © 2024 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
M0L1304QDGS20RQ1	ACTIVE	VSSOP	DGS	20	5000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	M0L1304Q	Samples
M0L1304QDGS28RQ1	ACTIVE	VSSOP	DGS	28	5000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	L1304Q	Samples
M0L1304QDGS32RQ1	ACTIVE	VSSOP	DGS	32	5000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	L1304Q	Samples
M0L1304QDYYRQ1	ACTIVE	SOT-23-THIN	DYY	16	3000	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	M0L1304Q	Samples
M0L1304QRGERQ1	ACTIVE	VQFN	RGE	24	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	MSPM0 L1304Q	Samples
M0L1304QRHBRQ1	ACTIVE	VQFN	RHB	32	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	MSPM0 L1304Q	Samples
M0L1305QDGS20RQ1	ACTIVE	VSSOP	DGS	20	5000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	M0L1305Q	Samples
M0L1305QDGS28RQ1	ACTIVE	VSSOP	DGS	28	5000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	L1305Q	Samples
M0L1305QDGS32RQ1	ACTIVE	VSSOP	DGS	32	5000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	L1305Q	Samples
M0L1305QDYYRQ1	ACTIVE	SOT-23-THIN	DYY	16	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	M0L1305Q	Samples
M0L1305QRGERQ1	ACTIVE	VQFN	RGE	24	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	MSPM0 L1305Q	Samples
M0L1305QRHBRQ1	ACTIVE	VQFN	RHB	32	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	MSPM0 L1305Q	Samples
M0L1306QDGS20RQ1	ACTIVE	VSSOP	DGS	20	5000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	M0L1306Q	Samples
M0L1306QDGS28RQ1	ACTIVE	VSSOP	DGS	28	5000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	L1306Q	Samples
M0L1306QDGS32RQ1	ACTIVE	VSSOP	DGS	32	5000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	L1306Q	Samples
M0L1306QDYYRQ1	ACTIVE	SOT-23-THIN	DYY	16	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	M0L1306Q	Samples
M0L1306QRGERQ1	ACTIVE	VQFN	RGE	24	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	MSPM0 L1306Q	Samples
M0L1306QRHBRQ1	ACTIVE	VQFN	RHB	32	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	MSPM0 L1306Q	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.
LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.
NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.
PREVIEW: Device has been announced but is not in production. Samples may or may not be available.
OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".
RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.
Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF MSPM0L1304-Q1, MSPM0L1305-Q1, MSPM0L1306-Q1 :

- Catalog : MSPM0L1304, MSPM0L1305, MSPM0L1306

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、TI の販売条件、または ti.com やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated