F29H85x、F29P58x および F29P32x リアルタイム マイコン

1 特長

リアルタイム処理

- 3 個の C29x 64 ビット CPU (CPU1、CPU2、CPU3) が 200MHz で動作
  - パイプラインの改善により、C28x と比較して 2 倍のシグナル チェーン性能
  - スプリット ロック動作モードおよびロックステップ動作モード
- C29x CPU アーキテクチャ
  - バイト アドレス指定可能
  - 低レイテンシの高性能リアルタイム制御
  - 高性能 DSP および汎用処理能力
  - VLIW CPU が 1～8 個の命令を並列実行
  - 完全に保護されたパイプライン
  - 8/16/32/64 ビット シングルサイクル メモリ動作、シングルサイクルで最大 2 つの 64 ビット メモリ読み取り、1 つの 64 ビット メモリ書き込み
  - IEEE 32 ビットおよび 64 ビット浮動演算
  - 32 ビットおよび 64 ビット三角関数演算
  - ハードウェア割り込みの優先度設定およびネスト
  - 11 サイクルのリアルタイム割り込み応答
  - メモリ保護付きのアトミック操作
  - ハードウェア管理によるマルチ セーフ アイランド コード実行

メモリ

- 4MB の CPU マップ可能フラッシュ (ECC 保護)。A/B スワップおよび LFU によりファームウェアのワイヤレス更新 (FOTA) をサポート可能
- 256KB のデータ専用フラッシュ (ECC 保護)
- 452KB の RAM (ECC 保護)
- HSM 専用 512KB フラッシュおよび 40KB RAM メモリ (ECC 保護)
- システム全体の安全を実現する ECC ロジックを内蔵

安全ペリフェラル

- CPU1 および CPU2 がロックステップ
  - CPU1 と CPU2 のスプリットロックモードも利用できます (機能安全を必要としないアプリケーションや、複数の CPU との相互比較などの方法を使用する場合)
- ロジック パワーオン自己テスト (LPOST)
- メモリ パワー オン自己テスト (MPOST)
- エラー通知モジュール(ESM)
- デュアル クロック コンパレータ (DCC)
- 波形アナライザおよび診断 (WADI)
- SSU による状況依存メモリおよびペリフェラルの保護
- 安全相互接続 (SIC)
- 機能安全準拠予定
  - 機能安全アプリケーション向けに開発
  - ISO 26262 および IEC 61508 システムの設計に役立つ資料を製品リリース時に提供予定
  - ASIL D および SIL 3 向けの決定論的能力
  - ASIL D および SIL 3 までののハードウェア能力
- 安全関連の認証
  - TÜV SÜD による ASIL D までの ISO 26262 認証および IEC 61508 SIL 3 認証を計画中

セキュリティ

- ハードウェア セキュリティ モジュール (HSM)
  - 100MHz で Arm® Cortex®-M4 ベースのセキュリティ コントローラ サブシステムを独立して実行
  - 512KB のフラッシュ (ECC 保護)
  - 36KB の RAM (ECC 保護)
  - セキュアなキー ストレージ
  - セキュア BOOT
  - セキュア デバッグ
  - 専用 8 チャネルのリアルタイム ダイレクト メモリ アクセス (RTDMA) コントローラ
  - EVITA を全面的にサポート
  - A/B スワップによる FOTA
  - ハードウェア暗号化アクセラレータ
    - 非対称暗号化 - RSA、ECC、SM2
    - 対称暗号化 - AES、SM4
    - ハッシュ演算 - SHA2、HMAC、SM3
    - 真の乱数ジェネレータ
- 安全およびセキュリティ ユニット (SSU)
  - 高度なリアルタイムの安全およびセキュリティ
    - CPU ごとに 64 のメモリ アクセス保護範囲
    - ハードウェア コード分離用に CPU ごとに最大 15 個のユーザー リンクおよび 7 個のスタック ポインタ
    - パワーオン自己テスト (POST) 機能
    - ロールバック制御付きの FOTA および LFU のサポート

アナログ サブシステム

- 5 つの A/D コンバータ (ADC)
  - 2 つの 16 ビット ADC (それぞれ 1.19MSPS)
  - 3 つの 12 ビット ADC (それぞれ 3.92MSPS)
  - 最大 80 個のシングル エンド入力または 16 個の差動入力
  - フレキシビリティのための 40 個の冗長入力チャネル

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

  - 同時サンプリング用に各 ADC に個別のサンプル アンド ホールド (S/H)
  - ハードウェアによる変換の後処理
  - ハードウェア オーバーサンプリング (最大 128 倍) およびアンダーサンプリング モード、累算、平均化、外れ値除去機能付き
  - SOC トリガから変換開始までの遅延をプログラム可能
  - 10 個の ADC 安全性チェッカにより複数の ADC モジュール間の変換結果を比較
- 12 個のウィンドウ付きコンパレータ、12 ビット D/A コンバータ (DAC) リファレンス付き
  - 内部温度センサと ADC リファレンスを利用できる接続オプション
- 2 つの 12 ビット DAC 出力 (バッファ付き)

制御ペリフェラル

- 36 個のパルス幅変調器 (PWM) チャネル、すべて高分解能機能 (HRPWM) 付き
  - 最小デッドバンド ロジック (MINDB)
  - 標準および高分解能向けの不正組み合わせロジック (ICL)
  - ダイオード エミュレーション (DE) サポート
  - XCMP でのマルチレベル シャドウイング
- 6 つの拡張キャプチャ (eCAP) モジュール
  - 6 つの eCAP モジュールのうち 2 つで高分解能キャプチャ (HRCAP) を使用可能
  - ePWM ストローブおよびトリップ イベントと組み合わせ可能なエッジ、パルス幅、周期用の 2 つの新しいモニタ ユニット
  - 256 個の多重化キャプチャ入力が増加
  - 新しい ADC SOC 生成機能
- 6 つの拡張直交エンコーダ パルス (eQEP) モジュール
- 16 個のシグマ - デルタ フィルタ モジュール (SDFM) 入力チャネル、チャネルごとに 2 つの独立したフィルタ
- 組み込みパターン ジェネレータ (EPG)
- 構成可能ロジック ブロック (CLB)
  - 6 つのタイル
  - 既存のペリフェラル機能を強化
  - ポジション マネージャ ソリューションをサポート

通信ペリフェラル

- EtherCAT® SubordinateDevice (または SubDevice) コントローラ (ESC)
- 4 つのトランスミッタと 4 つのレシーバを持つ高速シリアル インターフェイス (FSI)
- 5 つの高速 (最高 50MHz) SPI ポート (ピンでブート可能)
- 6 つの高速 UART (Universal Asynchronous Receiver/Transmitter) (ピンでブート可能)
- 2 つの I2C インターフェイス (ピンでブート可能)
- 2 つの LIN (Local Interconnect Network) (SCI をサポート)
- PMBus (Power-Management Bus) インターフェイス (I2C をサポート)
- 6 つのシングル エッジ ニブル伝送インターフェイス (SENT)
- 6 つの CAN FD/MCAN (Controller Area Network with Flexible Data-Rate) (ピンでブート可能)

システム ペリフェラル

- ASRAM および SDRAM サポートの外部メモリ インターフェイス (EMIF)
- 2 つの 10 チャネル リアルタイム ダイレクト メモリ アクセス (RTDMA) コントローラ、MPU 搭載
- 最大 190 本の信号ピンが使用可能
  - 136 本の汎用入力 / 出力 (GPIO) ピン
  - 80 本のアナログ ピン (GPIO に 26 本の AGPIO を含む)
  - PMBUS/I2C/SENT をサポートするために 6 つの GPIO で 5V フェイルセーフ / 許容に対応
- ペリフェラル割り込み優先順位および拡張 (PIPE)
- 低消費電力モード (LPM) のサポート
- リアルタイム解析および診断 (ERAD) を内蔵

クロックおよびシステム制御

- オンチップの水晶発振器
- ウィンドウ付きウォッチドッグ タイマ モジュール
- クロック消失検出回路
- コア 1.25V、I/O 3.3V の設計
  - 1.25V 生成用の内部 VREG
  - ブラウンアウト リセット (BOR) 回路

パッケージ オプション

- 鉛フリー、グリーン パッケージ
- 256 ボールの新ファイン ピッチ ボール グリッド アレイ (nFBGA) [ZEX 接尾辞]、13mm x 13mm/0.8mm ピッチ
- 176 ピン 熱的に強化された薄型クワッド フラットパック (HTQFP) [PTS 接尾辞]、22mm x 22mm/0.4mm ピッチ
- 144 ピン HTQFP [RFS 接尾辞]、18mm x 18mm/0.4mm ピッチ
- 100 ピン HTQFP [PZS 接尾辞]、14mm x 14mm/0.4mm ピッチ

推奨される TPS653860-Q1 および TPS650366-Q1 パワー マネージメント IC (PMIC)

Copyright © 2025 Texas Instruments Incorporated

- デバイスの電源要件を満たすように特別に設計されたコンパニオン PMIC
- さまざまな使用事例をサポートするためのフレキシブルなマッピングと工場出荷時にプログラムされた構成
- 外部電圧監視とウォッチドッグ タイマ マイコンの安全要件をサポートする機能安全準拠 PMIC

温度

- 周囲温度 (T_A):–40°C ～ 125°C

2 アプリケーション

- オンボード チャージャ (OBC)、ホスト統合機能あり / なし
- HEV/EV の DC/DC コンバータ
- HEV/EV パワートレイン積分器
- 電動パワー ステアリング (EPS)
- トラクション インバータ
- HVAC 大型商用モーター制御
- 自動仕分け機器
- CNC 制御
- セントラル インバータ
- ストリング インバータ
- インバータおよびモーター制御
- リニア モーター セグメント コントローラ
- サーボ ドライブ制御モジュール
- 産業用 AC-DC
- 3 相 UPS
- 商用ネットワークとサーバーの電源

3 説明

F29H85x、F29P58x、および F29P32x は、電力密度の向上、スイッチング周波数の向上、GaN および SiC 技術の使用のサポートをはじめとして、パワー エレクトロニクス、モーター制御などの効率化を目的として設計された、スケーラブルで超低レイテンシの C2000™ リアルタイム マイクロコントローラ ファミリの製品です。F29 製品ファミリは、次世代の C29 CPU コアを搭載しており、前世代の C28 CPU コアと比較して 2 倍の性能で、業界をリードしています。また、C29 コアはバイトアドレッシングもサポートしており、Arm® アーキテクチャなどの一般的な他の CPU アーキテクチャと完全に互換性のあるデータ タイプを使用することで、迅速に市場に投入しようとするお客様はスムーズに移行できます。詳細については、『*C29 CPU — C2000™ MCU における最適化アーキテクチャによる比類ないリアルタイム性能*』テクニカル ホワイトペーパーを参照してください。

主なアプリケーションには以下が含まれます。

- HEV/EV のパワートレイン – シングルステージ OBC アーキテクチャの実現に役立ちます
  - オンボード チャージャ
  - DC/DC コンバータ
  - パワートレイン内蔵
- 安全およびシャーシ アプリケーション:
  - 電動パワー ステアリング
  - ブレーキ
- モーター制御
  - トラクションインバータのモーター制御 - 高度で洗練された制御手法を実現し、トラクション システムの効率を改善します
  - HVAC (空調) モーター制御
  - 移動型ロボットのモーター制御
- ソーラー インバータ
  - セントラル インバータ
  - マイクロ インバータ
  - ストリング インバータ
- デジタル電源
- 産業用モータドライブ
- EV 充電インフラ

リアルタイム制御サブシステムには、最大 3 つの 200MHz C29x CPU コアが搭載されています (コアあたり 400MIPS、F29H85x で最大 1200MIPS)。C29 CPU アーキテクチャと緊密に結合された周辺機器 (PWM、ADC、CMPSS) により、顧客ベンチマークによって裏付けられているように、特定のアプリケーションでは、より高い CPU クロック速度で実行する競合製品と比較して、200MHz C29 コアでより優れたパフォーマンスが得られます。

Copyright © 2025 Texas Instruments Incorporated

システム レベルの ASIL D 機能安全ソリューションをサポートするための多くの機能を備えています。永続的および過渡的な障害を検出するために、C29x CPU1 および CPU2 コアをロックステップに設定できます。ロジック パワーオン セルフテスト (LPOST) およびメモリ パワーオン セルフテスト (MPOST) により、潜在的なフォルトを早期に検出します。安全相互接続により、CPU とペリフェラルの間のフォルト検出が可能になります。ADC 安全チェッカは、CPU サイクルを追加することなく、複数の ADC モジュールから取得した ADC 変換結果を比較します。波形アナライザおよび診断 (WADI) は、複数の信号の正常な動作を監視し、安全状態が確実に維持されるように対策を実行できます。このデバイス アーキテクチャは、エンド ツー エンドでコードおよびデータの安全を実現する安全相互接続 (SIC) を備えており、すべてのメモリおよびペリフェラルのエンドポイントに対して CPU ベースの ECC 保護が可能です。

ハードウェア セキュリティ マネージャ (HSM) は、EVITA-full セキュリティ サポートを提供します。その特長として、セキュア ブート、セキュア ストレージおよびキーリングのサポート、セキュア デバッグ認証、暗号化アクセラレータ エンジンなどがあります。HSM は、信頼できない工場環境でセキュアなキーおよびコードのプロビジョニングを可能にし、HSM およびホスト アプリケーション ファームウェアのワイヤレス更新 (FOTA)、A/B スワップ機能、ロールバック制御をサポートしています。

SSU (安全およびセキュリティ ユニット) は、ランタイムの安全およびセキュリティについて優れた機能を実現します。この機能を使って、同じ CPU または異なる CPU で動作するスレッド間で、安全分離 (Freedom From Interference、無干渉) が可能になります。SSU にはコンテキスト依存 MPU メカニズムがあり、現在実行中のスレッドまたはタスクに基づいて、アクセス許可をハードウェアで自動的に切り替えます。この結果、ソフトウェアのオーバーヘッドがなくなり、システムの安全を損なうことなく、リアルタイムでコードの性能を実現できます。SSU は、マルチユーザー デバッグ認証機能を搭載しており、ライブ ファームウェア アップデート (LFU) およびアプリケーション ファームウェアのワイヤレス更新 (FOTA)、A/B スワップおよびロールバック制御もサポートしています。詳細については、『C29x 安全およびセキュリティ ユニットによるランタイム安全およびセキュリティの実装』アプリケーション ノートを参照してください。

高性能アナログ ブロックは、処理および制御ユニットと緊密に統合されており、最適なリアルタイム シグナル チェーン性能を実現します。2 つの 16 ビット A/D コンバータ (ADC) および 3 つの 12 ビット ADC、最大 80 のアナログ チャネル、さらには、内蔵の後処理ブロック、ハードウェア オーバーサンプリングを備えています。2 つの 12 ビット バッファ付き DAC および 24 個のコンパレータ チャネルが利用可能です。

周波数に依存しない 36 個の PWM はすべて高分解能機能を備えており、3 相インバータから高度なマルチレベル電源トポロジまで、複数の電力段を制御できます。これらの PWM は、最小デッドバンド ロジック (MINDL) 機能、ダイオード エミュレーション (DE) および不正組み合わせロジック (ICL) 機能で強化されています。

構成可能ロジック ブロック (CLB) により、ユーザーはカスタム ロジックを追加し、FPGA に類似した機能を C2000 リアルタイム MCU に統合できます。

このデバイスでは、EtherCAT SubDevice コントローラ、および CAN FD などの他の業界標準プロトコルを使用できます。高速シリアル インターフェイス (FSI) を使用すると、絶縁境界越しに最高 200Mbps の堅牢な通信が可能です。

C2000 MCU をお客様のリアルタイム制御システムに適した選択肢にしている機能について詳しく知るには、『*C2000™ リアルタイム マイクロコントローラを使った開発のための基本ガイド*』をご覧いただくとともに、C2000 リアルタイム マイクロコントローラ のページにアクセスしてください。

『*C2000 ™ リアルタイム制御マイコン (MCU) を使用した設計の開始』入門ガイド*は、C2000 デバイスを使用する開発について、ハードウェアからサポート リソースまで、あらゆる側面をカバーしています。主要な参考資料に加えて、各セクションには関連するリンクとリソースが掲載されており、さらに詳細な情報を知ることができます。

設計を開始する際は、以下の資料をご確認ください。F29H85X-SOM-EVM 評価ボードを確認して、F29 リアルタイム MCU の F29-SDK Foundational Software Development Kit (SDK) をダウンロードしてください。

Copyright © 2025 Texas Instruments Incorporated

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)	本体サイズ (公称)	ピッチ
F29H85xTxx	ZEX (nFBGA、256)	13mm × 13mm	13mm × 13mm	0.8mm
	PTS (HTQFP、176)	22mm × 22mm	20mm × 20mm	0.4mm
	RFS (HTQFP、144)	18mm × 18mm	16mm × 16mm	0.4mm
	PZS (HTQFP、100)	14mm × 14mm	12mm × 12mm	0.4mm
F29H85xDxx	ZEX (nFBGA、256)	13mm × 13mm	13mm × 13mm	0.8mm
	PTS (HTQFP、176)	22mm × 22mm	20mm × 20mm	0.4mm
	RFS (HTQFP、144)	18mm × 18mm	16mm × 16mm	0.4mm
	PZS (HTQFP、100)	14mm × 14mm	12mm × 12mm	0.4mm
F29P58xDxx	ZEX (nFBGA、256)	13mm × 13mm	13mm × 13mm	0.8mm
	PTS (HTQFP、176)	22mm × 22mm	20mm × 20mm	0.4mm
	RFS (HTQFP、144)	18mm × 18mm	16mm × 16mm	0.4mm
	PZS (HTQFP、100)	14mm × 14mm	12mm × 12mm	0.4mm
F29P329Sxx	RFS (HTQFP、144)	18mm × 18mm	16mm × 16mm	0.4mm
	PZS (HTQFP、100)	14mm × 14mm	12mm × 12mm	0.4mm

(1) 詳細については、「メカニカル、パッケージ、および注文情報」セクションを参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。

製品情報

部品番号 (1)	CPU	FREQUENCY	フラッシュ	ADC	セキュア ブート	EMIF ETHERCAT
F29H85xTU9	CPU1 CPU2 CPU3	200MHz	4MB	2 - 16 ビット / 12 ビット 3 - 12 ビット	あり	あり
F29H85xTU8						–
F29H85xTM8			2MB			
F29H85xDU7	CPU1 CPU3	200MHz	4MB	2 - 16 ビット / 12 ビット 3 - 12 ビット	あり	あり
F29H85xDU6						–
F29H85xDM7			2MB			あり
F29H85xDM6					なし	–
F29H85xDM4						
F29H85xDM3						あり
F29P58xDU5	CPU1 CPU2	200MHz	4MB	2 - 16 ビット / 12 ビット 3 - 12 ビット	あり	–
F29P58xDM5			2MB			
F29P329SM2	CPU1 CPU2 固定ロックステップ	200MHz	2MB	4 - 12 ビット		
F29P329SM1				3 - 12 ビット		
F29P329SJ1			1MB			

(1) これらのデバイスの詳細については、「デバイスの比較」の表を参照してください。

Copyright © 2025 Texas Instruments Incorporated

3.1 機能ブロック図

「機能ブロック図」に、CPU システムおよび関連ペリフェラルを示します。

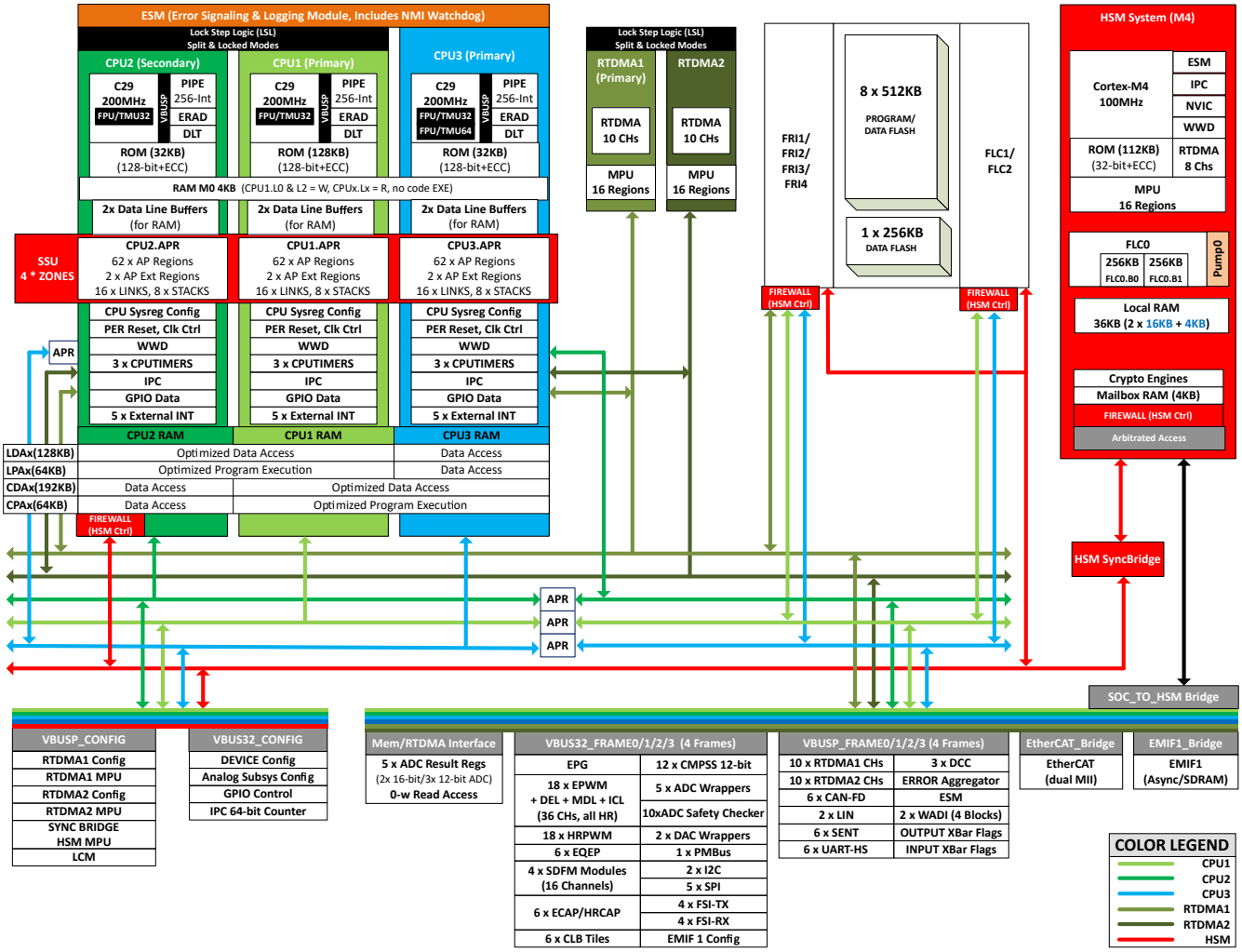


図 3-1. 機能ブロック図

Copyright © 2025 Texas Instruments Incorporated

目次

1 特長 ... 1
2 アプリケーション ... 3
3 説明 ... 3
3.1 機能ブロック図 ... 6
4 デバイスの比較 ... 8
4.1 関連製品 ... 14
5 ピン構成および機能 ... 15
5.1 ピン配置図 ... 15
5.2 ピン属性 ... 24
5.3 信号の説明 ... 71
5.4 内部プルアップおよびプルダウン付きのピン ... 97
5.5 ピン多重化 ... 98
5.6 未使用ピンの接続 ... 106
6 仕様 ... 107
6.1 絶対最大定格 ... 107
6.2 F29H85x ESD 定格 - 民生用 ... 108
6.3 F29H85x ESD 定格 - 車載用 ... 108
6.4 F29P58x ESD 定格 - 民生用 ... 110
6.5 F29P58x ESD 定格 - 車載用 ... 111
6.6 F29P32x ESD 定格 - 車載用 ... 111
6.7 推奨動作条件 ... 112
6.8 消費電力の概略 ... 113
6.9 電気的特性 ... 120
6.10 5V フェイルセーフ ピンに関する特別な考慮事項 ... 121
6.11 ZEX パッケージの熱抵抗特性 ... 122
6.12 PTS パッケージの熱抵抗特性 ... 122
6.13 RFS パッケージの熱抵抗特性 ... 122
6.14 PZS パッケージの熱抵抗特性 ... 123
6.15 熱設計の検討事項 ... 123
6.16 システム ... 124
6.17 C29x アナログ ペリフェラル ... 178
6.18 C29x コントロール ペリフェラル ... 225
6.19 C29x 通信ペリフェラル ... 243
7 詳細説明 ... 275
7.1 概要 ... 275
7.2 機能ブロック図 ... 277
7.3 エラー通知モジュール (ESM_C29) ... 278
7.4 エラー アグリゲータ ... 281
7.5 メモリ ... 284
7.6 識別 ... 309
7.7 ブート ROM ... 310
7.8 セキュリティ モジュールおよび暗号化アクセラレータ ... 324
7.9 C29x サブシステム ... 329
7.10 ロックステップ比較モジュール (LCM) ... 343
8 アプリケーション、実装、およびレイアウト ... 345
8.1 リファレンス デザイン ... 345
9 デバイスおよびドキュメントのサポート ... 346
9.1 デバイスの命名規則 ... 346
9.2 マーキング ... 347
9.3 ツールとソフトウェア ... 349
9.4 ドキュメントのサポート ... 350
9.5 サポート・リソース ... 352
9.6 商標 ... 352
9.7 静電気放電に関する注意事項 ... 352
9.8 用語集 ... 352
10 改訂履歴 ... 353
11 メカニカル、パッケージ、および注文情報 ... 355
11.1 パッケージ情報 ... 355
トレイ ... 368

Copyright © 2025 Texas Instruments Incorporated

4 デバイスの比較

表 4-1 に、F29x デバイスの機能を示します。

表 4-1. デバイスの比較

機能[1]		車載用								商業用						
		H859Tx8		H859Dx6	P589Dx5		P329Sxx			H850Tx9	H850Dx7		H850Dx6	H850Dx4	H850Dx3	P580Dx5
		H859TU8	H859TM8	H859DU6	P589DU5	P589DM5	P329SJ1	P329SM1	P329SM2	H850TU9	H850DU7	H850DM7	H850DM6	H850DM4	H850DM3	P580DM5
C29x CPU サブシステム																
C29x ～ CPU1	32 ビット浮動小数点命令と Trig 命令	200MHz								200MHz						
C29x ～ CPU2	32 ビット浮動小数点命令と Trig 命令	200MHz		–	200MHz		ロックステップ			200MHz	–					200MHz
C29x ～ CPU3	64 ビット浮動小数点命令と Trig 命令	200MHz			–					200MHz						–
ロックステップ対応 (CPU1 は CPU2 とロックステップ可能)		構成可能		–	構成可能		固定			構成可能	–					構成可能
RAM (ECC)	M0 (共有 CPU1/CPU2/CPU3)	4KB			4KB					4KB						
	LPAx (プログラム最適化 CPU1/CPU2)	64KB			64KB					64KB						
	LDAx (データ最適化 CPU1/CPU2、HSM と共有)	128KB			128KB					128KB						
	CPAx (プログラム最適化 CPU1/CPU3)	64KB			64KB					64KB						
	CDAx (データ最適化 CPU1/CPU3)	192KB			–					192KB						–
	合計	452KB			260KB					452KB						260KB
フラッシュ (ECC)	C29x – CPU1/CPU3	4MB	2MB	4MB	4MB	2MB	1MB	2MB		4MB	4MB	2MB				
	データ バンク (ソフトウェア EEPROM エミュレーションをサポート)	256KB					128KB			256KB						
	ファームウェアのワイヤレス更新 (FOTA) サポート	あり								あり						
	ライブ ファームウェア アップデート (LFU) サポート	あり								あり						
C29x システム																
CPU タイマ		CPU ごとに 3 個								CPU ごとに 3 個						
リアルタイム DMA (RTDMA) – それぞれ 10 チャネル		2 (ロックステップ対応)					1			2 (ロックステップ対応)						
データ ログおよびトレース (DLT) – タイプ 0		CPU ごとに 1 個								CPU ごとに 1 個						
拡張リアルタイム解析および診断 (ERAD) – タイプ 5		CPU ごとに 1 個								CPU ごとに 1 個						
外部メモリ インターフェイス (EMIF)[2]		–								1			–		1	–
組み込みパターン ジェネレータ (EPG)		あり								あり						
波形分析および診断 IP (WADI)		4 ブロックのインスタンス 2 個					–			4 ブロックのインスタンス 2 個						
ウィンドウ付きウォッチドッグ タイマ (WWD)		CPU ごとに 1 個								CPU ごとに 1 個						
デュアル クロック コンパレータ (DCC)		3					1			3						

Copyright © 2025 Texas Instruments Incorporated

表 4-1. デバイスの比較 (続き)

機能[1]		車載用								商業用						
		H859Tx8		H859Dx6	P589Dx5		P329Sxx			H850Tx9	H850Dx7		H850Dx6	H850Dx4	H850Dx3	P580Dx5
		H859TU8	H859TM8	H859DU6	P589DU5	P589DM5	P329SJ1	P329SM1	P329SM2	H850TU9	H850DU7	H850DM7	H850DM6	H850DM4	H850DM3	P580DM5
セーフティおよびセキュリティ																
機能安全機能[3]		ASIL D/SIL 3 (対象)		ASIL B/SIL 2 (対象) [6] ASIL D/SIL 3 (対象)[6]	ASIL D/SIL 3 (対象)					ASIL D/SIL 3 (対象)	ASIL B/SIL 2 (対象) [6] ASIL D/SIL 3 (対象)[6]			–		ASIL D/SIL 3 (対象)
エラー通知モジュール(ESM)		あり								あり						
EVITA-full 対応ハードウェア セキュリティ モジュール (HSM)		あり [「ハードウェア セキュリティ モジュール (HSM)」セクションを参照]								あり [「ハードウェア セキュリティ モジュール (HSM)」セクションを参照]						
JTAG ロック		あり								あり						
ロジック パワー オン自己テスト (LPOST)		あり								あり						
メモリ パワー オン自己テスト (MPOST)		あり								あり						
安全 / セキュリティ (SSU) モジュール		あり								あり						
SSU アクセス保護領域 (APR)		CPU ごとに 64 個								CPU ごとに 64 個						
ハードウェア セキュリティ マネージャ (HSM) サブシステム																
Cortex-M4		100MHz								100MHz						
ネスト型ベクタ割り込みコントローラ (NVIC)		64 個の割り込み								64 個の割り込み						
HSM リアルタイム DMA (RTDMA) – 8 チャネル		1								1						
HSM エラー通知モジュール (HSM-ESM)		あり								あり						
デュアル クロック コンパレータ (DCC)		1								1						
デュアル モード タイマ (DMTimer)		2								2						
リアルタイム クロック (RTC) カウンタ		1								1						
リアルタイム割り込み (RTI) タイマ		1								1						
セキュア ブート		あり								あり				なし		あり
HSM ウィンドウ ウォッチドッグ タイマ		1								1						
セキュリティ マネージャ		あり								あり						
フラッシュ	HSM	512KB					256KB			512KB						
	ファームウェアのワイヤレス更新 (FOTA) サポート	あり								あり						
RAM	ローカル	36KB								36KB						
	LDAx (C29x と共有)	128KB								128KB						
	メールボックス	4KB								4KB						
暗号化アクセラレータ (HSM または C29x にマッピング可能)																
真性乱数生成器 (TRNG)		あり								あり				なし		あり
決定論的乱数ビット生成器 (DRBG)		あり								あり				なし		あり
CRC エンジン		あり								あり				なし		あり
対称型暗号化	AES (Advanced Encryption Standard)	あり								あり				なし		あり
	SM4	あり								あり				なし		あり

Copyright © 2025 Texas Instruments Incorporated

表 4-1. デバイスの比較 (続き)

機能[1]		車載用								商業用						
		H859Tx8		H859Dx6	P589Dx5		P329Sxx			H850Tx9	H850Dx7		H850Dx6	H850Dx4	H850Dx3	P580Dx5
		H859TU8	H859TM8	H859DU6	P589DU5	P589DM5	P329SJ1	P329SM1	P329SM2	H850TU9	H850DU7	H850DM7	H850DM6	H850DM4	H850DM3	P580DM5
非対称型暗号化	公開鍵アクセラレータ (PKA):ECC、RSA	あり								あり				なし		あり
	SM2	あり								あり				なし		あり
ハッシュ関数	ハッシュ ベースのメッセージ認証コード (HMAC)	あり								あり				なし		あり
	セキュア ハッシュ アルゴリズム (SHA)	あり								あり				なし		あり
	MD5	あり								あり				なし		あり
	SM3	あり								あり				なし		あり
GPIO ピン、アナログ ピン、電源																
内部 3.3V ～ 1.25V の電圧レギュレータ		–			100 ピン (100MHz) のみ[4]					–						100 ピン (100MHz) のみ[4]
デジタル GPIO	256 ボール ZEX BGA	110	–	110			–			110			–		110	
	176 ピン PTS HTQFP	86	–	86			–			86			–		86	
	144 ピン RFS HTQFP	65								65			–		85	
	100 ピン PZS HTQFP	46								–			46			
アナログまたはデジタル 双方向 (AGPIO)	256 ボール ZEX BGA	26	–	26			–			26			–		26	
	176 ピン PTS HTQFP	26	–	26			–			26			–		26	
	144 ピン RFS HTQFP	16								16			–		16	
	100 ピン PZS HTQFP	8								–			8			
アナログまたはデジタル入力 (AIO)	256 ボール ZEX BGA	54	–	54			–			54			–		54	
	176 ピン PTS HTQFP	28	–	28			–			28			–		28	
	144 ピン RFS HTQFP	28								28			–		28	
	100 ピン PZS HTQFP	16								–			16			
合計信号ピン (GPIO、AGPIO、AIO)	256 ボール ZEX BGA	190	–	190			–			190			–		190	
	176 ピン PTS HTQFP	140	–	140			–			140			–		140	
	144 ピン RFS HTQFP	109								109			–		109	
	100 ピン PZS HTQFP	70								–			70			
アナログ ペリフェラル[7]																
ADC 16/12 ビット モジュール ADC AB – タイプ 4	個数	2			2		0			2						
	16 ビット モードのスループット	1.19MSPS					–			1.19MSPS						
	16 ビット モードの変換時間[5]	840ns					–			840ns						
	12 ビット モードのスループット	3.92MSPS					–			3.92MSPS						
	12 ビット モードの変換時間[5]	255ns					–			255ns						

Copyright © 2025 Texas Instruments Incorporated

表 4-1. デバイスの比較 (続き)

機能[1]		車載用								商業用						
		H859Tx8		H859Dx6	P589Dx5		P329Sxx			H850Tx9	H850Dx7		H850Dx6	H850Dx4	H850Dx3	P580Dx5
		H859TU8	H859TM8	H859DU6	P589DU5	P589DM5	P329SJ1	P329SM1	P329SM2	H850TU9	H850DU7	H850DM7	H850DM6	H850DM4	H850DM3	P580DM5
ADC 12 ビット モジュール ADC CDE – タイプ 5	個数	3					3 ADC、A、B、C		4 ADC A、B、C、D	3						
	スループット	3.92MSPS					3.95MSPS			3.92MSPS						
	変換時間[5]	255ns					253ns			255ns						
ADC チャネル (16 ビット シングルエンド モード) モジュール ADC AB	256 ボール ZEX BGA	32					0			32			–		32	
	176 ピン PTS HTQFP	26					0			26			–		26	
	144 ピン RFS HTQFP	21					0			21			–		21	
	100 ピン PZS HTQFP	12					0			–			12			
ADC チャネル (差動 モード) モジュール ADC AB	256 ボール ZEX BGA	16					0			16			–		16	
	176 ピン PTS HTQFP	13					0			13			–		13	
	144 ピン RFS HTQFP	10					0			10			–		10	
	100 ピン PZS HTQFP	6					0			–			6			
ADC チャネル (12 ビット シングルエンド モード) すべての ADC モジュール	256 ボール ZEX BGA	80					–			80			–		80	
	176 ピン PTS HTQFP	54					–			54			–		54	
	144 ピン RFS HTQFP	44								44			–		44	
	100 ピン PZS HTQFP	24								–			24			
温度センサ		1								1						
バッファ付き DAC – タイプ 1		2					–			2						
CMPSS (2 つのコンパレータと 2 つの内部 DAC) – タイプ 6		12					1		4	12						
制御ペリフェラル[7]																
構成可能ロジック ブロック (CLB) – タイプ 3		6 タイル			4 タイル		–		3	6 タイル						4 タイル
ePWM – タイプ 5	合計チャネル数	36			24		16[8]			36						24
	HRPWM 対応	36			24		–		16	36						24
eCAP – タイプ 3	合計モジュール数	6			6		4			6						6
	HRCAP 対応	2 (eCAP5、eCAP6)			–					2 (eCAP5、eCAP6)						–
eQEP モジュール – タイプ 2		6			4					6						4
シグマ-デルタ フィルタ モジュール (SDFM) チャネル – タイプ 2		16 チャネル (4 個の SDFM モジュール)					–			16 チャネル (4 個の SDFM モジュール)						
通信ペリフェラル[7]																
CAN FD (CAN with Flexible Data-Rate) – タイプ 2		6			4		3			6						4
EtherCAT (Ethernet for Control Automation Technology)[2]		–								1			–		1	–
高速シリアル インターフェイス (FSI) RX – タイプ 2		4			3		2			4						3
高速シリアル インターフェイス (FSI) TX – タイプ 2		4			3		2			4						3
I2C (Inter-Integrated Circuit) – タイプ 2		2								2						
LIN – タイプ 1 (UART 互換)		2								2						
パワー マネージメント バス (PMBus) 1.1 – タイプ 0		1					1			1						

Copyright © 2025 Texas Instruments Incorporated

表 4-1. デバイスの比較 (続き)

機能[1]	車載用								商業用						
	H859Tx8		H859Dx6	P589Dx5		P329Sxx			H850Tx9	H850Dx7		H850Dx6	H850Dx4	H850Dx3	P580Dx5
	H859TU8	H859TM8	H859DU6	P589DU5	P589DM5	P329SJ1	P329SM1	P329SM2	H850TU9	H850DU7	H850DM7	H850DM6	H850DM4	H850DM3	P580DM5
高速 UART (HS-UART) – タイプ 1	6			4		2			6						4
シングル エッジ ニブル伝送 (SENT) – タイプ 1	6					4			6						
SPI – タイプ 2	5								5						

Copyright © 2025 Texas Instruments Incorporated

表 4-1. デバイスの比較 (続き)

機能(1)		車載用								商業用						
		H859Tx8		H859Dx6	P589Dx5		P329Sxx			H850Tx9	H850Dx7		H850Dx6	H850Dx4	H850Dx3	P580Dx5
		H859TU8	H859TM8	H859DU6	P589DU5	P589DM5	P329SJ1	P329SM1	P329SM2	H850TU9	H850DU7	H850DM7	H850DM6	H850DM4	H850DM3	P580DM5
パッケージ オプション、温度、認定																
Q および S 温度コード	AEC-Q100 認定	グレード 1								–						
	接合部温度 (T_J)	–40°C ～ 150°C								–40°C ～ 150°C						
	自由気流での周囲温度 (T_A)	–40°C ～ 125°C								–40°C ～ 125°C						
	パッケージ オプション	256 ZEX 176 PTS 144 RFS 100 PZS	144 RFS 100 PZS	256 ZEX 176 PTS 144 RFS 100 PZS	256 ZEX 176 PTS 144 RFS 100 PZS	256 ZEX 176 PTS 144 RFS 100 PZS	144 RFS 100 PZS			176 PTS 144 RFS	176 PTS 144 RFS	176 PTS 144 RFS	100 PZS	100 PZS	176 PTS 144 RFS	176 PTS 144 RFS 100 PZS
T 温度コード	接合部温度 (T_J)	–								–40°C ～ 125°C						
	自由気流での周囲温度 (T_A)	–								–40°C ～ 105°C						
	パッケージ オプション	–								256 ZEX	256 ZEX	256 ZEX	–	–	256 ZEX	256 ZEX

(1) タイプの違いは、ペリフェラル モジュールの機能上の主要な相違を表します。同じペリフェラル タイプのデバイス間でも、モジュールの基本的な機能には影響しないわずかな違いがあることがあります。詳細については、『C2000 リアルタイム マイクロコントローラ ペリフェラル リファレンス ガイド』を参照してください。
(2) 144 ピン パッケージでは、EMIF と EtherCAT を同時に使用することはできません。
(3) 外部 VREG でのみサポート
(4) VREG は 100 ピン デバイスでサポートされていますが、電流の制限により、CPU は 100MHz で動作する必要があります。
(5) サンプル アンド ホールド ウィンドウの開始から、次の変換のサンプル アンド ホールド ウィンドウの開始までの時間。
(6) ソフトウェアやコード化処理による相互比較のようなソフトウェア ベースの安全メカニズムでは、当該メカニズムの実装と比較の品質はアプリケーション固有であり、ASIL D/SIL 3 までの安全性インテグリティ レベルを正当化するために、システム インテグレータが決定する必要があります。
(7) F29P58x および F29P32x GPN のモジュール シリアライゼーションは、常に最小値 (1) または文字 (A) で始まり、それに応じて増分されます。
(8) F29P32x GPN の EPWM モジュールシリアル化は、EPWM1、2、3、4、5、7、8、9 であり、6 はスキップされます。

Copyright © 2025 Texas Instruments Incorporated

4.1 関連製品

TMS320F2837xD リアルタイム デュアルコア マイクロコントローラ
F2837xD シリーズは、デュアル サブシステムの性能に関する新しい標準を確立します。各サブシステムは、C28x CPU および並列制御補償器アクセラレータ (CLA) で構成され、それぞれが 200MHz で動作します。性能を強化するものとして、TMU および VCU アクセラレータがあります。機能としては、複数の 16 ビット / 12 ビット モード ADC、DAC、デルタシグマ フィルタ、USB、コンフィギュラブル ロジック ブロック (CLB)、オンチップ発振器、すべてのペリフェラルの拡張バージョンがあります。F2837xD は、最大 1MB のフラッシュを搭載しています。176 ピン QFP または 337 ピン BGA パッケージで供給されます。

TMS320F2837xS リアルタイム マイクロコントローラ
F2837xS シリーズは、F2837xD のピン互換バージョンですが、C28x-CPU-CLA サブシステムが 1 つのみ有効です。また、TMS320F2807x シリーズとの互換性を確保するために、100 ピン QFP も用意されています。

TMS320F2838x リアルタイム マイコン
F2838x シリーズは、より高い性能、より多くのピン数、フラッシュ メモリ サイズ、ペリフェラル、および幅広い接続オプションを提供します。F2838x シリーズには、最新世代のアクセラレータ、ePWM ペリフェラル、アナログ テクノロジーが搭載されています。

TMS320F28P65x リアルタイム マイクロコントローラ
F28P65x シリーズは、パワー エレクトロニクスの効率的な制御のために設計されています。このファミリのデバイスは、さらに統合を進めるために ADC チャネル数が多くなっているほか、CPU の帯域幅を節約するためのハードウェア ADC オーバーサンプリングも備えています。新しい EPWM タイプは、フレキシビリティを強化した 36 個の高分解能 PWM を搭載しており、マルチフェーズやマルチレベル電源アーキテクチャなどの新しい電源トポロジを実現できます。他の機能として、最大 1.28MB のフラッシュ、デュアル ランプ ジェネレータを搭載した 11 個のウィンドウ付きコンパレータ、ロックステップ機能、200MHz で動作する CLA モジュールがあります。F28P65x ファミリのデバイスには、100 ピン QFP、169 ピン BGA、176 ピン QFP、256 ピン BGA パッケージ バリアントがあります。

TPS653860-Q1 : 最大 ASIL-D のハードウェア インテグリティ レベルを実装するセーフティ マイコン向け、機能安全準拠のマルチレール電源回路図の参考資料については、F29H85X-SOM-EVM を参照してください。

TPS650366-Q1 : 最大で ASIL-B のハードウェア インテグリティ レベルを実現する、セーフティ マイコン向け機能安全準拠のマルチレール電源回路図のリファレンスについては、LAUNCHXL-F29H85X を参照してください。

TMS320F2837x 、TMS320F2838x 、TMS320F28P65x から F29H85x への移行の詳細については、『*TMS320F2837x、TMS320F2838x、TMS320F28P65x から F29H85x への移行ユーザー ガイド*』を参照してください。

Copyright © 2025 Texas Instruments Incorporated

5 ピン構成および機能

5.1 ピン配置図

図 5-1 に、256 ボール ZEX 新ファイン ピッチ ボール グリッド アレイ (nFBGA) のボールの割り当てを示します。図 5-2 ～図 5-5 に、256 ボール ZEX nFBGA のボールの割り当てを象限で示します。

図 5-6 に、176 ピン PTS 熱的に強化された薄型クワッド フラットパックのピン配置を示します。

図 5-7 に、144 ピン RFS 熱的に強化された薄型クワッド フラットパックのピン配置を示します。F29P32x では、複数のピンの信号割り当てを利用できません。

図 5-8 に、100 ピン PZS 熱的に強化された薄型クワッド フラットパックのピン配置を示します。F29P32x では、複数のピンの信号割り当てを利用できません。

Copyright © 2025 Texas Instruments Incorporated

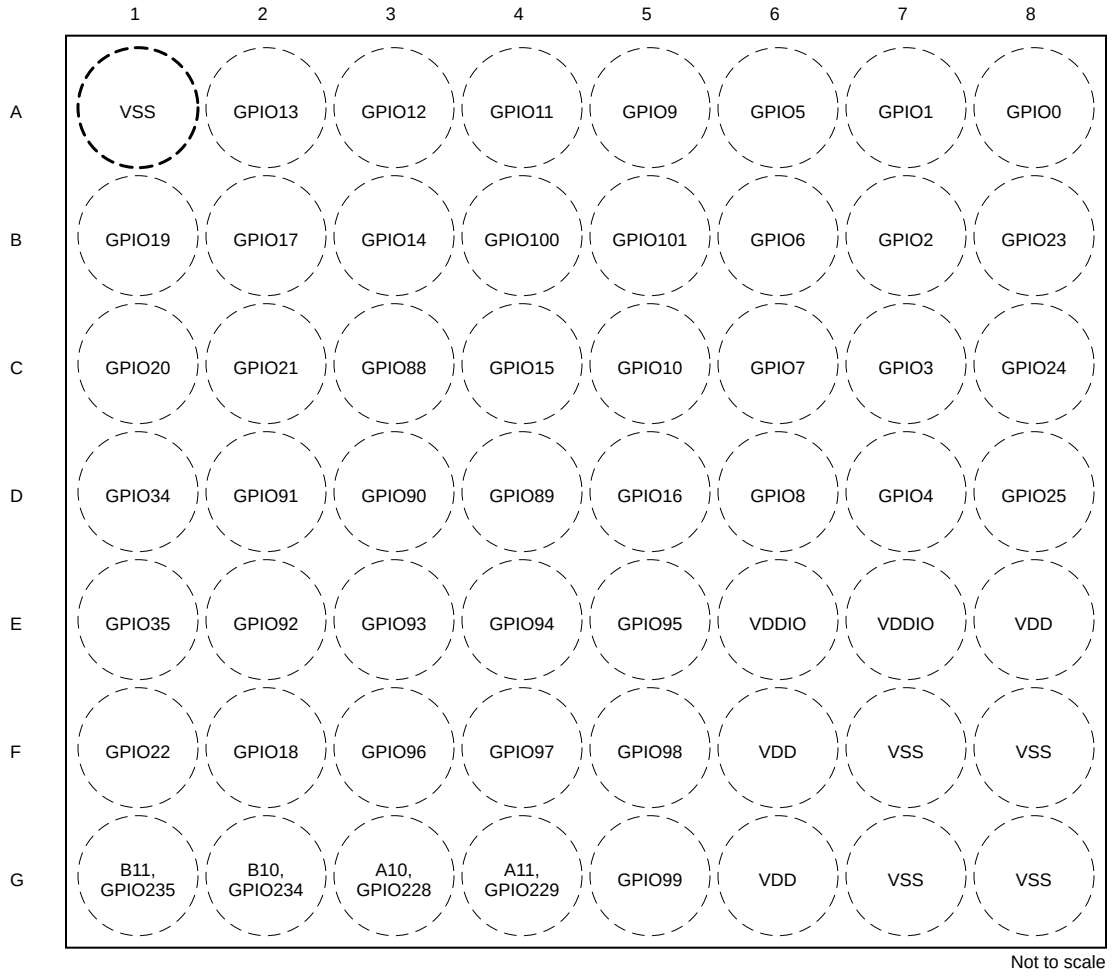
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
A	VSS	GPIO13	GPIO12	GPIO11	GPIO9	GPIO5	GPIO1	GPIO0	GPIO29	GPIO30	GPIO83	GPIO81	GPIO77	GPIO72	GPIO69	VSS
B	GPIO19	GPIO17	GPIO14	GPIO100	GPIO101	GPIO6	GPIO2	GPIO23	GPIO26	GPIO31	GPIO85	GPIO80	GPIO76	GPIO71	GPIO68	GPIO67
C	GPIO20	GPIO21	GPIO88	GPIO15	GPIO10	GPIO7	GPIO3	GPIO24	GPIO27	GPIO87	GPIO86	GPIO79	GPIO75	GPIO70	GPIO43	GPIO42
D	GPIO34	GPIO91	GPIO90	GPIO89	GPIO16	GPIO8	GPIO4	GPIO25	GPIO28	GPIO82	GPIO84	GPIO78	GPIO74	GPIO46	GPIO47	GPIO103
E	GPIO35	GPIO92	GPIO93	GPIO94	GPIO95	VDDIO	VDDIO	VDD	VDD	VDDIO	VDDIO	VDD	GPIO73	GPIO38	VSSOSC	GPIO220, X1
F	GPIO22	GPIO18	GPIO96	GPIO97	GPIO98	VDD	VSS	VSS	VSS	VSS	VSS	VDD	GPIO127	XRSn	VDDIO	GPIO221, X2
G	B11, GPIO235	B10, GPIO234	A10, GPIO228	A11, GPIO229	GPIO99	VDD	VSS	VSS	VSS	VSS	VSS	VDDIO	GPIO66	GPIO44	GPIO45	GPIO32
H	B9, GPIO233	B8, GPIO232	A9, GPIO227	A8, GPIO226	B7/E27, GPIO231	VDDIO	VSS	VSS	VSS	VSS	VSS	VDDIO	GPIO62	GPIO63	GPIO64	GPIO65
J	B13	B12	B17	B16	B6/E26, GPIO230	VDDIO	VSS	VSS	VSS	VSS	VSS	VDDIO	GPIO61	GPIO105	GPIO60	GPIO59
K	A13	A12	B5/D31	B4/D30	A7/E25, GPIO225	VDDA	VSSA	VSS	VSS	VSS	VSS	VDDIO	GPIO55	GPIO56	GPIO57	GPIO58
L	A5/D29	A4/D28	B3/D27	B2/D26	A6/E24, GPIO224	VDDA	VSSA	VDDIO	VDDIO	VDDIO	VDD	VDD	VDDIO	GPIO52	GPIO53	GPIO54
M	A2/D24	A3/D25	A14/B14 /C14/D14 /E14	A15/B15 /C15/D15 /E15	C3/E31	D13	D12	C6, GPIO236	C7, GPIO237	VDDIO	VDDIO	FLT3	GPIO51	GPIO50	GPIO49	GPIO219 /ERRORSTS
N	VREFLOAB	VREFHIAB	B1/C27	C2/E30	C5	D10	C16	C10	E13	D4/B28, GPIO240	D5/B29, GPIO241	C8, GPIO238	E7/A31, GPIO249	GPIO36	GPIO41	GPIO48
P	A1/C25	B0/C26 /VDAC	E0/A24 /DACB_OUT	E1/A25	C4	D11	C17	C11	E12	E16	E4/A28, GPIO246	C9, GPIO239	E6/A30, GPIO248	GPIO33	GPIO39	GPIO40
R	A0/C24 /DACA_OUT	C0/E28	D0/B24	VREFHICDE	D2/B26	D3/B27	D16	C12	E11	E10	E5/A29, GPIO247	D7/B31, GPIO243	D8/C28, GPIO244	GPIO223 /TDO	TCK	GPIO37
T	VSSA	C1/E29	D1/B25	VREFLOCDE	E2/A26	E3/A27	D17	C13	E9/C31	E8/C30	E17	D6/B30, GPIO242	D9/C29, GPIO245	GPIO222 /TDI	TMS	VSS

Not to scale

A. GPIO 端子には GPIO 機能のみを表示しています。完全な多重化された信号名については、「ピン属性 (F29H85x、F29P58x、F29P32x)」表を参照してください。セクション 5.2

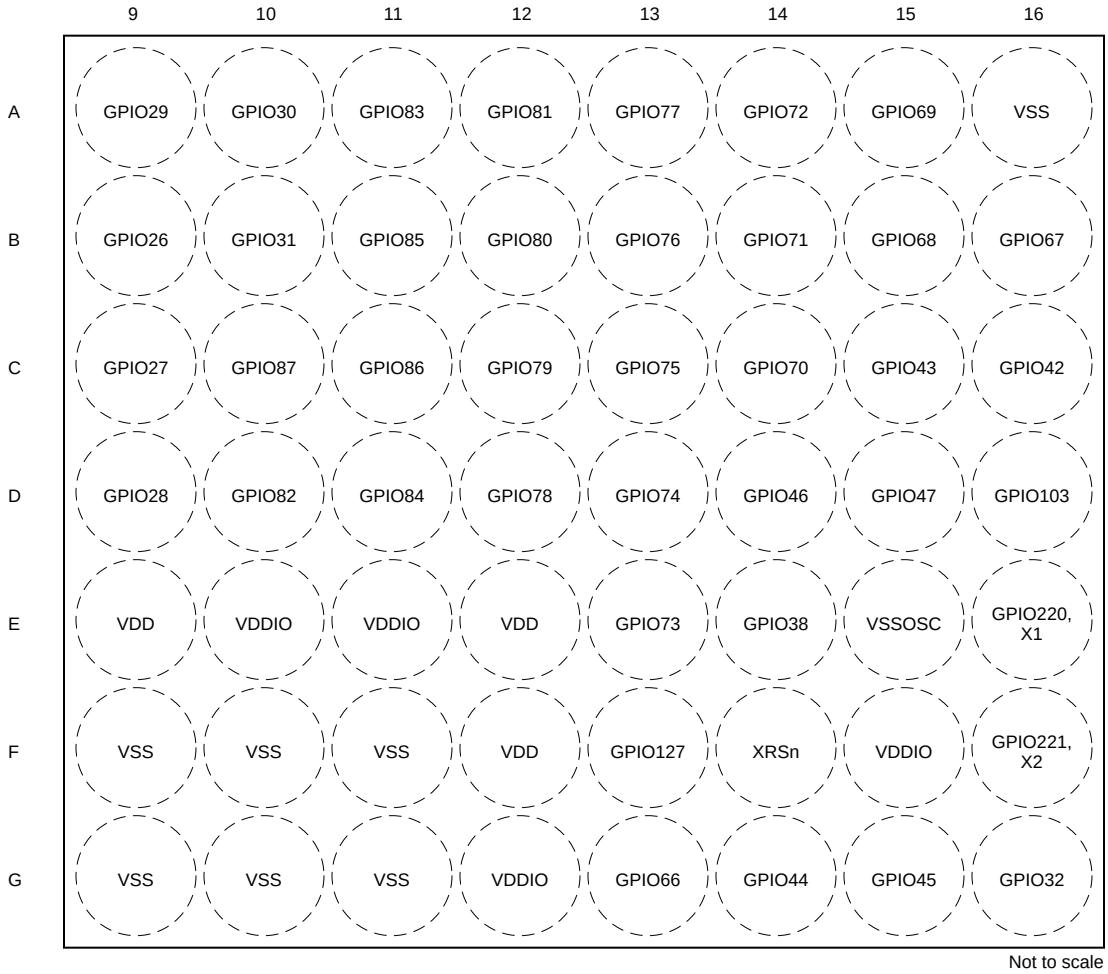
図 5-1. 256 ボール ZEX 新ファイン ピッチ ボール グリッド アレイ (上面図)

Copyright © 2025 Texas Instruments Incorporated



A. GPIO 端子には GPIO 機能のみを表示しています。完全な多重化された信号名については、「ピン属性 (F29H85x、F29P58x、F29P32x)」表を参照してください。セクション 5.2

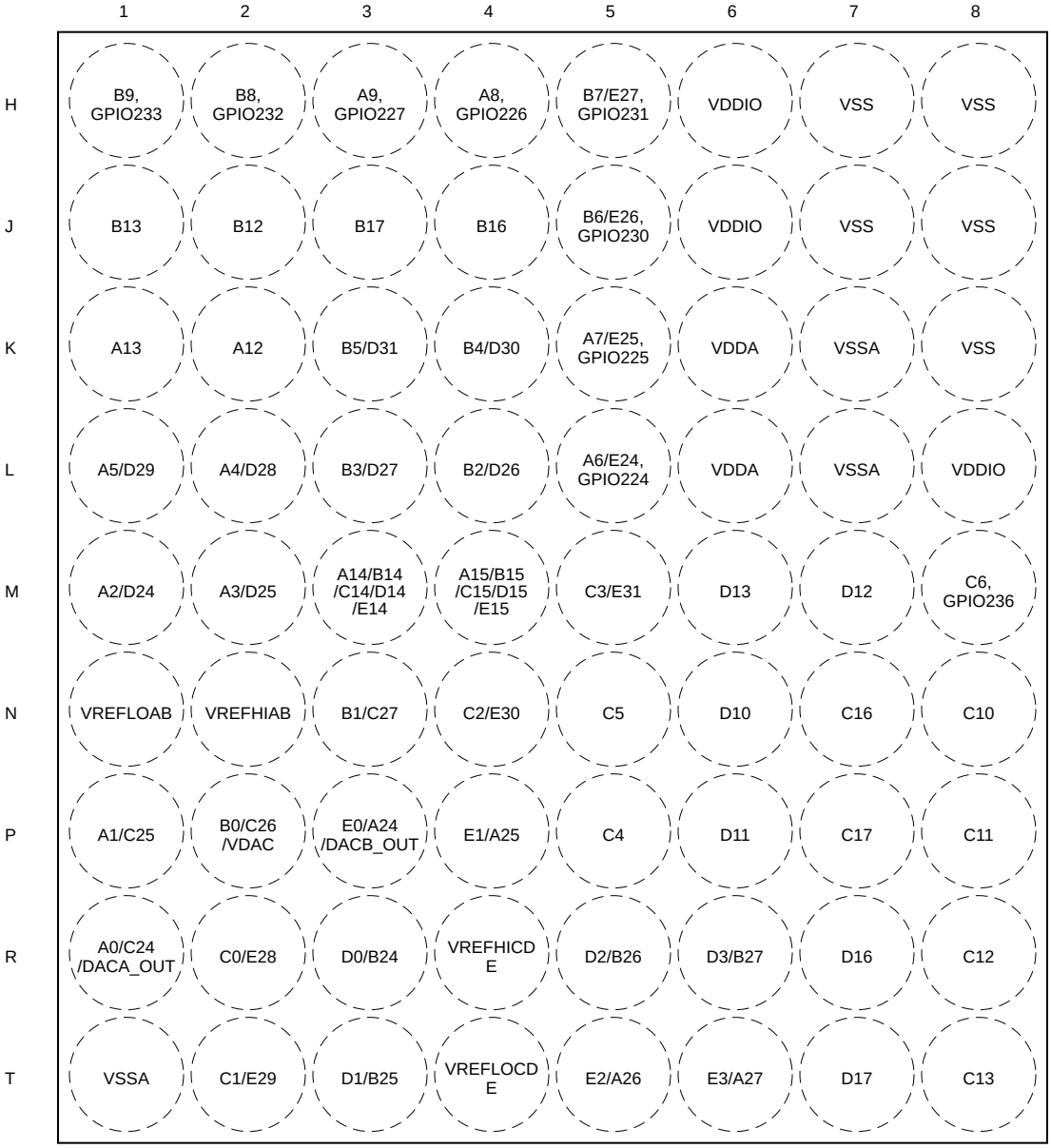
図 5-2. 256 ボール ZEX 新ファインピッチボールグリッドアレイ (上面図) - [象限 1]



A. GPIO 端子には GPIO 機能のみを表示しています。完全な多重化された信号名については、「ピン属性 (F29H85x、F29P58x、F29P32x)」表を参照してください。セクション 5.2

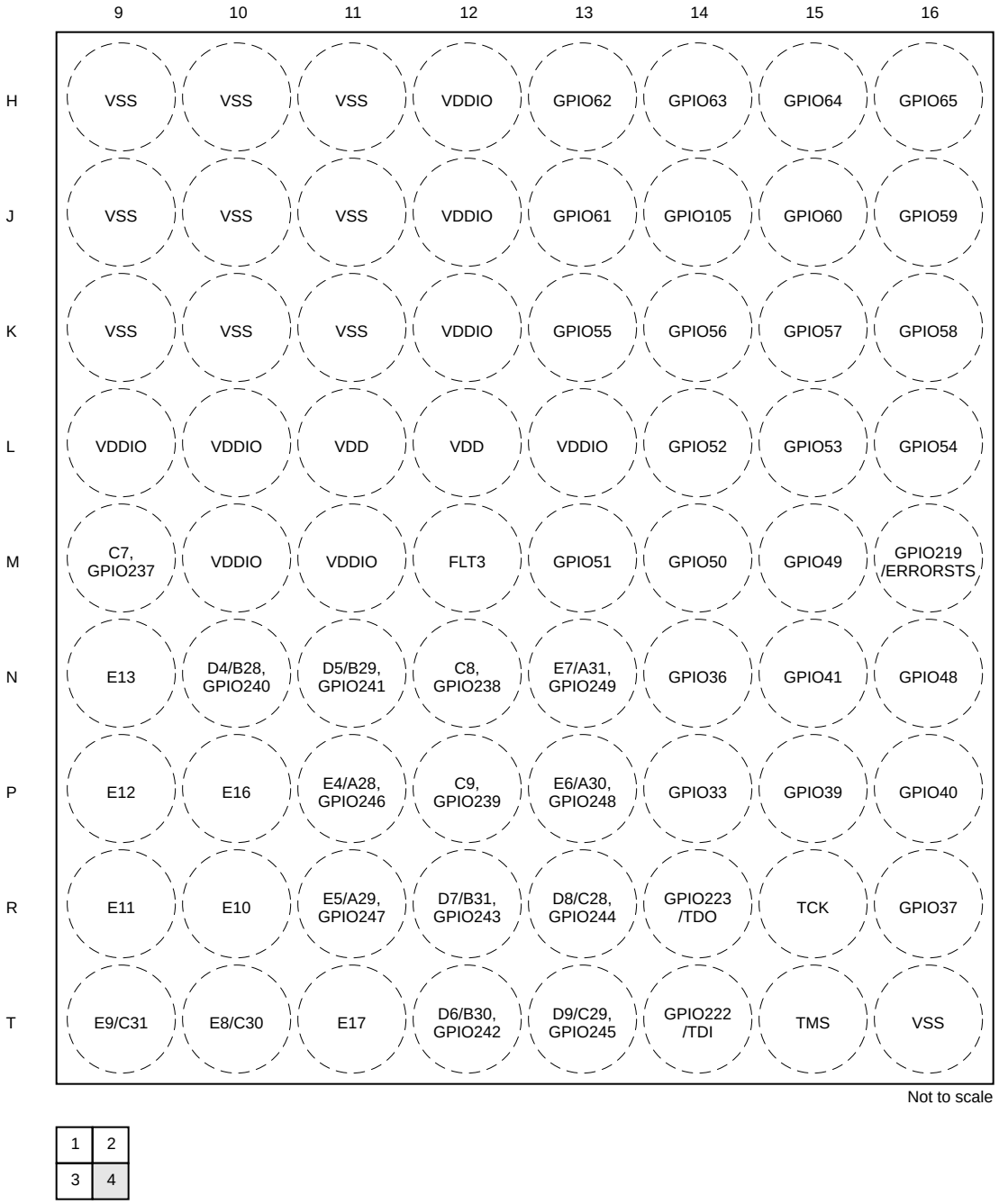
図 5-3. 256 ボール ZEX 新ファインピッチボールグリッドアレイ (上面図) - [象限 2]

Copyright © 2025 Texas Instruments Incorporated



A. GPIO 端子には GPIO 機能のみを表示しています。完全な多重化された信号名については、「ピン属性 (F29H85x、F29P58x、F29P32x)」表を参照してください。セクション 5.2

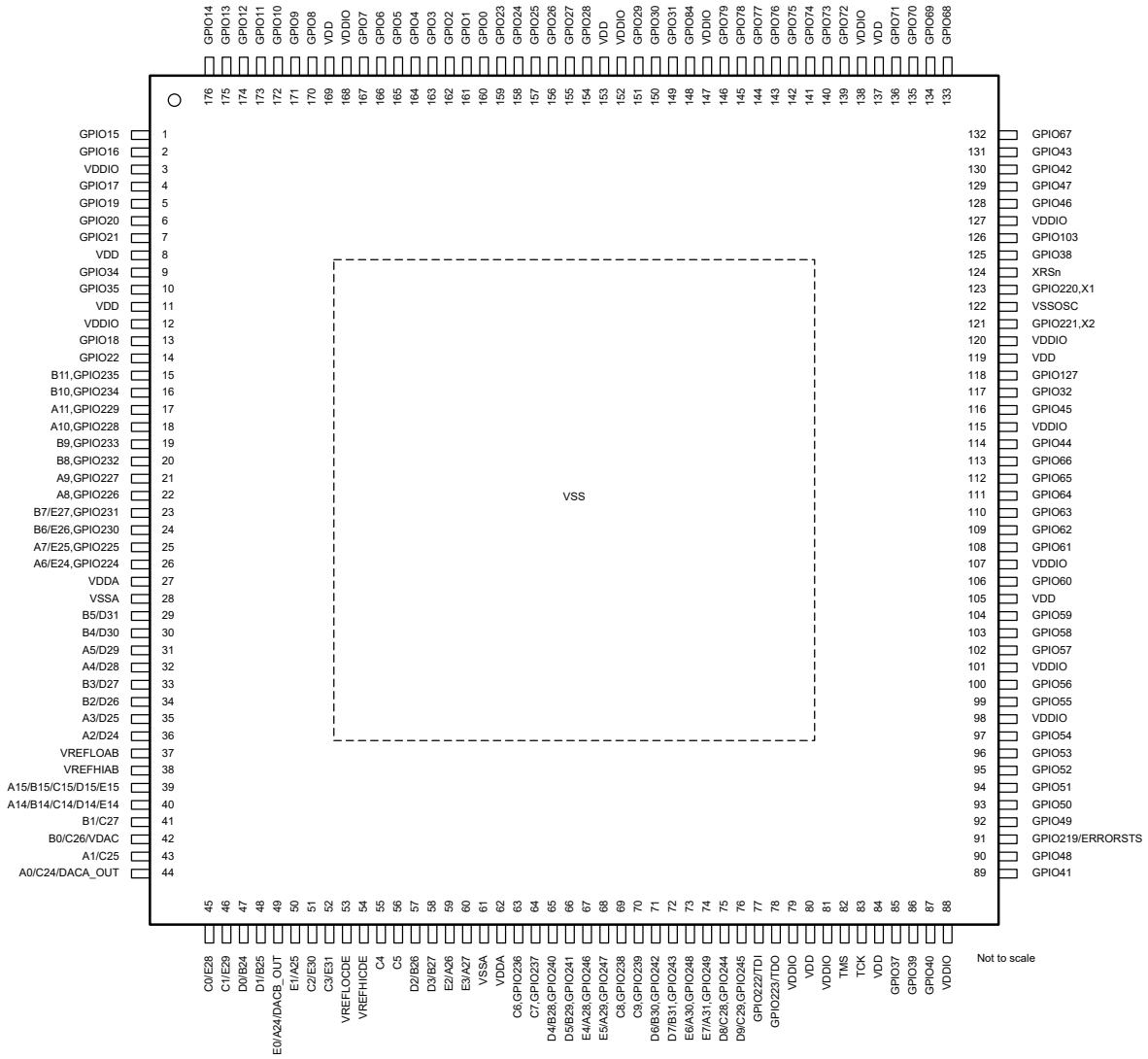
図 5-4. 256 ボール ZEX 新ファインピッチボールグリッドアレイ (上面図) - [象限 3]



A. GPIO 端子には GPIO 機能のみを表示しています。完全な多重化された信号名については、「ピン属性 (F29H85x、F29P58x、F29P32x)」表を参照してください。セクション 5.2

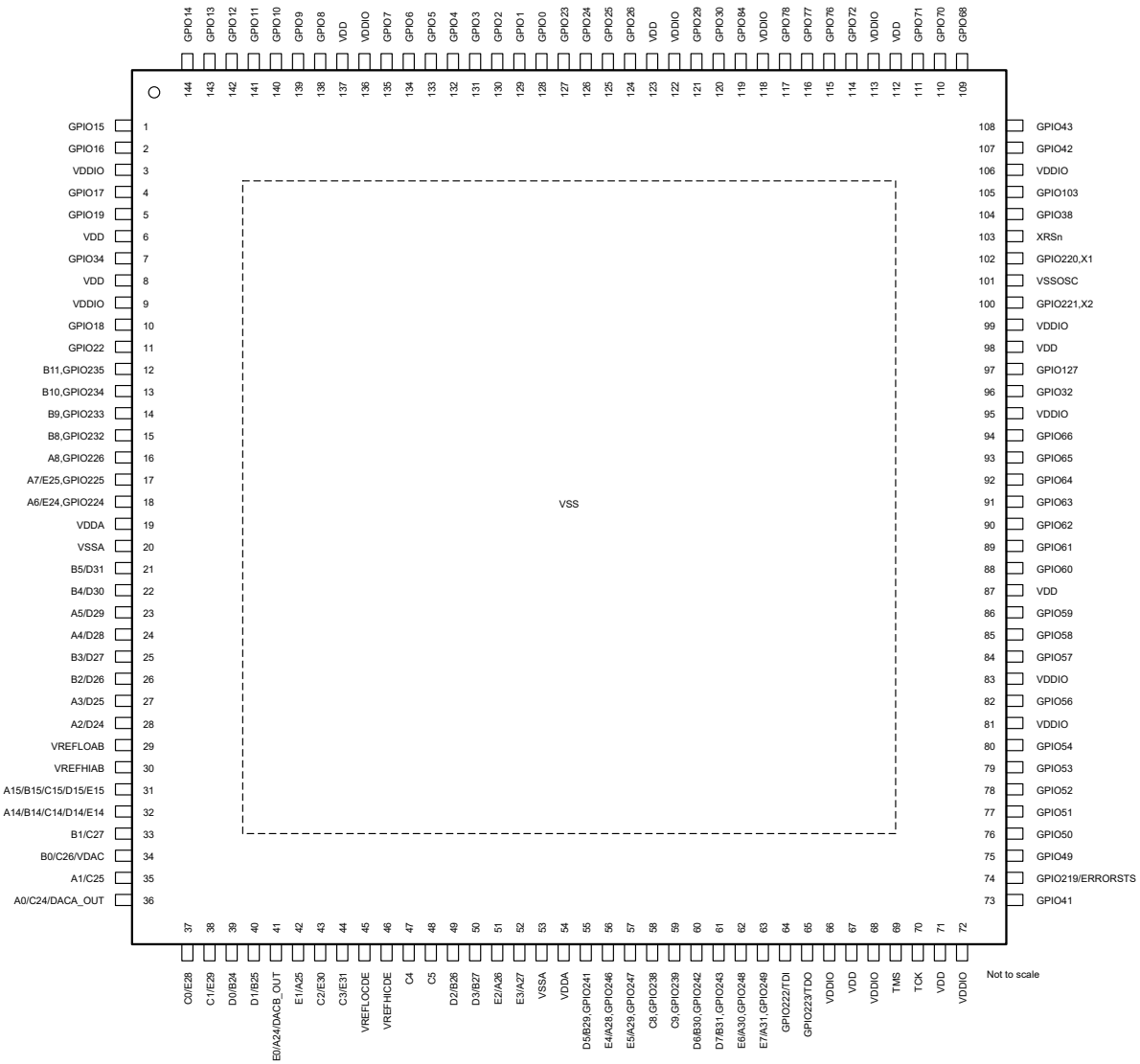
図 5-5. 256 ボール ZEX 新ファインピッチボールグリッドアレイ (上面図) - [象限 4]

Copyright © 2025 Texas Instruments Incorporated



A. GPIO 端子には GPIO 機能のみを表示しています。完全な多重化された信号名については、「ピン属性 (F29H85x、F29P58x、F29P32x)」表を参照してください。セクション 5.2

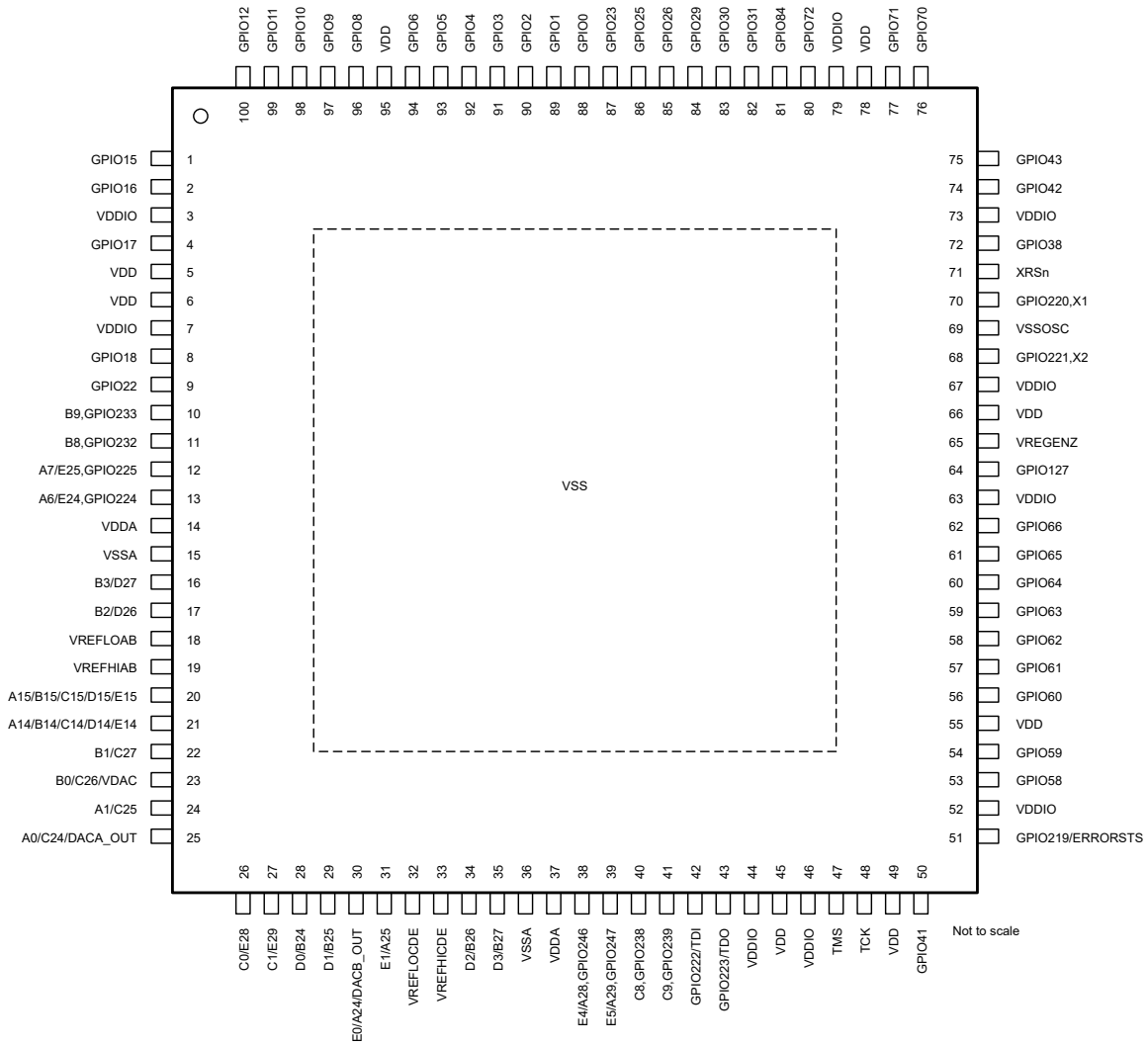
図 5-6. 176 ピン PTS 熱的に強化された薄型クワッド フラットパック (上面図)



A. GPIO 端子には GPIO 機能のみを表示しています。完全な多重化された信号名については、「ピン属性 (F29H85x、F29P58x、F29P32x)」表を参照してください。セクション 5.2F29P32x では、複数のピンの信号割り当てを利用できません。

図 5-7. 144 ピン RFS 熱的に強化された薄型クワッド フラットパック (上面図)

Copyright © 2025 Texas Instruments Incorporated



A. GPIO 端子には GPIO 機能のみを表示しています。完全な多重化された信号名については、「ピン属性 (F29H85x、F29P58x、F29P32x)」表を参照してください。セクション 5.2F29P32x では、複数のピンの信号割り当てを利用できません。

図 5-8. 100 ピン PZS 熱的に強化された薄型クワッド フラットパック (上面図)

5.2 ピン属性

表 5-1. ピン属性

信号名	多重化位置	256 ZEX	176 PTS	144 RFS	100 PZS	ピンの種類	説明
アナログ							
A0						I	ADC-A 入力 0
C24						I	ADC-C 入力 24
CMP4_HP0_CMP9_HP6						I	CMPSS-4 ハイコンパレータ正入力 0、CMPSS-9 ハイコンパレータ正入力 6
CMP4_LP0_CMP9_LP6		R1	44	36	25	I	CMPSS-4 ローコンパレータ正入力 0、CMPSS-9 ローコンパレータ正入力 6
DACA_OUT						O	バッファ付き DAC-A 出力。
AIO160	0、4、8、12					I	デジタル入力 160 に使用されるアナログ ピン。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
A1						I	ADC-A 入力 1
C25						I	ADC-C 入力 25
CMP4_HN0						I	CMPSS-4 ハイ コンパレータ負入力 0
CMP4_LN0						I	CMPSS-4 ロー コンパレータ負入力 0
CMP7_HP6		P1	43	35	24	I	CMPSS-7 ハイ コンパレータ正入力 6
CMP7_LP6						I	CMPSS-7 ロー コンパレータ正入力 6
AIO161	0、4、8、12					I	デジタル入力 161 に使用されるアナログ ピン。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
A2						I	ADC-A 入力 2
CMP1_HP1						I	CMPSS-1 ハイ コンパレータ正入力 1
CMP1_LP1						I	CMPSS-1 ロー コンパレータ正入力 1
CMP9_HN0						I	CMPSS-9 ハイ コンパレータ負入力 0
CMP9_LN0		M1	36	28		I	CMPSS-9 ロー コンパレータ負入力 0
D24						I	ADC-D 入力 24
AIO162	0、4、8、12					I	デジタル入力 162 に使用されるアナログ ピン。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
A3						I	ADC-A 入力 3
CMP1_HN1						I	CMPSS-1 ハイ コンパレータ負入力 1
CMP1_HP2						I	CMPSS-1 ハイ コンパレータ正入力 2
CMP1_LN1						I	CMPSS-1 ロー コンパレータ負入力 1
CMP1_LP2		M2	35	27		I	CMPSS-1 ロー コンパレータ正入力 2
D25						I	ADC-D 入力 25
AIO163	0、4、8、12					I	デジタル入力 163 に使用されるアナログ ピン。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
A4						I	ADC-A 入力 4
CMP1_HP0						I	CMPSS-1 ハイ コンパレータ正入力 0
CMP1_LP0						I	CMPSS-1 ロー コンパレータ正入力 0
CMP2_HN1						I	CMPSS-2 ハイ コンパレータ負入力 1
CMP2_LN1		L2	32	24		I	CMPSS-2 ロー コンパレータ負入力 1
D28						I	ADC-D 入力 28
AIO164	0、4、8、12					I	デジタル入力 164 に使用されるアナログ ピン。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEX	176 PTS	144 RFS	100 PZS	ピンの種類	説明
A5						I	ADC-A 入力 5
CMP1_HN0						I	CMPSS-1 ハイ コンパレータ負入力 0
CMP1_LN0						I	CMPSS-1 ロー コンパレータ負入力 0
D29		L1	31	23		I	ADC-D 入力 29
AIO165	0、4、8、12					I	デジタル入力 165 に使用されるアナログ ピン。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
A6						I	ADC-A 入力 6
CMP2_HP0						I	CMPSS-2 ハイ コンパレータ正入力 0
CMP2_LP0						I	CMPSS-2 ロー コンパレータ正入力 0
CMP12_HN0		L5	26	18	13	I	CMPSS-12 ハイ コンパレータ負入力 0
CMP12_LN0						I	CMPSS-12 ロー コンパレータ負入力 0
E24						I	ADC-E 入力 24
GPIO224	0、4、8、12					I/O	汎用入出力 224。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
A7						I	ADC-A 入力 7
CMP2_HN0						I	CMPSS-2 ハイ コンパレータ負入力 0
CMP2_LN0						I	CMPSS-2 ロー コンパレータ負入力 0
CMP9_HP2		K5	25	17	12	I	CMPSS-9 ハイ コンパレータ正入力 2
CMP9_LP2						I	CMPSS-9 ロー コンパレータ正入力 2
E25						I	ADC-E 入力 25
GPIO225	0、4、8、12					I/O	汎用入出力 225。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
A8						I	ADC-A 入力 8
CMP5_HP4_CMP8_HP3		H4	22	16		I	CMPSS-5 ハイコンパレータ正入力 4、CMPSS-8 ハイコンパレータ正入力 3
CMP8_LP3						I	CMPSS-8 ロー コンパレータ正入力 3
GPIO226	0、4、8、12					I/O	汎用入出力 226。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
A9						I	ADC-A 入力 9
CMP6_HP4		H3	21			I	CMPSS-6 ハイ コンパレータ正入力 4
GPIO227	0、4、8、12					I/O	汎用入出力 227。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
A10						I	ADC-A 入力 10
CMP7_HP4		G3	18			I	CMPSS-7 ハイ コンパレータ正入力 4
GPIO228	0、4、8、12					I/O	汎用入出力 228。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
A11						I	ADC-A 入力 11
CMP8_HP4		G4	17			I	CMPSS-8 ハイ コンパレータ正入力 4
GPIO229	0、4、8、12					I/O	汎用入出力 229。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
A12						I	ADC-A 入力 12
CMP1_HP5						I	CMPSS-1 ハイ コンパレータ正入力 5
CMP1_LP5		K2				I	CMPSS-1 ロー コンパレータ正入力 5
AIO166	0、4、8、12					I	デジタル入力 166 に使用されるアナログ ピン。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEX	176 PTS	144 RFS	100 PZS	ピンの種類	説明
A13						I	ADC-A 入力 13
CMP2_HP5						I	CMPSS-2 ハイ コンパレータ正入力 5
CMP2_LP5		K1				I	CMPSS-2 ロー コンパレータ正入力 5
AIO167	0、4、8、12					I	デジタル入力 167 に使用されるアナログ ピン。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
A14						I	ADC-A 入力 14
B14						I	ADC-B 入力 14
C14						I	ADC-C 入力 14
CMP3_HP5_CMP11_HP6						I	CMPSS-3 ハイコンパレータ正入力 5、CMPSS-11 ハイコンパレータ正入力 6
CMP3_LP5_CMP11_LP6		M3	40	32	21	I	CMPSS-3 ローコンパレータ正入力 5、CMPSS-11 ローコンパレータ正入力 6
D14						I	ADC-D 入力 14
E14						I	ADC-E 入力 14
AIO168	0、4、8、12					I	デジタル入力 168 に使用されるアナログ ピン。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
A15						I	ADC-A 入力 15
B15						I	ADC-B 入力 15
C15						I	ADC-C 入力 15
CMP4_HP5_CMP12_HP6						I	CMPSS-4 ハイコンパレータ正入力 5、CMPSS-12 ハイコンパレータ正入力 6
CMP4_LP5_CMP12_LP6		M4	39	31	20	I	CMPSS-4 ローコンパレータ正入力 5、CMPSS-12 ローコンパレータ正入力 6
D15						I	ADC-D 入力 15
E15						I	ADC-E 入力 15
AIO169	0、4、8、12					I	デジタル入力 169 に使用されるアナログ ピン。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
B0						I	ADC-B 入力 0
C26						I	ADC-C 入力 26
CMP3_HP1_CMP1_HP6						I	CMPSS-3 ハイコンパレータ正入力 1、CMPSS-1 ハイコンパレータ正入力 6
CMP3_LP1_CMP1_LP6		P2	42	34	23	I	CMPSS-3 ローコンパレータ正入力 1、CMPSS-1 ローコンパレータ正入力 6
VDAC						I	オンチップ DAC の外部リファレンス電圧 (オプション)。
AIO170	0、4、8、12					I	デジタル入力 170 に使用されるアナログ ピン。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
B1						I	ADC-B 入力 1
C27						I	ADC-C 入力 27
CMP3_HP2						I	CMPSS-3 ハイ コンパレータ正入力 2
CMP3_LP2		N3	41	33	22	I	CMPSS-3 ロー コンパレータ正入力 2
CMP12_LN1_CMP12_HN1						I	CMPSS-12 ローコンパレータ負入力 1、CMPSS-12 ハイコンパレータ負入力 1
AIO171	0、4、8、12					I	デジタル入力 171 に使用されるアナログ ピン。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEX	176 PTS	144 RFS	100 PZS	ピンの種類	説明
B2						I	ADC-B 入力 2
CMP3_HP0_CMP2_HP6						I	CMPSS-3 ハイコンパレータ正入力 0、CMPSS-2 ハイコンパレータ正入力 6
CMP3_LP0_CMP2_LP6		L4	34	26	17	I	CMPSS-3 ローコンパレータ正入力 0、CMPSS-2 ローコンパレータ正入力 6
D26						I	ADC-D 入力 26
AIO172	0、4、8、12					I	デジタル入力 172 に使用されるアナログ ピン。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
B3						I	ADC-B 入力 3
CMP1_HP3						I	CMPSS-1 ハイ コンパレータ正入力 3
CMP1_LP3						I	CMPSS-1 ロー コンパレータ正入力 3
CMP3_HN0						I	CMPSS-3 ハイ コンパレータ負入力 0
CMP3_LN0		L3	33	25	16	I	CMPSS-3 ロー コンパレータ負入力 0
D27						I	ADC-D 入力 27
AIO173	0、4、8、12					I	デジタル入力 173 に使用されるアナログ ピン。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
B4						I	ADC-B 入力 4
CMP7_HN1						I	CMPSS-7 ハイ コンパレータ負入力 1
CMP7_HP1						I	CMPSS-7 ハイ コンパレータ正入力 1
CMP7_LN1						I	CMPSS-7 ロー コンパレータ負入力 1
CMP7_LP1		K4	30	22		I	CMPSS-7 ロー コンパレータ正入力 1
D30						I	ADC-D 入力 30
AIO174	0、4、8、12					I	デジタル入力 174 に使用されるアナログ ピン。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
B5						I	ADC-B 入力 5
CMP3_HN1						I	CMPSS-3 ハイ コンパレータ負入力 1
CMP3_LN1						I	CMPSS-3 ロー コンパレータ負入力 1
CMP7_HP2						I	CMPSS-7 ハイ コンパレータ正入力 2
CMP7_LP2		K3	29	21		I	CMPSS-7 ロー コンパレータ正入力 2
D31						I	ADC-D 入力 31
AIO175	0、4、8、12					I	デジタル入力 175 に使用されるアナログ ピン。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
B6						I	ADC-B 入力 6
CMP9_HP4						I	CMPSS-9 ハイ コンパレータ正入力 4
CMP11_HN0						I	CMPSS-11 ハイ コンパレータ負入力 0
CMP11_LN0		J5	24			I	CMPSS-11 ロー コンパレータ負入力 0
E26						I	ADC-E 入力 26
GPIO230	0、4、8、12					I/O	汎用入出力 230。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
B7						I	ADC-B 入力 7
CMP10_HP4						I	CMPSS-10 ハイ コンパレータ正入力 4
E27		H5	23			I	ADC-E 入力 27
GPIO231	0、4、8、12					I/O	汎用入出力 231。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEX	176 PTS	144 RFS	100 PZS	ピンの種類	説明
B8						I	ADC-B 入力 8
CMP4_LP6						I	CMPSS-4 ロー コンパレータ正入力 6
CMP11_HP4_CMP4_HP6		H2	20	15	11	I	CMPSS-11 ハイコンパレータ正入力 4、CMPSS-4 ハイコンパレータ正入力 6
GPIO232	0、4、8、12					I/O	汎用入出力 232。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
B9						I	ADC-B 入力 9
CMP8_LP6						I	CMPSS-8 ロー コンパレータ正入力 6
CMP12_HP4_CMP8_HP6		H1	19	14	10	I	CMPSS-12 ハイコンパレータ正入力 4、CMPSS-8 ハイコンパレータ正入力 6
GPIO233	0、4、8、12					I/O	汎用入出力 233。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
B10						I	ADC-B 入力 10
CMP5_LP4		G2	16	13		I	CMPSS-5 ロー コンパレータ正入力 4
GPIO234	0、4、8、12					I/O	汎用入出力 234。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
B11						I	ADC-B 入力 11
CMP6_LP4		G1	15	12		I	CMPSS-6 ロー コンパレータ正入力 4
GPIO235	0、4、8、12					I/O	汎用入出力 235。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
B12						I	ADC-B 入力 12
CMP7_LP4		J2				I	CMPSS-7 ロー コンパレータ正入力 4
AIO176	0、4、8、12					I	デジタル入力 176 に使用されるアナログ ピン。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
B13						I	ADC-B 入力 13
CMP8_LP4		J1				I	CMPSS-8 ロー コンパレータ正入力 4
AIO177	0、4、8、12					I	デジタル入力 177 に使用されるアナログ ピン。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
B16						I	ADC-B 入力 16
CMP9_HP5		J4				I	CMPSS-9 ハイ コンパレータ正入力 5
AIO178	0、4、8、12					I	デジタル入力 178 に使用されるアナログ ピン。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
B17						I	ADC-B 入力 17
CMP10_HP5		J3				I	CMPSS-10 ハイ コンパレータ正入力 5
AIO179	0、4、8、12					I	デジタル入力 179 に使用されるアナログ ピン。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
C0						I	ADC-C 入力 0
CMP10_HP0_CMP5_HP6						I	CMPSS-10 ハイコンパレータ正入力 0、CMPSS-5 ハイコンパレータ正入力 6
CMP10_LP0_CMP5_LP6		R2	45	37	26	I	CMPSS-10 ローコンパレータ正入力 0、CMPSS-5 ローコンパレータ正入力 6
E28						I	ADC-E 入力 28
AIO180	0、4、8、12					I	デジタル入力 180 に使用されるアナログ ピン。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEX	176 PTS	144 RFS	100 PZS	ピンの種類	説明
C1						I	ADC-C 入力 1
CMP11_HP0_CMP9_HP0						I	CMPSS-11 ハイコンパレータ正入力 0、CMPSS-9 ハイコンパレータ正入力 0
CMP11_LP0_CMP9_LP0		T2	46	38	27	I	CMPSS-11 ローコンパレータ正入力 0、CMPSS-9 ローコンパレータ正入力 0
E29						I	ADC-E 入力 29
AIO181	0、4、8、12					I	デジタル入力 181 に使用されるアナログ ピン。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
C2						I	ADC-C 入力 2
CMP9_HP1						I	CMPSS-9 ハイ コンパレータ正入力 1
CMP9_LP1						I	CMPSS-9 ロー コンパレータ正入力 1
CMP11_HN1						I	CMPSS-11 ハイ コンパレータ負入力 1
CMP11_LN1		N4	51	43		I	CMPSS-11 ロー コンパレータ負入力 1
E30						I	ADC-E 入力 30
AIO182	0、4、8、12					I	デジタル入力 182 に使用されるアナログ ピン。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
C3						I	ADC-C 入力 3
CMP9_LP4						I	CMPSS-9 ロー コンパレータ正入力 4
E31		M5	52	44		I	ADC-E 入力 31
AIO183	0、4、8、12					I	デジタル入力 183 に使用されるアナログ ピン。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
C4						I	ADC-C 入力 4
CMP10_LP4		P5	55	47		I	CMPSS-10 ロー コンパレータ正入力 4
AIO184	0、4、8、12					I	デジタル入力 184 に使用されるアナログ ピン。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
C5						I	ADC-C 入力 5
CMP11_LP4		N5	56	48		I	CMPSS-11 ロー コンパレータ正入力 4
AIO185	0、4、8、12					I	デジタル入力 185 に使用されるアナログ ピン。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
C6						I	ADC-C 入力 6
CMP12_LP4		M8	63			I	CMPSS-12 ロー コンパレータ正入力 4
GPIO236	0、4、8、12					I/O	汎用入出力 236。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
C7						I	ADC-C 入力 7
CMP5_HP5		M9	64			I	CMPSS-5 ハイ コンパレータ正入力 5
GPIO237	0、4、8、12					I/O	汎用入出力 237。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
C8						I	ADC-C 入力 8
CMP6_HP5_CMP12_HP0						I	CMPSS-6 ハイコンパレータ正入力 5、CMPSS-12 ハイコンパレータ正入力 0
CMP12_LP0		N12	69	58	40	I	CMPSS-12 ロー コンパレータ正入力 0
GPIO238	0、4、8、12					I/O	汎用入出力 238。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEX	176 PTS	144 RFS	100 PZS	ピンの種類	説明
C9		P12	70	59	41	I	ADC-C 入力 9
CMP7_HP5_CMP9_HP3						I	CMPSS-7 ハイコンパレータ正入力 5、CMPSS-9 ハイコンパレータ正入力 3
CMP9_LP3						I	CMPSS-9 ロー コンパレータ正入力 3
GPIO239	0、4、8、12					I/O	汎用入出力 239。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
C10		N8				I	ADC-C 入力 10
CMP8_HP5						I	CMPSS-8 ハイ コンパレータ正入力 5
AIO186	0、4、8、12					I	デジタル入力 186 に使用されるアナログ ピン。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
C11		P8				I	ADC-C 入力 11
CMP11_HP5						I	CMPSS-11 ハイ コンパレータ正入力 5
AIO187	0、4、8、12					I	デジタル入力 187 に使用されるアナログ ピン。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
C12		R8				I	ADC-C 入力 12
CMP12_HP5						I	CMPSS-12 ハイ コンパレータ正入力 5
AIO188	0、4、8、12					I	デジタル入力 188 に使用されるアナログ ピン。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
C13		T8				I	ADC-C 入力 13
CMP5_LP5						I	CMPSS-5 ロー コンパレータ正入力 5
AIO189	0、4、8、12					I	デジタル入力 189 に使用されるアナログ ピン。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
C16		N7				I	ADC-C 入力 16
CMP6_LP5						I	CMPSS-6 ロー コンパレータ正入力 5
AIO190	0、4、8、12					I	デジタル入力 190 に使用されるアナログ ピン。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
C17		P7				I	ADC-C 入力 17
CMP7_LP5						I	CMPSS-7 ロー コンパレータ正入力 5
AIO191	0、4、8、12					I	デジタル入力 191 に使用されるアナログ ピン。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
B24		R3	47	39	28	I	ADC-B 入力 24
CMP4_HP2_CMP10_HP6						I	CMPSS-4 ハイコンパレータ正入力 2、CMPSS-10 ハイコンパレータ正入力 6
CMP4_LP2_CMP10_LP6						I	CMPSS-4 ローコンパレータ正入力 2、CMPSS-10 ローコンパレータ正入力 6
D0						I	ADC-D 入力 0
AIO192	0、4、8、12					I	デジタル入力 192 に使用されるアナログ ピン。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
B25		T3	48	40	29	I	ADC-B 入力 25
CMP3_LP6_CMP7_LP0						I	CMPSS-3 ハイコンパレータ正入力 6、CMPSS-7 ローコンパレータ正入力 0
CMP7_HP0_CMP3_HP6						I	CMPSS-7 ハイコンパレータ正入力 0、CMPSS-3 ハイコンパレータ正入力 6
D1						I	ADC-D 入力 1
AIO193	0、4、8、12					I	デジタル入力 193 に使用されるアナログ ピン。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEX	176 PTS	144 RFS	100 PZS	ピンの種類	説明
B26						I	ADC-B 入力 26
CMP4_HP3						I	CMPSS-4 ハイ コンパレータ正入力 3
CMP4_LP3						I	CMPSS-4 ロー コンパレータ正入力 3
CMP7_HN0		R5	57	49	34	I	CMPSS-7 ハイ コンパレータ負入力 0
CMP7_LN0						I	CMPSS-7 ロー コンパレータ負入力 0
D2						I	ADC-D 入力 2
AIO194	0、4、8、12					I	デジタル入力 194 に使用されるアナログ ピン。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
B27						I	ADC-B 入力 27
CMP8_HP0_CMP10_HP3						I	CMPSS-8 ハイコンパレータ正入力 0、CMPSS-10 ハイコンパレータ正入力 3
CMP10_LP3_CMP8_LP0		R6	58	50	35	I	CMPSS-10 ローコンパレータ正入力 3、CMPSS-8 ローコンパレータ正入力 0
D3						I	ADC-D 入力 3
AIO195	0、4、8、12					I	デジタル入力 195 に使用されるアナログ ピン。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
B28						I	ADC-B 入力 28
CMP5_LP3						I	CMPSS-5 ロー コンパレータ正入力 3
CMP8_HN0						I	CMPSS-8 ハイ コンパレータ負入力 0
CMP8_LN0		N10	65			I	CMPSS-8 ロー コンパレータ負入力 0
D4						I	ADC-D 入力 4
GPIO240	0、4、8、12					I/O	汎用入出力 240。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
B29						I	ADC-B 入力 29
CMP4_HN1						I	CMPSS-4 ハイ コンパレータ負入力 1
CMP4_HP1						I	CMPSS-4 ハイ コンパレータ正入力 1
CMP4_LN1		N11	66	55		I	CMPSS-4 ロー コンパレータ負入力 1
CMP4_LP1						I	CMPSS-4 ロー コンパレータ正入力 1
D5						I	ADC-D 入力 5
GPIO241	0、4、8、12					I/O	汎用入出力 241。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
B30						I	ADC-B 入力 30
CMP1_HP4						I	CMPSS-1 ハイ コンパレータ正入力 4
CMP1_LP4		T12	71	60		I	CMPSS-1 ロー コンパレータ正入力 4
D6						I	ADC-D 入力 6
GPIO242	0、4、8、12					I/O	汎用入出力 242。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
B31						I	ADC-B 入力 31
CMP2_HP4						I	CMPSS-2 ハイ コンパレータ正入力 4
CMP2_LP4		R12	72	61		I	CMPSS-2 ロー コンパレータ正入力 4
D7						I	ADC-D 入力 7
GPIO243	0、4、8、12					I/O	汎用入出力 243。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEX	176 PTS	144 RFS	100 PZS	ピンの種類	説明
C28						I	ADC-C 入力 28
CMP6_HP0						I	CMPSS-6 ハイ コンパレータ正入力 0
CMP6_LP0		R13	75			I	CMPSS-6 ロー コンパレータ正入力 0
D8						I	ADC-D 入力 8
GPIO244	0、4、8、12					I/O	汎用入出力 244。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
C29						I	ADC-C 入力 29
CMP3_LP3						I	CMPSS-3 ロー コンパレータ正入力 3
CMP6_HN0						I	CMPSS-6 ハイ コンパレータ負入力 0
CMP6_LN0		T13	76			I	CMPSS-6 ロー コンパレータ負入力 0
D9						I	ADC-D 入力 9
GPIO245	0、4、8、12					I/O	汎用入出力 245。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
CMP8_LP5						I	CMPSS-8 ロー コンパレータ正入力 5
D10		N6				I	ADC-D 入力 10
AIO196	0、4、8、12					I	デジタル入力 196 に使用されるアナログ ピン。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
CMP9_LP5						I	CMPSS-9 ロー コンパレータ正入力 5
D11		P6				I	ADC-D 入力 11
AIO197	0、4、8、12					I	デジタル入力 197 に使用されるアナログ ピン。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
CMP5_HP0						I	CMPSS-5 ハイ コンパレータ正入力 0
CMP5_LP0						I	CMPSS-5 ロー コンパレータ正入力 0
CMP10_HN1						I	CMPSS-10 ハイ コンパレータ負入力 1
CMP10_LN1		M7				I	CMPSS-10 ロー コンパレータ負入力 1
D12						I	ADC-D 入力 12
AIO198	0、4、8、12					I	デジタル入力 198 に使用されるアナログ ピン。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
CMP2_HP3						I	CMPSS-2 ハイ コンパレータ正入力 3
CMP2_LP3						I	CMPSS-2 ロー コンパレータ正入力 3
CMP5_HN0						I	CMPSS-5 ハイ コンパレータ負入力 0
CMP5_LN0		M6				I	CMPSS-5 ロー コンパレータ負入力 0
D13						I	ADC-D 入力 13
AIO199	0、4、8、12					I	デジタル入力 199 に使用されるアナログ ピン。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
CMP10_LP5						I	CMPSS-10 ロー コンパレータ正入力 5
D16		R7				I	ADC-D 入力 16
AIO200	0、4、8、12					I	デジタル入力 200 に使用されるアナログ ピン。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
CMP11_LP5						I	CMPSS-11 ロー コンパレータ正入力 5
D17		T7				I	ADC-D 入力 17
AIO201	0、4、8、12					I	デジタル入力 201 に使用されるアナログ ピン。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEX	176 PTS	144 RFS	100 PZS	ピンの種類	説明
A24						I	ADC-A 入力 24
CMP6_HP6						I	CMPSS-6 ハイ コンパレータ正入力 6
CMP6_LP6_CMP12_LP5						I	CMPSS-6 ローコンパレータ正入力 6、CMPSS-12 ローコンパレータ正入力 5
DACB_OUT		P3	49	41	30	O	バッファ付き DAC-B 出力。
E0						I	ADC-E 入力 0
AIO202	0、4、8、12					I	デジタル入力 202 に使用されるアナログ ピン。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
A25						I	ADC-A 入力 25
CMP12_HP1_CMP11_HP3						I	CMPSS-12 ハイコンパレータ正入力 1、CMPSS-11 ハイコンパレータ正入力 3
CMP12_LP1_CMP11_LP3		P4	50	42	31	I	CMPSS-12 ローコンパレータ正入力 1、CMPSS-11 ローコンパレータ正入力 3
E1						I	ADC-E 入力 1
AIO203	0、4、8、12					I	デジタル入力 203 に使用されるアナログ ピン。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
A26						I	ADC-A 入力 26
CMP3_HP4						I	CMPSS-3 ハイ コンパレータ正入力 4
CMP3_LP4						I	CMPSS-3 ロー コンパレータ正入力 4
E2		T5	59	51		I	ADC-E 入力 2
AIO204	0、4、8、12					I	デジタル入力 204 に使用されるアナログ ピン。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
A27						I	ADC-A 入力 27
CMP4_HP4						I	CMPSS-4 ハイ コンパレータ正入力 4
CMP4_LP4						I	CMPSS-4 ロー コンパレータ正入力 4
E3		T6	60	52		I	ADC-E 入力 3
AIO205	0、4、8、12					I	デジタル入力 205 に使用されるアナログ ピン。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
A28						I	ADC-A 入力 28
CMP8_HN1						I	CMPSS-8 ハイ コンパレータ負入力 1
CMP8_HP1						I	CMPSS-8 ハイ コンパレータ正入力 1
CMP8_LN1		P11	67	56	38	I	CMPSS-8 ロー コンパレータ負入力 1
CMP8_LP1						I	CMPSS-8 ロー コンパレータ正入力 1
E4						I	ADC-E 入力 4
GPIO246	0、4、8、12					I/O	汎用入出力 246。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
A29						I	ADC-A 入力 29
CMP8_HP2						I	CMPSS-8 ハイ コンパレータ正入力 2
CMP8_LP2		R11	68	57	39	I	CMPSS-8 ロー コンパレータ正入力 2
E5						I	ADC-E 入力 5
GPIO247	0、4、8、12					I/O	汎用入出力 247。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEX	176 PTS	144 RFS	100 PZS	ピンの種類	説明
A30						I	ADC-A 入力 30
CMP5_HN1						I	CMPSS-5 ハイ コンパレータ負入力 1
CMP5_HP1						I	CMPSS-5 ハイ コンパレータ正入力 1
CMP5_LN1		P13	73	62		I	CMPSS-5 ロー コンパレータ負入力 1
CMP5_LP1						I	CMPSS-5 ロー コンパレータ正入力 1
E6						I	ADC-E 入力 6
GPIO248	0、4、8、12					I/O	汎用入出力 248。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
A31						I	ADC-A 入力 31
CMP5_HP2						I	CMPSS-5 ハイ コンパレータ正入力 2
CMP5_LP2		N13	74	63		I	CMPSS-5 ロー コンパレータ正入力 2
E7						I	ADC-E 入力 7
GPIO249	0、4、8、12					I/O	汎用入出力 249。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
C30						I	ADC-C 入力 30
CMP2_HP1						I	CMPSS-2 ハイ コンパレータ正入力 1
CMP2_LP1						I	CMPSS-2 ロー コンパレータ正入力 1
CMP10_HN0		T10				I	CMPSS-10 ハイ コンパレータ負入力 0
CMP10_LN0						I	CMPSS-10 ロー コンパレータ負入力 0
E8						I	ADC-E 入力 8
AIO206	0、4、8、12					I	デジタル入力 206 に使用されるアナログ ピン。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
C31						I	ADC-C 入力 31
CMP2_HP2						I	CMPSS-2 ハイ コンパレータ正入力 2
CMP2_LP2						I	CMPSS-2 ロー コンパレータ正入力 2
CMP9_HN1		T9				I	CMPSS-9 ハイ コンパレータ負入力 1
CMP9_LN1						I	CMPSS-9 ロー コンパレータ負入力 1
E9						I	ADC-E 入力 9
AIO207	0、4、8、12					I	デジタル入力 207 に使用されるアナログ ピン。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
CMP10_HP1						I	CMPSS-10 ハイ コンパレータ正入力 1
CMP10_LP1						I	CMPSS-10 ロー コンパレータ正入力 1
E10		R10				I	ADC-E 入力 10
AIO208	0、4、8、12					I	デジタル入力 208 に使用されるアナログ ピン。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
CMP11_HP1						I	CMPSS-11 ハイ コンパレータ正入力 1
CMP11_LP1						I	CMPSS-11 ロー コンパレータ正入力 1
E11		R9				I	ADC-E 入力 11
AIO209	0、4、8、12					I	デジタル入力 209 に使用されるアナログ ピン。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
CMP10_HP2						I	CMPSS-10 ハイ コンパレータ正入力 2
CMP10_LP2						I	CMPSS-10 ロー コンパレータ正入力 2
E12		P9				I	ADC-E 入力 12
AIO210	0、4、8、12					I	デジタル入力 210 に使用されるアナログ ピン。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEX	176 PTS	144 RFS	100 PZS	ピンの種類	説明
CMP11_HP2						I	CMPSS-11 ハイ コンパレータ正入力 2
CMP11_LP2						I	CMPSS-11 ロー コンパレータ正入力 2
E13		N9				I	ADC-E 入力 13
AIO211	0、4、8、12					I	デジタル入力 211 に使用されるアナログ ピン。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
CMP6_HP2						I	CMPSS-6 ハイ コンパレータ正入力 2
CMP6_LP2						I	CMPSS-6 ロー コンパレータ正入力 2
E16		P10				I	ADC-E 入力 16
AIO212	0、4、8、12					I	デジタル入力 212 に使用されるアナログ ピン。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
CMP6_HN1						I	CMPSS-6 ハイ コンパレータ負入力 1
CMP6_HP1						I	CMPSS-6 ハイ コンパレータ正入力 1
CMP6_LN1						I	CMPSS-6 ロー コンパレータ負入力 1
CMP6_LP1		T11				I	CMPSS-6 ロー コンパレータ正入力 1
E17						I	ADC-E 入力 17
AIO213	0、4、8、12					I	デジタル入力 213 に使用されるアナログ ピン。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
VREFHIAB		N2	38	30	19	I	ADC-AB の高い基準電圧。この電圧は、ピンに対して外部回路から駆動する必要があります。このピンには、12 ビット モードの場合 2.2µF 以上、16 ビット モードの場合 22µF 以上のコンデンサを配置します。このコンデンサは、VREFHI ピンと VREFLO ピンの間で、できるだけデバイスに近い場所に配置する必要がある。注記:このピンには、外部に負荷を接続しないでください
VREFHICDE		R4	54	46	33	I	ADC-CDE の高い基準電圧。この電圧は、ピンに対して外部回路から駆動する必要があります。このピンには、12 ビット モードの場合 2.2µF 以上、16 ビット モードの場合 22µF 以上のコンデンサを配置します。このコンデンサは、VREFHI ピンと VREFLO ピンの間で、できるだけデバイスに近い場所に配置する必要がある。注記:このピンには、外部に負荷を接続しないでください
VREFLOAB		N1	37	29	18	I	ADC-AB の低い基準電圧
VREFLOCDE		T4	53	45	32	I	ADC-CDE の低い基準電圧
GPIO							
AIO160	0、4、8、12	R1	44	36	25	I	デジタル入力 160 に使用されるアナログ ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD3_C2	11					I	SDFM-3 チャネル 2 クロック入力
AIO161	0、4、8、12	P1	43	35	24	I	デジタル入力 161 に使用されるアナログ ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD3_D2	11					I	SDFM-3 チャネル 2 データ入力
AIO162	0、4、8、12	M1	36	28		I	デジタル入力 162 に使用されるアナログ ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD2_C2	11					I	SDFM-2 チャネル 2 クロック入力
AIO163	0、4、8、12	M2	35	27		I	デジタル入力 163 に使用されるアナログ ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD2_D2	11					I	SDFM-2 チャネル 2 データ入力

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEX	176 PTS	144 RFS	100 PZS	ピンの種類	説明
AIO164	0、4、8、12	L2	32	24		I	デジタル入力 164 に使用されるアナログ ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD2_C3	11					I	SDFM-2 チャネル 3 クロック入力
AIO165	0、4、8、12	L1	31	23		I	デジタル入力 165 に使用されるアナログ ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD2_D3	11					I	SDFM-2 チャネル 3 データ入力
GPIO224	0、4、8、12	L5	26	18	13	I/O	汎用入出力 224。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
EPWM12_A	1					O	ePWM-12 出力 A
EPWM12_B	2					O	ePWM-12 出力 B
SPIB_POCI	5					I/O	SPI-B ペリフェラル出力、コントローラ入力 (POCI)
MCAND_RX	6					I	CAN/CAN FD-D 受信
OUTPUTXBAR5	9					O	出力クロスバー出力 5
SD4_D2	11					I	SDFM-4 チャネル 2 データ入力
ADCA_EXTMUXSEL0	14					O	外部 ADC 選択マルチプレクサ出力
ESC_GPO8	15					O	EtherCAT 汎用出力 8
GPIO225	0、4、8、12	K5	25	17	12	I/O	汎用入出力 225。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
EPWM11_B	1					O	ePWM-11 出力 B
SPIB_PICO	5					I/O	SPI-B ペリフェラル入力、コントローラ出力 (PICO)
I2CB_SDA	6					I/OD	I2C-B オープン ドレイン双方向データ
UARTF_TX	7					I/O	UART-F シリアル データ送信
OUTPUTXBAR4	9					O	出力クロスバー出力 4
SD4_C1	11					I	SDFM-4 チャネル 1 クロック入力
ADCA_EXTMUXSEL1	14					O	外部 ADC 選択マルチプレクサ出力
ESC_GPO9	15					O	EtherCAT 汎用出力 9
GPIO226	0、4、8、12	H4	22	16		I/O	汎用入出力 226。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
EPWM10_A	1					O	ePWM-10 出力 A
SPIA_PTE	5					I/O	SPI-A ペリフェラル送信イネーブル (PTE)
MCAND_TX	6					O	CAN/CAN FD-D 送信
UARTF_RX	7					I/O	UART-F シリアル データ受信
OUTPUTXBAR1	9					O	出力クロスバー出力 1
SD1_C3	10					I	SDFM-1 チャネル 3 クロック入力
SD1_D3	11					I	SDFM-1 チャネル 3 データ入力
ADCA_EXTMUXSEL2	14					O	外部 ADC 選択マルチプレクサ出力
ESC_GPO10	15					O	EtherCAT 汎用出力 10
GPIO227	0、4、8、12	H3	21			I/O	汎用入出力 227。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
EPWM14_B	1					O	ePWM-14 出力 B
SPIA_CLK	5					I/O	SPI-A クロック
OUTPUTXBAR4	9					O	出力クロスバー出力 4
SD2_C2	11					I	SDFM-2 チャネル 2 クロック入力
ADCA_EXTMUXSEL3	14					O	外部 ADC 選択マルチプレクサ出力

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEX	176 PTS	144 RFS	100 PZS	ピンの種類	説明
GPIO228	0、4、8、12	G3	18			I/O	汎用入出力 228。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
EPWM18_A	1					O	ePWM-18 出力 A
EPWM13_A	2					O	ePWM-13 出力 A
SPIB_POCI	5					I/O	SPI-B ペリフェラル出力、コントローラ入力 (POCI)
LINB_TX	6					O	LIN-B 送信
OUTPUTXBAR1	9					O	出力クロスバー出力 1
SENT4	10					I/O	SENT 入力ピン 4
SD2_D1	11					I	SDFM-2 チャネル 1 データ入力
GPIO229	0、4、8、12	G4	17			I/O	汎用入出力 229。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
EPWM17_B	1					O	ePWM-17 出力 B
EPWM12_B	2					O	ePWM-12 出力 B
SPIB_PICO	5					I/O	SPI-B ペリフェラル入力、コントローラ出力 (PICO)
MCANA_RX	6					I	CAN/CAN FD-A 受信
SENT3	10					I/O	SENT 入力ピン 3
SD1_C4	11					I	SDFM-1 チャネル 4 クロック入力
AIO166	0、4、8、12	K2				I	デジタル入力 166 に使用されるアナログ ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD4_C1	11					I	SDFM-4 チャネル 1 クロック入力
AIO167	0、4、8、12	K1				I	デジタル入力 167 に使用されるアナログ ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD4_D1	11					I	SDFM-4 チャネル 1 データ入力
AIO168	0、4、8、12	M3	40	32	21	I	デジタル入力 168 に使用されるアナログ ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD3_C3	11					I	SDFM-3 チャネル 3 クロック入力
AIO169	0、4、8、12	M4	39	31	20	I	デジタル入力 169 に使用されるアナログ ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD3_D3	11					I	SDFM-3 チャネル 3 データ入力
AIO170	0、4、8、12	P2	42	34	23	I	デジタル入力 170 に使用されるアナログ ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD3_C4	11					I	SDFM-3 チャネル 4 クロック入力
AIO171	0、4、8、12	N3	41	33	22	I	デジタル入力 171 に使用されるアナログ ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD3_D4	11					I	SDFM-3 チャネル 4 データ入力
AIO172	0、4、8、12	L4	34	26	17	I	デジタル入力 172 に使用されるアナログ ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD1_C1	11					I	SDFM-1 チャネル 1 クロック入力
AIO173	0、4、8、12	L3	33	25	16	I	デジタル入力 173 に使用されるアナログ ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD1_D1	11					I	SDFM-1 チャネル 1 データ入力
AIO174	0、4、8、12	K4	30	22		I	デジタル入力 174 に使用されるアナログ ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD2_C4	11					I	SDFM-2 チャネル 4 クロック入力

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEX	176 PTS	144 RFS	100 PZS	ピンの種類	説明
AIO175	0、4、8、12	K3	29	21		I	デジタル入力 175 に使用されるアナログ ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD2_D4	11					I	SDFM-2 チャネル 4 データ入力
GPIO230	0、4、8、12	J5	24			I/O	汎用入出力 230。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
EPWM11_A	1					O	ePWM-11 出力 A
SYNCOUT	3					O	外部 ePWM 同期パルス
I2CB_SCL	6					I/OD	I2C-B オープン ドレイン双方向クロック
OUTPUTXBAR3	9					O	出力クロスバー出力 3
SD4_D1	11					I	SDFM-4 チャネル 1 データ入力
ADCB_EXTMUXSEL0	14					O	外部 ADC 選択マルチプレクサ出力
GPIO231	0、4、8、12	H5	23			I/O	汎用入出力 231。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
EPWM10_B	1					O	ePWM-10 出力 B
SPIA_PICO	5					I/O	SPI-A ペリフェラル入力、コントローラ出力 (PICO)
MCAND_RX	6					I	CAN/CAN FD-D 受信
OUTPUTXBAR2	9					O	出力クロスバー出力 2
SD1_C3	11					I	SDFM-1 チャネル 3 クロック入力
ADCB_EXTMUXSEL1	14					O	外部 ADC 選択マルチプレクサ出力
GPIO232	0、4、8、12	H2	20	15	11	I/O	汎用入出力 232。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
EPWM14_A	1					O	ePWM-14 出力 A
EPWM8_B	2					O	ePWM-8 出力 B
SPIA_POCI	5					I/O	SPI-A ペリフェラル出力、コントローラ入力 (POCI)
OUTPUTXBAR3	9					O	出力クロスバー出力 3
SENT6	10					I/O	SENT 入力ピン 6
SD3_D1	11					I	SDFM-3 チャネル 1 データ入力
ESC_PHY0_LINKSTATUS	13					I	EtherCAT PHY-0 リンク ステータス
ADCB_EXTMUXSEL2	14					O	外部 ADC 選択マルチプレクサ出力
ESC_GPO11	15					O	EtherCAT 汎用出力 11
GPIO233	0、4、8、12	H1	19	14	10	I/O	汎用入出力 233。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
EPWM18_B	1					O	ePWM-18 出力 B
EPWM13_B	2					O	ePWM-13 出力 B
LINB_RX	6					I	LIN-B 受信
OUTPUTXBAR2	9					O	出力クロスバー出力 2
SENT5	10					I/O	SENT 入力ピン 5
SD2_C1	11					I	SDFM-2 チャネル 1 クロック入力
ESC_PHY1_LINKSTATUS	13					I	EtherCAT PHY-1 リンク ステータス
ADCB_EXTMUXSEL3	14					O	外部 ADC 選択マルチプレクサ出力
ESC_GPO12	15					O	EtherCAT 汎用出力 12

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEX	176 PTS	144 RFS	100 PZS	ピンの種類	説明
GPIO234	0、4、8、12	G2	16	13		I/O	汎用入出力 234。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
EPWM17_A	1					O	ePWM-17 出力 A
EPWM12_A	2					O	ePWM-12 出力 A
SPIB_PTE	5					I/O	SPI-B ペリフェラル送信イネーブル (PTE)
MCANA_TX	6					O	CAN/CAN FD-A 送信
SENT2	10					I/O	SENT 入力ピン 2
SD1_D4	11					I	SDFM-1 チャネル 4 データ入力
ESC_GPO13	15					O	EtherCAT 汎用出力 13
GPIO235	0、4、8、12	G1	15	12		I/O	汎用入出力 235。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
EPWM9_B	1					O	ePWM-9 出力 B
SPIB_CLK	5					I/O	SPI-B クロック
MCANA_RX	6					I	CAN/CAN FD-A 受信
SENT1	10					I/O	SENT 入力ピン 1
SD1_C1	11					I	SDFM-1 チャネル 1 クロック入力
ESC_GPO14	15					O	EtherCAT 汎用出力 14
AIO176	0、4、8、12	J2				I	デジタル入力 176 に使用されるアナログ ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD4_C2	11					I	SDFM-4 チャネル 2 クロック入力
AIO177	0、4、8、12	J1				I	デジタル入力 177 に使用されるアナログ ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD4_D2	11					I	SDFM-4 チャネル 2 データ入力
AIO178	0、4、8、12	J4				I	デジタル入力 178 に使用されるアナログ ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD4_C3	11					I	SDFM-4 チャネル 3 クロック入力
AIO179	0、4、8、12	J3				I	デジタル入力 179 に使用されるアナログ ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD4_D3	11					I	SDFM-4 チャネル 3 データ入力
AIO180	0、4、8、12	R2	45	37	26	I	デジタル入力 180 に使用されるアナログ ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD1_C2	11					I	SDFM-1 チャネル 2 クロック入力
AIO181	0、4、8、12	T2	46	38	27	I	デジタル入力 181 に使用されるアナログ ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD1_D2	11					I	SDFM-1 チャネル 2 データ入力
AIO182	0、4、8、12	N4	51	43		I	デジタル入力 182 に使用されるアナログ ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD3_C1	11					I	SDFM-3 チャネル 1 クロック入力
AIO183	0、4、8、12	M5	52	44		I	デジタル入力 183 に使用されるアナログ ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD3_D1	11					I	SDFM-3 チャネル 1 データ入力
AIO184	0、4、8、12	P5	55	47		I	デジタル入力 184 に使用されるアナログ ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD3_C2	11					I	SDFM-3 チャネル 2 クロック入力

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEX	176 PTS	144 RFS	100 PZS	ピンの種類	説明
AIO185	0、4、8、12	N5	56	48		I	デジタル入力 185 に使用されるアナログ ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD3_D2	11					I	SDFM-3 チャネル 2 データ入力
GPIO236	0、4、8、12	M8	63			I/O	汎用入出力 236。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
EPWM12_B	1					O	ePWM-12 出力 B
EPWM8_A	2					O	ePWM-8 出力 A
LINA_RX	6					I	LIN-A 受信
OUTPUTXBAR6	9					O	出力クロスバー出力 6
SD4_C2	11					I	SDFM-4 チャネル 2 クロック入力
ESC_I2C_SDA	13					I/OC	EtherCAT I2C データ
ADCC_EXTMUXSEL0	14					O	外部 ADC 選択マルチプレクサ出力
GPIO237	0、4、8、12	M9	64			I/O	汎用入出力 237。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
EPWM14_A	1					O	ePWM-14 出力 A
EPWM8_B	2					O	ePWM-8 出力 B
EPWM17_B	3					O	ePWM-17 出力 B
LINA_TX	6					O	LIN-A 送信
I2CA_SDA	7					I/OD	I2C-A オープン ドレイン双方向データ
OUTPUTXBAR7	9					O	出力クロスバー出力 7
SD4_D3	11					I	SDFM-4 チャネル 3 データ入力
ESC_I2C_SCL	13					I/OC	EtherCAT I2C クロック
ADCC_EXTMUXSEL1	14					O	外部 ADC 選択マルチプレクサ出力
GPIO238	0、4、8、12	N12	69	58	40	I/O	汎用入出力 238。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
EPWM15_B	1					O	ePWM-15 出力 B
OUTPUTXBAR6	9					O	出力クロスバー出力 6
SD1_D3	10					I	SDFM-1 チャネル 3 データ入力
SD2_C3	11					I	SDFM-2 チャネル 3 クロック入力
ESC_SYNC0	13					O	EtherCAT 同期信号出力 0
ADCC_EXTMUXSEL2	14					O	外部 ADC 選択マルチプレクサ出力
ESC_GPO15	15					O	EtherCAT 汎用出力 15
GPIO239	0、4、8、12	P12	70	59	41	I/O	汎用入出力 239。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
EPWM16_B	1					O	ePWM-16 出力 B
LINB_TX	6					O	LIN-B 送信
I2CA_SCL	7					I/OD	I2C-A オープン ドレイン双方向クロック
OUTPUTXBAR8	9					O	出力クロスバー出力 8
SD2_C4	11					I	SDFM-2 チャネル 4 クロック入力
ESC_SYNC1	13					O	EtherCAT 同期信号出力 1
ADCC_EXTMUXSEL3	14					O	外部 ADC 選択マルチプレクサ出力
ESC_GPO16	15					O	EtherCAT 汎用出力 16
AIO186	0、4、8、12	N8				I	デジタル入力 186 に使用されるアナログ ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD1_C1	11					I	SDFM-1 チャネル 1 クロック入力

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEX	176 PTS	144 RFS	100 PZS	ピンの種類	説明
AIO187	0、4、8、12	P8				I	デジタル入力 187 に使用されるアナログ ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD1_D1	11					I	SDFM-1 チャネル 1 データ入力
AIO188	0、4、8、12	R8				I	デジタル入力 188 に使用されるアナログ ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD1_C2	11					I	SDFM-1 チャネル 2 クロック入力
AIO189	0、4、8、12	T8				I	デジタル入力 189 に使用されるアナログ ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD1_D2	11					I	SDFM-1 チャネル 2 データ入力
AIO190	0、4、8、12	N7				I	デジタル入力 190 に使用されるアナログ ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD1_C3	11					I	SDFM-1 チャネル 3 クロック入力
AIO191	0、4、8、12	P7				I	デジタル入力 191 に使用されるアナログ ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD1_D3	11					I	SDFM-1 チャネル 3 データ入力
AIO192	0、4、8、12	R3	47	39	28	I	デジタル入力 192 に使用されるアナログ ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD1_C3	11					I	SDFM-1 チャネル 3 クロック入力
AIO193	0、4、8、12	T3	48	40	29	I	デジタル入力 193 に使用されるアナログ ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD1_D3	11					I	SDFM-1 チャネル 3 データ入力
AIO194	0、4、8、12	R5	57	49	34	I	デジタル入力 194 に使用されるアナログ ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD1_C4	11					I	SDFM-1 チャネル 4 クロック入力
AIO195	0、4、8、12	R6	58	50	35	I	デジタル入力 195 に使用されるアナログ ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD1_D4	11					I	SDFM-1 チャネル 4 データ入力
GPIO240	0、4、8、12	N10	65			I/O	汎用入出力 240。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
EPWM14_B	1					O	ePWM-14 出力 B
SPID_PICO	5					I/O	SPI-D ペリフェラル入力、コントローラ出力 (PICO)
SD4_C3	11					I	SDFM-4 チャネル 3 クロック入力
ESC_LED_RUN	13					O	EtherCAT 実行 LED
ADCD_EXTMUXSEL0	14					O	外部 ADC 選択マルチプレクサ出力
GPIO241	0、4、8、12	N11	66	55		I/O	汎用入出力 241。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
EPWM8_A	1					O	ePWM-8 出力 A
SPID_CLK	5					I/O	SPI-D クロック
SD4_D4	11					I	SDFM-4 チャネル 4 データ入力
ESC_LED_ERR	13					O	EtherCAT エラー LED
ADCD_EXTMUXSEL1	14					O	外部 ADC 選択マルチプレクサ出力
ESC_GPO17	15					O	EtherCAT 汎用出力 17

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEX	176 PTS	144 RFS	100 PZS	ピンの種類	説明
GPIO242	0、4、8、12	T12	71	60		I/O	汎用入出力 242。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD1_D4	6					I	SDFM-1 チャネル 4 データ入力
I2CA_SDA	7					I/OD	I2C-A オープンドレイン双方向データ
OUTPUTXBAR9	9					O	出力クロスバー出力 9
SENT1	10					I/O	SENT 入力ピン 1
SD2_D2	11					I	SDFM-2 チャネル 2 データ入力
ESC_LED_STATE_RUN	13					O	EtherCAT LED 状態実行
ADCD_EXTMUXSEL2	14					O	外部 ADC 選択マルチプレクサ出力
ESC_GPO18	15					O	EtherCAT 汎用出力 18
GPIO243	0、4、8、12	R12	72	61		I/O	汎用入出力 243。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
EPWM8_B	1					O	ePWM-8 出力 B
SENT2	10					I/O	SENT 入力ピン 2
SD2_D4	11					I	SDFM-2 チャネル 4 データ入力
ESC_LED_LINK0_ACTIVE	13					O	EtherCAT リンク 0 アクティブ
ADCD_EXTMUXSEL3	14					O	外部 ADC 選択マルチプレクサ出力
ESC_GPO19	15					O	EtherCAT 汎用出力 19
GPIO244	0、4、8、12	R13	75			I/O	汎用入出力 244。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SPIC_PTE	5					I/O	SPI-C ペリフェラル送信イネーブル (PTE)
SENT5	10					I/O	SENT 入力ピン 5
SD4_C4	11					I	SDFM-4 チャネル 4 クロック入力
ESC_LED_LINK1_ACTIVE	13					O	EtherCAT リンク 1 アクティブ
GPIO245	0、4、8、12	T13	76			I/O	汎用入出力 245。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SPIC_POCI	5					I/O	SPI-C ペリフェラル出力、コントローラ入力 (POCI)
SENT6	10					I/O	SENT 入力ピン 6
SD3_C1	11					I	SDFM-3 チャネル 1 クロック入力
ESC_PHY_RESETn	13					O	EtherCAT PHY アクティブ Low リセット
AIO196	0、4、8、12	N6				I	デジタル入力 196 に使用されるアナログ ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD4_C4	11					I	SDFM-4 チャネル 4 クロック入力
AIO197	0、4、8、12	P6				I	デジタル入力 197 に使用されるアナログ ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD4_D4	11					I	SDFM-4 チャネル 4 データ入力
AIO198	0、4、8、12	M7				I	デジタル入力 198 に使用されるアナログ ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD1_C4	11					I	SDFM-1 チャネル 4 クロック入力
AIO199	0、4、8、12	M6				I	デジタル入力 199 に使用されるアナログ ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD1_D4	11					I	SDFM-1 チャネル 4 データ入力
AIO200	0、4、8、12	R7				I	デジタル入力 200 に使用されるアナログ ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD2_C1	11					I	SDFM-2 チャネル 1 クロック入力

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEX	176 PTS	144 RFS	100 PZS	ピンの種類	説明
AIO201	0、4、8、12	T7				I	デジタル入力 201 に使用されるアナログ ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD2_D1	11					I	SDFM-2 チャネル 1 データ入力
AIO202	0、4、8、12	P3	49	41	30	I	デジタル入力 202 に使用されるアナログ ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD2_C1	11					I	SDFM-2 チャネル 1 クロック入力
AIO203	0、4、8、12	P4	50	42	31	I	デジタル入力 203 に使用されるアナログ ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD2_D1	11					I	SDFM-2 チャネル 1 データ入力
AIO204	0、4、8、12	T5	59	51		I	デジタル入力 204 に使用されるアナログ ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD3_C3	11					I	SDFM-3 チャネル 3 クロック入力
AIO205	0、4、8、12	T6	60	52		I	デジタル入力 205 に使用されるアナログ ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD3_D3	11					I	SDFM-3 チャネル 3 データ入力
GPIO246	0、4、8、12	P11	67	56	38	I/O	汎用入出力 246。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
EPWM16_A	1					O	ePWM-16 出力 A
SPID_PTE	5					I/O	SPI-D ペリフェラル送信イネーブル (PTE)
MCANC_RX	6					I	CAN/CAN FD-C 受信
OUTPUTXBAR7	9					O	出力クロスバー出力 7
SD1_D1	11					I	SDFM-1 チャネル 1 データ入力
ADCE_EXTMUXSEL0	14					O	外部 ADC 選択マルチプレクサ出力
ESC_GPO20	15					O	EtherCAT 汎用出力 20
GPIO247	0、4、8、12	R11	68	57	39	I/O	汎用入出力 247。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
EPWM15_A	1					O	ePWM-15 出力 A
ERRORSTS	2					O	エラー ステータス出力。外部プルダウンが必要。
SPID_POCI	5					I/O	SPI-D ペリフェラル出力、コントローラ入力 (POCI)
MCANC_RX	6					I	CAN/CAN FD-C 受信
LINA_TX	7					O	LIN-A 送信
OUTPUTXBAR5	9					O	出力クロスバー出力 5
SD2_D3	11					I	SDFM-2 チャネル 3 データ入力
ADCE_EXTMUXSEL1	14					O	外部 ADC 選択マルチプレクサ出力
ESC_GPO21	15					O	EtherCAT 汎用出力 21
GPIO248	0、4、8、12	P13	73	62		I/O	汎用入出力 248。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
EMIF1_SDCKE	2					O	外部メモリ インターフェイス 1 SDRAM クロック イネーブル
SPIC_PICO	5					I/O	SPI-C ペリフェラル入力、コントローラ出力 (PICO)
SENT3	10					I/O	SENT 入力ピン 3
SD1_C2	11					I	SDFM-1 チャネル 2 クロック入力
ESC_LED_RUN	13					O	EtherCAT 実行 LED
ADCE_EXTMUXSEL2	14					O	外部 ADC 選択マルチプレクサ出力
ESC_GPO22	15					O	EtherCAT 汎用出力 22

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEX	176 PTS	144 RFS	100 PZS	ピンの種類	説明
GPIO249	0、4、8、12	N13	74	63		I/O	汎用入出力 249。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SPIC_CLK	5					I/O	SPI-C クロック
SENT4	10					I/O	SENT 入力ピン 4
SD1_D2	11					I	SDFM-1 チャネル 2 データ入力
ESC_PHY0_LINKSTATUS	13					I	EtherCAT PHY-0 リンク ステータス
ADCE_EXTMUXSEL3	14					O	外部 ADC 選択マルチプレクサ出力
ESC_GPO23	15					O	EtherCAT 汎用出力 23
AIO206	0、4、8、12	T10				I	デジタル入力 206 に使用されるアナログ ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD3_C4	11					I	SDFM-3 チャネル 4 クロック入力
AIO207	0、4、8、12	T9				I	デジタル入力 207 に使用されるアナログ ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD3_D4	11					I	SDFM-3 チャネル 4 データ入力
AIO208	0、4、8、12	R10				I	デジタル入力 208 に使用されるアナログ ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD2_C2	11					I	SDFM-2 チャネル 2 クロック入力
AIO209	0、4、8、12	R9				I	デジタル入力 209 に使用されるアナログ ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD2_D2	11					I	SDFM-2 チャネル 2 データ入力
AIO210	0、4、8、12	P9				I	デジタル入力 210 に使用されるアナログ ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD2_C3	11					I	SDFM-2 チャネル 3 クロック入力
AIO211	0、4、8、12	N9				I	デジタル入力 211 に使用されるアナログ ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD2_D3	11					I	SDFM-2 チャネル 3 データ入力
AIO212	0、4、8、12	P10				I	デジタル入力 212 に使用されるアナログ ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD2_C4	11					I	SDFM-2 チャネル 4 クロック入力
AIO213	0、4、8、12	T11				I	デジタル入力 213 に使用されるアナログ ピン。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SD2_D4	11					I	SDFM-2 チャネル 4 データ入力
GPIO0	0、4、8、12	A8	160	128	88	I/O	汎用入出力 0
EPWM1_A	1					O	ePWM-1 出力 A
EMIF1_A13	2					O	外部メモリ インターフェイス 1 アドレス ライン 13
EMIF1_D0	3					I/O	外部メモリ インターフェイス 1 データ ライン 0
MCAND_TX	5					O	CAN/CAN FD-D 送信
I2CA_SDA	6					I/OD	I2C-A オープンドレイン双方向データ
UARTE_TX	7					I/O	UART-E シリアル データ送信
OUTPUTXBAR9	9					O	出力クロスバー出力 9
ESC_TX0_DATA0	10					O	EtherCAT MII 送信 0 データ 0
ESC_GPI0	11					I	EtherCAT 汎用入力 0
FSITXA_D0	13					O	FSITX-A 1 次データ出力

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEX	176 PTS	144 RFS	100 PZS	ピンの種類	説明
GPIO1	0、4、8、12					I/O	汎用入出力 1
EPWM1_B	1					O	ePWM-1 出力 B
EMIF1_A14	2					O	外部メモリ インターフェイス 1 アドレス ライン 14
EMIF1_D3	3					I/O	外部メモリ インターフェイス 1 データ ライン 3
MCAND_RX	5					I	CAN/CAN FD-D 受信
I2CA_SCL	6	A7	161	129	89	I/OD	I2C-A オープン ドレイン双方向クロック
UARTE_RX	7					I/O	UART-E シリアル データ受信
OUTPUTXBAR10	9					O	出力クロスバー出力 10
ESC_TX1_DATA0	10					O	EtherCAT MII 送信 1 データ 0
ESC_GPI1	11					I	EtherCAT 汎用入力 1
FSITXA_D1	13					O	FSITX-A オプションの追加データ出力
GPIO2	0、4、8、12					I/O	汎用入出力 2
EPWM2_A	1					O	ePWM-2 出力 A
EMIF1_A15	2					O	外部メモリ インターフェイス 1 アドレス ライン 15
EMIF1_D4	3					I/O	外部メモリ インターフェイス 1 データ ライン 4
UARTA_TX	5					I/O	UART-A シリアル データ送信
I2CB_SDA	6	B7	162	130	90	I/OD	I2C-B オープン ドレイン双方向データ
MCANF_TX	7					O	CAN/CAN FD-F 送信
OUTPUTXBAR1	9					O	出力クロスバー出力 1
ESC_RX1_ERR	10					I	EtherCAT MII 受信 1 エラー
ESC_GPI2	11					I	EtherCAT 汎用入力 2
FSITXA_CLK	13					O	FSITX-A 出力クロック
GPIO3	0、4、8、12					I/O	汎用入出力 3
EPWM2_B	1					O	ePWM-2 出力 B
EMIF1_A16	2					O	外部メモリ インターフェイス 1 アドレス ライン 16
EMIF1_D5	3					I/O	外部メモリ インターフェイス 1 データ ライン 5
UARTA_RX	5	C7	163	131	91	I/O	UART-A シリアル データ受信
I2CB_SCL	6					I/OD	I2C-B オープン ドレイン双方向クロック
MCANF_RX	7					I	CAN/CAN FD-F 受信
OUTPUTXBAR2	9					O	出力クロスバー出力 2
ESC_GPI3	11					I	EtherCAT 汎用入力 3
FSIRXA_D0	13					I	FSIRX-A 1 次データ入力
GPIO4	0、4、8、12					I/O	汎用入出力 4
EPWM3_A	1					O	ePWM-3 出力 A
EMIF1_A17	2					O	外部メモリ インターフェイス 1 アドレス ライン 17
EMIF1_D9	3					I/O	外部メモリ インターフェイス 1 データ ライン 9
MCANC_TX	5	D7	164	132	92	O	CAN/CAN FD-C 送信
UARTF_TX	7					I/O	UART-F シリアル データ送信
OUTPUTXBAR3	9					O	出力クロスバー出力 3
ESC_GPI4	11					I	EtherCAT 汎用入力 4
FSIRXA_D1	13					I	FSIRX-A オプションの追加データ入力
ERRORSTS	15					O	エラー ステータス出力。外部プルダウンが必要。

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEX	176 PTS	144 RFS	100 PZS	ピンの種類	説明
GPIO5	0、4、8、12	A6	165	133	93	I/O	汎用入出力 5
EPWM3_B	1					O	ePWM-3 出力 B
EMIF1_A18	2					O	外部メモリ インターフェイス 1 アドレス ライン 18
EMIF1_D10	3					I/O	外部メモリ インターフェイス 1 データ ライン 10
MCANC_RX	5					I	CAN/CAN FD-C 受信
UARTF_RX	7					I/O	UART-F シリアル データ受信
OUTPUTXBAR11	9					O	出力クロスバー出力 11
OUTPUTXBAR3	10					O	出力クロスバー出力 3
ESC_GPI5	11					I	EtherCAT 汎用入力 5
FSIRXA_CLK	13					I	FSIRX-A 入力クロック
GPIO6	0、4、8、12	B6	166	134	94	I/O	汎用入出力 6
EPWM4_A	1					O	ePWM-4 出力 A
EMIF1_DQM0	2					O	外部メモリ インターフェイス 1 のバイト 0 入力 / 出力マスク
EMIF1_CLK	3					O	外部メモリ インターフェイス 1 クロック
MCANB_TX	5					O	CAN/CAN FD-B 送信
LINA_TX	6					O	LIN-A 送信
OUTPUTXBAR4	9					O	出力クロスバー出力 4
SYNCOUT	10					O	外部 ePWM 同期パルス
ESC_GPI6	11					I	EtherCAT 汎用入力 6
FSITXB_D0	13					O	FSITX-B 1 次データ出力
GPIO7	0、4、8、12	C6	167	135		I/O	汎用入出力 7
EPWM4_B	1					O	ePWM-4 出力 B
EMIF1_DQM1	2					O	外部メモリ インターフェイス 1 のバイト 1 入力 / 出力マスク
EMIF1_CAS	3					O	外部メモリ インターフェイス 1 列アドレス ストローブ
MCANB_RX	5					I	CAN/CAN FD-B 受信
LINA_RX	6					I	LIN-A 受信
OUTPUTXBAR5	9					O	出力クロスバー出力 5
ESC_GPI7	11					I	EtherCAT 汎用入力 7
FSITXB_D1	13					O	FSITX-B オプションの追加データ出力
GPIO8	0、4、8、12	D6	170	138	96	I/O	汎用入出力 8
EPWM5_A	1					O	ePWM-5 出力 A
EMIF1_RAS	2					O	外部メモリ インターフェイス、1 行のアドレス ストローブ
EPWM4_B	3					O	ePWM-4 出力 B
MCANC_TX	5					O	CAN/CAN FD-C 送信
SPIE_PICO	6					I/O	SPI-E ペリフェラル入力、コントローラ出力 (PICO)
UARTD_TX	7					I/O	UART-D シリアル データ送信
OUTPUTXBAR12	9					O	出力クロスバー出力 12
ADCSOCAO	10					O	外部 ADC への ADC 変換開始 A 出力 (ePWM モジュールから)
ESC_GPO0	11					O	EtherCAT 汎用出力 0
FSITXB_CLK	13					O	FSITX-B 出力クロック
FSITXA_D1	14					O	FSITX-A オプションの追加データ出力
FSIRXA_D0	15					I	FSIRX-A 1 次データ入力

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEX	176 PTS	144 RFS	100 PZS	ピンの種類	説明
GPIO9	0、4、8、12					I/O	汎用入出力 9
EPWM5_B	1					O	ePWM-5 出力 B
EMIF1_D11	2					I/O	外部メモリ インターフェイス 1 データ ライン 11
SPIE_POCI	6					I/O	SPI-E ペリフェラル出力、コントローラ入力 (POCI)
UARTD_RX	7					I/O	UART-D シリアル データ受信
OUTPUTXBAR6	9	A5	171	139	97	O	出力クロスバー出力 6
ESC_TX0_CLK	10					I	EtherCAT MII 送信 0 クロック
ESC_GPO1	11					O	EtherCAT 汎用出力 1
FSIRXB_D0	13					I	FSIRX-B 1 次データ入力
FSITXA_D0	14					O	FSITX-A 1 次データ出力
FSIRXA_CLK	15					I	FSIRX-A 入力クロック
GPIO10	0、4、8、12					I/O	汎用入出力 10
EPWM8_A	1					O	ePWM-8 出力 A
PMBUSA_SCL	2					I/OD	PMBus-A オープン ドレイン双方向クロック
ADCSOCBO	3					O	外部 ADC への ADC 変換開始 B 出力 (ePWM モジュールから)
MCANC_RX	5					I	CAN/CAN FD-C 受信
UARTC_TX	6	C5	172	140	98	I/O	UART-C シリアル データ送信
I2CA_SCL	7					I/OD	I2C-A オープン ドレイン双方向クロック
SENT2	9					I/O	SENT 入力ピン 2
ESC_GPI19	13					I	EtherCAT 汎用入力 19
ADCA_EXTMUXSEL2	14					O	外部 ADC 選択マルチプレクサ出力
OUTPUTXBAR13	15					O	出力クロスバー出力 13
GPIO11	0、4、8、12					I/O	汎用入出力 11
EPWM6_B	1					O	ePWM-6 出力 B
EMIF1_D15	2					I/O	外部メモリ インターフェイス 1 データ ライン 15
EPWM7_B	3					O	ePWM-7 出力 B
SPIE_PTE	6					I/O	SPI-E ペリフェラル送信イネーブル (PTE)
SD4_D1	7					I	SDFM-4 チャネル 1 データ入力
PMBUSA_ALERT	9	A4	173	141	99	I/OD	PMBus-A オープン ドレイン双方向アラート信号
ESC_TX0_DATA1	10					O	EtherCAT MII 送信 0 データ 1
ESC_GPO3	11					O	EtherCAT 汎用出力 3
FSIRXB_CLK	13					I	FSIRX-B 入力クロック
FSIRXA_D1	14					I	FSIRX-A オプションの追加データ入力
OUTPUTXBAR7	15					O	出力クロスバー出力 7
GPIO12	0、4、8、12					I/O	汎用入出力 12
EPWM7_A	1					O	ePWM-7 出力 A
EMIF1_A1	2					O	外部メモリ インターフェイス 1 アドレス ライン 1
ADCSOCAO	3					O	外部 ADC への ADC 変換開始 A 出力 (ePWM モジュールから)
SPIE_CLK	6					I/O	SPI-E クロック
SD4_C2	7	A3	174	142	100	I	SDFM-4 チャネル 2 クロック入力
PMBUSA_CTL	9					I/O	PMBus-A 制御信号 - ターゲット入力 / コントローラ出力
ESC_TX0_DATA2	10					O	EtherCAT MII 送信 0 データ 2
ESC_GPO4	11					O	EtherCAT 汎用出力 4
FSIRXC_D0	13					I	FSIRX-C 1 次データ入力
FSIRXA_D0	14					I	FSIRX-A 1 次データ入力
OUTPUTXBAR14	15					O	出力クロスバー出力 14

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEX	176 PTS	144 RFS	100 PZS	ピンの種類	説明
GPIO13	0、4、8、12	A2	175	143		I/O	汎用入出力 13
EPWM7_B	1					O	ePWM-7 出力 B
EMIF1_CS0n	2					O	外部メモリ インターフェイス 1 チップ セレクト 0
EMIF1_D9	3					I/O	外部メモリ インターフェイス 1 データ ライン 9
UARTC_RX	6					I/O	UART-C シリアル データ受信
SD4_D2	7					I	SDFM-4 チャネル 2 データ入力
PMBUSA_SDA	9					I/OD	PMBus-A オープン ドレイン双方向データ
ESC_TX0_DATA3	10					O	EtherCAT MII 送信 0 データ 3
ESC_GPO5	11					O	EtherCAT 汎用出力 5
FSIRXC_D1	13					I	FSIRX-C オプションの追加データ入力
FSIRXA_CLK	14					I	FSIRX-A 入力クロック
OUTPUTXBAR15	15					O	出力クロスバー出力 15
GPIO14	0、4、8、12	B3	176	144		I/O	汎用入出力 14
EPWM6_A	1					O	ePWM-6 出力 A
EMIF1_D17	2					I/O	外部メモリ インターフェイス 1 データ ライン 17
EPWM18_A	3					O	ePWM-18 出力 A
EMIF1_D13	5					I/O	外部メモリ インターフェイス 1 データ ライン 13
LINA_TX	6					O	LIN-A 送信
OUTPUTXBAR3	7					O	出力クロスバー出力 3
PMBUSA_SCL	9					I/OD	PMBus-A オープン ドレイン双方向クロック
ESC_PHY1_LINKSTATUS	10					I	EtherCAT PHY-1 リンク ステータス
ESC_GPO6	11					O	EtherCAT 汎用出力 6
FSIRXC_CLK	13					I	FSIRX-C 入力クロック
SD4_C1	14					I	SDFM-4 チャネル 1 クロック入力
OUTPUTXBAR8	15					O	出力クロスバー出力 8
GPIO15	0、4、8、12	C4	1	1	1	I/O	汎用入出力 15
EPWM8_B	1					O	ePWM-8 出力 B
PMBUSA_CTL	3					I/O	PMBus-A 制御信号 - ターゲット入力 / コントローラ出力
I2CA_SDA	5					I/OD	I2C-A オープン ドレイン双方向データ
LINA_RX	6					I	LIN-A 受信
OUTPUTXBAR4	7					O	出力クロスバー出力 4
SENT1	9					I/O	SENT 入力ピン 1
ESC_GPO7	10					O	EtherCAT 汎用出力 7
ESC_GPI20	13					I	EtherCAT 汎用入力 20
ADCA_EXTMUXSEL3	14					O	外部 ADC 選択マルチプレクサ出力
OUTPUTXBAR16	15					O	出力クロスバー出力 16
GPIO16	0、4、8、12	D5	2	2	2	I/O	汎用入出力 16
EPWM9_A	1					O	ePWM-9 出力 A
EMIF1_D29	2					I/O	外部メモリ インターフェイス 1 データ ライン 29
EMIF1_BA0	3					O	外部メモリ インターフェイス 1 バンク アドレス 0
SPIA_PICO	5					I/O	SPI-A ペリフェラル入力、コントローラ出力 (PICO)
MCAND_TX	7					O	CAN/CAN FD-D 送信
ESC_RX1_CLK	10					I	EtherCAT MII 受信 1 クロック
SD1_D1	11					I	SDFM-1 チャネル 1 データ入力
FSIRXD_D1	13					I	FSIRX-D オプションの追加データ入力
FSIRXC_CLK	14					I	FSIRX-C 入力クロック
OUTPUTXBAR7	15					O	出力クロスバー出力 7

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEX	176 PTS	144 RFS	100 PZS	ピンの種類	説明
GPIO17	0、4、8、12	B2	4	4	4	I/O	汎用入出力 17
EPWM9_B	1					O	ePWM-9 出力 B
EMIF1_DQM3	2					O	外部メモリ インターフェイス 1 のバイト 3 入力 / 出力マスク
EMIF1_BA1	3					O	外部メモリ インターフェイス 1 バンク アドレス 1
SPIA_POCI	5					I/O	SPI-A ペリフェラル出力、コントローラ入力 (POCI)
MCAND_RX	7					I	CAN/CAN FD-D 受信
ESC_RX1_DV	10					I	EtherCAT MII 受信 1 データ有効
SD1_C1	11					I	SDFM-1 チャネル 1 クロック入力
FSIRXD_CLK	13					I	FSIRX-D 入力クロック
UARTC_TX	14					I/O	UART-C シリアル データ送信
OUTPUTXBAR8	15					O	出力クロスバー出力 8
GPIO18	0、4、8、12	F2	13	10	8	I/O	汎用入出力 18
EPWM15_A	1					O	ePWM-15 出力 A
PMBUSA_ALERT	3					I/OD	PMBus-A オープン ドレイン双方向アラート信号
I2CA_SCL	5					I/OD	I2C-A オープン ドレイン双方向クロック
UARTC_RX	6					I/O	UART-C シリアル データ受信
SENT4	9					I/O	SENT 入力ピン 4
ESC_GPI21	13					I	EtherCAT 汎用入力 21
ADCB_EXTMUXSEL0	14					O	外部 ADC 選択マルチプレクサ出力
GPIO19	0、4、8、12	B1	5	5		I/O	汎用入出力 19
EPWM10_B	1					O	ePWM-10 出力 B
EMIF1_CS3n	2					O	外部メモリ インターフェイス 1 チップ セレクト 3
ADCSOCBO	3					O	外部 ADC への ADC 変換開始 B 出力 (ePWM モジュールから)
SPIA_PTE	5					I/O	SPI-A ペリフェラル送信イネーブル (PTE)
UARTE_RX	6					I/O	UART-E シリアル データ受信
MCANC_TX	7					O	CAN/CAN FD-C 送信
PMBUSA_ALERT	9					I/OD	PMBus-A オープン ドレイン双方向アラート信号
ESC_TX1_DATA3	10					O	EtherCAT MII 送信 1 データ 3
SD1_C2	11					I	SDFM-1 チャネル 2 クロック入力
GPIO20	0、4、8、12	C1	6			I/O	汎用入出力 20
EPWM11_A	1					O	ePWM-11 出力 A
EMIF1_BA0	2					O	外部メモリ インターフェイス 1 バンク アドレス 0
EMIF1_DQM2	3					O	外部メモリ インターフェイス 1 のバイト 2 入力 / 出力マスク
SPIC_PICO	6					I/O	SPI-C ペリフェラル入力、コントローラ出力 (PICO)
MCANB_RX	7					I	CAN/CAN FD-B 受信
ESC_TX1_DATA2	10					O	EtherCAT MII 送信 1 データ 2
SD1_D3	11					I	SDFM-1 チャネル 3 データ入力
GPIO21	0、4、8、12	C2	7			I/O	汎用入出力 21
EPWM11_B	1					O	ePWM-11 出力 B
EMIF1_BA1	2					O	外部メモリ インターフェイス 1 バンク アドレス 1
SPIC_POCI	6					I/O	SPI-C ペリフェラル出力、コントローラ入力 (POCI)
MCANB_TX	7					O	CAN/CAN FD-B 送信
ESC_TX1_DATA1	10					O	EtherCAT MII 送信 1 データ 1
SD1_C3	11					I	SDFM-1 チャネル 3 クロック入力

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEX	176 PTS	144 RFS	100 PZS	ピンの種類	説明
GPIO22	0、4、8、12	F1	14	11	9	I/O	汎用入出力 22
EPWM12_A	1					O	ePWM-12 出力 A
PMBUSA_SDA	3					I/OD	PMBus-A オープンドレイン双方向データ
I2CB_SDA	5					I/OD	I2C-B オープンドレイン双方向データ
UARTB_TX	6					I/O	UART-B シリアル データ送信
MCANC_TX	7					O	CAN/CAN FD-C 送信
SENT5	9					I/O	SENT 入力ピン 5
ESC_GPO2	10					O	EtherCAT 汎用出力 2
ESC_GPI22	13					I	EtherCAT 汎用入力 22
ADCB_EXTMUXSEL1	14					O	外部 ADC 選択マルチプレクサ出力
GPIO23	0、4、8、12	B8	159	127	87	I/O	汎用入出力 23
EPWM12_B	1					O	ePWM-12 出力 B
PMBUSA_SCL	3					I/OD	PMBus-A オープンドレイン双方向クロック
I2CB_SCL	5					I/OD	I2C-B オープンドレイン双方向クロック
UARTB_RX	6					I/O	UART-B シリアル データ受信
MCANC_RX	7					I	CAN/CAN FD-C 受信
SENT6	9					I/O	SENT 入力ピン 6
ESC_PHY_RESETn	10					O	EtherCAT PHY アクティブ Low リセット
ESC_GPI23	13					I	EtherCAT 汎用入力 23
ADCC_EXTMUXSEL0	14					O	外部 ADC 選択マルチプレクサ出力
GPIO24	0、4、8、12	C8	158	126		I/O	汎用入出力 24
EPWM13_A	1					O	ePWM-13 出力 A
EMIF1_DQM0	2					O	外部メモリ インターフェイス 1 のバイト 0 入力 / 出力マスク
SPIB_PICO	5					I/O	SPI-B ペリフェラル入力、コントローラ出力 (PICO)
LINB_TX	6					O	LIN-B 送信
MCANE_TX	7					O	CAN/CAN FD-E 送信
ESC_RX0_CLK	10					I	EtherCAT MII 受信 0 クロック
SD2_D1	11					I	SDFM-2 チャネル 1 データ入力
ESC_GPI24	13					I	EtherCAT 汎用入力 24
EPWM2_A	14					O	ePWM-2 出力 A
OUTPUTXBAR1	15					O	出力クロスバー出力 1
GPIO25	0、4、8、12	D8	157	125	86	I/O	汎用入出力 25
EPWM13_B	1					O	ePWM-13 出力 B
EMIF1_DQM1	2					O	外部メモリ インターフェイス 1 のバイト 1 入力 / 出力マスク
SPIB_POCI	5					I/O	SPI-B ペリフェラル出力、コントローラ入力 (POCI)
LINB_RX	6					I	LIN-B 受信
MCANE_RX	7					I	CAN/CAN FD-E 受信
PMBUSA_SDA	9					I/OD	PMBus-A オープンドレイン双方向データ
ESC_RX0_DV	10					I	EtherCAT MII 受信 0 データ有効
SD2_C1	11					I	SDFM-2 チャネル 1 クロック入力
FSITXA_D1	13					O	FSITX-A オプションの追加データ出力
EPWM2_B	14					O	ePWM-2 出力 B
OUTPUTXBAR2	15					O	出力クロスバー出力 2

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEX	176 PTS	144 RFS	100 PZS	ピンの種類	説明
GPIO26	0、4、8、12	B9	156	124	85	I/O	汎用入出力 26
EPWM14_A	1					O	ePWM-14 出力 A
EMIF1_DQM2	2					O	外部メモリ インターフェイス 1 のバイト 2 入力 / 出力マスク
SPIB_CLK	5					I/O	SPI-B クロック
UARTE_TX	6					I/O	UART-E シリアル データ送信
MCANE_TX	7					O	CAN/CAN FD-E 送信
PMBUSA_CTL	9					I/O	PMBus-A 制御信号 - ターゲット入力 / コントローラ出力
ESC_RX0_ERR	10					I	EtherCAT MII 受信 0 エラー
SD2_D2	11					I	SDFM-2 チャネル 2 データ入力
FSITXA_D0	13					O	FSITX-A 1 次データ出力
ESC_MDIO_CLK	14					O	EtherCAT MDIO クロック
OUTPUTXBAR3	15					O	出力クロスバー出力 3
GPIO27	0、4、8、12	C9	155			I/O	汎用入出力 27
EPWM14_B	1					O	ePWM-14 出力 B
EMIF1_DQM3	2					O	外部メモリ インターフェイス 1 のバイト 3 入力 / 出力マスク
SPIB_PTE	5					I/O	SPI-B ペリフェラル送信イネーブル (PTE)
UARTA_TX	6					I/O	UART-A シリアル データ送信
EPWM4_A	9					O	ePWM-4 出力 A
ESC_RX0_DATA0	10					I	EtherCAT MII 受信 0 データ 0
SD2_C2	11					I	SDFM-2 チャネル 2 クロック入力
FSITXA_CLK	13					O	FSITX-A 出力クロック
ESC_MDIO_DATA	14					I/O	EtherCAT MDIO データ
OUTPUTXBAR4	15					O	出力クロスバー出力 4
GPIO28	0、4、8、12	D9	154			I/O	汎用入出力 28
EPWM15_A	1					O	ePWM-15 出力 A
EMIF1_CS4n	2					O	外部メモリ インターフェイス 1 チップ セレクト 4
EMIF1_CS2n	3					O	外部メモリ インターフェイス 1 チップ セレクト 2
UARTA_RX	6					I/O	UART-A シリアル データ受信
EPWM4_B	9					O	ePWM-4 出力 B
ESC_RX0_DATA1	10					I	EtherCAT MII 受信 0 データ 1
SD2_D3	11					I	SDFM-2 チャネル 3 データ入力
OUTPUTXBAR5	15					O	出力クロスバー出力 5
GPIO29	0、4、8、12	A9	151	121	84	I/O	汎用入出力 29
EPWM15_B	1					O	ePWM-15 出力 B
PMBUSA_SDA	2					I/OD	PMBus-A オープンドレイン双方向データ
UARTE_RX	6					I/O	UART-E シリアル データ受信
I2CA_SDA	7					I/OD	I2C-A オープンドレイン双方向データ
SENT3	9					I/O	SENT 入力ピン 3
ESC_LATCH0	10					I	EtherCAT ラッチ信号入力 0
ESC_I2C_SDA	13					I/OC	EtherCAT I2C データ
ADCC_EXTMUXSEL1	14					O	外部 ADC 選択マルチプレクサ出力
OUTPUTXBAR6	15					O	出力クロスバー出力 6

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEX	176 PTS	144 RFS	100 PZS	ピンの種類	説明
GPIO30	0、4、8、12	A10	150	120	83	I/O	汎用入出力 30
EPWM16_A	1					O	ePWM-16 出力 A
EMIF1_CLK	2					O	外部メモリ インターフェイス 1 クロック
EMIF1_CS4n	3					O	外部メモリ インターフェイス 1 チップ セレクト 4
MCANC_RX	5					I	CAN/CAN FD-C 受信
SPID_PICO	6					I/O	SPI-D ペリフェラル入力、コントローラ出力 (PICO)
EMIF1_A12	7					O	外部メモリ インターフェイス 1 アドレス ライン 12
ESC_LATCH1	10					I	EtherCAT ラッチ信号入力 1
SD2_D4	11					I	SDFM-2 チャネル 4 データ入力
ESC_I2C_SCL	13					I/OC	EtherCAT I2C クロック
ESC_SYNC1	14					O	EtherCAT 同期信号出力 1
OUTPUTXBAR7	15					O	出力クロスバー出力 7
GPIO31	0、4、8、12	B10	149		82	I/O	汎用入出力 31
EPWM16_B	1					O	ePWM-16 出力 B
EMIF1_WEn	2					O	外部メモリ インターフェイス 1 書き込みイネーブル
EMIF1_RNW	3					O	外部メモリ インターフェイス 1 読み取り、非書き込み
MCANC_TX	5					O	CAN/CAN FD-C 送信
SPID_POCI	6					I/O	SPI-D ペリフェラル出力、コントローラ入力 (POCI)
I2CA_SDA	7					I/OD	I2C-A オープン ドレイン双方向データ
ESC_RX1_DATA0	10					I	EtherCAT MII 受信 1 データ 0
SD2_C4	11					I	SDFM-2 チャネル 4 クロック入力
FSITXD_D0	13					O	FSITX-D 1 次データ出力
OUTPUTXBAR8	15					O	出力クロスバー出力 8
GPIO32	0、4、8、12	G16	117	96		I/O	汎用入出力 32
EMIF1_CS0n	2					O	外部メモリ インターフェイス 1 チップ セレクト 0
EMIF1_OEn	3					O	外部メモリ インターフェイス 1 出力イネーブル
SPIA_PICO	5					I/O	SPI-A ペリフェラル入力、コントローラ出力 (PICO)
SPID_CLK	6					I/O	SPI-D クロック
I2CA_SDA	7					I/OD	I2C-A オープン ドレイン双方向データ
OUTPUTXBAR9	9					O	出力クロスバー出力 9
ESC_RX0_DATA0	10					I	EtherCAT MII 受信 0 データ 0
GPIO33	0、4、8、12	P14				I/O	汎用入出力 33
EMIF1_RNW	2					O	外部メモリ インターフェイス 1 読み取り、非書き込み
EMIF1_BA0	3					O	外部メモリ インターフェイス 1 バンク アドレス 0
SPIA_POCI	5					I/O	SPI-A ペリフェラル出力、コントローラ入力 (POCI)
SPID_PTE	6					I/O	SPI-D ペリフェラル送信イネーブル (PTE)
I2CA_SCL	7					I/OD	I2C-A オープン ドレイン双方向クロック
OUTPUTXBAR10	9					O	出力クロスバー出力 10
ESC_LED_ERR	10					O	EtherCAT エラー LED

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEX	176 PTS	144 RFS	100 PZS	ピンの種類	説明
GPIO34	0、4、8、12	D1	9	7		I/O	汎用入出力 34
EPWM18_A	1					O	ePWM-18 出力 A
EMIF1_CS2n	2					O	外部メモリ インターフェイス 1 チップ セレクト 2
EMIF1_BA1	3					O	外部メモリ インターフェイス 1 バンク アドレス 1
SPIA_CLK	5					I/O	SPI-A クロック
UARTF_TX	6					I/O	UART-F シリアル データ送信
I2CB_SDA	7					I/OD	I2C-B オープン ドレイン双方向データ
OUTPUTXBAR11	9					O	出力クロスバー出力 11
ESC_LATCH0	10					I	EtherCAT ラッチ信号入力 0
EPWM3_B	13					O	ePWM-3 出力 B
ESC_SYNC0	14					O	EtherCAT 同期信号出力 0
OUTPUTXBAR1	15					O	出力クロスバー出力 1
GPIO35	0、4、8、12	E1	10			I/O	汎用入出力 35
EPWM18_B	1					O	ePWM-18 出力 B
EMIF1_CS3n	2					O	外部メモリ インターフェイス 1 チップ セレクト 3
EMIF1_A0	3					O	外部メモリ インターフェイス 1 アドレス ライン 0
SPIA_PTE	5					I/O	SPI-A ペリフェラル送信イネーブル (PTE)
UARTF_RX	6					I/O	UART-F シリアル データ受信
I2CB_SCL	7					I/OD	I2C-B オープン ドレイン双方向クロック
OUTPUTXBAR12	9					O	出力クロスバー出力 12
ESC_LATCH1	10					I	EtherCAT ラッチ信号入力 1
ESC_SYNC1	14					O	EtherCAT 同期信号出力 1
GPIO36	0、4、8、12	N14				I/O	汎用入出力 36
EMIF1_WAIT	2					I	外部メモリ インターフェイス 1 非同期 SRAM ウェイト
EMIF1_A1	3					O	外部メモリ インターフェイス 1 アドレス ライン 1
UARTC_TX	5					I/O	UART-C シリアル データ送信
MCANC_RX	6					I	CAN/CAN FD-C 受信
OUTPUTXBAR13	9					O	出力クロスバー出力 13
SD1_D1	11					I	SDFM-1 チャネル 1 データ入力
EMIF1_WEn	14					O	外部メモリ インターフェイス 1 書き込みイネーブル
GPIO37	0、4、8、12	R16	85			I/O	汎用入出力 37
EPWM18_A	1					O	ePWM-18 出力 A
EMIF1_OEn	2					O	外部メモリ インターフェイス 1 出力イネーブル
EMIF1_A2	3					O	外部メモリ インターフェイス 1 アドレス ライン 2
UARTC_RX	5					I/O	UART-C シリアル データ受信
MCANC_TX	6					O	CAN/CAN FD-C 送信
OUTPUTXBAR14	9					O	出力クロスバー出力 14
ESC_RX1_DATA1	10					I	EtherCAT MII 受信 1 データ 1
SD1_D2	11					I	SDFM-1 チャネル 2 データ入力
EMIF1_D24	14					I/O	外部メモリ インターフェイス 1 データ ライン 24
OUTPUTXBAR2	15					O	出力クロスバー出力 2

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEX	176 PTS	144 RFS	100 PZS	ピンの種類	説明
GPIO38	0、4、8、12					I/O	汎用入出力 38
EPWM18_B	1					O	ePWM-18 出力 B
EMIF1_A0	2					O	外部メモリ インターフェイス 1 アドレス ライン 0
EMIF1_A3	3					O	外部メモリ インターフェイス 1 アドレス ライン 3
UARTA_TX	5					I/O	UART-A シリアル データ送信
SPIE_PICO	6	E14	125	104	72	I/O	SPI-E ペリフェラル入力、コントローラ出力 (PICO)
OUTPUTXBAR15	9					O	出力クロスバー出力 15
ESC_RX0_DATA1	10					I	EtherCAT MII 受信 0 データ 1
SD1_D3	11					I	SDFM-1 チャネル 3 データ入力
FSITXD_D1	13					O	FSITX-D オプションの追加データ出力
EMIF1_CS2n	14					O	外部メモリ インターフェイス 1 チップ セレクト 2
GPIO39	0、4、8、12					I/O	汎用入出力 39
EMIF1_A1	2					O	外部メモリ インターフェイス 1 アドレス ライン 1
EMIF1_A4	3					O	外部メモリ インターフェイス 1 アドレス ライン 4
UARTA_RX	5					I/O	UART-A シリアル データ受信
OUTPUTXBAR16	9	P15	86			O	出力クロスバー出力 16
ESC_MDIO_DATA	10					I/O	EtherCAT MDIO データ
SD1_D4	11					I	SDFM-1 チャネル 4 データ入力
FSIRXD_CLK	13					I	FSIRX-D 入力クロック
ESC_LED_RUN	15					O	EtherCAT 実行 LED
GPIO40	0、4、8、12					I/O	汎用入出力 40
EPWM13_A	1					O	ePWM-13 出力 A
EMIF1_A2	2					O	外部メモリ インターフェイス 1 アドレス ライン 2
MCANB_RX	5					I	CAN/CAN FD-B 受信
I2CB_SDA	6	P16	87			I/OD	I2C-B オープン ドレイン双方向データ
OUTPUTXBAR9	9					O	出力クロスバー出力 9
ESC_GPO2	10					O	EtherCAT 汎用出力 2
SD4_C3	11					I	SDFM-4 チャネル 3 クロック入力
EPWM1_A	14					O	ePWM-1 出力 A
SD2_C1	15					I	SDFM-2 チャネル 1 クロック入力
GPIO41	0、4、8、12					I/O	汎用入出力 41
EPWM13_B	1					O	ePWM-13 出力 B
EMIF1_A3	2					O	外部メモリ インターフェイス 1 アドレス ライン 3
EPWM18_A	3					O	ePWM-18 出力 A
MCANB_TX	5					O	CAN/CAN FD-B 送信
SPIE_POCI	6					I/O	SPI-E ペリフェラル出力、コントローラ入力 (POCI)
I2CB_SCL	7	N15	89	73	50	I/OD	I2C-B オープン ドレイン双方向クロック
OUTPUTXBAR10	9					O	出力クロスバー出力 10
ESC_RX0_DATA2	10					I	EtherCAT MII 受信 0 データ 2
SD4_D3	11					I	SDFM-4 チャネル 3 データ入力
FSIRXD_CLK	13					I	FSIRX-D 入力クロック
EPWM1_B	14					O	ePWM-1 出力 B
SD2_D1	15					I	SDFM-2 チャネル 1 データ入力

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEX	176 PTS	144 RFS	100 PZS	ピンの種類	説明
GPIO42	0、4、8、12	C16	130	107	74	I/O	汎用入出力 42
EPWM14_A	1					O	ePWM-14 出力 A
EMIF1_A2	2					O	外部メモリ インターフェイス 1 アドレス ライン 2
EMIF1_A13	3					O	外部メモリ インターフェイス 1 アドレス ライン 13
UARTA_TX	5					I/O	UART-A シリアル データ送信
SPIE_CLK	6					I/O	SPI-E クロック
I2CA_SDA	7					I/OD	I2C-A オープン ドレイン双方向データ
OUTPUTXBAR13	9					O	出力クロスバー出力 13
SD4_C3	10					I	SDFM-4 チャネル 3 クロック入力
SD4_C4	11					I	SDFM-4 チャネル 4 クロック入力
FSIRXD_D0	13					I	FSIRX-D 1 次データ入力
ADCE_EXTMUXSEL2	14					O	外部 ADC 選択マルチプレクサ出力
GPIO43	0、4、8、12	C15	131	108	75	I/O	汎用入出力 43
EPWM14_B	1					O	ePWM-14 出力 B
EMIF1_A4	2					O	外部メモリ インターフェイス 1 アドレス ライン 4
EMIF1_D13	3					I/O	外部メモリ インターフェイス 1 データ ライン 13
UARTA_RX	5					I/O	UART-A シリアル データ受信
SPIE_PTE	6					I/O	SPI-E ペリフェラル送信イネーブル (PTE)
I2CA_SCL	7					I/OD	I2C-A オープン ドレイン双方向クロック
OUTPUTXBAR14	9					O	出力クロスバー出力 14
SD4_D4	11					I	SDFM-4 チャネル 4 データ入力
FSIRXD_D1	13					I	FSIRX-D オプションの追加データ入力
ADCE_EXTMUXSEL3	14					O	外部 ADC 選択マルチプレクサ出力
GPIO44	0、4、8、12	G14	114			I/O	汎用入出力 44
EMIF1_A4	2					O	外部メモリ インターフェイス 1 アドレス ライン 4
SPID_POCI	5					I/O	SPI-D ペリフェラル出力、コントローラ入力 (POCI)
MCANB_RX	6					I	CAN/CAN FD-B 受信
UARTB_TX	7					I/O	UART-B シリアル データ送信
OUTPUTXBAR14	9					O	出力クロスバー出力 14
ESC_TX1_CLK	10					I	EtherCAT MII 送信 1 クロック
SD3_C4	11					I	SDFM-3 チャネル 4 クロック入力
FSIRXD_CLK	13					I	FSIRX-D 入力クロック
GPIO45	0、4、8、12	G15	116			I/O	汎用入出力 45
EMIF1_A5	2					O	外部メモリ インターフェイス 1 アドレス ライン 5
SPID_PTE	5					I/O	SPI-D ペリフェラル送信イネーブル (PTE)
MCANB_TX	6					O	CAN/CAN FD-B 送信
UARTB_RX	7					I/O	UART-B シリアル データ受信
OUTPUTXBAR15	9					O	出力クロスバー出力 15
ESC_TX1_ENA	10					I/O	EtherCAT MII 送信 1 イネーブル
SD3_D4	11					I	SDFM-3 チャネル 4 データ入力
FSIRXD_D0	13					I	FSIRX-D 1 次データ入力

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEX	176 PTS	144 RFS	100 PZS	ピンの種類	説明
GPIO46	0、4、8、12	D14	128			I/O	汎用入出力 46
EPWM4_A	1					O	ePWM-4 出力 A
EMIF1_A6	2					O	外部メモリ インターフェイス 1 アドレス ライン 6
EPWM14_A	3					O	ePWM-14 出力 A
UARTC_TX	5					I/O	UART-C シリアル データ送信
MCANE_TX	7					O	CAN/CAN FD-E 送信
ESC_MDIO_CLK	10					O	EtherCAT MDIO クロック
SD3_C4	11					I	SDFM-3 チャネル 4 クロック入力
GPIO47	0、4、8、12	D15	129			I/O	汎用入出力 47
EPWM4_B	1					O	ePWM-4 出力 B
EMIF1_A7	2					O	外部メモリ インターフェイス 1 アドレス ライン 7
EPWM14_B	3					O	ePWM-14 出力 B
UARTC_RX	5					I/O	UART-C シリアル データ受信
MCANE_RX	7					I	CAN/CAN FD-E 受信
ESC_MDIO_DATA	10					I/O	EtherCAT MDIO データ
SD4_C3	11					I	SDFM-4 チャネル 3 クロック入力
GPIO48	0、4、8、12	N16	90			I/O	汎用入出力 48
EMIF1_A8	2					O	外部メモリ インターフェイス 1 アドレス ライン 8
UARTD_TX	5					I/O	UART-D シリアル データ送信
OUTPUTXBAR3	9					O	出力クロスバー出力 3
ESC_PHY_CLK	10					O	EtherCAT PHY クロック
SD1_D1	11					I	SDFM-1 チャネル 1 データ入力
EPWM3_A	13					O	ePWM-3 出力 A
SD2_C2	15					I	SDFM-2 チャネル 2 クロック入力
GPIO49	0、4、8、12	M15	92	75		I/O	汎用入出力 49
EMIF1_A9	2					O	外部メモリ インターフェイス 1 アドレス ライン 9
EMIF1_A5	3					O	外部メモリ インターフェイス 1 アドレス ライン 5
UARTD_RX	5					I/O	UART-D シリアル データ受信
OUTPUTXBAR4	9					O	出力クロスバー出力 4
ESC_TX1_DATA2	10					O	EtherCAT MII 送信 1 データ 2
SD1_C1	11					I	SDFM-1 チャネル 1 クロック入力
FSITXA_D0	13					O	FSITX-A 1 次データ出力
SD2_D1	15					I	SDFM-2 チャネル 1 データ入力
GPIO50	0、4、8、12	M14	93	76		I/O	汎用入出力 50
EPWM15_A	1					O	ePWM-15 出力 A
EMIF1_A10	2					O	外部メモリ インターフェイス 1 アドレス ライン 10
EMIF1_A6	3					O	外部メモリ インターフェイス 1 アドレス ライン 6
SPIC_PICO	6					I/O	SPI-C ペリフェラル入力、コントローラ出力 (PICO)
MCANF_TX	7					O	CAN/CAN FD-F 送信
ESC_TX1_DATA1	10					O	EtherCAT MII 送信 1 データ 1
SD1_D2	11					I	SDFM-1 チャネル 2 データ入力
FSITXA_D1	13					O	FSITX-A オプションの追加データ出力
ESC_GPI25	14					I	EtherCAT 汎用入力 25
SD2_D2	15					I	SDFM-2 チャネル 2 データ入力

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEX	176 PTS	144 RFS	100 PZS	ピンの種類	説明
GPIO51	0、4、8、12					I/O	汎用入出力 51
EPWM15_B	1					O	ePWM-15 出力 B
EMIF1_A11	2					O	外部メモリ インターフェイス 1 アドレス ライン 11
EMIF1_A7	3					O	外部メモリ インターフェイス 1 アドレス ライン 7
SPIC_POCI	6					I/O	SPI-C ペリフェラル出力、コントローラ入力 (POCI)
MCANF_RX	7	M13	94	77		I	CAN/CAN FD-F 受信
ESC_TX1_CLK	10					I	EtherCAT MII 送信 1 クロック
SD1_C2	11					I	SDFM-1 チャネル 2 クロック入力
FSITXA_CLK	13					O	FSITX-A 出力クロック
ESC_GPI26	14					I	EtherCAT 汎用入力 26
SD2_D3	15					I	SDFM-2 チャネル 3 データ入力
GPIO52	0、4、8、12					I/O	汎用入出力 52
EPWM16_A	1					O	ePWM-16 出力 A
EMIF1_A12	2					O	外部メモリ インターフェイス 1 アドレス ライン 12
EMIF1_A8	3					O	外部メモリ インターフェイス 1 アドレス ライン 8
UARTD_TX	5	L14	95	78		I/O	UART-D シリアル データ送信
SPIC_CLK	6					I/O	SPI-C クロック
ESC_TX1_ENA	10					I/O	EtherCAT MII 送信 1 イネーブル
SD1_D3	11					I	SDFM-1 チャネル 3 データ入力
FSIRXA_D0	13					I	FSIRX-A 1 次データ入力
SD2_D4	15					I	SDFM-2 チャネル 4 データ入力
GPIO53	0、4、8、12					I/O	汎用入出力 53
EPWM16_B	1					O	ePWM-16 出力 B
EMIF1_D31	2					I/O	外部メモリ インターフェイス 1 データ ライン 31
EMIF1_A9	3					O	外部メモリ インターフェイス 1 アドレス ライン 9
UARTD_RX	5					I/O	UART-D シリアル データ受信
SPIC_PTE	6	L15	96	79		I/O	SPI-C ペリフェラル送信イネーブル (PTE)
ESC_PHY0_LINKSTATUS	10					I	EtherCAT PHY-0 リンク ステータス
SD1_C3	11					I	SDFM-1 チャネル 3 クロック入力
FSIRXA_D1	13					I	FSIRX-A オプションの追加データ入力
ESC_GPI28	14					I	EtherCAT 汎用入力 28
SD1_C1	15					I	SDFM-1 チャネル 1 クロック入力
GPIO54	0、4、8、12					I/O	汎用入出力 54
EMIF1_D30	2					I/O	外部メモリ インターフェイス 1 データ ライン 30
EMIF1_A10	3					O	外部メモリ インターフェイス 1 アドレス ライン 10
SPIA_PICO	5					I/O	SPI-A ペリフェラル入力、コントローラ出力 (PICO)
ESC_PHY_CLK	10	L16	97	80		O	EtherCAT PHY クロック
SD1_D4	11					I	SDFM-1 チャネル 4 データ入力
FSIRXA_CLK	13					I	FSIRX-A 入力クロック
ESC_GPI29	14					I	EtherCAT 汎用入力 29
SD1_C2	15					I	SDFM-1 チャネル 2 クロック入力

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEX	176 PTS	144 RFS	100 PZS	ピンの種類	説明
GPIO55	0、4、8、12	K13	99			I/O	汎用入出力 55
EPWM16_B	1					O	ePWM-16 出力 B
EMIF1_D29	2					I/O	外部メモリ インターフェイス 1 データ ライン 29
EMIF1_D0	3					I/O	外部メモリ インターフェイス 1 データ ライン 0
SPIA_POCI	5					I/O	SPI-A ペリフェラル出力、コントローラ入力 (POCI)
EMIF1_WAIT	6					I	外部メモリ インターフェイス 1 非同期 SRAM ウェイト
ESC_PHY0_LINKSTATUS	10					I	EtherCAT PHY-0 リンク ステータス
SD1_C4	11					I	SDFM-1 チャネル 4 クロック入力
FSITXB_D0	13					O	FSITX-B 1 次データ出力
SD1_C3	15					I	SDFM-1 チャネル 3 クロック入力
GPIO56	0、4、8、12	K14	100	82		I/O	汎用入出力 56
EPWM17_A	1					O	ePWM-17 出力 A
EMIF1_D28	2					I/O	外部メモリ インターフェイス 1 データ ライン 28
EMIF1_D1	3					I/O	外部メモリ インターフェイス 1 データ ライン 1
SPIA_CLK	5					I/O	SPI-A クロック
MCAND_TX	6					O	CAN/CAN FD-D 送信
I2CA_SDA	7					I/OD	I2C-A オープン ドレイン双方向データ
ESC_PDI_UC_IRQ	10					O	EtherCAT PDI IRQ 割り込みライン
SD2_D1	11					I	SDFM-2 チャネル 1 データ入力
FSITXB_CLK	13					O	FSITX-B 出力クロック
ESC_GPI30	14					I	EtherCAT 汎用入力 30
SD1_C4	15					I	SDFM-1 チャネル 4 クロック入力
GPIO57	0、4、8、12	K15	102	84		I/O	汎用入出力 57
EPWM17_B	1					O	ePWM-17 出力 B
EMIF1_D27	2					I/O	外部メモリ インターフェイス 1 データ ライン 27
EMIF1_D2	3					I/O	外部メモリ インターフェイス 1 データ ライン 2
SPIA_PTE	5					I/O	SPI-A ペリフェラル送信イネーブル (PTE)
MCAND_RX	6					I	CAN/CAN FD-D 受信
I2CA_SCL	7					I/OD	I2C-A オープン ドレイン双方向クロック
ESC_MDIO_DATA	10					I/O	EtherCAT MDIO データ
SD2_C1	11					I	SDFM-2 チャネル 1 クロック入力
FSITXB_D1	13					O	FSITX-B オプションの追加データ出力
ESC_GPI31	14					I	EtherCAT 汎用入力 31
SD3_D3	15					I	SDFM-3 チャネル 3 データ入力
GPIO58	0、4、8、12	K16	103	85	53	I/O	汎用入出力 58
EPWM13_A	1					O	ePWM-13 出力 A
EMIF1_D26	2					I/O	外部メモリ インターフェイス 1 データ ライン 26
EPWM8_A	3					O	ePWM-8 出力 A
SPIA_PICO	5					I/O	SPI-A ペリフェラル入力、コントローラ出力 (PICO)
MCANC_RX	7					I	CAN/CAN FD-C 受信
SENT1	9					I/O	SENT 入力ピン 1
ESC_LED_LINK0_ACTIVE	10					O	EtherCAT リンク 0 アクティブ
SD2_D2	11					I	SDFM-2 チャネル 2 データ入力
FSIRXB_D0	13					I	FSIRX-B 1 次データ入力
ESC_TX0_DATA3	14					O	EtherCAT MII 送信 0 データ 3
SD2_C2	15					I	SDFM-2 チャネル 2 クロック入力

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEX	176 PTS	144 RFS	100 PZS	ピンの種類	説明
GPIO59	0、4、8、12	J16	104	86	54	I/O	汎用入出力 59
EPWM5_A	1					O	ePWM-5 出力 A
EMIF1_D25	2					I/O	外部メモリ インターフェイス 1 データ ライン 25
EPWM8_B	3					O	ePWM-8 出力 B
SPIA_POCI	5					I/O	SPI-A ペリフェラル出力、コントローラ入力 (POCI)
MCANC_TX	7					O	CAN/CAN FD-C 送信
SENT2	9					I/O	SENT 入力ピン 2
ESC_LED_LINK1_ACTIVE	10					O	EtherCAT リンク 1 アクティブ
SD2_C2	11					I	SDFM-2 チャネル 2 クロック入力
FSIRXB_D1	13					I	FSIRX-B オプションの追加データ入力
ESC_TX0_ENA	14					I/O	EtherCAT MII 送信 0 イネーブル
SD2_C3	15					I	SDFM-2 チャネル 3 クロック入力
GPIO60	0、4、8、12	J15	106	88	56	I/O	汎用入出力 60
EPWM3_B	1					O	ePWM-3 出力 B
EMIF1_D24	2					I/O	外部メモリ インターフェイス 1 データ ライン 24
EMIF1_D0	3					I/O	外部メモリ インターフェイス 1 データ ライン 0
SPIA_CLK	5					I/O	SPI-A クロック
OUTPUTXBAR3	6					O	出力クロスバー出力 3
SENT3	9					I/O	SENT 入力ピン 3
ESC_LED_ERR	10					O	EtherCAT エラー LED
ESC_LATCH0	11					I	EtherCAT ラッチ信号入力 0
FSIRXB_CLK	13					I	FSIRX-B 入力クロック
SD2_C4	15					I	SDFM-2 チャネル 4 クロック入力
GPIO61	0、4、8、12	J13	108	89	57	I/O	汎用入出力 61
EPWM17_B	1					O	ePWM-17 出力 B
EMIF1_D23	2					I/O	外部メモリ インターフェイス 1 データ ライン 23
EMIF1_D6	3					I/O	外部メモリ インターフェイス 1 データ ライン 6
SPIA_PTE	5					I/O	SPI-A ペリフェラル送信イネーブル (PTE)
MCANC_RX	7					I	CAN/CAN FD-C 受信
OUTPUTXBAR4	9					O	出力クロスバー出力 4
ESC_LED_RUN	10					O	EtherCAT 実行 LED
SD2_C3	11					I	SDFM-2 チャネル 3 クロック入力
FSITXD_CLK	13					O	FSITX-D 出力クロック
ESC_LATCH1	14					I	EtherCAT ラッチ信号入力 1
GPIO62	0、4、8、12	H13	109	90	58	I/O	汎用入出力 62
EPWM17_A	1					O	ePWM-17 出力 A
EMIF1_D22	2					I/O	外部メモリ インターフェイス 1 データ ライン 22
EMIF1_D7	3					I/O	外部メモリ インターフェイス 1 データ ライン 7
MCANC_RX	6					I	CAN/CAN FD-C 受信
MCANC_TX	7					O	CAN/CAN FD-C 送信
SENT4	9					I/O	SENT 入力ピン 4
ESC_LED_STATE_RUN	10					O	EtherCAT LED 状態実行
SD2_D4	11					I	SDFM-2 チャネル 4 データ入力
FSITXD_D0	13					O	FSITX-D 1 次データ出力
ESC_MDIO_CLK	14					O	EtherCAT MDIO クロック

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEX	176 PTS	144 RFS	100 PZS	ピンの種類	説明
GPIO63	0、4、8、12	H14	110	91	59	I/O	汎用入出力 63
EPWM9_A	1					O	ePWM-9 出力 A
EMIF1_D21	2					I/O	外部メモリ インターフェイス 1 データ ライン 21
EMIF1_RNW	3					O	外部メモリ インターフェイス 1 読み取り、非書き込み
SPIB_PICO	5					I/O	SPI-B ペリフェラル入力、コントローラ出力 (PICO)
MCANC_TX	6					O	CAN/CAN FD-C 送信
SENT5	9					I/O	SENT 入力ピン 5
ESC_RX1_DATA0	10					I	EtherCAT MII 受信 1 データ 0
SD1_D1	11					I	SDFM-1 チャネル 1 データ入力
FSITXD_D1	13					O	FSITX-D オプションの追加データ出力
ADCD_EXTMUXSEL0	14					O	外部 ADC 選択マルチプレクサ出力
SD2_C4	15					I	SDFM-2 チャネル 4 クロック入力
GPIO64	0、4、8、12	H15	111	92	60	I/O	汎用入出力 64
EPWM9_B	1					O	ePWM-9 出力 B
EMIF1_D20	2					I/O	外部メモリ インターフェイス 1 データ ライン 20
EMIF1_WAIT	3					I	外部メモリ インターフェイス 1 非同期 SRAM ウェイト
SPIB_POCI	5					I/O	SPI-B ペリフェラル出力、コントローラ入力 (POCI)
MCANA_TX	6					O	CAN/CAN FD-A 送信
UARTF_TX	7					I/O	UART-F シリアル データ送信
SENT6	9					I/O	SENT 入力ピン 6
ESC_RX1_DATA1	10					I	EtherCAT MII 受信 1 データ 1
SD1_C1	11					I	SDFM-1 チャネル 1 クロック入力
FSITXD_CLK	13					O	FSITX-D 出力クロック
ADCD_EXTMUXSEL1	14					O	外部 ADC 選択マルチプレクサ出力
GPIO65	0、4、8、12	H16	112	93	61	I/O	汎用入出力 65
EPWM10_A	1					O	ePWM-10 出力 A
EMIF1_D19	2					I/O	外部メモリ インターフェイス 1 データ ライン 19
EMIF1_WEn	3					O	外部メモリ インターフェイス 1 書き込みイネーブル
SPIB_CLK	5					I/O	SPI-B クロック
MCANA_RX	6					I	CAN/CAN FD-A 受信
UARTF_RX	7					I/O	UART-F シリアル データ受信
ESC_RX1_DATA2	10					I	EtherCAT MII 受信 1 データ 2
SD1_D2	11					I	SDFM-1 チャネル 2 データ入力
FSITXB_CLK	13					O	FSITX-B 出力クロック
ADCD_EXTMUXSEL2	14					O	外部 ADC 選択マルチプレクサ出力
ESC_GPI13	15					I	EtherCAT 汎用入力 13
GPIO66	0、4、8、12	G13	113	94	62	I/O	汎用入出力 66
EPWM10_B	1					O	ePWM-10 出力 B
EMIF1_D18	2					I/O	外部メモリ インターフェイス 1 データ ライン 18
EMIF1_OEn	3					O	外部メモリ インターフェイス 1 出力イネーブル
SPIB_PTE	5					I/O	SPI-B ペリフェラル送信イネーブル (PTE)
I2CB_SDA	6					I/OD	I2C-B オープン ドレイン双方向データ
ESC_RX1_DATA3	10					I	EtherCAT MII 受信 1 データ 3
SD1_C2	11					I	SDFM-1 チャネル 2 クロック入力
FSITXB_D1	13					O	FSITX-B オプションの追加データ出力
ADCD_EXTMUXSEL3	14					O	外部 ADC 選択マルチプレクサ出力
ESC_GPI14	15					I	EtherCAT 汎用入力 14

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEX	176 PTS	144 RFS	100 PZS	ピンの種類	説明
GPIO67	0、4、8、12					I/O	汎用入出力 67
EPWM17_A	1					O	ePWM-17 出力 A
EMIF1_D17	2					I/O	外部メモリ インターフェイス 1 データ ライン 17
LINB_TX	5	B16	132			O	LIN-B 送信
MCAND_TX	6					O	CAN/CAN FD-D 送信
SD1_D3	11					I	SDFM-1 チャネル 3 データ入力
FSITXB_CLK	13					O	FSITX-B 出力クロック
GPIO68	0、4、8、12					I/O	汎用入出力 68
EPWM17_B	1					O	ePWM-17 出力 B
EMIF1_D16	2					I/O	外部メモリ インターフェイス 1 データ ライン 16
EMIF1_D4	3					I/O	外部メモリ インターフェイス 1 データ ライン 4
LINB_RX	5					I	LIN-B 受信
MCAND_RX	6	B15	133	109		I	CAN/CAN FD-D 受信
EMIF1_D13	7					I/O	外部メモリ インターフェイス 1 データ ライン 13
ESC_PHY1_LINKSTATUS	10					I	EtherCAT PHY-1 リンク ステータス
SD1_C3	11					I	SDFM-1 チャネル 3 クロック入力
FSIRXB_D1	13					I	FSIRX-B オプションの追加データ入力
ESC_GPI15	15					I	EtherCAT 汎用入力 15
GPIO69	0、4、8、12					I/O	汎用入出力 69
EPWM11_A	1					O	ePWM-11 出力 A
EMIF1_D15	2					I/O	外部メモリ インターフェイス 1 データ ライン 15
SPIC_PICO	5	A15	134			I/O	SPI-C ペリフェラル入力、コントローラ出力 (PICO)
I2CB_SCL	6					I/OD	I2C-B オープン ドレイン双方向クロック
ESC_RX1_CLK	10					I	EtherCAT MII 受信 1 クロック
SD1_D4	11					I	SDFM-1 チャネル 4 データ入力
FSITXB_D0	13					O	FSITX-B 1 次データ出力
GPIO70	0、4、8、12					I/O	汎用入出力 70
EPWM11_B	1					O	ePWM-11 出力 B
EMIF1_D14	2					I/O	外部メモリ インターフェイス 1 データ ライン 14
SPIC_POCI	5					I/O	SPI-C ペリフェラル出力、コントローラ入力 (POCI)
MCANC_RX	6	C14	135	110	76	I	CAN/CAN FD-C 受信
UARTB_TX	7					I/O	UART-B シリアル データ送信
ESC_RX1_DV	10					I	EtherCAT MII 受信 1 データ有効
SD1_C4	11					I	SDFM-1 チャネル 4 クロック入力
FSIRXB_D0	13					I	FSIRX-B 1 次データ入力
ESC_GPI16	15					I	EtherCAT 汎用入力 16

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEX	176 PTS	144 RFS	100 PZS	ピンの種類	説明
GPIO71	0、4、8、12	B14	136	111	77	I/O	汎用入出力 71
EPWM12_A	1					O	ePWM-12 出力 A
EPWM11_A	2					O	ePWM-11 出力 A
EMIF1_D5	3					I/O	外部メモリ インターフェイス 1 データ ライン 5
SPIC_CLK	5					I/O	SPI-C クロック
MCANC_TX	6					O	CAN/CAN FD-C 送信
UARTB_RX	7					I/O	UART-B シリアル データ受信
EMIF1_D13	9					I/O	外部メモリ インターフェイス 1 データ ライン 13
ESC_RX1_ERR	10					I	EtherCAT MII 受信 1 エラー
SD3_D1	11					I	SDFM-3 チャネル 1 データ入力
FSITXC_CLK	13					O	FSITX-C 出力クロック
FSITXB_D0	14					O	FSITX-B 1 次データ出力
GPIO72	0、4、8、12	A14	139	114	80	I/O	汎用入出力 72
EPWM12_B	1					O	ePWM-12 出力 B
EMIF1_D12	2					I/O	外部メモリ インターフェイス 1 データ ライン 12
SPIC_PTE	5					I/O	SPI-C ペリフェラル送信イネーブル (PTE)
MCANB_RX	6					I	CAN/CAN FD-B 受信
UARTA_TX	7					I/O	UART-A シリアル データ送信
OUTPUTXBAR8	9					O	出力クロスバー出力 8
ESC_TX1_DATA3	10					O	EtherCAT MII 送信 1 データ 3
SD3_D2	11					I	SDFM-3 チャネル 2 データ入力
FSITXC_D0	13					O	FSITX-C 1 次データ出力
SD3_C1	14					I	SDFM-3 チャネル 1 クロック入力
GPIO73	0、4、8、12	E13	140			I/O	汎用入出力 73
EPWM5_B	1					O	ePWM-5 出力 B
EMIF1_D11	2					I/O	外部メモリ インターフェイス 1 データ ライン 11
XCLKOUT	3					O	外部クロック出力。このピンは、デバイス内のクロック信号の中から選択されたものを分周した信号を出力します。
MCANB_TX	6					O	CAN/CAN FD-B 送信
UARTA_RX	7					I/O	UART-A シリアル データ受信
OUTPUTXBAR6	9					O	出力クロスバー出力 6
ESC_TX1_DATA2	10					O	EtherCAT MII 送信 1 データ 2
SD4_D4	11					I	SDFM-4 チャネル 4 データ入力
FSITXC_CLK	13					O	FSITX-C 出力クロック
SD2_D2	14					I	SDFM-2 チャネル 2 データ入力
GPIO74	0、4、8、12	D13	141			I/O	汎用入出力 74
EPWM8_A	1					O	ePWM-8 出力 A
EMIF1_D10	2					I/O	外部メモリ インターフェイス 1 データ ライン 10
MCANC_TX	6					O	CAN/CAN FD-C 送信
ESC_TX1_DATA1	10					O	EtherCAT MII 送信 1 データ 1
SD1_D4	11					I	SDFM-1 チャネル 4 データ入力
FSITXA_D0	13					O	FSITX-A 1 次データ出力
SD2_C2	14					I	SDFM-2 チャネル 2 クロック入力

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEX	176 PTS	144 RFS	100 PZS	ピンの種類	説明
GPIO75	0、4、8、12	C13	142			I/O	汎用入出力 75
EPWM8_B	1					O	ePWM-8 出力 B
EMIF1_D9	2					I/O	外部メモリ インターフェイス 1 データ ライン 9
SPID_CLK	5					I/O	SPI-D クロック
MCANC_RX	6					I	CAN/CAN FD-C 受信
OUTPUTXBAR16	9					O	出力クロスバー出力 16
ESC_TX1_DATA0	10					O	EtherCAT MII 送信 1 データ 0
SD2_D3	14					I	SDFM-2 チャネル 3 データ入力
GPIO76	0、4、8、12	B13	143	115		I/O	汎用入出力 76
EPWM9_A	1					O	ePWM-9 出力 A
EMIF1_D8	2					I/O	外部メモリ インターフェイス 1 データ ライン 8
UARTD_TX	5					I/O	UART-D シリアル データ送信
MCANE_TX	7					O	CAN/CAN FD-E 送信
SD4_D4	9					I	SDFM-4 チャネル 4 データ入力
ESC_PHY_RESETn	10					O	EtherCAT PHY アクティブ Low リセット
SD3_C1	11					I	SDFM-3 チャネル 1 クロック入力
FSIRXC_D0	13					I	FSIRX-C 1 次データ入力
SD2_C3	14					I	SDFM-2 チャネル 3 クロック入力
ESC_GPI17	15					I	EtherCAT 汎用入力 17
GPIO77	0、4、8、12	A13	144	116		I/O	汎用入出力 77
EPWM9_B	1					O	ePWM-9 出力 B
EMIF1_D7	2					I/O	外部メモリ インターフェイス 1 データ ライン 7
UARTD_RX	5					I/O	UART-D シリアル データ受信
MCANE_RX	7					I	CAN/CAN FD-E 受信
SD1_D4	9					I	SDFM-1 チャネル 4 データ入力
ESC_RX0_CLK	10					I	EtherCAT MII 受信 0 クロック
SD3_D1	11					I	SDFM-3 チャネル 1 データ入力
FSITXB_D0	13					O	FSITX-B 1 次データ出力
SD2_D4	14					I	SDFM-2 チャネル 4 データ入力
GPIO78	0、4、8、12	D12	145	117		I/O	汎用入出力 78
EPWM10_A	1					O	ePWM-10 出力 A
EMIF1_D6	2					I/O	外部メモリ インターフェイス 1 データ ライン 6
EPWM11_A	3					O	ePWM-11 出力 A
MCANF_TX	7					O	CAN/CAN FD-F 送信
SD4_D4	9					I	SDFM-4 チャネル 4 データ入力
ESC_RX0_DV	10					I	EtherCAT MII 受信 0 データ有効
SD3_C2	11					I	SDFM-3 チャネル 2 クロック入力
FSITXC_D1	13					O	FSITX-C オプションの追加データ出力
SD2_C4	14					I	SDFM-2 チャネル 4 クロック入力
ESC_GPI18	15					I	EtherCAT 汎用入力 18

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEX	176 PTS	144 RFS	100 PZS	ピンの種類	説明
GPIO79	0、4、8、12	C12	146			I/O	汎用入出力 79
EPWM10_B	1					O	ePWM-10 出力 B
EMIF1_D5	2					I/O	外部メモリ インターフェイス 1 データ ライン 5
ERRORSTS	5					O	エラー ステータス出力。外部プルダウンが必要。
ESC_RX0_ERR	10					I	EtherCAT MII 受信 0 エラー
SD3_D2	11					I	SDFM-3 チャネル 2 データ入力
FSITXC_D0	13					O	FSITX-C 1 次データ出力
SD2_D1	14					I	SDFM-2 チャネル 1 データ入力
GPIO80	0、4、8、12	B12				I/O	汎用入出力 80
EPWM11_A	1					O	ePWM-11 出力 A
EMIF1_D4	2					I/O	外部メモリ インターフェイス 1 データ ライン 4
ERRORSTS	5					O	エラー ステータス出力。外部プルダウンが必要。
SD1_D4	9					I	SDFM-1 チャネル 4 データ入力
ESC_RX0_DATA0	10					I	EtherCAT MII 受信 0 データ 0
SD3_C3	11					I	SDFM-3 チャネル 3 クロック入力
SD2_C1	14					I	SDFM-2 チャネル 1 クロック入力
GPIO81	0、4、8、12	A12				I/O	汎用入出力 81
EPWM11_B	1					O	ePWM-11 出力 B
EMIF1_D3	2					I/O	外部メモリ インターフェイス 1 データ ライン 3
ESC_RX0_DATA1	10					I	EtherCAT MII 受信 0 データ 1
SD3_D3	11					I	SDFM-3 チャネル 3 データ入力
GPIO82	0、4、8、12	D10				I/O	汎用入出力 82
EPWM12_A	1					O	ePWM-12 出力 A
EMIF1_D2	2					I/O	外部メモリ インターフェイス 1 データ ライン 2
ESC_RX0_DATA2	10					I	EtherCAT MII 受信 0 データ 2
SD3_C2	11					I	SDFM-3 チャネル 2 クロック入力
GPIO83	0、4、8、12	A11				I/O	汎用入出力 83
EPWM12_B	1					O	ePWM-12 出力 B
EMIF1_D1	2					I/O	外部メモリ インターフェイス 1 データ ライン 1
ESC_RX0_DATA3	10					I	EtherCAT MII 受信 0 データ 3
SD3_D2	11					I	SDFM-3 チャネル 2 データ入力
GPIO84	0、4、8、12	D11	148	119	81	I/O	汎用入出力 84
EPWM12_B	1					O	ePWM-12 出力 B
EMIF1_D1	2					I/O	外部メモリ インターフェイス 1 データ ライン 1
EMIF1_CS4n	3					O	外部メモリ インターフェイス 1 チップ セレクト 4
SPIC_PICO	5					I/O	SPI-C ペリフェラル入力、コントローラ出力 (PICO)
UARTA_TX	6					I/O	UART-A シリアル データ送信
MCANF_RX	7					I	CAN/CAN FD-F 受信
ESC_TX0_ENA	10					I/O	EtherCAT MII 送信 0 イネーブル
SD3_C2	11					I	SDFM-3 チャネル 2 クロック入力
FSITXC_D1	13					O	FSITX-C オプションの追加データ出力
ESC_RX0_DATA3	14					I	EtherCAT MII 受信 0 データ 3
ESC_GPO24	15					O	EtherCAT 汎用出力 24

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEX	176 PTS	144 RFS	100 PZS	ピンの種類	説明
GPIO85	0、4、8、12					I/O	汎用入出力 85
EPWM13_A	1					O	ePWM-13 出力 A
EMIF1_D0	2					I/O	外部メモリ インターフェイス 1 データ ライン 0
UARTA_RX	6	B11				I/O	UART-A シリアル データ受信
EMIF1_DQM2	9					O	外部メモリ インターフェイス 1 のバイト 2 入力 / 出力マスク
ESC_TX0_CLK	10					I	EtherCAT MII 送信 0 クロック
SD3_D3	11					I	SDFM-3 チャネル 3 データ入力
GPIO86	0、4、8、12					I/O	汎用入出力 86
EPWM13_B	1					O	ePWM-13 出力 B
EMIF1_A13	2					O	外部メモリ インターフェイス 1 アドレス ライン 13
EMIF1_CAS	3	C11				O	外部メモリ インターフェイス 1 列アドレス ストローブ
UARTD_TX	6					I/O	UART-D シリアル データ送信
ESC_PHY0_LINKSTATUS	10					I	EtherCAT PHY-0 リンク ステータス
SD3_C3	11					I	SDFM-3 チャネル 3 クロック入力
GPIO87	0、4、8、12					I/O	汎用入出力 87
EPWM14_A	1					O	ePWM-14 出力 A
EMIF1_A14	2					O	外部メモリ インターフェイス 1 アドレス ライン 14
EMIF1_RAS	3	C10				O	外部メモリ インターフェイス、1 行のアドレス ストローブ
UARTD_RX	6					I/O	UART-D シリアル データ受信
EMIF1_DQM3	9					O	外部メモリ インターフェイス 1 のバイト 3 入力 / 出力マスク
ESC_TX0_DATA0	10					O	EtherCAT MII 送信 0 データ 0
SD3_D4	11					I	SDFM-3 チャネル 4 データ入力
GPIO88	0、4、8、12					I/O	汎用入出力 88
EPWM14_B	1					O	ePWM-14 出力 B
EMIF1_A15	2					O	外部メモリ インターフェイス 1 アドレス ライン 15
EMIF1_DQM0	3	C3				O	外部メモリ インターフェイス 1 のバイト 0 入力 / 出力マスク
EMIF1_DQM1	9					O	外部メモリ インターフェイス 1 のバイト 1 入力 / 出力マスク
ESC_TX0_DATA1	10					O	EtherCAT MII 送信 0 データ 1
SD3_C4	11					I	SDFM-3 チャネル 4 クロック入力
GPIO89	0、4、8、12					I/O	汎用入出力 89
EPWM15_A	1					O	ePWM-15 出力 A
EMIF1_A16	2					O	外部メモリ インターフェイス 1 アドレス ライン 16
EMIF1_DQM1	3					O	外部メモリ インターフェイス 1 のバイト 1 入力 / 出力マスク
SPID_PTE	5	D4				I/O	SPI-D ペリフェラル送信イネーブル (PTE)
EMIF1_CAS	9					O	外部メモリ インターフェイス 1 列アドレス ストローブ
ESC_TX0_DATA2	10					O	EtherCAT MII 送信 0 データ 2
SD1_D3	11					I	SDFM-1 チャネル 3 データ入力
SD4_D1	14					I	SDFM-4 チャネル 1 データ入力
GPIO90	0、4、8、12					I/O	汎用入出力 90
EPWM15_B	1					O	ePWM-15 出力 B
EMIF1_A17	2					O	外部メモリ インターフェイス 1 アドレス ライン 17
EMIF1_DQM2	3					O	外部メモリ インターフェイス 1 のバイト 2 入力 / 出力マスク
SPID_CLK	5	D3				I/O	SPI-D クロック
EMIF1_RAS	9					O	外部メモリ インターフェイス、1 行のアドレス ストローブ
ESC_TX0_DATA3	10					O	EtherCAT MII 送信 0 データ 3
SD1_C3	11					I	SDFM-1 チャネル 3 クロック入力
SD4_C1	14					I	SDFM-4 チャネル 1 クロック入力

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEX	176 PTS	144 RFS	100 PZS	ピンの種類	説明
GPIO91	0、4、8、12	D2				I/O	汎用入出力 91
EPWM16_A	1					O	ePWM-16 出力 A
EMIF1_A18	2					O	外部メモリ インターフェイス 1 アドレス ライン 18
EMIF1_DQM3	3					O	外部メモリ インターフェイス 1 のバイト 3 入力 / 出力マスク
SPID_PICO	5					I/O	SPI-D ペリフェラル入力、コントローラ出力 (PICO)
I2CA_SDA	6					I/OD	I2C-A オープン ドレイン双方向データ
MCAND_TX	7					O	CAN/CAN FD-D 送信
EMIF1_DQM2	9					O	外部メモリ インターフェイス 1 のバイト 2 入力 / 出力マスク
SD4_D2	11					I	SDFM-4 チャネル 2 データ入力
OUTPUTXBAR9	14					O	出力クロスバー出力 9
GPIO92	0、4、8、12	E2				I/O	汎用入出力 92
EPWM16_B	1					O	ePWM-16 出力 B
EMIF1_A19	2					O	外部メモリ インターフェイス 1 アドレス ライン 19
EMIF1_BA1	3					O	外部メモリ インターフェイス 1 バンク アドレス 1
SPID_POCI	5					I/O	SPI-D ペリフェラル出力、コントローラ入力 (POCI)
I2CA_SCL	6					I/OD	I2C-A オープン ドレイン双方向クロック
MCAND_RX	7					I	CAN/CAN FD-D 受信
EMIF1_DQM0	9					O	外部メモリ インターフェイス 1 のバイト 0 入力 / 出力マスク
FSIRXD_CLK	10					I	FSIRX-D 入力クロック
SD4_C2	11					I	SDFM-4 チャネル 2 クロック入力
OUTPUTXBAR10	14					O	出力クロスバー出力 10
GPIO93	0、4、8、12	E3				I/O	汎用入出力 93
EPWM17_A	1					O	ePWM-17 出力 A
EMIF1_BA0	3					O	外部メモリ インターフェイス 1 バンク アドレス 0
SPID_CLK	5					I/O	SPI-D クロック
ESC_TX1_CLK	10					I	EtherCAT MII 送信 1 クロック
SD4_D3	11					I	SDFM-4 チャネル 3 データ入力
OUTPUTXBAR11	14					O	出力クロスバー出力 11
GPIO94	0、4、8、12	E4				I/O	汎用入出力 94
EPWM17_B	1					O	ePWM-17 出力 B
SPID_PTE	5					I/O	SPI-D ペリフェラル送信イネーブル (PTE)
EMIF1_BA1	9					O	外部メモリ インターフェイス 1 バンク アドレス 1
ESC_TX1_ENA	10					I/O	EtherCAT MII 送信 1 イネーブル
SD4_C3	11					I	SDFM-4 チャネル 3 クロック入力
OUTPUTXBAR12	14					O	出力クロスバー出力 12
GPIO95	0、4、8、12	E5				I/O	汎用入出力 95
EPWM18_A	1					O	ePWM-18 出力 A
ESC_GPO10	10					O	EtherCAT 汎用出力 10
SD1_D1	11					I	SDFM-1 チャネル 1 データ入力
OUTPUTXBAR13	14					O	出力クロスバー出力 13
GPIO96	0、4、8、12	F3				I/O	汎用入出力 96
EPWM18_B	1					O	ePWM-18 出力 B
ESC_GPO11	10					O	EtherCAT 汎用出力 11
SD1_C1	11					I	SDFM-1 チャネル 1 クロック入力
OUTPUTXBAR14	14					O	出力クロスバー出力 14

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEX	176 PTS	144 RFS	100 PZS	ピンの種類	説明
GPIO97	0、4、8、12	F4				I/O	汎用入出力 97
ESC_GPI17	10					I	EtherCAT 汎用入力 17
SD1_D2	11					I	SDFM-1 チャネル 2 データ入力
OUTPUTXBAR15	14					O	出力クロスバー出力 15
GPIO98	0、4、8、12	F5				I/O	汎用入出力 98
ESC_GPI18	10					I	EtherCAT 汎用入力 18
SD1_C2	11					I	SDFM-1 チャネル 2 クロック入力
OUTPUTXBAR16	14					O	出力クロスバー出力 16
GPIO99	0、4、8、12	G5				I/O	汎用入出力 99
EPWM8_A	1					O	ePWM-8 出力 A
EMIF1_DQM3	2					O	外部メモリ インターフェイス 1 のバイト 3 入力 / 出力マスク
EMIF1_D17	3					I/O	外部メモリ インターフェイス 1 データ ライン 17
ESC_GPI21	10					I	EtherCAT 汎用入力 21
SD4_D4	11					I	SDFM-4 チャネル 4 データ入力
GPIO100	0、4、8、12	B4				I/O	汎用入出力 100
EPWM9_A	1					O	ePWM-9 出力 A
EMIF1_BA1	2					O	外部メモリ インターフェイス 1 バンク アドレス 1
EMIF1_D24	3					I/O	外部メモリ インターフェイス 1 データ ライン 24
SPIC_PICO	5					I/O	SPI-C ペリフェラル入力、コントローラ出力 (PICO)
SPIA_PICO	6					I/O	SPI-A ペリフェラル入力、コントローラ出力 (PICO)
SD1_D1	9					I	SDFM-1 チャネル 1 データ入力
ESC_GPI0	10					I	EtherCAT 汎用入力 0
SD4_C4	11					I	SDFM-4 チャネル 4 クロック入力
FSITXA_D0	13					O	FSITX-A 1 次データ出力
FSIRXD_D1	14					I	FSIRX-D オプションの追加データ入力
GPIO101	0、4、8、12	B5				I/O	汎用入出力 101
EPWM18_A	1					O	ePWM-18 出力 A
EMIF1_A5	2					O	外部メモリ インターフェイス 1 アドレス ライン 5
SPIC_POCI	5					I/O	SPI-C ペリフェラル出力、コントローラ入力 (POCI)
ESC_GPI1	10					I	EtherCAT 汎用入力 1
FSITXA_D1	13					O	FSITX-A オプションの追加データ出力
GPIO103	0、4、8、12	D16	126	105		I/O	汎用入出力 103
EPWM8_B	1					O	ePWM-8 出力 B
EMIF1_BA0	2					O	外部メモリ インターフェイス 1 バンク アドレス 0
EMIF1_D3	3					I/O	外部メモリ インターフェイス 1 データ ライン 3
SPIC_PTE	5					I/O	SPI-C ペリフェラル送信イネーブル (PTE)
ESC_GPI3	10					I	EtherCAT 汎用入力 3
SD4_C4	11					I	SDFM-4 チャネル 4 クロック入力
FSIRXA_D0	13					I	FSIRX-A 1 次データ入力
ESC_GPO25	15					O	EtherCAT 汎用出力 25
GPIO105	0、4、8、12	J14				I/O	汎用入出力 105
EPWM18_B	1					O	ePWM-18 出力 B
I2CA_SCL	5					I/OD	I2C-A オープン ドレイン双方向クロック
ESC_GPI5	10					I	EtherCAT 汎用入力 5
SD3_C1	11					I	SDFM-3 チャネル 1 クロック入力
FSIRXA_CLK	13					I	FSIRX-A 入力クロック

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEX	176 PTS	144 RFS	100 PZS	ピンの種類	説明
GPIO127	0、4、8、12	F13	118	97	64	I/O	汎用入出力 127
EPWM18_A	1					O	ePWM-18 出力 A
EMIF1_D18	2					I/O	外部メモリ インターフェイス 1 データ ライン 18
EMIF1_A11	3					O	外部メモリ インターフェイス 1 アドレス ライン 11
SPID_POCI	5					I/O	SPI-D ペリフェラル出力、コントローラ入力 (POCI)
ESC_GPI27	10					I	EtherCAT 汎用入力 27
SD1_C3	11					I	SDFM-1 チャネル 3 クロック入力
FSIRXC_D1	13					I	FSIRX-C オプションの追加データ入力
ESC_SYNC0	14					O	EtherCAT 同期信号出力 0
ESC_GPO26	15					O	EtherCAT 汎用出力 26
GPIO219	0、4、8、12	M16	91	74	51	I/O	汎用入出力 219
ERRORSTS	1					O	エラー ステータス出力。外部プルダウンが必要。
EMIF1_A19	2					O	外部メモリ インターフェイス 1 アドレス ライン 19
EPWM18_B	3					O	ePWM-18 出力 B
OUTPUTXBAR1	9					O	出力クロスバー出力 1
XCLKOUT	10					O	外部クロック出力。このピンは、デバイス内のクロック信号の中から選択されたものを分周した信号を出力します。
SD2_C1	11					I	SDFM-2 チャネル 1 クロック入力
ESC_GPI8	13					I	EtherCAT 汎用入力 8
ESC_TX0_ENA	14					I/O	EtherCAT MII 送信 0 イネーブル
ESC_GPO27	15					O	EtherCAT 汎用出力 27
GPIO220	0、4、8、12	E16	123	102	70	I/O	汎用入出力 220
EPWM6_A	1					O	ePWM-6 出力 A
SPID_POCI	5					I/O	SPI-D ペリフェラル出力、コントローラ入力 (POCI)
MCANC_TX	6					O	CAN/CAN FD-C 送信
OUTPUTXBAR2	9					O	出力クロスバー出力 2
SD3_D3	11					I	SDFM-3 チャネル 3 データ入力
ESC_GPI9	13					I	EtherCAT 汎用入力 9
ESC_GPO28	15					O	EtherCAT 汎用出力 28
X1	ALT					I/O	水晶発振器入力またはシングルエンド クロック入力。水晶発振器をイネーブルにする前に、デバイス初期化ソフトウェアでこのピンを設定する必要がある。この発振器を使用するには、X1 と X2 の間に水晶振動子を接続する必要がある。このピンを使って、シングルエンドの 3.3V レベル クロックを供給することもできる。
GPIO221	0、4、8、12	F16	121	100	68	I/O	汎用入出力 221
EPWM6_B	1					O	ePWM-6 出力 B
EMIF1_CAS	3					O	外部メモリ インターフェイス 1 列アドレス ストローブ
SPID_PTE	5					I/O	SPI-D ペリフェラル送信イネーブル (PTE)
MCANC_RX	6					I	CAN/CAN FD-C 受信
OUTPUTXBAR3	9					O	出力クロスバー出力 3
SD3_C3	11					I	SDFM-3 チャネル 3 クロック入力
ESC_GPI10	13					I	EtherCAT 汎用入力 10
ESC_GPO29	15					O	EtherCAT 汎用出力 29
X2	ALT					I/O	水晶発振器出力。

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEX	176 PTS	144 RFS	100 PZS	ピンの種類	説明
GPIO222	0、4、8、12	T14	77	64	42	I/O	汎用入出力 222
TDI	1					I	内部プルアップ付き JTAG テスト データ入力 (TDI)。TDI は、TCK の立ち上がりエッジで、選択したレジスタ (命令またはデータ) にシフトインされます。
EPWM7_A	2					O	ePWM-7 出力 A
SPID_PICO	5					I/O	SPI-D ペリフェラル入力、コントローラ出力 (PICO)
UARTB_TX	6					I/O	UART-B シリアル データ送信
I2CB_SCL	7					I/OD	I2C-B オープン ドレイン双方向クロック
OUTPUTXBAR4	9					O	出力クロスバー出力 4
SPIC_CLK	10					I/O	SPI-C クロック
SD3_D4	11					I	SDFM-3 チャネル 4 データ入力
ESC_GPI11	13					I	EtherCAT 汎用入力 11
ESC_GPO30	15					O	EtherCAT 汎用出力 30
GPIO223	0、4、8、12	R14	78	65	43	I/O	汎用入出力 223
TDO	1					O	JTAG スキャン アウト、テスト データ出力 (TDO)。選択したレジスタ (命令またはデータ) の内容は、TCK の立ち下がりエッジで、TDO からシフトアウトされます。
EPWM7_B	2					O	ePWM-7 出力 B
SPID_CLK	5					I/O	SPI-D クロック
UARTB_RX	6					I/O	UART-B シリアル データ受信
I2CB_SDA	7					I/OD	I2C-B オープン ドレイン双方向データ
OUTPUTXBAR5	9					O	出力クロスバー出力 5
SPIC_PTE	10					I/O	SPI-C ペリフェラル送信イネーブル (PTE)
SD3_C4	11					I	SDFM-3 チャネル 4 クロック入力
ESC_GPI12	13					I	EtherCAT 汎用入力 12
ESC_GPO31	15					O	EtherCAT 汎用出力 31
テスト、JTAG、リセット							
FLT3		M12				I/O	フラッシュ テスト ピン 3。テキサス・インスツルメンツ用に予約済みです。未接続のままにする必要があります。
TCK		R15	83	70	48	I	内部プルアップ付き JTAG テスト クロック。
TMS		T15	82	69	47	I/O	内部プルアップ付き JTAG テスト モード選択 (TMS)。このシリアル制御入力は、TCK の立ち上がりエッジで、TAP コントローラにシフトインされる。このデバイスには TRSTn ピンがない。通常動作時に JTAG をリセット状態に維持するために、基板上で TMS ピンと VDDIO の間に外部プルアップ抵抗 (推奨 2.2kΩ) を配置する必要がある。
VREGENZ					65	I	内部プルアップ付きの内部電圧レギュレータ イネーブル。VSS (Low) に接続すると、内部 VREG がイネーブルになる。VDDIO (High) に接続すると、外部電源を使用。
XRSn		F14	124	103	71	I/OD	デバイス リセット (IN) およびウォッチドッグ リセット (OUT)。電源投入時、このピンはデバイスによって Low に駆動される。また、外部回路がこのピンを駆動して、デバイス リセットをアサートすることもできる。ウォッチドッグ リセットが発生した場合、MCU もこのピンを Low に駆動する。ウォッチドッグ リセット時には、512 OSCCLK サイクルのウォッチドッグ リセット期間にわたって、XRSn ピンが Low に駆動される。XRSn と VDDIO の間に 2.2kΩ～10kΩ の抵抗を配置する必要がある。ノイズ フィルタリングのために XRS と VSS の間にコンデンサを配置する場合、容量は 100nF 以下にする必要がある。これらの値は、ウォッチドッグ リセットがアサートされたときに、ウォッチドッグが 512 OSCCLK サイクル以内に XRSn ピンを VOL に正しく駆動できるように決められている。このピンは内部プルアップ付きのオープン ドレイン出力。このピンが外部デバイスによって駆動される場合は、オープン ドレイン デバイスを使用して駆動する必要があります。

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEX	176 PTS	144 RFS	100 PZS	ピンの種類	説明
電源およびグランド							
VDD		E8、E9、E12、F6、F12、G6、L11、L12	8、11、80、84、105、119、137、153、169	6、8、67、71、87、98、112、123、137	5、6、45、49、55、66、78、95		1.25V デジタル ロジック電源ピン。各 VDD ピンの近くにデカップリング コンデンサを配置することを推奨します。この合計容量は、少なくとも約 10µF になるようにします。このピンの標準的な合計容量は 22µF です。デカップリング容量の正確な値は、システムの電圧レギュレーション ソリューションによって決定する必要があります。
VDDA		K6、L6	27、62	19、54	14、37		3.3V アナログ電源ピン。各ピンと VSSA の間に、最小 2.2µF のデカップリング コンデンサを配置します。このピンは、3.3V 電源に接続します。
VDDIO		E6、E7、E10、E11、F15、G12、H6、H12、J6、J12、K12、L8、L9、L10、L13、M10、M11	3、12、79、81、88、98、101、107、115、120、127、138、147、152、168	3、9、66、68、72、81、83、95、99、106、113、118、122、136	3、7、44、46、52、63、67、73、79		3.3V デジタル I/O 電源ピン。各ピンに、最小 0.1µF のデカップリング コンデンサを配置。このピンは、3.3V 電源に接続します。
VSS		A1、A16、F7、F8、F9、F10、F11、G7、G8、G9、G10、G11、H7、H8、H9、H10、H11、J7、J8、J9、J10、J11、K8、K9、K10、K11、T16	PAD	PAD	PAD		デジタル GND
VSSA		K7、L7、T1	28、61	20、53	15、36		アナログ GND
VSSOSC		E15	122	101	69		水晶発振器 (X1 および X2) のグランド ピン。このピンは基板グランドに接続します。

Copyright © 2025 Texas Instruments Incorporated

5.3 信号の説明

5.3.1 アナログ信号

表 5-2. アナログ信号

信号名	ピンの種類	説明	GPIO	256 ZEX	176 PTS	144 RFS	100 PZS
A0	I	ADC-A 入力 0		R1	44	36	25
A1	I	ADC-A 入力 1		P1	43	35	24
A2	I	ADC-A 入力 2		M1	36	28	
A3	I	ADC-A 入力 3		M2	35	27	
A4	I	ADC-A 入力 4		L2	32	24	
A5	I	ADC-A 入力 5		L1	31	23	
A6	I	ADC-A 入力 6	224	L5	26	18	13
A7	I	ADC-A 入力 7	225	K5	25	17	12
A8	I	ADC-A 入力 8	226	H4	22	16	
A9	I	ADC-A 入力 9	227	H3	21		
A10	I	ADC-A 入力 10	228	G3	18		
A11	I	ADC-A 入力 11	229	G4	17		
A12	I	ADC-A 入力 12		K2			
A13	I	ADC-A 入力 13		K1			
A14	I	ADC-A 入力 14		M3	40	32	21
A15	I	ADC-A 入力 15		M4	39	31	20
A24	I	ADC-A 入力 24		P3	49	41	30
A25	I	ADC-A 入力 25		P4	50	42	31
A26	I	ADC-A 入力 26		T5	59	51	
A27	I	ADC-A 入力 27		T6	60	52	
A28	I	ADC-A 入力 28	246	P11	67	56	38
A29	I	ADC-A 入力 29	247	R11	68	57	39
A30	I	ADC-A 入力 30	248	P13	73	62	
A31	I	ADC-A 入力 31	249	N13	74	63	
AIO160	I	デジタル入力 160 に使用されるアナログ ピン		R1	44	36	25
AIO161	I	デジタル入力 161 に使用されるアナログ ピン		P1	43	35	24
AIO162	I	デジタル入力 162 に使用されるアナログ ピン		M1	36	28	
AIO163	I	デジタル入力 163 に使用されるアナログ ピン		M2	35	27	
AIO164	I	デジタル入力 164 に使用されるアナログ ピン		L2	32	24	
AIO165	I	デジタル入力 165 に使用されるアナログ ピン		L1	31	23	
AIO166	I	デジタル入力 166 に使用されるアナログ ピン		K2			
AIO167	I	デジタル入力 167 に使用されるアナログ ピン		K1			
AIO168	I	デジタル入力 168 に使用されるアナログ ピン		M3	40	32	21
AIO169	I	デジタル入力 169 に使用されるアナログ ピン		M4	39	31	20

Copyright © 2025 Texas Instruments Incorporated

表 5-2. アナログ信号 (続き)

信号名	ピンの種類	説明	GPIO	256 ZEX	176 PTS	144 RFS	100 PZS
AIO170	I	デジタル入力 170 に使用されるアナログ ピン		P2	42	34	23
AIO171	I	デジタル入力 171 に使用されるアナログ ピン		N3	41	33	22
AIO172	I	デジタル入力 172 に使用されるアナログ ピン		L4	34	26	17
AIO173	I	デジタル入力 173 に使用されるアナログ ピン		L3	33	25	16
AIO174	I	デジタル入力 174 に使用されるアナログ ピン		K4	30	22	
AIO175	I	デジタル入力 175 に使用されるアナログ ピン		K3	29	21	
AIO176	I	デジタル入力 176 に使用されるアナログ ピン		J2			
AIO177	I	デジタル入力 177 に使用されるアナログ ピン		J1			
AIO178	I	デジタル入力 178 に使用されるアナログ ピン		J4			
AIO179	I	デジタル入力 179 に使用されるアナログ ピン		J3			
AIO180	I	デジタル入力 180 に使用されるアナログ ピン		R2	45	37	26
AIO181	I	デジタル入力 181 に使用されるアナログ ピン		T2	46	38	27
AIO182	I	デジタル入力 182 に使用されるアナログ ピン		N4	51	43	
AIO183	I	デジタル入力 183 に使用されるアナログ ピン		M5	52	44	
AIO184	I	デジタル入力 184 に使用されるアナログ ピン		P5	55	47	
AIO185	I	デジタル入力 185 に使用されるアナログ ピン		N5	56	48	
AIO186	I	デジタル入力 186 に使用されるアナログ ピン		N8			
AIO187	I	デジタル入力 187 に使用されるアナログ ピン		P8			
AIO188	I	デジタル入力 188 に使用されるアナログ ピン		R8			
AIO189	I	デジタル入力 189 に使用されるアナログ ピン		T8			
AIO190	I	デジタル入力 190 に使用されるアナログ ピン		N7			
AIO191	I	デジタル入力 191 に使用されるアナログ ピン		P7			
AIO192	I	デジタル入力 192 に使用されるアナログ ピン		R3	47	39	28
AIO193	I	デジタル入力 193 に使用されるアナログ ピン		T3	48	40	29
AIO194	I	デジタル入力 194 に使用されるアナログ ピン		R5	57	49	34

Copyright © 2025 Texas Instruments Incorporated

表 5-2. アナログ信号 (続き)

信号名	ピンの種類	説明	GPIO	256 ZEX	176 PTS	144 RFS	100 PZS
AIO195	I	デジタル入力 195 に使用されるアナログ ピン		R6	58	50	35
AIO196	I	デジタル入力 196 に使用されるアナログ ピン		N6			
AIO197	I	デジタル入力 197 に使用されるアナログ ピン		P6			
AIO198	I	デジタル入力 198 に使用されるアナログ ピン		M7			
AIO199	I	デジタル入力 199 に使用されるアナログ ピン		M6			
AIO200	I	デジタル入力 200 に使用されるアナログ ピン		R7			
AIO201	I	デジタル入力 201 に使用されるアナログ ピン		T7			
AIO202	I	デジタル入力 202 に使用されるアナログ ピン		P3	49	41	30
AIO203	I	デジタル入力 203 に使用されるアナログ ピン		P4	50	42	31
AIO204	I	デジタル入力 204 に使用されるアナログ ピン		T5	59	51	
AIO205	I	デジタル入力 205 に使用されるアナログ ピン		T6	60	52	
AIO206	I	デジタル入力 206 に使用されるアナログ ピン		T10			
AIO207	I	デジタル入力 207 に使用されるアナログ ピン		T9			
AIO208	I	デジタル入力 208 に使用されるアナログ ピン		R10			
AIO209	I	デジタル入力 209 に使用されるアナログ ピン		R9			
AIO210	I	デジタル入力 210 に使用されるアナログ ピン		P9			
AIO211	I	デジタル入力 211 に使用されるアナログ ピン		N9			
AIO212	I	デジタル入力 212 に使用されるアナログ ピン		P10			
AIO213	I	デジタル入力 213 に使用されるアナログ ピン		T11			
B0	I	ADC-B 入力 0		P2	42	34	23
B1	I	ADC-B 入力 1		N3	41	33	22
B2	I	ADC-B 入力 2		L4	34	26	17
B3	I	ADC-B 入力 3		L3	33	25	16
B4	I	ADC-B 入力 4		K4	30	22	
B5	I	ADC-B 入力 5		K3	29	21	
B6	I	ADC-B 入力 6	230	J5	24		
B7	I	ADC-B 入力 7	231	H5	23		
B8	I	ADC-B 入力 8	232	H2	20	15	11
B9	I	ADC-B 入力 9	233	H1	19	14	10

Copyright © 2025 Texas Instruments Incorporated

表 5-2. アナログ信号 (続き)

信号名	ピンの種類	説明	GPIO	256 ZEX	176 PTS	144 RFS	100 PZS
B10	I	ADC-B 入力 10	234	G2	16	13	
B11	I	ADC-B 入力 11	235	G1	15	12	
B12	I	ADC-B 入力 12		J2			
B13	I	ADC-B 入力 13		J1			
B14	I	ADC-B 入力 14		M3	40	32	21
B15	I	ADC-B 入力 15		M4	39	31	20
B16	I	ADC-B 入力 16		J4			
B17	I	ADC-B 入力 17		J3			
B24	I	ADC-B 入力 24		R3	47	39	28
B25	I	ADC-B 入力 25		T3	48	40	29
B26	I	ADC-B 入力 26		R5	57	49	34
B27	I	ADC-B 入力 27		R6	58	50	35
B28	I	ADC-B 入力 28	240	N10	65		
B29	I	ADC-B 入力 29	241	N11	66	55	
B30	I	ADC-B 入力 30	242	T12	71	60	
B31	I	ADC-B 入力 31	243	R12	72	61	
C0	I	ADC-C 入力 0		R2	45	37	26
C1	I	ADC-C 入力 1		T2	46	38	27
C2	I	ADC-C 入力 2		N4	51	43	
C3	I	ADC-C 入力 3		M5	52	44	
C4	I	ADC-C 入力 4		P5	55	47	
C5	I	ADC-C 入力 5		N5	56	48	
C6	I	ADC-C 入力 6	236	M8	63		
C7	I	ADC-C 入力 7	237	M9	64		
C8	I	ADC-C 入力 8	238	N12	69	58	40
C9	I	ADC-C 入力 9	239	P12	70	59	41
C10	I	ADC-C 入力 10		N8			
C11	I	ADC-C 入力 11		P8			
C12	I	ADC-C 入力 12		R8			
C13	I	ADC-C 入力 13		T8			
C14	I	ADC-C 入力 14		M3	40	32	21
C15	I	ADC-C 入力 15		M4	39	31	20
C16	I	ADC-C 入力 16		N7			
C17	I	ADC-C 入力 17		P7			
C24	I	ADC-C 入力 24		R1	44	36	25
C25	I	ADC-C 入力 25		P1	43	35	24
C26	I	ADC-C 入力 26		P2	42	34	23
C27	I	ADC-C 入力 27		N3	41	33	22
C28	I	ADC-C 入力 28	244	R13	75		
C29	I	ADC-C 入力 29	245	T13	76		
C30	I	ADC-C 入力 30		T10			
C31	I	ADC-C 入力 31		T9			

Copyright © 2025 Texas Instruments Incorporated

表 5-2. アナログ信号 (続き)

信号名	ピンの種類	説明	GPIO	256 ZEX	176 PTS	144 RFS	100 PZS
CMP1_HN0	I	CMPSS-1 ハイ コンパレータ負入力 0		L1	31	23	
CMP1_HN1	I	CMPSS-1 ハイ コンパレータ負入力 1		M2	35	27	
CMP1_HP0	I	CMPSS-1 ハイ コンパレータ正入力 0		L2	32	24	
CMP1_HP1	I	CMPSS-1 ハイ コンパレータ正入力 1		M1	36	28	
CMP1_HP2	I	CMPSS-1 ハイ コンパレータ正入力 2		M2	35	27	
CMP1_HP3	I	CMPSS-1 ハイ コンパレータ正入力 3		L3	33	25	16
CMP1_HP4	I	CMPSS-1 ハイ コンパレータ正入力 4	242	T12	71	60	
CMP1_HP5	I	CMPSS-1 ハイ コンパレータ正入力 5		K2			
CMP1_LN0	I	CMPSS-1 ロー コンパレータ負入力 0		L1	31	23	
CMP1_LN1	I	CMPSS-1 ロー コンパレータ負入力 1		M2	35	27	
CMP1_LP0	I	CMPSS-1 ロー コンパレータ正入力 0		L2	32	24	
CMP1_LP1	I	CMPSS-1 ロー コンパレータ正入力 1		M1	36	28	
CMP1_LP2	I	CMPSS-1 ロー コンパレータ正入力 2		M2	35	27	
CMP1_LP3	I	CMPSS-1 ロー コンパレータ正入力 3		L3	33	25	16
CMP1_LP4	I	CMPSS-1 ロー コンパレータ正入力 4	242	T12	71	60	
CMP1_LP5	I	CMPSS-1 ロー コンパレータ正入力 5		K2			
CMP2_HN0	I	CMPSS-2 ハイ コンパレータ負入力 0	225	K5	25	17	12
CMP2_HN1	I	CMPSS-2 ハイ コンパレータ負入力 1		L2	32	24	
CMP2_HP0	I	CMPSS-2 ハイ コンパレータ正入力 0	224	L5	26	18	13
CMP2_HP1	I	CMPSS-2 ハイ コンパレータ正入力 1		T10			
CMP2_HP2	I	CMPSS-2 ハイ コンパレータ正入力 2		T9			
CMP2_HP3	I	CMPSS-2 ハイ コンパレータ正入力 3		M6			
CMP2_HP4	I	CMPSS-2 ハイ コンパレータ正入力 4	243	R12	72	61	
CMP2_HP5	I	CMPSS-2 ハイ コンパレータ正入力 5		K1			
CMP2_LN0	I	CMPSS-2 ロー コンパレータ負入力 0	225	K5	25	17	12
CMP2_LN1	I	CMPSS-2 ロー コンパレータ負入力 1		L2	32	24	
CMP2_LP0	I	CMPSS-2 ロー コンパレータ正入力 0	224	L5	26	18	13
CMP2_LP1	I	CMPSS-2 ロー コンパレータ正入力 1		T10			
CMP2_LP2	I	CMPSS-2 ロー コンパレータ正入力 2		T9			
CMP2_LP3	I	CMPSS-2 ロー コンパレータ正入力 3		M6			
CMP2_LP4	I	CMPSS-2 ロー コンパレータ正入力 4	243	R12	72	61	
CMP2_LP5	I	CMPSS-2 ロー コンパレータ正入力 5		K1			
CMP3_HN0	I	CMPSS-3 ハイ コンパレータ負入力 0		L3	33	25	16
CMP3_HN1	I	CMPSS-3 ハイ コンパレータ負入力 1		K3	29	21	
CMP3_HP0_CMP2_HP6	I	CMPSS-3 ハイコンパレータ正入力 0、CMPSS-2 ハイコンパレータ正入力 6		L4	34	26	17
CMP3_HP1_CMP1_HP6	I	CMPSS-3 ハイコンパレータ正入力 1、CMPSS-1 ハイコンパレータ正入力 6		P2	42	34	23
CMP3_HP2	I	CMPSS-3 ハイ コンパレータ正入力 2		N3	41	33	22
CMP3_HP4	I	CMPSS-3 ハイ コンパレータ正入力 4		T5	59	51	
CMP3_HP5_CMP11_HP6	I	CMPSS-3 ハイコンパレータ正入力 5、CMPSS-11 ハイコンパレータ正入力 6		M3	40	32	21

Copyright © 2025 Texas Instruments Incorporated

表 5-2. アナログ信号 (続き)

信号名	ピンの種類	説明	GPIO	256 ZEX	176 PTS	144 RFS	100 PZS
CMP3_LN0	I	CMPSS-3 ロー コンパレータ負入力 0		L3	33	25	16
CMP3_LN1	I	CMPSS-3 ロー コンパレータ負入力 1		K3	29	21	
CMP3_LP0_CMP2_LP6	I	CMPSS-3 ローコンパレータ正入力 0、CMPSS-2 ローコンパレータ正入力 6		L4	34	26	17
CMP3_LP1_CMP1_LP6	I	CMPSS-3 ローコンパレータ正入力 1、CMPSS-1 ローコンパレータ正入力 6		P2	42	34	23
CMP3_LP2	I	CMPSS-3 ロー コンパレータ正入力 2		N3	41	33	22
CMP3_LP3	I	CMPSS-3 ロー コンパレータ正入力 3	245	T13	76		
CMP3_LP4	I	CMPSS-3 ロー コンパレータ正入力 4		T5	59	51	
CMP3_LP5_CMP11_LP6	I	CMPSS-3 ローコンパレータ正入力 5、CMPSS-11 ローコンパレータ正入力 6		M3	40	32	21
CMP3_LP6_CMP7_LP0	I	CMPSS-3 ハイコンパレータ正入力 6、CMPSS-7 ローコンパレータ正入力 0		T3	48	40	29
CMP4_HN0	I	CMPSS-4 ハイ コンパレータ負入力 0		P1	43	35	24
CMP4_HN1	I	CMPSS-4 ハイ コンパレータ負入力 1	241	N11	66	55	
CMP4_HP0_CMP9_HP6	I	CMPSS-4 ハイコンパレータ正入力 0、CMPSS-9 ハイコンパレータ正入力 6		R1	44	36	25
CMP4_HP1	I	CMPSS-4 ハイ コンパレータ正入力 1	241	N11	66	55	
CMP4_HP2_CMP10_HP6	I	CMPSS-4 ハイコンパレータ正入力 2、CMPSS-10 ハイコンパレータ正入力 6		R3	47	39	28
CMP4_HP3	I	CMPSS-4 ハイ コンパレータ正入力 3		R5	57	49	34
CMP4_HP4	I	CMPSS-4 ハイ コンパレータ正入力 4		T6	60	52	
CMP4_HP5_CMP12_HP6	I	CMPSS-4 ハイコンパレータ正入力 5、CMPSS-12 ハイコンパレータ正入力 6		M4	39	31	20
CMP4_LN0	I	CMPSS-4 ロー コンパレータ負入力 0		P1	43	35	24
CMP4_LN1	I	CMPSS-4 ロー コンパレータ負入力 1	241	N11	66	55	
CMP4_LP0_CMP9_LP6	I	CMPSS-4 ローコンパレータ正入力 0、CMPSS-9 ローコンパレータ正入力 6		R1	44	36	25
CMP4_LP1	I	CMPSS-4 ロー コンパレータ正入力 1	241	N11	66	55	
CMP4_LP2_CMP10_LP6	I	CMPSS-4 ローコンパレータ正入力 2、CMPSS-10 ローコンパレータ正入力 6		R3	47	39	28
CMP4_LP3	I	CMPSS-4 ロー コンパレータ正入力 3		R5	57	49	34
CMP4_LP4	I	CMPSS-4 ロー コンパレータ正入力 4		T6	60	52	
CMP4_LP5_CMP12_LP6	I	CMPSS-4 ローコンパレータ正入力 5、CMPSS-12 ローコンパレータ正入力 6		M4	39	31	20
CMP4_LP6	I	CMPSS-4 ロー コンパレータ正入力 6	232	H2	20	15	11
CMP5_HN0	I	CMPSS-5 ハイ コンパレータ負入力 0		M6			
CMP5_HN1	I	CMPSS-5 ハイ コンパレータ負入力 1	248	P13	73	62	
CMP5_HP0	I	CMPSS-5 ハイ コンパレータ正入力 0		M7			
CMP5_HP1	I	CMPSS-5 ハイ コンパレータ正入力 1	248	P13	73	62	
CMP5_HP2	I	CMPSS-5 ハイ コンパレータ正入力 2	249	N13	74	63	
CMP5_HP4_CMP8_HP3	I	CMPSS-5 ハイコンパレータ正入力 4、CMPSS-8 ハイコンパレータ正入力 3	226	H4	22	16	
CMP5_HP5	I	CMPSS-5 ハイ コンパレータ正入力 5	237	M9	64		
CMP5_LN0	I	CMPSS-5 ロー コンパレータ負入力 0		M6			

Copyright © 2025 Texas Instruments Incorporated

表 5-2. アナログ信号 (続き)

信号名	ピンの種類	説明	GPIO	256 ZEX	176 PTS	144 RFS	100 PZS
CMP5_LN1	I	CMPSS-5 ロー コンパレータ負入力 1	248	P13	73	62	
CMP5_LP0	I	CMPSS-5 ロー コンパレータ正入力 0		M7			
CMP5_LP1	I	CMPSS-5 ロー コンパレータ正入力 1	248	P13	73	62	
CMP5_LP2	I	CMPSS-5 ロー コンパレータ正入力 2	249	N13	74	63	
CMP5_LP3	I	CMPSS-5 ロー コンパレータ正入力 3	240	N10	65		
CMP5_LP4	I	CMPSS-5 ロー コンパレータ正入力 4	234	G2	16	13	
CMP5_LP5	I	CMPSS-5 ロー コンパレータ正入力 5		T8			
CMP6_HN0	I	CMPSS-6 ハイ コンパレータ負入力 0	245	T13	76		
CMP6_HN1	I	CMPSS-6 ハイ コンパレータ負入力 1		T11			
CMP6_HP0	I	CMPSS-6 ハイ コンパレータ正入力 0	244	R13	75		
CMP6_HP1	I	CMPSS-6 ハイ コンパレータ正入力 1		T11			
CMP6_HP2	I	CMPSS-6 ハイ コンパレータ正入力 2		P10			
CMP6_HP4	I	CMPSS-6 ハイ コンパレータ正入力 4	227	H3	21		
CMP6_HP5_CMP12_HP0	I	CMPSS-6 ハイコンパレータ正入力 5、CMPSS-12 ハイコンパレータ正入力 0	238	N12	69	58	40
CMP6_HP6	I	CMPSS-6 ハイ コンパレータ正入力 6		P3	49	41	30
CMP6_LN0	I	CMPSS-6 ロー コンパレータ負入力 0	245	T13	76		
CMP6_LN1	I	CMPSS-6 ロー コンパレータ負入力 1		T11			
CMP6_LP0	I	CMPSS-6 ロー コンパレータ正入力 0	244	R13	75		
CMP6_LP1	I	CMPSS-6 ロー コンパレータ正入力 1		T11			
CMP6_LP2	I	CMPSS-6 ロー コンパレータ正入力 2		P10			
CMP6_LP4	I	CMPSS-6 ロー コンパレータ正入力 4	235	G1	15	12	
CMP6_LP5	I	CMPSS-6 ロー コンパレータ正入力 5		N7			
CMP6_LP6_CMP12_LP5	I	CMPSS-6 ローコンパレータ正入力 6、CMPSS-12 ローコンパレータ正入力 5		P3	49	41	30
CMP7_HN0	I	CMPSS-7 ハイ コンパレータ負入力 0		R5	57	49	34
CMP7_HN1	I	CMPSS-7 ハイ コンパレータ負入力 1		K4	30	22	
CMP7_HP0_CMP3_HP6	I	CMPSS-7 ハイコンパレータ正入力 0、CMPSS-3 ハイコンパレータ正入力 6		T3	48	40	29
CMP7_HP1	I	CMPSS-7 ハイ コンパレータ正入力 1		K4	30	22	
CMP7_HP2	I	CMPSS-7 ハイ コンパレータ正入力 2		K3	29	21	
CMP7_HP4	I	CMPSS-7 ハイ コンパレータ正入力 4	228	G3	18		
CMP7_HP5_CMP9_HP3	I	CMPSS-7 ハイコンパレータ正入力 5、CMPSS-9 ハイコンパレータ正入力 3	239	P12	70	59	41
CMP7_HP6	I	CMPSS-7 ハイ コンパレータ正入力 6		P1	43	35	24
CMP7_LN0	I	CMPSS-7 ロー コンパレータ負入力 0		R5	57	49	34
CMP7_LN1	I	CMPSS-7 ロー コンパレータ負入力 1		K4	30	22	
CMP7_LP1	I	CMPSS-7 ロー コンパレータ正入力 1		K4	30	22	
CMP7_LP2	I	CMPSS-7 ロー コンパレータ正入力 2		K3	29	21	
CMP7_LP4	I	CMPSS-7 ロー コンパレータ正入力 4		J2			
CMP7_LP5	I	CMPSS-7 ロー コンパレータ正入力 5		P7			
CMP7_LP6	I	CMPSS-7 ロー コンパレータ正入力 6		P1	43	35	24
CMP8_HN0	I	CMPSS-8 ハイ コンパレータ負入力 0	240	N10	65		

Copyright © 2025 Texas Instruments Incorporated

表 5-2. アナログ信号 (続き)

信号名	ピンの種類	説明	GPIO	256 ZEX	176 PTS	144 RFS	100 PZS
CMP8_HN1	I	CMPSS-8 ハイ コンパレータ負入力 1	246	P11	67	56	38
CMP8_HP0_CMP10_HP3	I	CMPSS-8 ハイコンパレータ正入力 0、CMPSS-10 ハイコンパレータ正入力 3		R6	58	50	35
CMP8_HP1	I	CMPSS-8 ハイ コンパレータ正入力 1	246	P11	67	56	38
CMP8_HP2	I	CMPSS-8 ハイ コンパレータ正入力 2	247	R11	68	57	39
CMP8_HP4	I	CMPSS-8 ハイ コンパレータ正入力 4	229	G4	17		
CMP8_HP5	I	CMPSS-8 ハイ コンパレータ正入力 5		N8			
CMP8_LN0	I	CMPSS-8 ロー コンパレータ負入力 0	240	N10	65		
CMP8_LN1	I	CMPSS-8 ロー コンパレータ負入力 1	246	P11	67	56	38
CMP8_LP1	I	CMPSS-8 ロー コンパレータ正入力 1	246	P11	67	56	38
CMP8_LP2	I	CMPSS-8 ロー コンパレータ正入力 2	247	R11	68	57	39
CMP8_LP3	I	CMPSS-8 ロー コンパレータ正入力 3	226	H4	22	16	
CMP8_LP4	I	CMPSS-8 ロー コンパレータ正入力 4		J1			
CMP8_LP5	I	CMPSS-8 ロー コンパレータ正入力 5		N6			
CMP8_LP6	I	CMPSS-8 ロー コンパレータ正入力 6	233	H1	19	14	10
CMP9_HN0	I	CMPSS-9 ハイ コンパレータ負入力 0		M1	36	28	
CMP9_HN1	I	CMPSS-9 ハイ コンパレータ負入力 1		T9			
CMP9_HP1	I	CMPSS-9 ハイ コンパレータ正入力 1		N4	51	43	
CMP9_HP2	I	CMPSS-9 ハイ コンパレータ正入力 2	225	K5	25	17	12
CMP9_HP4	I	CMPSS-9 ハイ コンパレータ正入力 4	230	J5	24		
CMP9_HP5	I	CMPSS-9 ハイ コンパレータ正入力 5		J4			
CMP9_LN0	I	CMPSS-9 ロー コンパレータ負入力 0		M1	36	28	
CMP9_LN1	I	CMPSS-9 ロー コンパレータ負入力 1		T9			
CMP9_LP1	I	CMPSS-9 ロー コンパレータ正入力 1		N4	51	43	
CMP9_LP2	I	CMPSS-9 ロー コンパレータ正入力 2	225	K5	25	17	12
CMP9_LP3	I	CMPSS-9 ロー コンパレータ正入力 3	239	P12	70	59	41
CMP9_LP4	I	CMPSS-9 ロー コンパレータ正入力 4		M5	52	44	
CMP9_LP5	I	CMPSS-9 ロー コンパレータ正入力 5		P6			
CMP10_HN0	I	CMPSS-10 ハイ コンパレータ負入力 0		T10			
CMP10_HN1	I	CMPSS-10 ハイ コンパレータ負入力 1		M7			
CMP10_HP0_CMP5_HP6	I	CMPSS-10 ハイコンパレータ正入力 0、CMPSS-5 ハイコンパレータ正入力 6		R2	45	37	26
CMP10_HP1	I	CMPSS-10 ハイ コンパレータ正入力 1		R10			
CMP10_HP2	I	CMPSS-10 ハイ コンパレータ正入力 2		P9			
CMP10_HP4	I	CMPSS-10 ハイ コンパレータ正入力 4	231	H5	23		
CMP10_HP5	I	CMPSS-10 ハイ コンパレータ正入力 5		J3			
CMP10_LN0	I	CMPSS-10 ロー コンパレータ負入力 0		T10			
CMP10_LN1	I	CMPSS-10 ロー コンパレータ負入力 1		M7			
CMP10_LP0_CMP5_LP6	I	CMPSS-10 ローコンパレータ正入力 0、CMPSS-5 ローコンパレータ正入力 6		R2	45	37	26
CMP10_LP1	I	CMPSS-10 ロー コンパレータ正入力 1		R10			
CMP10_LP2	I	CMPSS-10 ロー コンパレータ正入力 2		P9			

Copyright © 2025 Texas Instruments Incorporated

表 5-2. アナログ信号 (続き)

信号名	ピンの種類	説明	GPIO	256 ZEX	176 PTS	144 RFS	100 PZS
CMP10_LP3_CMP8_LP0	I	CMPSS-10 ローコンパレータ正入力 3、CMPSS-8 ローコンパレータ正入力 0		R6	58	50	35
CMP10_LP4	I	CMPSS-10 ロー コンパレータ正入力 4		P5	55	47	
CMP10_LP5	I	CMPSS-10 ロー コンパレータ正入力 5		R7			
CMP11_HN0	I	CMPSS-11 ハイ コンパレータ負入力 0	230	J5	24		
CMP11_HN1	I	CMPSS-11 ハイ コンパレータ負入力 1		N4	51	43	
CMP11_HP0_CMP9_HP0	I	CMPSS-11 ハイコンパレータ正入力 0、CMPSS-9 ハイコンパレータ正入力 0		T2	46	38	27
CMP11_HP1	I	CMPSS-11 ハイ コンパレータ正入力 1		R9			
CMP11_HP2	I	CMPSS-11 ハイ コンパレータ正入力 2		N9			
CMP11_HP4_CMP4_HP6	I	CMPSS-11 ハイコンパレータ正入力 4、CMPSS-4 ハイコンパレータ正入力 6	232	H2	20	15	11
CMP11_HP5	I	CMPSS-11 ハイ コンパレータ正入力 5		P8			
CMP11_LN0	I	CMPSS-11 ロー コンパレータ負入力 0	230	J5	24		
CMP11_LN1	I	CMPSS-11 ロー コンパレータ負入力 1		N4	51	43	
CMP11_LP0_CMP9_LP0	I	CMPSS-11 ローコンパレータ正入力 0、CMPSS-9 ローコンパレータ正入力 0		T2	46	38	27
CMP11_LP1	I	CMPSS-11 ロー コンパレータ正入力 1		R9			
CMP11_LP2	I	CMPSS-11 ロー コンパレータ正入力 2		N9			
CMP11_LP4	I	CMPSS-11 ロー コンパレータ正入力 4		N5	56	48	
CMP11_LP5	I	CMPSS-11 ロー コンパレータ正入力 5		T7			
CMP12_HN0	I	CMPSS-12 ハイ コンパレータ負入力 0	224	L5	26	18	13
CMP12_HP1_CMP11_HP3	I	CMPSS-12 ハイコンパレータ正入力 1、CMPSS-11 ハイコンパレータ正入力 3		P4	50	42	31
CMP12_HP4_CMP8_HP6	I	CMPSS-12 ハイコンパレータ正入力 4、CMPSS-8 ハイコンパレータ正入力 6	233	H1	19	14	10
CMP12_HP5	I	CMPSS-12 ハイ コンパレータ正入力 5		R8			
CMP12_LN0	I	CMPSS-12 ロー コンパレータ負入力 0	224	L5	26	18	13
CMP12_LN1_CMP12_HN1	I	CMPSS-12 ローコンパレータ負入力 1、CMPSS-12 ハイコンパレータ負入力 1		N3	41	33	22
CMP12_LP0	I	CMPSS-12 ロー コンパレータ正入力 0	238	N12	69	58	40
CMP12_LP1_CMP11_LP3	I	CMPSS-12 ローコンパレータ正入力 1、CMPSS-11 ローコンパレータ正入力 3		P4	50	42	31
CMP12_LP4	I	CMPSS-12 ロー コンパレータ正入力 4	236	M8	63		
D0	I	ADC-D 入力 0		R3	47	39	28
D1	I	ADC-D 入力 1		T3	48	40	29
D2	I	ADC-D 入力 2		R5	57	49	34
D3	I	ADC-D 入力 3		R6	58	50	35
D4	I	ADC-D 入力 4	240	N10	65		
D5	I	ADC-D 入力 5	241	N11	66	55	
D6	I	ADC-D 入力 6	242	T12	71	60	
D7	I	ADC-D 入力 7	243	R12	72	61	
D8	I	ADC-D 入力 8	244	R13	75		
D9	I	ADC-D 入力 9	245	T13	76		

Copyright © 2025 Texas Instruments Incorporated

表 5-2. アナログ信号 (続き)

信号名	ピンの種類	説明	GPIO	256 ZEX	176 PTS	144 RFS	100 PZS
D10	I	ADC-D 入力 10		N6			
D11	I	ADC-D 入力 11		P6			
D12	I	ADC-D 入力 12		M7			
D13	I	ADC-D 入力 13		M6			
D14	I	ADC-D 入力 14		M3	40	32	21
D15	I	ADC-D 入力 15		M4	39	31	20
D16	I	ADC-D 入力 16		R7			
D17	I	ADC-D 入力 17		T7			
D24	I	ADC-D 入力 24		M1	36	28	
D25	I	ADC-D 入力 25		M2	35	27	
D26	I	ADC-D 入力 26		L4	34	26	17
D27	I	ADC-D 入力 27		L3	33	25	16
D28	I	ADC-D 入力 28		L2	32	24	
D29	I	ADC-D 入力 29		L1	31	23	
D30	I	ADC-D 入力 30		K4	30	22	
D31	I	ADC-D 入力 31		K3	29	21	
DACA_OUT	O	バッファ付き DAC-A 出力。		R1	44	36	25
DACB_OUT	O	バッファ付き DAC-B 出力。		P3	49	41	30
E0	I	ADC-E 入力 0		P3	49	41	30
E1	I	ADC-E 入力 1		P4	50	42	31
E2	I	ADC-E 入力 2		T5	59	51	
E3	I	ADC-E 入力 3		T6	60	52	
E4	I	ADC-E 入力 4	246	P11	67	56	38
E5	I	ADC-E 入力 5	247	R11	68	57	39
E6	I	ADC-E 入力 6	248	P13	73	62	
E7	I	ADC-E 入力 7	249	N13	74	63	
E8	I	ADC-E 入力 8		T10			
E9	I	ADC-E 入力 9		T9			
E10	I	ADC-E 入力 10		R10			
E11	I	ADC-E 入力 11		R9			
E12	I	ADC-E 入力 12		P9			
E13	I	ADC-E 入力 13		N9			
E14	I	ADC-E 入力 14		M3	40	32	21
E15	I	ADC-E 入力 15		M4	39	31	20
E16	I	ADC-E 入力 16		P10			
E17	I	ADC-E 入力 17		T11			
E24	I	ADC-E 入力 24	224	L5	26	18	13
E25	I	ADC-E 入力 25	225	K5	25	17	12
E26	I	ADC-E 入力 26	230	J5	24		
E27	I	ADC-E 入力 27	231	H5	23		
E28	I	ADC-E 入力 28		R2	45	37	26
E29	I	ADC-E 入力 29		T2	46	38	27

Copyright © 2025 Texas Instruments Incorporated

表 5-2. アナログ信号 (続き)

信号名	ピンの種類	説明	GPIO	256 ZEX	176 PTS	144 RFS	100 PZS
E30	I	ADC-E 入力 30		N4	51	43	
E31	I	ADC-E 入力 31		M5	52	44	
VDAC	I	オンチップ DAC の外部リファレンス電圧 (オプション)。		P2	42	34	23
VREFHIAB	I	ADC-AB の高い基準電圧。この電圧は、ピンに対して外部回路から駆動する必要があります。このピンには、12 ビット モードの場合 2.2µF 以上、16 ビット モードの場合 22µF 以上のコンデンサを配置します。このコンデンサは、VREFHI ピンと VREFLO ピンの間で、できるだけデバイスに近い場所に配置する必要がある。注記:このピンには、外部に負荷を接続しないでください		N2	38	30	19
VREFHICDE	I	ADC-CDE の高い基準電圧。この電圧は、ピンに対して外部回路から駆動する必要があります。このピンには、12 ビット モードの場合 2.2µF 以上、16 ビット モードの場合 22µF 以上のコンデンサを配置します。このコンデンサは、VREFHI ピンと VREFLO ピンの間で、できるだけデバイスに近い場所に配置する必要がある。注記:このピンには、外部に負荷を接続しないでください		R4	54	46	33
VREFLOAB	I	ADC-AB の低い基準電圧		N1	37	29	18
VREFLOCDE	I	ADC-CDE の低い基準電圧		T4	53	45	32

Copyright © 2025 Texas Instruments Incorporated

5.3.2 デジタル信号

表 5-3. デジタル信号

信号名	ピンの種類	説明	GPIO	256 ZEX	176 PTS	144 RFS	100 PZS
ADCA_EXTMUXSEL0	O	外部 ADC 選択マルチプレクサ出力	224	L5	26	18	13
ADCA_EXTMUXSEL1	O	外部 ADC 選択マルチプレクサ出力	225	K5	25	17	12
ADCA_EXTMUXSEL2	O	外部 ADC 選択マルチプレクサ出力	10、226	C5、H4	22、172	16、140	98
ADCA_EXTMUXSEL3	O	外部 ADC 選択マルチプレクサ出力	15、227	C4、H3	1、21	1	1
ADCB_EXTMUXSEL0	O	外部 ADC 選択マルチプレクサ出力	18、230	F2、J5	13、24	10	8
ADCB_EXTMUXSEL1	O	外部 ADC 選択マルチプレクサ出力	22、231	F1、H5	14、23	11	9
ADCB_EXTMUXSEL2	O	外部 ADC 選択マルチプレクサ出力	232	H2	20	15	11
ADCB_EXTMUXSEL3	O	外部 ADC 選択マルチプレクサ出力	233	H1	19	14	10
ADCC_EXTMUXSEL0	O	外部 ADC 選択マルチプレクサ出力	23、236	B8、M8	63、159	127	87
ADCC_EXTMUXSEL1	O	外部 ADC 選択マルチプレクサ出力	29、237	A9、M9	64、151	121	84
ADCC_EXTMUXSEL2	O	外部 ADC 選択マルチプレクサ出力	238	N12	69	58	40
ADCC_EXTMUXSEL3	O	外部 ADC 選択マルチプレクサ出力	239	P12	70	59	41
ADCD_EXTMUXSEL0	O	外部 ADC 選択マルチプレクサ出力	63、240	H14、N10	65、110	91	59
ADCD_EXTMUXSEL1	O	外部 ADC 選択マルチプレクサ出力	64、241	H15、N11	66、111	55、92	60
ADCD_EXTMUXSEL2	O	外部 ADC 選択マルチプレクサ出力	65、242	H16、T12	71、112	60、93	61
ADCD_EXTMUXSEL3	O	外部 ADC 選択マルチプレクサ出力	66、243	G13、R12	72、113	61、94	62
ADCE_EXTMUXSEL0	O	外部 ADC 選択マルチプレクサ出力	246	P11	67	56	38
ADCE_EXTMUXSEL1	O	外部 ADC 選択マルチプレクサ出力	247	R11	68	57	39
ADCE_EXTMUXSEL2	O	外部 ADC 選択マルチプレクサ出力	42、248	C16、P13	73、130	62、107	74
ADCE_EXTMUXSEL3	O	外部 ADC 選択マルチプレクサ出力	43、249	C15、N13	74、131	63、108	75
ADCSOCAO	O	外部 ADC への ADC 変換開始 A 出力 (ePWM モジュールから)	8、12	A3、D6	170、174	138、142	96、100
ADCSOCBO	O	外部 ADC への ADC 変換開始 B 出力 (ePWM モジュールから)	10、19	B1、C5	5、172	5、140	98
EMIF1_A0	O	外部メモリ インターフェイス 1 アドレス ライン 0	35、38	E1、E14	10、125	104	72
EMIF1_A1	O	外部メモリ インターフェイス 1 アドレス ライン 1	12、36、39	A3、N14、P15	86、174	142	100
EMIF1_A2	O	外部メモリ インターフェイス 1 アドレス ライン 2	37、40、42	C16、P16、R16	85、87、130	107	74
EMIF1_A3	O	外部メモリ インターフェイス 1 アドレス ライン 3	38、41	E14、N15	89、125	73、104	50、72
EMIF1_A4	O	外部メモリ インターフェイス 1 アドレス ライン 4	39、43、44	C15、G14、P15	86、114、131	108	75
EMIF1_A5	O	外部メモリ インターフェイス 1 アドレス ライン 5	45、49、101	B5、G15、M15	92、116	75	
EMIF1_A6	O	外部メモリ インターフェイス 1 アドレス ライン 6	46、50	D14、M14	93、128	76	
EMIF1_A7	O	外部メモリ インターフェイス 1 アドレス ライン 7	47、51	D15、M13	94、129	77	
EMIF1_A8	O	外部メモリ インターフェイス 1 アドレス ライン 8	48、52	L14、N16	90、95	78	
EMIF1_A9	O	外部メモリ インターフェイス 1 アドレス ライン 9	49、53	L15、M15	92、96	75、79	
EMIF1_A10	O	外部メモリ インターフェイス 1 アドレス ライン 10	50、54	L16、M14	93、97	76、80	
EMIF1_A11	O	外部メモリ インターフェイス 1 アドレス ライン 11	51、127	F13、M13	94、118	77、97	64
EMIF1_A12	O	外部メモリ インターフェイス 1 アドレス ライン 12	30、52	A10、L14	95、150	78、120	83
EMIF1_A13	O	外部メモリ インターフェイス 1 アドレス ライン 13	0、42、86	A8、C11、C16	130、160	107、128	74、88
EMIF1_A14	O	外部メモリ インターフェイス 1 アドレス ライン 14	1、87	A7、C10	161	129	89
EMIF1_A15	O	外部メモリ インターフェイス 1 アドレス ライン 15	2、88	B7、C3	162	130	90
EMIF1_A16	O	外部メモリ インターフェイス 1 アドレス ライン 16	3、89	C7、D4	163	131	91
EMIF1_A17	O	外部メモリ インターフェイス 1 アドレス ライン 17	4、90	D3、D7	164	132	92
EMIF1_A18	O	外部メモリ インターフェイス 1 アドレス ライン 18	5、91	A6、D2	165	133	93
EMIF1_A19	O	外部メモリ インターフェイス 1 アドレス ライン 19	92、219	E2、M16	91	74	51
EMIF1_BA0	O	外部メモリ インターフェイス 1 バンク アドレス 0	16、20、33、93、103	C1、D5、D16、E3、P14	2、6、126	2、105	2
EMIF1_BA1	O	外部メモリ インターフェイス 1 バンク アドレス 1	17、21、34、92、94、100	B2、B4、C2、D1、E2、E4	4、7、9	4、7	4
EMIF1_CAS	O	外部メモリ インターフェイス 1 列アドレス ストローブ	7、86、89、221	C6、C11、D4、F16	121、167	100、135	68
EMIF1_CLK	O	外部メモリ インターフェイス 1 クロック	6、30	A10、B6	150、166	120、134	83、94
EMIF1_CS0n	O	外部メモリ インターフェイス 1 チップ セレクト 0	13、32	A2、G16	117、175	96、143	

Copyright © 2025 Texas Instruments Incorporated

表 5-3. デジタル信号 (続き)

信号名	ピンの種類	説明	GPIO	256 ZEX	176 PTS	144 RFS	100 PZS
EMIF1_CS2n	O	外部メモリ インターフェイス 1 チップ セレクト 2	28、34、38	D1、D9、E14	9、125、154	7、104	72
EMIF1_CS3n	O	外部メモリ インターフェイス 1 チップ セレクト 3	19、35	B1、E1	5、10	5	
EMIF1_CS4n	O	外部メモリ インターフェイス 1 チップ セレクト 4	28、30、84	A10、D9、D11	148、150、154	119、120	81、83
EMIF1_D0	I/O	外部メモリ インターフェイス 1 データ ライン 0	0、55、60、85	A8、B11、J15、K13	99、106、160	88、128	56、88
EMIF1_D1	I/O	外部メモリ インターフェイス 1 データ ライン 1	56、83、84	A11、D11、K14	100、148	82、119	81
EMIF1_D2	I/O	外部メモリ インターフェイス 1 データ ライン 2	57、82	D10、K15	102	84	
EMIF1_D3	I/O	外部メモリ インターフェイス 1 データ ライン 3	1、81、103	A7、A12、D16	126、161	105、129	89
EMIF1_D4	I/O	外部メモリ インターフェイス 1 データ ライン 4	2、68、80	B7、B12、B15	133、162	109、130	90
EMIF1_D5	I/O	外部メモリ インターフェイス 1 データ ライン 5	3、71、79	B14、C7、C12	136、146、163	111、131	77、91
EMIF1_D6	I/O	外部メモリ インターフェイス 1 データ ライン 6	61、78	D12、J13	108、145	89、117	57
EMIF1_D7	I/O	外部メモリ インターフェイス 1 データ ライン 7	62、77	A13、H13	109、144	90、116	58
EMIF1_D8	I/O	外部メモリ インターフェイス 1 データ ライン 8	76	B13	143	115	
EMIF1_D9	I/O	外部メモリ インターフェイス 1 データ ライン 9	4、13、75	A2、C13、D7	142、164、175	132、143	92
EMIF1_D10	I/O	外部メモリ インターフェイス 1 データ ライン 10	5、74	A6、D13	141、165	133	93
EMIF1_D11	I/O	外部メモリ インターフェイス 1 データ ライン 11	9、73	A5、E13	140、171	139	97
EMIF1_D12	I/O	外部メモリ インターフェイス 1 データ ライン 12	72	A14	139	114	80
EMIF1_D13	I/O	外部メモリ インターフェイス 1 データ ライン 13	14、43、68、71	B3、B14、B15、C15	131、133、136、176	108、109、111、144	75、77
EMIF1_D14	I/O	外部メモリ インターフェイス 1 データ ライン 14	70	C14	135	110	76
EMIF1_D15	I/O	外部メモリ インターフェイス 1 データ ライン 15	11、69	A4、A15	134、173	141	99
EMIF1_D16	I/O	外部メモリ インターフェイス 1 データ ライン 16	68	B15	133	109	
EMIF1_D17	I/O	外部メモリ インターフェイス 1 データ ライン 17	14、67、99	B3、B16、G5	132、176	144	
EMIF1_D18	I/O	外部メモリ インターフェイス 1 データ ライン 18	66、127	F13、G13	113、118	94、97	62、64
EMIF1_D19	I/O	外部メモリ インターフェイス 1 データ ライン 19	65	H16	112	93	61
EMIF1_D20	I/O	外部メモリ インターフェイス 1 データ ライン 20	64	H15	111	92	60
EMIF1_D21	I/O	外部メモリ インターフェイス 1 データ ライン 21	63	H14	110	91	59
EMIF1_D22	I/O	外部メモリ インターフェイス 1 データ ライン 22	62	H13	109	90	58
EMIF1_D23	I/O	外部メモリ インターフェイス 1 データ ライン 23	61	J13	108	89	57
EMIF1_D24	I/O	外部メモリ インターフェイス 1 データ ライン 24	37、60、100	B4、J15、R16	85、106	88	56
EMIF1_D25	I/O	外部メモリ インターフェイス 1 データ ライン 25	59	J16	104	86	54
EMIF1_D26	I/O	外部メモリ インターフェイス 1 データ ライン 26	58	K16	103	85	53
EMIF1_D27	I/O	外部メモリ インターフェイス 1 データ ライン 27	57	K15	102	84	
EMIF1_D28	I/O	外部メモリ インターフェイス 1 データ ライン 28	56	K14	100	82	
EMIF1_D29	I/O	外部メモリ インターフェイス 1 データ ライン 29	16、55	D5、K13	2、99	2	2
EMIF1_D30	I/O	外部メモリ インターフェイス 1 データ ライン 30	54	L16	97	80	
EMIF1_D31	I/O	外部メモリ インターフェイス 1 データ ライン 31	53	L15	96	79	
EMIF1_DQM0	O	外部メモリ インターフェイス 1 のバイト 0 入力 / 出力マスク	6、24、88、92	B6、C3、C8、E2	158、166	126、134	94
EMIF1_DQM1	O	外部メモリ インターフェイス 1 のバイト 1 入力 / 出力マスク	7、25、88、89	C3、C6、D4、D8	157、167	125、135	86
EMIF1_DQM2	O	外部メモリ インターフェイス 1 のバイト 2 入力 / 出力マスク	20、26、85、90、91	B9、B11、C1、D2、D3	6、156	124	85
EMIF1_DQM3	O	外部メモリ インターフェイス 1 のバイト 3 入力 / 出力マスク	17、27、87、91、99	B2、C9、C10、D2、G5	4、155	4	4
EMIF1_OEn	O	外部メモリ インターフェイス 1 出力イネーブル	32、37、66	G13、G16、R16	85、113、117	94、96	62
EMIF1_RAS	O	外部メモリ インターフェイス、1 行のアドレス ストローブ	8、87、90	C10、D3、D6	170	138	96
EMIF1_RNW	O	外部メモリ インターフェイス 1 読み取り、非書き込み	31、33、63	B10、H14、P14	110、149	91	59、82
EMIF1_SDCKE	O	外部メモリ インターフェイス 1 SDRAM クロック イネーブル	248	P13	73	62	
EMIF1_WAIT	I	外部メモリ インターフェイス 1 非同期 SRAM ウェイト	36、55、64	H15、K13、N14	99、111	92	60
EMIF1_WEn	O	外部メモリ インターフェイス 1 書き込みイネーブル	31、36、65	B10、H16、N14	112、149	93	61、82
EPWM1_A	O	ePWM-1 出力 A	0、40	A8、P16	87、160	128	88
EPWM1_B	O	ePWM-1 出力 B	1、41	A7、N15	89、161	73、129	50、89
EPWM2_A	O	ePWM-2 出力 A	2、24	B7、C8	158、162	126、130	90

Copyright © 2025 Texas Instruments Incorporated

表 5-3. デジタル信号 (続き)

信号名	ピンの種類	説明	GPIO	256 ZEX	176 PTS	144 RFS	100 PZS
EPWM2_B	O	ePWM-2 出力 B	3、25	C7、D8	157、163	125、131	86、91
EPWM3_A	O	ePWM-3 出力 A	4、48	D7、N16	90、164	132	92
EPWM3_B	O	ePWM-3 出力 B	5、34、60	A6、D1、J15	9、106、165	7、88、133	56、93
EPWM4_A	O	ePWM-4 出力 A	6、27、46	B6、C9、D14	128、155、166	134	94
EPWM4_B	O	ePWM-4 出力 B	7、8、28、47	C6、D6、D9、D15	129、154、167、170	135、138	96
EPWM5_A	O	ePWM-5 出力 A	8、59	D6、J16	104、170	86、138	54、96
EPWM5_B	O	ePWM-5 出力 B	9、73	A5、E13	140、171	139	97
EPWM6_A	O	ePWM-6 出力 A	14、220	B3、E16	123、176	102、144	70
EPWM6_B	O	ePWM-6 出力 B	11、221	A4、F16	121、173	100、141	68、99
EPWM7_A	O	ePWM-7 出力 A	12、222	A3、T14	77、174	64、142	42、100
EPWM7_B	O	ePWM-7 出力 B	11、13、223	A2、A4、R14	78、173、175	65、141、143	43、99
EPWM8_A	O	ePWM-8 出力 A	10、58、74、99、236、241	C5、D13、G5、K16、M8、N11	63、66、103、141、172	55、85、140	53、98
EPWM8_B	O	ePWM-8 出力 B	15、59、75、103、232、237、243	C4、C13、D16、H2、J16、M9、R12	1、20、64、72、104、126、142	1、15、61、86、105	1、11、54
EPWM9_A	O	ePWM-9 出力 A	16、63、76、100	B4、B13、D5、H14	2、110、143	2、91、115	2、59
EPWM9_B	O	ePWM-9 出力 B	17、64、77、235	A13、B2、G1、H15	4、15、111、144	4、12、92、116	4、60
EPWM10_A	O	ePWM-10 出力 A	65、78、226	D12、H4、H16	22、112、145	16、93、117	61
EPWM10_B	O	ePWM-10 出力 B	19、66、79、231	B1、C12、G13、H5	5、23、113、146	5、94	62
EPWM11_A	O	ePWM-11 出力 A	20、69、71、78、80、230	A15、B12、B14、C1、D12、J5	6、24、134、136、145	111、117	77
EPWM11_B	O	ePWM-11 出力 B	21、70、81、225	A12、C2、C14、K5	7、25、135	17、110	12、76
EPWM12_A	O	ePWM-12 出力 A	22、71、82、224、234	B14、D10、F1、G2、L5	14、16、26、136	11、13、18、111	9、13、77
EPWM12_B	O	ePWM-12 出力 B	23、72、83、84、224、229、236	A11、A14、B8、D11、G4、L5、M8	17、26、63、139、148、159	18、114、119、127	13、80、81、87
EPWM13_A	O	ePWM-13 出力 A	24、40、58、85、228	B11、C8、G3、K16、P16	18、87、103、158	85、126	53
EPWM13_B	O	ePWM-13 出力 B	25、41、86、233	C11、D8、H1、N15	19、89、157	14、73、125	10、50、86
EPWM14_A	O	ePWM-14 出力 A	26、42、46、87、232、237	B9、C10、C16、D14、H2、M9	20、64、128、130、156	15、107、124	11、74、85
EPWM14_B	O	ePWM-14 出力 B	27、43、47、88、227、240	C3、C9、C15、D15、H3、N10	21、65、129、131、155	108	75
EPWM15_A	O	ePWM-15 出力 A	18、28、50、89、247	D4、D9、F2、M14、R11	13、68、93、154	10、57、76	8、39
EPWM15_B	O	ePWM-15 出力 B	29、51、90、238	A9、D3、M13、N12	69、94、151	58、77、121	40、84
EPWM16_A	O	ePWM-16 出力 A	30、52、91、246	A10、D2、L14、P11	67、95、150	56、78、120	38、83
EPWM16_B	O	ePWM-16 出力 B	31、53、55、92、239	B10、E2、K13、L15、P12	70、96、99、149	59、79	41、82
EPWM17_A	O	ePWM-17 出力 A	56、62、67、93、234	B16、E3、G2、H13、K14	16、100、109、132	13、82、90	58
EPWM17_B	O	ePWM-17 出力 B	57、61、68、94、229、237	B15、E4、G4、J13、K15、M9	17、64、102、108、133	84、89、109	57
EPWM18_A	O	ePWM-18 出力 A	14、34、37、41、95、101、127、228	B3、B5、D1、E5、F13、G3、N15、R16	9、18、85、89、118、176	7、73、97、144	50、64
EPWM18_B	O	ePWM-18 出力 B	35、38、96、105、219、233	E1、E14、F3、H1、J14、M16	10、19、91、125	14、74、104	10、51、72
ERRORSTS	O	エラー ステータス出力。外部プルダウンが必要。	4、79、80、219、247	B12、C12、D7、M16、R11	68、91、146、164	57、74、132	39、51、92
ESC_GPI0	I	EtherCAT 汎用入力 0	0、100	A8、B4	160	128	88

Copyright © 2025 Texas Instruments Incorporated

表 5-3. デジタル信号 (続き)

信号名	ピンの種類	説明	GPIO	256 ZEX	176 PTS	144 RFS	100 PZS
ESC_GPI1	I	EtherCAT 汎用入力 1	1、101	A7、B5	161	129	89
ESC_GPI2	I	EtherCAT 汎用入力 2	2	B7	162	130	90
ESC_GPI3	I	EtherCAT 汎用入力 3	3、103	C7、D16	126、163	105、131	91
ESC_GPI4	I	EtherCAT 汎用入力 4	4	D7	164	132	92
ESC_GPI5	I	EtherCAT 汎用入力 5	5、105	A6、J14	165	133	93
ESC_GPI6	I	EtherCAT 汎用入力 6	6	B6	166	134	94
ESC_GPI7	I	EtherCAT 汎用入力 7	7	C6	167	135	
ESC_GPI8	I	EtherCAT 汎用入力 8	219	M16	91	74	51
ESC_GPI9	I	EtherCAT 汎用入力 9	220	E16	123	102	70
ESC_GPI10	I	EtherCAT 汎用入力 10	221	F16	121	100	68
ESC_GPI11	I	EtherCAT 汎用入力 11	222	T14	77	64	42
ESC_GPI12	I	EtherCAT 汎用入力 12	223	R14	78	65	43
ESC_GPI13	I	EtherCAT 汎用入力 13	65	H16	112	93	61
ESC_GPI14	I	EtherCAT 汎用入力 14	66	G13	113	94	62
ESC_GPI15	I	EtherCAT 汎用入力 15	68	B15	133	109	
ESC_GPI16	I	EtherCAT 汎用入力 16	70	C14	135	110	76
ESC_GPI17	I	EtherCAT 汎用入力 17	76、97	B13、F4	143	115	
ESC_GPI18	I	EtherCAT 汎用入力 18	78、98	D12、F5	145	117	
ESC_GPI19	I	EtherCAT 汎用入力 19	10	C5	172	140	98
ESC_GPI20	I	EtherCAT 汎用入力 20	15	C4	1	1	1
ESC_GPI21	I	EtherCAT 汎用入力 21	18、99	F2、G5	13	10	8
ESC_GPI22	I	EtherCAT 汎用入力 22	22	F1	14	11	9
ESC_GPI23	I	EtherCAT 汎用入力 23	23	B8	159	127	87
ESC_GPI24	I	EtherCAT 汎用入力 24	24	C8	158	126	
ESC_GPI25	I	EtherCAT 汎用入力 25	50	M14	93	76	
ESC_GPI26	I	EtherCAT 汎用入力 26	51	M13	94	77	
ESC_GPI27	I	EtherCAT 汎用入力 27	127	F13	118	97	64
ESC_GPI28	I	EtherCAT 汎用入力 28	53	L15	96	79	
ESC_GPI29	I	EtherCAT 汎用入力 29	54	L16	97	80	
ESC_GPI30	I	EtherCAT 汎用入力 30	56	K14	100	82	
ESC_GPI31	I	EtherCAT 汎用入力 31	57	K15	102	84	
ESC_GPO0	O	EtherCAT 汎用出力 0	8	D6	170	138	96
ESC_GPO1	O	EtherCAT 汎用出力 1	9	A5	171	139	97
ESC_GPO2	O	EtherCAT 汎用出力 2	22、40	F1、P16	14、87	11	9
ESC_GPO3	O	EtherCAT 汎用出力 3	11	A4	173	141	99
ESC_GPO4	O	EtherCAT 汎用出力 4	12	A3	174	142	100
ESC_GPO5	O	EtherCAT 汎用出力 5	13	A2	175	143	
ESC_GPO6	O	EtherCAT 汎用出力 6	14	B3	176	144	
ESC_GPO7	O	EtherCAT 汎用出力 7	15	C4	1	1	1
ESC_GPO8	O	EtherCAT 汎用出力 8	224	L5	26	18	13
ESC_GPO9	O	EtherCAT 汎用出力 9	225	K5	25	17	12
ESC_GPO10	O	EtherCAT 汎用出力 10	95、226	E5、H4	22	16	
ESC_GPO11	O	EtherCAT 汎用出力 11	96、232	F3、H2	20	15	11
ESC_GPO12	O	EtherCAT 汎用出力 12	233	H1	19	14	10
ESC_GPO13	O	EtherCAT 汎用出力 13	234	G2	16	13	
ESC_GPO14	O	EtherCAT 汎用出力 14	235	G1	15	12	
ESC_GPO15	O	EtherCAT 汎用出力 15	238	N12	69	58	40
ESC_GPO16	O	EtherCAT 汎用出力 16	239	P12	70	59	41
ESC_GPO17	O	EtherCAT 汎用出力 17	241	N11	66	55	
ESC_GPO18	O	EtherCAT 汎用出力 18	242	T12	71	60	
ESC_GPO19	O	EtherCAT 汎用出力 19	243	R12	72	61	

Copyright © 2025 Texas Instruments Incorporated

表 5-3. デジタル信号 (続き)

信号名	ピンの種類	説明	GPIO	256 ZEX	176 PTS	144 RFS	100 PZS
ESC_GPO20	O	EtherCAT 汎用出力 20	246	P11	67	56	38
ESC_GPO21	O	EtherCAT 汎用出力 21	247	R11	68	57	39
ESC_GPO22	O	EtherCAT 汎用出力 22	248	P13	73	62	
ESC_GPO23	O	EtherCAT 汎用出力 23	249	N13	74	63	
ESC_GPO24	O	EtherCAT 汎用出力 24	84	D11	148	119	81
ESC_GPO25	O	EtherCAT 汎用出力 25	103	D16	126	105	
ESC_GPO26	O	EtherCAT 汎用出力 26	127	F13	118	97	64
ESC_GPO27	O	EtherCAT 汎用出力 27	219	M16	91	74	51
ESC_GPO28	O	EtherCAT 汎用出力 28	220	E16	123	102	70
ESC_GPO29	O	EtherCAT 汎用出力 29	221	F16	121	100	68
ESC_GPO30	O	EtherCAT 汎用出力 30	222	T14	77	64	42
ESC_GPO31	O	EtherCAT 汎用出力 31	223	R14	78	65	43
ESC_I2C_SCL	I/OC	EtherCAT I2C クロック	30、237	A10、M9	64、150	120	83
ESC_I2C_SDA	I/OC	EtherCAT I2C データ	29、236	A9、M8	63、151	121	84
ESC_LATCH0	I	EtherCAT ラッチ信号入力 0	29、34、60	A9、D1、J15	9、106、151	7、88、121	56、84
ESC_LATCH1	I	EtherCAT ラッチ信号入力 1	30、35、61	A10、E1、J13	10、108、150	89、120	57、83
ESC_LED_ERR	O	EtherCAT エラー LED	33、60、241	J15、N11、P14	66、106	55、88	56
ESC_LED_LINK0_ACTIVE	O	EtherCAT リンク 0 アクティブ	58、243	K16、R12	72、103	61、85	53
ESC_LED_LINK1_ACTIVE	O	EtherCAT リンク 1 アクティブ	59、244	J16、R13	75、104	86	54
ESC_LED_RUN	O	EtherCAT 実行 LED	39、61、240、248	J13、N10、P13、P15	65、73、86、108	62、89	57
ESC_LED_STATE_RUN	O	EtherCAT LED 状態実行	62、242	H13、T12	71、109	60、90	58
ESC_MDIO_CLK	O	EtherCAT MDIO クロック	26、46、62	B9、D14、H13	109、128、156	90、124	58、85
ESC_MDIO_DATA	I/O	EtherCAT MDIO データ	27、39、47、57	C9、D15、K15、P15	86、102、129、155	84	
ESC_PDI_UC_IRQ	O	EtherCAT PDI IRQ 割り込みライン	56	K14	100	82	
ESC_PHY0_LINKSTATUS	I	EtherCAT PHY-0 リンク ステータス	53、55、86、232、249	C11、H2、K13、L15、N13	20、74、96、99	15、63、79	11
ESC_PHY1_LINKSTATUS	I	EtherCAT PHY-1 リンク ステータス	14、68、233	B3、B15、H1	19、133、176	14、109、144	10
ESC_PHY_CLK	O	EtherCAT PHY クロック	48、54	L16、N16	90、97	80	
ESC_PHY_RESETn	O	EtherCAT PHY アクティブ Low リセット	23、76、245	B8、B13、T13	76、143、159	115、127	87
ESC_RX0_CLK	I	EtherCAT MII 受信 0 クロック	24、77	A13、C8	144、158	116、126	
ESC_RX0_DATA0	I	EtherCAT MII 受信 0 データ 0	27、32、80	B12、C9、G16	117、155	96	
ESC_RX0_DATA1	I	EtherCAT MII 受信 0 データ 1	28、38、81	A12、D9、E14	125、154	104	72
ESC_RX0_DATA2	I	EtherCAT MII 受信 0 データ 2	41、82	D10、N15	89	73	50
ESC_RX0_DATA3	I	EtherCAT MII 受信 0 データ 3	83、84	A11、D11	148	119	81
ESC_RX0_DV	I	EtherCAT MII 受信 0 データ有効	25、78	D8、D12	145、157	117、125	86
ESC_RX0_ERR	I	EtherCAT MII 受信 0 エラー	26、79	B9、C12	146、156	124	85
ESC_RX1_CLK	I	EtherCAT MII 受信 1 クロック	16、69	A15、D5	2、134	2	2
ESC_RX1_DATA0	I	EtherCAT MII 受信 1 データ 0	31、63	B10、H14	110、149	91	59、82
ESC_RX1_DATA1	I	EtherCAT MII 受信 1 データ 1	37、64	H15、R16	85、111	92	60
ESC_RX1_DATA2	I	EtherCAT MII 受信 1 データ 2	65	H16	112	93	61
ESC_RX1_DATA3	I	EtherCAT MII 受信 1 データ 3	66	G13	113	94	62
ESC_RX1_DV	I	EtherCAT MII 受信 1 データ有効	17、70	B2、C14	4、135	4、110	4、76
ESC_RX1_ERR	I	EtherCAT MII 受信 1 エラー	2、71	B7、B14	136、162	111、130	77、90
ESC_SYNC0	O	EtherCAT 同期信号出力 0	34、127、238	D1、F13、N12	9、69、118	7、58、97	40、64
ESC_SYNC1	O	EtherCAT 同期信号出力 1	30、35、239	A10、E1、P12	10、70、150	59、120	41、83
ESC_TX0_CLK	I	EtherCAT MII 送信 0 クロック	9、85	A5、B11	171	139	97
ESC_TX0_DATA0	O	EtherCAT MII 送信 0 データ 0	0、87	A8、C10	160	128	88
ESC_TX0_DATA1	O	EtherCAT MII 送信 0 データ 1	11、88	A4、C3	173	141	99
ESC_TX0_DATA2	O	EtherCAT MII 送信 0 データ 2	12、89	A3、D4	174	142	100
ESC_TX0_DATA3	O	EtherCAT MII 送信 0 データ 3	13、58、90	A2、D3、K16	103、175	85、143	53

Copyright © 2025 Texas Instruments Incorporated

表 5-3. デジタル信号 (続き)

信号名	ピンの種類	説明	GPIO	256 ZEX	176 PTS	144 RFS	100 PZS
ESC_TX0_ENA	I/O	EtherCAT MII 送信 0 イネーブル	59、84、219	D11、J16、M16	91、104、148	74、86、119	51、54、81
ESC_TX1_CLK	I	EtherCAT MII 送信 1 クロック	44、51、93	E3、G14、M13	94、114	77	
ESC_TX1_DATA0	O	EtherCAT MII 送信 1 データ 0	1、75	A7、C13	142、161	129	89
ESC_TX1_DATA1	O	EtherCAT MII 送信 1 データ 1	21、50、74	C2、D13、M14	7、93、141	76	
ESC_TX1_DATA2	O	EtherCAT MII 送信 1 データ 2	20、49、73	C1、E13、M15	6、92、140	75	
ESC_TX1_DATA3	O	EtherCAT MII 送信 1 データ 3	19、72	A14、B1	5、139	5、114	80
ESC_TX1_ENA	I/O	EtherCAT MII 送信 1 イネーブル	45、52、94	E4、G15、L14	95、116	78	
FSIRXA_CLK	I	FSIRX-A 入力クロック	5、9、13、54、105	A2、A5、A6、J14、L16	97、165、171、175	80、133、139、143	93、97
FSIRXA_D0	I	FSIRX-A 1 次データ入力	3、8、12、52、103	A3、C7、D6、D16、L14	95、126、163、170、174	78、105、131、138、142	91、96、100
FSIRXA_D1	I	FSIRX-A オプションの追加データ入力	4、11、53	A4、D7、L15	96、164、173	79、132、141	92、99
FSIRXB_CLK	I	FSIRX-B 入力クロック	11、60	A4、J15	106、173	88、141	56、99
FSIRXB_D0	I	FSIRX-B 1 次データ入力	9、58、70	A5、C14、K16	103、135、171	85、110、139	53、76、97
FSIRXB_D1	I	FSIRX-B オプションの追加データ入力	59、68	B15、J16	104、133	86、109	54
FSIRXC_CLK	I	FSIRX-C 入力クロック	14、16	B3、D5	2、176	2、144	2
FSIRXC_D0	I	FSIRX-C 1 次データ入力	12、76	A3、B13	143、174	115、142	100
FSIRXC_D1	I	FSIRX-C オプションの追加データ入力	13、127	A2、F13	118、175	97、143	64
FSIRXD_CLK	I	FSIRX-D 入力クロック	17、39、41、44、92	B2、E2、G14、N15、P15	4、86、89、114	4、73	4、50
FSIRXD_D0	I	FSIRX-D 1 次データ入力	42、45	C16、G15	116、130	107	74
FSIRXD_D1	I	FSIRX-D オプションの追加データ入力	16、43、100	B4、C15、D5	2、131	2、108	2、75
FSITXA_CLK	O	FSITX-A 出力クロック	2、27、51	B7、C9、M13	94、155、162	77、130	90
FSITXA_D0	O	FSITX-A 1 次データ出力	0、9、26、49、74、100	A5、A8、B4、B9、D13、M15	92、141、156、160、171	75、124、128、139	85、88、97
FSITXA_D1	O	FSITX-A オプションの追加データ出力	1、8、25、50、101	A7、B5、D6、D8、M14	93、157、161、170	76、125、129、138	86、89、96
FSITXB_CLK	O	FSITX-B 出力クロック	8、56、65、67	B16、D6、H16、K14	100、112、132、170	82、93、138	61、96
FSITXB_D0	O	FSITX-B 1 次データ出力	6、55、69、71、77	A13、A15、B6、B14、K13	99、134、136、144、166	111、116、134	77、94
FSITXB_D1	O	FSITX-B オプションの追加データ出力	7、57、66	C6、G13、K15	102、113、167	84、94、135	62
FSITXC_CLK	O	FSITX-C 出力クロック	71、73	B14、E13	136、140	111	77
FSITXC_D0	O	FSITX-C 1 次データ出力	72、79	A14、C12	139、146	114	80
FSITXC_D1	O	FSITX-C オプションの追加データ出力	78、84	D11、D12	145、148	117、119	81
FSITXD_CLK	O	FSITX-D 出力クロック	61、64	H15、J13	108、111	89、92	57、60
FSITXD_D0	O	FSITX-D 1 次データ出力	31、62	B10、H13	109、149	90	58、82
FSITXD_D1	O	FSITX-D オプションの追加データ出力	38、63	E14、H14	110、125	91、104	59、72
GPIO0	I/O	汎用入出力 0	0	A8	160	128	88
GPIO1	I/O	汎用入出力 1	1	A7	161	129	89
GPIO2	I/O	汎用入出力 2	2	B7	162	130	90
GPIO3	I/O	汎用入出力 3	3	C7	163	131	91
GPIO4	I/O	汎用入出力 4	4	D7	164	132	92
GPIO5	I/O	汎用入出力 5	5	A6	165	133	93
GPIO6	I/O	汎用入出力 6	6	B6	166	134	94
GPIO7	I/O	汎用入出力 7	7	C6	167	135	
GPIO8	I/O	汎用入出力 8	8	D6	170	138	96
GPIO9	I/O	汎用入出力 9	9	A5	171	139	97
GPIO10	I/O	汎用入出力 10	10	C5	172	140	98
GPIO11	I/O	汎用入出力 11	11	A4	173	141	99
GPIO12	I/O	汎用入出力 12	12	A3	174	142	100
GPIO13	I/O	汎用入出力 13	13	A2	175	143	
GPIO14	I/O	汎用入出力 14	14	B3	176	144	
GPIO15	I/O	汎用入出力 15	15	C4	1	1	1

Copyright © 2025 Texas Instruments Incorporated

表 5-3. デジタル信号 (続き)

信号名	ピンの種類	説明	GPIO	256 ZEX	176 PTS	144 RFS	100 PZS
GPIO16	I/O	汎用入出力 16	16	D5	2	2	2
GPIO17	I/O	汎用入出力 17	17	B2	4	4	4
GPIO18	I/O	汎用入出力 18	18	F2	13	10	8
GPIO19	I/O	汎用入出力 19	19	B1	5	5	
GPIO20	I/O	汎用入出力 20	20	C1	6		
GPIO21	I/O	汎用入出力 21	21	C2	7		
GPIO22	I/O	汎用入出力 22	22	F1	14	11	9
GPIO23	I/O	汎用入出力 23	23	B8	159	127	87
GPIO24	I/O	汎用入出力 24	24	C8	158	126	
GPIO25	I/O	汎用入出力 25	25	D8	157	125	86
GPIO26	I/O	汎用入出力 26	26	B9	156	124	85
GPIO27	I/O	汎用入出力 27	27	C9	155		
GPIO28	I/O	汎用入出力 28	28	D9	154		
GPIO29	I/O	汎用入出力 29	29	A9	151	121	84
GPIO30	I/O	汎用入出力 30	30	A10	150	120	83
GPIO31	I/O	汎用入出力 31	31	B10	149		82
GPIO32	I/O	汎用入出力 32	32	G16	117	96	
GPIO33	I/O	汎用入出力 33	33	P14			
GPIO34	I/O	汎用入出力 34	34	D1	9	7	
GPIO35	I/O	汎用入出力 35	35	E1	10		
GPIO36	I/O	汎用入出力 36	36	N14			
GPIO37	I/O	汎用入出力 37	37	R16	85		
GPIO38	I/O	汎用入出力 38	38	E14	125	104	72
GPIO39	I/O	汎用入出力 39	39	P15	86		
GPIO40	I/O	汎用入出力 40	40	P16	87		
GPIO41	I/O	汎用入出力 41	41	N15	89	73	50
GPIO42	I/O	汎用入出力 42	42	C16	130	107	74
GPIO43	I/O	汎用入出力 43	43	C15	131	108	75
GPIO44	I/O	汎用入出力 44	44	G14	114		
GPIO45	I/O	汎用入出力 45	45	G15	116		
GPIO46	I/O	汎用入出力 46	46	D14	128		
GPIO47	I/O	汎用入出力 47	47	D15	129		
GPIO48	I/O	汎用入出力 48	48	N16	90		
GPIO49	I/O	汎用入出力 49	49	M15	92	75	
GPIO50	I/O	汎用入出力 50	50	M14	93	76	
GPIO51	I/O	汎用入出力 51	51	M13	94	77	
GPIO52	I/O	汎用入出力 52	52	L14	95	78	
GPIO53	I/O	汎用入出力 53	53	L15	96	79	
GPIO54	I/O	汎用入出力 54	54	L16	97	80	
GPIO55	I/O	汎用入出力 55	55	K13	99		
GPIO56	I/O	汎用入出力 56	56	K14	100	82	
GPIO57	I/O	汎用入出力 57	57	K15	102	84	
GPIO58	I/O	汎用入出力 58	58	K16	103	85	53
GPIO59	I/O	汎用入出力 59	59	J16	104	86	54
GPIO60	I/O	汎用入出力 60	60	J15	106	88	56
GPIO61	I/O	汎用入出力 61	61	J13	108	89	57
GPIO62	I/O	汎用入出力 62	62	H13	109	90	58
GPIO63	I/O	汎用入出力 63	63	H14	110	91	59
GPIO64	I/O	汎用入出力 64	64	H15	111	92	60
GPIO65	I/O	汎用入出力 65	65	H16	112	93	61
GPIO66	I/O	汎用入出力 66	66	G13	113	94	62

Copyright © 2025 Texas Instruments Incorporated

表 5-3. デジタル信号 (続き)

信号名	ピンの種類	説明	GPIO	256 ZEX	176 PTS	144 RFS	100 PZS
GPIO67	I/O	汎用入出力 67	67	B16	132		
GPIO68	I/O	汎用入出力 68	68	B15	133	109	
GPIO69	I/O	汎用入出力 69	69	A15	134		
GPIO70	I/O	汎用入出力 70	70	C14	135	110	76
GPIO71	I/O	汎用入出力 71	71	B14	136	111	77
GPIO72	I/O	汎用入出力 72	72	A14	139	114	80
GPIO73	I/O	汎用入出力 73	73	E13	140		
GPIO74	I/O	汎用入出力 74	74	D13	141		
GPIO75	I/O	汎用入出力 75	75	C13	142		
GPIO76	I/O	汎用入出力 76	76	B13	143	115	
GPIO77	I/O	汎用入出力 77	77	A13	144	116	
GPIO78	I/O	汎用入出力 78	78	D12	145	117	
GPIO79	I/O	汎用入出力 79	79	C12	146		
GPIO80	I/O	汎用入出力 80	80	B12			
GPIO81	I/O	汎用入出力 81	81	A12			
GPIO82	I/O	汎用入出力 82	82	D10			
GPIO83	I/O	汎用入出力 83	83	A11			
GPIO84	I/O	汎用入出力 84	84	D11	148	119	81
GPIO85	I/O	汎用入出力 85	85	B11			
GPIO86	I/O	汎用入出力 86	86	C11			
GPIO87	I/O	汎用入出力 87	87	C10			
GPIO88	I/O	汎用入出力 88	88	C3			
GPIO89	I/O	汎用入出力 89	89	D4			
GPIO90	I/O	汎用入出力 90	90	D3			
GPIO91	I/O	汎用入出力 91	91	D2			
GPIO92	I/O	汎用入出力 92	92	E2			
GPIO93	I/O	汎用入出力 93	93	E3			
GPIO94	I/O	汎用入出力 94	94	E4			
GPIO95	I/O	汎用入出力 95	95	E5			
GPIO96	I/O	汎用入出力 96	96	F3			
GPIO97	I/O	汎用入出力 97	97	F4			
GPIO98	I/O	汎用入出力 98	98	F5			
GPIO99	I/O	汎用入出力 99	99	G5			
GPIO100	I/O	汎用入出力 100	100	B4			
GPIO101	I/O	汎用入出力 101	101	B5			
GPIO103	I/O	汎用入出力 103	103	D16	126	105	
GPIO105	I/O	汎用入出力 105	105	J14			
GPIO127	I/O	汎用入出力 127	127	F13	118	97	64
GPIO219	I/O	汎用入出力 219	219	M16	91	74	51
GPIO220	I/O	汎用入出力 220	220	E16	123	102	70
GPIO221	I/O	汎用入出力 221	221	F16	121	100	68
GPIO222	I/O	汎用入出力 222	222	T14	77	64	42
GPIO223	I/O	汎用入出力 223	223	R14	78	65	43
GPIO224	I/O	汎用入出力 224	224	L5	26	18	13
GPIO225	I/O	汎用入出力 225	225	K5	25	17	12
GPIO226	I/O	汎用入出力 226	226	H4	22	16	
GPIO227	I/O	汎用入出力 227	227	H3	21		
GPIO228	I/O	汎用入出力 228	228	G3	18		
GPIO229	I/O	汎用入出力 229	229	G4	17		
GPIO230	I/O	汎用入出力 230	230	J5	24		
GPIO231	I/O	汎用入出力 231	231	H5	23		

Copyright © 2025 Texas Instruments Incorporated

表 5-3. デジタル信号 (続き)

信号名	ピンの種類	説明	GPIO	256 ZEX	176 PTS	144 RFS	100 PZS
GPIO232	I/O	汎用入出力 232	232	H2	20	15	11
GPIO233	I/O	汎用入出力 233	233	H1	19	14	10
GPIO234	I/O	汎用入出力 234	234	G2	16	13	
GPIO235	I/O	汎用入出力 235	235	G1	15	12	
GPIO236	I/O	汎用入出力 236	236	M8	63		
GPIO237	I/O	汎用入出力 237	237	M9	64		
GPIO238	I/O	汎用入出力 238	238	N12	69	58	40
GPIO239	I/O	汎用入出力 239	239	P12	70	59	41
GPIO240	I/O	汎用入出力 240	240	N10	65		
GPIO241	I/O	汎用入出力 241	241	N11	66	55	
GPIO242	I/O	汎用入出力 242	242	T12	71	60	
GPIO243	I/O	汎用入出力 243	243	R12	72	61	
GPIO244	I/O	汎用入出力 244	244	R13	75		
GPIO245	I/O	汎用入出力 245	245	T13	76		
GPIO246	I/O	汎用入出力 246	246	P11	67	56	38
GPIO247	I/O	汎用入出力 247	247	R11	68	57	39
GPIO248	I/O	汎用入出力 248	248	P13	73	62	
GPIO249	I/O	汎用入出力 249	249	N13	74	63	
I2CA_SCL	I/OD	I2C-A オープンドレイン双方向クロック	1、10、18、33、43、57、92、105、239	A7、C5、C15、E2、F2、J14、K15、P12、P14	13、70、102、131、161、172	10、59、84、108、129、140	8、41、75、89、98
I2CA_SDA	I/OD	I2C-A オープンドレイン双方向データ	0、15、29、31、32、42、56、91、237、242	A8、A9、B10、C4、C16、D2、G16、K14、M9、T12	1、64、71、100、117、130、149、151、160	1、60、82、96、107、121、128	1、74、82、84、88
I2CB_SCL	I/OD	I2C-B オープンドレイン双方向クロック	3、23、35、41、69、222、230	A15、B8、C7、E1、J5、N15、T14	10、24、77、89、134、159、163	64、73、127、131	42、50、87、91
I2CB_SDA	I/OD	I2C-B オープンドレイン双方向データ	2、22、34、40、66、223、225	B7、D1、F1、G13、K5、P16、R14	9、14、25、78、87、113、162	7、11、17、65、94、130	9、12、43、62、90
LINA_RX	I	LIN-A 受信	7、15、236	C4、C6、M8	1、63、167	1、135	1
LINA_TX	O	LIN-A 送信	6、14、237、247	B3、B6、M9、R11	64、68、166、176	57、134、144	39、94
LINB_RX	I	LIN-B 受信	25、68、233	B15、D8、H1	19、133、157	14、109、125	10、86
LINB_TX	O	LIN-B 送信	24、67、228、239	B16、C8、G3、P12	18、70、132、158	59、126	41
MCANA_RX	I	CAN/CAN FD-A 受信	65、229、235	G1、G4、H16	15、17、112	12、93	61
MCANA_TX	O	CAN/CAN FD-A 送信	64、234	G2、H15	16、111	13、92	60
MCANB_RX	I	CAN/CAN FD-B 受信	7、20、40、44、72	A14、C1、C6、G14、P16	6、87、114、139、167	114、135	80
MCANB_TX	O	CAN/CAN FD-B 送信	6、21、41、45、73	B6、C2、E13、G15、N15	7、89、116、140、166	73、134	50、94
MCANC_RX	I	CAN/CAN FD-C 受信	5、10、23、30、36、58、61、62、70、75、221、246、247	A6、A10、B8、C5、C13、C14、F16、H13、J13、K16、N14、P11、R11	67、68、103、108、109、121、135、142、150、159、165、172	56、57、85、89、90、100、110、120、127、133、140	38、39、53、57、58、68、76、83、87、93、98
MCANC_TX	O	CAN/CAN FD-C 送信	4、8、19、22、31、37、59、62、63、71、74、220	B1、B10、B14、D6、D7、D13、E16、F1、H13、H14、J16、R16	5、14、85、104、109、110、123、136、141、149、164、170	5、11、86、90、91、102、111、132、138	9、54、58、59、70、77、82、92、96
MCAND_RX	I	CAN/CAN FD-D 受信	1、17、57、68、92、224、231	A7、B2、B15、E2、H5、K15、L5	4、23、26、102、133、161	4、18、84、109、129	4、13、89
MCAND_TX	O	CAN/CAN FD-D 送信	0、16、56、67、91、226	A8、B16、D2、D5、H4、K14	2、22、100、132、160	2、16、82、128	2、88
MCANE_RX	I	CAN/CAN FD-E 受信	25、47、77	A13、D8、D15	129、144、157	116、125	86
MCANE_TX	O	CAN/CAN FD-E 送信	24、26、46、76	B9、B13、C8、D14	128、143、156、158	115、124、126	85
MCANF_RX	I	CAN/CAN FD-F 受信	3、51、84	C7、D11、M13	94、148、163	77、119、131	81、91

Copyright © 2025 Texas Instruments Incorporated

表 5-3. デジタル信号 (続き)

信号名	ピンの種類	説明	GPIO	256 ZEX	176 PTS	144 RFS	100 PZS
MCANF_TX	O	CAN/CAN FD-F 送信	2、50、78	B7、D12、M14	93、145、162	76、117、130	90
OUTPUTXBAR1	O	出力クロスバー出力 1	2、24、34、219、226、228	B7、C8、D1、G3、H4、M16	9、18、22、91、158、162	7、16、74、126、130	51、90
OUTPUTXBAR2	O	出力クロスバー出力 2	3、25、37、220、231、233	C7、D8、E16、H1、H5、R16	19、23、85、123、157、163	14、102、125、131	10、70、86、91
OUTPUTXBAR3	O	出力クロスバー出力 3	4、5、14、26、48、60、221、230、232	A6、B3、B9、D7、F16、H2、J5、J15、N16	20、24、90、106、121、156、164、165、176	15、88、100、124、132、133、144	11、56、68、85、92、93
OUTPUTXBAR4	O	出力クロスバー出力 4	6、15、27、49、61、222、225、227	B6、C4、C9、H3、J13、K5、M15、T14	1、21、25、77、92、108、155、166	1、17、64、75、89、134	1、12、42、57、94
OUTPUTXBAR5	O	出力クロスバー出力 5	7、28、223、224、247	C6、D9、L5、R11、R14	26、68、78、154、167	18、57、65、135	13、39、43
OUTPUTXBAR6	O	出力クロスバー出力 6	9、29、73、236、238	A5、A9、E13、M8、N12	63、69、140、151、171	58、121、139	40、84、97
OUTPUTXBAR7	O	出力クロスバー出力 7	11、16、30、237、246	A4、A10、D5、M9、P11	2、64、67、150、173	2、56、120、141	2、38、83、99
OUTPUTXBAR8	O	出力クロスバー出力 8	14、17、31、72、239	A14、B2、B3、B10、P12	4、70、139、149、176	4、59、114、144	4、41、80、82
OUTPUTXBAR9	O	出力クロスバー出力 9	0、32、40、91、242	A8、D2、G16、P16、T12	71、87、117、160	60、96、128	88
OUTPUTXBAR10	O	出力クロスバー出力 10	1、33、41、92	A7、E2、N15、P14	89、161	73、129	50、89
OUTPUTXBAR11	O	出力クロスバー出力 11	5、34、93	A6、D1、E3	9、165	7、133	93
OUTPUTXBAR12	O	出力クロスバー出力 12	8、35、94	D6、E1、E4	10、170	138	96
OUTPUTXBAR13	O	出力クロスバー出力 13	10、36、42、95	C5、C16、E5、N14	130、172	107、140	74、98
OUTPUTXBAR14	O	出力クロスバー出力 14	12、37、43、44、96	A3、C15、F3、G14、R16	85、114、131、174	108、142	75、100
OUTPUTXBAR15	O	出力クロスバー出力 15	13、38、45、97	A2、E14、F4、G15	116、125、175	104、143	72
OUTPUTXBAR16	O	出力クロスバー出力 16	15、39、75、98	C4、C13、F5、P15	1、86、142	1	1
PMBUSA_ALERT	I/OD	PMBus-A オープン ドレイン双方向アラート信号	11、18、19	A4、B1、F2	5、13、173	5、10、141	8、99
PMBUSA_CTL	I/O	PMBus-A 制御信号 - ターゲット入力 / コントローラ出力	12、15、26	A3、B9、C4	1、156、174	1、124、142	1、85、100
PMBUSA_SCL	I/OD	PMBus-A オープン ドレイン双方向クロック	10、14、23	B3、B8、C5	159、172、176	127、140、144	87、98
PMBUSA_SDA	I/OD	PMBus-A オープン ドレイン双方向データ	13、22、25、29	A2、A9、D8、F1	14、151、157、175	11、121、125、143	9、84、86
SD1_C1	I	SDFM-1 チャネル 1 クロック入力	17、49、53、64、96、235	B2、F3、G1、H15、L4、L15、M15、N8	4、15、34、92、96、111	4、12、26、75、79、92	4、17、60
SD1_C2	I	SDFM-1 チャネル 2 クロック入力	19、51、54、66、98、248	B1、F5、G13、L16、M13、P13、R2、R8	5、45、73、94、97、113	5、37、62、77、80、94	26、62
SD1_C3	I	SDFM-1 チャネル 3 クロック入力	21、53、55、68、90、127、226、231	B15、C2、D3、F13、H4、H5、K13、L15、N7、R3	7、22、23、47、96、99、118、133	16、39、79、97、109	28、64
SD1_C4	I	SDFM-1 チャネル 4 クロック入力	55、56、70、229	C14、G4、K13、K14、M7、R5	17、57、99、100、135	49、82、110	34、76
SD1_D1	I	SDFM-1 チャネル 1 データ入力	16、36、48、63、95、100、246	B4、D5、E5、H14、L3、N14、N16、P8、P11	2、33、67、90、110	2、25、56、91	2、16、38、59
SD1_D2	I	SDFM-1 チャネル 2 データ入力	37、50、65、97、249	F4、H16、M14、N13、R16、T2、T8	46、74、85、93、112	38、63、76、93	27、61
SD1_D3	I	SDFM-1 チャネル 3 データ入力	20、38、52、67、89、226、238	B16、C1、D4、E14、H4、L14、N12、P7、T3	6、22、48、69、95、125、132	16、40、58、78、104	29、40、72
SD1_D4	I	SDFM-1 チャネル 4 データ入力	39、54、69、74、77、80、234、242	A13、A15、B12、D13、G2、L16、M6、P15、R6、T12	16、58、71、86、97、134、141、144	13、50、60、80、116	35
SD2_C1	I	SDFM-2 チャネル 1 クロック入力	25、40、57、80、219、233	B12、D8、H1、K15、M16、P3、P16、R7	19、49、87、91、102、157	14、41、74、84、125	10、30、51、86

Copyright © 2025 Texas Instruments Incorporated

表 5-3. デジタル信号 (続き)

信号名	ピンの種類	説明	GPIO	256 ZEX	176 PTS	144 RFS	100 PZS
SD2_C2	I	SDFM-2 チャネル 2 クロック入力	27、48、58、59、74、227	C9、D13、H3、J16、K16、M1、N16、R10	21、36、90、103、104、141、155	28、85、86	53、54
SD2_C3	I	SDFM-2 チャネル 3 クロック入力	59、61、76、238	B13、J13、J16、L2、N12、P9	32、69、104、108、143	24、58、86、89、115	40、54、57
SD2_C4	I	SDFM-2 チャネル 4 クロック入力	31、60、63、78、239	B10、D12、H14、J15、K4、P10、P12	30、70、106、110、145、149	22、59、88、91、117	41、56、59、82
SD2_D1	I	SDFM-2 チャネル 1 データ入力	24、41、49、56、79、228	C8、C12、G3、K14、M15、N15、P4、T7	18、50、89、92、100、146、158	42、73、75、82、126	31、50
SD2_D2	I	SDFM-2 チャネル 2 データ入力	26、50、58、73、242	B9、E13、K16、M2、M14、R9、T12	35、71、93、103、140、156	27、60、76、85、124	53、85
SD2_D3	I	SDFM-2 チャネル 3 データ入力	28、51、75、247	C13、D9、L1、M13、N9、R11	31、68、94、142、154	23、57、77	39
SD2_D4	I	SDFM-2 チャネル 4 データ入力	30、52、62、77、243	A10、A13、H13、K3、L14、R12、T11	29、72、95、109、144、150	21、61、78、90、116、120	58、83
SD3_C1	I	SDFM-3 チャネル 1 クロック入力	72、76、105、245	A14、B13、J14、N4、T13	51、76、139、143	43、114、115	80
SD3_C2	I	SDFM-3 チャネル 2 クロック入力	78、82、84	D10、D11、D12、P5、R1	44、55、145、148	36、47、117、119	25、81
SD3_C3	I	SDFM-3 チャネル 3 クロック入力	80、86、221	B12、C11、F16、M3、T5	40、59、121	32、51、100	21、68
SD3_C4	I	SDFM-3 チャネル 4 クロック入力	44、46、88、223	C3、D14、G14、P2、R14、T10	42、78、114、128	34、65	23、43
SD3_D1	I	SDFM-3 チャネル 1 データ入力	71、77、232	A13、B14、H2、M5	20、52、136、144	15、44、111、116	11、77
SD3_D2	I	SDFM-3 チャネル 2 データ入力	72、79、83	A11、A14、C12、N5、P1	43、56、139、146	35、48、114	24、80
SD3_D3	I	SDFM-3 チャネル 3 データ入力	57、81、85、220	A12、B11、E16、K15、M4、T6	39、60、102、123	31、52、84、102	20、70
SD3_D4	I	SDFM-3 チャネル 4 データ入力	45、87、222	C10、G15、N3、T9、T14	41、77、116	33、64	22、42
SD4_C1	I	SDFM-4 チャネル 1 クロック入力	14、90、225	B3、D3、K2、K5	25、176	17、144	12
SD4_C2	I	SDFM-4 チャネル 2 クロック入力	12、92、236	A3、E2、J2、M8	63、174	142	100
SD4_C3	I	SDFM-4 チャネル 3 クロック入力	40、42、47、94、240	C16、D15、E4、J4、N10、P16	65、87、129、130	107	74
SD4_C4	I	SDFM-4 チャネル 4 クロック入力	42、100、103、244	B4、C16、D16、N6、R13	75、126、130	105、107	74
SD4_D1	I	SDFM-4 チャネル 1 データ入力	11、89、230	A4、D4、J5、K1	24、173	141	99
SD4_D2	I	SDFM-4 チャネル 2 データ入力	13、91、224	A2、D2、J1、L5	26、175	18、143	13
SD4_D3	I	SDFM-4 チャネル 3 データ入力	41、93、237	E3、J3、M9、N15	64、89	73	50
SD4_D4	I	SDFM-4 チャネル 4 データ入力	43、73、76、78、99、241	B13、C15、D12、E13、G5、N11、P6	66、131、140、143、145	55、108、115、117	75
SENT1	I/O	SENT 入力ピン 1	15、58、235、242	C4、G1、K16、T12	1、15、71、103	1、12、60、85	1、53
SENT2	I/O	SENT 入力ピン 2	10、59、234、243	C5、G2、J16、R12	16、72、104、172	13、61、86、140	54、98
SENT3	I/O	SENT 入力ピン 3	29、60、229、248	A9、G4、J15、P13	17、73、106、151	62、88、121	56、84
SENT4	I/O	SENT 入力ピン 4	18、62、228、249	F2、G3、H13、N13	13、18、74、109	10、63、90	8、58
SENT5	I/O	SENT 入力ピン 5	22、63、233、244	F1、H1、H14、R13	14、19、75、110	11、14、91	9、10、59
SENT6	I/O	SENT 入力ピン 6	23、64、232、245	B8、H2、H15、T13	20、76、111、159	15、92、127	11、60、87
SPIA_CLK	I/O	SPI-A クロック	34、56、60、227	D1、H3、J15、K14	9、21、100、106	7、82、88	56
SPIA_PICO	I/O	SPI-A ペリフェラル入力、コントローラ出力 (PICO)	16、32、54、58、100、231	B4、D5、G16、H5、K16、L16	2、23、97、103、117	2、80、85、96	2、53

Copyright © 2025 Texas Instruments Incorporated

表 5-3. デジタル信号 (続き)

信号名	ピンの種類	説明	GPIO	256 ZEX	176 PTS	144 RFS	100 PZS
SPIA_POCI	I/O	SPI-A ペリフェラル出力、コントローラ入力 (POCI)	17、33、55、59、232	B2、H2、J16、K13、P14	4、20、99、104	4、15、86	4、11、54
SPIA_PTE	I/O	SPI-A ペリフェラル送信イネーブル (PTE)	19、35、57、61、226	B1、E1、H4、J13、K15	5、10、22、102、108	5、16、84、89	57
SPIB_CLK	I/O	SPI-B クロック	26、65、235	B9、G1、H16	15、112、156	12、93、124	61、85
SPIB_PICO	I/O	SPI-B ペリフェラル入力、コントローラ出力 (PICO)	24、63、225、229	C8、G4、H14、K5	17、25、110、158	17、91、126	12、59
SPIB_POCI	I/O	SPI-B ペリフェラル出力、コントローラ入力 (POCI)	25、64、224、228	D8、G3、H15、L5	18、26、111、157	18、92、125	13、60、86
SPIB_PTE	I/O	SPI-B ペリフェラル送信イネーブル (PTE)	27、66、234	C9、G2、G13	16、113、155	13、94	62
SPIC_CLK	I/O	SPI-C クロック	52、71、222、249	B14、L14、N13、T14	74、77、95、136	63、64、78、111	42、77
SPIC_PICO	I/O	SPI-C ペリフェラル入力、コントローラ出力 (PICO)	20、50、69、84、100、248	A15、B4、C1、D11、M14、P13	6、73、93、134、148	62、76、119	81
SPIC_POCI	I/O	SPI-C ペリフェラル出力、コントローラ入力 (POCI)	21、51、70、101、245	B5、C2、C14、M13、T13	7、76、94、135	77、110	76
SPIC_PTE	I/O	SPI-C ペリフェラル送信イネーブル (PTE)	53、72、103、223、244	A14、D16、L15、R13、R14	75、78、96、126、139	65、79、105、114	43、80
SPID_CLK	I/O	SPI-D クロック	32、75、90、93、223、241	C13、D3、E3、G16、N11、R14	66、78、117、142	55、65、96	43
SPID_PICO	I/O	SPI-D ペリフェラル入力、コントローラ出力 (PICO)	30、91、222、240	A10、D2、N10、T14	65、77、150	64、120	42、83
SPID_POCI	I/O	SPI-D ペリフェラル出力、コントローラ入力 (POCI)	31、44、92、127、220、247	B10、E2、E16、F13、G14、R11	68、114、118、123、149	57、97、102	39、64、70、82
SPID_PTE	I/O	SPI-D ペリフェラル送信イネーブル (PTE)	33、45、89、94、221、246	D4、E4、F16、G15、P11、P14	67、116、121	56、100	38、68
SPIE_CLK	I/O	SPI-E クロック	12、42	A3、C16	130、174	107、142	74、100
SPIE_PICO	I/O	SPI-E ペリフェラル入力、コントローラ出力 (PICO)	8、38	D6、E14	125、170	104、138	72、96
SPIE_POCI	I/O	SPI-E ペリフェラル出力、コントローラ入力 (POCI)	9、41	A5、N15	89、171	73、139	50、97
SPIE_PTE	I/O	SPI-E ペリフェラル送信イネーブル (PTE)	11、43	A4、C15	131、173	108、141	75、99
SYNCOUT	O	外部 ePWM 同期パルス	6、230	B6、J5	24、166	134	94
TDI	I	内部プルアップ付き JTAG テスト データ入力 (TDI)。TDI は、TCK の立ち上がりエッジで、選択したレジスタ (命令またはデータ) にシフトインされます。	222	T14	77	64	42
TDO	O	JTAG スキャン アウト、テスト データ出力 (TDO)。選択したレジスタ (命令またはデータ) の内容は、TCK の立ち下がりエッジで、TDO からシフトアウトされます。	223	R14	78	65	43
UARTA_RX	I/O	UART-A シリアル データ受信	3、28、39、43、73、85	B11、C7、C15、D9、E13、P15	86、131、140、154、163	108、131	75、91
UARTA_TX	I/O	UART-A シリアル データ送信	2、27、38、42、72、84	A14、B7、C9、C16、D11、E14	125、130、139、148、155、162	104、107、114、119、130	72、74、80、81、90
UARTB_RX	I/O	UART-B シリアル データ受信	23、45、71、223	B8、B14、G15、R14	78、116、136、159	65、111、127	43、77、87
UARTB_TX	I/O	UART-B シリアル データ送信	22、44、70、222	C14、F1、G14、T14	14、77、114、135	11、64、110	9、42、76
UARTC_RX	I/O	UART-C シリアル データ受信	13、18、37、47	A2、D15、F2、R16	13、85、129、175	10、143	8
UARTC_TX	I/O	UART-C シリアル データ送信	10、17、36、46	B2、C5、D14、N14	4、128、172	4、140	4、98
UARTD_RX	I/O	UART-D シリアル データ受信	9、49、53、77、87	A5、A13、C10、L15、M15	92、96、144、171	75、79、116、139	97
UARTD_TX	I/O	UART-D シリアル データ送信	8、48、52、76、86	B13、C11、D6、L14、N16	90、95、143、170	78、115、138	96
UARTE_RX	I/O	UART-E シリアル データ受信	1、19、29	A7、A9、B1	5、151、161	5、121、129	84、89
UARTE_TX	I/O	UART-E シリアル データ送信	0、26	A8、B9	156、160	124、128	85、88
UARTF_RX	I/O	UART-F シリアル データ受信	5、35、65、226	A6、E1、H4、H16	10、22、112、165	16、93、133	61、93
UARTF_TX	I/O	UART-F シリアル データ送信	4、34、64、225	D1、D7、H15、K5	9、25、111、164	7、17、92、132	12、60、92

Copyright © 2025 Texas Instruments Incorporated

表 5-3. デジタル信号 (続き)

信号名	ピンの種類	説明	GPIO	256 ZEX	176 PTS	144 RFS	100 PZS
X1	I/O	水晶発振器入力またはシングルエンド クロック入力。水晶発振器をイネーブルにする前に、デバイス初期化ソフトウェアでこのピンを設定する必要がある。この発振器を使用するには、X1 と X2 の間に水晶振動子を接続する必要がある。このピンを使って、シングルエンドの 3.3V レベル クロックを供給することもできる。	220	E16	123	102	70
X2	I/O	水晶発振器出力。	221	F16	121	100	68
XCLKOUT	O	外部クロック出力。このピンは、デバイス内のクロック信号の中から選択されたものを分周した信号を出力します。	73、219	E13、M16	91、140	74	51

5.3.3 テスト、JTAG、リセット

表 5-4. テスト、JTAG、リセット

信号名	ピンの種類	説明	256 ZEX	176 PTS	144 RFS	100 PZS
FLT3	I/O	フラッシュ テスト ピン 3。テキサス・インスツルメンツ用に予約済みです。未接続のままにする必要があります。	M12			
TCK	I	内部プルアップ付き JTAG テスト クロック。	R15	83	70	48
TMS	I/O	内部プルアップ付き JTAG テスト モード選択 (TMS)。このシリアル制御入力は、TCK の立ち上がりエッジで、TAP コントローラにシフトインされる。このデバイスには TRSTn ピンがない。通常動作時に JTAG をリセット状態に維持するために、基板上で TMS ピンと VDDIO の間に外部プルアップ抵抗 (推奨 2.2kΩ) を配置する必要がある。	T15	82	69	47
VREGENZ	I	内部プルアップ付きの内部電圧レギュレータ イネーブル。VSS (Low) に接続すると、内部 VREG がイネーブルになる。VDDIO (High) に接続すると、外部電源を使用。				65
XRSn	I/OD	デバイス リセット (IN) およびウォッチドッグ リセット (OUT)。電源投入時、このピンはデバイスによって Low に駆動される。また、外部回路がこのピンを駆動して、デバイス リセットをアサートすることもできる。ウォッチドッグ リセットが発生した場合、MCU もこのピンを Low に駆動する。ウォッチドッグ リセット時には、512 OSCCLK サイクルのウォッチドッグ リセット期間にわたって、XRSn ピンが Low に駆動される。XRSn と VDDIO の間に 2.2kΩ～10kΩ の抵抗を配置する必要がある。ノイズ フィルタリングのために XRS と VSS の間にコンデンサを配置する場合、容量は 100nF 以下にする必要がある。これらの値は、ウォッチドッグ リセットがアサートされたときに、ウォッチドッグが 512 OSCCLK サイクル以内に XRSn ピンを VOL に正しく駆動できるように決められている。このピンは内部プルアップ付きのオープン ドレイン出力。このピンが外部デバイスによって駆動される場合は、オープン ドレイン デバイスを使用して駆動する必要があります。	F14	124	103	71

Copyright © 2025 Texas Instruments Incorporated

5.4 内部プルアップおよびプルダウン付きのピン

デバイスの一部のピンには、内部プルアップまたはプルダウンが付いています。表 5-5 に、プル方向および動作するときを示します。GPIO ピンのプルアップは、デフォルトでディセーブルになっており、ソフトウェアによってイネーブルにできます。未接続入力がフローティングになるのを回避するため、特定のパッケージで未接続の GPIO ピンについては、ブート ROM が内部プルアップをイネーブルにします。表 5-5 に記載されているプルアップおよびプルダウン付きの他のピンは、常にオンであり、ディセーブルできません。

表 5-5. 内部プルアップおよびプルダウン付きのピン

ピン	リセット (XRSn = 0)	デバイス ブート	アプリケーション
GPIOx	プルアップ ディセーブル	プルアップ ディセーブル(1)	アプリケーションで設定
GPIO222/TDI	プルアップ ディセーブル		アプリケーションで設定
GPIO223/TDO	プルアップ ディセーブル		アプリケーションで設定
TCK	プルアップ イネーブル		
TMS	プルアップ イネーブル		
XRSn	プルアップ イネーブル		
その他のピン (AIO を含む)	プルアップまたはプルダウンなし		

(1) 特定のパッケージで未接続の GPIO ピンについては、ブート ROM が内部プルアップをイネーブルにします。

5.5 ピン多重化

表 5-6 に、GPIO 多重化ピンを示します。

Copyright © 2025 Texas Instruments Incorporated

5.5.1 GPIO 多重化ピン

表 5-6. GPIO 多重化ピン

0、4、8、12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
GPIO0	EPWM1_A	EMIF1_A13	EMIF1_D0	MCAND_TX	I2CA_SDA	UARTE_TX	OUTPUTXBAR9	ESC_TX0_DATA0	ESC_GPI0	FSITXA_D0			
GPIO1	EPWM1_B	EMIF1_A14	EMIF1_D3	MCAND_RX	I2CA_SCL	UARTE_RX	OUTPUTXBAR10	ESC_TX1_DATA0	ESC_GPI1	FSITXA_D1			
GPIO2	EPWM2_A	EMIF1_A15	EMIF1_D4	UARTA_TX	I2CB_SDA	MCANF_TX	OUTPUTXBAR1	ESC_RX1_ERR	ESC_GPI2	FSITXA_CLK			
GPIO3	EPWM2_B	EMIF1_A16	EMIF1_D5	UARTA_RX	I2CB_SCL	MCANF_RX	OUTPUTXBAR2		ESC_GPI3	FSIRXA_D0			
GPIO4	EPWM3_A	EMIF1_A17	EMIF1_D9	MCANC_TX		UARTF_TX	OUTPUTXBAR3		ESC_GPI4	FSIRXA_D1		ERRORSTS	
GPIO5	EPWM3_B	EMIF1_A18	EMIF1_D10	MCANC_RX		UARTF_RX	OUTPUTXBAR11	OUTPUTXBAR3	ESC_GPI5	FSIRXA_CLK			
GPIO6	EPWM4_A	EMIF1_DQM0	EMIF1_CLK	MCANB_TX	LINA_TX		OUTPUTXBAR4	SYNCOUT	ESC_GPI6	FSITXB_D0			
GPIO7	EPWM4_B	EMIF1_DQM1	EMIF1_CAS	MCANB_RX	LINA_RX		OUTPUTXBAR5		ESC_GPI7	FSITXB_D1			
GPIO8	EPWM5_A	EMIF1_RAS	EPWM4_B	MCANC_TX	SPIE_PICO	UARTD_TX	OUTPUTXBAR12	ADCSOCAO	ESC_GPO0	FSITXB_CLK	FSITXA_D1	FSIRXA_D0	
GPIO9	EPWM5_B	EMIF1_D11			SPIE_POCI	UARTD_RX	OUTPUTXBAR6	ESC_TX0_CLK	ESC_GPO1	FSIRXB_D0	FSITXA_D0	FSIRXA_CLK	
GPIO10	EPWM8_A	PMBUSA_SCL	ADCSOCBO	MCANC_RX	UARTC_TX	I2CA_SCL	SENT2			ESC_GPI19	ADCA_EXTMUXSEL2	OUTPUTXBAR13	
GPIO11	EPWM6_B	EMIF1_D15	EPWM7_B		SPIE_PTE	SD4_D1	PMBUSA_ALERT	ESC_TX0_DATA1	ESC_GPO3	FSIRXB_CLK	FSIRXA_D1	OUTPUTXBAR7	
GPIO12	EPWM7_A	EMIF1_A1	ADCSOCAO		SPIE_CLK	SD4_C2	PMBUSA_CTL	ESC_TX0_DATA2	ESC_GPO4	FSIRXC_D0	FSIRXA_D0	OUTPUTXBAR14	
GPIO13	EPWM7_B	EMIF1_CS0n	EMIF1_D9		UARTC_RX	SD4_D2	PMBUSA_SDA	ESC_TX0_DATA3	ESC_GPO5	FSIRXC_D1	FSIRXA_CLK	OUTPUTXBAR15	
GPIO14	EPWM6_A	EMIF1_D17	EPWM18_A	EMIF1_D13	LINA_TX	OUTPUTXBAR3	PMBUSA_SCL	ESC_PHY1_LINKSTATUS	ESC_GPO6	FSIRXC_CLK	SD4_C1	OUTPUTXBAR8	
GPIO15	EPWM8_B		PMBUSA_CTL	I2CA_SDA	LINA_RX	OUTPUTXBAR4	SENT1	ESC_GPO7		ESC_GPI20	ADCA_EXTMUXSEL3	OUTPUTXBAR16	
GPIO16	EPWM9_A	EMIF1_D29	EMIF1_BA0	SPIA_PICO		MCAND_TX		ESC_RX1_CLK	SD1_D1	FSIRXD_D1	FSIRXC_CLK	OUTPUTXBAR7	
GPIO17	EPWM9_B	EMIF1_DQM3	EMIF1_BA1	SPIA_POCI		MCAND_RX		ESC_RX1_DV	SD1_C1	FSIRXD_CLK	UARTC_TX	OUTPUTXBAR8	
GPIO18	EPWM15_A		PMBUSA_ALERT	I2CA_SCL	UARTC_RX		SENT4			ESC_GPI21	ADCB_EXTMUXSEL0		
GPIO19	EPWM10_B	EMIF1_CS3n	ADCSOCBO	SPIA_PTE	UARTE_RX	MCANC_TX	PMBUSA_ALERT	ESC_TX1_DATA3	SD1_C2				
GPIO20	EPWM11_A	EMIF1_BA0	EMIF1_DQM2		SPIC_PICO	MCANB_RX		ESC_TX1_DATA2	SD1_D3				
GPIO21	EPWM11_B	EMIF1_BA1			SPIC_POCI	MCANB_TX		ESC_TX1_DATA1	SD1_C3				
GPIO22	EPWM12_A		PMBUSA_SDA	I2CB_SDA	UARTB_TX	MCANC_TX	SENT5	ESC_GPO2		ESC_GPI22	ADCB_EXTMUXSEL1		
GPIO23	EPWM12_B		PMBUSA_SCL	I2CB_SCL	UARTB_RX	MCANC_RX	SENT6	ESC_PHY_RESETn		ESC_GPI23	ADCC_EXTMUXSEL0		
GPIO24	EPWM13_A	EMIF1_DQM0		SPIB_PICO	LINB_TX	MCANE_TX		ESC_RX0_CLK	SD2_D1	ESC_GPI24	EPWM2_A	OUTPUTXBAR1	

Copyright © 2025 Texas Instruments Incorporated

表 5-6. GPIO 多重化ピン (続き)

0、4、8、12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
GPIO25	EPWM13_B	EMIF1_DQM1		SPIB_POCI	LINB_RX	MCANE_RX	PMBUSA_SDA	ESC_RX0_DV	SD2_C1	FSITXA_D1	EPWM2_B	OUTPUTXBAR2	
GPIO26	EPWM14_A	EMIF1_DQM2		SPIB_CLK	UARTE_TX	MCANE_TX	PMBUSA_CTL	ESC_RX0_ERR	SD2_D2	FSITXA_D0	ESC_MDIO_CLK	OUTPUTXBAR3	
GPIO27	EPWM14_B	EMIF1_DQM3		SPIB_PTE	UARTA_TX		EPWM4_A	ESC_RX0_DATA0	SD2_C2	FSITXA_CLK	ESC_MDIO_DATA	OUTPUTXBAR4	
GPIO28	EPWM15_A	EMIF1_CS4n	EMIF1_CS2n		UARTA_RX		EPWM4_B	ESC_RX0_DATA1	SD2_D3			OUTPUTXBAR5	
GPIO29	EPWM15_B	PMBUSA_SDA			UARTE_RX	I2CA_SDA	SENT3	ESC_LATCH0		ESC_I2C_SDA	ADCC_EXTMUXSEL1	OUTPUTXBAR6	
GPIO30	EPWM16_A	EMIF1_CLK	EMIF1_CS4n	MCANC_RX	SPID_PICO	EMIF1_A12		ESC_LATCH1	SD2_D4	ESC_I2C_SCL	ESC_SYNC1	OUTPUTXBAR7	
GPIO31	EPWM16_B	EMIF1_WEn	EMIF1_RNW	MCANC_TX	SPID_POCI	I2CA_SDA		ESC_RX1_DATA0	SD2_C4	FSITXD_D0		OUTPUTXBAR8	
GPIO32		EMIF1_CS0n	EMIF1_OEn	SPIA_PICO	SPID_CLK	I2CA_SDA	OUTPUTXBAR9	ESC_RX0_DATA0					
GPIO33		EMIF1_RNW	EMIF1_BA0	SPIA_POCI	SPID_PTE	I2CA_SCL	OUTPUTXBAR10	ESC_LED_ERR					
GPIO34	EPWM18_A	EMIF1_CS2n	EMIF1_BA1	SPIA_CLK	UARTF_TX	I2CB_SDA	OUTPUTXBAR11	ESC_LATCH0		EPWM3_B	ESC_SYNC0	OUTPUTXBAR1	
GPIO35	EPWM18_B	EMIF1_CS3n	EMIF1_A0	SPIA_PTE	UARTF_RX	I2CB_SCL	OUTPUTXBAR12	ESC_LATCH1			ESC_SYNC1		
GPIO36		EMIF1_WAIT	EMIF1_A1	UARTC_TX	MCANC_RX		OUTPUTXBAR13		SD1_D1		EMIF1_WEn		
GPIO37	EPWM18_A	EMIF1_OEn	EMIF1_A2	UARTC_RX	MCANC_TX		OUTPUTXBAR14	ESC_RX1_DATA1	SD1_D2		EMIF1_D24	OUTPUTXBAR2	
GPIO38	EPWM18_B	EMIF1_A0	EMIF1_A3	UARTA_TX	SPIE_PICO		OUTPUTXBAR15	ESC_RX0_DATA1	SD1_D3	FSITXD_D1	EMIF1_CS2n		
GPIO39		EMIF1_A1	EMIF1_A4	UARTA_RX			OUTPUTXBAR16	ESC_MDIO_DATA	SD1_D4	FSIRXD_CLK		ESC_LED_RUN	
GPIO40	EPWM13_A	EMIF1_A2		MCANB_RX	I2CB_SDA		OUTPUTXBAR9	ESC_GPO2	SD4_C3		EPWM1_A	SD2_C1	
GPIO41	EPWM13_B	EMIF1_A3	EPWM18_A	MCANB_TX	SPIE_POCI	I2CB_SCL	OUTPUTXBAR10	ESC_RX0_DATA2	SD4_D3	FSIRXD_CLK	EPWM1_B	SD2_D1	
GPIO42	EPWM14_A	EMIF1_A2	EMIF1_A13	UARTA_TX	SPIE_CLK	I2CA_SDA	OUTPUTXBAR13	SD4_C3	SD4_C4	FSIRXD_D0	ADCE_EXTMUXSEL2		
GPIO43	EPWM14_B	EMIF1_A4	EMIF1_D13	UARTA_RX	SPIE_PTE	I2CA_SCL	OUTPUTXBAR14		SD4_D4	FSIRXD_D1	ADCE_EXTMUXSEL3		
GPIO44		EMIF1_A4		SPID_POCI	MCANB_RX	UARTB_TX	OUTPUTXBAR14	ESC_TX1_CLK	SD3_C4	FSIRXD_CLK			
GPIO45		EMIF1_A5		SPID_PTE	MCANB_TX	UARTB_RX	OUTPUTXBAR15	ESC_TX1_ENA	SD3_D4	FSIRXD_D0			
GPIO46	EPWM4_A	EMIF1_A6	EPWM14_A	UARTC_TX		MCANE_TX		ESC_MDIO_CLK	SD3_C4				
GPIO47	EPWM4_B	EMIF1_A7	EPWM14_B	UARTC_RX		MCANE_RX		ESC_MDIO_DATA	SD4_C3				
GPIO48		EMIF1_A8		UARTD_TX			OUTPUTXBAR3	ESC_PHY_CLK	SD1_D1	EPWM3_A		SD2_C2	
GPIO49		EMIF1_A9	EMIF1_A5	UARTD_RX			OUTPUTXBAR4	ESC_TX1_DATA2	SD1_C1	FSITXA_D0		SD2_D1	

Copyright © 2025 Texas Instruments Incorporated

表 5-6. GPIO 多重化ピン (続き)

0、4、8、12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
GPIO50	EPWM15_A	EMIF1_A10	EMIF1_A6		SPIC_PICO	MCANF_TX		ESC_TX1_DATA1	SD1_D2	FSITXA_D1	ESC_GPI25	SD2_D2	
GPIO51	EPWM15_B	EMIF1_A11	EMIF1_A7		SPIC_POCI	MCANF_RX		ESC_TX1_CLK	SD1_C2	FSITXA_CLK	ESC_GPI26	SD2_D3	
GPIO52	EPWM16_A	EMIF1_A12	EMIF1_A8	UARTD_TX	SPIC_CLK			ESC_TX1_ENA	SD1_D3	FSIRXA_D0		SD2_D4	
GPIO53	EPWM16_B	EMIF1_D31	EMIF1_A9	UARTD_RX	SPIC_PTE			ESC_PHY0_LINKSTATUS	SD1_C3	FSIRXA_D1	ESC_GPI28	SD1_C1	
GPIO54		EMIF1_D30	EMIF1_A10	SPIA_PICO				ESC_PHY_CLK	SD1_D4	FSIRXA_CLK	ESC_GPI29	SD1_C2	
GPIO55	EPWM16_B	EMIF1_D29	EMIF1_D0	SPIA_POCI	EMIF1_WAIT			ESC_PHY0_LINKSTATUS	SD1_C4	FSITXB_D0		SD1_C3	
GPIO56	EPWM17_A	EMIF1_D28	EMIF1_D1	SPIA_CLK	MCAND_TX	I2CA_SDA		ESC_PDI_UC_IRQ	SD2_D1	FSITXB_CLK	ESC_GPI30	SD1_C4	
GPIO57	EPWM17_B	EMIF1_D27	EMIF1_D2	SPIA_PTE	MCAND_RX	I2CA_SCL		ESC_MDIO_DATA	SD2_C1	FSITXB_D1	ESC_GPI31	SD3_D3	
GPIO58	EPWM13_A	EMIF1_D26	EPWM8_A	SPIA_PICO		MCANC_RX	SENT1	ESC_LED_LINK0_ACTIVE	SD2_D2	FSIRXB_D0	ESC_TX0_DATA3	SD2_C2	
GPIO59	EPWM5_A	EMIF1_D25	EPWM8_B	SPIA_POCI		MCANC_TX	SENT2	ESC_LED_LINK1_ACTIVE	SD2_C2	FSIRXB_D1	ESC_TX0_ENA	SD2_C3	
GPIO60	EPWM3_B	EMIF1_D24	EMIF1_D0	SPIA_CLK	OUTPUTXBAR3		SENT3	ESC_LED_ERR	ESC_LATCH0	FSIRXB_CLK		SD2_C4	
GPIO61	EPWM17_B	EMIF1_D23	EMIF1_D6	SPIA_PTE		MCANC_RX	OUTPUTXBAR4	ESC_LED_RUN	SD2_C3	FSITXD_CLK	ESC_LATCH1		
GPIO62	EPWM17_A	EMIF1_D22	EMIF1_D7		MCANC_RX	MCANC_TX	SENT4	ESC_LED_STATE_RUN	SD2_D4	FSITXD_D0	ESC_MDIO_CLK		
GPIO63	EPWM9_A	EMIF1_D21	EMIF1_RNW	SPIB_PICO	MCANC_TX		SENT5	ESC_RX1_DATA0	SD1_D1	FSITXD_D1	ADCD_EXTMUXSEL0	SD2_C4	
GPIO64	EPWM9_B	EMIF1_D20	EMIF1_WAIT	SPIB_POCI	MCANA_TX	UARTF_TX	SENT6	ESC_RX1_DATA1	SD1_C1	FSITXD_CLK	ADCD_EXTMUXSEL1		
GPIO65	EPWM10_A	EMIF1_D19	EMIF1_WEn	SPIB_CLK	MCANA_RX	UARTF_RX		ESC_RX1_DATA2	SD1_D2	FSITXB_CLK	ADCD_EXTMUXSEL2	ESC_GPI13	
GPIO66	EPWM10_B	EMIF1_D18	EMIF1_OEn	SPIB_PTE	I2CB_SDA			ESC_RX1_DATA3	SD1_C2	FSITXB_D1	ADCD_EXTMUXSEL3	ESC_GPI14	
GPIO67	EPWM17_A	EMIF1_D17		LINB_TX	MCAND_TX				SD1_D3	FSITXB_CLK			
GPIO68	EPWM17_B	EMIF1_D16	EMIF1_D4	LINB_RX	MCAND_RX	EMIF1_D13		ESC_PHY1_LINKSTATUS	SD1_C3	FSIRXB_D1		ESC_GPI15	
GPIO69	EPWM11_A	EMIF1_D15		SPIC_PICO	I2CB_SCL			ESC_RX1_CLK	SD1_D4	FSITXB_D0			
GPIO70	EPWM11_B	EMIF1_D14		SPIC_POCI	MCANC_RX	UARTB_TX		ESC_RX1_DV	SD1_C4	FSIRXB_D0		ESC_GPI16	
GPIO71	EPWM12_A	EPWM11_A	EMIF1_D5	SPIC_CLK	MCANC_TX	UARTB_RX	EMIF1_D13	ESC_RX1_ERR	SD3_D1	FSITXC_CLK	FSITXB_D0		
GPIO72	EPWM12_B	EMIF1_D12		SPIC_PTE	MCANB_RX	UARTA_TX	OUTPUTXBAR8	ESC_TX1_DATA3	SD3_D2	FSITXC_D0	SD3_C1		
GPIO73	EPWM5_B	EMIF1_D11	XCLKOUT		MCANB_TX	UARTA_RX	OUTPUTXBAR6	ESC_TX1_DATA2	SD4_D4	FSITXC_CLK	SD2_D2		
GPIO74	EPWM8_A	EMIF1_D10			MCANC_TX			ESC_TX1_DATA1	SD1_D4	FSITXA_D0	SD2_C2		

Copyright © 2025 Texas Instruments Incorporated

表 5-6. GPIO 多重化ピン (続き)

0、4、8、12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
GPIO75	EPWM8_B	EMIF1_D9		SPID_CLK	MCANC_RX		OUTPUTXBAR16	ESC_TX1_DATA0			SD2_D3		
GPIO76	EPWM9_A	EMIF1_D8		UARTD_TX		MCANE_TX	SD4_D4	ESC_PHY_RESETn	SD3_C1	FSIRXC_D0	SD2_C3	ESC_GPI17	
GPIO77	EPWM9_B	EMIF1_D7		UARTD_RX		MCANE_RX	SD1_D4	ESC_RX0_CLK	SD3_D1	FSITXB_D0	SD2_D4		
GPIO78	EPWM10_A	EMIF1_D6	EPWM11_A			MCANF_TX	SD4_D4	ESC_RX0_DV	SD3_C2	FSITXC_D1	SD2_C4	ESC_GPI18	
GPIO79	EPWM10_B	EMIF1_D5		ERRORSTS				ESC_RX0_ERR	SD3_D2	FSITXC_D0	SD2_D1		
GPIO80	EPWM11_A	EMIF1_D4		ERRORSTS			SD1_D4	ESC_RX0_DATA0	SD3_C3		SD2_C1		
GPIO81	EPWM11_B	EMIF1_D3						ESC_RX0_DATA1	SD3_D3				
GPIO82	EPWM12_A	EMIF1_D2						ESC_RX0_DATA2	SD3_C2				
GPIO83	EPWM12_B	EMIF1_D1						ESC_RX0_DATA3	SD3_D2				
GPIO84	EPWM12_B	EMIF1_D1	EMIF1_CS4n	SPIC_PICO	UARTA_TX	MCANF_RX		ESC_TX0_ENA	SD3_C2	FSITXC_D1	ESC_RX0_DATA3	ESC_GPO24	
GPIO85	EPWM13_A	EMIF1_D0			UARTA_RX		EMIF1_DQM2	ESC_TX0_CLK	SD3_D3				
GPIO86	EPWM13_B	EMIF1_A13	EMIF1_CAS		UARTD_TX			ESC_PHY0_LINKSTATUS	SD3_C3				
GPIO87	EPWM14_A	EMIF1_A14	EMIF1_RAS		UARTD_RX		EMIF1_DQM3	ESC_TX0_DATA0	SD3_D4				
GPIO88	EPWM14_B	EMIF1_A15	EMIF1_DQM0				EMIF1_DQM1	ESC_TX0_DATA1	SD3_C4				
GPIO89	EPWM15_A	EMIF1_A16	EMIF1_DQM1	SPID_PTE			EMIF1_CAS	ESC_TX0_DATA2	SD1_D3		SD4_D1		
GPIO90	EPWM15_B	EMIF1_A17	EMIF1_DQM2	SPID_CLK			EMIF1_RAS	ESC_TX0_DATA3	SD1_C3		SD4_C1		
GPIO91	EPWM16_A	EMIF1_A18	EMIF1_DQM3	SPID_PICO	I2CA_SDA	MCAND_TX	EMIF1_DQM2		SD4_D2		OUTPUTXBAR9		
GPIO92	EPWM16_B	EMIF1_A19	EMIF1_BA1	SPID_POCI	I2CA_SCL	MCAND_RX	EMIF1_DQM0	FSIRXD_CLK	SD4_C2		OUTPUTXBAR10		
GPIO93	EPWM17_A		EMIF1_BA0	SPID_CLK				ESC_TX1_CLK	SD4_D3		OUTPUTXBAR11		
GPIO94	EPWM17_B			SPID_PTE			EMIF1_BA1	ESC_TX1_ENA	SD4_C3		OUTPUTXBAR12		
GPIO95	EPWM18_A							ESC_GPO10	SD1_D1		OUTPUTXBAR13		
GPIO96	EPWM18_B							ESC_GPO11	SD1_C1		OUTPUTXBAR14		
GPIO97								ESC_GPI17	SD1_D2		OUTPUTXBAR15		
GPIO98								ESC_GPI18	SD1_C2		OUTPUTXBAR16		
GPIO99	EPWM8_A	EMIF1_DQM3	EMIF1_D17					ESC_GPI21	SD4_D4				
GPIO100	EPWM9_A	EMIF1_BA1	EMIF1_D24	SPIC_PICO	SPIA_PICO		SD1_D1	ESC_GPI0	SD4_C4	FSITXA_D0	FSIRXD_D1		

Copyright © 2025 Texas Instruments Incorporated

表 5-6. GPIO 多重化ピン (続き)

0、4、8、12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
GPIO101	EPWM18_A	EMIF1_A5		SPIC_POCI				ESC_GPI1		FSITXA_D1			
GPIO103	EPWM8_B	EMIF1_BA0	EMIF1_D3	SPIC_PTE				ESC_GPI3	SD4_C4	FSIRXA_D0		ESC_GPO25	
GPIO105	EPWM18_B			I2CA_SCL				ESC_GPI5	SD3_C1	FSIRXA_CLK			
GPIO127	EPWM18_A	EMIF1_D18	EMIF1_A11	SPID_POCI				ESC_GPI27	SD1_C3	FSIRXC_D1	ESC_SYNC0	ESC_GPO26	
GPIO219	ERRORSTS	EMIF1_A19	EPWM18_B				OUTPUTXBAR1	XCLKOUT	SD2_C1	ESC_GPI8	ESC_TX0_ENA	ESC_GPO27	
GPIO220	EPWM6_A			SPID_POCI	MCANC_TX		OUTPUTXBAR2		SD3_D3	ESC_GPI9		ESC_GPO28	X1
GPIO221	EPWM6_B		EMIF1_CAS	SPID_PTE	MCANC_RX		OUTPUTXBAR3		SD3_C3	ESC_GPI10		ESC_GPO29	X2
GPIO222	TDI	EPWM7_A		SPID_PICO	UARTB_TX	I2CB_SCL	OUTPUTXBAR4	SPIC_CLK	SD3_D4	ESC_GPI11		ESC_GPO30	
GPIO223	TDO	EPWM7_B		SPID_CLK	UARTB_RX	I2CB_SDA	OUTPUTXBAR5	SPIC_PTE	SD3_C4	ESC_GPI12		ESC_GPO31	
GPIO224	EPWM12_A	EPWM12_B		SPIB_POCI	MCAND_RX		OUTPUTXBAR5		SD4_D2		ADCA_EXTMUXSEL0	ESC_GPO8	
GPIO225	EPWM11_B			SPIB_PICO	I2CB_SDA	UARTF_TX	OUTPUTXBAR4		SD4_C1		ADCA_EXTMUXSEL1	ESC_GPO9	
GPIO226	EPWM10_A			SPIA_PTE	MCAND_TX	UARTF_RX	OUTPUTXBAR1	SD1_C3	SD1_D3		ADCA_EXTMUXSEL2	ESC_GPO10	
GPIO227	EPWM14_B			SPIA_CLK			OUTPUTXBAR4		SD2_C2		ADCA_EXTMUXSEL3		
GPIO228	EPWM18_A	EPWM13_A		SPIB_POCI	LINB_TX		OUTPUTXBAR1	SENT4	SD2_D1				
GPIO229	EPWM17_B	EPWM12_B		SPIB_PICO	MCANA_RX			SENT3	SD1_C4				
GPIO230	EPWM11_A		SYNCOUT		I2CB_SCL		OUTPUTXBAR3		SD4_D1		ADCB_EXTMUXSEL0		
GPIO231	EPWM10_B			SPIA_PICO	MCAND_RX		OUTPUTXBAR2		SD1_C3		ADCB_EXTMUXSEL1		
GPIO232	EPWM14_A	EPWM8_B		SPIA_POCI			OUTPUTXBAR3	SENT6	SD3_D1	ESC_PHY0_LINKSTATUS	ADCB_EXTMUXSEL2	ESC_GPO11	
GPIO233	EPWM18_B	EPWM13_B			LINB_RX		OUTPUTXBAR2	SENT5	SD2_C1	ESC_PHY1_LINKSTATUS	ADCB_EXTMUXSEL3	ESC_GPO12	
GPIO234	EPWM17_A	EPWM12_A		SPIB_PTE	MCANA_TX			SENT2	SD1_D4			ESC_GPO13	
GPIO235	EPWM9_B			SPIB_CLK	MCANA_RX			SENT1	SD1_C1			ESC_GPO14	
GPIO236	EPWM12_B	EPWM8_A			LINA_RX		OUTPUTXBAR6		SD4_C2	ESC_I2C_SDA	ADCC_EXTMUXSEL0		
GPIO237	EPWM14_A	EPWM8_B	EPWM17_B		LINA_TX	I2CA_SDA	OUTPUTXBAR7		SD4_D3	ESC_I2C_SCL	ADCC_EXTMUXSEL1		
GPIO238	EPWM15_B						OUTPUTXBAR6	SD1_D3	SD2_C3	ESC_SYNC0	ADCC_EXTMUXSEL2	ESC_GPO15	
GPIO239	EPWM16_B				LINB_TX	I2CA_SCL	OUTPUTXBAR8		SD2_C4	ESC_SYNC1	ADCC_EXTMUXSEL3	ESC_GPO16	
GPIO240	EPWM14_B			SPID_PICO					SD4_C3	ESC_LED_RUN	ADCD_EXTMUXSEL0		

Copyright © 2025 Texas Instruments Incorporated

表 5-6. GPIO 多重化ピン (続き)

0、4、8、12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
GPIO241	EPWM8_A			SPID_CLK					SD4_D4	ESC_LED_ERR	ADCD_EXTMUXSEL1	ESC_GPO17	
GPIO242					SD1_D4	I2CA_SDA	OUTPUTXBAR9	SENT1	SD2_D2	ESC_LED_STATE_RUN	ADCD_EXTMUXSEL2	ESC_GPO18	
GPIO243	EPWM8_B							SENT2	SD2_D4	ESC_LED_LINK0_ACTIVE	ADCD_EXTMUXSEL3	ESC_GPO19	
GPIO244				SPIC_PTE				SENT5	SD4_C4	ESC_LED_LINK1_ACTIVE			
GPIO245				SPIC_POCI				SENT6	SD3_C1	ESC_PHY_RESETn			
GPIO246	EPWM16_A			SPID_PTE	MCANC_RX		OUTPUTXBAR7		SD1_D1		ADCE_EXTMUXSEL0	ESC_GPO20	
GPIO247	EPWM15_A	ERRORSTS		SPID_POCI	MCANC_RX	LINA_TX	OUTPUTXBAR5		SD2_D3		ADCE_EXTMUXSEL1	ESC_GPO21	
GPIO248		EMIF1_SDCKE		SPIC_PICO				SENT3	SD1_C2	ESC_LED_RUN	ADCE_EXTMUXSEL2	ESC_GPO22	
GPIO249				SPIC_CLK				SENT4	SD1_D2	ESC_PHY0_LINKSTATUS	ADCE_EXTMUXSEL3	ESC_GPO23	
AIO160									SD3_C2				
AIO161									SD3_D2				
AIO162									SD2_C2				
AIO163									SD2_D2				
AIO164									SD2_C3				
AIO165									SD2_D3				
AIO166									SD4_C1				
AIO167									SD4_D1				
AIO168									SD3_C3				
AIO169									SD3_D3				
AIO170									SD3_C4				
AIO171									SD3_D4				
AIO172									SD1_C1				
AIO173									SD1_D1				
AIO174									SD2_C4				
AIO175									SD2_D4				
AIO176									SD4_C2				
AIO177									SD4_D2				
AIO178									SD4_C3				
AIO179									SD4_D3				
AIO180									SD1_C2				
AIO181									SD1_D2				
AIO182									SD3_C1				
AIO183									SD3_D1				
AIO184									SD3_C2				

Copyright © 2025 Texas Instruments Incorporated

表 5-6. GPIO 多重化ピン (続き)

0、4、8、12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
AIO185									SD3_D2				
AIO186									SD1_C1				
AIO187									SD1_D1				
AIO188									SD1_C2				
AIO189									SD1_D2				
AIO190									SD1_C3				
AIO191									SD1_D3				
AIO192									SD1_C3				
AIO193									SD1_D3				
AIO194									SD1_C4				
AIO195									SD1_D4				
AIO196									SD4_C4				
AIO197									SD4_D4				
AIO198									SD1_C4				
AIO199									SD1_D4				
AIO200									SD2_C1				
AIO201									SD2_D1				
AIO202									SD2_C1				
AIO203									SD2_D1				
AIO204									SD3_C3				
AIO205									SD3_D3				
AIO206									SD3_C4				
AIO207									SD3_D4				
AIO208									SD2_C2				
AIO209									SD2_D2				
AIO210									SD2_C3				
AIO211									SD2_D3				
AIO212									SD2_C4				
AIO213									SD2_D4				

Copyright © 2025 Texas Instruments Incorporated

5.6 未使用ピンの接続

デバイスのすべての機能を使用する必要のないアプリケーションについては、表 5-7 に、未使用のピンに対して許容される処置を示します。表 5-7 に複数の選択肢が示されている場合は、どれを採用してもかまいません。表 5-7 に記載されていないピンは、「ピン属性」の表に従って接続する必要があります。

表 5-7. 未使用ピンの接続

信号名	許容される処置
アナログ	
VREFHIx	VDDA に接続
VREFLOx	VSSA に接続
ADCINx (DAC ピンを除く)	• 接続なし • VSSA に接続
ADCINx (DAC ピン)	• 接続なし • 5kΩ 抵抗を介して VSSA にプルダウン
デジタル	
GPIOx	• 接続なし (入力モードで内部プルアップをイネーブル) • 接続なし (出力モードで内部プルアップをディセーブル) • プルアップまたはプルダウン抵抗 (任意の値の抵抗、入力モードで内部プルアップをディセーブル)
X1	VSS に接続
X2	接続なし
TCK	• 接続なし • プルアップ抵抗
TDI	• 接続なし • プルアップ抵抗
TDO	接続なし
TMS	接続なし
ERRORSTS	接続なし
電源およびグランド	
VDD	すべての VDD ピンは、「ピン属性」の表に従って接続する必要があります。
VDDA	専用のアナログ電源を使用しない場合は、VDDIO に接続します。
VDDIO	すべての VDDIO ピンは、「ピン属性」の表に従って接続する必要があります。
VSS	すべての VSS ピンは、基板のグランドに接続する必要があります。
VSSA	専用のアナログ グランドを使用しない場合は、VSS に接続します。
VSSOSC	このピンは、基板のグランドに接続します。

Copyright © 2025 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1) (2)

		最小値	最大値	単位
電源電圧	VSS を基準とした VDD	-0.3	1.5	V
電源電圧	VSS を基準とした VDDIO	-0.3	4.6	
	VSSA を基準とした VDDA	-0.3	4.6	
入力電圧 (7)	V_{IN} (3.3V)	-0.3	4.6	V
	V_{IN} (5.0V) (5)	-0.3	6.0	V
出力電圧	V_O	-0.3	4.6	V
入力クランプ電流 - ピンごと (4) (6)	I_{IK} - V_{IN} < VSS/VSSA - V_{IN} > VDDIO/VDDA)	-20	20	mA
入力クランプ電流 - ピンごと: GPIO10/15/18/22/23/29	I_{IK} - V_{IN} < VSS	-20		
入力クランプ電流 - すべての入力の合計 (4) (6)	$I_{IKTOTAL}$ - V_{IN} < VSS/VSSA - V_{IN} > VDDIO/VDDA)	-20	20	
出力電流	デジタル出力 (ピンごと)、I_{OUT}	-20	20	mA
動作時接合部温度	T_J	-40	150	°C
保存温度(3)	T_{stg}	-65	150	°C

(1) 「絶対最大定格」の範囲を超える動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「*絶対最大定格*」の範囲内であっても「*推奨動作条件*」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能性、性能に影響を及ぼし、デバイスの寿命を短縮する可能性があります。

(2) すべての電圧値は、特に記述のない限り、VSS 端子を基準とします。

(3) 長期にわたる高温保存または最高温度条件での長時間使用は、デバイスの寿命を縮める可能性があります。詳細については、*『半導体および IC パッケージの熱評価基準』アプリケーション レポート*を参照してください。

(4) ピンごとの連続クランプ電流は ±2mA です。この条件で連続的に動作すると、V_{DDIO}/V_{DDA} 電圧が内部で上昇し、他の電気的仕様に影響を及ぼす可能性があるため、連続動作は避けてください。

(5) GPIO10、GPIO15、GPIO18、GPIO22、GPIO23、GPIO29

(6) VDDIO/VDDA を上回る、または VSS/VSSA を下回る V_{IN} を印加すると、ESD 電流クランプ ダイオードがターンオンし、それぞれの電源レールに余計な電流が流れます。 この場合、本デバイスの永続的な損傷を防止するため、記載された最小値 / 最大値の範囲内に電流を維持する必要があります。

(7) 入力クランプ電流も確認する必要があります。

Copyright © 2025 Texas Instruments Incorporated

6.2 F29H85x ESD 定格 - 民生用

				値	単位
850TU9、850DM7、850DU7、256 ボール ZEX パッケージ					
$V_{(ESD)}$	静電気放電 (ESD)	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)		±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠(2)	すべてのピン	±500	
			256 ボール ZEX のコーナー ボール: A1、A16、T16、T1	±750	
176 ピン PTS パッケージの 850TU9、850DU7、850DM7					
$V_{(ESD)}$	静電気放電 (ESD)	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)		±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠(2)	すべてのピン	±500	
			176 ピン PTS のコーナー ピン: 1、44、45、88、89、132、133、176	±750	
144 ピン RFS パッケージの 850TU9、850DU7、850DM7					
$V_{(ESD)}$	静電気放電 (ESD)	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)		±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠(2)	すべてのピン	±500	
			144 ピン RFS のコーナー ピン: 1、36、37、72、73、108、109、144	±750	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

6.3 F29H85x ESD 定格 - 車載用

				値	単位
859TU8、859TM8、859DU6、859DM6、256 ピン ZEX パッケージ					
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 に準拠(1)	すべてのピン	±2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 準拠	すべてのピン	±500	
			256 ボール ZEX のコーナー ボール: A1、A16、T16、T1	±750	
176 ピン PTS パッケージの 859TU8、859TM8、859DU6、859DM6					
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 に準拠(1)	すべてのピン	±2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 準拠	すべてのピン	±500	
			176 ピン PTS のコーナー ピン: 1、44、45、88、89、132、133、176	±750	
144 ピン RFS パッケージの 859TU8、859TM8、859DU6、859DM6					
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 に準拠(1)	すべてのピン	±2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 準拠	すべてのピン	±500	
			144 ピン RFS のコーナー ピン: 1、36、37、72、73、108、109、144	±750	
100 ピン PZS パッケージの 859TU8、859TM8、859DU6、859DM6					

Copyright © 2025 Texas Instruments Incorporated

6.3 F29H85x ESD 定格 - 車載用 (続き)

				値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 に準拠[1]	すべてのピン	±2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 準拠	すべてのピン	±500	
			100 ピン PZS のコーナー ピン: 1、25、26、50、51、75、76、100	±750	

(1) AEC Q100-002 は、ANSI/ESDA/JEDEC JS-001 仕様に従って HBM ストレス試験を実施することを示しています。

6.4 F29P58x ESD 定格 - 民生用

				値	単位
580DM5、256 ピン ZEX パッケージ					
$V_{(ESD)}$	静電気放電 (ESD)	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)		±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠(2)	すべてのピン	±500	
			256 ボール ZEX のコーナー ボール：A1、A16、T16、T1	±750	
580DM5、176 ピン PTS パッケージ					
$V_{(ESD)}$	静電気放電 (ESD)	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)		±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠(2)	すべてのピン	±500	
			176 ピン PTS のコーナー ピン：1、44、45、88、89、132、133、176	±750	
580DM5、144 ピン RFS パッケージ					
$V_{(ESD)}$	静電気放電 (ESD)	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)		±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠(2)	すべてのピン	±500	
			144 ピン RFS のコーナー ピン：1、36、37、72、73、108、109、144	±750	
580DM5、100 ピン PZS パッケージ					
$V_{(ESD)}$	静電気放電 (ESD)	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)		±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠(2)	すべてのピン	±500	
			100 ピン PZS のコーナー ピン：1、25、26、50、51、75、76、100	±750	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

Copyright © 2025 Texas Instruments Incorporated

6.5 F29P58x ESD 定格 - 車載用

				値	単位
589DU5、589DM5、256 ボール ZEX パッケージ					
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 に準拠(1)	すべてのピン	±2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 準拠	すべてのピン	±500	
			256 ボール ZEX のコーナー ボール： A1、A16、T16、T1	±750	
589DU5、589DM5 (176 ピン PTS パッケージ)					
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 に準拠(1)	すべてのピン	±2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 準拠	すべてのピン	±500	
			176 ピン PTS のコーナー ピン： 1、44、45、88、89、132、133、176	±750	
589DU5、589DM5 (144 ピン RFS パッケージ)					
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 に準拠(1)	すべてのピン	±2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 準拠	すべてのピン	±500	
			144 ピン RFS のコーナー ピン： 1、36、37、72、73、108、109、144	±750	
589DU5、589DM5 (100 ピン PZS パッケージ)					
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 に準拠(1)	すべてのピン	±2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 準拠	すべてのピン	±500	
			100 ピン PZS のコーナー ピン： 1、25、26、50、51、75、76、100	±750	

(1) AEC Q100-002 は、ANSI/ESDA/JEDEC JS-001 仕様に従って HBM ストレス試験を実施することを示しています。

6.6 F29P32x ESD 定格 - 車載用

				値	単位
329SM2、144 ピン RFS パッケージ					
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 に準拠(1)	すべてのピン	±2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 準拠	すべてのピン	±500	
			144 ピン RFS のコーナー ピン： 1、36、37、72、73、108、109、144	±750	
329SM2、100 ピン PZS パッケージ					
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 に準拠(1)	すべてのピン	±2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 準拠	すべてのピン	±500	
			100 ピン PZS のコーナー ピン： 1、25、26、50、51、75、76、100	±750	

(1) AEC Q100-002 は、ANSI/ESDA/JEDEC JS-001 仕様に従って HBM ストレス試験を実施することを示しています。

Copyright © 2025 Texas Instruments Incorporated

6.7 推奨動作条件

		最小値	公称値	最大値	単位
デバイス電源電圧、VDDIO および VDDA	内部 BOR イネーブル(3)	$V_{BOR-VDDIO}(MAX) + V_{BOR-VDDIO-GB}$ (2)	3.3	3.63	V
	内部 BOR ディセーブル	2.8	3.3	3.63	
デバイス電源電圧、VDD		1.19	1.25	1.31	V
デバイス グランド、VSS			0		V
アナログ グランド、VSSA			0		V
SR_{SUPPLY}	VSS に対する VDDIO、VDD、VDDA の電源ランプ レート(4)				
V_{IN}	デジタル入力電圧 (6)	VSS - 0.3		VDDIO + 0.3	V
	デジタル入力電圧 (GPIO10、15、18、22、23、29) (5)	VSS - 0.3		5.5	V
	アナログ入力電圧 (6)	VSSA - 0.3		VDDA + 0.3	V
接合部温度、T_J	S バージョン(1)	-40		150	°C
自由気流での周囲温度、T_A	Q バージョン(1) (AEC Q100 認定)	-40		125	°C

(1) T_J = 105°C を超えて長時間動作すると、デバイスの寿命が短くなります。詳細については、『組込みプロセッサの有効寿命計算』を参照してください。
(2) 「*パワー マネージメント モジュール (PMM)* 」セクションを参照してください。
(3) デフォルトで、内部 BOR がイネーブルになっています。
(4) 「パワー マネージメント モジュールの動作条件」表を参照してください。
(5) 本デバイスに電力を供給しなくても、これらのピンには電圧を印加できます。
(6) VDDIO/VDDA 電圧を上回る、または VSS /VSSA 電圧を下回る VIN を印加すると、内部の電圧が上昇し、その他の電気的特性に影響を及ぼす可能性があります。

Copyright © 2025 Texas Instruments Incorporated

6.8 消費電力の概略

このセクションに記載されている電流値は、絶対最大値ではなく、与えられたテスト条件での代表値を表しています。アプリケーションでの実際のデバイス電流は、アプリケーション コードおよびピン構成によって異なります。

6.8.1 システム消費電流 VREG ディセーブル - 外部電源

自由気流での動作温度範囲内 (特に記述のない限り)。
標準値: V_{nom}、30°C

パラメータ		テスト条件	最小値	標準値	最大値	単位
動作モード						
I_{DD}	CPU1 および CPU2 がロックステップ モードでアクティブ。 CPU3 がアクティブ。 動作時の VDD 消費電流	F29H85xTxx:SYSCLK = 200MHz (1)	340	470	820	mA
I_{DD}	CPU1 および CPU2 が非ロックステップ モードでアクティブ。 CPU3 がアクティブ。 動作時の VDD 消費電流		340	470	820	mA
I_{DD}	CPU1 および CPU3 がアクティブ。 動作時の VDD 消費電流	F29H85xDxx:SYSCLK = 200MHz (1)	300	430	760	mA
I_{DD}	CPU1 および CPU2 がロックステップ モードでアクティブ。 動作時の VDD 消費電流	F29P58xDx5、F29P32xSxx: SYSCLK = 200MHz (1)	300	425	740	mA
I_{DDIO}	デバイスが動作モードのときの VDDIO 消費電流	SYSCLK = 200MHz	1	20	35	mA
I_{DDA}	デバイスが動作モードのときの VDDA 消費電流		1	10	35	mA
アイドル モード						
I_{DD}	CPU1、CPU2、CPU3 がアイドル。デバイスがアイドル モードのときの VDD 消費電流	F29H85xTxx • CPU はアイドル モード • フラッシュは電源オフ • XCLKOUT はオフ	195	230	275	mA
I_{DD}	CPU1 がアクティブ。CPU2 および CPU3 がアイドル。デバイスがアイドル モードのときの VDD 消費電流		230	270	340	mA
I_{DD}	CPU1 および CPU2 がアクティブ。 CPU3 がアイドルデバイスがアイドル モードのときの VDD 消費電流		225	310	385	mA
I_{DD}	2 個の CPU がアイドル。デバイスがアイドル モードのときの VDD 消費電流	F29P58xDxx、F29P32xSxx • CPU はアイドル モード • フラッシュは電源オフ • XCLKOUT はオフ	190	225	265	mA
I_{DD}	1 つの CPU がアイドル。デバイスがアイドル モードのときの VDD 消費電流		235	275	345	mA
I_{DDIO}	デバイスがアイドル モードのときの VDDIO 消費電流	• CPU はアイドル モード • フラッシュは電源オフ • XCLKOUT はオフ	1	20	35	mA
I_{DDA}	デバイスがアイドル モードのときの VDDA 消費電流		1	10	35	mA
スタンバイ モード						

6.8.1 システム消費電流 VREG ディセーブル - 外部電源 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)。
標準値： V_{nom}、30°C

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{DD}	スタンバイ時の CPU1、CPU2、および CPU3。デバイスがスタンバイ モードのときの VDD 消費電流	F29H85xTxx • CPU はスタンバイ モード • フラッシュは電源オフ • XCLKOUT はオフ	180	210	255	mA
I_{DD}	CPU1 がアクティブ。スタイバイ時の CPU2 および CPU3。デバイスがスタンバイ モードのときの VDD 消費電流		225	265	325	mA
I_{DD}	CPU1 および CPU2 がアクティブ。スタンバイ時の CPU3。デバイスがスタンバイ モードのときの VDD 消費電流		250	305	380	mA
I_{DD}	スタンバイ時の 2 つの CPU。デバイスがスタンバイ モードのときの VDD 消費電流	F29P58xDxx、F29P32xSxx • CPU はスタンバイ モード • フラッシュは電源オフ • XCLKOUT はオフ	175	205	250	mA
I_{DD}	スタンバイ時の 1 つの CPU。デバイスがスタンバイ モードのときの VDD 消費電流		230	265	340	mA
I_{DDIO}	デバイスがスタンバイ モードのときの VDDIO 消費電流	• CPU はスタンバイ モード • フラッシュは電源オフ • XCLKOUT はオフ	1	20	35	mA
I_{DDA}	デバイスがスタンバイ モードのときの VDDA 消費電流		1	10	35	mA
フラッシュ消去 / プログラム						
I_{DD}	消去 / プログラム サイクル中の VDD 消費電流(2)	• CPU はフラッシュから実行され、使用されていないセクタで消去とプログラムを実行します。 • SYSCLK は 200MHz で動作。 • I/O はプルアップがイネーブルされた入力。 • ペリフェラル クロックはオフ。		500		mA
I_{DDIO}	消去 / プログラム サイクル中の VDDIO 消費電流(2)			30		mA

(1) 代表的な重負荷アプリケーションの電流。 実際の電流は、システムの動作、I/O の電気的負荷、およびスイッチング周波数によって異なります。
(2) フラッシュ プログラミング中に発生したブラウンアウト イベントは、フラッシュ データを破壊し、デバイスを永続的にロックする可能性があります。 代替電源 (USB プログラマなど) を使用するプログラミング環境では、電源のブラウンアウト状態を回避するために、十分なマージンを確保して、デバイスおよび他のシステム コンポーネントに定格電流を供給できるようにする必要があります。

6.8.2 システム消費電流 VREG イネーブル

自由気流での動作温度範囲内 (特に記述のない限り)。
標準値： V_{nom}、30°C

パラメータ		テスト条件	最小値	標準値	最大値	単位
動作モード						
I_{DDIO}	ロックステップ モードの CPU1 および CPU2： SYSCLK は 100MHz の場合の動作時の VDDIO 消費電流。	F29P58xDxx、F29P32xSxx (1)	170	245	450	mA
I_{DDIO}	非ロックステップ モードの CPU1 および CPU2。 SYSCLK は 100MHz の場合の動作時の VDDIO 消費電流。		180	250	460	mA
I_{DDA}	動作時の VDDA 消費電流		1	10	35	mA
アイドル モード						

Copyright © 2025 Texas Instruments Incorporated

6.8.2 システム消費電流 VREG イネーブル (続き)

自由気流での動作温度範囲内 (特に記述のない限り)。
標準値: V_{nom}、30°C

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{DDIO}	デバイスがアイドル モードのときの VDDIO 消費電流	F29P58xDxx、F29P32xSxx • CPU はアイドル モード • フラッシュは電源オフ • XCLKOUT はオフ	65	150	195	mA
I_{DDA}	デバイスがアイドル モードのときの VDDA 消費電流		1	10	35	mA
スタンバイ モード						
I_{DDIO}	デバイスがスタンバイ モードのときの VDDIO 消費電流	F29P58xDxx、F29P32xSxx • CPU はスタンバイ モード • フラッシュは電源オフ • XCLKOUT はオフ	60	145	190	mA
I_{DDA}	デバイスがスタンバイ モードのときの VDDA 消費電流		1	10	35	mA

(1) これは、標準的な大負荷アプリケーションにおける電流の推定値です。 実際の電流は、システムの動作、I/O の電気的負荷、およびスイッチング周波数によって異なります。 SYSCLK は 100MHz で動作。

Copyright © 2025 Texas Instruments Incorporated

6.8.3 動作モード テストの説明

セクション 6.8.2 およびセクション 6.8.4.1 に、デバイスの動作モードでの消費電流値を示します。動作モードでは、アプリケーションで何が発生する可能性があるかを推定できます。これらの測定のテスト条件には、以下の特徴があります。

- コードは RAM から実行。
- フラッシュは読み取りで、アクティブ状態を保持。
- 外部コンポーネントは I/O ピンによって駆動されない。
- すべてのペリフェラルでクロックがイネーブルになっている。
- すべての CPU がコードをアクティブに実行。
- CPU1 と CPU2 は 200MHz で動作。
- すべてのアナログ ペリフェラルに電源が投入されている。ADC と DAC は定期的に変換を実行。

6.8.4 消費電流の低減

F29H85x、F29P58x および F29P32x デバイスには、デバイスの消費電流を低減する方法がいくつかあります。

- アプリケーションが動作していないときに、IDLE または STANDBY の 2 つの低消費電力モードのいずれかに移行できます。
- RAM からコードを実行する場合には、フラッシュ モジュールの電源をオフにすることができます。
- 出力機能として設定されているピンのプルアップをディセーブルにします。
- 各ペリフェラルには、個別のクロック イネーブル ビット (PCLKCRx) があります。特定のアプリケーションで使用されていないペリフェラルについて、クロックをオフにすることにより、消費電流を低減できます。「ディスエーブルされたペリフェラルごとの代表的な電流低減」の表に、PCLKCRx レジスタを使用してクロックをディスエーブルすることで実現できる、代表的な電流低減を示します。
- 低消費電力モードで最小の VDDA 消費電流を実現するには、『F29H85x および F29P58x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』の「A/D コンバータ (ADC)」の章を参照して、各モジュールの電源が確実にオフになるようにしてください。

6.8.4.1 ペリフェラル ディセーブル時の標準的な電流低減

ペリフェラル(1)	I_{DD} 電流の低減 (mA)
ADCA	1.3
ADCB	1.3
ADCC	1.3
ADCD	1.3
ADCE	1.3
CLB1	1.3
CLB2	1.3
CLB3	1.3
CLB4	1.3
CLB5	1.3
CLB6	1.3
CPMSS1	0.6
CMPSS2	0.6
CMPSS3	0.6
CMPSS4	0.6
CMPSS5	0.6
CMPSS6	0.6
CMPSS7	0.6
CMPSS8	0.6
CMPSS9	0.6
CMPSS10	0.6

Copyright © 2025 Texas Instruments Incorporated

6.8.4.1 ペリフェラル ディセーブル時の標準的な電流低減 (続き)

ペリフェラル(1)	I_{DD} 電流の低減 (mA)
CMPSS11	0.6
CMPSS12	0.6
CPUX.CPUTIMER0	0.1
CPUX.CPUTIMER1	0.1
CPUX.CPUTIMER2	0.1
CPUX.DLT	1.3
CPUX.ERAD	4.0
DACA	0.3
DACB	0.3
DCC1	0.06
DCC2	0.06
DCC3	0.06
eCAP1	0.5
eCAP2	0.5
eCAP3	0.5
eCAP4	0.5
eCAP5(2)	1.0
eCAP6(2)	1.0
EMIF	2.2
EPG	0.7
ePWM1(3)	1.0
ePWM2(3)	1.0
ePWM3(3)	1.0
ePWM4(3)	1.0
ePWM5(3)	1.0
ePWM6(3)	1.0
ePWM7(3)	1.0
ePWM8(3)	1.0
ePWM9(3)	1.0
ePWM10(3)	1.0
ePWM11(3)	1.0
ePWM12(3)	1.0
ePWM13(3)	1.0
ePWM14(3)	1.0
ePWM15(3)	1.0
ePWM16(3)	1.0
ePWM17(3)	1.0
ePWM18(3)	1.0
eQEP1	0.5
eQEP2	0.5
eQEP3	0.5
eQEP4	0.5
eQEP5	0.5
eQEP6	0.5

Copyright © 2025 Texas Instruments Incorporated

6.8.4.1 ペリフェラル ディセーブル時の標準的な電流低減 (続き)

ペリフェラル(1)	I_{DD} 電流の低減 (mA)
EtherCAT	1.3
FSI RXA	0.4
FSI RXB	0.4
FSI RXC	0.4
FSI RXD	0.4
FSI TXA	0.4
FSI TXB	0.4
FSI TXC	0.4
FSI TXD	0.4
I2CA	0.4
I2CB	0.4
LINA	0.5
LINB	0.5
MCANA	1.7
MCANB	1.7
MCANC	1.7
MCAND	1.7
MCANE	1.7
MCANF	1.7
PMBUSA	0.5
RTDMA1	7.0
RTDMA2	5.0
SDFM1	2.0
SDFM2	2.0
SDFM3	2.0
SDFM4	2.0
SENT1	1.0
SENT2	1.0
SENT3	1.0
SENT4	1.0
SENT5	1.0
SENT6	1.0
SPIA	0.4
SPIB	0.4
SPIC	0.4
SPID	0.4
SPIE	0.4
SPIF	0.4
UARTA	1.0
UARTB	1.0
UARTC	1.0
UARTD	1.0
UARTE	1.0
UARTF	1.0

Copyright © 2025 Texas Instruments Incorporated

6.8.4.1 ペリフェラル ディセーブル時の標準的な電流低減 (続き)

ペリフェラル(1)	I_{DD} 電流の低減 (mA)
WADI1	2.0
WADI2	2.0
CPU1	18.0
CPU2	17.0

(1) すべてのペリフェラルは、リセット時にディセーブルになります。各ペリフェラルは、PCLKCRx レジスタを使用して個別にイネーブルにします。複数のインスタンスを持つペリフェラルの場合、ここに記載された電流は、単一のモジュールのものです。
(2) eCAP5 および eCAP6 は、HRCAP として構成することもできます。
(3) ePWM はすべて、HRPWM として構成することもできます。

6.9 電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ			テスト条件	最小値	標準値	最大値	単位
デジタルおよびアナログ IO							
V_{OH}	High レベル出力電圧		I_{OH} = I_{OH} 最小値	VDDIO * 0.8			V
			I_{OH} = -100µA	VDDIO - 0.2			
V_{OL}	Low レベル出力電圧		I_{OL} = I_{OL} 最大値			0.4	V
			I_{OL} = 100µA			0.2	
I_{OH}	すべての出力ピンの High レベル出力ソース電流			-4			mA
I_{OL}	すべての出力ピンの Low レベル出力シンク電流					4	mA
R_{OH}	すべての出力ピンの High レベル出力インピーダンス		VOH = VDDS - 0.4V	50	66	96	Ω
R_{OL}	すべての出力ピンの Low レベル出力インピーダンス		VOL = 0.4V	48	60	84	Ω
V_{IH}	High レベル入力電圧			2.0			V
	High レベル入力電圧 - GPIO10/15/18/22/23/29	IO_MODSEL: MODSELGPIOx = 0		0.7*VDDIO			V
		IO_MODSEL: MODSELGPIOx = 1		1.35			V
V_{IL}	Low レベル入力電圧					0.8	V
	Low レベル入力電圧 - GPIO10/15/18/22/23/29	IO_MODSEL: MODSELGPIOx = 0				0.3*VDDIO	V
		IO_MODSEL: MODSELGPIOx = 1				0.8	V
$V_{HYSTERESIS}$	入力ヒステリシス (AIO)			125			mV
	入力ヒステリシス (GPIO)			125			
$I_{PULLDOWN}$	入力電流	プルダウン付きピン	VDDIO = 3.3V V_{IN} = VDDIO		120		µA
I_{PULLUP}	入力電流	プルアップがイネーブルされたデジタル入力(1)	VDDIO = 3.3V V_{IN} = 0V		160		µA
$R_{PULLDOWN}$	弱プルダウン抵抗			22	31	62	kΩ
R_{PULLUP}	弱プルアップ抵抗			19	29	54	kΩ
		GPIO10/15/18/22/23/29		20	31	65	kΩ
I_{LEAK}	ピンのリーク電流	デジタル入力	プルアップおよび出力はディセーブル 0V ≤ V_{IN} ≤ VDDIO			0.1	µA
		デジタル入力 (GPIO10/15/18/22/23/29)				20	
		アナログ ピン	アナログ ドライバはディセーブル 0V ≤ V_{IN} ≤ VDDA			0.1	
C_I	入力容量	デジタル入力			2		pF
		アナログ ピン(2)					
VREG および BOR							
VREG、POR、BOR(3)							

(1) プルアップまたはプルダウン付きピンの一覧については、「内部プルアップおよびプルダウン付きのピン」の表を参照してください。
(2) アナログ ピンは個別に規定されています。「ADC 入力モデル」セクションの「チャネルごとの寄生容量」表を参照してください。
(3) 「*パワー マネージメント モジュール (PMM)* 」セクションを参照してください。

Copyright © 2025 Texas Instruments Incorporated

6.10 5V フェイルセーフ ピンに関する特別な考慮事項

GPIO10、GPIO15、GPIO18、GPIO22、GPIO23 および GPIO29 は、このデバイスの 5V フェイルセーフ (5V FS) ピンです。これは次の 2 つのことを意味します。

- これらのピンは、電源電圧 (VDDIO) レベルに関係なく、最大 5.5V の入力電圧に対応できます。
- これらのピンは「フェイルセーフ」でもあります。つまり、デバイスに電力が供給される前に電圧を印加することもできます。

上記の特性を達成するため、これらの GPIO の入力バッファの構造は、このデバイスの他の GPIO とは異なっています。そのため、追加のリーク電流パラメータ (無給電リーケージ) が定義されているとともに、デバイスに電力が供給されているときの給電リーク電流の挙動に違いがあります。図 6-1 に、これらのピンの標準的なリーク電流プロファイルを示します。図に示されているように、ピンの電圧がデバイスの電源 (VDDIO) 電圧を超えるとリーク電流が増加します。最大リーク電流が観察されるのはこの遷移フェーズ中です。入力ピンの電圧が約 4V を超えると、電流は残りの入力電圧範囲を通して公称値に落ち着きます。

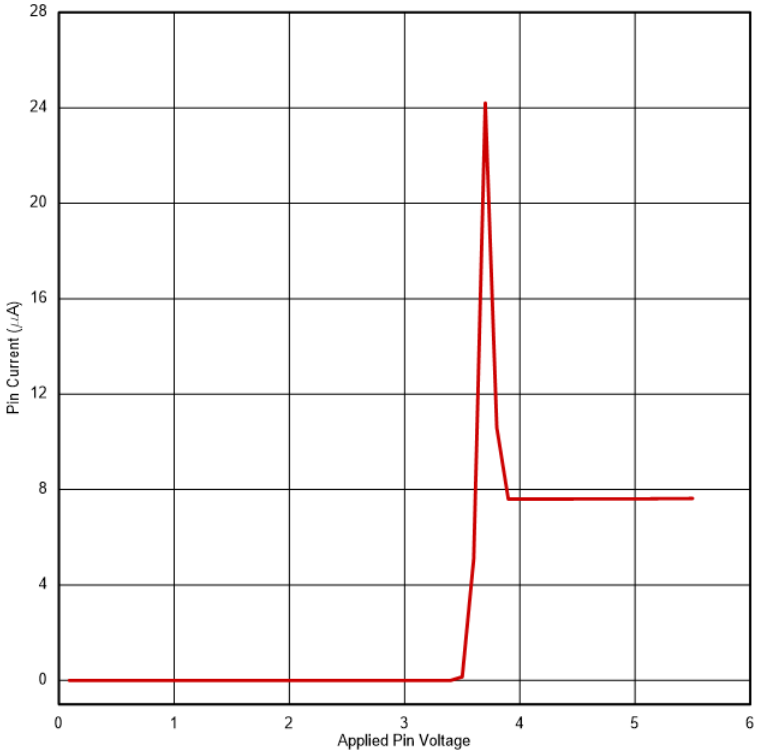


図 6-1. リーク電流と入力電圧との関係 (デバイスの電源がオン)

6.11 ZEX パッケージの熱抵抗特性

		°C/W(1)
$R\Theta_{JC}$	接合部からケースへの熱抵抗、上面	4.4
	接合部からケースへの熱抵抗、底面	該当なし
$R\Theta_{JB}$	接合部から基板への熱抵抗	5.7
$R\Theta_{JA}$ (High k PCB)	接合部から周囲空気への熱抵抗	18.6
Psi_{JT}	接合部とパッケージ上面との間	0.4
Psi_{JB}	接合部と基板との間	5.5

(1) これらの値は、JEDEC により定義された 2S2P システム (JEDEC 定義の 1S0P システムによる θ JC [$R\Theta_{JC}$] 値を除く) に基づいており、周囲環境とアプリケーションによって変化します。詳細については、以下の EIA/JEDEC 規格を参照してください。

- JESD51-2、『IC の熱テスト手法の環境条件 - 自然対流 (静止空気)』
- JESD51-3、『リード付き表面実装パッケージ用の有効熱伝導率の低いテスト基板』
- JESD51-7、『リード付き表面実装パッケージ用の有効熱伝導率の高いテスト基板』
- JESD51-9、『エリア アレイ表面実装パッケージの熱測定用テスト基板』

6.12 PTS パッケージの熱抵抗特性

		°C/W(1)
$R\Theta_{JC}$	接合部からケースへの熱抵抗、上面	4.7
	接合部からケースへの熱抵抗、底面	0.2
$R\Theta_{JB}$	接合部から基板への熱抵抗	6.6
$R\Theta_{JA}$ (High k PCB)	接合部から周囲空気への熱抵抗	17.9
Psi_{JT}	接合部とパッケージ上面との間	0.1
Psi_{JB}	接合部と基板との間	6.3

(1) これらの値は、JEDEC により定義された 2S2P システム (JEDEC 定義の 1S0P システムによる θ JC [$R\Theta_{JC}$] 値を除く) に基づいており、周囲環境とアプリケーションによって変化します。詳細については、以下の EIA/JEDEC 規格を参照してください。

- JESD51-2、『IC の熱テスト手法の環境条件 - 自然対流 (静止空気)』
- JESD51-3、『リード付き表面実装パッケージ用の有効熱伝導率の低いテスト基板』
- JESD51-7、『リード付き表面実装パッケージ用の有効熱伝導率の高いテスト基板』
- JESD51-9、『エリア アレイ表面実装パッケージの熱測定用テスト基板』

6.13 RFS パッケージの熱抵抗特性

		°C/W(1)
$R\Theta_{JC}$	接合部からケースへの熱抵抗、上面	4.8
	接合部からケースへの熱抵抗、底面	0.2
$R\Theta_{JB}$	接合部から基板への熱抵抗	5.8
$R\Theta_{JA}$ (High k PCB)	接合部から周囲空気への熱抵抗	17.9
Psi_{JT}	接合部とパッケージ上面との間	0.1
Psi_{JB}	接合部と基板との間	5.8

(1) これらの値は、JEDEC により定義された 2S2P システム (JEDEC 定義の 1S0P システムによる θ JC [$R\Theta_{JC}$] 値を除く) に基づいており、周囲環境とアプリケーションによって変化します。詳細については、以下の EIA/JEDEC 規格を参照してください。

- JESD51-2、『IC の熱テスト手法の環境条件 - 自然対流 (静止空気)』
- JESD51-3、『リード付き表面実装パッケージ用の有効熱伝導率の低いテスト基板』
- JESD51-7、『リード付き表面実装パッケージ用の有効熱伝導率の高いテスト基板』
- JESD51-9、『エリア アレイ表面実装パッケージの熱測定用テスト基板』

Copyright © 2025 Texas Instruments Incorporated

6.14 PZS パッケージの熱抵抗特性

		℃/W(1)
$R\Theta_{JC}$	接合部からケースへの熱抵抗、上面	5.0
	接合部からケースへの熱抵抗、底面	0.2
$R\Theta_{JB}$	接合部から基板への熱抵抗	5.0
$R\Theta_{JA}$ (High k PCB)	接合部から周囲空気への熱抵抗	18.0
Psi_{JT}	接合部とパッケージ上面との間	0.1
Psi_{JB}	接合部と基板との間	4.8

(1) これらの値は、JEDEC により定義された 2S2P システム (JEDEC 定義の 1S0P システムによる θ JC [$R\Theta_{JC}$] 値を除く) に基づいており、周囲環境とアプリケーションによって変化します。詳細については、以下の EIA/JEDEC 規格を参照してください。

- JESD51-2、『IC の熱テスト手法の環境条件 - 自然対流 (静止空気)』
- JESD51-3、『リード付き表面実装パッケージ用の有効熱伝導率の低いテスト基板』
- JESD51-7、『リード付き表面実装パッケージ用の有効熱伝導率の高いテスト基板』
- JESD51-9、『エリア アレイ表面実装パッケージの熱測定用テスト基板』

6.15 熱設計の検討事項

最終アプリケーションの設計と動作プロファイルに応じて、I_{DD} および I_{DDIO} の電流は変動する可能性があります。最終製品において推奨最大消費電力を超えるシステムでは、追加の熱強化が必要になる場合があります。周囲温度 (T_A) は、最終アプリケーションおよび製品の設計によって異なります。信頼性と機能に影響を与える重要な要因は、周囲温度ではなく、接合部温度 T_J です。したがって、規定された制限範囲内に T_J を維持するように注意する必要があります。動作接合部温度 T_J を推定するためには、T_{case} を測定する必要があります。通常、T_{case} は、パッケージ上面の中央で測定します。サーマル アプリケーション ノート『半導体および IC パッケージの熱評価基準』は、熱評価基準および定義の理解に役立ちます。

6.16 システム

6.16.1 パワー マネージメント モジュール (PMM)

6.16.1.1 概要

パワー・マネージメント・モジュール (PMM) は、デバイスの動作に必要なすべてのパワー・マネージメント機能を処理します。

6.16.1.2 概要

図 6-2 に、PWM のブロック図を示します。ご覧のように PMM は、さまざまなサブコンポーネントで構成されており、これについて以降のセクションで説明します。

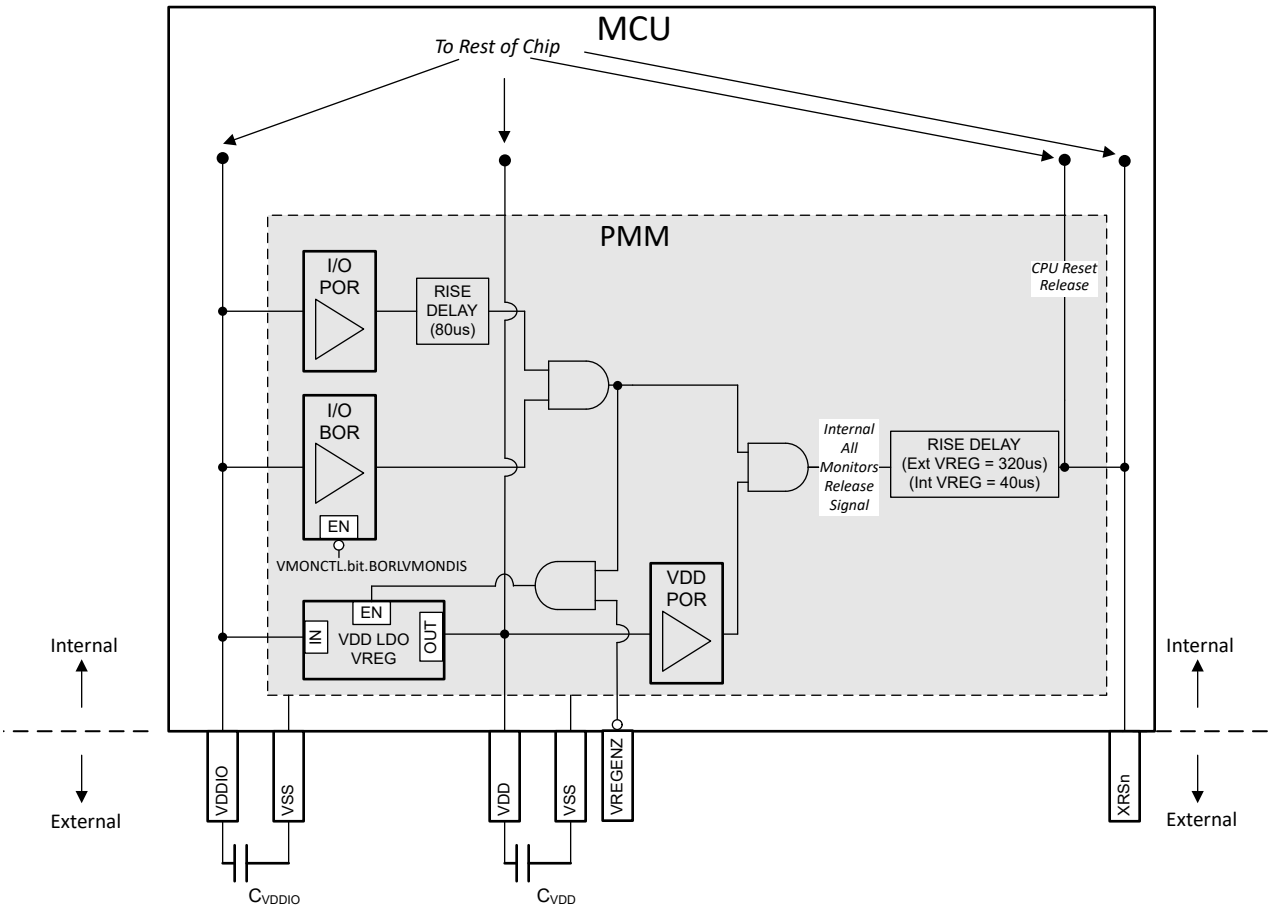


図 6-2. PMM のブロック図

6.16.1.2.1 電源レール監視

PMM には電源レールの電圧監視があり、パワーアップ時に電圧が設定したスレッショルドを超えると、XRSn 信号が解除されて HIGH になります。また、いずれかの電圧がプログラムされたレベルを下回った場合に、XRSn 信号を LOW にトリップする機能もあります。各種電圧監視については、以降のセクションで説明します。

注

ブートアップ後のアプリケーションでのデバイス動作に対して、すべての電圧監視がサポートされているわけではありません。電圧監視がサポートされていない場合、アプリケーション実行中にデバイスの電源電圧監視が必要であれば、外部監視回路を推奨します。

Copyright © 2025 Texas Instruments Incorporated

3 つの電圧監視 (I/O POR、I/O BOR、VDD POR) はすべて、デバイスが動作を開始する前にそれぞれの出力が解除される必要があります (すなわち、XRSn が HIGH になります)。ただし、いずれかの電圧監視がトリップした場合、XRSn は LOW に駆動されます。いずれかの電圧監視がトリップすると、I/O は高インピーダンスに保持されます。

6.16.1.2.1.1 I/O POR (パワーオン リセット) 監視

I/O POR 監視は、VDDIO レールを監視します。これは、電源投入時に VDDIO 上で最初に解除される監視機能です (すなわち、最初にトリップ解除されます)。

注

I/O POR がトリップするレベルは、VDDIO の最小推奨電圧よりも相当に低いので、デバイス監視には使用しないでください。

6.16.1.2.1.2 I/O BOR (ブラウンアウト リセット) 監視

I/O BOR 監視も、VDDIO レールを監視します。これは、電源投入時に VDDIO 上で 2 番目に解除される監視です (すなわち、2 番目にトリップ解除されます) 。この監視は、I/O POR と比較すると許容範囲がより狭くなっています。

推奨動作電圧を下回る電圧低下が発生すると、I/O BOR がトリップしてデバイスがリセットされますが、これは VMONCTL.bit.BORLVMONDIS を 1 に設定することでディセーブルできます。I/O BOR をディセーブルにできるのは、デバイスが完全に起動した後のみです。I/O BOR がディセーブルになっている場合、電圧降下に対しては I/O POR がデバイスをリセットします。

図 6-3 に、I/O BOR の動作領域を示します。

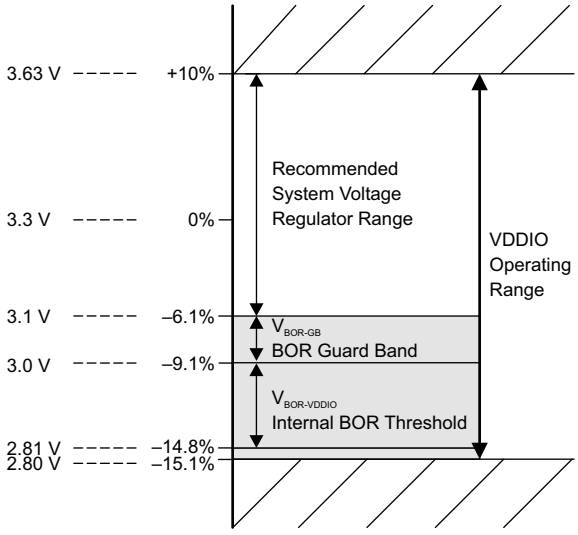


図 6-3. I/O BOR 動作領域

6.16.1.2.1.3 VDD POR (パワーオン・リセット) 監視

VDD POR 監視は、VDD レールを監視します。電源投入時に、電圧が VDD についてプログラムされたトリップ・レベルを超えると、この監視は解除されます(すなわち、トリップが解除されます)。

注

VDD POR は、VDD の最小推奨電圧よりも低いレベルにプログラムされているため、アプリケーションで VDD の最小推奨電圧が必要な場合は、VDD 監視に依存しないでください。

Copyright © 2025 Texas Instruments Incorporated

6.16.1.2.2 外部監視回路の使用

VDDIO 監視：I/O BOR 機能は、アプリケーションの要件を満たす限り、I/O レール監視に使用できます。VDDIO に過電圧監視機能はありません。

Copyright © 2025 Texas Instruments Incorporated

VDD 監視:

- 内部 VREG から供給される VDD:VDD 電源は VDDIO 電源から生成されます。VREG は、有効な VDDIO 電源 (IO BOR で監視) が有効な VDD 電源を暗黙的に示すように設計されています。
- 外部電源から供給される VDD:VDD POR はアプリケーションでの使用をサポートしていません。アプリケーションで VDD 監視が必要な場合は、外部監視回路を使用して VDD レールを監視できます。

注

内部 VREG による外部監視回路はサポートされていません。

6.16.1.2.3 遅延ブロック

電圧モニタのパス内の遅延ブロックは連携して動作し、電圧モニタと XRSn の間の解放時間を遅延させます。これにより、XRSn が解放されたときに電圧が確実に落ち着いているようにしています。遅延ブロックは、電源投入時 (VDDIO および VDD 立ち上がっている間) にのみアクティブになります。

遅延ブロックは、「パワー マネージメント モジュールの電気的データおよびタイミング」で規定されている最小スルーレートに影響を与えます。

注

ブロック図に示されている遅延時間は、標準値です。

6.16.1.2.4 内部 DD LDO 電圧レギュレータ (VREG)

内部 VREG は VDDIO レールから供給され、VDD ピンへの電力供給に必要な出力を生成できます。VREGENZ ピンを Low に接続することでイネーブルになります。内部 VREG により、VDD に外部電源を使用する必要はありませんが、VREG の安定性と過渡応答のために、VDD ピンにはデカップリング コンデンサが必要です。詳細については、「*VDD デカップリング*」セクションを参照してください。

6.16.1.2.5 VREGENZ

VREGENZ (VREG ディセーブル) ピンは、内部 VREG の状態を制御します。内部 VREG をイネーブルにするには、VREGENZ ピンをロジック Low の電圧に接続します。外部から VDD に電力を供給するアプリケーション (外部 VREG) では、VREGENZ ピンを High に接続して内部 VREG をディセーブルにします。

注

すべてのデバイス パッケージで VREGENZ がピンへ接続されているわけではありません。VREGENZ がピンに接続されていないパッケージでは、内部 VREG モードはサポートされていません。

6.16.1.3 外付け部品

6.16.1.3.1 デカップリング コンデンサ

正常に動作するためには、VDDIO および VDD にデカップリング コンデンサが必要です。その要件については、以降のセクションで概要を説明します。

6.16.1.3.1.1 VDDIO デカップリング

VDDIO には、最小限のデカップリング容量を配置します。「パワー マネージメント モジュールの電気的データおよびタイミング」の C_{VDDIO} パラメータを参照してください。使用するデカップリング容量の実際の合計値が、VDDIO を駆動する電源の要件です。以下に示す構成のどちらでも許容可能です。

- **構成 1:** C_{VDDIO} パラメータに従って、各 VDDIO ピンにデカップリング コンデンサを配置します。
- **構成 2:** [C_{VDDIO} × VDDIO ピンの数] に相当する値の単一のデカップリング コンデンサを実装します。

注

デカップリング コンデンサは、デバイスのピンの近くに配置する必要があります。

6.16.1.3.1.2 VDD デカップリング

VDD には、最小限のデカップリング容量を配置します。「パワー マネージメント モジュールの電気的データとタイミング」の C_{VDD} パラメータ合計値を参照してください。

外部 VREG モードの場合は、使用するデカップリング容量の実際の合計値が、VDD を駆動する電源の要件となります。

以下に示す構成のどちらでも許容可能です。

- **構成 1:** 合計 C_{VDD} をすべての VDD ピンに対して均等に分けます。このオプションは、内部 VREG モードで使用でき、PCB 上のすべての VDD ピンを相互に接続するのは不可能な場合があります。電源ピンの一括接続 セクションを参照してください。
- **構成 2:** 合計 C_{VDD} の値を持つ単一のデカップリング コンデンサ を実装します。この構成では、PCB 上ですべての VDD ピンを互いに接続する必要があります。

注

デカップリング コンデンサは、デバイスのピンの近くに配置する必要があります。

6.16.1.4 電源シーケンス

6.16.1.4.1 電源ピンの一括接続

すべての 3.3V レールを 1 つにまとめて接続し、単一の電源から電力を供給することを強く推奨します。その電源ピンを以下に示します。

- VDDIO
- VDDA

また、未接続のままにしないように、すべての電源ピンを接続します。

外部 VREG モードでは、VDD ピンを 1 つにまとめて接続し、単一の電源から電力を供給する必要があります。

内部 VREG モードでは、各 VDD ピンにコンデンサが接続されていれば、VDD ピンを 1 つにまとめて接続することは任意です。VDD デカップリングの構成については、「*VDD デカップリング*」セクションを参照してください。

このデバイスのアナログ モジュールは、PSRR がかなり高いため、ほとんどの場合、VDDA のノイズが電源レールの推奨動作条件を超えない限り、アナログ モジュールの性能低下は起こりません。したがって、通常は、VDDA を別に供給してもあまり利点はありません。ただし、ノイズの改善のために、VDDIO と VDDA の間に π 型フィルタを配置することは許容されます。

注

レールごとのすべての電源ピンは、内部で互いに接続されています。たとえば、すべての VDDIO ピンが内部で互いに接続され、すべての VDD ピンが内部で互いに接続されます

6.16.1.4.2 信号ピンの電源シーケンス

デバイスに電源を供給する前に、いずれかのデジタル ピンに、VDDIO より 0.3V 上回る電圧または VSS より 0.3V 下回る電圧を印加しないでください。また、いずれかのアナログ ピン (VREFHI を含む) に、VDDA より 0.3V 上回る電圧または VSSA より 0.3V 下回る電圧を印加しないでください。VDDIO と VDDA が互いに接続されていない場合であっても、このシーケンシングは、やはり必要です。

注意

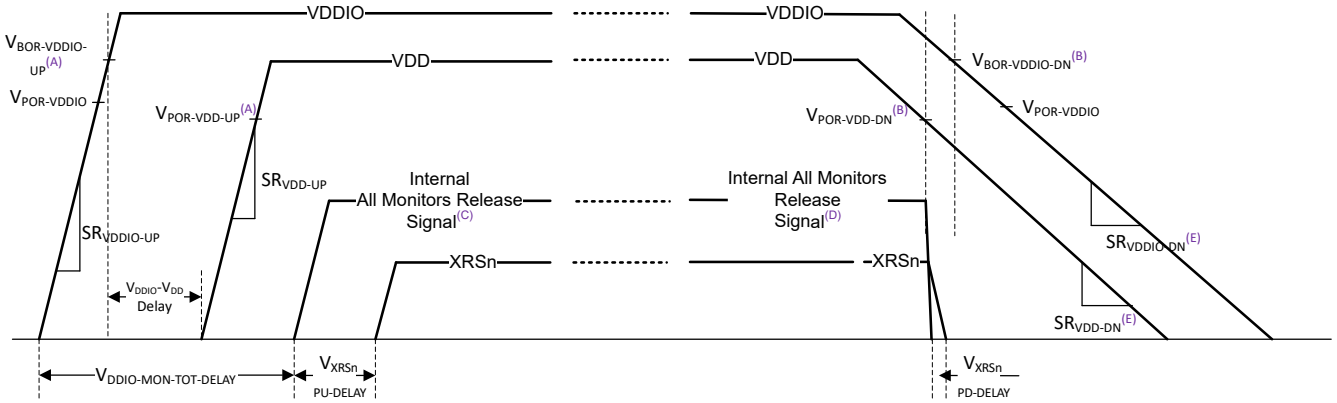
上記のシーケンスに違反した場合、デバイスが誤動作したり、デバイス内の意図しない寄生パスを電流が流れるために損傷したりする可能性があります。

Copyright © 2025 Texas Instruments Incorporated

6.16.1.4.3 電源ピンの電源シーケンス

6.16.1.4.3.1 外部 VREG/VDD モード シーケンス

図 6-4 に、外部 VREG モードの電源シーケンス要件を示します。表示されているすべてのパラメータの値については、パワー マネージメント モジュールの電気的データおよびタイミング を参照してください。



A. このトリップ ポイントは、XRSn が解除される前のトリップ ポイントです。「パワー マネージメント モジュールの特性」表を参照してください。
B. このトリップ ポイントは、XRSn が解除された後のトリップ ポイントです。「パワー マネージメント モジュールの特性」表を参照してください。
C. パワーアップ中に、すべての POR および BOR 監視が解除されると、全監視解除信号が High になります。「PMM のブロック図」を参照してください。
D. パワー ダウン中に、POR または BOR 監視のいずれかがトリップされると、全監視解除信号が LOW になります。「PMM のブロック図」を参照してください。

図 6-4. 外部 VREG パワーアップ シーケンス

- パワーアップ:
  1. VDDIO (すなわち 3.3V レール) は、規定された最小スルーレートで最初に立ち上がる必要があります。
  2. VDD (すなわち 1.25V レール) は、規定された最小スルーレートで次に立ち上がる必要があります。
  3. VDDIO レールの立ち上がりから VDD レールの立ち上がりまでの時間差も規定されています。
  4. $V_{DDIO-MON-TOT-DELAY}$ および $V_{XRSN-PD-DELAY}$ で規定された時間が経過すると、XRSn が解放され、デバイスはブートアップ シーケンスを開始します。
  5. I/O BOR 監視は、パワーアップ時とパワーダウン時でリリース ポイントが異なります。
  6. パワーアップ時には、XRSn が解放される前に VDDIO と VDD の両方のレールが立ち上がっている必要があります。
- パワーダウン:
  1. VDDIO と VDD のどちらが先にパワーダウンするという要件はありませんが、最小スルーレートの規定があります。
  2. I/O BOR 監視は、パワーアップ時とパワーダウン時でリリース ポイントが異なります。
  3. パワー ダウン中に POR または BOR 監視のいずれかがトリップすると、$V_{XRSN-PD-DELAY}$ の後、XRSn が LOW になります。

注

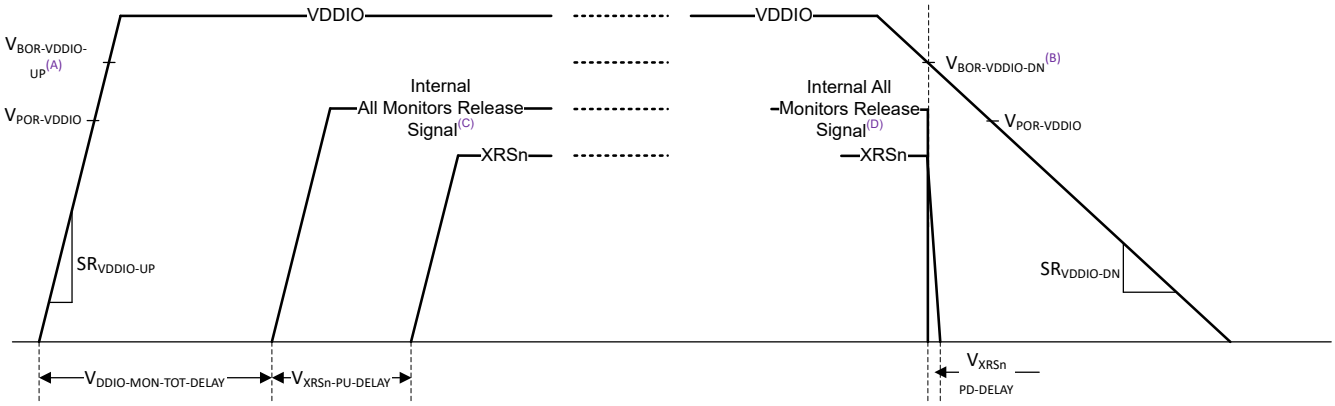
全監視解除信号は、内部信号です。

注

XRSn を駆動する外部回路 (例えば、電源監視回路) が存在する場合、すべての内部および外部ソースによって XRSn ピンが解放されるまで、ブートアップ シーケンスは開始されません。

6.16.1.4.3.2 内部 VREG/VDD モード シーケンス

図 6-5 に、内部 VREG モードの電源シーケンス要件を示します。表示されているすべてのパラメータの値は、「パワー マネージメント モジュールの電気的データおよびタイミング」に記載されています。



A. このトリップ ポイントは、XRSn が解除される前のトリップ ポイントです。「パワー マネージメント モジュールの特性」表を参照してください。
B. このトリップ ポイントは、XRSn が解除された後のトリップ ポイントです。「パワー マネージメント モジュールの特性」表を参照してください。
C. パワーアップ中に、すべての POR および BOR 監視が解除されると、全監視解除信号が High になります。「PMM のブロック図」を参照してください。
D. パワー ダウン中に、POR または BOR 監視のいずれかがトリップされると、全監視解除信号が LOW になります。「PMM のブロック図」を参照してください。

図 6-5. 内部 VREG パワーアップ シーケンス

- パワーアップ:
  1. VDDIO (すなわち 3.3V レール) は、規定された最小スルーレートで立ち上がる必要があります。
  2. I/O 監視 (I/O POR および I/O BOR) が解除されると、内部 VREG が起動します。
  3. $V_{DDIO-MON-TOT-DELAY}$ および $V_{XRSN-PU-DELAY}$ で規定された時間が経過すると、XRSn が解放され、デバイスはブートアップ シーケンスを開始します。
  4. I/O BOR 監視は、パワーアップ時とパワーダウン時でリリース ポイントが異なります。
- パワーダウン:
  1. パワーダウン時の VDDIO に対する唯一の要件は、スルーレートです。
  2. I/O BOR 監視は、パワーアップ時とパワーダウン時でリリース ポイントが異なります。
  3. I/O BOR トリップにより、$V_{XRSN-PD-DELAY}$ 後に XRSn が Low になり、内部 VREG がパワーダウンされます。

注

全監視解除信号は、内部信号です。

注

XRSn を駆動する外部回路 (例えば、電源監視回路) が存在する場合、すべての内部および外部ソースによって XRSn ピンが解放されるまで、ブートアップ シーケンスは開始されません。

6.16.1.4.3.3 電源シーケンスの概要と違反の影響

レールで許容されるパワーアップ シーケンスを以下にまとめます。ここで「パワーアップ」とは、対象のレールが推奨される最小動作電圧に達したことを意味します。

Copyright © 2025 Texas Instruments Incorporated

注意

許容されないシーケンスは、信頼性に関する問題を引き起こし、場合によっては損傷が発生する可能性があります。

単純化のため、すべての 3.3V レールを互いに接続して、「電源ピンの電源シーケンス」の説明に従うことを推奨します。

表 6-1. 外部 VREG シーケンスの概要

事例	レールのパワーアップ順序			許容可否
	VDDIO	VDDA	VDD	
A	1	2	3	あり
B	1	3	2	あり
C	2	1	3	なし
D	2	3	1	なし
E	3	2	1	なし
F	3	1	2	なし
G	1	1	2	あり
H	2	2	1	なし

表 6-2. 内部 VREG シーケンスの概要

事例	レールのパワーアップ順序		許容可否
	VDDIO	VDDA	
A	1	2	あり
B	2	1	なし
C	1	1	あり

注

デバイスのアナログ モジュールは、VDDA が推奨される最小動作電圧に達した後でのみ電力供給できます。

6.16.1.4.3.4 電源スルーレート

VDDIO には最小スルーレート要件があります。最小スルーレートが満たされていない場合、XRSn は、VDDIO が I/O BOR 領域を超えるまで数回トグルすることがあります。

注

XRSn が安定して High になった状態でのみブートが開始されるので、XRSn のトグルはデバイスに悪影響を及ぼしません。ただし、デバイスの XRSn を使用して他の IC のリセット信号をゲートする場合は、このトグルを防止するためにスルーレート要件を満たす必要があります。

外部 VREG モードの場合、VDD には最小スルーレート要件があります。最小スルーレートが満たされていない場合、VDD が最小動作電圧に達する前に VDD POR が解放され、デバイスが適切なリセット状態で起動しない可能性があります。

6.16.1.5 パワー マネージメント モジュールの電気的データおよびタイミング

6.16.1.5.1 パワー マネージメント モジュールの動作条件

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
総則						
C_{VDDIO} (1) (2)	ピンごとの VDDIO 容量		0.1			µF
C_{VDDA} (1) (2)	ピンごとの VDDA 容量		2.2			µF
SR_{VDD33} (3)	3.3V レールの電源ランプ レート (VDDIO、VDDA)。 内蔵 / 外部 VREG	増加	3		100	mV/µs
		減少			100	mV/µs
$V_{BOR-VDDIO-GB}$ (5)	VDDIO ブラウンアウト リセット電圧ガードバンド			0.1		V
外部 VREG						
$C_{VDD\ TOTAL}$ (1) (4)	合計 VDD 容量		10	22		µF
SR_{VDD12} (3)	VDD レールの電源ランプ速度	増加	2		100	mV/µs
		減少			100	mV/µs
V_{DD33} - V_{DD12} 遅延(6)	VDD33 と VDD12 の間の上昇下降遅延		0			us
内蔵 VREG						
$C_{VDD\ TOTAL}$ (4)	合計 VDD 容量		10	22		µF
$I_{VREG-LOAD}$	電圧レギュレータの負荷電流				500	mA

(1) デカップリング容量の正確な値は、これらのピンに電力を供給するシステム電圧レギュレーション ソリューションによって決まります。
(2) 3.3V レール (VDDIO、VDDA) は互いに接続し、単一の電源から供給することを推奨します。
(3) 電源上昇下降速度が最大値よりも速いと、オンチップ ESD 保護がトリガされる可能性があります。
(4) デカップリング容量全体の可能な構成については、「パワー マネージメント モジュール (PMM)」のセクションを参照してください。
(5) 3.3V VDDIO システム レギュレータにおいて、通常の電源ノイズまたは負荷過渡イベントによって BOR-VDDIO リセットが発生することを回避するため、テキサス・インスツルメンツは $V_{BOR-VDDIO-GB}$ を推奨します。通常のデバイス動作時に BOR-VDDIO がアクティブになることを防止するためには、優れたシステム レギュレータ設計および (システム レギュレータの仕様に従った) デカップリング容量が重要です。$V_{BOR-VDDIO-GB}$ の値は、システム レベルの設計上の考慮事項であり、ここには、多くのアプリケーションについて一般的な電圧を示しています。
(6) 3.3V レールが上昇してから、1.25V レールが上昇するまでの遅延。許容される電源上昇下降シーケンスについては、電源シーケンスの表を参照してください。

6.16.1.5.2 パワー マネージメント モジュールの特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{VREG}	内部電圧レギュレータ出力			1.23		V
$V_{VREG-INRUSH}$ (5)	内部電圧レギュレータの突入電流			1150		mA
$V_{POR-VDDIO}$	VDDIO パワーオン リセット電圧	XRSn 解除前および解除後		2.45		V
$V_{BOR-VDDIO-UP}$ (1)	上昇時の VDDIO ブラウンアウト リセット電圧	XRSn 解除前			3.0	V
$V_{BOR-VDDIO-DOWN}$ (1)	下降時の VDDIO ブラウンアウト リセット電圧	XRSn 解除後	2.81		3.0	V
$V_{POR-VDD-UP}$ (2)	上昇時の VDD パワー オン リセット電圧	XRSn 解除前		1.02		V
$V_{POR-VDD-DOWN}$ (2)	下降時の VDD パワー オン リセット電圧	XRSn 解除後		1.02		V
$V_{XRSn-PU-DELAY}$ (3)	パワーアップ時の電源上昇から XRSn 解除までの遅延	内蔵 VREG		320		us

Copyright © 2025 Texas Instruments Incorporated

6.16.1.5.2 パワー マネージメント モジュールの特性 (続き)

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{XRSn-PD-DELAY}$ (4)	パワーダウン時の電源下降から XRSn トリップまでの遅延	外部 VREG		320		us
$V_{XRSn-PD-DELAY}$ (4)	パワーダウン時の電源下降から XRSn トリップまでの遅延			2		ns
$V_{DDIO-MON-TOT-DELAY}$	VDDIO 監視のパスにおける合計遅延 (POR、BOR)			80		us
$V_{XRSn-MON--RELEASE-DELAY}$	VDD POR イベントから XRSn 解除までの遅延	内部 VREG、電源は動作範囲内		360		us
	VDDIO BOR から XRSn 解除までの遅延			360		us
	VDDIO POR イベントから XRSn 解除までの遅延			440		us
	VDD POR イベントから XRSn 解除までの遅延	外部 VREG、電源は動作範囲内		360		us
	VDDIO BOR から XRSn 解除までの遅延			360		us
	VDDIO POR イベントから XRSn 解除までの遅延			440		us

(1) 「電源電圧」の図を参照してください。
(2) $V_{POR-VDD}$ はサポートされておらず、推奨動作条件を下回るレベルでトリップするように設定されています。VDD の監視が必要な場合は、外部監視回路が必要です。
(3) 電源は、それぞれのレールの推奨最小動作条件を超えた後、完全に上昇したと見なされます。この遅延が有効になる前に、すべての POR および BOR 監視が解除される必要があります。
(4) パワーダウン時に POR または BOR 監視がトリップすると、XRSn が直ちにトリップされます。この遅延時間は、POR、BOR 監視のどちらかのトリップから XRSn が Low になるまでの時間です。これは変動する可能性があり、電源の下降速度に依存します。
(5) これは、内部 VREG がオンになったときに VDDIO レールに流れる過渡電流です。これにより、VREG がオンになると VDDIO レールに電圧降下が発生する可能性があり、その結果、VREG がステップ状に上昇する可能性があります。これによるデバイスへの悪影響はありませんが、必要があれば、VDDIO に十分なデカップリング コンデンサを使用するか、この過渡電流を供給できる LDO/DC-DC を選択することで効果を低減できます。

Copyright © 2025 Texas Instruments Incorporated

6.16.2 リセット タイミング

XRSn は、デバイスのリセット ピンです。入力およびオープン ドレイン出力として機能します。このデバイスでは、パワーオン リセット (POR) およびブラウンアウト リセット (BOR) の監視回路を内蔵しています。電源投入時は、この監視回路が XRSn ピンを Low に駆動します。詳細については、「パワー マネージメント モジュール (PMM)」セクションを参照してください。ウォッチドッグ リセットまたは NMI ウォッチドッグ リセットも、ピンを LOW に駆動します。外部のオープン ドレイン回路によりピンを駆動して、デバイス リセットをアサートすることもできます。

XRSn と VDDIO の間に 2.2kΩ～10kΩ の抵抗を配置する必要があります。ノイズ フィルタリングのため、XRSn と VSS の間にコンデンサを配置します。容量は 100nF 以下にする必要があります。これらの値は、ウォッチドッグ リセットがアサートされたときに、ウォッチドッグが 512 OSCCLK サイクル以内に XRSn ピンを V_{OL} に正しく駆動できるように決められています。図 6-6 に、リセットの推奨回路を示します。

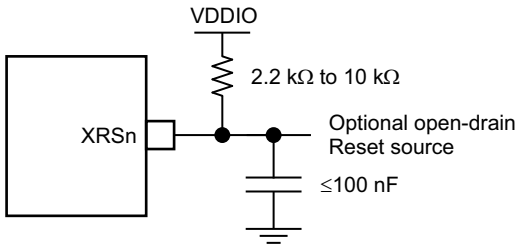


図 6-6. リセット回路

Copyright © 2025 Texas Instruments Incorporated

6.16.2.1 リセット ソース

「リセット信号」表に、各種のリセット信号と、デバイスへの影響をまとめます。

表 6-3. リセット信号

リセット ソース	LPOST	HSM のリセット	CPU1 サブシステムのリセット	CPU2 サブシステムのリセット	CPU3 サブシステムのリセット	JTAG/DEBUG ロジックのリセット	IO	XRSn 出力
PORESETn_RAW	あり	あり	あり	あり	あり	あり	ハイ インピーダンス	あり
PORESETn	-	あり	あり	あり	あり	あり	ハイ インピーダンス	あり
XRSn ピン	-	あり	あり	あり	あり	-	ハイ インピーダンス	-
CPU1.SIMRESET.XRSn	-	あり	あり	あり	あり	-	ハイ インピーダンス	あり
CPU1.WDRSn	-	あり	あり	あり	あり	-	ハイ インピーダンス	あり
ESM CPU1.NMIWDRSn(1)	-	あり	あり	あり	あり	-	ハイ インピーダンス	あり
CPU1.SYSRSn (デバッガ リセット)	-	-	あり	あり	あり	-	ハイ インピーダンス	-
CPU2.WDRSn	-	-	-	あり	-	-	-	-
ESM CPU2.NMIWDRSn(1)	-	あり	あり	あり	あり	-	ハイ インピーダンス	あり
CPU2.SYSRSn (デバッガ リセット)	-	-	-	あり	-	-	-	-
CPU3.WDRSn	-	-	-	-	あり	-	-	-
ESM CPU3.NMIWDRSn(1)	-	あり	あり	あり	あり	-	ハイ インピーダンス	あり
CPU3.SYSRSn (デバッガ リセット)	-	-	-	-	あり	-	-	-
ECAT_RESET_OUT	-	あり	あり	あり	あり	-	ハイ インピーダンス	あり

(1) ESM CPU インスタンスが ESMXRSNCTL レジスタで XRSn をトリガするようにプログラムされている場合のみ適用されます。詳細については、*『F29H85x および F29P58x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』*の「エラー信号モジュール (ESM_C29)」の章を参照してください。

パラメータ $t_{h(boot-mode)}$ は、これらのソースから開始されたいずれのリセットにも対応する必要があります。

*『F29H85x/F29P58x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』*の「システム制御」の章にある「*リセット*」セクションを参照してください。

注意

一部のリセット ソースはデバイスによって内部で駆動されます。これらのソースの一部は XRSn を LOW に駆動します。これを使って、ブート ピンを駆動する他のデバイスをディセーブルにします。SCCRESET およびデバッガのリセット ソースは、XRSn を駆動しません。したがって、ブート モードに使用されるピンが、システム内の他のデバイスによってアクティブに駆動されないようにする必要があります。ブート構成には、SECCFG によってブート ピンを変更する機能があります。

Copyright © 2025 Texas Instruments Incorporated

6.16.2.2 リセットの電気的データおよびタイミング

6.16.2.2.1 リセット XRSn のタイミング要件

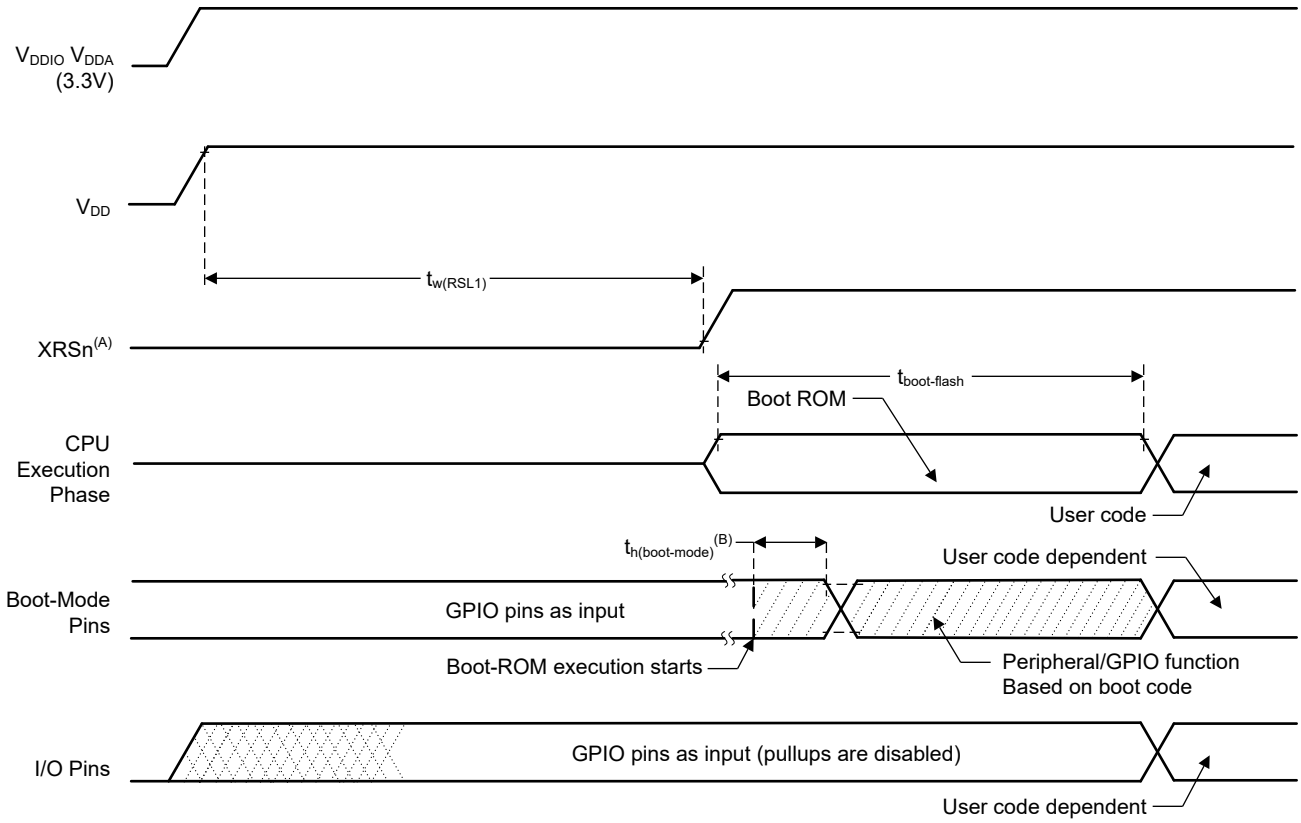
		最小値	最大値	単位
$t_{h(boot-mode)}$	ブート モード ピンのホールド時間	1.5		ms
$t_{w(RSL2)}$	パルス幅。ウォーム リセット時に XRSn が LOW	3.2		µs

6.16.2.2.2 リセット XRSn のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	標準値	最大値	単位
$t_{w(RSL1)}$	パルス幅。電源が安定した後、デバイスが XRSn を Low に駆動している期間		100		µs
$t_{w(WDRS)}$	パルス幅、ウォッチドッグによって生成されるリセット パルス		$512t_{c(OSCCLK)}$		サイクル
$t_{boot-flash}$	フラッシュ内での最初の命令フェッチまでのブート ROM 実行時間			80	ms

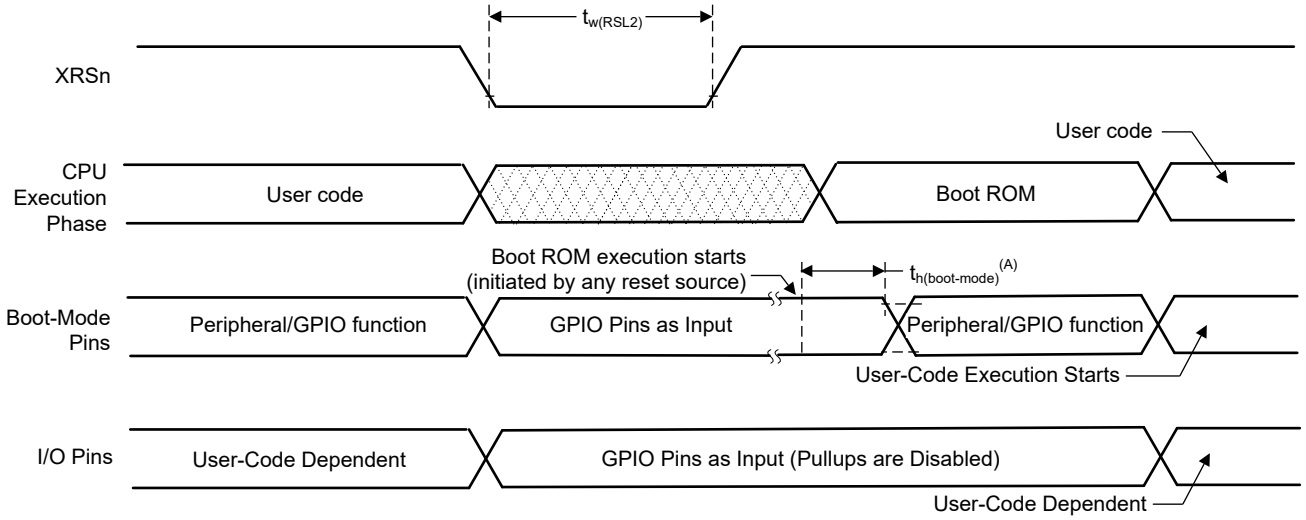
6.16.2.2.3 リセットのタイミング図



A. XRSn ピンは、外部のスーパーバイザまたはプルアップ抵抗によって駆動することができます。「ピン属性」の表を参照してください。オンチップのモニターは、電源が有効範囲になるまでこのピンを Low に保持します。

B. いずれかのソースからリセットした後 (「リセット要因」セクションを参照)、ブート ROM コードは、ブート モード ピンをサンプリングします。ブート モード ピンの状態に基づいて、ブート コードは、飛び先のメモリまたはブート コード関数に分岐します。(デバッガ環境で) パワーオン状態の後にブート ROM コードが実行される場合、ブート コードの実行時間は現在の SYSCLK 速度に基づきます。SYSCLK はユーザー環境によって決まっており、PLL 有効の場合と無効の場合があります。

図 6-7. パワーオン リセット



A. いずれかのソースからリセットした後 (「リセット要因」セクションを参照)、ブート ROM コードは、ブート モード ピンをサンプリングします。ブート モード ピンの状態に基づいて、ブート コードは、飛び先のメモリまたはブート コード関数に分岐します。(デバッガ環境で) パワーオン状態の後にブート ROM コードが実行される場合、ブート コードの実行時間は現在の SYSCLK 速度に基づきます。SYSCLK はユーザー環境によって決まっており、PLL 有効の場合と無効の場合があります。

図 6-8. ウォーム リセット

Copyright © 2025 Texas Instruments Incorporated

6.16.3 クロック仕様

6.16.3.1 クロック・ソース

表 6-4. 使用可能な基準クロック ソース

クロック ソース	クロック対象モジュール	備考
INTOSC1	以下のものに対するクロック供給に使用できます。 • ウォッチドッグ ブロック • メイン PLL • CPU タイマ 2	内部発振器 1。 ゼロピン オーバーヘッド 10MHz 内部発振器。
INTOSC2(1)	以下のものに対するクロック供給に使用できます。 • メイン PLL • CPU タイマ 2	内部発振器 2。 ゼロピン オーバーヘッド 10MHz 内部発振器。
XTAL	以下のものに対するクロック供給に使用できます。 • メイン PLL • CPU タイマ 2	X1 ピンと X2 ピンの間に接続された外付け水晶振動子もしくは発振子、または X1 ピンに接続されたシングルエンド クロック。
AUXCLKIN	以下のものに対するクロック供給に使用できます。 • MCAN ビット クロック	シングルエンド 3.3V レベル クロック ソース。入力クロックの供給には、GPIO133/AUXCLKIN ピンを使用する必要があります。

(1) リセット時、内部発振器 2 (INTOSC2) は、システム PLL (OSCCLK) のデフォルト クロック ソースになっています。

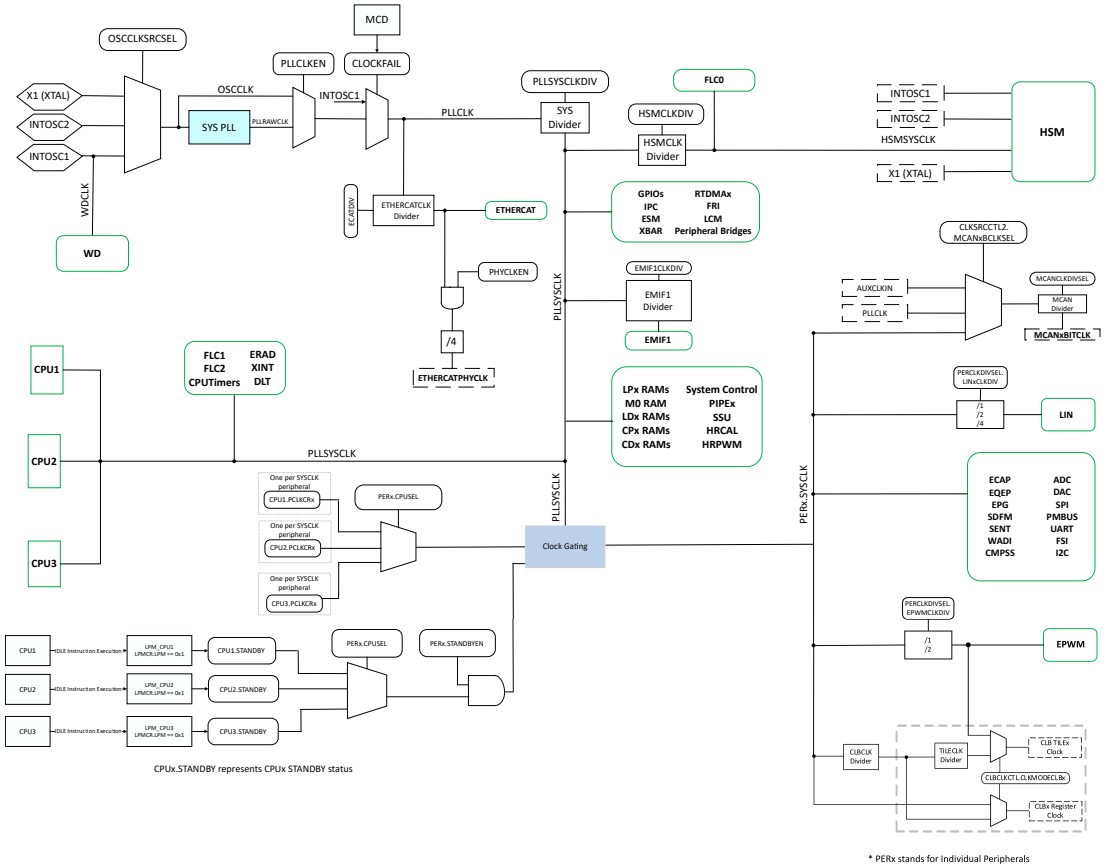


図 6-9. クロック供給システム

Copyright © 2025 Texas Instruments Incorporated

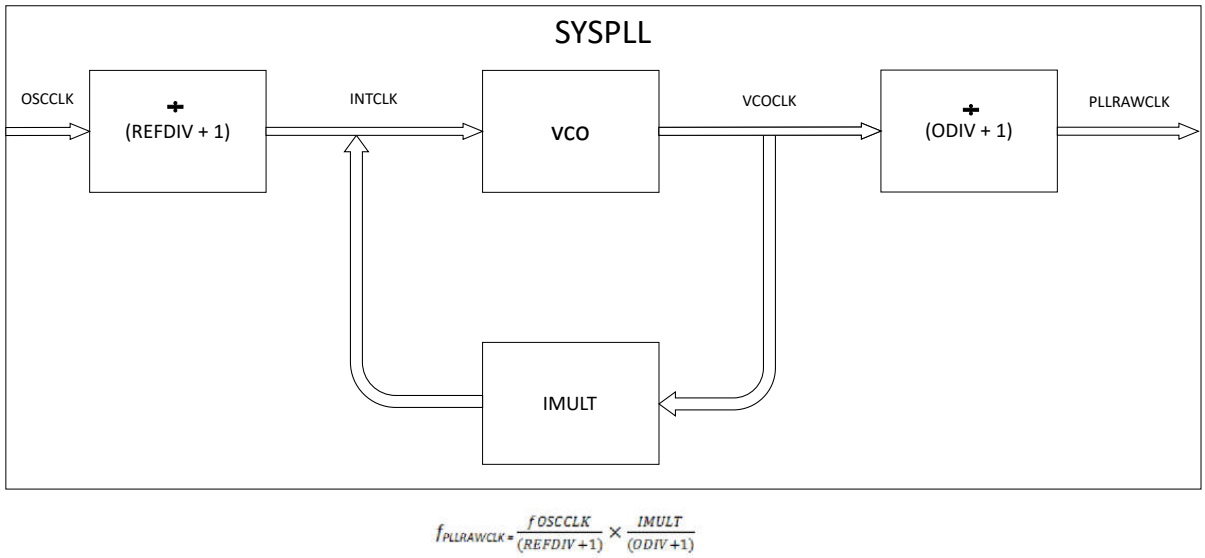


図 6-10. SYSPLL

6.16.3.2 クロック周波数、要件、および特性

このセクションでは、入力クロックの周波数およびタイミング要件、PLL ロック時間、内部クロックの周波数、出力クロックの周波数およびスイッチング特性について説明します。

6.16.3.2.1 入力クロック周波数およびタイミング要件、PLL ロック時間

6.16.3.2.1.1 入力クロック周波数

		最小値	最大値	単位
$f_{(XTAL)}$	外付け水晶振動子または発振子からの周波数、X1/X2	10	20	MHz
$f_{(X1)}$	外部発振器からの周波数、X1	10	25	MHz

6.16.3.2.1.2 XTAL 発振器の特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	標準値	最大値	単位
X1 V_{IL}	有効 Low レベル入力電圧	-0.3		0.3 * VDDIO	V
X1 V_{IH}	有効 High レベル入力電圧	0.7 * VDDIO		VDDIO + 0.3	V

6.16.3.2.1.3 外部の水晶振動子ではないクロック ソース使用時の X1 入力レベルの特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	最大値	単位
X1 V_{IL}	有効 Low レベル入力電圧	-0.3	0.3 * VDDIO	V
X1 V_{IH}	有効 High レベル入力電圧	0.7 * VDDIO	VDDIO + 0.3	V

6.16.3.2.1.4 X1 のタイミング要件

		最小値	最大値	単位
$t_{f(X1)}$	立ち下がり時間、X1		6	ns
$t_{r(X1)}$	立ち上がり時間、X1		6	ns

Copyright © 2025 Texas Instruments Incorporated

		最小値	最大値	単位
$t_{w(X1L)}$	パルス幅、$t_{c(X1)}$ のうち X1 が Low の割合	45%	55%	
$t_{w(X1H)}$	パルス幅、$t_{c(X1)}$ のうち X1 が High の割合	45%	55%	

6.16.3.2.1.5 AUXCLKIN のタイミング要件

		最小値	最大値	単位
$t_{f(AUXI)}$	立ち下がり時間、AUXCLKIN		6	ns
$t_{r(AUXI)}$	立ち上がり時間、AUXCLKIN		6	ns
$t_{w(AUXL)}$	パルス幅、$t_{c(XCI)}$ のうち AUXCLKIN が Low の割合	45%	55%	
$t_{w(AUXH)}$	パルス幅、$t_{c(XCI)}$ のうち AUXCLKIN が High の割合	45%	55%	

6.16.3.2.1.6 APLL の特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	最小値　標準値	最大値	単位
クロック出力精度		0.2	%
PLL ロック時間			
SYS/AUX PLL ロック時間(1)		5µs + (1024 * (REFDIV + 1) * $t_{c(OSCCLK)}$)	us

(1) ここでの PLL ロック時間は、PLL がイネーブルになった後に PLL がロックするまでの、標準所要時間を定義しています (SYSPLLCTL1[PLLENA] = 1)。デュアル クロック コンパレータ (DCC) を使用した PLL クロックの確認に要する追加の時間は、ここでは考慮されていません。PLL の初期化には、C2000Ware の最新のサンプル ソフトウェアを使用することを推奨します。システム PLL については、InitSysPll() または SysCtl_setClock() を参照してください。

6.16.3.2.1.7 XCLKOUT のスイッチング特性 (PLL バイパスまたはイネーブル)

推奨動作条件範囲内 (特に記述のない限り)

パラメータ (1)		最小値	最大値	単位
$t_{f(XCO)}$	立ち下がり時間、XCLKOUT		5	ns
$t_{r(XCO)}$	立ち上がり時間、XCLKOUT		5	ns
$t_{w(XCOL)}$	パルス幅、XCLKOUT Low	H - 2(2)	H + 2(2)	ns
$t_{w(XCOH)}$	パルス幅、XCLKOUT High	H - 2(2)	H + 2(2)	ns
$f_{(XCO)}$	周波数、XCLKOUT		50	MHz

(1) これらのパラメータでは、40pF の負荷を想定しています。
(2) $H = 0.5t_{c(XCO)}$

6.16.3.2.1.8 内部クロック周波数

		最小値	標準値	最大値	単位
$f_{(SYSCLK)}$	周波数、デバイス (システム) クロック	2		200	MHz
$t_{c(SYSCLK)}$	周期、デバイス (システム) クロック	5		500	ns
$f_{(INTCLK)}$	周波数、システム PLL が VCO に移行 (REFDIV 後)(1)	10		25	MHz
$f_{(VCOCLK)}$	周波数、システム PLL は VCO (ODIV 前)	220		600	MHz
$f_{(PLLRAWCLK)}$	周波数、システム PLL 出力 (SYSCLK 分周器より前)	6		400	MHz
$f_{(PLL)}$	周波数、PLLSYSCLK	2		200	MHz
$f_{(PLL_LIMP)}$	周波数、PLL のリンプ周波数(2)		45/(ODIV + 1)		MHz
$f_{(OSCCLK)}$	周波数、OSCCLK (INTOSC1 または INTOSC2 または XTAL または X1)		それぞれのクロックを参照		MHz
$f_{(AUXOSCCLK)}$	周波数、補助 OSCCLK (INTOSC1 または INTOSC2 または XTAL または X1)		それぞれのクロックを参照		MHz
$f_{(EPWM)}$	周波数、EPWMCLK			200	MHz

Copyright © 2025 Texas Instruments Incorporated

		最小値	標準値	最大値	単位
$f_{(HRPWM)}$	周波数、HRPWMCLK	60		200	MHz

(1) ±3% の分解能を持つ INTOSC1 および INTOSC2 は、PLL へのリファレンス クロックとして使用できます。
(2) OSCCLK が停止状態のときの PLL 出力周波数 (OSCCLK が失われると PLL がリンプになります)

6.16.3.3 入力クロック

内蔵の 0 ピン発振器に加えて、複数の外部クロック ソース オプションも利用できます。図 6-11 に、水晶振動子、発振子、発振器をピン X1/X2 (XTAL とも呼ばれます) および AUXCLKIN に接続するための推奨方法を示します。

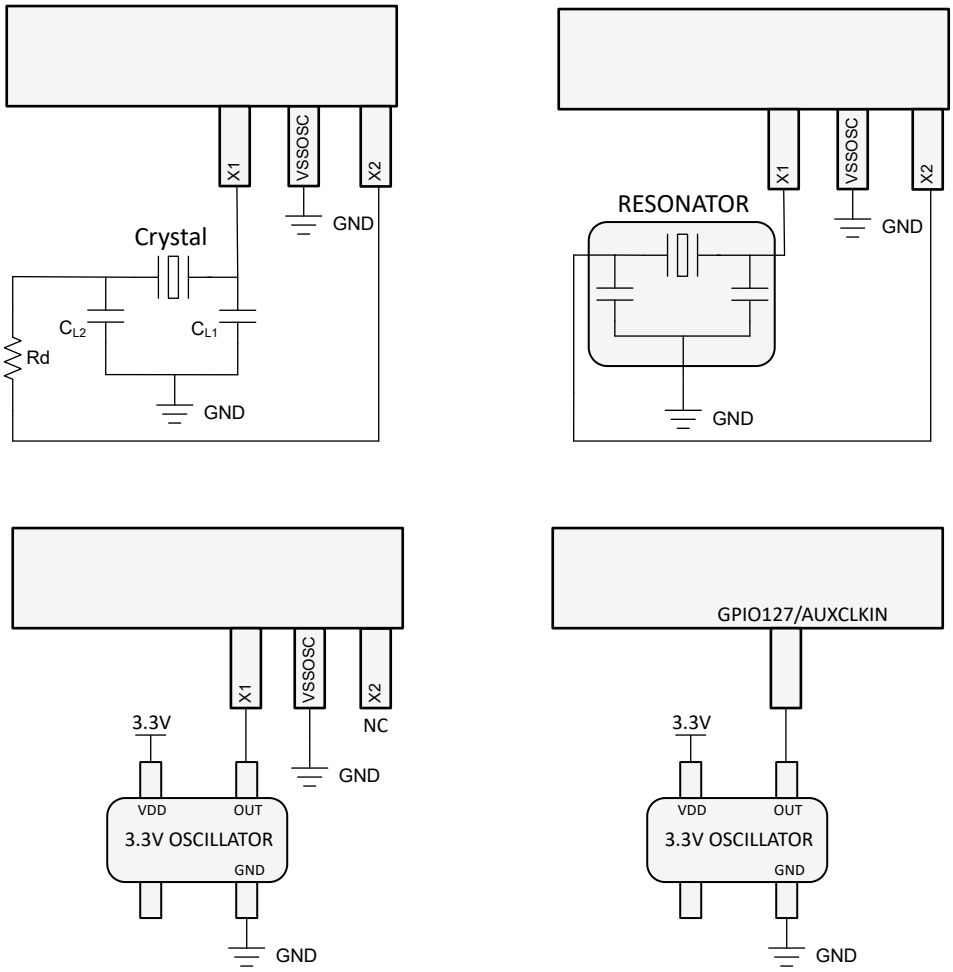


図 6-11. 入力クロックの F29H85x、F29P58x および F29P32x デバイスへの接続

6.16.3.4 XTAL 発振器

6.16.3.4.1 はじめに

このデバイスの水晶発振器は、内蔵の電気発振回路であり、適合する水晶振動子 (またはセラミック共振器) と組み合わせると、デバイスが必要とするシステム・クロックを生成できます。

6.16.3.4.2 概要

以下のセクションでは、電気発振回路と水晶振動子の部品について説明します。

6.16.3.4.2.1 電気発振回路

このデバイスの電気発振回路は、ピアス発振器です。これは正帰還インバータ回路であり、発振するためにはチューニング回路が必要です。この発振器に適合する水晶振動子と組み合わせると、タンク回路が形成されます。このタンク回路は、水晶振動子の基本周波数で発振します。このデバイスでは、発振器は、並列容量 (C0) および必要な負荷容量 (CL) によって、並列共振モードで動作するように設計されています。図 6-12 に、電気発振回路とタンク回路の部品を示します。

Copyright © 2025 Texas Instruments Incorporated

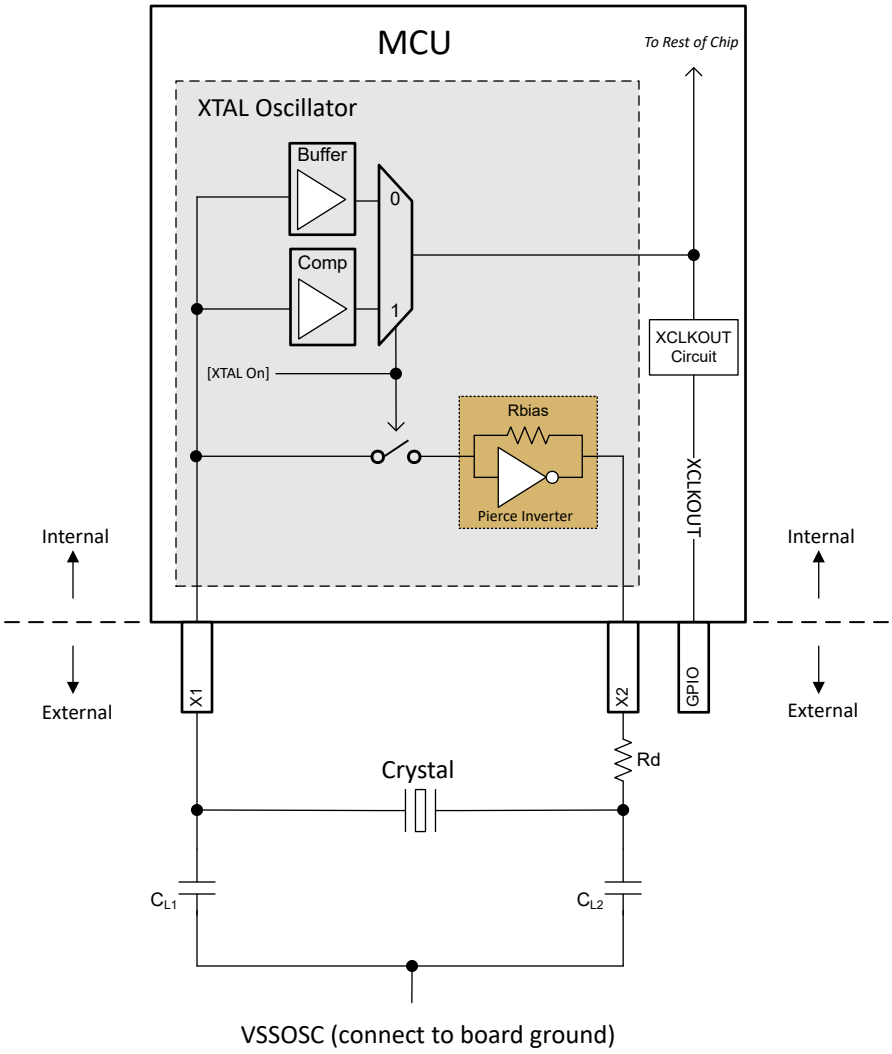


図 6-12. 電気発振回路のブロック図

6.16.3.4.2.1.1 動作モード

このデバイスの電気発振回路には、水晶振動子モードとシングルエンド・モードの 2 つの動作モードがあります。

6.16.3.4.2.1.1.1 水晶動作モード

水晶動作モードでは、負荷コンデンサ付きの水晶振動子を X1 および X2 に接続する必要があります。

この動作モードは、[XTAL On] = 1 のとき、すなわち XTALCR.OSCOFF = 0 および XTALCR.SE = 0 に設定することにより有効になります。帰還ループには内部バイアス抵抗があるため、外部バイアス抵抗は使用しないでください。外付けバイアス抵抗を追加すると、内部 Rbias と並列の抵抗ができて、バイアス動作点が移動し、クリップされた波形、仕様外のデューティ・サイクル、および実効負抵抗の減少につながる可能性があります。

この動作モードでは、結果として X1 に得られたクロックが、コンパレータ (Comp) を経由してチップの他の部分に渡されます。X1 のクロックは、コンパレータの VIH と VIL を満たす必要があります。コンパレータの VIH および VIL の要件については、「XTAL 発振器の特性」表を参照してください。

6.16.3.4.2.1.1.2 シングルエンド動作モード

シングルエンド動作モードでは、クロック信号は X1 に接続され、X2 は未接続のままです。このモードでは水晶振動子を使用しないでください。

Copyright © 2025 Texas Instruments Incorporated

このモードは、[XTAL On] = 0 のときにイネーブルになります。これは、XTALCR.OSCOFF = 1 および XTALCR.SE = 1 を設定することで実現できます。

この動作モードでは、X1 のクロックがバッファを経由してチップの他の部分に渡されます。バッファの入力要件については、「外部クロック・ソース (水晶振動子ではない) 使用時の X1 入力レベルの特性」表を参照してください。

6.16.3.4.2.1.2 XCLKOUT での XTAL 出力

チップの他の部分に供給される電気発振回路の出力は、CLKSRCCTL3.XCLKOUTSEL および XCLKOUTDIVSEL.XCLKOUTDIV レジスタを構成することにより、XCLKOUT で観察できます。XCLKOUT が出力される GPIO のリストについては、「GPIO 多重化ピン」表を参照してください。

6.16.3.4.2.2 水晶振動子

電気的には、水晶振動子は LCR (インダクタ-コンデンサ-抵抗) 回路で表現できます。ただし、LCR 回路と違って、直列抵抗が低いため、水晶振動子の Q 値は非常に高く、また、非常に減衰が小さくなっています。水晶振動子の要素を 図 6-13 に示し、以下で説明します。

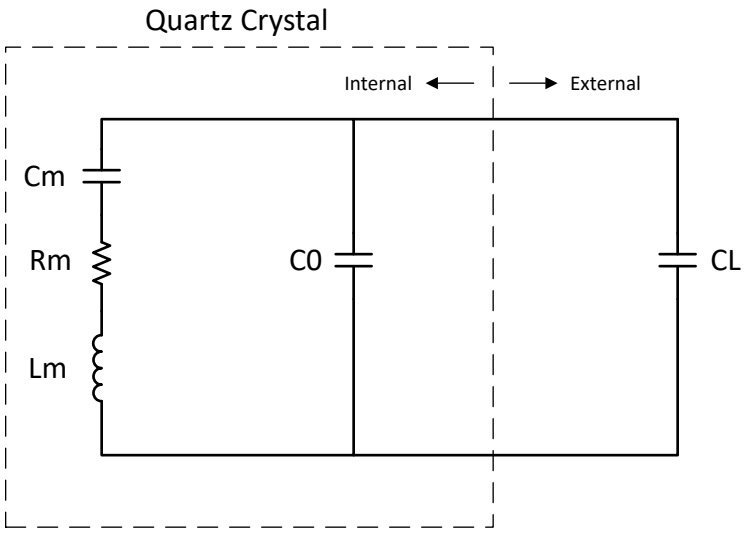


図 6-13. 水晶振動子の電気的表現

Cm (直列容量): 水晶の弾性を表します。

R m (直列抵抗): 水晶振動子内の抵抗性損失を表します。これは水晶の ESR ではありませんが、他の水晶振動子の要素の値によっては、近似できます。

Lm (直列インダクタンス): 水晶振動子の振動質量を表します。

C0 (並列容量): 水晶振動子の 2 つの電極と浮遊パッケージ容量から形成される静電容量。

CL (負荷容量): これは、水晶振動子の電極における実効的な容量であり、水晶の外部にあるものです。水晶振動子のデータシートで規定されている周波数 ppm は、通常、CL パラメータに関連付けられています。

ほとんどの水晶振動子メーカーでは、水晶振動子の 2 つのピンにおける実効容量として CL を指定していますが、一部の水晶振動子メーカーでは、水晶振動子ピンの 1 つだけの容量として CL を指定していることに注意してください。計算で正しい値を使用するために、CL の指定方法については、水晶振動子のメーカーにお問い合わせください。

図 6-12 によれば、CL1 と CL2 が直列になっているので、水晶振動子から見た等価合計容量を求めるには、静電容量の直列式を適用して、CL1 = CL2 の場合、単純に [CL1]/2 と計算する必要があります。

この値には、浮遊 PCB 容量を加算することを推奨します。3pF～5pF が妥当な推定値ですが、実際の値は対象となる PCB によって異なります。

Copyright © 2025 Texas Instruments Incorporated

負荷容量は、電気発振回路と水晶振動子の両方に対する要件であることに注意してください。選択する値は、電気発振回路と水晶振動子の両方を満たす必要があります。

水晶振動子に対する CL の影響は周波数変動です。実効負荷容量が目標値よりも小さい場合、水晶周波数が高くなり、その逆も同様です。ただし、通常、周波数変動の影響は非常に小さく、一般的には公称周波数から 10ppm 未満の変動となります。

6.16.3.4.2.3 GPIO 動作モード

の「*外部発振器 (XTAL)*」セクションを参照してください。

6.16.3.4.3 機能動作

6.16.3.4.3.1 ESR – 等価直列抵抗

等価直列抵抗は、共振時に水晶振動子が電気発振回路に与える抵抗性負荷です。ESR が大きくなるほど Q が低くなり、水晶振動子が起動または発振を維持する可能性が低くなります。ESR と水晶振動子の関係を以下に示します。

$$ESR = Rm * \left(1 + \frac{C0}{CL}\right)^2 \quad (1)$$

ESR は、水晶振動子の直列抵抗と等しくはありませんが、実効負荷容量が並列容量よりもはるかに大きい場合は近似できます。

6.16.3.4.3.2 Rneg – 負性抵抗

負性抵抗は、電気発振回路から水晶振動子に示されるインピーダンスです。発振中に発生する損失を打ち消すために、電気発振回路が水晶に供給すべきエネルギーの量です。Rneg は、回路がエネルギーを消費するのではなく供給していることを表しており、回路全体のゲインとみなすこともできます。

一般的に受け入れられる方法としては、あらゆる条件下で水晶振動子が確実に起動するように、Rneg > 3x ESR から 5x ESR に設定することです。水晶振動子の起動に必要なエネルギーは、発振を維持するためのエネルギーよりもわずかに多いことに注意してください。したがって、起動時に負性抵抗要件が満たされていることが保証されている場合、発振の維持は問題になりません。

図 6-14 および 図 6-15 に、このデバイスの負性抵抗と水晶振動子の間の関係の変動を示します。グラフからわかるように、水晶振動子の並列容量 (C0) と実効負荷容量 (CL) は電気発振回路の負性抵抗に大きな影響を及ぼします。これらは代表的なグラフであるため、設計上考慮すべき最小値および最大値については、表 6-5 を参照してください。

6.16.3.4.3.3 起動時間

水晶発振回路の部品を選択する際には、起動時間が重要な考慮事項になります。「Rneg – 負性抵抗」セクションで説明したように、あらゆる条件下で信頼性の高い起動を実現するには、水晶振動子の ESR に対して、Rneg > 3x ESR から 5x ESR にすることを推奨します。

水晶の ESR およびダンピング抵抗 (Rd) は、起動時間に大きな影響を及ぼします。この 2 つの値が大きいほど、水晶振動子の起動にかかる時間は長くなります。起動時間が長い場合は、通常、水晶振動子と部品が正しく適合していないことを示す兆候です。

標準的な起動時間については、「水晶発振回路の仕様」セクションを参照してください。ここに記載されている数値は、参考用に提供されている標準的な数値であることに注意してください。実際の起動時間は、対象の水晶振動子と外付け部品に大きく依存します。

6.16.3.4.3.4 DL – 励振レベル

励振レベルとは、電気発振回路によって供給され、水晶によって消費される電力を意味します。水晶メーカーのデータシートに記載されている最大励振レベルは、通常、損傷や動作寿命の大幅な短縮なしに水晶振動子が消費できる最大値です。一方、電気発振回路で規定されている励振レベルは、供給可能な最大電力です。実際に電気発振回路から供給される電力は、必ずしも最大電力ではなく、水晶振動子と基板の部品によって決まります。

Copyright © 2025 Texas Instruments Incorporated

電気発振回路からの実際の励振レベルが水晶振動子の最大励振レベル仕様を超える場合は、ダンピング抵抗 (Rd) を取り付けて電流を制限し、水晶振動子によって消費される電力を低減する必要があります。Rd は回路のゲインを低下させることに注意してください。したがって、実際に使用する値を評価して、スタートアップおよび持続的な発振に関する他のすべての条件が満たされていることを確認する必要があります。

6.16.3.4.4 水晶振動子の選択方法

「水晶発振器の仕様」を参照してください。

1. 水晶周波数を選択します (たとえば 20MHz)。
2. 20MHz に対する仕様として、水晶振動子の ESR が 50Ω 以下であることを確認します。
3. 20MHz に対する仕様として、水晶メーカーの負荷容量要件が 6pF～12pF の範囲内であることを確認します。
   - すでに説明したように、CL1 と CL2 は直列に配置されているので、CL1 = CL2 の場合、実効負荷容量 CL = [CL1]/2 となります。
   - この結果に基板の寄生成分を加算すると、CL = [CL1]/2 + 浮遊容量 となります。
4. 水晶振動子の最大励振レベルが 1mW 以上であることを確認します。この要件が満たされていない場合は、ダンピング抵抗 Rd を使用できます。Rd を使用するときの他の注意点については「DL – 励振レベル」を参照してください。

6.16.3.4.5 テスト

水晶振動子が常に起動して発振を維持できるように、ユーザーが水晶振動子のメーカーに依頼して、その基板での水晶振動子の特性を完全に評価することを推奨します。

以下に、実行可能ないくつかの測定の概要を示します。

水晶発振回路は静電容量に影響を受けやすいので、スコープ プローブを X1 および X2 に接続しないことを推奨します。スコープ プローブを使用して X1/X2 を監視する必要がある場合は、1pF 未満の容量を持つアクティブ プローブを使用する必要があります。

周波数

1. XCLKOUT の XTAL を引き出します。
2. この周波数を水晶周波数として測定します。

負性抵抗

1. XCLKOUT の XTAL を引き出します。
2. 負荷コンデンサの間に、水晶振動子と直列にポテンショメータを配置します。
3. XCLKOUT のクロックが停止するまで、ポテンショメータの抵抗を上げます。
4. この抵抗と水晶振動子の実際の ESR の和が、電気発振回路の負性抵抗です。

起動時間

1. XTAL をオフにします。
2. XCLKOUT の XTAL を引き出します。
3. XTAL をオンにして、XCLKOUT のクロックが 45% および 55% のデューティ サイクル内に維持されるまでに要する時間を測定します。

6.16.3.4.6 一般的な問題とデバッグのヒント

水晶振動子が起動しない

- 「水晶振動子の選択方法」セクションを読んで、記述に反する状況がないことを確認します。

水晶振動子の起動に長い時間を要する

- ダンピング抵抗 Rd を取り付けている場合、抵抗 Rd が大きすぎます。
- ダンピング抵抗を取り付けていない場合、水晶振動子の ESR が高すぎるか、または、負荷容量が大きいため回路全体のゲインが低すぎるかのどちらかです。

Copyright © 2025 Texas Instruments Incorporated

6.16.3.4.7 水晶発振回路の仕様

6.16.3.4.7.1 水晶振動子の等価直列抵抗 (ESR) 要件

「水晶振動子の等価直列抵抗 (ESR) 要件」表について:

1. 水晶振動子の並列容量 (C0) は 7pF 以下である必要があります。
2. ESR = 負性抵抗 / 3

表 6-5. 水晶振動子の等価直列抵抗 (ESR) 要件

水晶振動子の周波数 (MHz)	最大 ESR (Ω) (CL1 = CL2 = 12pF)	最大 ESR (Ω) (CL1 = CL2 = 24pF)
10	55	110
12	50	95
14	50	90
16	45	75
18	45	65
20	45	50

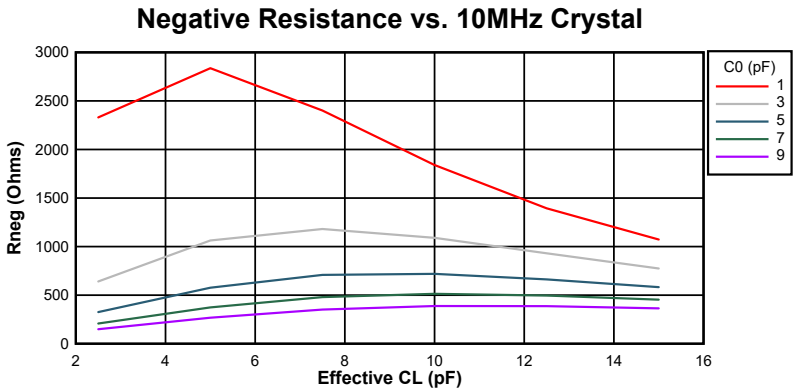


図 6-14. 10MHz 時の負性抵抗変動

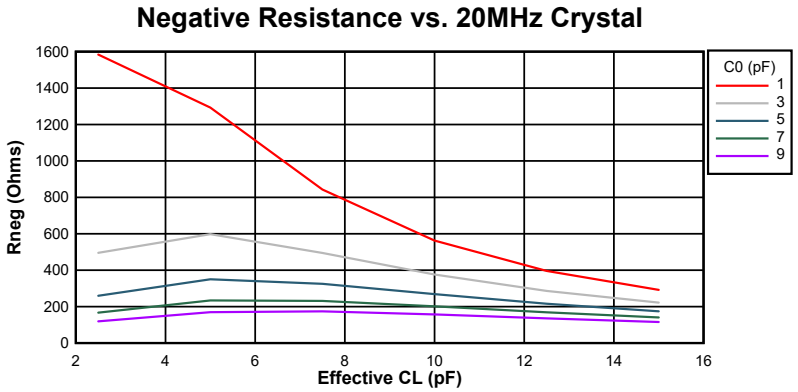


図 6-15. 20MHz 時の負性抵抗変動

Copyright © 2025 Texas Instruments Incorporated

6.16.3.4.7.2 水晶発振器のパラメータ

		最小値	最大値	単位
CL1、CL2	負荷容量	12	24	pF
C0	水晶振動子のシャント容量		7	pF

6.16.3.4.7.3 水晶発振器の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
起動時間(1)	f = 10MHz	ESR MAX = 110Ω CL1 = CL2 = 24pF C0 = 7pF		4		ms
	f = 20MHz	ESR MAX = 50Ω CL1 = CL2 = 24pF C0 = 7pF		2		ms
水晶振動子の励振レベル (DL)					1	mW

(1) 起動時間は、水晶振動子とタンク回路の部品に依存します。テキサス・インスツルメンツでは、水晶振動子のベンダーに対して、選択した水晶振動子を使用してアプリケーションの特性を評価することを推奨しています。

6.16.3.5 内部発振器

ボード製造コストとアプリケーション開発期間を削減するために、すべての デバイスには、INTOSC1 および INTOSC2 という 2 つの独立した内部発振器が搭載されています。デフォルトでは、INTOSC2 がシステム リファレンス クロック (OSCCLK) のソースとして設定され、INTOSC1 はバックアップ クロックのソースとして設定されます。

6.16.3.5.1 INTOSC 特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		パッケージ サフィックス	テスト条件	最小値	標準値	最大値	単位
f_{INTOSC}	周波数、INTOSC1 および INTOSC2(1)	すべて	–40°C ～ 125°C	9.7 (-3%)	10	10.3 (3.0%)	MHz
$f_{INTOSC-STABILITY}$	室温での周波数安定性	すべて	30°C、公称 VDD		±0.1		%
$t_{INT0SC-ST}$	スタートアップおよびセトリング タイム	すべて				20	µs

(1) INTOSC 周波数は、半田リフロー時の熱および機械的ストレスにより、変化する場合があります。リフロー後のベーキングにより、ユニット性能をデータシートの値に復元できます。

Copyright © 2025 Texas Instruments Incorporated

6.16.4 フラッシュ パラメータ

オンチップ フラッシュ メモリは CPU に密接に統合されており、フラッシュから 256 ビット幅のプリフェッチ読み取り、パイプライン バッファおよびコード ブロック キャッシュを経由してコードを直接実行できます。シーケンシャル コードのフラッシュ性能は、RAM からの実行と同じです。不連続性を考慮すると、ほとんどのアプリケーションは、RAM から実行されるコードに比べて約 80% の効率で動作します。

このデバイスには、セキュリティ構成やフラッシュ管理に使用される SECCFG セクターも搭載されています。

表 6-6 に異なる周波数で必要な C29 フラッシュの最小ウェイト状態、表 6-7 に HSM フラッシュの最小ウェイト状態を示します。「フラッシュ パラメータ」表に、フラッシュ パラメータを示します。

表 6-6. 異なるクロック周波数で必要な C29 フラッシュの最小ウェイト状態

CPUCLK (MHz)	ウェイト状態 (FRDCNTL[RWAIT](1))
150 < CPUCLK ≤ 200	3
100 < CPUCLK ≤ 150	2
0 < CPUCLK ≤ 100	1

(1) FRDCNTL[RWAIT] に必要な最小値は 1 で、RWAIT = 0 はサポートされていません。

表 6-7. 異なるクロック周波数で必要な HSM フラッシュの最小ウェイト状態

HSMCLK (MHz)	ウェイト状態 (FRDCNTL[RWAIT])(1)
80 < HSMCLK ≤ 100	2
0 < HSMCLK ≤ 80	1

(1) FRDCNTL[RWAIT] に必要な最小値は 1 で、RWAIT = 0 はサポートされていません。

Copyright © 2025 Texas Instruments Incorporated

6.16.4.1 C29 フラッシュ パラメータ

パラメータ		最小値	標準値	最大値	単位
プログラム時間(1) (データ領域上)	128 データ ビット + 16 ECC ビット		62.5	625	µs
	2KB (セクタ)		8	80	ms
プログラム時間(1) (プログラム領域、インターリーブ)	256 データ ビット + 32 ECC ビット		125	1250	µs
	4KB (セクタ)		16	160	ms
消去時間(2) (3) (25 サイクル未満のデータ領域)	2KB (セクタ)		15	55	ms
	64KB		17	61	ms
	128KB		18	66	ms
	256KB		21	78	ms
消去時間(2) (3) (25 サイクル未満のプログラム領域、インターリーブ)	4KB (セクタ)		30	110	ms
	128KB		34	122	ms
	256KB		36	132	ms
	512KB		42	156	ms
	1MB		52	178	ms
消去時間(2) (3)(1000 サイクル)	2KB (セクタ)		25	130	ms
	64KB		28	143	ms
	128KB		30	157	ms
	256KB		35	183	ms
	512KB		39	199	ms
消去時間(2) (3)(2000 サイクル)	2KB (セクタ)		30	221	ms
	64KB		33	243	ms
	128KB		36	265	ms
	256KB		42	310	ms
	512KB		49	335	ms
消去時間(2) (3) (20000 サイクル)	2KB (セクタ)		120	1003	ms
	64KB		132	1102	ms
	128KB		145	1205	ms
	256KB		169	1410	ms
	512KB		185	1560	ms
N_{wec} 書き込み / 消去サイクル (1 セクタごと)				20000	サイクル
デバイス全体での N_{wec} 書き込み / 消去サイクル (フラッシュ ポンプの耐久性により制限)				100000	サイクル
$t_{retention}$ データ保持期間 (T_J = 85°C)		20			年
F_{clk}				50	MHz

(1) プログラム時間は、デバイスの最大周波数におけるものです。 プログラム時間には、フラッシュ ステート マシンのオーバーヘッドが含まれますが、以下に示すものを RAM に転送する時間は含まれていません。
•フラッシュ API を使用してフラッシュをプログラムするコード
•フラッシュ API そのもの
•プログラムすべきフラッシュ データ
すなわち、この表に示す時間は、必要なすべてのコード / データがデバイス RAM に収容されて、プログラムの用意ができた後に適用されます。転送時間は、使用する JTAG デバッグ プローブの速度によって大きく異なります。
プログラム時間の計算は、指定された動作周波数で一度に 144 ビットをプログラムするという条件に基づいています。プログラム時間には、CPU によるプログラム検証が含まれます。書き込み / 消去 (W/E) の繰り返しにより、プログラム時間が長くなることはありませんが、消去時間は長くなります。
消去時間には、CPU による消去検証が含まれ、データ転送時間は含まれません。

(2) 消去時間には、CPU による消去検証が含まれます。

Copyright © 2025 Texas Instruments Incorporated

(3) 本デバイスが テキサス・インスツルメンツから出荷されるとき、オンチップ フラッシュ メモリは消去された状態になっています。そのため、本デバイスを初めてプログラミングする場合、書き込みの前にフラッシュ メモリを消去する必要はありません。しかし、それ以降のすべての書き込み操作については、あらかじめ消去操作が必要です。

Copyright © 2025 Texas Instruments Incorporated

6.16.4.2 HSM フラッシュ パラメータ

パラメータ		最小値	標準値	最大値	単位
プログラム時間(1)	128 データ ビット + 16 ECC ビット		62.5	625	µs
	2KB (セクタ)		8	80	ms
消去時間(2) (3) (25 サイクル未満)	2KB (セクタ)		15	55	ms
	64KB		17	61	ms
	128KB		18	66	ms
	256KB		21	78	ms
	512KB		26	89	ms
消去時間(2) (3)(1000 サイクル)	2KB (セクタ)		25	130	ms
	64KB		28	143	ms
	128KB		30	157	ms
	256KB		35	183	ms
	512KB		39	199	ms
消去時間(2) (3)(2000 サイクル)	2KB (セクタ)		30	221	ms
	64KB		33	243	ms
	128KB		36	265	ms
	256KB		42	310	ms
	512KB		49	335	ms
消去時間(2) (3) (20000 サイクル)	2KB (セクタ)		120	1003	ms
	64KB		132	1102	ms
	128KB		145	1205	ms
	256KB		169	1410	ms
	512KB		185	1560	ms
N_{wec} 書き込み / 消去サイクル (1 セクタごと)				20000	サイクル
デバイス全体での N_{wec} 書き込み / 消去サイクル (フラッシュ ポンプの耐久性により制限)				100000	サイクル
$t_{retention}$ データ保持期間 (T_J = 85℃)		20			年
F_{clk}				50	MHz

(1) プログラム時間は、デバイスの最大周波数におけるものです。 プログラム時間には、フラッシュ ステート マシンのオーバーヘッドが含まれますが、以下に示すものを RAM に転送する時間は含まれていません。
•フラッシュ API を使用してフラッシュをプログラムするコード
•フラッシュ API そのもの
•プログラムすべきフラッシュ データ
すなわち、この表に示す時間は、必要なすべてのコード / データがデバイス RAM に収容されて、プログラムの用意ができた後に適用されます。転送時間は、使用する JTAG デバッグ プローブの速度によって大きく異なります。
プログラム時間の計算は、指定された動作周波数で一度に 144 ビットをプログラムするという条件に基づいています。プログラム時間には、CPU によるプログラム検証が含まれます。書き込み / 消去 (W/E) の繰り返しにより、プログラム時間が長くなることはありませんが、消去時間は長くなります。
消去時間には、CPU による消去検証が含まれ、データ転送時間は含まれません。

(2) 消去時間には、CPU による消去検証が含まれます。

(3) 本デバイスが テキサス・インスツルメンツから出荷されるとき、オンチップ フラッシュ メモリは消去された状態になっています。そのため、本デバイスを初めてプログラミングする場合、書き込みの前にフラッシュ メモリを消去する必要はありません。しかし、それ以降のすべての書き込み操作については、あらかじめ消去操作が必要です。

Copyright © 2025 Texas Instruments Incorporated

6.16.5 メモリ サブシステム (MEMSS)

6.16.5.1 はじめに

MMS (メモリ サブシステム) は、C29x プラットフォームで使用されるメモリ アーキテクチャとなるものです。各 CPU には 128 ビットのプログラム バス、2 つの 64 ビットの読み取りバス、および 64 ビットの書き込みバスがあります。RAM テストとメモリの初期化は、CPU1 からのみ実行できます。最後にバッファされたデータを無効にするため、メモリの初期化またはテスト モードを実行する前に、MEM_DLB_CONFIG レジスタのイネーブル ビットを使用してデータライン バッファを無効にします。

表 6-8. 命名規則

名称	読み取りワード アクセス	ゼロ待機状態の最適化
LPAx RAM	128 ビット ワード	CPU1 と CPU2 のプログラム アクセス
LDAx RAM	64 ビット ワード	CPU1 および CPU2 のデータ アクセス
CPAx RAM	128 ビット ワード	CPU1 と CPU3 のプログラム アクセス
CDAx RAM	64 ビット ワード	CPU1 および CPU3 のデータ アクセス

6.16.5.2 特長

MEMSS は、以下に示すメモリの機能を備えています。

- RAM:
  - ローカル ルックアヘッド アドレス生成による RTDMA スループット最適化
  - 各 CPU に共通のデータライン バッファ (2×64 ビット ワード)
  - 各 CPU に共通のプログラム ブリッジ
  - 32 ビット粒度で ECC をサポート
  - ECC の粒度よりも小さい、読み取り - 変更 - 書き込みアクセス
  - 読み取り - 変更 - 書き込み動作の速度低下を最小限に抑えるためのポステッド書き込み
  - ECC ビットの読み取り / 書き込みおよびエラー インジェクションのためのテスト モード
- ROM:
  - ECC ビットのオーバーヘッドを低減する 64 ビット粒度での ECC サポート
  - 1 ウェイト状態でのプログラムおよびデータ アクセス
  - 256 ビット幅メモリでのプリフェッチ
  - 256 ビットの専用ローカル ライン バッファ
- ECC ビットのオーバーヘッドを低減するため、アドレス単独の ECC ビットではなく、データとアドレスを結合して ECC を生成

Copyright © 2025 Texas Instruments Incorporated

6.16.5.3 RAM の仕様

表 6-9. RAM のパラメータ

RAM セクション	インターリーブ	CPU1	CPU2	CPU3	HSM	RTDMA1	RTDMA2
LPAx RAM	あり	0WS プログラム 1WS データ	0WS プログラム 1WS データ	3WS データ		1WS	1WS
LDAx RAM	あり	1WS プログラム 0WS データ	1WS プログラム 0WS データ	3WS データ	2WS	1WS	1WS
M0 RAM	あり	1WS プログラム 0WS データ	0WS データ (読み取り専用)	3WS データ (読み取り専用)			
CPAx RAM	あり	0WS プログラム 1WS データ	3WS データ	0WS プログラム 1WS データ		1WS	1WS
CDAx RAM	あり	1WS プログラム 0WS データ	3WS データ	1WS プログラム 0WS データ		1WS	1WS
CPU1 ROM	あり	1WS プログラム 1WS データ					
CPU2 ROM	あり		1WS プログラム 1WS データ				
CPU3 ROM	あり			1WS プログラム 1WS データ			

表 6-10. RAM 初期化タイミング

RAM のタイプ	サイズ	メモリ幅 (ビット)	初期化時間 (サイクル)
LDAx RAM	16KB	64 ビット	2048
CDAx RAM	16KB	64 ビット	2048
LPAx RAM	32KB	128 ビット	2048
CPAx RAM	32KB	128 ビット	2048

注

表 6-10 のタイミングが同じである理由は、128 ビット幅のメモリではサイクルごとに 16 バイトが初期化され、64 ビット幅のメモリではサイクルごとに 8 バイトが初期化されるためです。

Copyright © 2025 Texas Instruments Incorporated

6.16.6 デバッグ / JTAG

外部デバッガは、以下の 2 つのモードをサポートするシリアル デバッグ サブシステムを経由してデバイスに接続します。

1. 4 線式モード:JTAG プロトコル
2. 2 線式モード:SWD (シリアル ワイヤ デバッグ) プロトコル

JTAG (IEEE 規格 1149.1-1990 標準テスト アクセス ポートおよびバウンダリ スキャン アーキテクチャ) ポートには、4 つの専用ピンがあります。TMS、TDI、TDO、TCK。SWD (IEEE 規格 1149.7-2009、ピン数削減および拡張機能テスト アクセス ポートおよびバウンダリ スキャン アーキテクチャ用) ポートは、必要なピンが 2 本だけ (TMS および TCK) というコンパクトな JTAG インターフェイスであり、今まで使われていた GPIO222 (TDI) および GPIO223 (TDO) ピンに他のデバイス機能を多重化できます。

通常、MCU ターゲットと JTAG ヘッダーの間の距離が 6 インチ (15.24cm) 未満で、JTAG チェーンに他のデバイスが存在しない場合、JTAG 信号にバッファは必要ありません。それ以外の場合は、各信号をバッファする必要があります。さらに、10MHz で動作するほとんどの JTAG デバッグ プローブでは、JTAG 信号に直列抵抗は必要ありません。ただし、高いエミュレーション速度 (35MHz 程度) が想定される場合は、各 JTAG 信号に対して 22Ω の抵抗を直列に配置する必要があります。

JTAG デバッグ プローブ ヘッダーの PD (電源検出) ピンは、基板の 3.3V 電源に接続する必要があります。ヘッダーの GND ピンは、基板のグランドに接続する必要があります。TDIS (ケーブル切断検出) も基板のグランドに接続する必要があります。JTAG クロックは、ヘッダーの TCK 出力ピンからヘッダーの RTCK 入力ピンにループバックする必要があります (JTAG デバッグ プローブによるクロックの連続性を検出するため)。この MCU は、14 ピンおよび 20 ピンのエミュレーション ヘッダーに存在する EMU0 および EMU1 信号をサポートしていません。これらの信号は、常に、2.2kΩ～4.7kΩ の範囲 (デバッガ ポートの駆動能力によって異なります) の基板上のプルアップ抵抗ペアを経由して、エミュレーション ヘッダーでプルアップする必要があります。通常、2.2kΩ の値を使用します。

ヘッダの $\overline{\text{RESET}}$ ピンは、JTAG デバッグ プローブ ヘッダーからのオープンドレイン出力であり、JTAG デバッグ プローブ コマンドを使用して基板のコンポーネントをリセットできます (20 ピンのヘッダーでのみ利用可能)。図 6-16 に、14 ピン JTAG ヘッダーを MCU の JTAG ポート信号に接続する方法を示します。図 6-17 に、20 ピン ヘッダーへの接続方法を示します。20 ピン JTAG ヘッダーの EMU2、EMU3、および EMU4 ピンは使用しないので、グランドに接続する必要があります。

ハードウェア ブレークポイントとウォッチポイントの詳細については、『C2000 デバイス向け CCS でのハードウェア ブレークポイントとウォッチポイント』を参照してください。

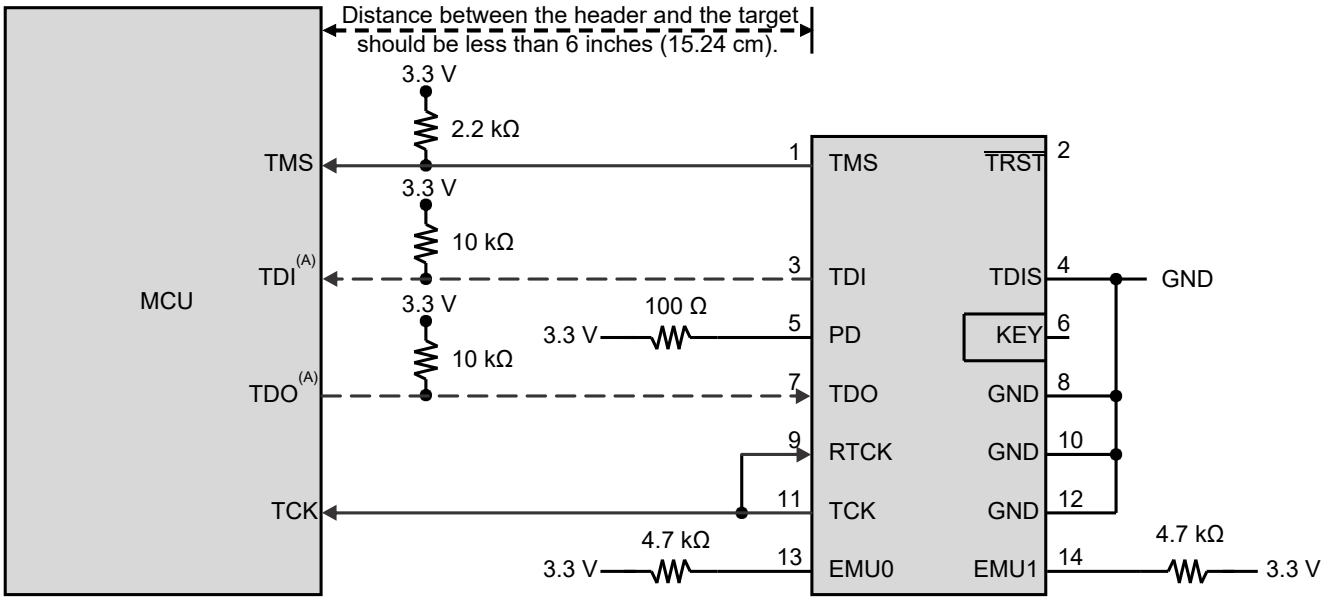
JTAG エミュレーションの詳細については、*『XDS ターゲット接続ガイド』*を参照してください。

注

JTAG テスト データ入力 (TDI) は、このピンのデフォルトの多重化選択です。内部プルアップは、デフォルトでディセーブルになっている。このピンを JTAG の TDI として使用する場合、入力がフローティングにならないように、内部プルアップをイネーブルにするか、ボードに外部プルアップを追加する必要があります。SWD オプションでは、このピンを GPIO として使用できます。

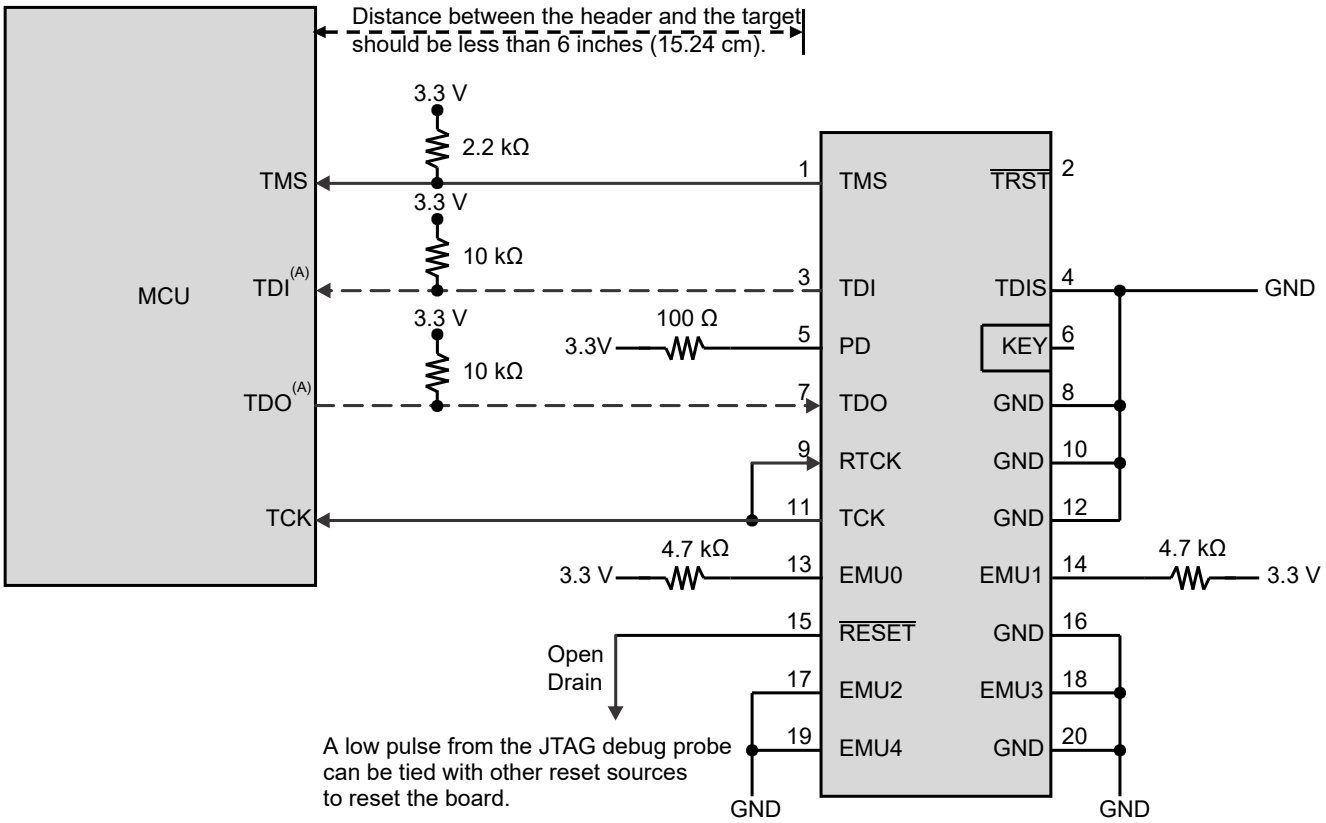
JTAG テスト データ出力 (TDO) は、このピンのデフォルトの多重化選択です。内部プルアップは、デフォルトでディセーブルになっている。JTAG アクティビティがない場合、TDO 機能はトライステート状態になり、このピンはフローティングのままになります。GPIO 入力がフローティングにならないように、内部プルアップをイネーブルにするか、ボードに外部プルアップを追加する必要があります。2 線式オプションでは、このピンを GPIO として使用できます。

Copyright © 2025 Texas Instruments Incorporated



A. SWD オプションでは、TDI および TDO の接続は必要ありません。代わりに、これらのピンを GPIO として使用することができます。

図 6-16. 14 ピン JTAG ヘッダーへの接続



A. SWD オプションでは、TDI および TDO の接続は必要ありません。代わりに、これらのピンを GPIO として使用することができます。

図 6-17. 20 ピン JTAG ヘッダーへの接続

Copyright © 2025 Texas Instruments Incorporated

6.16.6.1 JTAG の電気的データおよびタイミング

6.16.6.1.1 DEBUGSS のタイミング要件

番号			最小値	最大値	単位
1	$t_{c(TCK)}$	サイクル時間、TCK	28.5		ns
1a	$t_{w(TCKH)}$	パルス幅、TCK High (t_c の 40%)	11		ns
1b	$t_{w(TCKL)}$	パルス幅、TCK Low (t_c の 40%)	11		ns
3	$t_{su(TDI-TCKH)}$	入力セットアップ時間、TDI 有効から TCK High まで	-1.5		ns
3	$t_{su(TMS-TCKH)}$	入力セットアップ時間、TMS 有効から TCK High まで	-1.4		ns
4	$t_{h(TCKH-TDI)}$	入力ホールド時間、TCK High から TDI 有効の間	7		ns
4	$t_{h(TCKH-TMS)}$	入力ホールド時間、TCK High から TMS 有効の間	7		ns
5	$t_{su(TMS-TCKH)}$	入力セットアップ時間、TMS 有効から TCK High まで	-1.4		ns
5	$t_{su(TMS-TCKL)}$	入力セットアップ時間、TMS 有効から TCK Low まで	-1.4		ns
6	$t_{h(TCKH-TMS)}$	入力ホールド時間、TCK High から TMS 有効の間	7		ns
6	$t_{h(TCKL-TMS)}$	入力ホールド時間、TCK Low から TMS 有効の間	7		ns

6.16.6.1.2 DEBUGSS のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

番号	パラメータ		最小値	最大値	単位
2	$t_{d(TCKL-TDO)}$	遅延時間、TCK LOW から TDO 有効まで		15.7	ns
2	$t_{d(TCKL-TMS)}$	遅延時間、TCK LOW から TMS 有効まで		15	ns
7	$t_{d(TCKL-TMS)}$	遅延時間、TCK High から TMS 無効まで		15	ns

6.16.6.1.3 JTAG のタイミング図

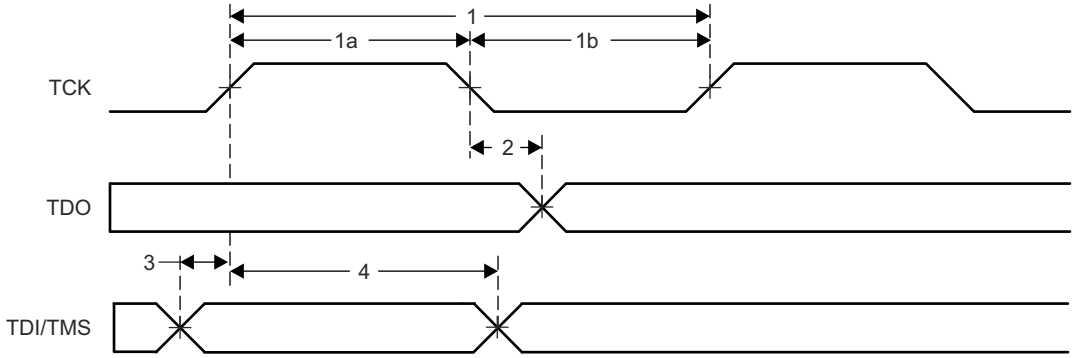


図 6-18. JTAG のタイミング

6.16.6.1.4 SWD タイミング図

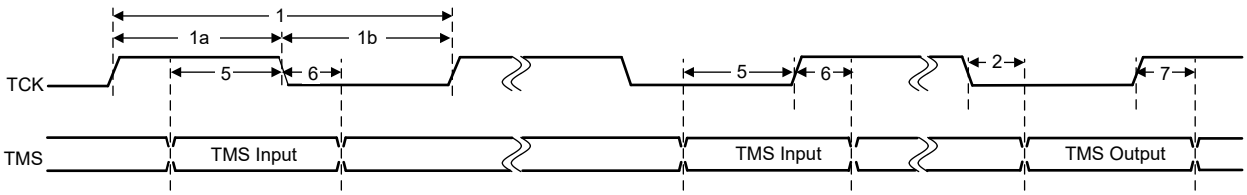


図 6-19. SWD のタイミング

6.16.7 GPIO の電気的データおよびタイミング

ペリフェラル信号は、汎用入出力 (GPIO) 信号とマルチプレクスされます。リセット時、GPIO ピンは入力として構成されます。特定の入力では、ユーザーが入力クオリファイヤのサイクル数を選択することで、不要なノイズ グリッチをフィルタリングすることもできます。

多くの GPIO には、さまざまな内部信号を GPIO にルーティングできるようにする、出力クロスバー向けのマルチプレクサオプションがあります。すべての GPIO は、GPIO の High または Low 状態をさまざまな IP ブロック (ADC、eCAP、ePWM 、外部割り込みなど) にルーティングできる各入力クロスバーに接続されています。詳細については、『*F29H85x/F29P58x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル*』の「クロスバー」の章を参照してください。

6.16.7.1 GPIO - 出力タイミング

6.16.7.1.1 汎用出力のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ			最小値	最大値	単位
$t_{r(GPO)}$	立ち上がり時間、GPIO が Low から High へ変化	すべての GPIO		8(1)	ns
$t_{f(GPO)}$	立ち下がり時間、GPIO が High から Low へ変化	すべての GPIO		8(1)	ns
t_{fGPO}	切り替え周波数、GPIO ピン			50	MHz

(1) 立ち上がり時間と立ち下がり時間は負荷によって異なります。これらの値は、40pF の負荷を想定しています。

6.16.7.1.2 汎用出力のタイミング図

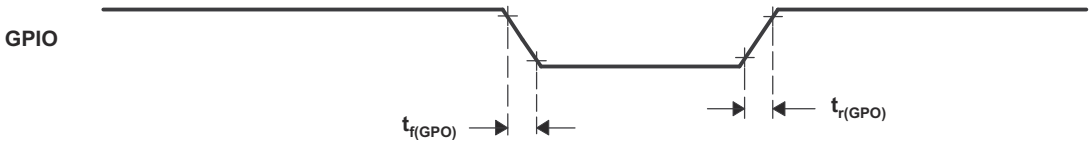


図 6-20. 汎用出力のタイミング

6.16.7.2 GPIO - 入力タイミング

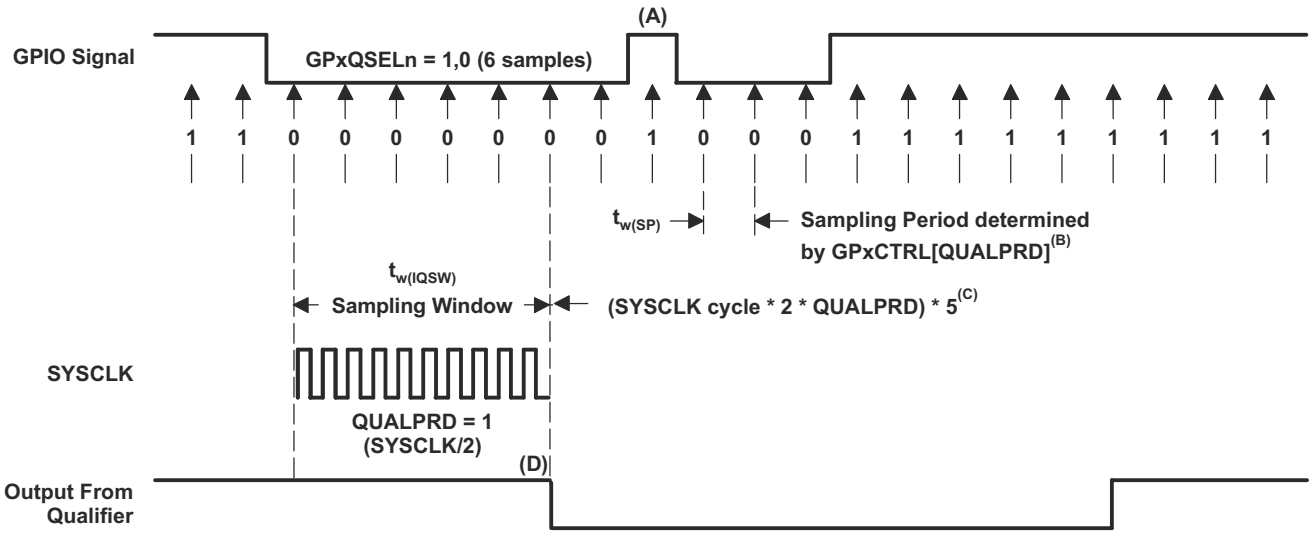
6.16.7.2.1 汎用入力のタイミング要件

			最小値	最大値	単位
$t_{w(SP)}$	サンプリング周期	QUALPRD = 0	$1t_{c(SYSCLK)}$		サイクル
		QUALPRD ≠ 0	$2t_{c(SYSCLK)}$ * QUALPRD		サイクル
$t_{w(IQSW)}$	入力フィルタ サンプリング ウィンドウ		$t_{w(SP)}$ * (n(1) – 1)		サイクル
$t_{w(GPI)}$ (2)	パルス幅、GPIO Low/High	同期モード	$2t_{c(SYSCLK)}$		サイクル
		入力クオリファイヤあり	$t_{w(IQSW)}$ + $t_{w(SP)}$ + $1t_{c(SYSCLK)}$		サイクル

(1) 「n」は、GPxQSELn レジスタで定義されているフィルタ サンプルの数を表します。
(2) $t_{w(GPI)}$ のパルス幅は、アクティブ Low 信号については V_{IL} から V_{IL} まで、アクティブ High 信号については V_{IH} から V_{IH} までを測定します。

6.16.7.2.2 サンプリング・モード

Copyright © 2025 Texas Instruments Incorporated



A. このグリッチは、入力クオリファイヤによって無視されます。クオリフィケーションのサンプリング期間は、QUALPRD ビット・フィールドで指定します。この値は、00～0xFF の範囲で設定できます。QUALPRD = 00 の場合、サンプリング期間は 1 SYSCLK サイクルです。その他の値「n」である場合、クオリフィケーションのサンプリング期間は、2n SYSCLK サイクルになります (すなわち、2n SYSCLK サイクルごとに GPIO ピンがサンプリングされます)。

B. GPxCTRL レジスタで選択したこのクオリフィケーション期間は、8 つの GPIO ピン・グループに適用されます。

C. このクオリフィケーション・ブロックは、3 つまたは 6 つのサンプルを取得できます。使用するサンプル・モードは、GPxQSELn レジスタで選択します。

D. ここに示す例では、クオリファイヤが変化を検出するためには、入力が 10 SYSCLK サイクル以上の期間安定している必要があります。すなわち、入力は (5 x QUALPRD x 2) SYSCLK サイクルにわたって安定している必要があります。これにより、5 サンプリング期間での検出実施が確保されます。外部信号は非同期で駆動されるため、13 SYSCLK 幅のパルスであれば信頼性の高い認識が保証されます。

図 6-21. サンプリング・モード

Copyright © 2025 Texas Instruments Incorporated

6.16.7.3 入力信号のサンプリング・ウィンドウ幅

以下のセクションでは、各種の入力クオリファイヤ構成に対する入力信号のサンプリング・ウィンドウ幅の概要を説明します。

この式の「サンプリング周波数」は、SYSCLK を基準にして、信号をサンプリングする頻度を表します。

QUALPRD ≠ 0 の場合、サンプリング周波数 = SYSCLK/(2 × QUALPRD)

QUALPRD = 0 の場合、サンプリング周波数 = SYSCLK

QUALPRD ≠ 0 の場合、サンプリング周期 = SYSCLK サイクル × 2 × QUALPRD

上記の式で、「SYSCLK サイクル」は、SYSCLK の時間周期を表しています。

QUALPRD = 0 の場合、サンプリング周期 = SYSCLK サイクル

決められたサンプリング ウィンドウの中で、入力信号の 3 つまたは 6 つのサンプルを取得して、信号の有効性を判定します。これは、GPxQSELn レジスタに書き込まれた値によって決定されます。

ケース 1:

3 つのサンプルを使用したクオリフィケーション

QUALPRD ≠ 0 の場合、サンプリング・ウィンドウ幅 = (SYSCLK サイクル × 2 × QUALPRD) × 2

QUALPRD = 0 の場合、サンプリング・ウィンドウ幅 = (SYSCLK サイクル) ×2

ケース 2:

6 つのサンプルを使用したクオリフィケーション

QUALPRD ≠ 0 の場合、サンプリング・ウィンドウ幅 = (SYSCLK サイクル × 2 × QUALPRD) × 5

QUALPRD = 0 の場合、サンプリング・ウィンドウ幅 = (SYSCLK サイクル) × 5

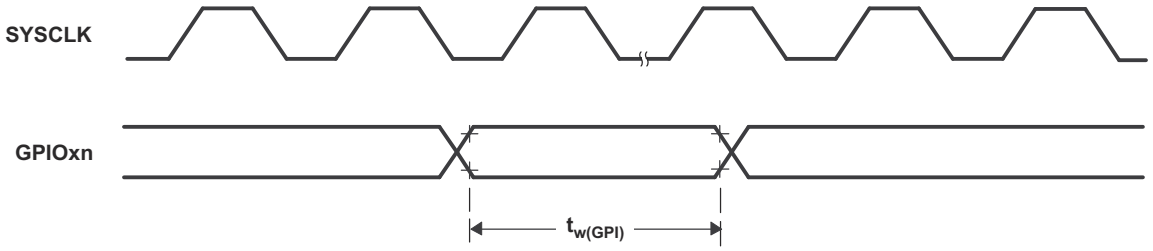


図 6-22. 汎用入力のタイミング

Copyright © 2025 Texas Instruments Incorporated

6.16.8 リアルタイム ダイレクト メモリ アクセス (RTDMA)

6.16.8.1 はじめに

コントローラの強度は、プロセッサの速度だけではなく、システム全体の能力で測定されます。この方程式の一部として、特定の機能の CPU 帯域幅を減らすことができれば、システム能力が高くなります。多くの場合、アプリケーションで帯域幅が大量に消費されるのは、データを移動するときで、オフチップ メモリからオンチップ メモリへ、また A/D コンバータ (ADC) のようなペリフェラルから RAM へ、またはあるペリフェラルから別のペリフェラルへのデータ移動などがあります。さらに、多くの場合、このデータは、CPU の最適な処理能力に合致した形式にはなっていません。この章で説明する RTDMA モジュールは、CPU の帯域幅を解放し、リアルタイムでより効率的な処理が可能なパターンにデータを再配置する機能を備えています。

RTDMA モジュールはイベント ベースのマシンであり、RTDMA 転送を開始するにはペリフェラル チャネルまたはソフトウェア トリガが必要です。タイマを RTDMA トリガ ソースに構成して、RTDMA モジュールを一定周期で駆動されるマシンにすることもできますし、また、モジュール自体の中でチャネルを利用してメモリ転送を定期的に開始することもできます。RTDMA モジュールには 10 個の RTDMA チャネルがあり、それぞれ個別に構成でき、各チャネルにはそれぞれ独立した割り込みコントローラによる割り込みが用意されているので、RTDMA 転送の開始または完了を CPU に通知できます。10 個のチャネルはすべて、4 つの優先レベルのいずれかに設定でき、1 つのチャネルを他のチャネルよりも高い優先度に選択できます。RTDMA の中心にはステート マシンと緊密に結合されたアドレス制御ロジックがあります。このアドレス制御ロジックにより、転送中のデータ ブロックの再配置や、バッファ間でのデータのピンポン処理が可能になります。これらの各機能については、この章で詳しく説明します。

6.16.8.1.1 特長

RTDMA の主な特長は次のとおりです。

- ソフトウェアで設定可能な優先度レベルおよび独立した割り込みコントローラ割り込みを備えた 10 個の RTDMA チャネル
- RTDMA 転送を開始するための最大 256 個のハードウェア トリガ ソース
- データ転送用の内部トリガ生成および、チャネルのトリガ ソース
- 独立した読み取りおよび書き込みバス
- ワード サイズ:8 ビット、16 ビット、32 ビット、64 ビットの転送
- スループット:最初の読み取り / 書き込みアクセス で 0 サイクルの読み取り / 書き込みストール、その後 1 サイクル / ワード
- データ転送を最適化するためにハードウェア内に実装された FIFO
- リニア アドレッシング モードとサーキュラー アドレッシング モード
- ソースから宛先へデータを転送する際に、複数のデータ変換機能をサポート
  - ワード反転、ハーフ ワードなどの機能
- バースト モードのサポート (EMIF による転送用)
- メモリ保護ユニット (MPU) によるアクセス保護

Copyright © 2025 Texas Instruments Incorporated

6.16.8.1.2 ブロック図

図 6-23 に、RTDMA のブロック図を示します。

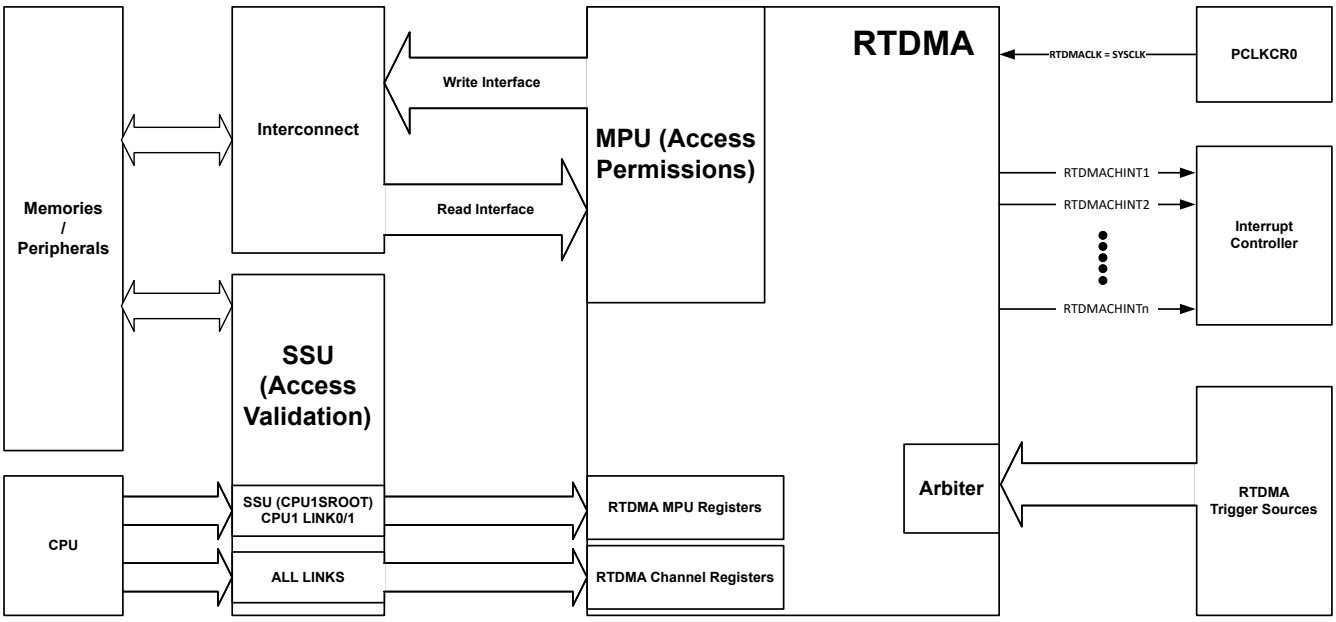


図 6-23. RTDMA のブロック図

Copyright © 2025 Texas Instruments Incorporated

6.16.9 低消費電力モード

このデバイスには、クロック ゲーティング低消費電力モードとして、アイドルおよびスタンバイがあります。スタンバイ低消費電力モードからのウェークアップは、CMPSS トリップ出力によってトリガすることもできます。

6.16.9.1 クロック ゲーティング低消費電力モード

表 6-11. クロック ゲーティング低消費電力モード

モジュール / クロック ドメイン	CPU1		CPU2		CPU3	
	IDLE	STANDBY	IDLE	STANDBY	IDLE	STANDBY
CPU1.CLOCK	アクティブ	ゲート	該当なし	該当なし	該当なし	該当なし
CPU2.CLOCK	該当なし	該当なし	アクティブ	ゲート	該当なし	該当なし
CPU3.CLOCK	該当なし	該当なし	該当なし	該当なし	アクティブ	ゲート
PERx.SYSCLK に接続されたモジュールへのクロック	アクティブ	PERxSYSCONFIG により制御	アクティブ	PERxSYSCONFIG により制御	アクティブ	PERxSYSCONFIG により制御
WD1CLK	アクティブ	アクティブ	アクティブ	アクティブ	アクティブ	アクティブ
WD2CLK	アクティブ	アクティブ	アクティブ	アクティブ	アクティブ	アクティブ
WD3CLK	アクティブ	アクティブ	アクティブ	アクティブ	アクティブ	アクティブ
HSM.SYSCLK	アクティブ	アクティブ	アクティブ	アクティブ	アクティブ	アクティブ
M0 RAM クロック	アクティブ	アクティブ	アクティブ	アクティブ	アクティブ	アクティブ
Ecat_PHYCLK、Ecat_CLK25、Ecat_CLK100、MCANxBITCLK	アクティブ	アクティブ	アクティブ	アクティブ	アクティブ	アクティブ

6.16.9.2 低消費電力モードのウェークアップ タイミング

入力クオリファイヤ パラメータの説明については、「汎用入力のタイミング要件」表を参照してください。

6.16.9.2.1 アイドル モードのタイミング要件

			最小値 最大値	単位
$t_{w(WAKE)}$	パルス幅、外部ウェークアップ信号	入力クオリファイヤなし	$2t_{c(SYSCLK)}$	サイクル
		入力クオリファイヤあり	$2t_{c(SYSCLK)} + t_{w(IQSW)}$	

6.16.9.2.2 アイドル モードのスイッチング特性

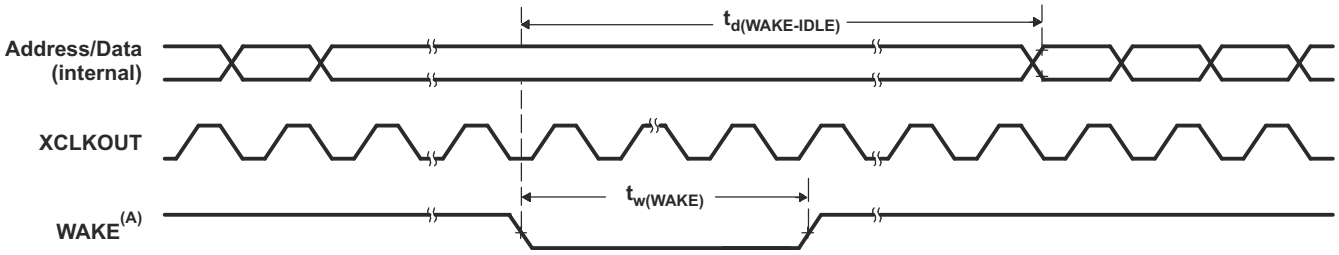
推奨動作条件範囲内 (特に記述のない限り)

パラメータ			テスト条件	最小値 最大値	単位
$t_{d(WAKE-IDLE)}$	遅延時間、外部ウェーク信号からプログラム実行再開まで (1)	フラッシュから (アクティブ状態)	入力クオリファイヤなし	$40t_{c(SYSCLK)}$	サイクル
			入力クオリファイヤあり	$40t_{c(SYSCLK)} + t_{w(WAKE)}$	サイクル
		フラッシュから (スリープ状態)	入力クオリファイヤなし	$6700t_{c(SYSCLK)}$ (2)	サイクル
			入力クオリファイヤあり	$6700t_{c(SYSCLK)}$ (2) + $t_{w(WAKE)}$	サイクル
		RAM から	入力クオリファイヤなし	$25t_{c(SYSCLK)}$	サイクル
			入力クオリファイヤあり	$25t_{c(SYSCLK)} + t_{w(WAKE)}$	サイクル

(1) これは、IDLE 命令の直後に続く命令の実行を開始するのに要する時間です。ISR の実行 (ウェークアップ信号によってトリガ) には、追加のレイテンシが伴います。
(2) この値はフラッシュの起動時間に基づいています。これは、SYSCLK 周波数、フラッシュのウェイト状態 (RWAIT)、および FPAC1[PSLEEP] の関数です。

Copyright © 2025 Texas Instruments Incorporated

6.16.9.2.3 IDLE 開始および終了タイミング図



A. WAKE には、イネーブルになっている任意の割り込み、$\overline{\text{WDINT}}$、XRSn を使用できます。IDLE 命令が実行された後、ウェークアップ信号がアサートされる前に、5 OSCCLK サイクル (最小値) の遅延が必要です。

図 6-24. IDLE 開始および終了タイミング図

Copyright © 2025 Texas Instruments Incorporated

6.16.9.2.4 スタンバイ モードのタイミング要件

			最小値 最大値	単位
$t_{w(WAKE-INT)}$	パルス幅、外部ウェークアップ信号	QUALSTDBY = 0 | $2t_{c(OSCCLK)}$	$3t_{c(OSCCLK)}$	サイクル
		QUALSTDBY > 0 | (2 + QUALSTDBY)$t_{c(OSCCLK)}$ (1)	(2 + QUALSTDBY) * $t_{c(OSCCLK)}$	

(1) QUALSTDBY は、LPMCR レジスタ内の 6 ビット フィールドです。

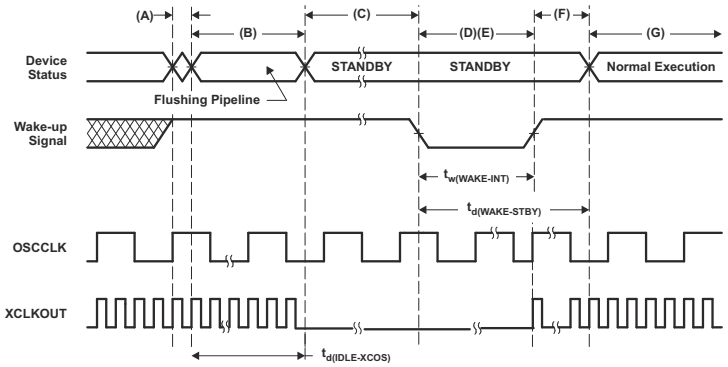
6.16.9.2.5 スタンバイ モードのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値 最大値	単位
$t_{d(IDLE-XCOS)}$	遅延時間、IDLE 命令実行から XCLKOUT 停止まで		$16t_{c(INTOSC1)}$	サイクル
$t_{d(WAKE-STBY)}$	遅延時間、外部ウェーク信号からプログラム実行再開まで (1)	フラッシュからのウェークアップ (フラッシュ モジュールはアクティブ状態)	$175t_{c(SYSCLK)}$ + $t_{w(WAKE-INT)}$	サイクル
$t_{d(WAKE-STBY)}$		フラッシュからのウェークアップ (フラッシュ モジュールはスリープ状態)	$6700t_{c(SYSCLK)}$ (2) + $t_{w(WAKE-INT)}$	サイクル
$t_{d(WAKE-STBY)}$		RAM からのウェークアップ	$3t_{c(OSC)}$ + $15t_{c(SYSCLK)}$ + $t_{w(WAKE-INT)}$	サイクル

(1) これは、IDLE 命令の直後に続く命令の実行を開始するのに要する時間です。ISR の実行 (ウェークアップ信号によってトリガ) には、追加のレイテンシが伴います。
(2) この値はフラッシュの起動時間に基づいています。これは、SYSCLK 周波数、フラッシュのウェイト状態 (RWAIT)、および FPAC1[PSLEEP] の関数です。

6.16.9.2.6 STANDBY の開始 / 終了タイミング図



A. IDLE 命令が実行され、デバイスがスタンバイ モードに移行します。
B. LPM ブロックが STANDBY 信号に応答し、SYSCLK は、最大 16 INTOSC1 クロック サイクルにわたって保持された後、オフになります。この遅延により、CPU パイプラインおよびその他の保留中の動作が適切にフラッシュされます。
C. ペリフェラルへのクロックがオフになります。ただし、PLL とウォッチドッグはシャットダウンされません。デバイスはこの時点で、スタンバイ モードになっています。IDLE 命令が実行された後、ウェークアップ信号がアサートされる前に、5 OSCCLK サイクル (最小値) の遅延が必要です。
D. 外部ウェークアップ信号がアクティブに駆動されます。
E. デバイスをウェークアップするために GPIO ピンに供給されるウェークアップ信号は、最小パルス幅の要件を満たす必要があります。さらに、この信号ではグリッチをなくす必要があります。ノイズの多い信号が GPIO ピンに供給されると、デバイスのウェークアップ動作は確定的ではなくなり、デバイスは後続のウェークアップ パルスで低消費電力モードを終了できない場合があります。
F. 遅延時間が経過すると、スタンバイ モードが終了します。

Copyright © 2025 Texas Instruments Incorporated

G. 通常動作を再開します。本デバイスは割り込み (有効化されている場合) に応答するようになります。

図 6-25. STANDBY の開始 / 終了タイミング図

Copyright © 2025 Texas Instruments Incorporated

6.16.10 外部メモリ インターフェイス (EMIF)

EMIF は、非同期メモリ (SRAM、NOR フラッシュ) や同期メモリ (SDRAM) などの各種外部ストレージ デバイスに CPU を接続する手段を提供します。

6.16.10.1 非同期メモリのサポート

EMIF は非同期メモリをサポートしています。

- SRAM
- NOR フラッシュ メモリ

外部ウェイト入力があるため、低速の非同期メモリを使用してメモリ アクセスを延長できます。EMIF モジュールは、最大 3 つのチップ セレクト (EMIF_CS[4:2]) をサポートしています。各チップ セレクトには、以下に示すように、個別にプログラム可能な属性があります。

- データ バス幅
- 読み取りサイクルのタイミング : セットアップ、ホールド、ストローブ
- 書き込みサイクルのタイミング : セットアップ、ホールド、ストローブ
- バス ターンアラウンド時間
- プログラム可能なタイムアウト付きのウェイト時間延長オプション
- ストローブ選択オプション

6.16.10.2 同期 DRAM のサポート

EMIF メモリ コントローラは、32 ビットまたは 16 ビットのデータ バスを使用する JESD21-C SDR SDRAM に準拠しています。EMIF は、シングル SDRAM チップ セレクト (EMIF_CS[0]) を備えています。

同期メモリ (SDRAM) に対する EMIF のアドレス空間は、プログラム アドレス バスの 22 ビットの範囲を超えており、データ バス経由でのみアクセスできます。このため、C コンパイラがこの領域のデータに対して効果的に機能するためには制約があります。したがって、SDRAM を使用する場合は、(DMA を使って) 外部メモリから RAM にデータをコピーしてから作業することを推奨します。「C2000 MCU 用 C2000Ware」、『F29H85x および F29P58x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』の例を参照してください。

サポートされている SDRAM 構成 :

- 1 バンク、2 バンク、4 バンクの SDRAM デバイス
- 8、9、10、11 列のアドレスを持つデバイス
- 2 または 3 クロック サイクルの CAS レイテンシ
- 16 ビット / 32 ビットのデータ バス幅
- 3.3V LVCMOS インターフェイス

さらに、EMIF は、セルフ リフレッシュ モードおよびパワーダウン モードでの SDRAM 動作もサポートしています。セルフ リフレッシュ モードでは、SDRAM は、マイクロコントローラからのクロックがなくても継続してリフレッシュされるため、メモリの内容を保持しながら低消費電力状態にすることができます。パワーダウン モードでは、データ保持が必要な場合、マイクロコントローラが定期的にウェークアップしてリフレッシュを発行する必要があることを除き、消費電力をさらに低減できます。EMIF モジュールは、モバイル SDRAM デバイスをサポートしていません。

このデバイスでは、EMIF は、SDRAM 構成に対するバースト アクセスをサポートしていません。これは、外部 SDRAM デバイスへのすべてのアクセスに、CAS レイテンシが存在することを意味します。

Copyright © 2025 Texas Instruments Incorporated

6.16.10.3 EMIF の電気的データおよびタイミング

6.16.10.3.1 EMIF 同期メモリのタイミング要件

番号			最小値	最大値	単位
19	$t_{su(EMIFDV-EM_CLKH)}$	入力セットアップ時間、EMxD[y:0] 読み取りデータ有効から EMxCLK 立ち上がりまで	2		ns
20	$t_{h(CLKH-DIV)}$	入力ホールド時間、EMxCLK 立ち上がりから EMxD[y:0] 読み取りデータ有効終了まで	1.5		ns

6.16.10.3.2 EMIF 同期メモリのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

番号	パラメータ		最小値	最大値	単位
1	$t_{c(CLK)}$	サイクル時間、EMIF クロック EMxCLK	10		ns
1	$t_{c(CLK)}$	サイクル時間、EMIF クロック EMxCLK (210MHz タイミング クロージャ付き)	9.52		ns
2	$t_{w(CLK)}$	パルス幅、EMIF クロック EMxCLK HIGH または LOW	3		ns
3	$t_{d(CLKH-CSV)}$	遅延時間、EMxCLK 立ち上がりから $\overline{\text{EMxCS[y:2]}}$ 有効まで		8	ns
4	$t_{oh(CLKH-CSIV)}$	出力ホールド時間、EMxCLK 立ち上がりから $\overline{\text{EMxCS[y:2]}}$ 無効まで	1		ns
5	$t_{d(CLKH-DQMV)}$	遅延時間、EMxCLK 立ち上がりから EMxDQM[y:0] 有効まで		8	ns
6	$t_{oh(CLKH-DQMIV)}$	出力ホールド時間、EMxCLK 立ち上がりから EMxDQM[y:0] 無効まで	1		ns
7	$t_{d(CLKH-AV)}$	遅延時間、EMxCLK 立ち上がりから EMxA[y:0] および EMxBA[y:0] 有効まで		8	ns
8	$t_{oh(CLKH-AIV)}$	出力ホールド時間、EMxCLK 立ち上がりから EMxA[y:0] および EMxBA[y:0] 無効まで	1		ns
9	$t_{d(CLKH-DV)}$	遅延時間、EMxCLK 立ち上がりから EMxD[y:0] 有効まで		8	ns
10	$t_{oh(CLKH-DIV)}$	出力ホールド時間、EMxCLK 立ち上がりから EMxD[y:0] 無効まで	1		ns
11	$t_{d(CLKH-RASV)}$	遅延時間、EMxCLK 立ち上がりから EMxRAS 有効まで		8	ns
12	$t_{oh(CLKH-RASIV)}$	出力ホールド時間、EMxCLK 立ち上がりから EMxRAS 無効まで	1		ns
13	$t_{d(CLKH-CASV)}$	遅延時間、EMxCLK 立ち上がりから EMxCAS 有効まで		8	ns
14	$t_{oh(CLKH-CASIV)}$	出力ホールド時間、EMxCLK 立ち上がりから EMxCAS 無効まで	1		ns
15	$t_{d(CLKH-WEV)}$	遅延時間、EMxCLK 立ち上がりから $\overline{\text{EMxWE}}$ 有効まで		8	ns
16	$t_{oh(CLKH-WEIV)}$	出力ホールド時間、EMxCLK 立ち上がりから $\overline{\text{EMxWE}}$ 無効まで	1		ns
17	$t_{d(CLKH-DHZ)}$	遅延時間、EMxCLK 立ち上がりから EMxD[y:0] トライステート状態まで		8	ns
18	$t_{oh(CLKH-DLZ)}$	出力ホールド時間、EMxCLK 立ち上がりから EMxD[y:0] 駆動まで	1		ns

Copyright © 2025 Texas Instruments Incorporated

6.16.10.3.3 EMIF 同期メモリのタイミング図

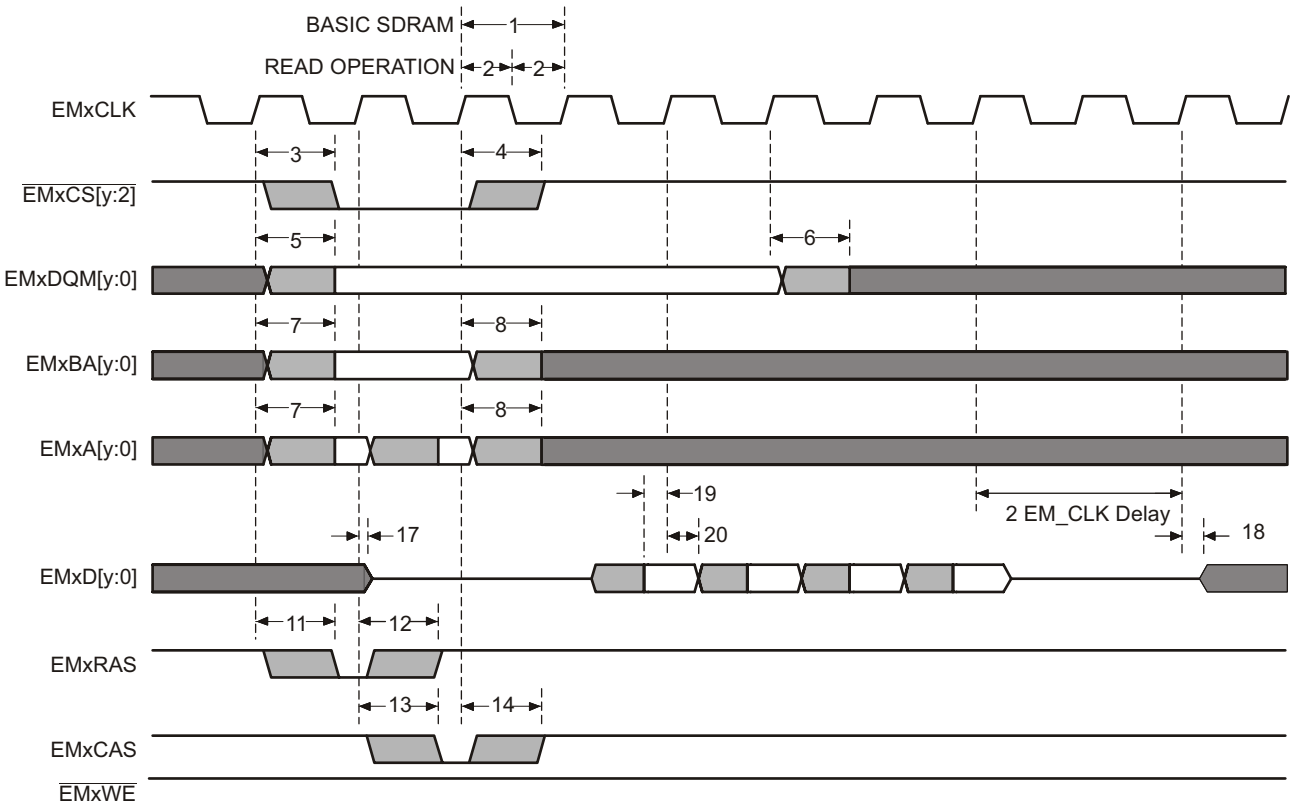


図 6-26. 基本的な SDRAM 読み取り動作

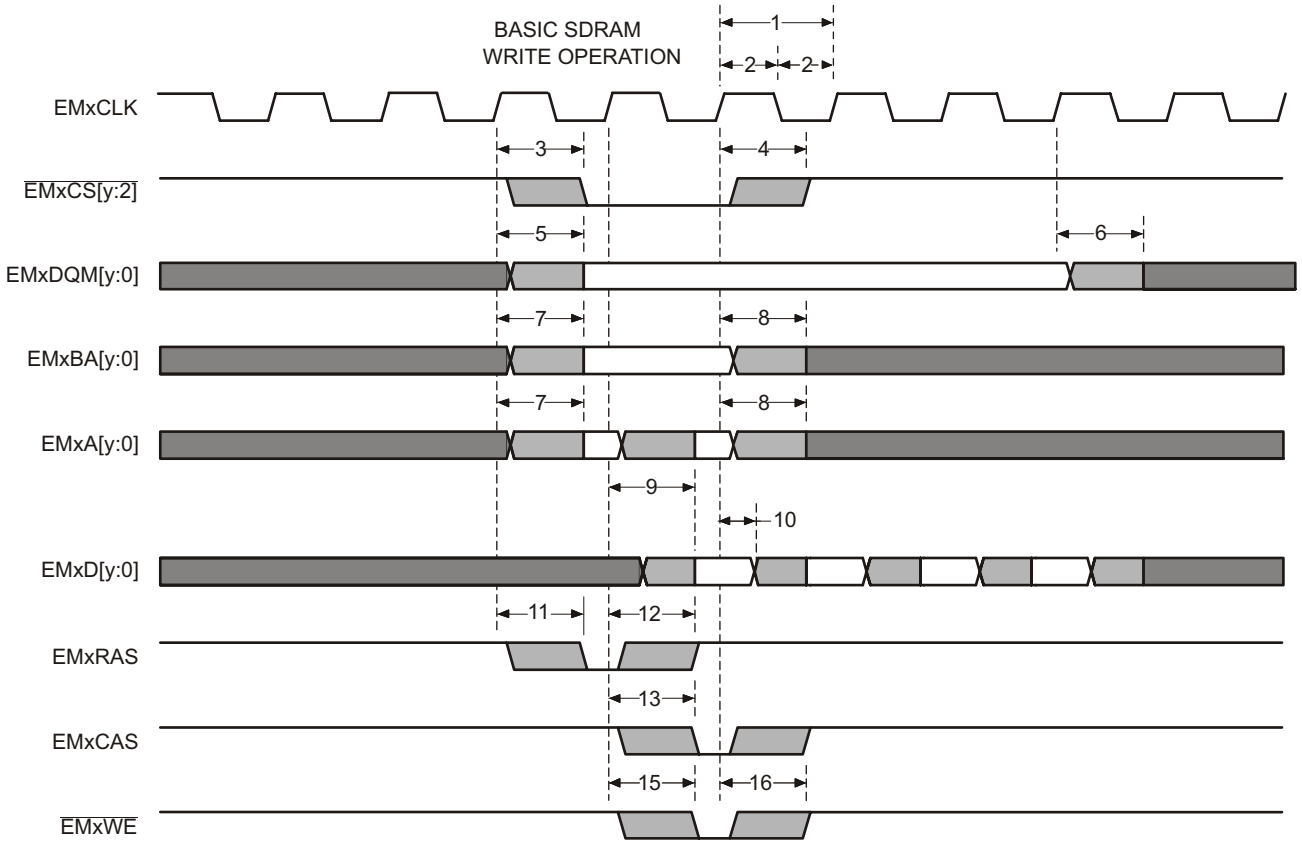


図 6-27. 基本的な SDRAM 書き込み動作

Copyright © 2025 Texas Instruments Incorporated

6.16.10.3.4 EMIF 非同期メモリのタイミング要件

番号			最小値	最大値	単位
読み取りおよび書き込み					
	E	EMIF クロック周期	$t_{c(SYSCLK)}$		ns
2	$t_{w(EM_WAIT)}$	パルス幅、EMxWAIT のアサートおよびデアサート	2E(1)		ns
読み取り					
12	$t_{su(EMDV-EMOEH)}$	セットアップ時間、EMxD[y:0] 有効から $\overline{EMxOE}$ HIGH まで	15		ns
13	$t_{h(EMOEH-EMDIV)}$	ホールド時間、$\overline{EMxOE}$ HIGH から EMxD[y:0] 有効の間	0		ns
14	$t_{su(EMOEL-EMWAIT)}$	セットアップ時間、EMxWAIT アサートからストローブ フェーズ終了まで(2)	4E+20(1)		ns
書き込み					
28	$t_{su(EMWEL-EMWAIT)}$	セットアップ時間、EMxWAIT アサートからストローブ フェーズ終了まで(2)	4E+20(1)		ns

(1) E = EMxCLK 周期 (ns 単位)。
(2) ストローブ フェーズの終了前のセットアップ (延長ウェイト状態が挿入されていない場合)。延長ウェイト状態を追加するためには、これにより EMxWAIT をアサートする必要があります。「EMxWAIT 読み取りタイミング要件」図と「EMxWAIT 書き込みタイミング要件」図に、ストローブ フェーズ中に挿入される延長ウェイト状態を含む EMIF トランザクションを示します。ただし、この延長ウェイト時間の一部として挿入されたサイクルはカウントされません。4E という要件は、延長ウェイト サイクルがない場合にホールド フェーズが開始される時点に対するものです。

6.16.10.3.5 EMIF 非同期メモリのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

番号	パラメータ(1) (2) (3)		最小値	最大値	単位
1	$t_{d(TURNAROUND)}$	ターン アラウンド時間 TA=0	(TA)*E–3	(TA)*E+2	ns
読み取り	**読み取り**	**読み取り**	**読み取り**	**読み取り**	**読み取り**
3	$t_{c(EMRCYCLE)}$	EMIF 読み取りサイクル時間 (EW = 0)	(RS+RST+RH)*E–3	(RS+RST+RH)*E+2	ns
3	$t_{c(EMRCYCLE)}$	EMIF 読み取りサイクル時間 (EW = 1)	(RS+RST+RH+(EWC*16))*E–3	(RS+RST+RH+(EWC*16))*E+2	ns
4	$t_{su(EMCEL-EMOEL)}$	出力セットアップ時間、$\overline{EMxCS[y:2]}$ LOW から $\overline{EMxOE}$ LOW まで (SS = 0) RS=0	(RS)*E–3	(RS)*E+2	ns
4	$t_{su(EMCEL-EMOEL)}$	出力セットアップ時間、$\overline{EMxCS[y:2]}$ LOW から $\overline{EMxOE}$ LOW まで (SS = 1)	-3	2	ns
5	$t_{h(EMOEH-EMCEH)}$	出力ホールド時間、$\overline{EMxOE}$ HIGH から $\overline{EMxCS[y:2]}$ HIGH まで (SS = 0)	(RH)*E–3	(RH)*E	ns
5	$t_{h(EMOEH-EMCEH)}$	出力ホールド時間、$\overline{EMxOE}$ HIGH から $\overline{EMxCS[y:2]}$ HIGH まで (SS = 1)	-3	0	ns
6	$t_{su(EMBAV-EMOEL)}$	出力セットアップ時間、EMxBA[y:0] 有効から $\overline{EMxOE}$ LOW まで	(RS)*E–3	(RS)*E+2	ns
7	$t_{h(EMOEH-EMBAIV)}$	出力ホールド時間、$\overline{EMxOE}$ HIGH から EMxBA[y:0] 無効まで	(RH)*E–3	(RH)*E	ns
8	$t_{su(EMAV-EMOEL)}$	出力セットアップ時間、EMxA[y:0] 有効から $\overline{EMxOE}$ LOW まで	(RS)*E–3	(RS)*E+2	ns
9	$t_{h(EMOEH-EMAIV)}$	出力ホールド時間、$\overline{EMxOE}$ HIGH から EMxA[y:0] 無効まで	(RH)*E–3	(RH)*E	ns
10	$t_{w(EMOEL)}$	$\overline{EMxOE}$ アクティブ LOW 幅 (EW = 0)	(RST)*E–1	(RST)*E+1	ns

Copyright © 2025 Texas Instruments Incorporated

6.16.10.3.5 EMIF 非同期メモリのスイッチング特性 (続き)

推奨動作条件範囲内 (特に記述のない限り)

番号	パラメータ(1) (2) (3)		最小値	最大値	単位
10	$t_{w(EMOEL)}$	$\overline{EMxOE}$ アクティブ LOW 幅 (EW = 1)	(RST+(EWC*16))*E–1	(RST+(EWC*16))*E+1	ns
11	$t_{d(EMWAITH-EMOEH)}$	EMxWAIT デアサートから $\overline{EMxOE}$ HIGH までの遅延時間	4*E+10	5*E+15	ns
29	$t_{su(EMDQMV-EMOEL)}$	出力セットアップ時間、EMxDQM[y:0] 有効から $\overline{EMxOE}$ LOW まで	(RS)*E–3	(RS)*E+2	ns
30	$t_{h(EMOEH-EMDQMIV)}$	出力ホールド時間、$\overline{EMxOE}$ HIGH から EMxDQM[y:0] 無効まで	(RH)*E–3	(RH)*E	ns
書き込み	**書き込み**	**書き込み**	**書き込み**	**書き込み**	**書き込み**
15	$t_{c(EMWCYCLE)}$	EMIF 書き込みサイクル時間 (EW = 0)	(WS+WST+WH)*E–3	(WS+WST+WH)*E+2	ns
15	$t_{c(EMWCYCLE)}$	EMIF 書き込みサイクル時間 (EW = 1)	(WS+WST+WH+(EWC*16))*E–3	(WS+WST+WH+(EWC*16))*E+2	ns
16	$t_{su(EMCEL-EMWEL)}$	出力セットアップ時間、$\overline{EMxCS[y:2]}$ LOW から $\overline{EMxWE}$ LOW まで (SS = 0)	(WS)*E–3	(WS)*E+2	ns
16	$t_{su(EMCEL-EMWEL)}$	出力セットアップ時間、$\overline{EMxCS[y:2]}$ LOW から $\overline{EMxWE}$ LOW まで (SS = 1)	-3	2	ns
17	$t_{h(EMWEH-EMCEH)}$	出力ホールド時間、$\overline{EMxWE}$ HIGH から $\overline{EMxCS[y:2]}$ HIGH まで (SS = 0)	(WH)*E–3	(WH)*E	ns
17	$t_{h(EMWEH-EMCEH)}$	出力ホールド時間、$\overline{EMxWE}$ HIGH から $\overline{EMxCS[y:2]}$ HIGH まで (SS = 1)	-3	0	ns
18	$t_{su(EMDQMV-EMWEL)}$	出力セットアップ時間、EMxDQM[y:0] 有効から $\overline{EMxWE}$ LOW まで	(WS)*E–3	(WS)*E+2	ns
19	$t_{h(EMWEH-EMDQMIV)}$	出力ホールド時間、$\overline{EMxWE}$ HIGH から EMxDQM[y:0] 無効まで	(WH)*E–3	(WH)*E	ns
20	$t_{su(EMBAV-EMWEL)}$	出力セットアップ時間、EMxBA[y:0] 有効から $\overline{EMxWE}$ LOW まで	(WS)*E–3	(WS)*E+2	ns
21	$t_{h(EMWEH-EMBAIV)}$	出力ホールド時間、$\overline{EMxWE}$ HIGH から EMxBA[y:0] 無効まで	(WH)*E–3	(WH)*E	ns
22	$t_{su(EMAV-EMWEL)}$	出力セットアップ時間、EMxA[y:0] 有効から $\overline{EMxWE}$ LOW まで	(WS)*E–3	(WS)*E+2	ns
23	$t_{h(EMWEH-EMAIV)}$	出力ホールド時間、$\overline{EMxWE}$ HIGH から EMxA[y:0] 無効まで	(WH)*E–3	(WH)*E	ns
24	$t_{w(EMWEL)}$	$\overline{EMxWE}$ アクティブ LOW 幅 (EW = 0)	(WST)*E–1	(WST)*E+1	ns
24	$t_{w(EMWEL)}$	$\overline{EMxWE}$ アクティブ LOW 幅 (EW = 1)	(WST+(EWC*16))*E–1	(WST+(EWC*16))*E+1	ns
25	$t_{d(EMWAITH-EMWEH)}$	EMxWAIT デアサートから $\overline{EMxWE}$ HIGH までの遅延時間	4*E+10	5*E+15	ns
26	$t_{su(EMDV-EMWEL)}$	出力セットアップ時間、EMxD[y:0] 有効から $\overline{EMxWE}$ LOW まで	(WS)*E–3	(WS)*E+2	ns

Copyright © 2025 Texas Instruments Incorporated

6.16.10.3.5 EMIF 非同期メモリのスイッチング特性 (続き)

推奨動作条件範囲内 (特に記述のない限り)

番号	パラメータ(1) (2) (3)		最小値	最大値	単位
27	$t_{h(EMWEH-EMDIV)}$	出力ホールド時間、$\overline{EMxWE}$ HIGH から EMxD[y:0] 無効まで	(WH)*E–3	(WH)*E	ns

(1) TA =ターン アラウンド、RS = 読み取りセットアップ、RST = 読み取りストローブ、RH = 読み取りホールド、WS = 書き込みセットアップ、WST = 書き込みストローブ、WH = 書き込みホールド、MEWC = 最大外部ウェイト サイクル。これらのパラメータは、非同期バンクおよび非同期ウェイト サイクル構成レジスタを使ってプログラミングします。これらのパラメータは、以下の範囲の値をサポートしています。TA[4–1]、RS[16–1]、RST[64–4]、RH[8–1]、WS[16–1]、WST[64–1]、WH[8–1]、および MEWC[1–256]。詳細については、『*F29H85x/F29P58x リアルタイム マイコン テクニカル リファレンス マニュアル*』を参照してください。

(2) E = EMxCLK 周期 (ns 単位)。

(3) EWC = EMxWAIT 入力信号によって決定される外部ウェイト サイクル。EWC は、以下の範囲の値をサポートしています。EWC[256–1]。タイムアウトまでの最大ウェイト時間は、非同期ウェイト サイクル構成レジスタのビット フィールド MEWC により指定されます。詳細については、『*F29H85x/F29P58x リアルタイム マイコン テクニカル リファレンス マニュアル*』を参照してください。

6.16.10.3.6 EMIF 非同期メモリのタイミング図

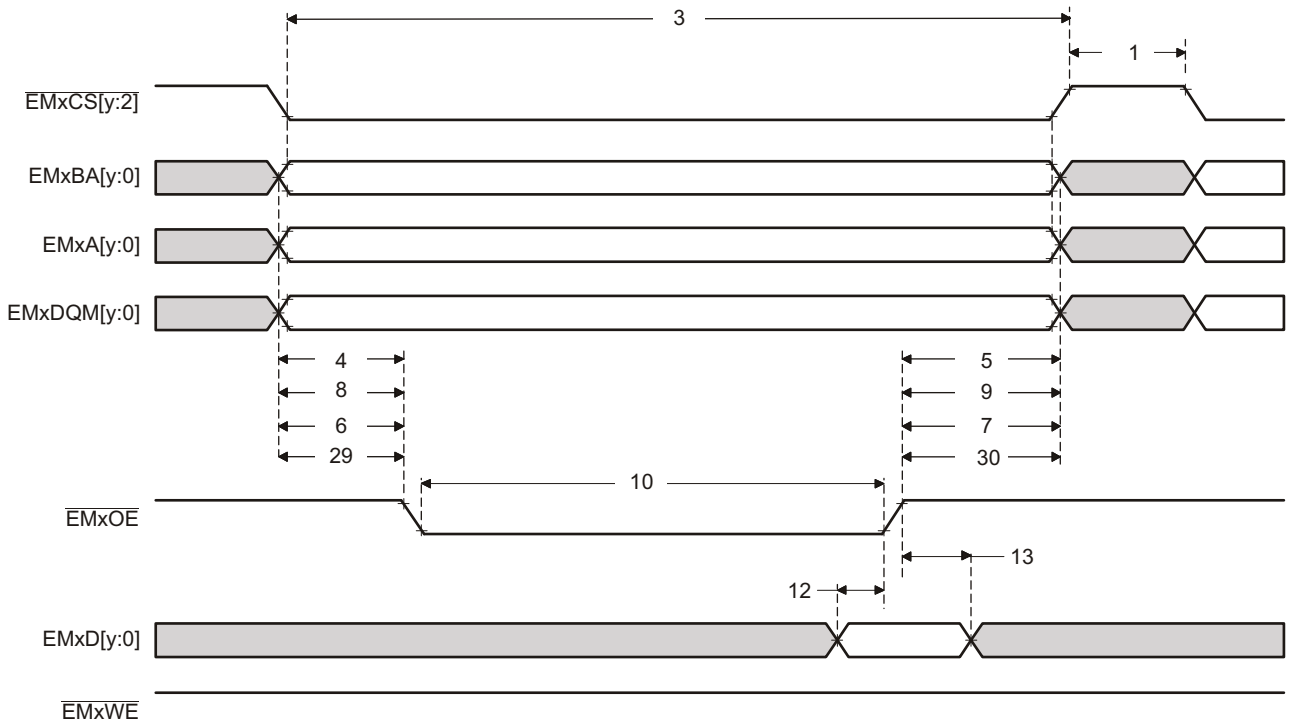


図 6-28. 非同期メモリ読み取りタイミング

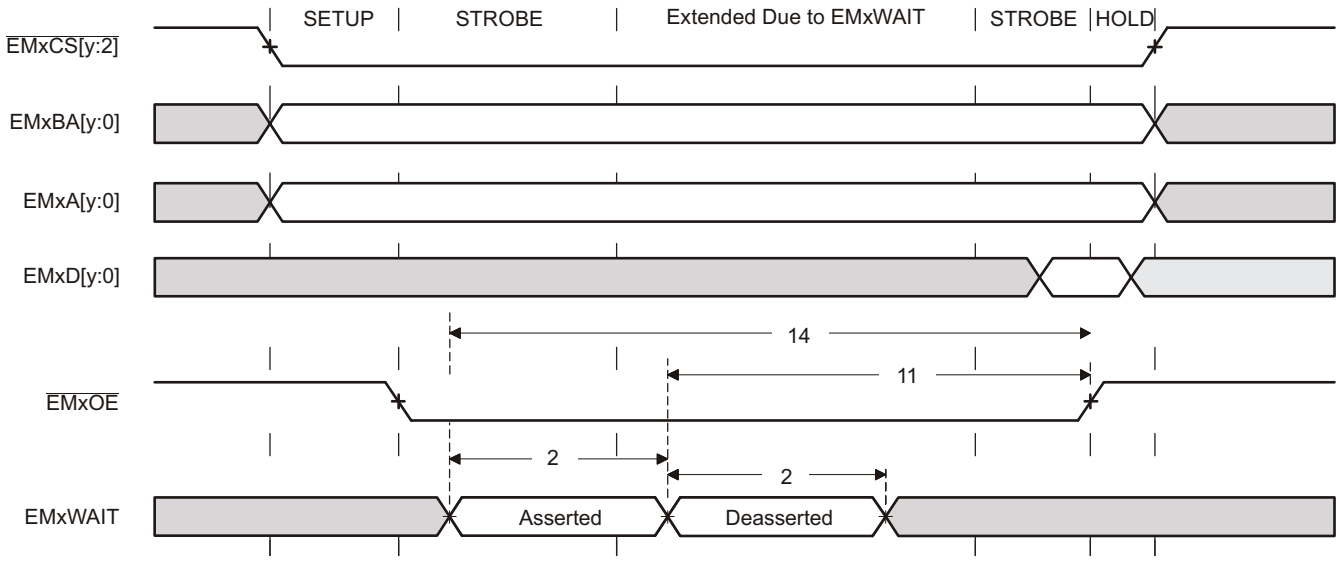


図 6-29. EMxWAIT 読み取りタイミング要件

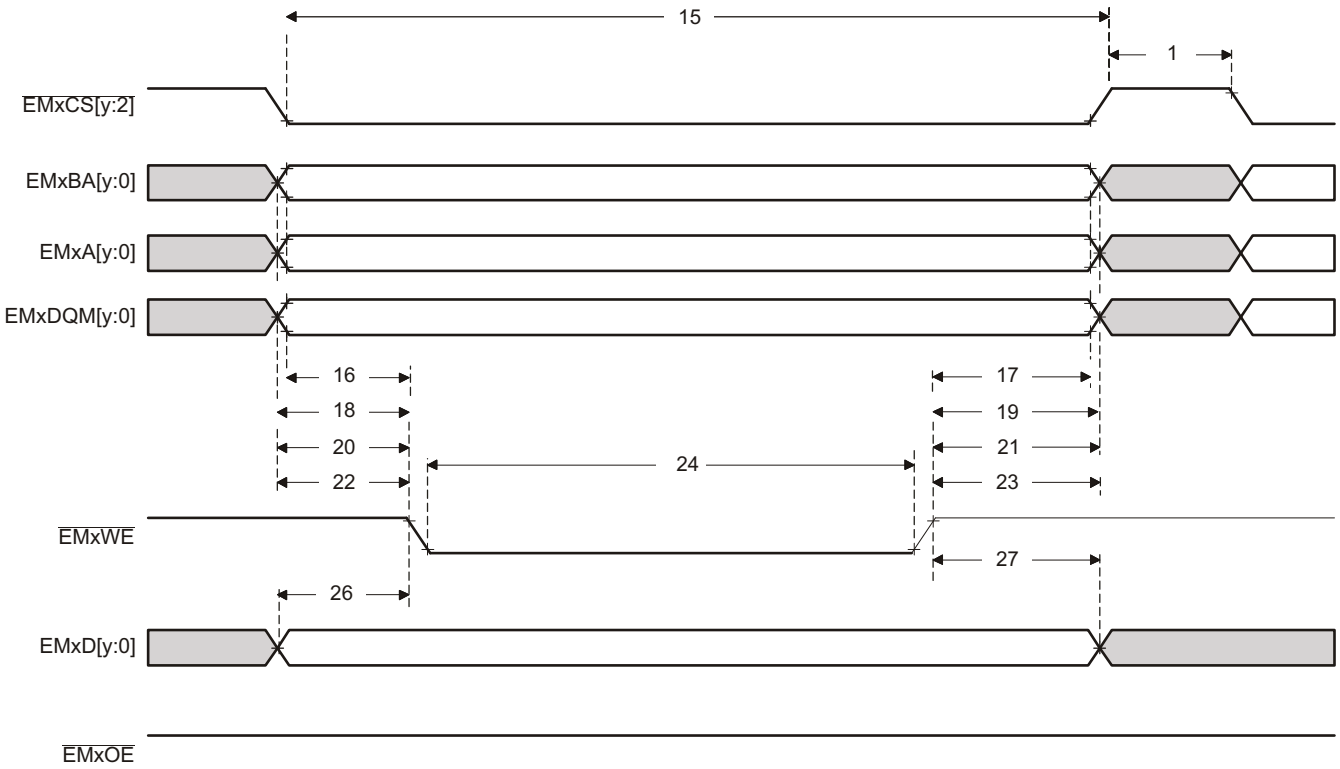


図 6-30. 非同期メモリ書き込みタイミング

Copyright © 2025 Texas Instruments Incorporated

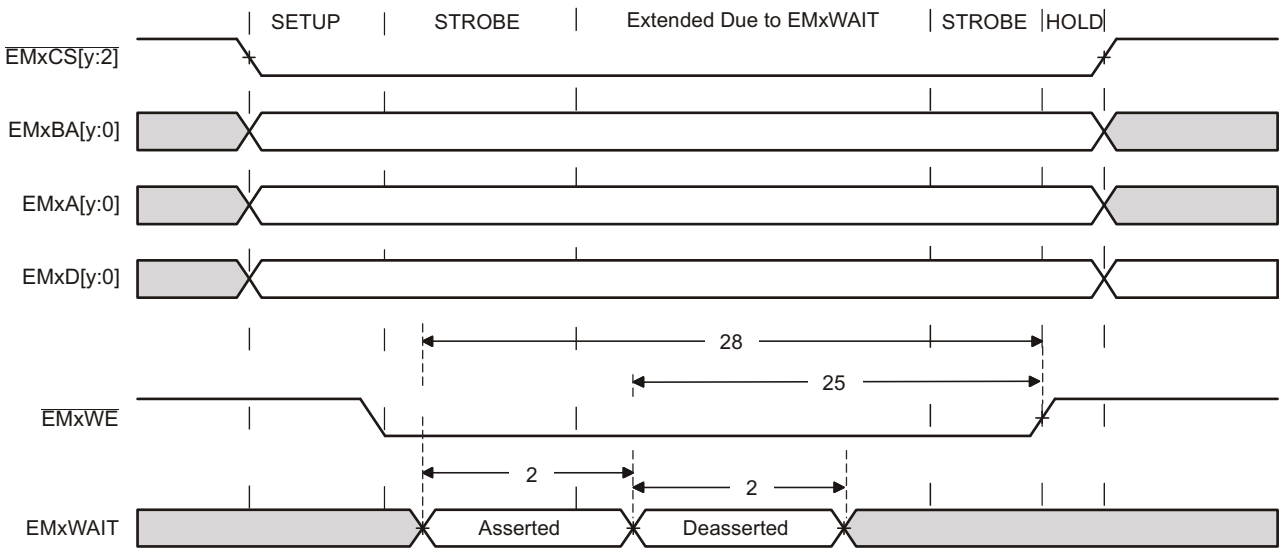


図 6-31. EMxWAIT 書き込みタイミング要件

6.17 C29x アナログ ペリフェラル

6.17.1 アナログ サブシステム

このデバイスのアナログ モジュールには、A/D コンバータ (ADC)、バッファ付き D/A コンバータ (DAC)、温度センサ、コンパレータ サブシステム (CMPSS) が含まれます。

6.17.1.1 特長

アナログ サブシステムには次のような特長があります。

- フレキシブルな電圧リファレンス:
  - これらの ADC は、VREFHIx ピンおよび VREFLOx ピンを基準としています。
    - VREFHIAB および VREFHICDE ピンの電圧は、外部から駆動することも、内部バンドギャップ電圧リファレンスによって生成することもできます。
    - 16 ビット モード動作では、ADC A と ADC B の内部電圧リファレンス範囲として 0V～2.5V を選択でき、12 ビット モード動作では、ADC A と ADC B の内部電圧リファレンス範囲として 0V～3.3V または 0V～2.5V を選択できます。
    - ADC C、ADC D、ADC E の内部電圧リファレンス範囲としては、0V～3.3V または 0V～2.5V のいずれかを選択できます。
  - バッファ付き DAC は、VREFHIx および VSSA を基準としています。
    - または、VDAC ピンおよび VSSA を基準にすることもできます。
  - コンパレータ DAC は、VDDA および VSSA を基準としています。
    - または、VDAC ピンおよび VSSA を基準にすることもできます。
- フレキシブルなピンの用途
  - バッファ付き DAC 出力、コンパレータ サブシステム入力、およびデジタル入力 (AIO) / 出力 (AGPIO) は、ADC 入力と多重化されています。
  - オフセット セルフ キャリブレーション用に V_{REFLO} への内部接続があります。

6.17.1.2 ブロック図

以下のアナログ サブシステム ブロック図は、各種の内蔵アナログ モジュールとデバイス ピンとの間の接続を示しています。これらのピンは 2 つの区分 (アナログ モジュールの入力 / 出力、リファレンス ピン) に分類されます。

リファレンス ピンのペアとして、VREFHIAB/VREFLOAB と VREFHICDE/VREFLOCDE の 2 つがあります。VREFHIAB と VREFLOAB は、16 ビット モードと 12 ビット モードの両方をサポートする ADC A および ADC B モジュールに基準電圧を供給します。VREFHICDE と VREFLOCDE は、12 ビット モードのみをサポートする ADC C、ADC D、および ADC E モジュールに基準電圧を供給します。VREFHIAB は DAC A への基準電圧供給にも使用でき、VREFHICDE は DAC B への基準電圧供給にも使用できます。

VDAC リファレンス ピンを使用して、DAC A と DAC B、および CMPSS モジュール内の DAC の代替範囲を設定できます (CMPSS DAC は、デフォルトでは VDDA および VSSA を基準としています)。このピンを基準電圧として使用すると、チャネルを ADC 入力として使用できなくなります (ただし、必要に応じて ADC を VDAC 電圧のサンプリングに使用できます)。リファレンスの選択は、各 CMPSS またはバッファ付き DAC について、モジュールごとに設定できます。この選択はモジュールの構成レジスタを使用して行われます。

一部のアナログ ピンは、多重化された AIO および AGPIO によってデジタル機能をサポートしています。AIO はデジタル入力機能のみをサポートしているのに対して、AGPIO はデジタル入力および出力機能を全面的にサポートしています。

以下の注意事項は、すべてのパッケージに適用されます。

- すべてのデバイスにおいて、すべてのアナログ ピンが利用できるとは限りません。使用可能なピンを確認するには、デバイスのデータシートを参照してください。
- VREFHI および VREFLO の許容電圧範囲については、デバイスのデータシートを参照してください。
- VREFHI ピンには外付けコンデンサが必要です。必要な値については、デバイスのデータシートを参照してください。

Copyright © 2025 Texas Instruments Incorporated

- バッファ付き DAC モジュールの場合、VREFHIx と VDAC のどちらが High リファレンスとして選択されていても、VSSA が Low リファレンスです。
- CMPSS モジュールの場合、VDAC と VDDA のどちらが High リファレンスとして選択されていても、VSSA が Low リファレンスです。

以下の図に、各アナログ グループの構成を示します。「アナログピン接続」表に、アナログ ピンと内部接続を示します。

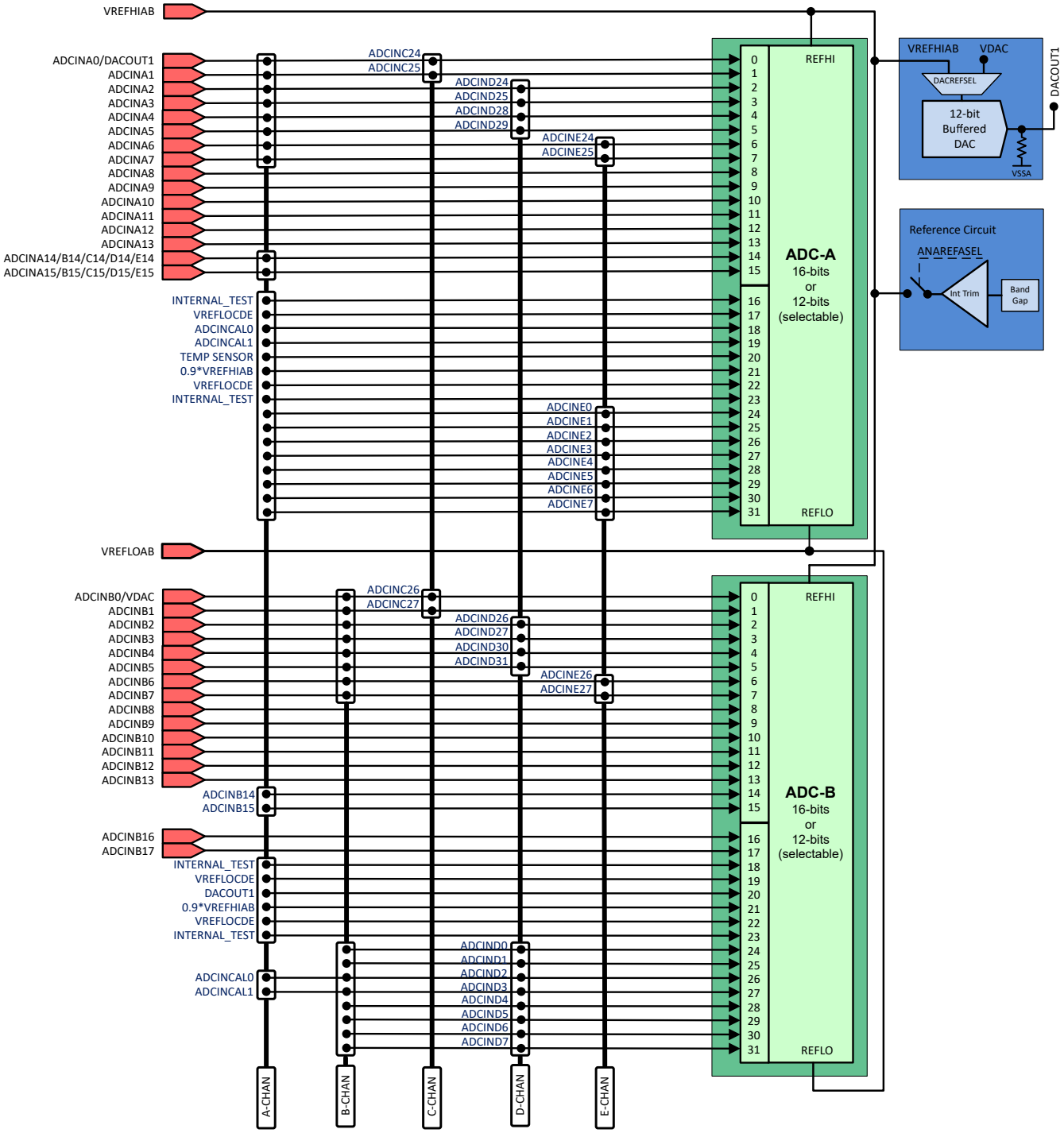


図 6-32. アナログ サブシステムのブロック図 (ADC A および ADC B)

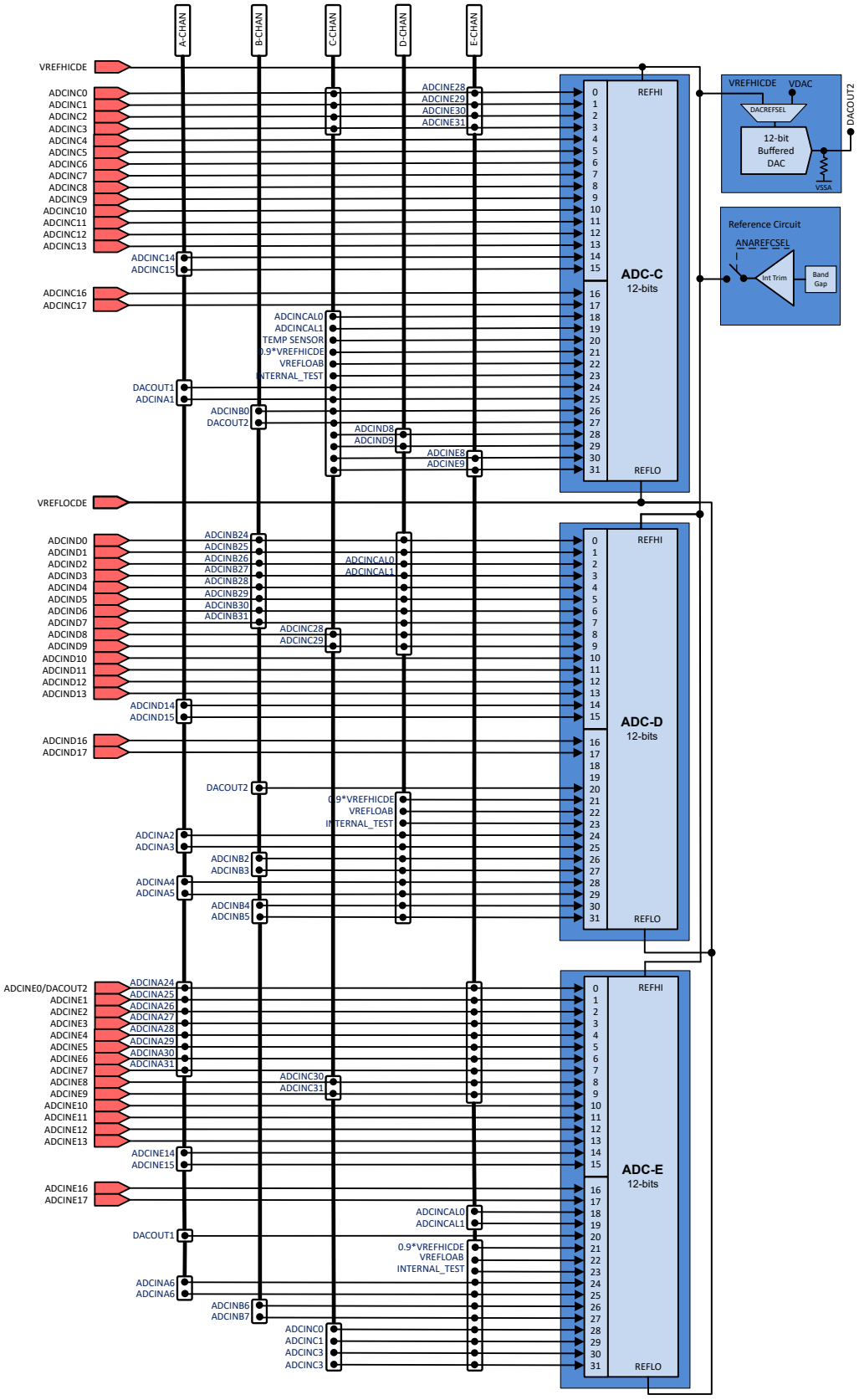


図 6-33. アナログ サブシステムのブロック図 (ADC C、ADC D、ADC E)

Copyright © 2025 Texas Instruments Incorporated

CMPSS モジュールとの入力接続は、プログラム可能な入力マルチプレクサにより選択できます。図 6-34 に、CMPSS 入力の接続を示します。表 6-12 に、ADC 入力信号の CMPSS マルチプレクサ入力への割り当てを示します。

- CMPSSx の CMPH_POSIN 入力マルチプレクサを構成するには、CMPHPMXSEL または CMPHPMXSEL1 アナログ サブシステム レジスタの CMPxHPMXSEL フィールドに書き込みます。
- CMPSSx の CMPH_NEGIN 入力マルチプレクサを構成するには、CMPHNMXSEL アナログ サブシステム レジスタの CMPxHNMXSEL フィールドに書き込みます。
- CMPSSx の CMPL_POSIN 入力マルチプレクサを構成するには、CMPLPMXSEL または CMPLPMXSEL1 アナログ サブシステム レジスタの CMPxLPMXSEL フィールドに書き込みます。
- CMPSSx の CMPL_NEGIN 入力マルチプレクサを構成するには、CMPLNMXSEL アナログ サブシステム レジスタの CMPxLNMXSEL フィールドに書き込みます。

Copyright © 2025 Texas Instruments Incorporated

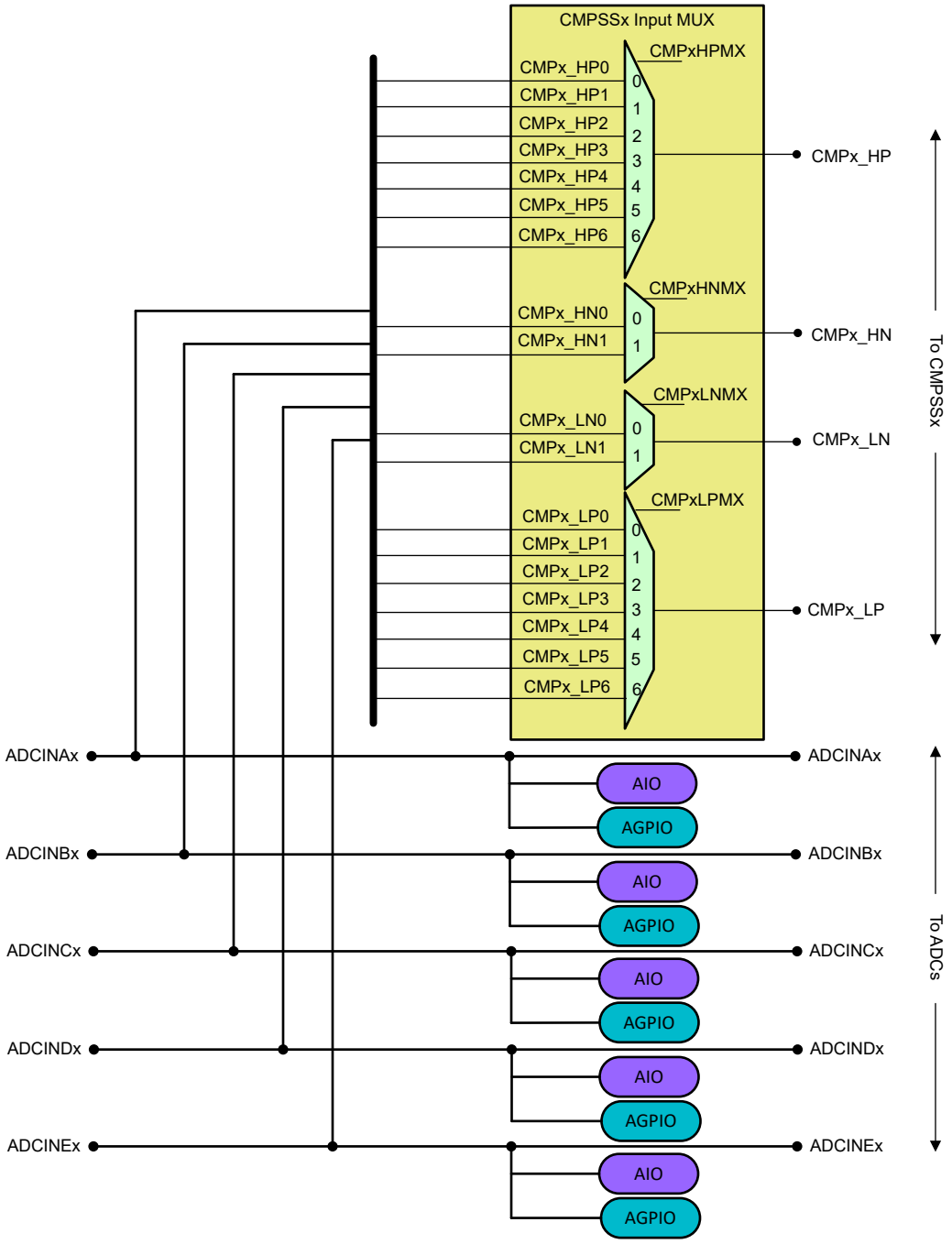


図 6-34. アナログ グループ接続

表 6-12. CMPSS 入力マルチプレクサ オプション

CMPSSx 入力マルチプレクサ	CMP1	CMP2	CMP3	CMP4	CMP5	CMP6	CMP7	CMP8	CMP9	CMP10	CMP11	CMP12
HP0	A4	A6	B2	A0	D12	D8	D1	D3	C1	C0	C1	C8
HP1	A2	E8	B0	D5	E6	E17	B4	E4	C2	E10	E11	E1
HP2	A3	E9	B1	D0	E7	E16	B5	E5	A7	E12	E13	0.9*VREFHIAB
HP3	B3	D13	TempSense	D2	TempSense	0.9*VREFHIAB	0.9*VREFHICDE	A8	C9	D3	E1	0.9*VREFHICDE

Copyright © 2025 Texas Instruments Incorporated

表 6-12. CMPSS 入力マルチプレクサ オプション (続き)

CMPSSx 入力マルチプレクサ	CMP1	CMP2	CMP3	CMP4	CMP5	CMP6	CMP7	CMP8	CMP9	CMP10	CMP11	CMP12
HP4	D6	D7	E2	E3	A8	A9	A10	A11	B6	B7	B8	B9
HP5	A12	A13	A14	A15	C7	C8	C9	C10	B16	B17	C11	C12
HP6	B0	B2	D1	B8	C0	E0	A1	B9	A0	D0	A14	A15
HN0	A5	A7	B3	A1	D13	D9	D2	D4	A2	E8	B6	A6
HN1	A3	A4	B5	D5	E6	E17	B4	E4	E9	D12	C2	B1
LP0	A4	A6	B2	A0	D12	D8	D1	D3	C1	C0	C1	C8
LP1	A2	E8	B0	D5	E6	E17	B4	E4	C2	E10	E11	E1
LP2	A3	E9	B1	D0	E7	E16	B5	E5	A7	E12	E13	0.9*VREF HIAB
LP3	B3	D13	D9	D2	D4	0.9*VREF HIAB	0.9*VREF HICDE	A8	C9	D3	E1	0.9*VREF HICDE
LP4	D6	D7	E2	E3	B10	B11	B12	B13	C3	C4	C5	C6
LP5	A12	A13	A14	A15	C13	C16	C17	D10	D11	D16	D17	E0
LP6	B0	B2	D1	B8	C0	E0	A1	B9	A0	D0	A14	A15
LN0	A5	A7	B3	A1	D13	D9	D2	D4	A2	E8	B6	A6
LN1	A3	A4	B5	D5	E6	E17	B4	E4	E9	D12	C2	B1

Copyright © 2025 Texas Instruments Incorporated

6.17.1.3 アナログ ピン接続

表 6-13. アナログ ピン接続

ピン名	ピン数 / パッケージ				ADC					DAC	コンパレータ サブシステム (マルチプレクサ)				AIO 入力 / GPIO
	256 ZEX	176 PTS	144 RFS	100 PZS	A	B	C	D	E		High 正	High 負	Low 正	Low 負	
VREFHIAB	N2	38	30	19											
VREFHICDE	R4	54	45	33											
VFEFLOAB	N1	37	29	18			C22	D22	E22						
VREFLOCDE	T4	53	44	32	A17、A22	B19、B22									
アナログ グループ 1											CMP1、その他のコンパレータ				
ADCINA3	M2	35	27		A3			D25			CMP1 (HPMXSEL=2)	CMP1 (HNMXSEL=1)	CMP1 (LPMXSEL=2)	CMP1 (LNMXSEL=1)	AIO163
ADCINA5	L1	31	23		A5			D29				CMP1 (HNMXSEL=0)		CMP1 (LNMXSEL=0)	AIO165
ADCINA12	K2				A12						CMP1 (HPMXSEL=5)		CMP1 (LPMXSEL=5)		AIO166
ADCIND6	T12	71	60			B30		D6			CMP1 (HPMXSEL=4)		CMP1 (LPMXSEL=4)		GPIO242
ADCINA4	L2	32	24		A4			D28			CMP1 (HPMXSEL=0)	CMP2 (HNMXSEL=1)	CMP1 (LPMXSEL=0)	CMP2 (LNMXSEL=1)	AIO164
ADCINB0	P2	42	34	23		B0	C26			VDAC	CMP1 (HPMXSEL=6) CMP3 (HPMXSEL=1)		CMP1 (LPMXSEL=6) CMP3 (LPMXSEL=1)		AIO170
ADCINB3	L3	33	25	16		B3		D27			CMP1 (HPMXSEL=3)	CMP3 (HNMXSEL=0)	CMP1 (LPMXSEL=3)	CMP3 (LNMXSEL=0)	AIO173
ADCINA2	M1	36	28		A2			D24			CMP1 (HPMXSEL=1)	CMP9 (HNMXSEL=0)	CMP1 (LPMXSEL=1)	CMP9 (LNMXSEL=0)	AIO162
アナログ グループ 2											CMP2、その他のコンパレータ				
ADCINA13	K1				A13						CMP2 (HPMXSEL=5)		CMP2 (LPMXSEL=5)		AIO167
ADCIND7	R12	72	61			B31		D7			CMP2 (HPMXSEL=4)		CMP2 (LPMXSEL=4)		GPIO243
ADCINB2	L4	34	26	17		B2		D26			CMP2 (HPMXSEL=6) CMP3 (HPMXSEL=0)		CMP2 (LPMXSEL=6) CMP3 (LPMXSEL=0)		AIO172 AIO172
ADCIND13	M6							D13			CMP2 (HPMXSEL=3)	CMP5 (HNMXSEL=0)	CMP2 (LPMXSEL=3)	CMP5 (LNMXSEL=0)	AIO199
ADCINA7	K5	25	17	12	A7				E25		CMP9 (HPMXSEL=2)	CMP2 (HNMXSEL=0)	CMP9 (LPMXSEL=2)	CMP2 (LNMXSEL=0)	GPIO225
ADCINE9	T9						C31		E9		CMP2 (HPMXSEL=2)	CMP9 (HNMXSEL=1)	CMP2 (LPMXSEL=2)	CMP9 (LNMXSEL=1)	AIO207
ADCINE8	T10						C30		E8		CMP2 (HPMXSEL=1)	CMP10 (HNMXSEL=0)	CMP2 (LPMXSEL=1)	CMP10 (LNMXSEL=0)	AIO206
ADCINA6	L5	26	18	13	A6				E24		CMP2 (HPMXSEL=0)	CMP12 (HNMXSEL=0)	CMP2 (LPMXSEL=0)	CMP12 (LNMXSEL=0)	GPIO224
アナログ グループ 3											CMP3、その他のコンパレータ				
ADCINE2	T5	59	51		A26				E2		CMP3 (HPMXSEL=4)		CMP3 (LPMXSEL=4)		AIO204
TempSensor					A20		C20				CMP3 (HPMXSEL=3) CMP5 (HPMXSEL=3)				
ADCIND9	T13	76					C29	D9				CMP6 (HNMXSEL=0)	CMP3 (LPMXSEL=3)	CMP6 (LNMXSEL=0)	GPIO245
ADCIND1	T3	48	40	29		B25		D1			CMP3 (HPMXSEL=6) CMP7 (HPMXSEL=0)		CMP3 (LPMXSEL=6) CMP7 (LPMXSEL=0)		AIO193
ADCINB5	K3	29	21			B5		D31			CMP7 (HPMXSEL=2)	CMP3 (HNMXSEL=1)	CMP7 (LPMXSEL=2)	CMP3 (LNMXSEL=1)	AIO175
ADCINA14	M3	40	32	21	A14	B14	C14	D14	E14		CMP3 (HPMXSEL=5) CMP11 (HPMXSEL=6)		CMP3 (LPMXSEL=5) CMP11 (LPMXSEL=6)		AIO168

Copyright © 2025 Texas Instruments Incorporated

表 6-13. アナログ ピン接続 (続き)

ピン名	ピン数 / パッケージ				ADC					DAC	コンパレータ サブシステム (マルチプレクサ)				AIO 入力 / GPIO
	256 ZEX	176 PTS	144 RFS	100 PZS	A	B	C	D	E		High 正	High 負	Low 正	Low 負	
ADCINB1	N3	41	33	22		B1	C27				CMP3 (HPMXSEL=2)	CMP12 (HNMXSEL=1)	CMP3 (LPMXSEL=2)	CMP12 (LNMXSEL=1)	AIO171
アナログ グループ 4											CMP4、その他のコンパレータ				
ADCIND5	N11	66	55			B29		D5			CMP4 (HPMXSEL=1)	CMP4 (HNMXSEL=1)	CMP4 (LPMXSEL=1)	CMP4 (LNMXSEL=1)	GPIO241
ADCINE3	T6	60	52		A27				E3		CMP4 (HPMXSEL=4)		CMP4 (LPMXSEL=4)		AIO205
ADCINA1	P1	43	35	24	A1		C25				CMP7 (HPMXSEL=6)	CMP4 (HNMXSEL=0)	CMP7 (LPMXSEL=6)	CMP4 (LNMXSEL=0)	AIO161
ADCIND2	R5	57	49	34		B26		D2			CMP4 (HPMXSEL=3)	CMP7 (HNMXSEL=0)	CMP4 (LPMXSEL=3)	CMP7 (LNMXSEL=0)	AIO194
ADCINA0	R1	44	36	25	A0		C24			DACOUT1	CMP4 (HPMXSEL=0)		CMP4 (LPMXSEL=0)		AIO160
											CMP9 (HPMXSEL=6)		CMP9 (LPMXSEL=6)		
ADCIND0	R3	47	39	28		B24		D0			CMP4 (HPMXSEL=2)		CMP4 (LPMXSEL=2)		AIO192
											CMP10 (HPMXSEL=6)		CMP10 (LPMXSEL=6)		
ADCINB8	H2	20	15	11		B8					CMP4 (HPMXSEL=6)		CMP4 (LPMXSEL=6)		GPIO232
											CMP11 (HPMXSEL=4)				
ADCINA15	M4	39	31	20	A15	B15	C15	D15	E15		CMP4 (HPMXSEL=5)		CMP4 (LPMXSEL=5)		AIO169
											CMP12 (HPMXSEL=6)		CMP12 (LPMXSEL=6)		
アナログ グループ 5											CMP5、その他のコンパレータ				
ADCINB10	G2	16	13			B10							CMP5 (LPMXSEL=4)		GPIO234
ADCINC7	M9	64					C7				CMP5 (HPMXSEL=5)				GPIO237
ADCINC13	T8						C13						CMP5 (LPMXSEL=5)		AIO189
ADCINE6	P13	73	62		A30				E6		CMP5 (HPMXSEL=1)	CMP5 (HNMXSEL=1)	CMP5 (LPMXSEL=1)	CMP5 (LNMXSEL=1)	GPIO248
ADCINE7	N13	74	63		A31				E7		CMP5 (HPMXSEL=2)		CMP5 (LPMXSEL=2)		GPIO249
ADCINA8	H4	22	16		A8						CMP5 (HPMXSEL=4)				GPIO226
											CMP8 (HPMXSEL=3)		CMP8 (LPMXSEL=3)		
ADCIND4	N10	65				B28		D4				CMP8 (HNMXSEL=0)	CMP5 (LPMXSEL=3)	CMP8 (LNMXSEL=0)	GPIO240
ADCINC0	R2	45	37	26			C0		E28		CMP5 (HPMXSEL=6)		CMP5 (LPMXSEL=6)		AIO180
											CMP10 (HPMXSEL=0)		CMP10 (LPMXSEL=0)		
ADCIND12	M7							D12			CMP5 (HPMXSEL=0)	CMP10 (HNMXSEL=1)	CMP5 (LPMXSEL=0)	CMP10 (LNMXSEL=1)	AIO198
アナログ グループ 6											CMP6、その他のコンパレータ				
ADCINA9	H3	21			A9						CMP6 (HPMXSEL=4)				GPIO227
ADCINB11	G1	15	12			B11							CMP6 (LPMXSEL=4)		GPIO235
ADCINC16	N7						C16						CMP6 (LPMXSEL=5)		AIO190
ADCIND8	R13	75					C28	D8			CMP6 (HPMXSEL=0)		CMP6 (LPMXSEL=0)		GPIO244
ADCINE16	P10								E16		CMP6 (HPMXSEL=2)		CMP6 (LPMXSEL=2)		AIO212
ADCINE17	T11								E17		CMP6 (HPMXSEL=1)	CMP6 (HNMXSEL=1)	CMP6 (LPMXSEL=1)	CMP6 (LNMXSEL=1)	AIO213
ADCINC8	N12	69	58	40			C8				CMP6 (HPMXSEL=5)				GPIO238
											CMP12 (HPMXSEL=0)		CMP12 (LPMXSEL=0)		
ADCINE0	P3	49	41	30	A24				E0	DACOUT2	CMP6 (HPMXSEL=6)		CMP6 (LPMXSEL=6)		AIO202
													CMP12 (LPMXSEL=5)		

Copyright © 2025 Texas Instruments Incorporated

表 6-13. アナログ ピン接続 (続き)

ピン名	ピン数 / パッケージ				ADC					DAC	コンパレータ サブシステム (マルチプレクサ)				AIO 入力 / GPIO
	256 ZEX	176 PTS	144 RFS	100 PZS	A	B	C	D	E		High 正	High 負	Low 正	Low 負	
0.9*VREFHIAB					A21	B21					CMP6 (HPMXSEL=3)		CMP6 (LPMXSEL=3)		
											CMP12 (HPMXSEL=2)		CMP12 (LPMXSEL=2)		
アナログ グループ 7											CMP7、その他のコンパレータ				
ADCINA10	G3	18			A10						CMP7 (HPMXSEL=4)				GPIO228
ADCINB4	K4	30	22			B4		D30			CMP7 (HPMXSEL=1)	CMP7 (HNMXSEL=1)	CMP7 (LPMXSEL=1)	CMP7 (LNMXSEL=1)	AIO174
ADCINB12	J2					B12							CMP7 (LPMXSEL=4)		AIO176
ADCINC17	P7						C17						CMP7 (LPMXSEL=5)		AIO191
ADCINC9	P12	70	59	41			C9				CMP7 (HPMXSEL=5)				GPIO239
											CMP9 (HPMXSEL=3)		CMP9 (LPMXSEL=3)		
0.9*VREFHICDE							C21	D21	E21		CMP7 (HPMXSEL=3)		CMP7 (LPMXSEL=3)		
											CMP12 (HPMXSEL=3)		CMP12 (LPMXSEL=3)		
アナログ グループ 8											CMP8、その他のコンパレータ				
ADCINB13	J1					B13							CMP8 (LPMXSEL=4)		AIO177
ADCINA11	G4	17			A11						CMP8 (HPMXSEL=4)				GPIO229
ADCINC10	N8						C10				CMP8 (HPMXSEL=5)				AIO186
ADCIND10	N6							D10					CMP8 (LPMXSEL=5)		AIO196
ADCINE4	P11	67	56	38	A28				E4		CMP8 (HPMXSEL=1)	CMP8 (HNMXSEL=1)	CMP8 (LPMXSEL=1)	CMP8 (LNMXSEL=1)	GPIO246
ADCINE5	R11	68	57	39	A29				E5		CMP8 (HPMXSEL=2)		CMP8 (LPMXSEL=2)		GPIO247
ADCIND3	R6	58	50	35		B27		D3			CMP8 (HPMXSEL=0)		CMP8 (LPMXSEL=0)		AIO195
											CMP10 (HPMXSEL=3)		CMP10 (LPMXSEL=3)		
ADCINB9	H1	19	14	10		B9					CMP8 (HPMXSEL=6)		CMP8 (LPMXSEL=6)		GPIO233
											CMP12 (HPMXSEL=4)				
アナログ グループ 9											CMP9、その他のコンパレータ				
ADCINB16	J4					B16					CMP9 (HPMXSEL=5)				AIO178
ADCINC3	M5	52	44				C3		E30				CMP9 (LPMXSEL=4)		AIO183
ADCIND11	P6							D11					CMP9 (LPMXSEL=5)		AIO197
ADCINB6	J5	24				B6			E26		CMP9 (HPMXSEL=4)	CMP11 (HNMXSEL=0)		CMP11 (LNMXSEL=0)	GPIO230
ADCINC1	T2	46	38	27			C1		E29		CMP9 (HPMXSEL=0)		CMP9 (LPMXSEL=0)		AIO181
											CMP11 (HPMXSEL=0)		CMP11 (LPMXSEL=0)		
ADCINC2	N4	51	43				C2		E30		CMP9 (HPMXSEL=1)		CMP9 (LPMXSEL=1)		AIO182
												CMP11 (HNMXSEL=1)		CMP11 (LNMXSEL=1)	
アナログ グループ 10											CMP10、その他のコンパレータ				
ADCINB7	H5	23				B7			E27		CMP10 (HPMXSEL=4)				GPIO231
ADCINB17	J3					B17					CMP10 (HPMXSEL=5)				AIO179
ADCINC4	P5	55	47				C4						CMP10 (LPMXSEL=4)		AIO184
ADCIND16	R7							D16					CMP10 (LPMXSEL=5)		AIO200
ADCINE10	R10								E10		CMP10 (HPMXSEL=1)		CMP10 (LPMXSEL=1)		AIO208

Copyright © 2025 Texas Instruments Incorporated

表 6-13. アナログ ピン接続 (続き)

ピン名	ピン数 / パッケージ				ADC					DAC	コンパレータ サブシステム (マルチプレクサ)				AIO 入力 / GPIO
	256 ZEX	176 PTS	144 RFS	100 PZS	A	B	C	D	E		High 正	High 負	Low 正	Low 負	
ADCINE12	P9								E12		CMP10 (HPMXSEL=2)		CMP10 (LPMXSEL=2)		AIO210
アナログ グループ 11											CMP11、その他のコンパレータ				
ADCINC5	N5	56	48				C5						CMP11 (LPMXSEL=4)		AIO185
ADCINC11	P8						C11				CMP11 (HPMXSEL=5)				AIO187
ADCIND17	T7							D17					CMP11 (LPMXSEL=5)		AIO201
ADCINE11	R9								E11		CMP11 (HPMXSEL=1)		CMP11 (LPMXSEL=1)		AIO209
ADCINE13	N9								E13		CMP11 (HPMXSEL=2)		CMP11 (LPMXSEL=2)		AIO211
ADCINE1	P4	50	42	31	A25				E1		CMP11 (HPMXSEL=3)		CMP11 (LPMXSEL=3)		AIO203
											CMP12 (HPMXSEL=1)		CMP12 (LPMXSEL=1)		
アナログ グループ 12											CMP12、その他のコンパレータ				
ADCINC6	M8	63					C6						CMP12 (LPMXSEL=4)		GPIO236
ADCINC12	R8						C12				CMP12 (HPMXSEL=5)				AIO188

Copyright © 2025 Texas Instruments Incorporated

6.17.2 A/D コンバータ (ADC)

ここで説明する ADC モジュールは、12 ビットの分解能を持つ 12 ビットと 16 ビットの分解能を選択可能な逐次比較型 (SAR) ADC です。このセクションでは、コンバータのアナログ回路を「コア」と呼び、チャネル選択マルチプレクサ、サンプル/ホールド (S/H) 回路、逐次比較回路、電圧リファレンス回路、その他のアナログ サポート回路が含まれています。コンバータのデジタル回路は「ラッパー」と呼ばれ、プログラム可能な変換、結果レジスタ、アナログ回路へのインターフェイス、ペリフェラル バスへのインターフェイス、後処理回路、およびその他のオンチップ モジュールへのインターフェイス用のロジックが含まれています。

各 ADC モジュールは、単一のサンプル / ホールド (S/H) 回路で構成されています。ADC モジュールは、同じチップ上で複数回複製された設計になっており、複数の ADC を同時にサンプリングすることも、独立して動作させることもできます。ADC ラッパーは、変換開始 (SOC) ベースで動作します 。(『*F29H85x および F29P58x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル*』の「A/D コンバータ (ADC)」の章にある *SOC 動作原理*のセクションを参照)。

各 ADC には次のような特長があります。

- 12 ビットと 16 ビットの分解能を選択可能 (ADC A および B)。12 ビットの分解能 (ADC C、D、E)。
- VREFHI/VREFLO によって設定されるレシオメトリック外部リファレンス
- 2.5 V または 3.3 V の内部リファレンスを選択可能
- ADC A と B のシングルエンドまたは差動信号モード。ADC C、D、E のシングルエンド モード。
- 最大 チャネルの入力マルチプレクサ
- 32 本の構成可能な SOC
- 32 個の個別にアドレス指定可能な結果レジスタ
- SOC ごとに外部アナログ入力マルチプレクサを選択可能 (最大 4 ビット)
- メモリ クロストークを軽減するためのサンプル容量リセット機能
- 複数のトリガ ソース
  - ソフトウェアによる直接開始
  - すべての ePWM :ADCSOC A または B
  - GPIO XINT2
  - CPU タイマ 0/1/2
  - ADCINT1/2
  - キャプチャ モードの eCAP イベント (CEVT1、CEVT2、CEVT3、CEVT4) と APWM モード (期間一致、比較一致、または両方)。
  - 複数の ADC 向けのグローバル ソフトウェア トリガ
- 4 つのフレキシブルな割り込み
- バースト モード トリガ オプション
- 最大 128x のハードウェア オーバーサンプリング モード、トリガ拡散遅延を構成可能
- ハードウェア アンダーサンプリング モード
- トリガ位相遅延機能
- 4 つの後処理ブロック、それぞれに次の機能を搭載:
  - 飽和オフセット較正
  - 設定点からの誤差の計算
  - 高、低、ゼロクロス比較、割り込みおよび ePWM トリップ機能付き
  - 高、低、ゼロクロス比較用のデジタル フィルタを構成可能
  - トリガからサンプルまでの遅延キャプチャ
  - 絶対値の計算
  - オーバーサンプリング用の 24 ビット累積レジスタ、バイナリ シフトを構成可能
  - 外れ値除去の最小値 / 最大値の計算

注

すべてのチャネルがすべての ADC からピンへ接続できるわけではありません。使用可能なチャネルを確認するには、「*ピン構成および機能*」セクションを参照してください。

Copyright © 2025 Texas Instruments Incorporated

図 6-35 に、ADC コアと ADC ラッパーのブロック図を示します。

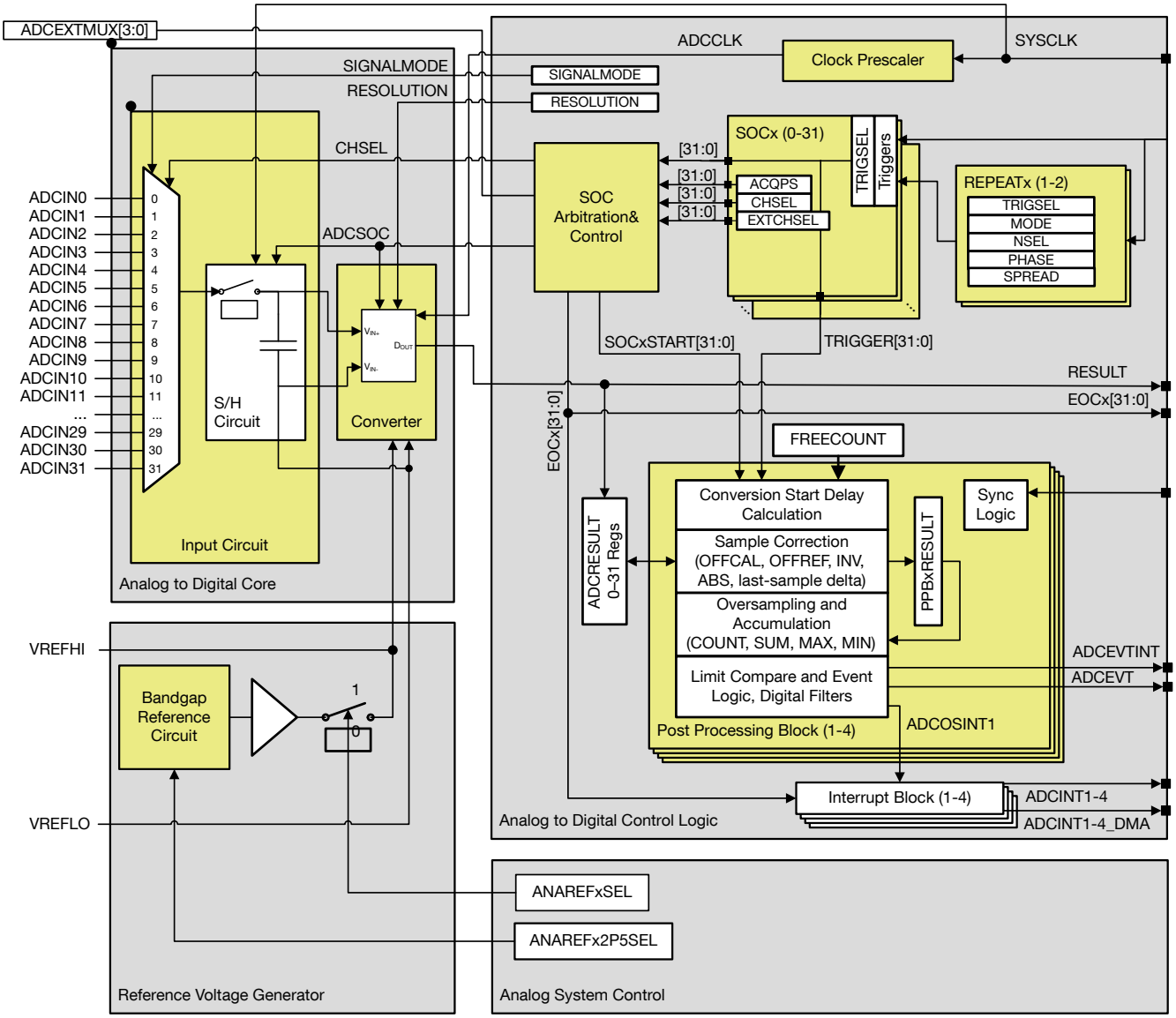


図 6-35. ADC モジュールのブロック図

Copyright © 2025 Texas Instruments Incorporated

6.17.2.1 ADC の構成可能性

一部の ADC 構成は、SOC によって個別に管理されますが、他の構成は、ADC モジュールごとにまとめて管理されます。表 6-14 に、基本的な ADC オプションとその構成レベルを示します。

表 6-14. ADC オプションおよび構成レベル

オプション	構成方法
クロック	モジュールごと(1)
分解能	構成不可 (12 ビット分解能のみ) モジュールごと(1)
信号モード	構成不可 (シングルエンド信号モードのみ) モジュールごと
リファレンス電圧源	モジュールごと (外部または内部)(2) (3)
トリガ ソース	SOC ごと(1)
変換対象チャネル	SOC ごと
アクイジション ウィンドウ幅	SOC ごと(1)
EOC の位置	モジュールごと
バースト モード	モジュールごと(1)

(1) これらの設定について、異なる ADC モジュールに異なる値を書き込むと、ADC が非同期に動作する可能性があります。ADC の動作が同期になるか非同期になるかについてのガイダンスは、『*F29H85x および F29P58x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル*』の「A/D コンバータ (ADC)」の章にある「*同期動作の確保*」セクションを参照してください。
(2) ピン数の少ないパッケージでは、複数の ADC が 1 つの VREFHI ピンを共有する場合があります。この場合、リファレンス ピンを共有する ADC のリファレンス モードを同じにする必要があります。
(3) 16 ビット分解能を使用する場合、3.3V 内部リファレンス モードはサポートされません。

6.17.2.1.1 信号モード

ADC は、シングルエンド信号処理をサポートしています。コンバータへの入力電圧は、1 本のピン (ADCINx) を介し、VREFLO を基準としてサンプリングされます。

ADC は、シングルエンドと差動の 2 つの信号モードをサポートしています。シングルエンド・モードでは、コンバータへの入力電圧は VREFLO を基準として、1 本のピン (ADCINx) でサンプリングされます。差動信号モードでは、コンバータへの入力電圧は 1 組の入力ピンでサンプリングされます。一方が正入力 (ADCINxP) で、他方が負入力 (ADCINxN) です。実際の入力電圧は、2 つの入力電圧の差 (ADCINxP – ADCINxN) です。図 6-36 に、差動信号モードを示します。図 6-37 に、シングルエンド信号モードを示します。

Copyright © 2025 Texas Instruments Incorporated

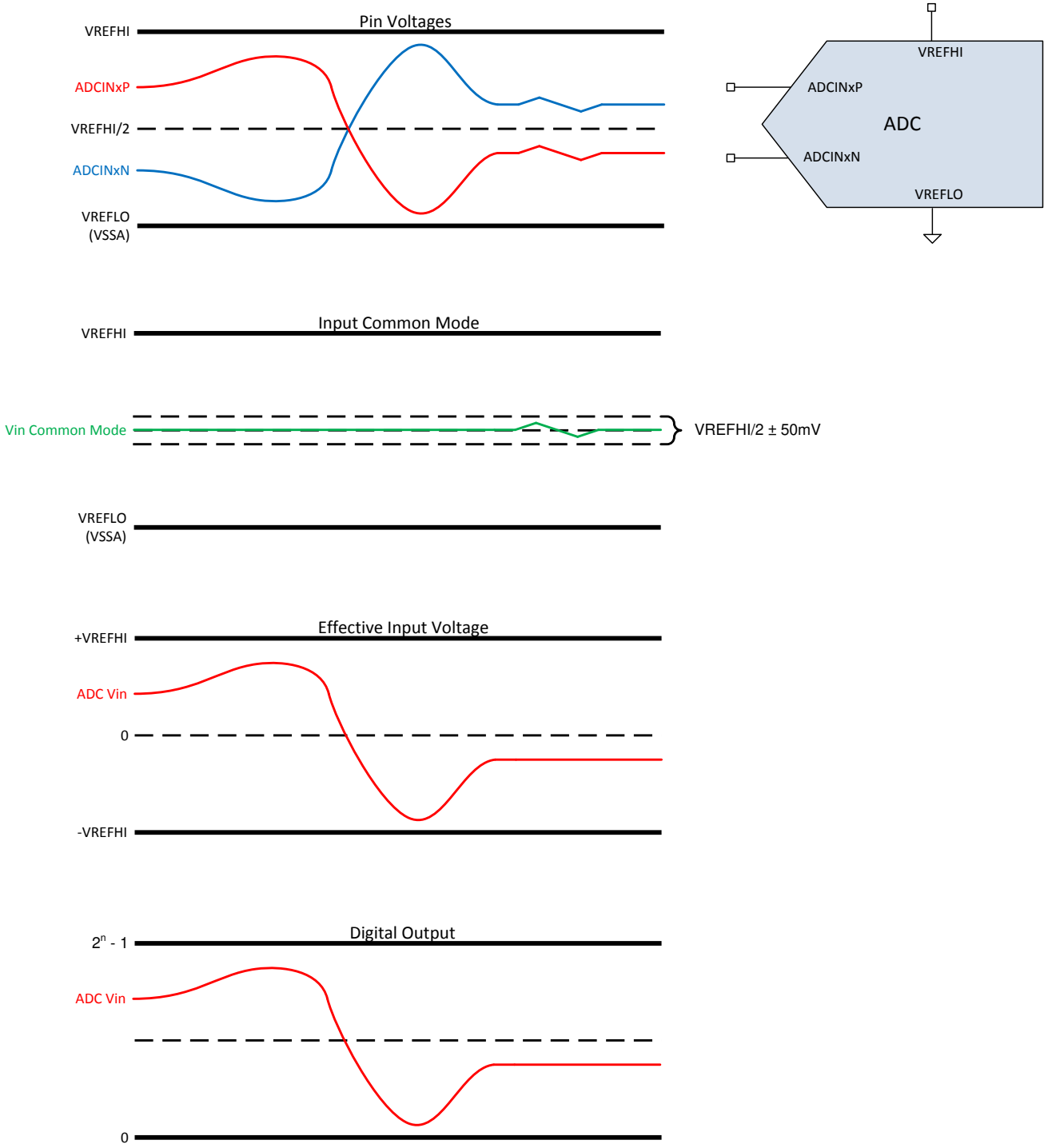


図 6-36. 差動信号モード

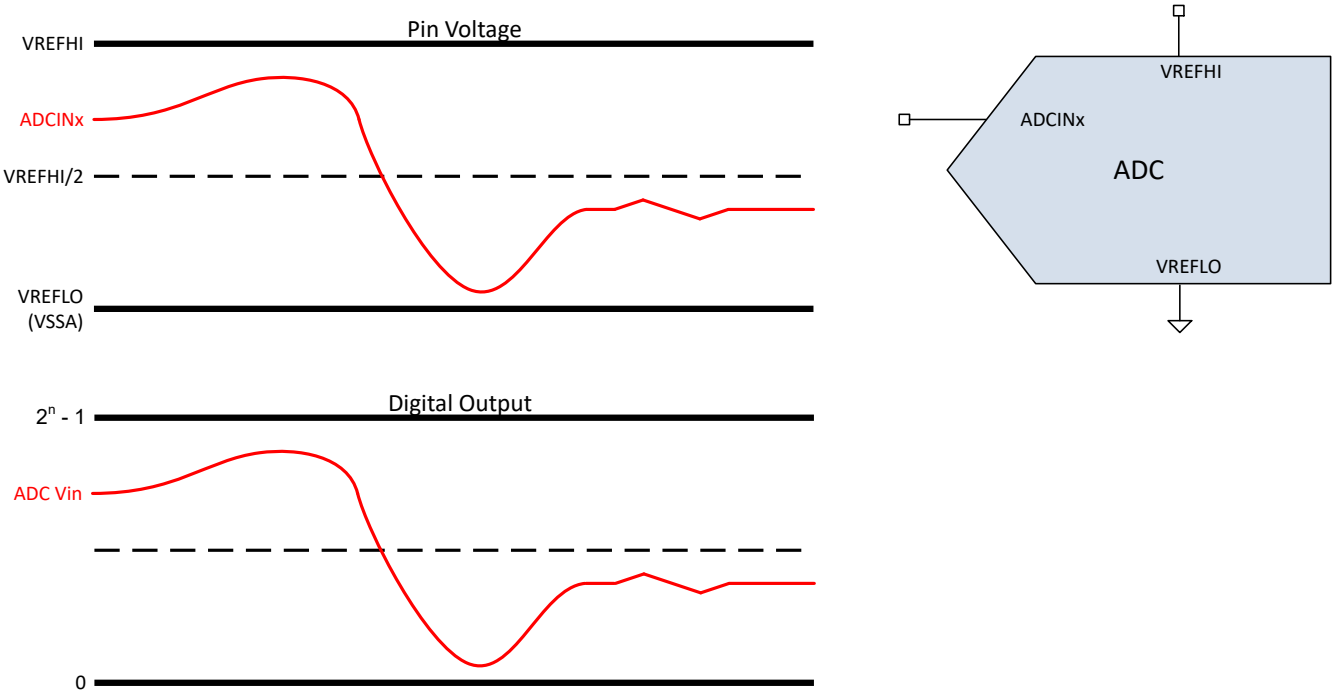


図 6-37. シングルエンド信号モード

Copyright © 2025 Texas Instruments Incorporated

6.17.2.2 ADC の電気的データおよびタイミング

注

ADC 入力は VDDA + 0.3V よりも低く維持する必要があります。ADC 入力がこのレベルを超えると、ADC によって他のチャネルに乱れが生じる可能性があります。メカニズムは次の 2 つです。

- ADC 入力の過電圧によって CMPSS マルチプレクサのオーバードライブが発生し、共通の CMPSS マルチプレクサを共有する他のすべてのチャネルに乱れが生じます。この乱れは、過電圧の入力が ADC によってサンプリングされるかどうかに関係なく続きます。
- 過電圧の ADC 入力が ADC によってサンプリングされると、VREFHI がより高いレベルに引き上げられます。これにより、V_{REF} が安定するまで、任意のチャネルでの以降の ADC 変換に乱れが生じます。

注

正常な機能動作を確保するためには、VREFHI ピンを VDDA + 0.3V よりも低く維持する必要があります。VREFHI ピンがこのレベルを超えると、ブロッキング回路が動作し内部の VREFHI 値が 0V になることで、ADC 変換出力が不正確になる可能性があります。

6.17.2.2.1 ADC の動作条件 12 ビット シングルエンド

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
ADCCLK (PERx.SYSCLK から生成)		5		60	MHz
サンプル レート (3)	200MHz SYSCLK			3.7	MSPS
サンプル ウィンドウ幅 (ACQPS および PERx.SYSCLK により設定) (1)	50Ω 以下の R_s	75			ns
VREFHI	外部リファレンス	2.4	2.5 または 3.0	VDDA	V
VREFHI(2)	内部リファレンス = 3.3V レンジ		1.65		V
	内部リファレンス = 2.5V レンジ		2.5		V
VREFLO		VSSA		VSSA	V
変換範囲	内部リファレンス = 3.3V レンジ	0		3.3	V
	内部リファレンス = 2.5V レンジ	0		2.5	V
	外部リファレンス	VREFLO		VREFHI	V

(1) この他、ADC を正しく動作させるために、サンプル ウィンドウは少なくとも、1 ADCCLK サイクルにわたって継続する必要があります。
(2) 内部リファレンス モードでは、デバイスによってリファレンス電圧が VREFHI ピンから駆動されます。 このモードでは、ピンに電圧を印加しないでください。

6.17.2.2.2 ADC の動作条件 12 ビット差動

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
ADCCLK (PERx.SYSCLK から生成)		5		60	MHz
サンプル レート (3)	200MHz SYSCLK			3.7	MSPS
サンプル ウィンドウ幅 (ACQPS および PERx.SYSCLK により設定) (1)	50Ω 以下の R_s	75			ns
VREFHI	外部リファレンス	2.4	2.5 または 3.0	VDDA	V
VREFHI(2)	内部リファレンス = 3.3V レンジ		1.65		V
	内部リファレンス = 2.5V レンジ		2.5		V

Copyright © 2025 Texas Instruments Incorporated

6.17.2.2.2 ADC の動作条件 12 ビット差動 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
VREFLO		VSSA		VSSA	V
変換範囲	内部リファレンス = 3.3V レンジ	0		3.3	V
	内部リファレンス = 2.5V レンジ	0		2.5	V
	外部リファレンス	VREFLO		VREFHI	V

(1) この他、ADC を正しく動作させるために、サンプル ウィンドウは少なくとも、1 ADCCLK サイクルにわたって継続する必要があります。
(2) 内部リファレンス モードでは、デバイスによってリファレンス電圧が VREFHI ピンから駆動されます。このモードでは、ピンに電圧を印加しないでください。

6.17.2.2.3 ADC の動作条件 16 ビット シングルエンド

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
ADCCLK (PERx.SYSCLK から生成)		5		60	MHz
サンプル レート	200MHz SYSCLK			1.1	MSPS
サンプル ウィンドウ幅 (ACQPS および PERx.SYSCLK により設定) (1)	50Ω 以下の R_s	320			ns
VREFHI	外部リファレンス	2.4	2.5 または 3.0	VDDA	V
VREFHI(2)	内部リファレンス = 3.3V レンジ		1.65		V
	内部リファレンス = 2.5V レンジ		2.5		V
VREFLO		VSSA		VSSA	V
変換範囲	内部リファレンス = 3.3V レンジ	0		3.3	V
	内部リファレンス = 2.5V レンジ	0		2.5	V
	外部リファレンス	VREFLO		VREFHI	V

(1) この他、ADC を正しく動作させるために、サンプル ウィンドウは少なくとも、1 ADCCLK サイクルにわたって継続する必要があります。
(2) 内部リファレンス モードでは、デバイスによってリファレンス電圧が VREFHI ピンから駆動されます。このモードでは、ピンに電圧を印加しないでください。

6.17.2.2.4 ADC の動作条件 16 ビット差動

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
ADCCLK (PERx.SYSCLK から生成)		5		60	MHz
サンプル レート	200MHz SYSCLK			1.1	MSPS
サンプル ウィンドウ幅 (ACQPS および PERx.SYSCLK により設定) (1)	50Ω 以下の R_s	320			ns
VREFHI	外部リファレンス	2.4	2.5 または 3.0	VDDA	V
VREFHI(2)	内部リファレンス = 3.3V レンジ		1.65		V
	内部リファレンス = 2.5V レンジ		2.5		V
VREFLO		VSSA		VSSA	V
変換範囲	内部リファレンス = 3.3V レンジ	0		3.3	V
	内部リファレンス = 2.5V レンジ	0		2.5	V
	外部リファレンス	VREFLO		VREFHI	V

(1) この他、ADC を正しく動作させるために、サンプル ウィンドウは少なくとも、1 ADCCLK サイクルにわたって継続する必要があります。

Copyright © 2025 Texas Instruments Incorporated

(2) 内部リファレンス モードでは、デバイスによってリファレンス電圧が VREFHI ピンから駆動されます。このモードでは、ピンに電圧を印加しないでください。

6.17.2.2.5 ADC のタイミング要件

		最小値	最大値	単位
$t_{su(ADCCHSEL-SOC)}$	ADCCHSEL 有効から ADCSOC High まで	0.5		ns
$t_{su(ADCSOC)}$	ADCSOC は ADCCLK が High になる前に Low	1		ns
$t_{w(ADCCLK)}$	ADCCLK の幅	0.8		ns
$t_{w(ADCSOC)}$	ADCSOC の幅	0.6		ns

Copyright © 2025 Texas Instruments Incorporated

6.17.2.2.6 ADC 特性 12 ビット シングルエンド

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
総則					
ADCCLK 変換サイクル	200MHz SYSCLK	10.1		11	ADCCLK
パワーアップ時間	外部リファレンス モード			500	µs
	内部リファレンス モード			5000	µs
	内部リファレンス モード、2.5V レンジと 3.3V レンジの間で切り替える場合。			5000	µs
VREFHI 入力電流 (1)	ADC モジュール A および B		250		µA
	ADC モジュール C、D、E		130		µA
内部リファレンス コンデンサの値 (2)		2.2			µF
外部リファレンス コンデンサの値(2)		2.2			µF
DC の特性					
ゲイン誤差	内部リファレンス	-45		45	LSB
	外部リファレンス	-5	±3	5	
オフセット誤差		-5	±2	5	LSB
チャネル間ゲイン誤差 (4)			±2		LSB
チャネル間オフセット誤差 (4)			±2		LSB
ADC 間ゲイン誤差 (5)	すべての ADC で同一の VREFHI および VREFLO		±4		LSB
ADC 間オフセット誤差 (5)	すべての ADC で同一の VREFHI および VREFLO		±2		LSB
DNL 誤差		>-1	±0.5	1	LSB
INL 誤差		-2	±1.0	2	LSB
ADC 間絶縁	VREFHI = 2.5V、同期 ADC	-1		1	LSB
AC の特性					
SNR(3)	VREFHI = 2.5V、fin = 100kHz、X1 からの PLL による SYSCLK		69.1		dB
	VREFHI = 2.5V、fin = 100kHz、INTOSC からの PLL による SYSCLK		69.1		
THD(3)	VREFHI = 2.5V、fin = 100kHz、X1 からの PLL による SYSCLK		-88		dB
SFDR(3)	VREFHI = 2.5V、fin = 100kHz、X1 からの PLL による SYSCLK		89		dB
SINAD(3)	VREFHI = 2.5V、fin = 100kHz、X1 からの SYSCLK		69.0		dB
	VREFHI = 2.5V、fin = 100kHz、INTOSC からの SYSCLK		69.0		
ENOB(3)	VREFHI = 2.5V、fin = 100kHz、X1 からの SYSCLK、シングル ADC		11.2		ビット
	VREFHI = 2.5V、fin = 100kHz、X1 からの SYSCLK、同期 ADC		11.2		
	VREFHI = 2.5V、fin = 100kHz、X1 からの SYSCLK、非同期 ADC、256 ボールの ZEJ パッケージ		10.9		
	VREFHI = 2.5V、fin = 100kHz、X1 からの SYSCLK、非同期 ADC、169 ボールの NMR パッケージ		10.9		
	VREFHI = 2.5V、fin = 100kHz、X1 からの SYSCLK、非同期 ADC、176 ピン PTP パッケージ		9.7		
	VREFHI = 2.5V、fin = 100kHz、X1 からの SYSCLK、非同期 ADC、100 ピン PZP パッケージ		9.7		

Copyright © 2025 Texas Instruments Incorporated

6.17.2.2.6 ADC 特性 12 ビット シングルエンド (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
PSRR	VDD + 100mV DC から 1kHz の正弦波まで		60		dB
	VDD + 100 mV DC から 300kHz の正弦波まで		57		
	VDDA = DC 3.3V + 200mV DC から 1kHz の正弦波まで		60		
	VDDA = DC 3.3V + 200mV 900kHz の正弦波		57		

(1) ADC 入力が VDDA を超えると、VREFHI の負荷電流が増加します。 その結果、不正確な変換が発生します。
(2) 0805 以下のパッケージ サイズのセラミック コンデンサを推奨します。許容誤差は最大 ±20% です。
(3) 容量性結合とクロストークを低減するためのベスト プラクティスの一部として、ADC 入力と VREFHI ピンに隣接するピンの I/O アクティビティを最小限に抑えます。
(4) 同じ ADC モジュールに属するすべてのチャネルでの変動。
(5) 他の ADC モジュールと比較した場合のワーストケースの変動。

6.17.2.2.7 ADC 特性 12 ビット差動

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
総則					
ADCCLK 変換サイクル	200MHz SYSCLK	10.1		11	ADCCLK
パワーアップ時間	外部リファレンス モード			500	µs
	内部リファレンス モード			5000	µs
	内部リファレンス モード、2.5V レンジと 3.3V レンジの間で切り替える場合。			5000	µs
VREFHI 入力電流 (1)	ADC モジュール A および B		360		µA
	ADC モジュール C、D、E		130		µA
内部リファレンス コンデンサの値 (2)		2.2			µF
外部リファレンス コンデンサの値(2)		2.2			µF
DC の特性					
ゲイン誤差	内部リファレンス	-45		45	LSB
	外部リファレンス	-5	±3	5	
オフセット誤差		-5	±2	5	LSB
チャネル間ゲイン誤差 (4)			2		LSB
チャネル間オフセット誤差 (4)			2		LSB
ADC 間ゲイン誤差 (5)	すべての ADC で同一の VREFHI および VREFLO		4		LSB
ADC 間オフセット誤差 (5)	すべての ADC で同一の VREFHI および VREFLO		2		LSB
DNL 誤差		>-1	±0.5	1	LSB
INL 誤差		-2	±1.0	2	LSB
ADC 間絶縁	VREFHI = 2.5V、同期 ADC	-1		1	LSB
AC の特性					
SNR(3)	VREFHI = 2.5V、fin = 100kHz、X1 からの SYSCLK		68.8		dB
	VREFHI = 2.5V、fin = 100kHz、INTOSC からの SYSCLK		60.1		
THD(3)	VREFHI = 2.5V、fin = 100kHz		-80.6		dB
SFDR(3)	VREFHI = 2.5V、fin = 100kHz		79.2		dB

Copyright © 2025 Texas Instruments Incorporated

6.17.2.2.7 ADC 特性 12 ビット差動 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
SINAD(3)	VREFHI = 2.5V、fin = 100kHz、X1 からの SYSCLK		68.5		dB
	VREFHI = 2.5V、fin = 100kHz、INTOSC からの SYSCLK		60.0		
ENOB(3)	VREFHI = 2.5V、fin = 100kHz、X1 からの SYSCLK、シングル ADC		11.0		ビット
	VREFHI = 2.5V、fin = 100kHz、X1 からの SYSCLK、同期 ADC		11.0		
	VREFHI = 2.5V、fin = 100kHz、X1 からの SYSCLK、非同期 ADC		非対応		
PSRR	VDD + 100mV DC から 1kHz の正弦波まで		60		dB
	VDD + 100 mV DC から 300 kHz の正弦波まで		57		
	VDDA = DC 3.3V + 200mV DC から 1kHz の正弦波まで		60		
	VDDA = DC 3.3V + 200mV 900kHz の正弦波		57		

(1) ADC 入力が VDDA を超えると、VREFHI の負荷電流が増加します。その結果、不正確な変換が発生します。
(2) 0805 以下のパッケージ サイズのセラミック コンデンサを推奨します。許容誤差は最大 ±20% です。
(3) 容量性結合とクロストークを低減するためのベスト プラクティスの一部として、ADC 入力と VREFHI ピンに隣接するピンの I/O アクティビティを最小限に抑えます。
(4) 同じ ADC モジュールに属するすべてのチャネルでの変動。
(5) 他の ADC モジュールと比較した場合のワーストケースの変動。

6.17.2.2.8 ADC 特性 16 ビット シングルエンド

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
総則					
ADCCLK 変換サイクル	200MHz SYSCLK	29.6		31	ADCCLK
パワーアップ時間	外部リファレンス モード			500	µs
	内部リファレンス モード			5000	µs
	内部リファレンス モード、2.5V レンジと 3.3V レンジの間で切り替える場合。			5000	µs
VREFHI 入力電流 (1)	ADC モジュール A および B		250		µA
	ADC モジュール C、D、E		190		µA
内部リファレンス コンデンサの値 (2)		4.7	22		µF
外部リファレンス コンデンサの値(2)		4.7	22		µF
DC の特性					
ゲイン誤差	内部リファレンス 2.5V	-720		720	LSB
	外部リファレンス	-64	±20	64	LSB
オフセット誤差	(全温度範囲) 内部リファレンス 2.5V	-16	±6	16	LSB
オフセット誤差		-16	±6	16	LSB
チャネル間ゲイン誤差 (4)			±6		LSB
チャネル間オフセット誤差 (4)			±6		LSB
ADC 間ゲイン誤差 (5)	すべての ADC で同一の VREFHI および VREFLO		±6		LSB

Copyright © 2025 Texas Instruments Incorporated

6.17.2.2.8 ADC 特性 16 ビット シングルエンド (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
ADC 間オフセット誤差 (5)	すべての ADC で同一の VREFHI および VREFLO		±6		LSB
DNL 誤差		>-1	±0.5	1	LSB
INL 誤差		-6	±1.5	6	LSB
ADC 間絶縁	VREFHI = 2.5V、同期 ADC	-2		2	LSB
AC の特性					
SNR(3)	VREFHI = 2.5V、fin = 100kHz、X1 からの SYSCLK		83.5		dB
	VREFHI = 2.5V、fin = 100kHz、INTOSC からの SYSCLK		78.2		
THD(3)	VREFHI = 2.5V、fin = 100kHz		-94		dB
SFDR(3)	VREFHI = 2.5V、fin = 100kHz		93		dB
SINAD(3)	VREFHI = 2.5V、fin = 100kHz、X1 からの SYSCLK		83.4		dB
	VREFHI = 2.5V、fin = 100kHz、INTOSC からの SYSCLK		76.0		
ENOB(3)	VREFHI = 2.5V、fin = 100kHz、X1 からの SYSCLK、シングル ADC		13.5		ビット
	VREFHI = 2.5V、fin = 100kHz、X1 からの SYSCLK、同期 ADC		13.5		
	VREFHI = 2.5V、fin = 100kHz、X1 からの SYSCLK、非同期 ADC		非対応		
PSRR	VDD + 100mV DC から 1kHz の正弦波まで		77		dB
	VDD + 100 mV DC から 800 kHz の正弦波まで		74		
	VDDA = DC 3.3V + 200mV DC から 1kHz の正弦波まで		77		
	VDDA = 3.3V DC + 200mV 800kHz の正弦波		74		

(1) ADC 入力が VDDA を超えると、VREFHI の負荷電流が増加します。その結果、不正確な変換が発生します。
(2) 0805 以下のパッケージ サイズのセラミック コンデンサを推奨します。許容誤差は最大 ±20% です。 外部リファレンス モードでは、容量はリファレンス IC バッファの出力要件によって決まります。
(3) 容量性結合とクロストークを低減するためのベスト プラクティスの一部として、ADC 入力と VREFHI ピンに隣接するピンの I/O アクティビティを最小限に抑えます。
(4) 同じ ADC モジュールに属するすべてのチャネルでの変動。
(5) 他の ADC モジュールと比較した場合のワーストケースの変動。

6.17.2.2.9 ADC 特性 16 ビット差動

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
総則					
ADCCLK 変換サイクル	200MHz SYSCLK	29.6		31	ADCCLK
パワーアップ時間	外部リファレンス モード			500	µs
	内部リファレンス モード			5000	µs
	内部リファレンス モード、2.5V レンジと 3.3V レンジの間で切り替える場合。			5000	µs
VREFHI 入力電流 (1)	ADC モジュール A および B		360		µA
	ADC モジュール C、D、E		190		µA

Copyright © 2025 Texas Instruments Incorporated

6.17.2.2.9 ADC 特性 16 ビット差動 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
内部リファレンス コンデンサの値 (2)		4.7	22		µF
外部リファレンス コンデンサの値(2)		4.7	22		µF
DC の特性					
ゲイン誤差	内部リファレンス 2.5V	-720		720	LSB
	外部リファレンス	-64	±9	64	LSB
オフセット誤差	(全温度範囲) 内部リファレンス 2.5V	-6	±4	6	LSB
オフセット誤差		-6	±4	6	LSB
チャネル間ゲイン誤差 (4)			±6		LSB
チャネル間オフセット誤差 (4)			±3		LSB
ADC 間ゲイン誤差 (5)	すべての ADC で同一の VREFHI および VREFLO		±6		LSB
ADC 間オフセット誤差 (5)	すべての ADC で同一の VREFHI および VREFLO		±3		LSB
DNL 誤差		>-1	±0.5	1	LSB
INL 誤差		-3.5	±1.0	3.5	LSB
ADC 間絶縁	VREFHI = 2.5V、同期 ADC	-2		2	LSB
ADC 間絶縁	VREFHI = 2.5V、非同期 ADC		非対応		dB
AC の特性					
SNR(3)	VREFHI = 2.5V、fin = 100kHz、X1 からの SYSCLK		89.8		dB
	VREFHI = 2.5V、fin = 100kHz、INTOSC からの SYSCLK		66.3		
THD(3)	VREFHI = 2.5V、fin = 100kHz		-98		dB
SFDR(3)	VREFHI = 2.5V、fin = 100kHz		99		dB
SINAD(3)	VREFHI = 2.5V、fin = 100kHz、X1 からの SYSCLK		89.2		dB
	VREFHI = 2.5V、fin = 100kHz、INTOSC からの SYSCLK		66.1		
ENOB(3)	VREFHI = 2.5V、fin = 100kHz、X1 からの SYSCLK、シングル ADC		14.52		ビット
	VREFHI = 2.5V、fin = 100kHz、X1 からの SYSCLK、同期 ADC		14.52		
	VREFHI = 2.5V、fin = 100kHz、X1 からの SYSCLK、非同期 ADC		非対応		
PSRR	VDD + 100mV DC から 1kHz の正弦波まで		77		dB
	VDD + 100 mV DC から 300 kHz の正弦波まで		74		
	VDDA = DC 3.3V + 200mV DC から 1kHz の正弦波まで		77		
	VDDA = DC 3.3V + 200mV 900kHz の正弦波		74		

(1) ADC 入力が VDDA を超えると、VREFHI の負荷電流が増加します。その結果、不正確な変換が発生します。
(2) 0805 以下のパッケージ サイズのセラミック コンデンサを推奨します。許容誤差は最大 ±20% です。 外部リファレンス モードでは、容量はリファレンス IC バッファの出力要件によって決まります。
(3) 容量性結合とクロストークを低減するためのベスト プラクティスの一部として、ADC 入力と VREFHI ピンに隣接するピンの I/O アクティビティを最小限に抑えます。
(4) 同じ ADC モジュールに属するすべてのチャネルでの変動。
(5) 他の ADC モジュールと比較した場合のワーストケースの変動。

Copyright © 2025 Texas Instruments Incorporated

6.17.2.2.10 ADC の INL と DNL

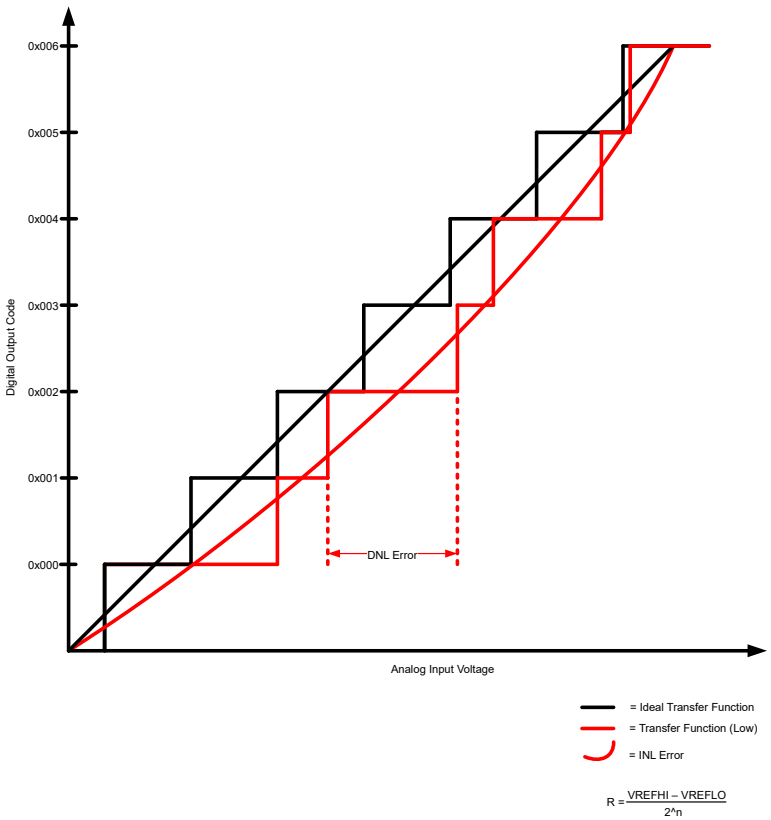


図 6-38. ADC の INL と DNL

6.17.2.2.11 ピンごとの ADC 性能

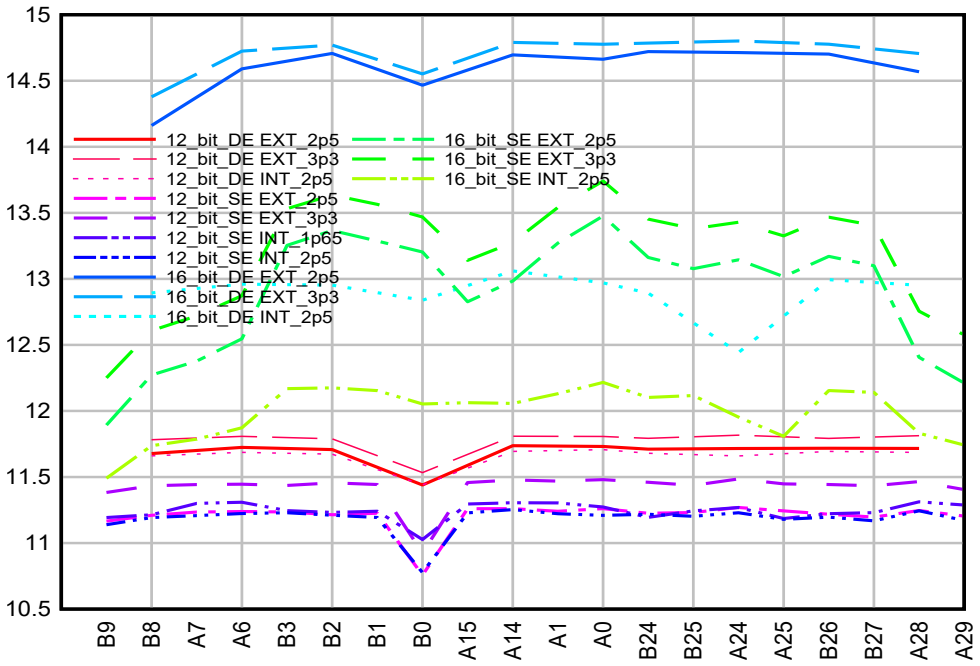


図 6-39. 100 ピン PZS のチャネルあたりの ENOB ー ADC チャネル A および B

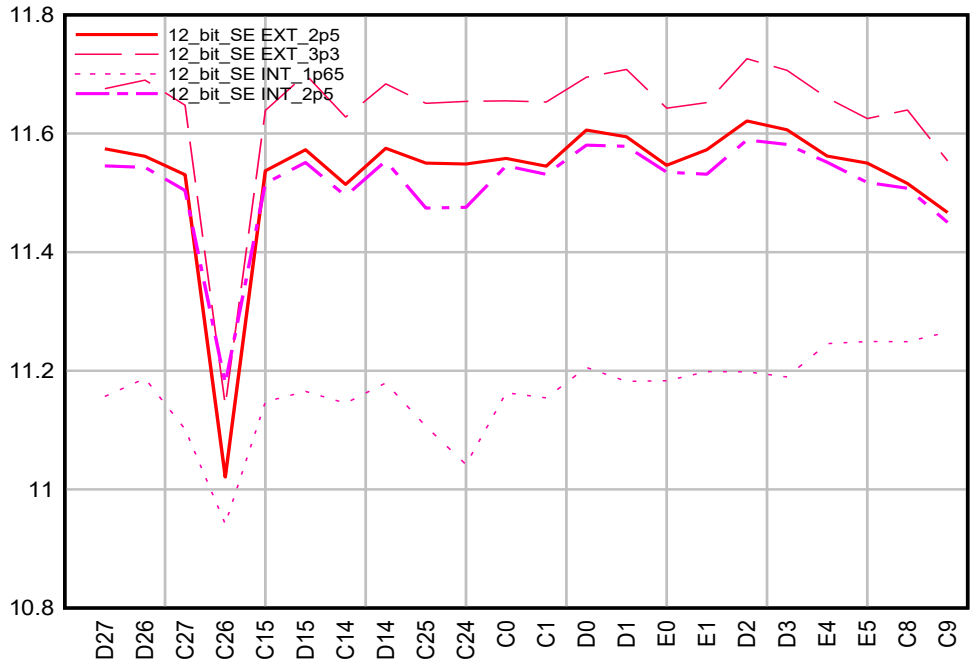


図 6-40. 100 ピン PZS のチャネルあたりの ENOB ー ADC チャネル C、D、および B

Copyright © 2025 Texas Instruments Incorporated

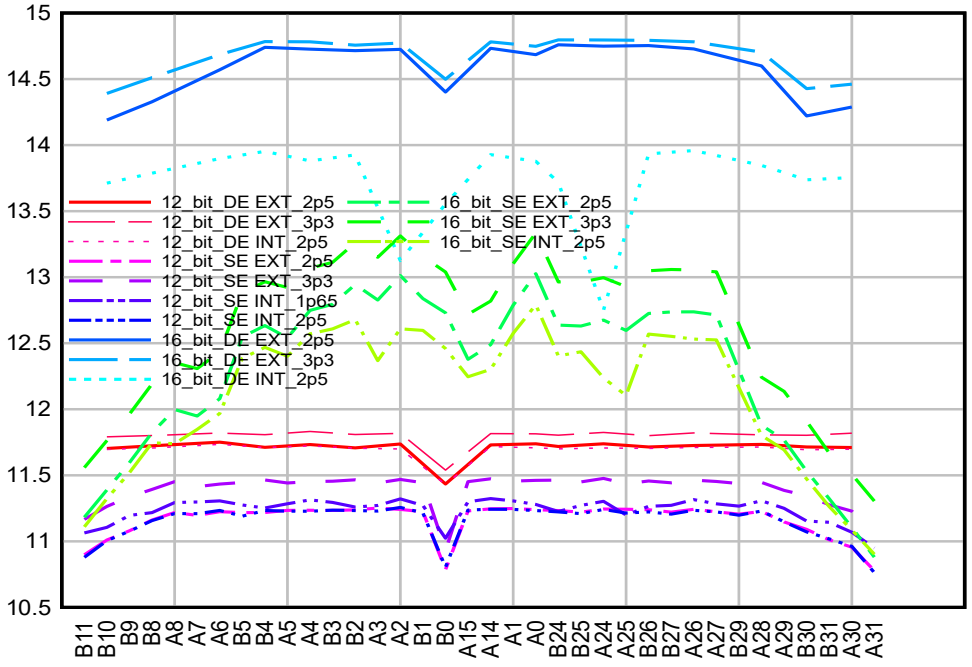


図 6-41. 144 ピン RFS のチャネルあたりの ENOB ー ADC チャネル A および B

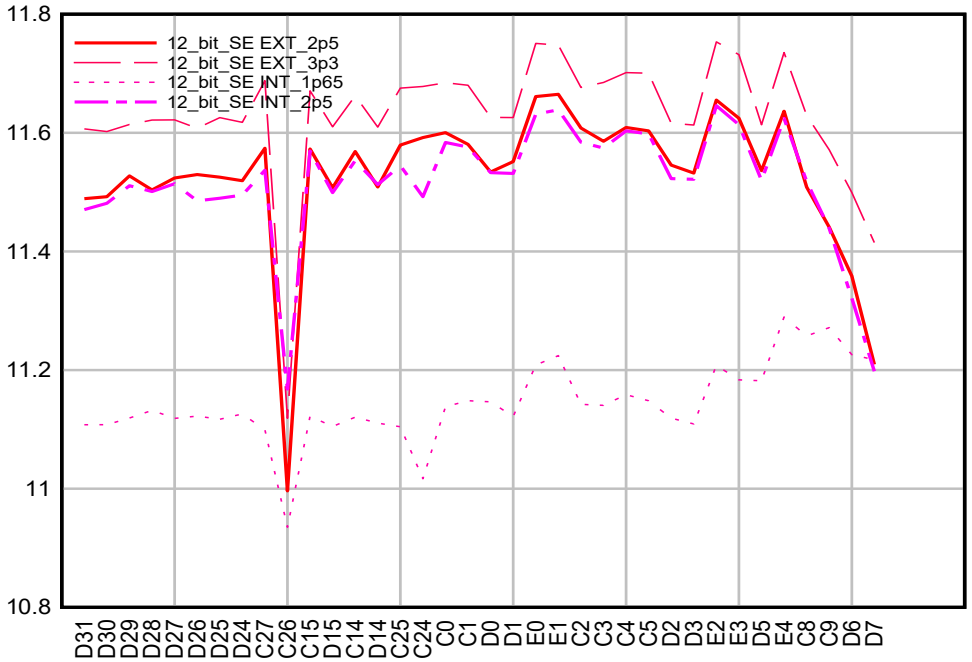


図 6-42. 144 ピン RFS のチャネルあたりの ENOB ー ADC チャネル C、D、および B

Copyright © 2025 Texas Instruments Incorporated

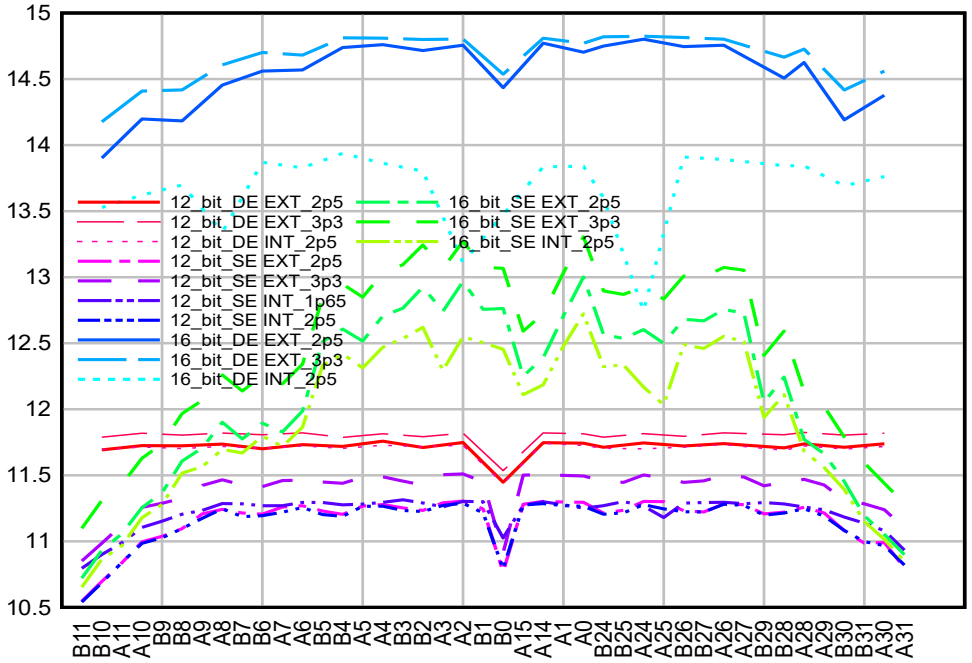


図 6-43. 176 ピン PTS のチャネルあたりの ENOB ー ADC チャネル A および B

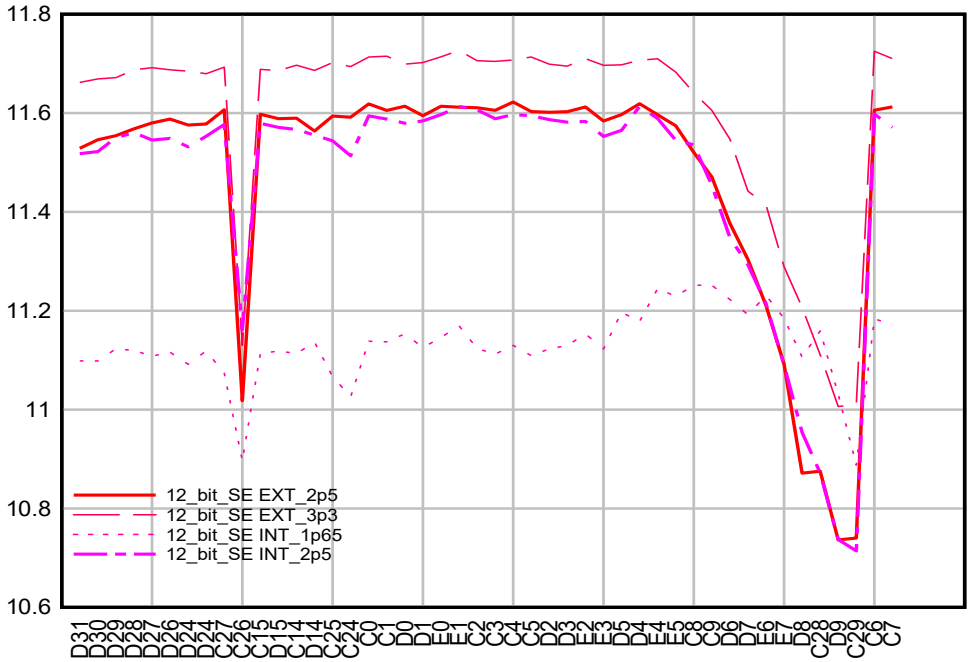


図 6-44. 176 ピン PTS のチャネルあたりの ENOB ー ADC チャネル C、D、および B

Copyright © 2025 Texas Instruments Incorporated

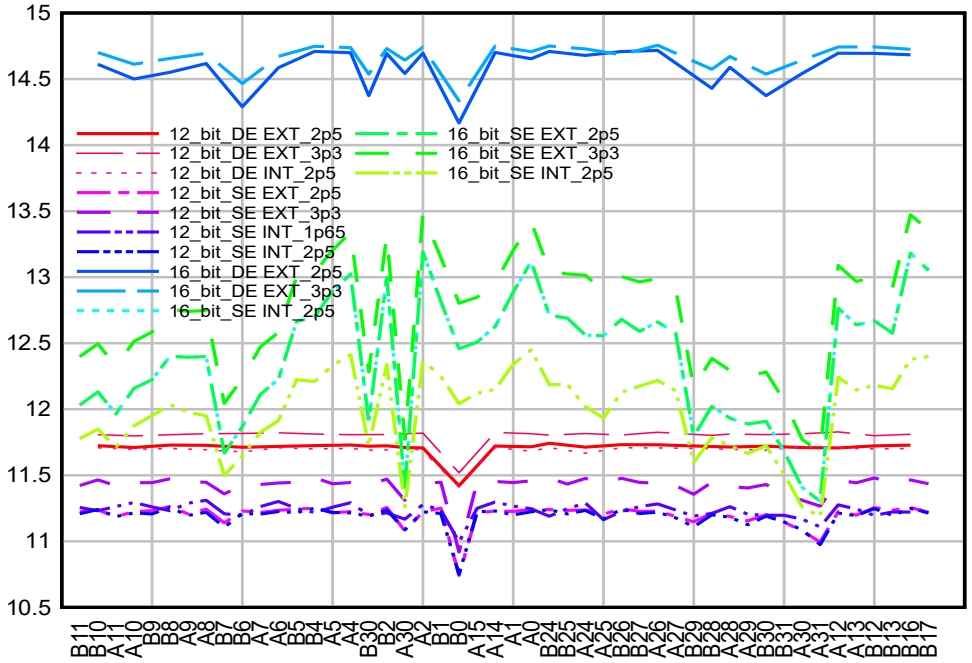


図 6-45. 256 ピン ZEX のチャネルあたりの ENOB ー ADC チャネル A および B

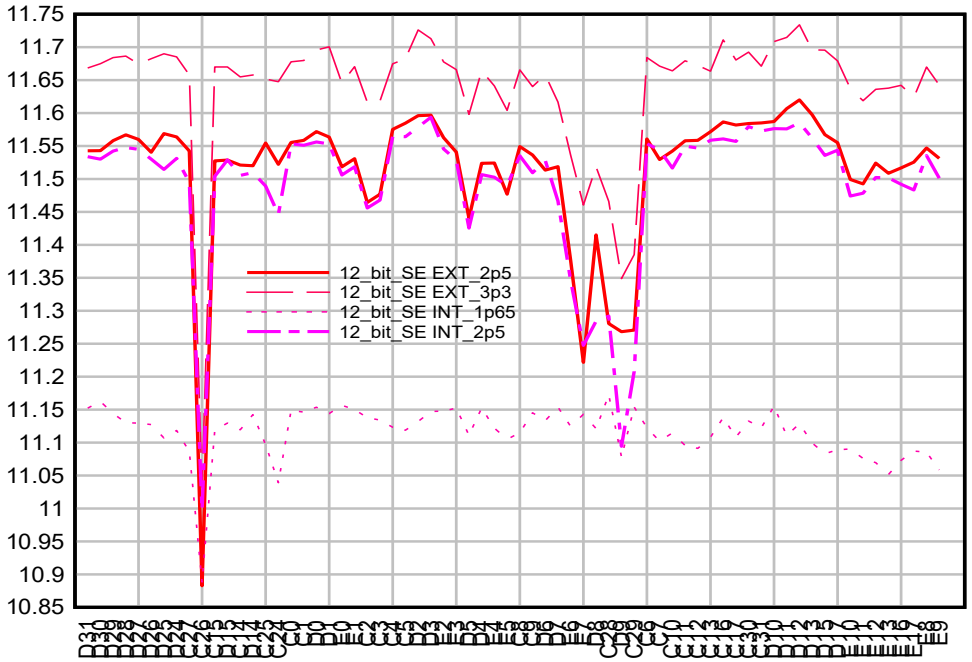


図 6-46. 256 ピン ZEX のチャネルあたりの ENOB ー ADC チャネル C、D、および B

6.17.2.2.12 ADC 入力モデル

タイプ 5 12 ビット ADC の ADC 入力特性を 表 6-15 および図 6-47 に示します。

タイプ 4 12 ビット / 16 ビット ADC の ADC 入力特性を表 6-16、表 6-17、図 6-47、図 6-48 に示します。

表 6-15. 12 ビット ADC (ADC CDE) の入力モデルのパラメータ

	説明	リファレンス モード	値
C_p	寄生入力容量	すべて	を参照 表 6-20 (チャンネル Cx、Dx、Ex) を参照。
R_{on}	サンプリング スイッチ抵抗	外部リファレンス、2.5V 内部リファレンス	500Ω
		3.3V 内部リファレンス	860Ω
C_h	サンプリング コンデンサ	外部リファレンス、2.5V 内部リファレンス	12.5pF
		3.3V 内部リファレンス	7.5pF
R_s	公称ソース インピーダンス	すべて	50Ω

表 6-16. 12 ビット / 16 ビット ADC (ADC AB) のシングルエンド入力モデルのパラメータ (12 ビット分解能)

	説明	値
C_p	寄生入力容量	表 6-20 を参照 (チャネル Ax、Bx)
R_{on}	サンプリング スイッチ抵抗	425Ω
C_h	サンプリング コンデンサ	14.5pF
R_s	公称ソース インピーダンス	50Ω

表 6-17. 12 ビット / 16 ビット ADC (ADC AB) のシングルエンド入力モデルのパラメータ (16 ビット分解能)

	説明	値
C_p	寄生入力容量	を参照表 6-20 (チャンネル Ax、Bx) を参照。
R_{on}	サンプリング スイッチ抵抗	425Ω
C_h	サンプリング コンデンサ	32.5pF
R_s	公称ソース インピーダンス	50Ω

表 6-18. 12 ビット / 16 ビット ADC (ADC AB) の差動入力モデルのパラメータ (12 ビット分解能)

	説明	値
C_p	寄生入力容量	を参照表 6-20 (チャンネル Ax、Bx) を参照。
R_{on}	サンプリング スイッチ抵抗	700Ω
C_h	サンプリング コンデンサ	7.5pF
R_s	公称ソース インピーダンス	50Ω

表 6-19. 12 ビット / 16 ビット ADC (ADC AB) の差動入力モデルのパラメータ (16 ビット分解能)

	説明	値
C_p	寄生入力容量	を参照表 6-20 (チャンネル Ax、Bx) を参照。
R_{on}	サンプリング スイッチ抵抗	700Ω
C_h	サンプリング コンデンサ	16.5pF
R_s	公称ソース インピーダンス	50Ω

Copyright © 2025 Texas Instruments Incorporated

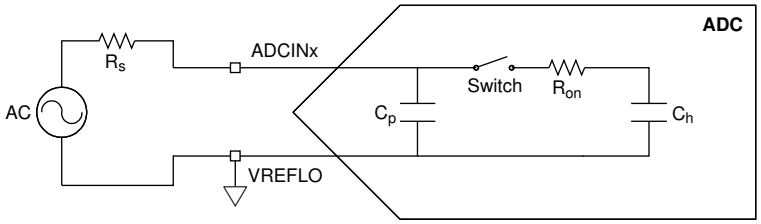


図 6-47. シングルエンド入力モデル

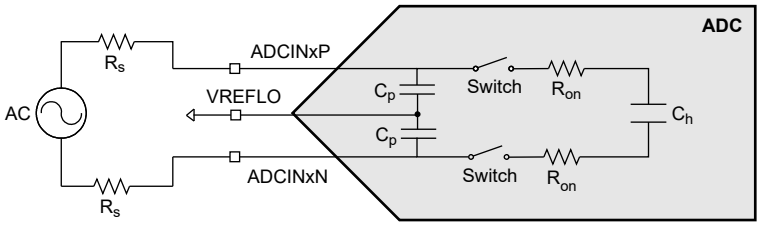


図 6-48. 差動入力モデル

これらの入力モデルは、アクイジション ウィンドウの幅を決定する際に、実際の信号源インピーダンスと合わせて使用する必要があります。ADC 入力回路の改善に関する推奨事項については、『*C2000 MCU 用 ADC 入力回路の評価*』アプリケーション ノートを参照してください。

表 6-20. チャネルごとの寄生容量

ADC チャネル	C_p (pF)	
	コンパレータ無効の場合	コンパレータ有効の場合
A0/DACOUT1	5.4	6.9
A1	4.1	5.6
A2	4.1	5.6
A3	5.6	7.1
A4	4.2	5.7
A5	4.9	6.4
A6	0.2	1.7
A7	0.3	1.6
A8	0.3	1.8
A9	0.3	1.7
A10	0.3	1.8
A11	0.3	1.8
A12	5.2	6.7
A13	4.9	6.4
A14、B14、C14、D14、E14	5.7	7.2
A15、B15、C15、D15、E15	5.5	7.0
B0/VDAC	27.1	28.6
B1	4.0	5.5
B2	4.6	6.1
B3	5.1	6.6

Copyright © 2025 Texas Instruments Incorporated

表 6-20. チャネルごとの寄生容量 (続き)

ADC チャネル	C_p (pF)	
	コンパレータ無効の場合	コンパレータ有効の場合
B4	3.5	5.0
B5	4.9	6.4
B6	0.3	1.8
B7	0.4	1.9
B8	0.2	1.7
B9	0.3	1.8
B10	0.3	1.8
B11	0.3	1.8
B12	4.9	6.4
B13	4.7	6.2
B16	5.1	6.6
B17	4.1	5.6
C0	5.0	6.5
C1	4.4	5.9
C2	4.9	6.4
C3	4.9	6.4
C4	2.9	4.4
C5	2.7	4.2
C6	0.3	1.8
C7	0.3	1.8
C8	0.3	1.8
C9	0.3	1.8
C10	3.3	4.8
C11	3.1	4.6
C12	2.9	4.4
C13	3.0	4.4
C16	3.1	4.6
C17	3.4	4.9
D0	3.3	4.8
D1	3.3	4.8
D2	5.0	6.5
D3	5.7	7.2
D4	0.2	1.7
D5	0.2	1.7
D6	0.2	1.7
D7	0.5	2.0
D8	0.5	2.0

Copyright © 2025 Texas Instruments Incorporated

表 6-20. チャネルごとの寄生容量 (続き)

ADC チャネル	C_p (pF)	
	コンパレータ無効の場合	コンパレータ有効の場合
D9	0.4	1.9
D10	3.8	5.3
D11	3.0	4.5
D12	3.3	4.8
D13	3.3	4.8
D16	2.9	4.4
D17	3.1	4.6
E0/DACOUT2	6.4	7.9
E1	3.3	4.8
E2	3.1	4.6
E3	3.3	4.8
E4	0.3	1.8
E5	0.3	1.8
E6	0.5	2.0
E7	0.4	1.9
E8	4.4	5.9
E9	3.9	5.4
E10	3.4	4.9
E11	3.4	4.9
E12	3.4	4.9
E13	3.6	5.1
E16	3.5	5.0
E17	3.6	5.1

Copyright © 2025 Texas Instruments Incorporated

6.17.2.2.13 ADC のタイミング図

次の図に、以下の前提による 2 つの SOC の ADC 変換タイミングを示します。

- SOC0 および SOC1 は、同じトリガを使用するように構成されています。
- トリガが発生したときに、他の SOC が変換中または保留中になっていることはありません。
- ラウンド ロビン ポインタは、最初に SOC0 で変換が発生する状態になっています。
- ADCINTSEL は、SOC0 の変換終了時に ADCINT フラグを設定するように構成されています (このフラグを CPU に通知して割り込みを発生させるかどうかは、割り込みコントローラの構成によって決まります)。

表 6-21 に、ADC タイミング パラメータの説明を示します。表 6-22 および 表 6-23 に、ADC タイミングの一覧を示します。

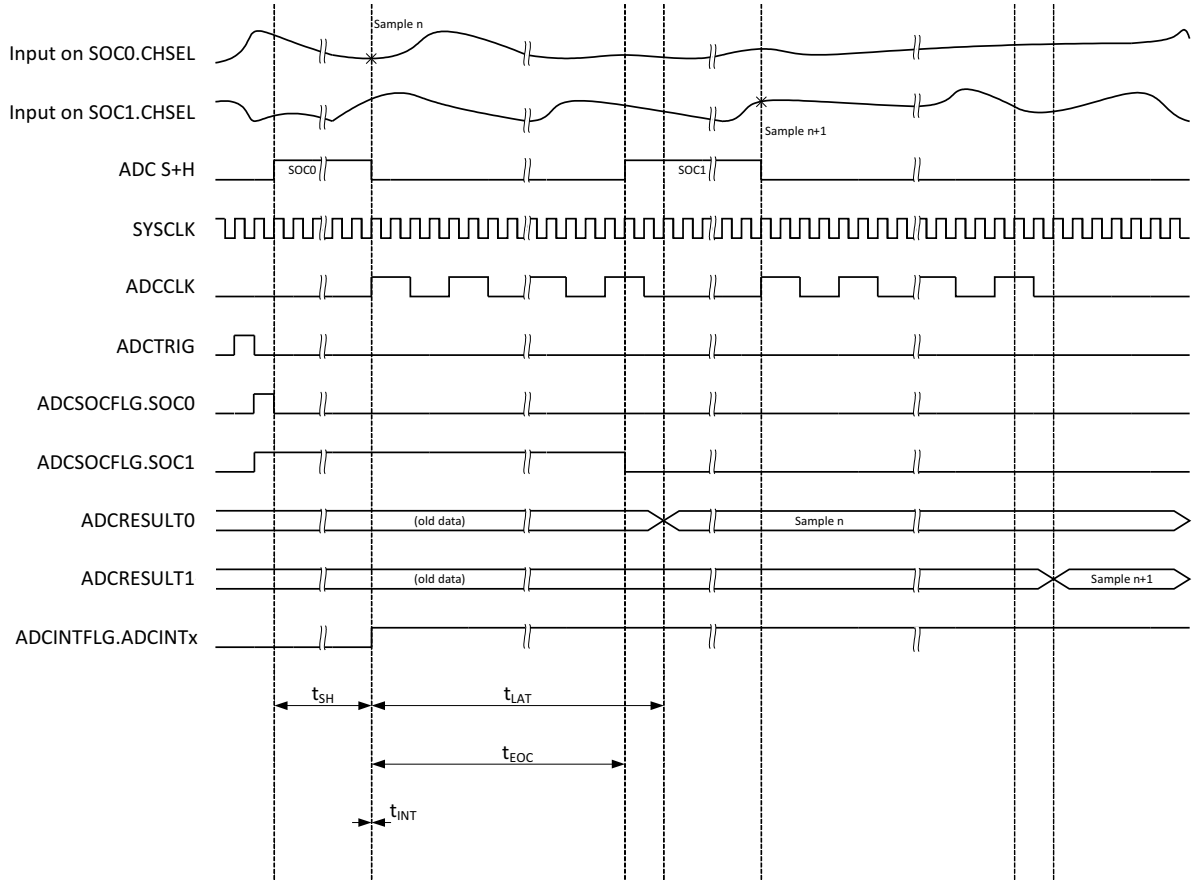


図 6-49. 12 ビット モードの Early 割り込みモードでの ADC タイミング

Copyright © 2025 Texas Instruments Incorporated

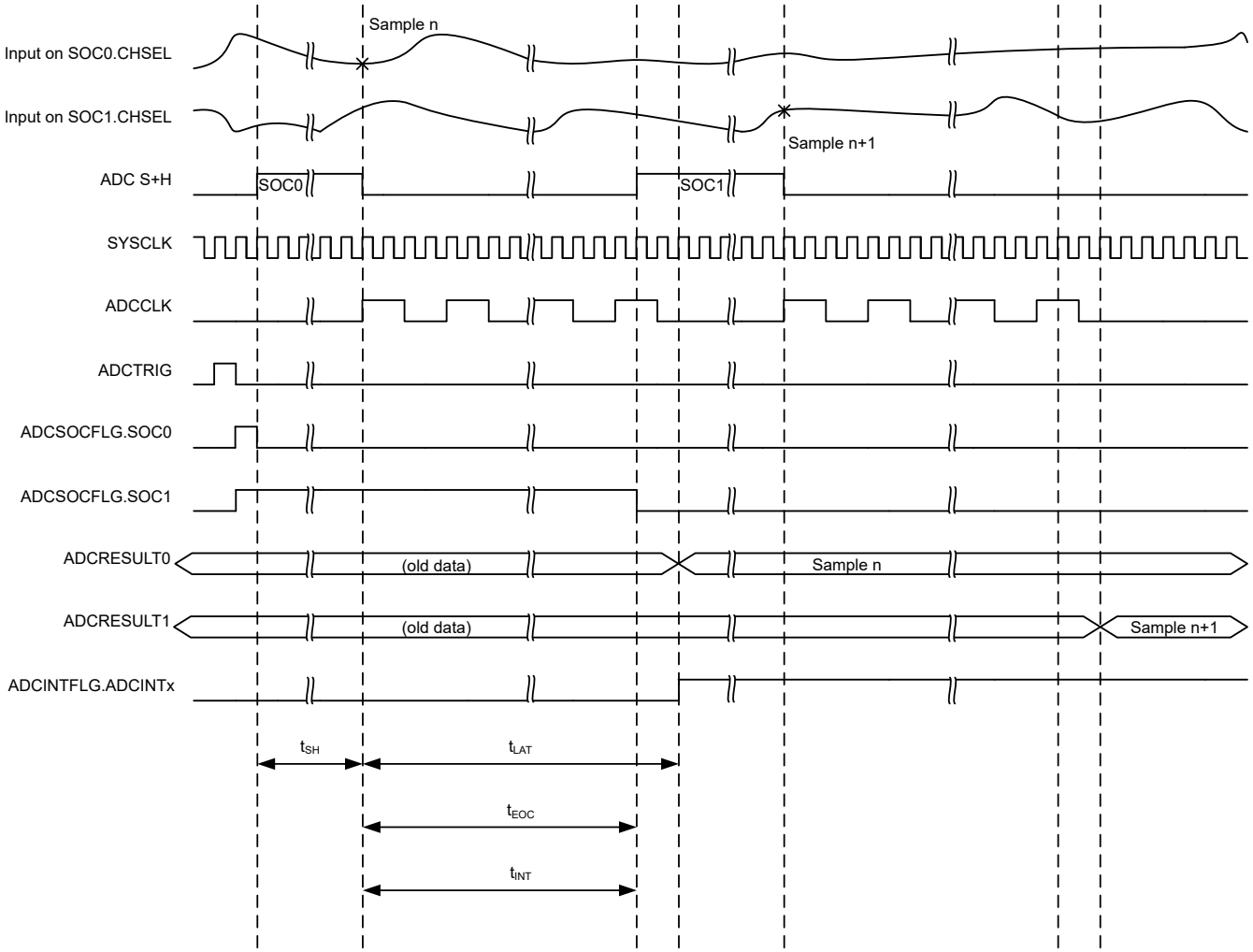


図 6-50. 12 ビット モードの Late 割り込みモードでの ADC タイミング

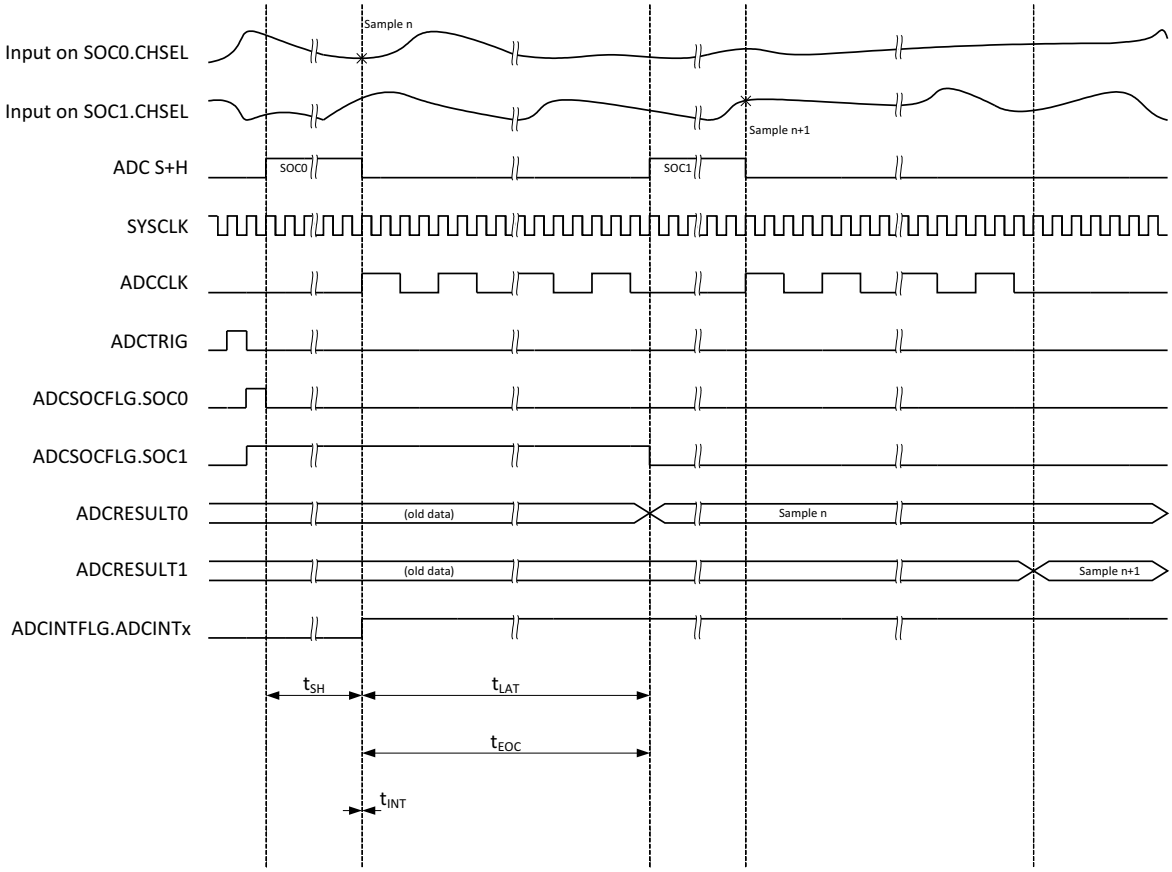


図 6-51. 16 ビット モードの Early 割り込みモードでの ADC タイミング

Copyright © 2025 Texas Instruments Incorporated

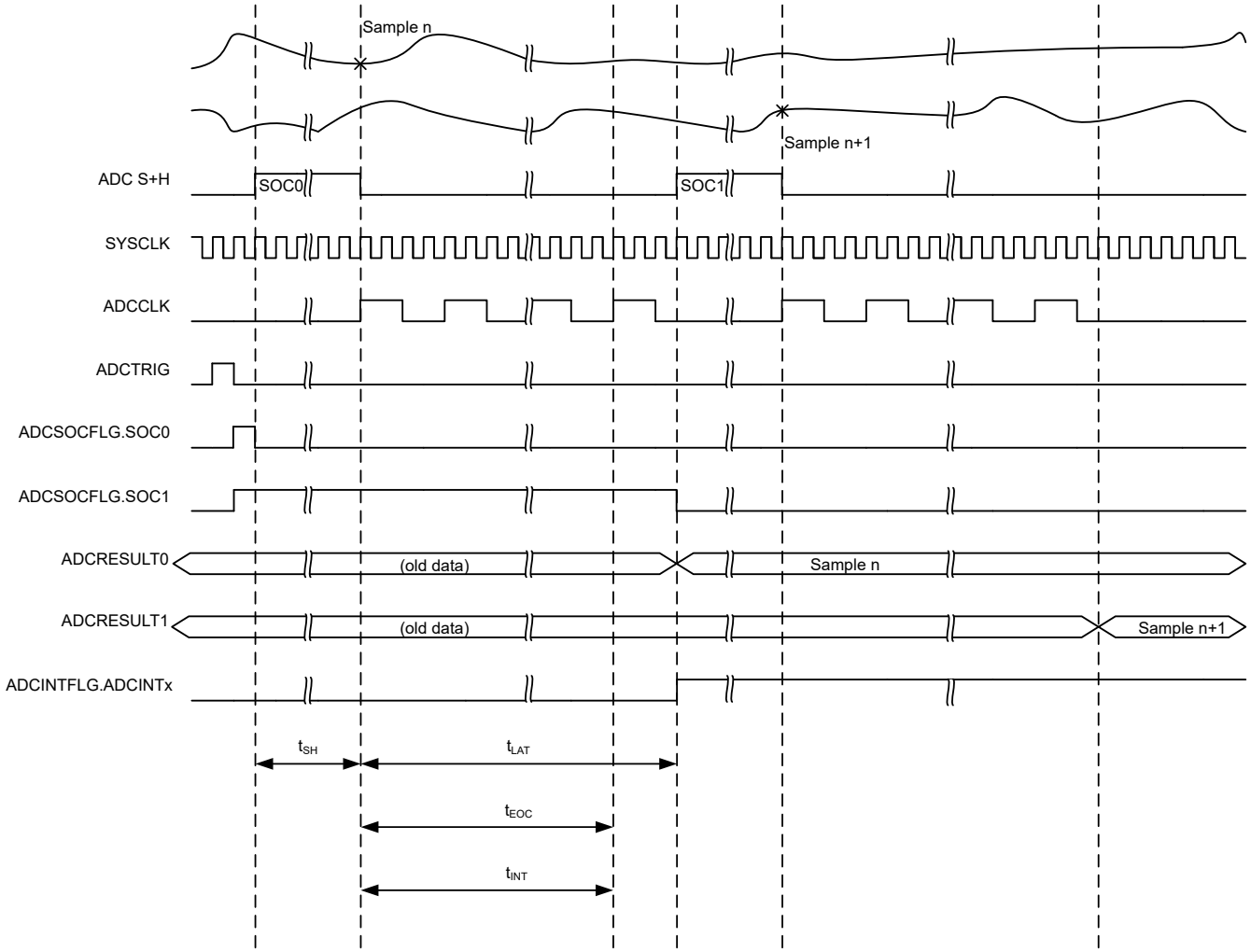


図 6-52. 16 ビット モードの Late 割り込みモードでの ADC タイミング (SYSCLK サイクル)

表 6-21. ADC タイミング パラメータの説明

パラメータ	説明
t_{SH}	S+H ウィンドウの幅。 このウィンドウの終了時点における S+H コンデンサでの値が、デジタル値に変換される電圧になります。この時間は、(ACQPS + 1) SYSCLK サイクルで与えられます。ACQPS は、各 SOC に対して個別に構成できるため、異なる SOC の t_{SH} は、同じであるとは限りません。 **注:** デバイスのクロック設定に関係なく、S+H コンデンサでの値は、S+H ウィンドウ終了の約 5ns 前にキャプチャされます。
t_{LAT}	S+H ウィンドウ終了から、ADC 結果が ADCRESULTx レジスタにラッチされるまでの時間。 この時間より前に ADCRESULTx レジスタを読み取った場合、前回の変換結果が返されます。
t_{EOC}	S+H ウィンドウ終了から、次の ADC 変換を開始できる S+H ウィンドウまでの時間。その後は、変換結果がラッチされる前にサンプリングを開始できます。16 ビット モードでは、これは変換結果がラッチされる時点と一致します。12 ビット モードでは、変換結果がラッチされる前に次のサンプリングを開始できます。
t_{INT}	S+H ウィンドウの終了から ADCINT フラグが設定されるまでの時間 (そのように構成されている場合)。 ADCCTL1 レジスタの INTPULSEPOS ビットが設定されている場合、t_{INT} は変換 (EOC) 信号の終了時点と一致します。 INTPULSEPOS ビットが 0 の場合、t_{INT} は、S+H ウィンドウの終了時点と一致します。t_{INT} によって ADC 結果レジスタの読み取りが () トリガされる場合、結果がラッチされた後に読み取りが発生するように注意する必要があります (そうでなければ、前回の結果が読み取られます)。
t_{DMA}	S+H ウィンドウの終了時点から ADC 変換結果の DMA 読み取りがトリガされる ADCCTL1.TDMAEN = 1 の時点までの時間。 TDMAEN が 0 に設定されている場合、DMA トリガは T_{INT} に発生します。特定の条件では、ADCRESULT の値がラッチされる前に ADCINT フラグが設定されることがあります。必ず ADCRESULT の値がラッチされた後に DMA 読み取りが行われるようにするには、ADCCTL1.TDMAEN に 1 を書き込んで DMA タイミングを有効にします。

Copyright © 2025 Texas Instruments Incorporated

表 6-22. 12 ビット モードでの ADC タイミング

ADCCLK プリスケール		SYSCLK サイクル				
ADCCTL2 の詳細を示します。PRESCALE	プリスケール比	t_{EOC}	t_{LAT}	t_{INT} (早期)(1)	t_{INT} (遅延)	t_{DMA}
0	1	11	13	0	11	13
2	2	21	23	0	21	23
3	2.5	26	28	0	26	28
4	3	31	34	0	31	34
5	3.5	36	39	0	36	39
6	4	41	44	0	41	44
7	4.5	46	49	0	46	49
8	5	51	55	0	51	55
9	5.5	56	60	0	56	60
10	6	61	65	0	61	65
11	6.5	66	70	0	66	70
12	7	71	76	0	71	76
13	7.5	76	81	0	76	81
14	8	81	86	0	81	86
15	8.5	86	91	0	86	91

(1) デフォルトでは、INTPULSEPOS が 0 の場合、S+H ウィンドウの後 1 SYSCLK サイクル経過してから t_{INT} が発生します。これは、ADCINTCYCLE レジスタの OFFSET フィールドに書き込むことで変更できます。

表 6-23. 16 ビット モードでの ADC タイミング

ADCCLK プリスケール		SYSCLK サイクル				
ADCCTL2 の詳細を示します。PRESCALE	プリスケール比	t_{EOC}	t_{LAT}	t_{INT} (早期)(1)	t_{INT} (遅延)	t_{DMA}
0	1	31	32	0	31	32
2	2	60	61	0	60	61
3	2.5	75	75	0	75	75
4	3	90	91	0	90	91
5	3.5	104	106	0	104	106
6	4	119	120	0	119	120
7	4.5	134	134	0	134	134
8	5	149	150	0	149	150
9	5.5	163	165	0	163	165
10	6	178	179	0	178	179
11	6.5	193	193	0	193	193
12	7	208	209	0	208	209
13	7.5	222	224	0	222	224
14	8	237	238	0	237	238
15	8.5	252	252	0	252	252

(1) デフォルトでは、INTPULSEPOS が 0 の場合、S+H ウィンドウの後 1 SYSCLK サイクル経過してから t_{INT} が発生します。これは、ADCINTCYCLE レジスタの OFFSET フィールドに書き込むことで変更できます。

Copyright © 2025 Texas Instruments Incorporated

6.17.3 温度センサ

6.17.3.1 温度センサの電気的データおよびタイミング

温度センサを使用して、デバイスの接合部温度を測定できます。温度センサは、ADC への内部接続を介してサンプリングされ、テキサス・インスツルメンツが提供するソフトウェアを使用して温度に変換されます。温度センサをサンプリングする場合、ADC は、「温度センサの特性」表に示すアクイジション時間を満たす必要があります。

6.17.3.1.1 温度センサの特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
T_{acc}	温度精度	外部リファレンス		±15		°C
$t_{startup}$	スタートアップ時間 (TSNSCTL[ENABLE] から温度センサのサンプリングまで)			500		µs
t_{acq}	ADC アクイジション時間		450			ns

6.17.4 コンパレータ サブシステム (CMPSS)

コンパレータ サブシステム (CMPSS) は、アナログ コンパレータとサポート回路で構成されており、ピーク電流モード制御、スイッチ モード電源、力率補正、電圧トリップ監視などの電源アプリケーションに便利です。

コンパレータ サブシステムは、多数のモジュールで構築されています。各サブシステムには 2 つのコンパレータ、2 つのリファレンス用 12 ビット DAC、2 つのデジタル フィルタが含まれます。サブシステムには、2 つのランプ生成器も含まれています。ランプ生成器は上昇および下降します。各モジュール内のコンパレータには、「H」または「L」の表記があります。この場合、「H」と「L」はそれぞれ「High」(ハイ) と「Low」(ロー) を表します。各コンパレータは、正入力の電圧が負入力の電圧よりも高いかどうかを示すデジタル出力を生成します。コンパレータの正入力は、外部ピンから駆動されます (CMPSS で利用可能なマルチプレクサ オプションについては、*『F29H85x および F29P58x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』*の「アナログ サブシステム」の章を参照してください)。負入力は、外部ピンまたはプログラマブル リファレンス 12 ビット DAC によって駆動できます。各コンパレータ出力は、プログラム可能なデジタル フィルタを通過して、不要なトリップ信号を除去できます。フィルタリングが不要な場合は、フィルタなしの出力も使用できます。オプションで、サブシステムのハイ コンパレータおよびロー コンパレータのリファレンス 12 ビット DAC 値の制御に 2 つのランプ生成器回路を使用できます。 DAC をラッパーと共に使用して、ピーク電流モード制御 (PCMC) や他のアプリケーションでスロープ補償に使用されるランプを生成できます。 サブシステムは、EPWM とも連携してダイオード エミュレーション モードをサポートします。

各 CMPSS には、次のものが含まれます。

- 2 つのアナログ コンパレータ
- 2 つの独立したプログラマブル リファレンス 12 ビット DAC
- デクリメントとインクリメントを行うデュアル ランプ生成器
- 2 つのデジタル フィルタ、最大フィルタ クロック プリスケール 2^{24}
- サブモジュールを EPWMSYNCPER と同期可能
- EPWMBLANK によりクリア信号を拡張可能
- 出力を SYSCLK と同期可能
- 出力をラッチ可能
- 出力を反転可能
- 入力にヒステリシスを使用するオプション
- コンパレータの負入力を外部信号またはリファレンス DAC で駆動するオプション
- CMPSS フィルタへの外部接続
- ダイオード エミュレーションのサポート
- ダイオード エミュレーション用に ePWM との接続をサポート
- ランプ生成器プリスケーラ
- CMPSS トリップ出力によってトリガされるスタンバイおよびホールトの LPM (低消費電力モード) からのウェークアップ

Copyright © 2025 Texas Instruments Incorporated

6.17.4.1 CMPSS 接続図

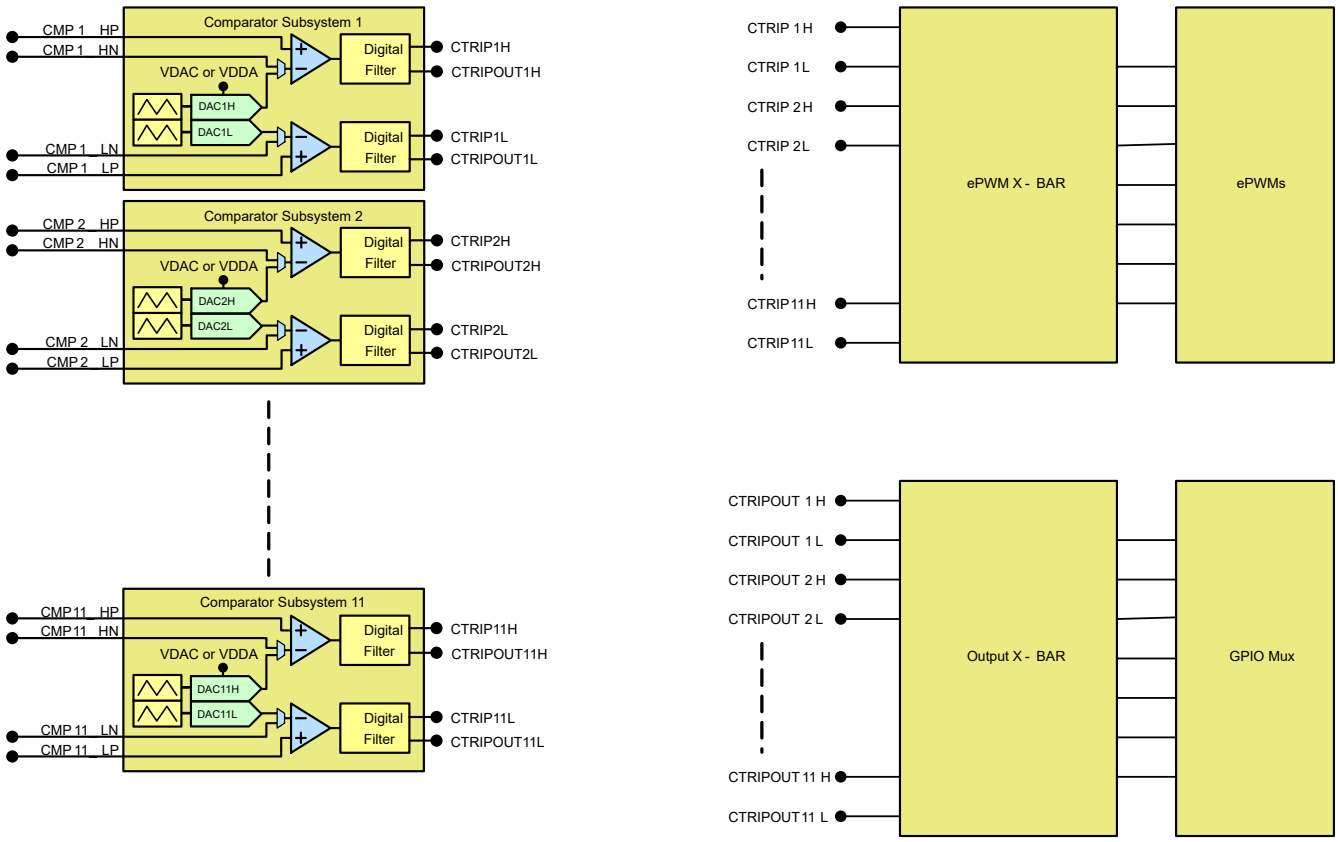


図 6-53. CMPSS の接続

6.17.4.2 ブロック図

CMPSS のブロック図を 図 6-54 に示します。

- ePWM トリップ応答のために、CTRIPx (x = H または L) 信号は、ePWM クロスバーに接続されています。ePWM クロスバーのマルチプレクサ構成の詳細については、『』*『F29H85x および F29P58x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』* の「拡張パルス幅変調器 (ePWM)」の章を参照してください。
- CTRIPxOUTx (x = H または L) 信号は、外部信号用に出力クロスバーに接続されています。出力クロスバーのマルチプレクサ構成の詳細については、*『F29H85x および F29P58x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』* の「汎用入出力 (GPIO)」の章を参照してください。

Copyright © 2025 Texas Instruments Incorporated

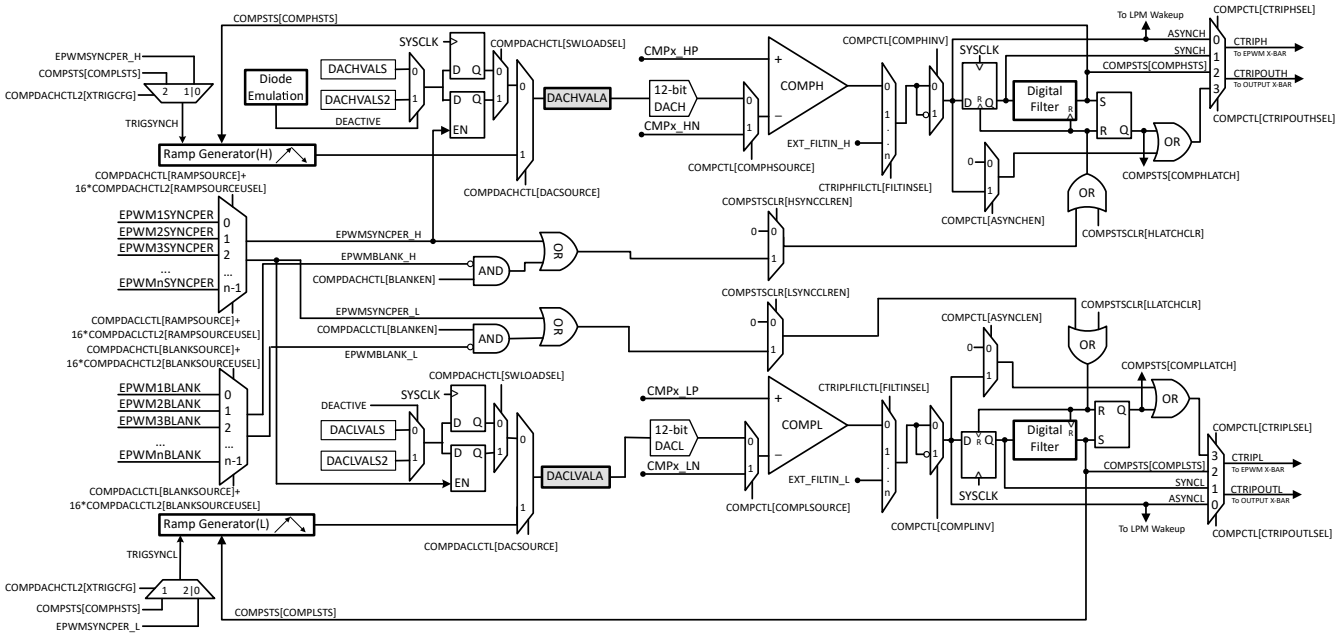


図 6-54. CMPSS モジュールのブロック図

各リファレンス 12 ビット DAC は、それぞれのコンパレータの負入力にリファレンス電圧を駆動するように構成できます。一部の CMPSS インスタンスでは、低 DAC 出力をピンに配線して、外部 DAC として動作させることもできます。この場合、DAC 出力は COMPL で使用できません。この場合、COMPL への負入力をデバイス ピンから駆動する必要があります。リファレンス 12 ビット DAC を 図 6-55 に示します。

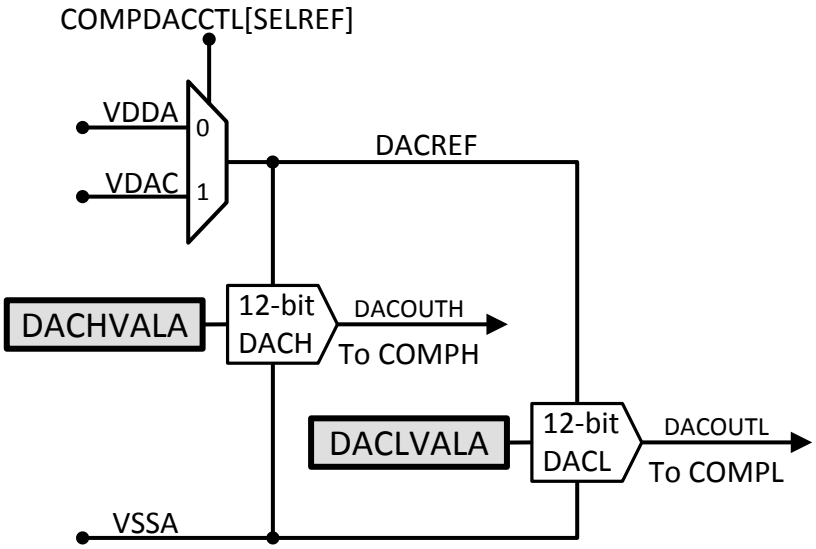


図 6-55. リファレンス DAC のブロック図

6.17.4.3 CMPSS の電気的データおよびタイミング

6.17.4.3.1 コンパレータ電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
TPU	パワーアップ時間				500	µs
コンパレータ入力 (CMPINxx) 範囲			0		VDDA	V

Copyright © 2025 Texas Instruments Incorporated

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
入力換算オフセット誤差		低同相モード、反転入力は 50mV に設定	-20		20	mV
ヒステリシス (1)		1x		12		LSB
		2x		24		
		3x		36		
		4x		48		
応答時間 (CMPINx 入力変化から ePWM クロスバーまたは出力クロスバーの出力までの遅延)		ステップ応答		21	60	ns
		ランプ応答 (1.65 V/µs)		26		
		ランプ応答 (8.25 mV/µs)		30		ns
PSRR	電源除去比	最高 250kHz		46		dB
CMRR	同相除去比		40			dB

(1) 適用するヒステリシスの大きさを決定するための基準として、CMPSS DAC を使用します。 したがって、ヒステリシスは CMPSS DAC リファレンス電圧に応じてスケーリングされます。 ヒステリシスは、すべてのコンパレータ入力ソース構成で使用できます。

CMPSS コンパレータの入力換算オフセットとヒステリシス

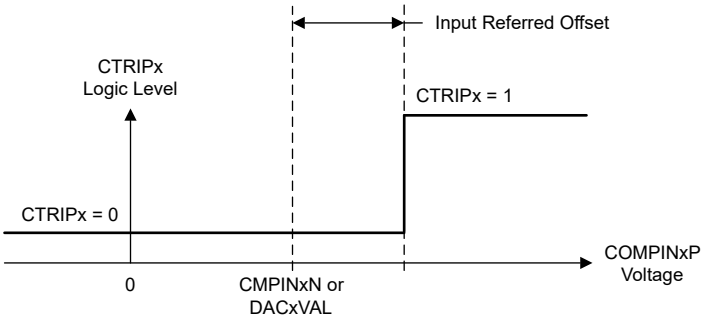


図 6-56. CMPSS コンパレータの入力換算オフセット

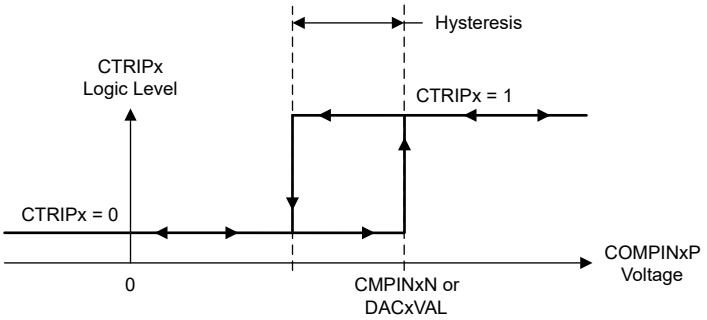


図 6-57. CMSS コンパレータのヒステリシス

6.17.4.3.2 CMPSS DAC の静的電気特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
CMPSS DAC 出力範囲	内部リファレンス	0		VDDA	V
	外部リファレンス	0		VDAC(4)	
静的オフセット誤差 (1)		-25		25	mV
静的ゲイン誤差 (1)		-2		2	FSR の %
静的 DNL	エンドポイント補正	>-1		4	LSB
静的 INL	エンドポイント補正	-16		16	LSB
セトリング タイム	フルスケール出力変化後 1LSB にセトリング			1	µs
分解能			12		ビット
CMPSS DAC 出力の外乱 (2)	コンパレータのトリップまたは CMPSS DAC コードの変化によって、同じ CMPSS モジュール内で発生する誤差	-100		100	LSB
CMPSS DAC の外乱時間 (2)				200	ns
VDAC リファレンス電圧	VDAC がリファレンス電圧の場合	2.4	2.5 または 3.0	VDDA	V
VDAC 負荷 (3)	VDAC がリファレンス電圧の場合	6	8	10	kΩ

(1) コンパレータの入力換算誤差を含みます。
(2) コンパレータのトリップ後、一定時間にわたって CMPSS DAC 出力に外乱誤差が生じることがあります。
(3) アクティブな CMPSS モジュール 1 個あたり。
(4) VDAC > VDDA の場合、最大出力電圧は VDDA です。

6.17.4.3.3 CMPSS の説明用グラフ

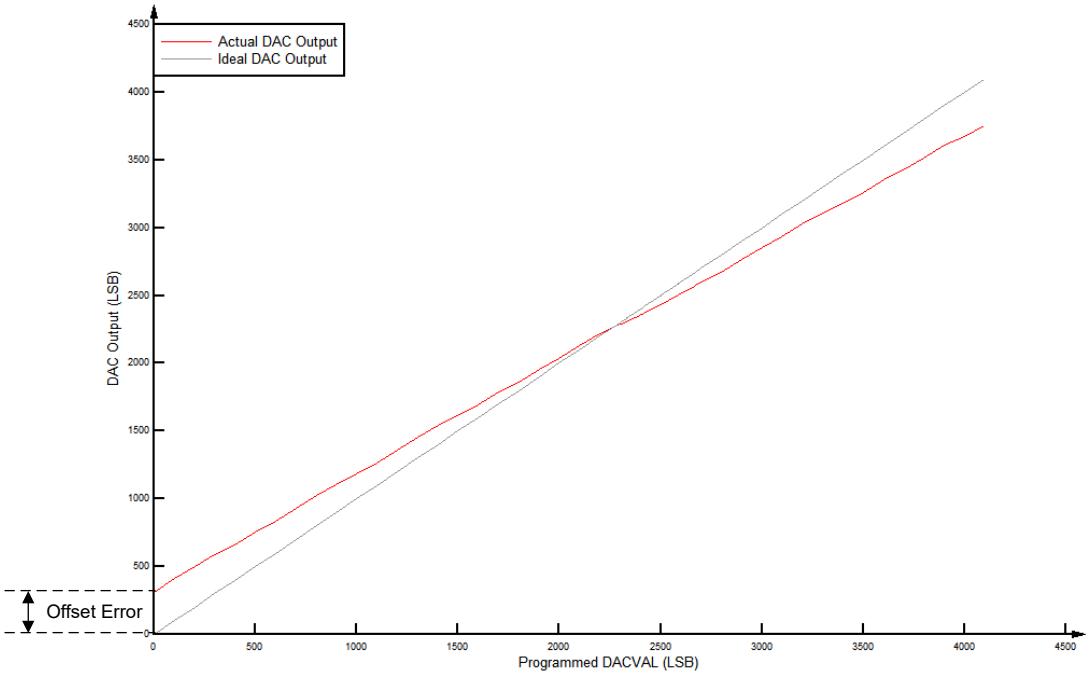


図 6-58. CMPSS DAC の静的オフセット

Copyright © 2025 Texas Instruments Incorporated

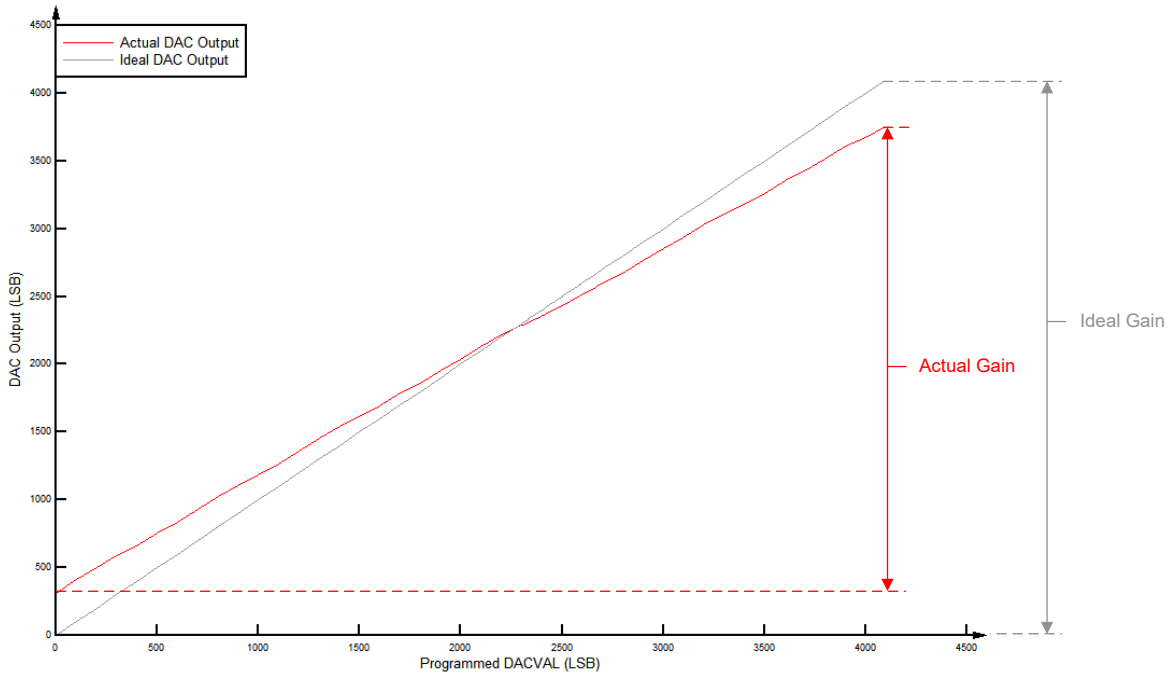


図 6-59. CMPSS DAC の静的ゲイン

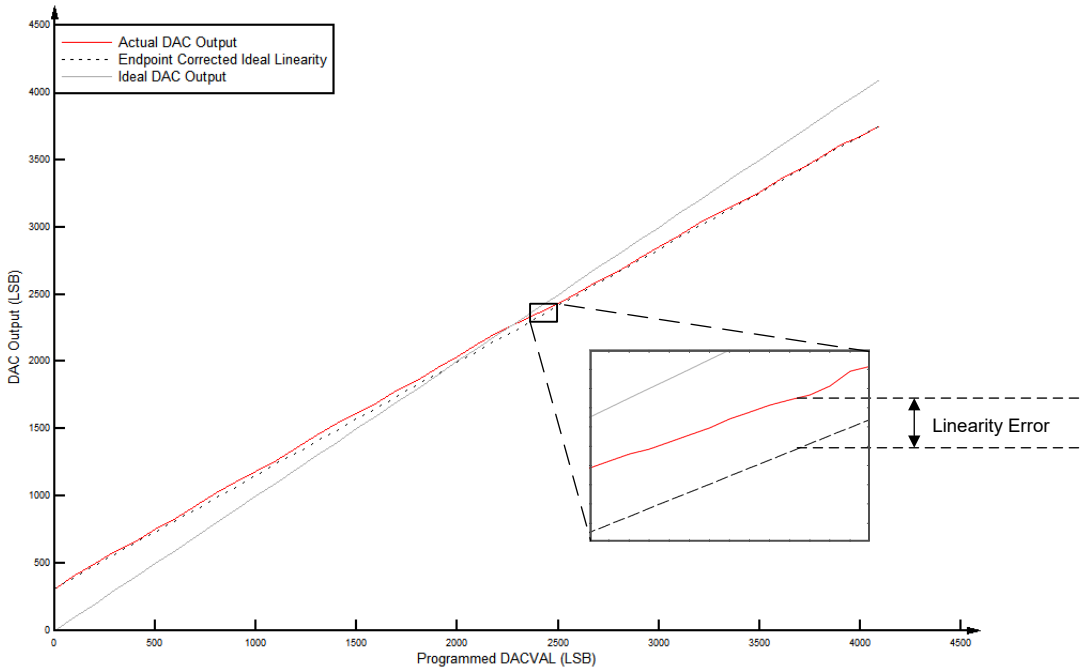


図 6-60. CMPSS DAC の静的直線性

6.17.5 バッファ付き D/A コンバータ (DAC)

バッファ付き DAC モジュールは、内部 12 ビット DAC と、外部負荷を駆動できるアナログ出力バッファで構成されています。標準よりもさらに高い負荷を駆動するには、負荷サイズと出力電圧スイングの間でトレードオフが可能です。バッファ付き DAC の負荷条件については、「バッファ付き DAC の電気的データおよびタイミング」セクションを参照してください。バッファ付き DAC は汎用 DAC であり、正弦波、方形波、三角波などの DC 電圧または AC 波形を生成するために使用できます。DAC 値レジスタへのソフトウェア書き込みは、直ちに有効にすることもでき、また、EPWMSYNCO イベントと同期させることもできます。

各バッファ付き DAC には次のような機能があります。

- 12 ビット分解能
- リファレンス電圧源を選択可能
- 内部 VREFHI を使用する場合、x1 および x2 ゲイン モード
- EPWMSYNCPER と同期可能

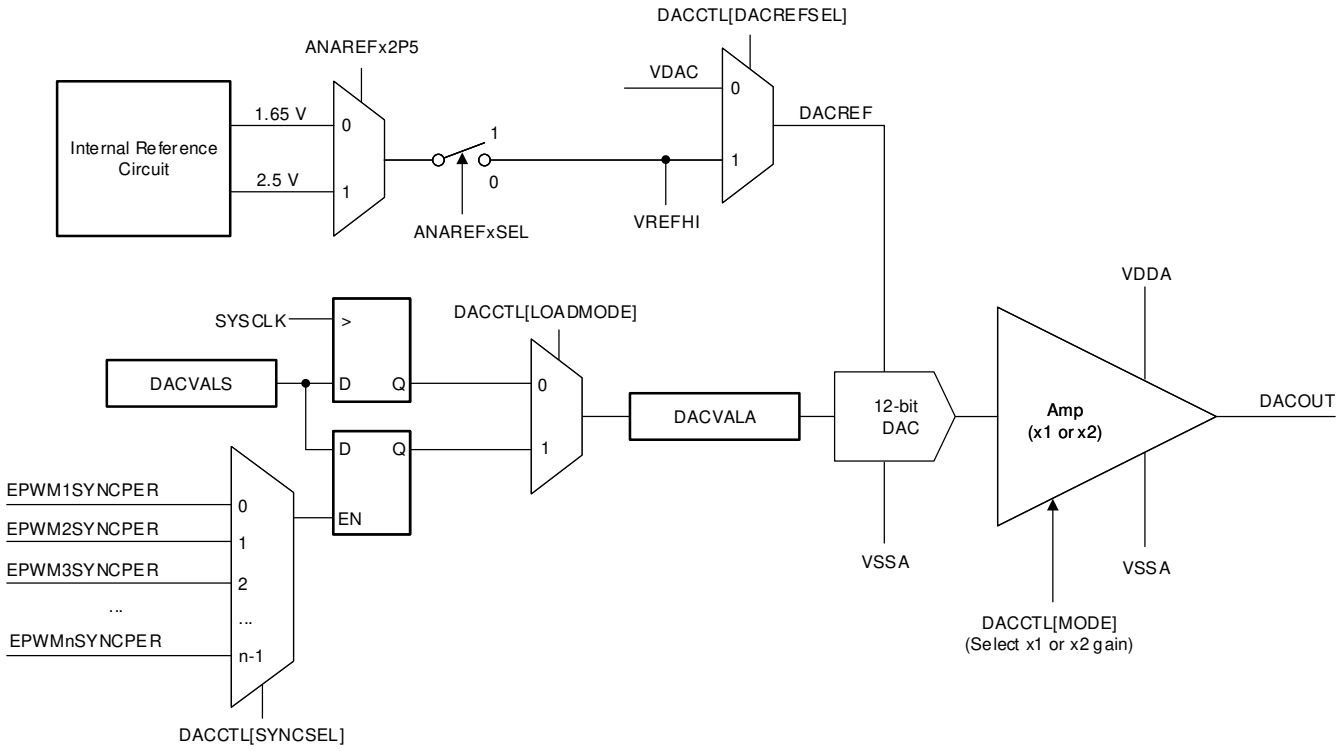


図 6-61. DAC モジュールのブロック図

Copyright © 2025 Texas Instruments Incorporated

6.17.5.1 バッファ付き DAC の電気的データおよびタイミング

6.17.5.1.1 バッファ付き DAC の動作条件

推奨動作条件範囲内 (特に記述のない限り)(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
R_L	抵抗性負荷 (2)		5			kΩ
C_L	容量性負荷				100	pF
V_{OUT}	有効出力電圧範囲 (3)	R_L = 5kΩ	0.3		VDDA - 0.3	V
		R_L = 1kΩ	0.6		VDDA - 0.6	V
リファレンス電圧 (4)		VDAC または VREFHI	2.4	2.5 または 3.0	VDDA	V

(1) 特に記述のない限り、標準値は VREFHI = 3.3V および VREFLO = 0V で測定されます。最小値と最大値は、VREFHI = 2.5V および VREFLO = 0V でテストまたは特性評価しています。
(2) DAC は最小 1kΩ の抵抗性負荷を駆動できますが、出力範囲は制限されます。
(3) これは DAC の線形出力範囲です。DAC はこの範囲外の電圧を生成できますが、バッファがあるので出力電圧は線形ではありません。
(4) 最高の PSRR 性能を得るには、VDAC または VREFHI は、VDDA よりも低くする必要があります。

6.17.5.1.2 バッファ付き DAC の電気的特性

推奨動作条件範囲内 (特に記述のない限り)(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
総則						
分解能				12		ビット
ロード レギュレーション			-1		1	mV/V
グリッチ エネルギー				1.5		V-ns
電圧出力セトリング時間、フルスケール		0.3V から 3V への遷移後 2LSB にセトリング			2	µs
電圧出力セトリング時間、1/4 フルスケール		0.3V から 0.75V への遷移後 2LSB にセトリング			1.6	µs
電圧出力スルー レート		0.3V から 3V への遷移時のスルーレート	2.8		4.5	V/µs
負荷過渡セトリング時間		5kΩ 負荷			328	ns
		1kΩ 負荷			557	ns
リファレンス入力抵抗 (2)		VDAC または VREFHI	160	200	240	kΩ
TPU	パワーアップ時間	外部リファレンス モード			500	µs
		内部リファレンス モード			5000	µs
DC の特性						
オフセット	オフセット誤差	中点	-10		10	mV
ゲイン	ゲイン誤差 (3)		-2.5		2.5	FSR の %
DNL	微分非直線性(4)	エンドポイント補正	-1	±0.4	1	LSB
INL	積分非直線性	エンドポイント補正	-5	±2	5	LSB
AC の特性						
出力ノイズ		100Hz～100kHz の積分ノイズ		600		µVrms
		10kHz でのノイズ密度		800		nVrms/√Hz
SNR	信号対雑音比	1kHz、200KSPS		64		dB
THD	全高調波歪み	1kHz、200KSPS		-64.2		dB
SFDR	スプリアス フリー ダイナミック レンジ	1kHz、200KSPS		66		dB
SINAD	信号対雑音＋歪み比	1kHz、200KSPS		61.7		dB

Copyright © 2025 Texas Instruments Incorporated

6.17.5.1.2 バッファ付き DAC の電気的特性 (続き)

推奨動作条件範囲内 (特に記述のない限り)(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
PSRR	電源除去比(5)	DC		70		dB
		100kHz		30		dB

(1) 特に記述のない限り、標準値は VREFHI = 3.3V および VREFLO = 0V で測定されます。最小値と最大値は、VREFHI = 2.5V および VREFLO = 0V でテストまたは特性評価しています。
(2) アクティブなバッファ付き DAC モジュール 1 個あたり。
(3) ゲイン誤差は、線形出力範囲について計算しています。
(4) DAC 出力は単調です。
(5) VREFHI = 3.2V、VDDA = DC 3.3V + 100mV 正弦波。

Copyright © 2025 Texas Instruments Incorporated

6.18 C29x コントロール ペリフェラル

注

特定のデバイスにおける各ペリフェラルの実際の数については、デバイス比較表を参照してください。

6.18.1 拡張キャプチャ (eCAP)

eCAP モジュールの特長は次のとおりです。

- 回転機械の速度測定 (たとえば、歯付きスプロケットをホール センサで検知)
- 位置センサ パルス間の経過時間測定
- パルス列信号の周期およびデューティ サイクル測定
- デューティ サイクル符号化電流 / 電圧センサから得られた電流または電圧振幅の復号

このセクションで説明する eCAP モジュールの特長は次のとおりです。

- 4 つのイベント タイムスタンプ レジスタ (各 32 ビット)
- 最大 4 つの順序付きタイムスタンプ キャプチャ イベントのエッジ極性選択
- 4 つのイベントのいずれかが発生したときの割り込み
- 最大 4 つのイベント タイムスタンプのシングルショット キャプチャ
- 深さ 4 の循環バッファでのタイムスタンプの連続モード キャプチャ
- 絶対タイムスタンプ キャプチャ
- 差分 (デルタ) モード タイムスタンプ キャプチャ
- キャプチャ モードで使用しない場合、eCAP モジュールを単一チャネル PWM 出力として構成可能

Copyright © 2025 Texas Instruments Incorporated

6.18.1.1 eCAP のブロック図

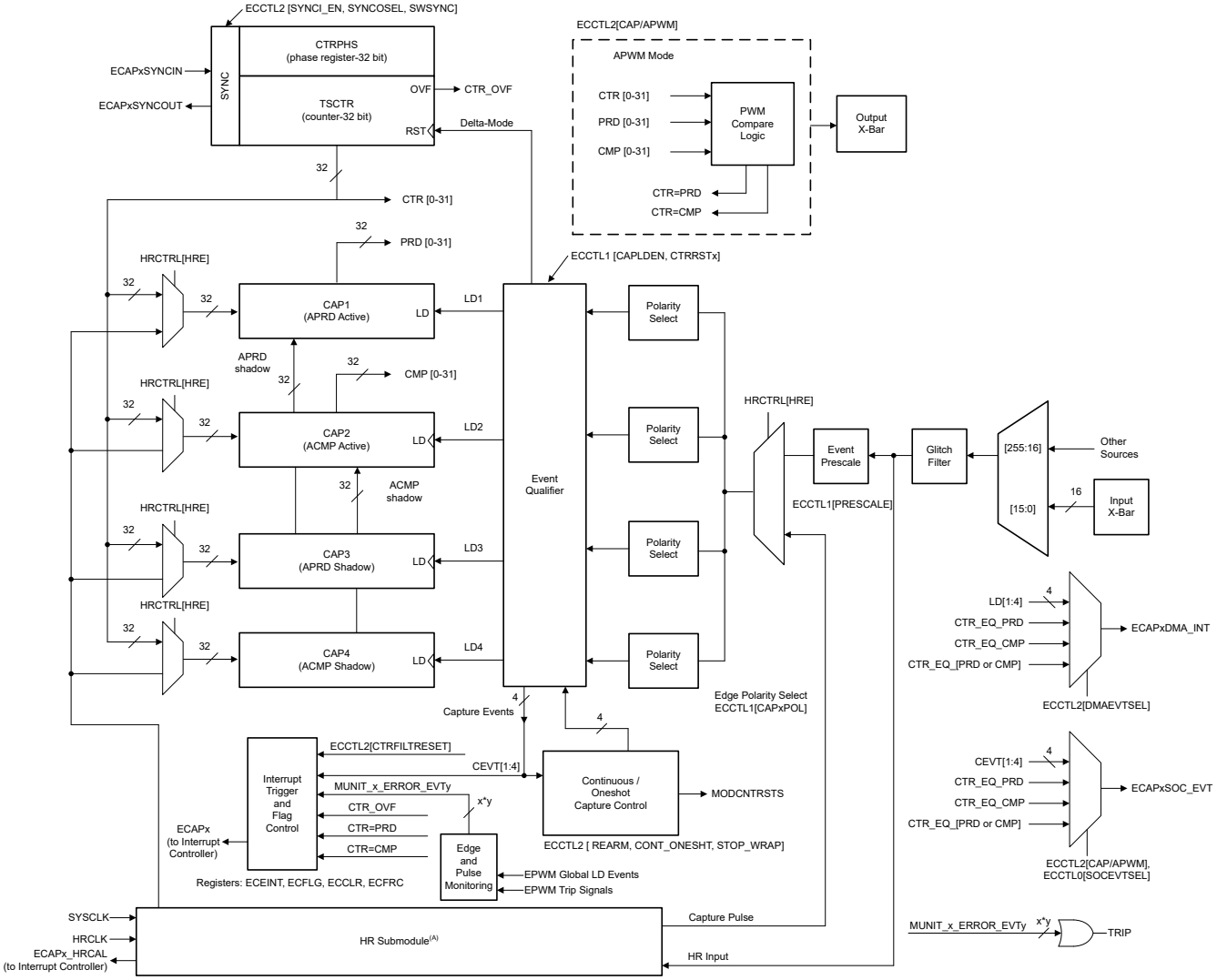


図 6-62. eCAP のブロック図

Copyright © 2025 Texas Instruments Incorporated

6.18.1.2 eCAP の同期

eCAP の各モジュールは、共通の SYNCIN ソースを選択することで、互いに同期させることができます。eCAP 用の SYNCIN ソースには、ソフトウェア同期入力と外部同期入力のどちらかを使用できます。 外部同期入力信号は、ePWM 、eCAP、またはクロスバーのいずれかから供給されます。SYNC 信号は、図 6-63 に示すように、ECAPx の ECAPxSYNCINSEL[SEL] ビットでの選択によって定義されます。

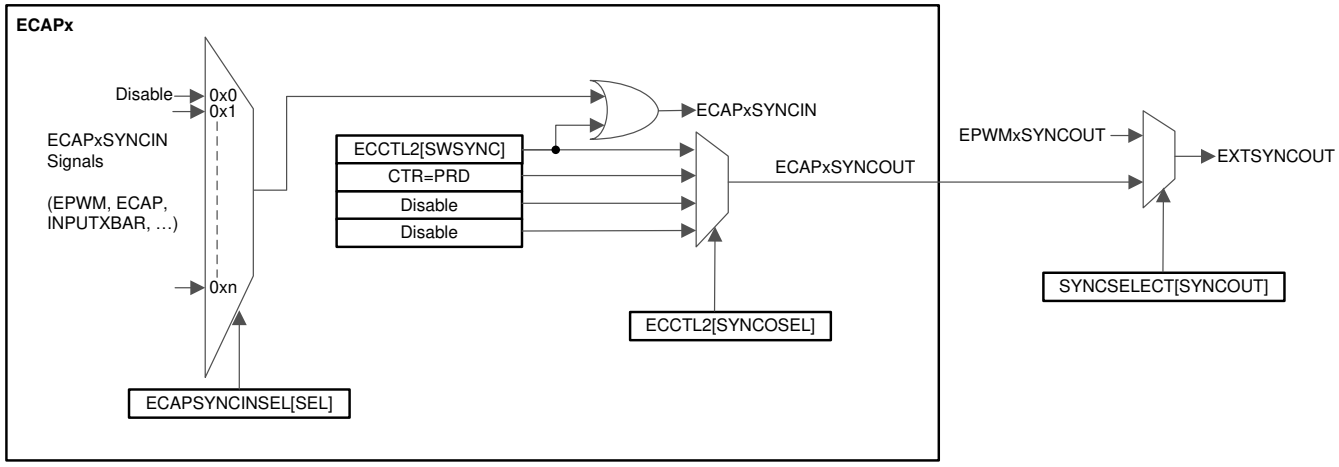


図 6-63. eCAP の同期方式

6.18.1.3 eCAP の電気的データおよびタイミング

入力クオリファイヤ パラメータの説明については、「汎用入力のタイミング要件」表を参照してください。

6.18.1.3.1 eCAP のタイミング要件

			最小値	公称値	最大値	単位
$t_{w(CAP)}$	キャプチャ入力パルス幅	非同期	$2t_{c(SYSCLK)}$			ns
		同期	$2t_{c(SYSCLK)}$			
		入力クオリファイヤあり	$1t_{c(SYSCLK)} + t_{w_(IQSW)}$			

6.18.1.3.2 eCAP のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	標準値	最大値	単位
$t_{w(APWM)}$	パルス幅、APWMx 出力 High/Low	20			ns

6.18.2 高分解能キャプチャ (HRCAP)

eCAP3 モジュールは、高分解能キャプチャ (HRCAP) サブモジュールとして構成できます。HRCAP サブモジュールは、システム・クロックと非同期にパルス間の時間差を測定します。このサブモジュールは、eCAP タイプ 1 モジュールの新機能であり、タイプ 0 HRCAP モジュールに対して多くの拡張が行われています。

HRCAP の主な用途:

- 静電容量式タッチ・アプリケーション
- パルス・トレイン・サイクルの周期とデューティ・サイクルを高分解能で測定
- 速度の瞬時値測定
- 周波数の瞬時値測定
- 絶縁境界にまたがる電圧測定
- 距離 / ソナーの測定とスキャン
- 流量測定

HRCAP サブモジュールの主な特長を以下に示します。

- 非高分解能モードまたは高分解能モードでのパルス幅キャプチャ
- 絶対モードのパルス幅キャプチャ
- 連続キャプチャまたはワンショット・キャプチャ
- 立ち下がりエッジと立ち上がりエッジのどちらかでのキャプチャ
- 深さ 4 のバッファによるパルス幅の連続モード・キャプチャ
- 高精度高分解能キャプチャのためのハードウェア・キャリブレーション・ロジック
- このリストに掲載されているすべてのリソースは、入力クロスバーを使って任意のピンで利用できます。

HRCAP サブモジュールは、キャリブレーション・ブロックに加えて、1 つの高分解能キャプチャ・チャネルを備えています。このキャリブレーション・ブロックを使用すると、HRCAP サブモジュールを一定の間隔で継続的に再キャリブレーションでき、「ダウン・タイム」は発生しません。HRCAP サブモジュールは現在、それぞれの eCAP と同じハードウェアを使用しているため、HRCAP を使用すると、対応する eCAP は使用できません。

それぞれの高分解能対応チャネルは、以下の独立した主要リソースを備えています。

- 対応する eCAP のすべてのハードウェア
- 高分解能のキャリブレーション・ロジック
- 専用のキャリブレーション割り込み

6.18.2.1 eCAP と HRCAP のブロック図

HRCAP ブロック図については、「拡張キャプチャ (eCAP)」セクションの eCAP および HRCAP ブロック図を参照してください。

Copyright © 2025 Texas Instruments Incorporated

6.18.2.2 HRCAP の電気的データおよびタイミング

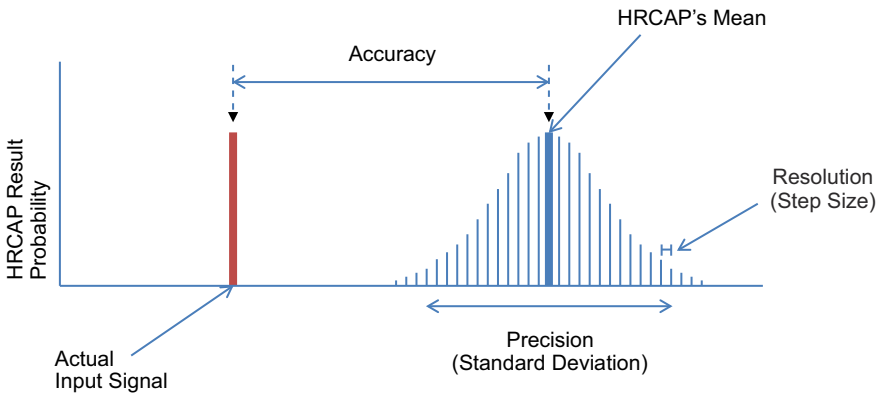
6.18.2.2.1 HRCAP スイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
入力パルス幅		110			ns
精度(1) (2) (3) (4)	測定長 ≤ 5µs		±390	540	ps
	測定長 > 5µs		±450	1450	ps
標準偏差			HRCAP 標準偏差 特性 図を参照		
分解能			300		ps

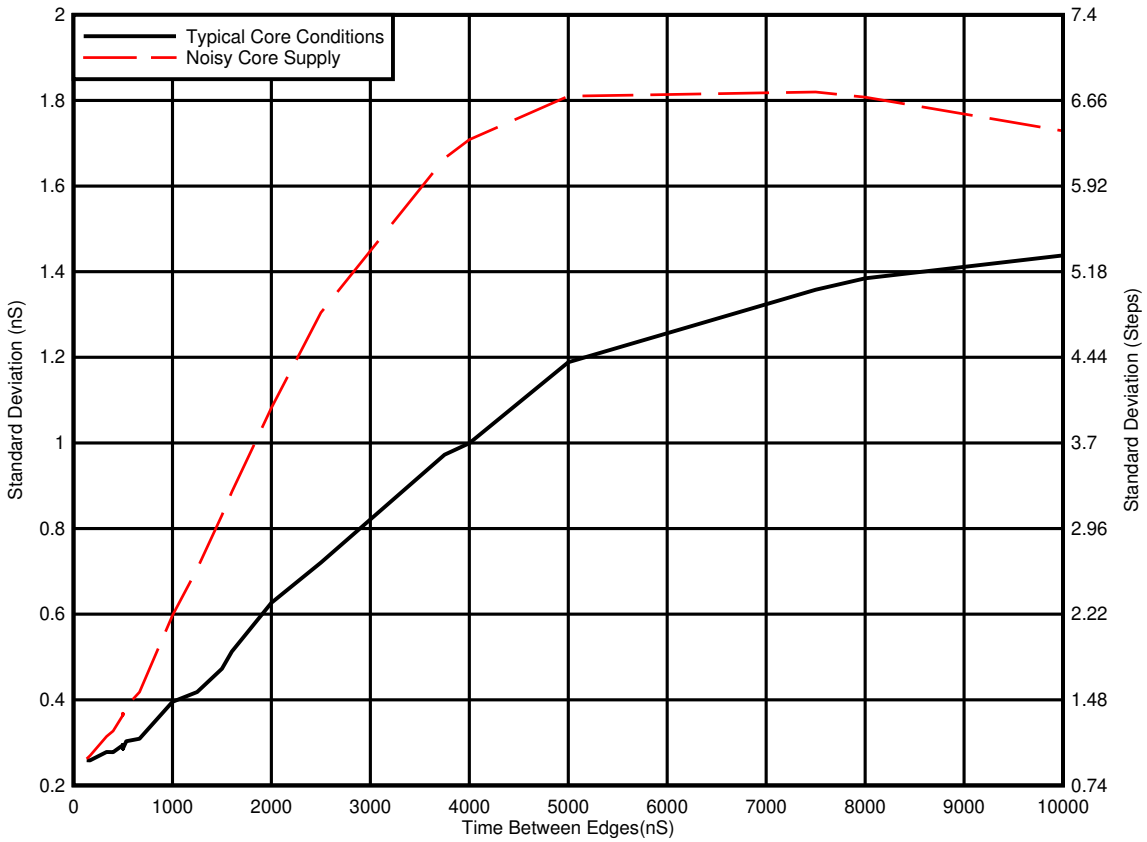
(1) 100PPM の発振回路を使用して値を取得すると、発振回路の精度が HRCAP の精度に直接影響を及ぼします。
(2) 立ち上がりまたは立ち下がりエッジを使用して測定を完了します
(3) 逆極性のエッジは、V_{IH} と V_{IL} の差により、精度が低下します。この影響は、信号のスルーレートに依存します。
(4) 精度は、時間に変換された測定にのみ適用されます。

6.18.2.2.2 HRCAP の図とグラフ



A. HRCAP の性能にはいくらかの変動があるので、確率分布を以下に示す用語で記述します。
- 精度:入力信号と HRCAP の分布の平均との時間差。
- 精度:HRCAP の分布の幅であり、これは標準偏差として表されます。
- 分解能:測定可能な最小増分。

図 6-64. HRCAP の正確度、精度、分解能



A. 代表的な動作条件:すべてのペリフェラル クロックはディセーブル。

B. ノイズの多いコア電源:すべてのコア クロックは、測定中に一定の周期でイネーブルおよびディセーブルになります。

C. VDD レールの電流と電圧の変動により、HRCAP の標準偏差が上昇します。HRCAP を使用する際には、VDD 電源がクリーンであること、また、クロック ツリーのイネーブルおよびディセーブルなどのノイズの多い内部イベントを最小限に抑えることについて注意する必要があります。

図 6-65. HRCAP 標準偏差特性

Copyright © 2025 Texas Instruments Incorporated

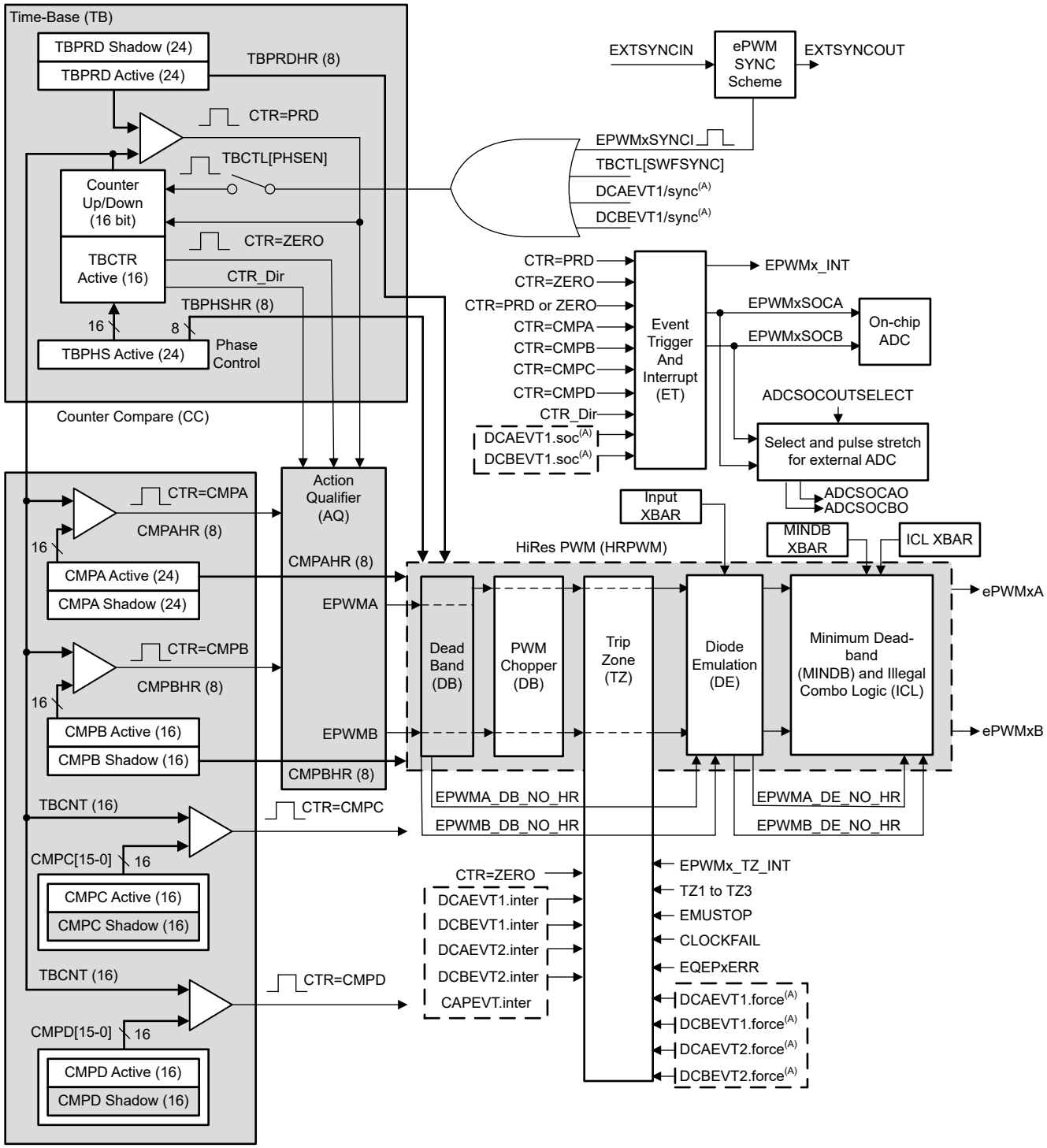
6.18.3 拡張パルス幅変調器 (ePWM)

ePWM ペリフェラルは、民生用および産業用機器で採用されている多くのパワー エレクトロニクス システムを制御するための重要な要素です。ePWM タイプ 4 モジュールは、個別のリソースが連携してシステムを形成するしくみによって、小さいモジュールからペリフェラルを構築して、最小限の CPU オーバーヘッドで複合パルス幅波形を生成できます。ePWM タイプ 4 モジュール の主な特長として、複合波形生成、デッドバンド生成、柔軟な同期方式、高度なトリップ ゾーン機能、グローバル レジスタ リロード機能が挙げられます。ePWM タイプ 5 の拡張機能には、同期チェーン オプションの拡張、リンクおよびグローバル負荷パルス選択の柔軟性、XCMP 複合波形生成、イベント キャプチャ機能、ダイオード エミュレーション サブモジュールおよび最小デッドバンド / 不正コンボ ロジック サブモジュールの追加、不等間隔の ePWM 周期のオーバーサンプリングを可能にするイベント トリガ サブモジュールの拡張が含まれます。

デバイスの ePWM と eCAP の同期スキームにより、ePWM および eCAP モジュールの分割に柔軟性が生まれ、モジュール内でのローカルな同期が可能になります。

ePWM モジュールを 図 6-66 に示します。図 6-67 に、ePWM トリップ入力の接続を示します。

Copyright © 2025 Texas Instruments Incorporated



A. これらのイベントは、TRIPIN 入力のレベルに基づいて、ePWM デジタル比較 (DC) サブモジュールによって生成されます。

図 6-66. ePWM サブモジュールおよび重要な内部信号の相互接続

Copyright © 2025 Texas Instruments Incorporated

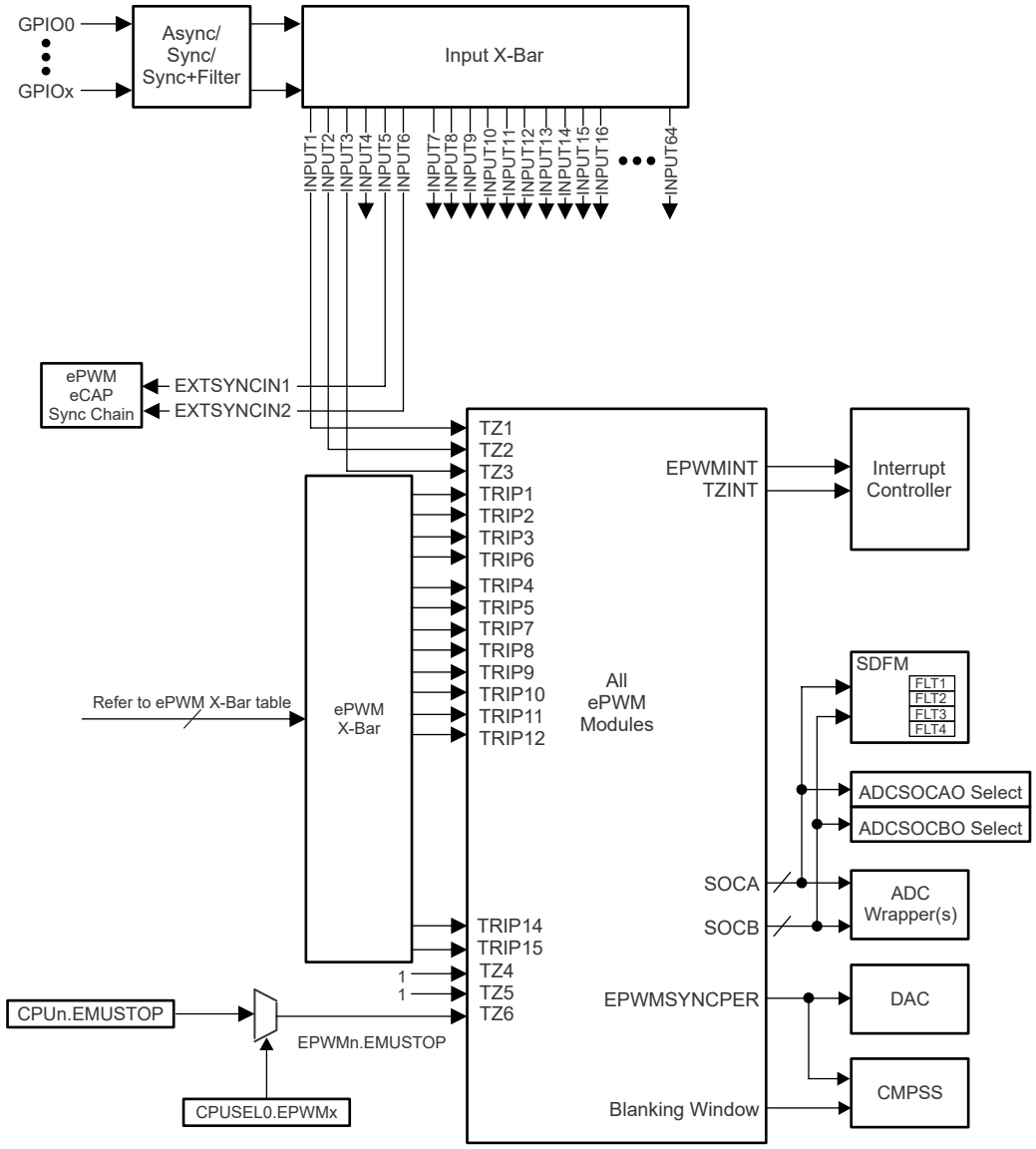


図 6-67. ePWM トリップ入力の接続

6.18.3.1 制御ペリフェラルの同期

デバイスの ePWM と eCAP の同期スキームにより、ePWM および eCAP モジュールの分割に柔軟性が生まれ、モジュール内でのローカルな同期が可能になります。図 6-68 に、この同期スキームを示します。

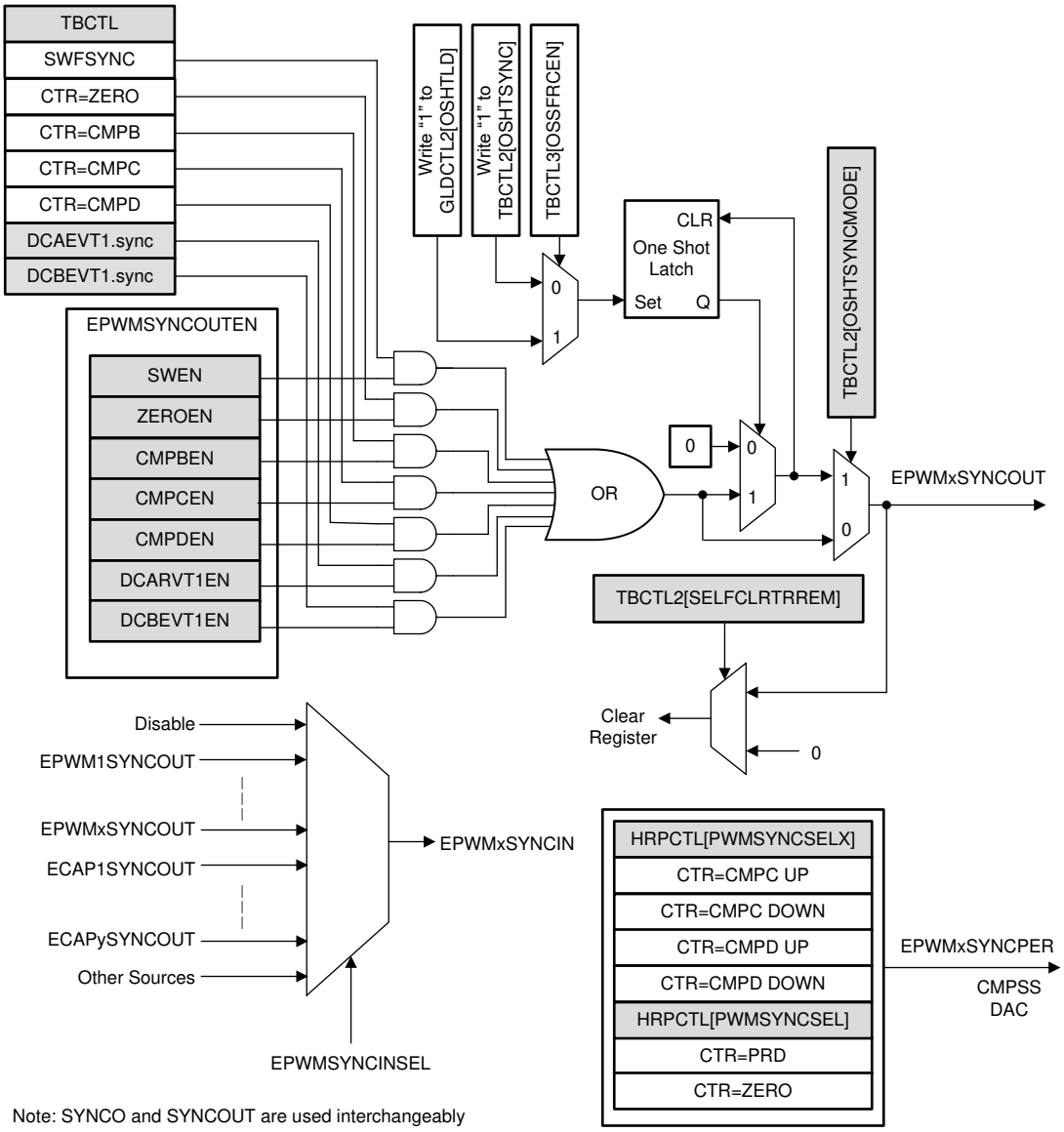


図 6-68. 同期チェーンのアーキテクチャ

Copyright © 2025 Texas Instruments Incorporated

6.18.3.2 ePWM の電気的データおよびタイミング

入力クオリファイヤ パラメータの説明については、「汎用入力のタイミング要件」表を参照してください。

6.18.3.2.1 ePWM のタイミング要件

			最小値	最大値	単位
$t_{w(SYNCIN)}$	同期入力パルス幅	非同期	$2t_{c(EPWMCLK)}$		サイクル
		同期	$2t_{c(EPWMCLK)}$		
		入力クオリファイヤあり	$1t_{c(EPWMCLK)} + t_{w(IQSW)}$		

6.18.3.2.2 ePWM のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

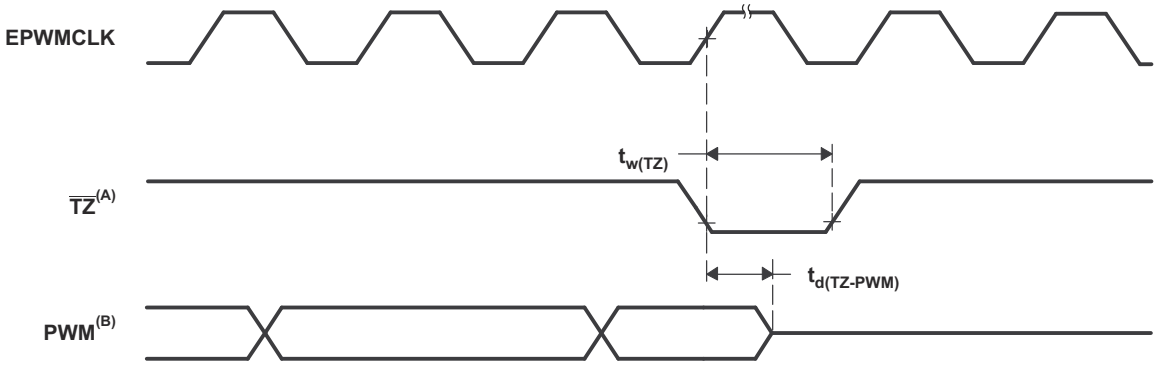
パラメータ (1)		最小値	最大値	単位
$t_{w(PWM)}$	パルス幅、PWMx 出力 High/Low	20		ns
$t_{w(SYNCOUT)}$	同期出力パルス幅	$8t_{c(SYSCLK)}$		サイクル
$t_{d(TZ-PWM)}$	遅延時間、トリップ入力アクティブから PWM 強制 High まで 遅延時間、トリップ入力アクティブから PWM 強制 Low まで 遅延時間、トリップ入力アクティブから PWM ハイ インピーダンスまで		30	ns
tskew	すべての ePWM 出力のスキュー (最短パス)(2)		5.1	ns
tskew	すべての ePWM 出力のスキュー (最長パス)(2)		8.9	ns
tskew	HRPWM を経由するすべての ePWM 出力のスキュー (最短パス)(2)		5.1	ns
tskew	HRPWM を経由するすべての ePWM 出力のスキュー (最長パス)(2)		8.9	ns

(1) ピンの負荷は 20pF。
(2) EPWM も同様の構成を使用します。

6.18.3.2.3 トリップ ゾーン入力のタイミング

入力クオリファイヤのパラメータの説明については、「汎用入力のタイミング要件」表を参照してください。

6.18.3.2.3.1 PWM ハイ インピーダンス特性のタイミング図



A. $\overline{TZ}$:$\overline{TZ1}$、$\overline{TZ2}$、$\overline{TZ3}$、TRIP1～TRIP12
B. PWM は、デバイスのすべての PWM ピンのことです。$\overline{TZ}$ が High になった後の PWM ピンの状態は、PWM 回復ソフトウェアによって異なります。

図 6-69. PWM ハイ インピーダンス特性

6.18.4 外部 ADC 変換開始の電気的データおよびタイミング

6.18.4.1 外部 ADC 変換開始のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	最大値	単位
$t_{w(ADCSOCL)}$	パルス幅、$\overline{ADCSOCxO}$ Low	$32t_{c(SYSCLK)}$		サイクル

6.18.4.2 $\overline{ADCSOCAO}$ または $\overline{ADCSOCBO}$ のタイミング図

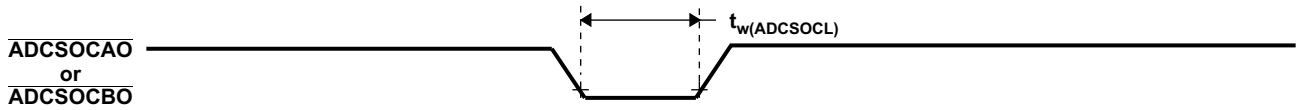


図 6-70. $\overline{ADCSOCAO}$ または $\overline{ADCSOCBO}$ のタイミング

6.18.5 高分解能パルス幅変調器 (HRPWM)

HRPWM は、複数のディレイ ラインを 1 つのモジュールに統合し、専用のキャリブレーション ディレイ ラインを使用して、簡素化されたキャリブレーション システムを実現しています。それぞれの ePWM モジュールに、2 つの HR 出力があります。

- チャネル A の HR デューティおよびデッドバンド制御
- チャネル B の HR デューティおよびデッドバンド制御

HRPWM モジュールは、従来のデジタル PWM 方式を使用した場合よりもはるかに優れた PWM 分解能 (時間の粒度) を提供します。HRPWM モジュールの主な特長は次のとおりです。

- 従来のデジタル PWM の時間分解能性能を大幅に拡張します
- この機能は、シングル エッジ (デューティ サイクルおよび位相シフト制御) とデュアル エッジ (周波数 / 周期変調制御) の両方で使用できる。
- ePWM モジュールの比較 A、比較 B、位相、周期、デッドバンド レジスタを拡張することにより、より細かい時間粒度制御またはエッジの位置設定を制御します。

6.18.5.1 HRPWM の電気的データおよびタイミング

6.18.5.1.1 高分解能 PWM の特性

パラメータ	最小値	標準値	最大値	単位
マイクロ エッジ ポジショニング (MEP) ステップ サイズ (1)	43	75	152	ps

(1) MEP ステップ サイズは、高温かつ V_{DD} 最小電圧で最大になります。温度の上昇および電圧の低下に伴って、MEP ステップ サイズが増加し、温度の低下および電圧の上昇に伴って減少します。
HRPWM 機能を使用するアプリケーションでは、MEP スケール因子最適化 (SFO) 推定ソフトウェア機能を使用する必要があります。最終アプリケーションで SFO 機能を使用する方法の詳細については、テキサス・インスツルメンツのソフトウェア ライブラリを参照してください。SFO 機能は、HRPWM の動作中に、SYSCLK 周期あたりの MEP ステップ数を動的に推定するのに役立ちます。

6.18.6 拡張直交エンコーダ パルス (eQEP)

このデバイスの eQEP モジュールは Type 2 です。eQEP インターフェイスは、高性能な動作位置制御システムで使用される回転機械から位置、方向、速度などの情報を取得するために、リニアまたはロータリ インクリメンタル エンコーダとの直接のインターフェイスになります。

eQEP ペリフェラルには、以下の主要な機能ユニットが含まれています (図 6-71 を参照)。

- 各ピンの入力クオリファイヤをプログラム可能 (GPIO MUX の一部)
- 直交デコーダ ユニット (QDU)
- 位置測定用の位置カウンタおよび制御ユニット (PCCU)
- 低速度測定用の直交エッジ キャプチャ ユニット (QCAP)
- 速度および周波数測定用のユニット タイム ベース (UTIME)

Copyright © 2025 Texas Instruments Incorporated

- ストール検出用ウォッチドッグ タイマ (QWDOG)
- 直交モード アダプタ (QMA)

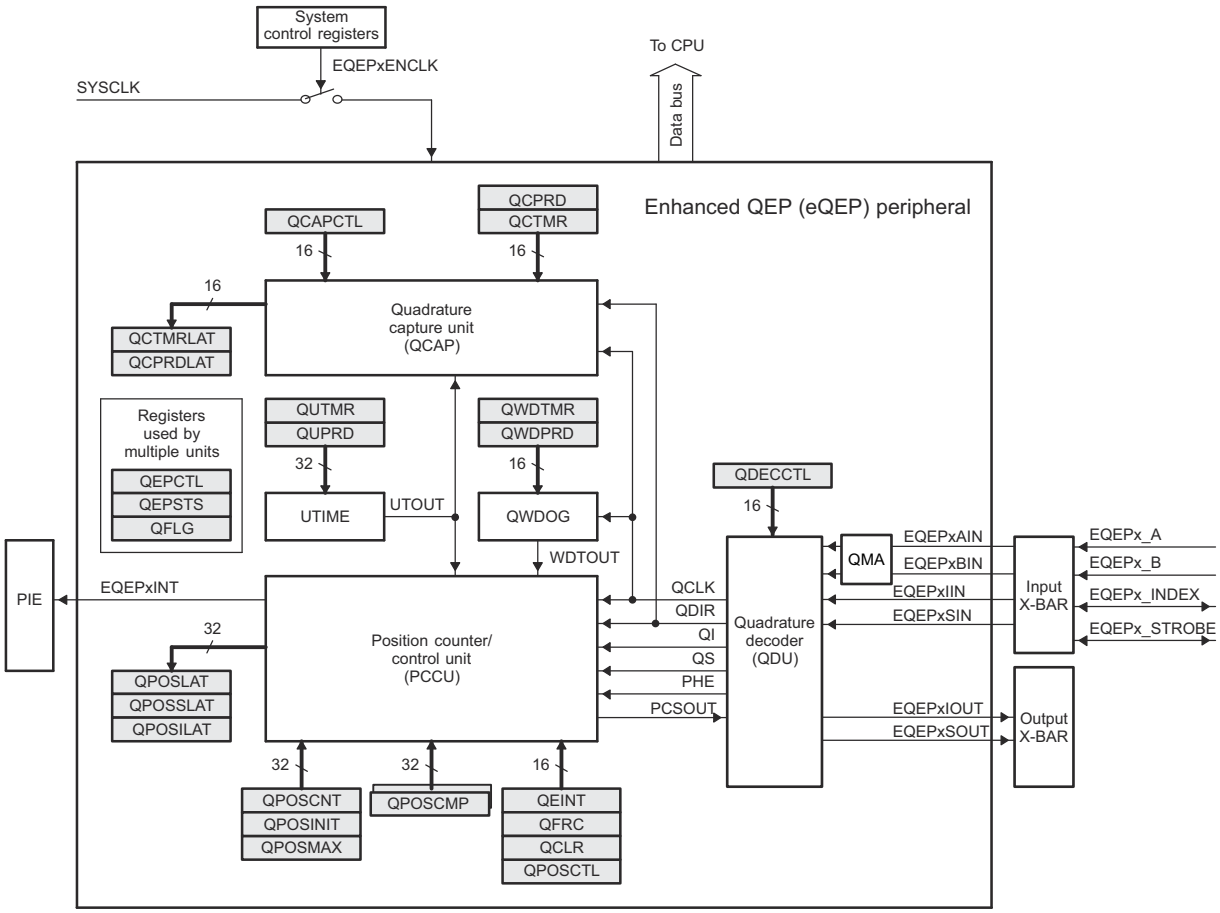


図 6-71. eQEP のブロック図

6.18.6.1 eQEP の電気的データおよびタイミング

入力クオリファイヤ パラメータの説明については、「汎用入力のタイミング要件」表を参照してください。

6.18.6.1.1 eQEP のタイミング要件

			最小値	最大値	単位
$t_{w(QEPP)}$	QEP 入力周期	同期 (1)	$2t_{c(SYSCLK)}$		サイクル
$t_{w(QEPP)}$	QEP 入力周期	入力クオリファイヤにより同期	$2[1t_{c(SYSCLK)} + t_{w(IQSW)}]$		サイクル
$t_{w(INDEXH)}$	QEP インデックス入力 High 時間	同期 (1)	$2t_{c(SYSCLK)}$		サイクル
$t_{w(INDEXH)}$	QEP インデックス入力 High 時間	入力クオリファイヤにより同期	$2t_{c(SYSCLK)} + t_{w(IQSW)}$		サイクル
$t_{w(INDEXL)}$	QEP インデックス入力 Low 時間	同期 (1)	$2t_{c(SYSCLK)}$		サイクル
$t_{w(INDEXL)}$	QEP インデックス入力 Low 時間	入力クオリファイヤにより同期	$2t_{c(SYSCLK)} + t_{w(IQSW)}$		サイクル
$t_{w(STROBH)}$	QEP ストローブ High 時間	同期 (1)	$2t_{c(SYSCLK)}$		サイクル
$t_{w(STROBH)}$	QEP ストローブ High 時間	入力クオリファイヤにより同期	$2t_{c(SYSCLK)} + t_{w(IQSW)}$		サイクル
$t_{w(STROBL)}$	QEP ストローブ入力 Low 時間	同期 (1)	$2t_{c(SYSCLK)}$		サイクル
$t_{w(STROBL)}$	QEP ストローブ入力 Low 時間	入力クオリファイヤにより同期	$2t_{c(SYSCLK)} + t_{w(IQSW)}$		サイクル

(1) eQEP モジュールの入力ピンでは、GPIO の GPxQSELn 非同期モードは使用できません。

6.18.6.1.2 eQEP のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	最大値	単位
$t_{d(CNTR)xin}$	遅延時間、外部クロックからカウンタ インクリメントまで		$5t_{c(SYSCLK)}$	サイクル
$t_{d(PCS-OUT)QEP}$	遅延時間、QEP 入力エッジから位置比較同期出力まで		$7t_{c(SYSCLK)}$	サイクル

Copyright © 2025 Texas Instruments Incorporated

6.18.7 シグマ-デルタ・フィルタ・モジュール (SDFM)

SDFM の主な特長は次のとおりです。

- SDFM モジュールごとに 8 本の外部ピン
  - SDFM モジュールごとに 4 本のシグマ-デルタ データ入力ピン (SD-Dx、ここで x = 1～4)
  - SDFM モジュールごとに 4 本のシグマ-デルタ クロック入力ピン (SD-Cx、ここで x = 1～4)
- さまざまな構成可能な変調器クロック モードをサポート:
  - モード 0:変調器クロック レートが変調器データ レートに等しい。
- SDFM モジュールごとに 4 つの独立した構成可能な 2 次フィルタ (コンパレータ) ユニット:
  - 4 種類のフィルタ タイプ選択 (Sinc1/Sinc2/SincFast/Sinc3) を利用可能
  - 値超過状態、値不足状態、スレッショルド クロッシング状態を検出可能
    1. 2 つの独立した高スレッショルド コンパレータ (値超過状態の検出に使用)
    2. 2 つの独立した低スレッショルド コンパレータ (値不足状態の検出に使用)
    3. 1 つの独立したスレッショルド クロッシング コンパレータ (eCAP でデューティ サイクル / 周波数を測定するために使用)
  - 1～32 の範囲でプログラム可能なコンパレータ フィルタ ユニットの OSR 値 (COSR)
- SDFM モジュールごとに 4 つの独立した構成可能な 1 次フィルタ (データ フィルタ) ユニット:
  - 4 種類のフィルタ タイプ選択 (Sinc1/Sinc2/SincFast/Sinc3) を利用可能
  - 1～256 の範囲でプログラム可能なデータ フィルタ ユニットの OSR 値 (DOSR)
  - 個別のフィルタ モジュールを有効または無効 (あるいはその両方) に設定可能
  - メイン フィルタ イネーブル (MFE) ビットまたは PWM 信号を使用して、SDFM モジュールの 4 つの独立したフィルタすべてを同期可能
- データ フィルタ出力は、16 ビットまたは 32 ビットで表現可能。
- データ フィルタ ユニットにはプログラマブル モード FIFO があり、割り込みオーバーヘッドを低減。FIFO の特長は次のとおりです。
  - 1 次フィルタ (データ フィルタ) に深さ 16 x 32 ビット FIFO。
  - FIFO は、プログラムした数のデータ レディ イベントが発生した後 CPU に割り込みを発生させることが可能。
  - FIFO の同期待ち機能:PWM 同期信号 (SDSYNC) を受信するまで、データ レディ イベントを無視する機能。SDSYNC イベントを受信すると、データ レディ イベントごとに FIFO に書き込み。
  - データ フィルタ出力は、16 ビットまたは 32 ビットで表現可能。
- PWMx.SOCA/SOCB は、データ フィルタ チャネルごとに SDSYNC ソースとして機能するように構成可能。
- PWM を使用して、シグマ-デルタ モジュレータ用の変調器クロックを生成可能。
- SD-Cx と SD-Dx の両方に構成可能な入力認定を利用可能。
- 1 つのフィルタ チャネル クロック (SD-C1) を使用して、他のフィルタ クロック チャネルにクロックを供給する機能。
- コンパレータ フィルタ イベントでスプリアス ノイズに起因するコンパレータ イベントを除外する構成可能なデジタル フィルタ。

図 6-72 に、SDFM モジュールのブロック図を示します。

Copyright © 2025 Texas Instruments Incorporated

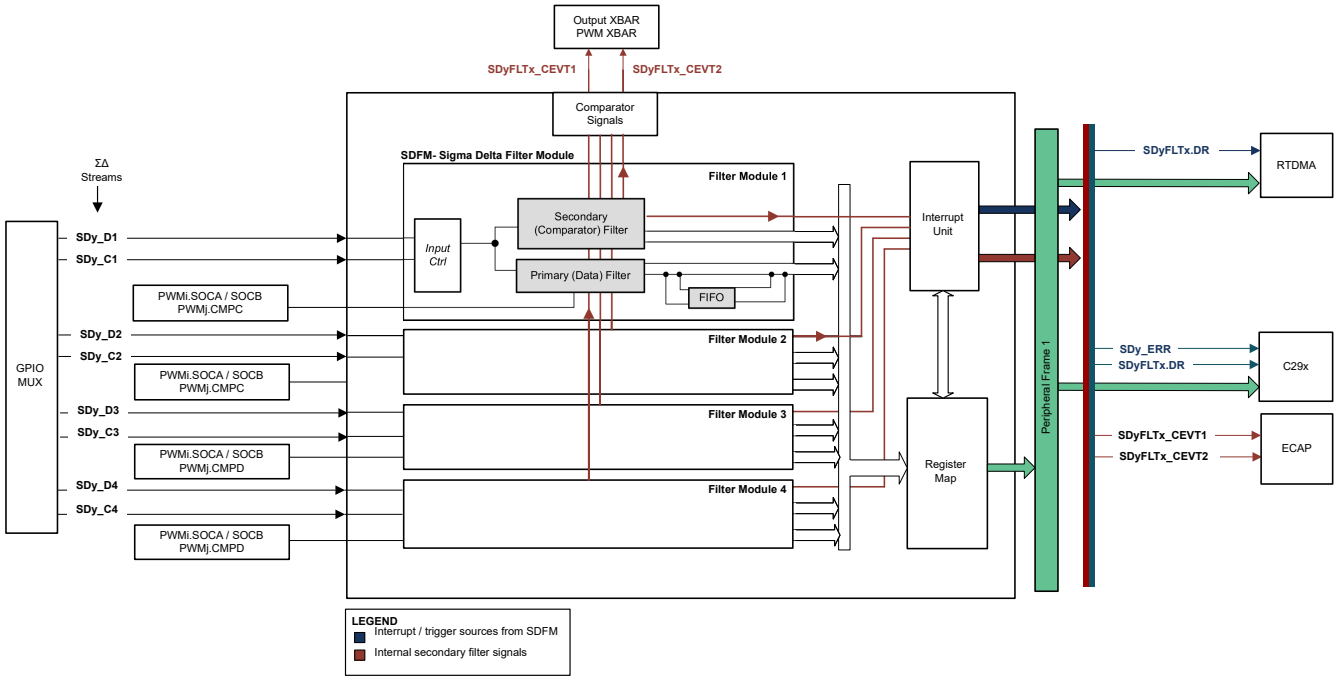


図 6-72. シグマ デルタ フィルタ モジュール (SDFM) のブロック図

Copyright © 2025 Texas Instruments Incorporated

6.18.7.1 SDFM の電気的データおよびタイミング

6.18.7.1.1 SDFM の電気的データおよびタイミング (同期 GPIO)

この同期 GPIO モードを使用する場合、$t_{W(GPI)}$ のパルス幅は、$2t_{c(SYSCLK)}$ というタイミング要件を満たす必要があります。SD-Cx と SD-Dx の両方のペアを SYNC オプションで構成することが重要です。このセクション に、同期 GPIO (SYNC) オプションを使用した場合の SDFM タイミング要件を示します。図 6-73 に、SDFM のタイミング図を示します。

「*同期 GPIO (SYNC) オプション使用時の SDFM のタイミング要件*」表に、SDFM のタイミング要件を示します。次のような構成を行う必要があります。

- SDFM GPIO ピンは、SYNC モードでのみ構成する必要があります (GPYQSELn = 00b を使用)。
- SDx-Cy 信号と SDx-Dy 信号の両方を PLLRAWCLK に同期させる必要はありません (SDCTLPARMx.SDDATASYNC / SDCLKSYNC = 0b を使用)。

注

SDx_Cy ピンでランダム ノイズのグリッチが発生すると、コンパレータの誤動作やフィルタ出力の異常につながり、SDFM モジュールが誤動作する可能性がありますが、SDFM 同期 GPIO (SYNC) オプションは、この誤動作に対する保護を提供します。

SDFM 同期 GPIO (SYNC) モードは、上記のタイミング要件の永続的な違反に対する保護を提供するものではありません。タイミング違反があると、要件に違反するビット数に比例してデータが破損する結果になります。

6.18.7.1.2 SDFM の電気的データおよびタイミング (ASYNC を使用)

「非同期 GPIO ASYNC オプション使用時の SDFM のタイミング要件」の表に、SDFM のタイミング要件を示します。次のような構成を行う必要があります。

- SDFM GPIO ピンは、ASYNC モードでのみ構成する必要があります (GPYQSELn = 0b11 を使用)。
- SDx-Cy 信号と SDx-Dy 信号の両方を PLLRAWCLK に同期させる必要があります (SDCTLPARMx レジスタを使用)。

図 6-73 に、SDFM のタイミング図を示します。

6.18.7.1.2.1 非同期 GPIO ASYNC オプション使用時の SDFM のタイミング要件

		最小値	最大値	単位
モード 0				
$t_{c(SDC)M0}$	サイクル時間、SDx_Cy	4 * $t_{c(PLLRAWCLK)}$	256 * SYSCLK 周期	ns
$t_{w(SDDHL)M0}$	パルス幅、SDx_Dy (HIGH/LOW)	2 * $t_{c(PLLRAWCLK)}$		ns
$t_{su(SDDV-SDCH)M0}$	セットアップ時間、SDx_Dy 有効から SDx_Cy が HIGH になるまで	1 * $t_{c(PLLRAWCLK)}$ + 3		ns
$t_{h(SDCH-SDD)M0}$	ホールド時間、SDx_Cy が HIGH になった後 SDx_Dy の保持期間	1 * $t_{c(PLLRAWCLK)}$ + 3		ns
同期 GPIO SYNC オプション使用時の SDFM のタイミング要件				

6.18.7.1.2.2 同期 GPIO SYNC オプション使用時の SDFM のタイミング要件

		最小値	最大値	単位
モード 0				
$t_{c(SDC)M0}$	サイクル時間、SDx_Cy	5 * SYSCLK 周期	256 * SYSCLK 周期	ns
$t_{w(SDDHL)M0}$	パルス幅、SDx_Dy (HIGH/LOW)	2 * SYSCLK 周期		ns
$t_{su(SDDV-SDCH)M0}$	セットアップ時間、SDx_Dy 有効から SDx_Cy が HIGH になるまで	2 * SYSCLK 周期		ns
$t_{h(SDCH-SDD)M0}$	ホールド時間、SDx_Cy が HIGH になった後 SDx_Dy の保持期間	2 * SYSCLK 周期		ns

6.18.7.1.3 SDFM タイミング図

警告

SDFM タイミング要件を満たすクリーンでノイズのない信号を確保するため、SD-Cx および SD-Dx 信号の両方に特別な措置を取る必要があります。クロック ドライバのインピーダンス ミスマッチによるリンギング ノイズに備える直列終端抵抗や、他のノイズの多い信号からの配線間隔などに注意することを推奨します。

注

SDFM SD-Cx および SD-Dx 信号を PLLRAWCLK と同期させると、偶発的なランダム ノイズ グリッチによりコンパレータのトリップおよびフィルタ出力が誤って発生したために SDFM モジュールが破損することから保護できます。ただし、上記のタイミング要件の永続的な違反に対する保護を提供するものではありません。タイミング違反があると、要件に違反するビット数に比例してデータが破損する結果になります。

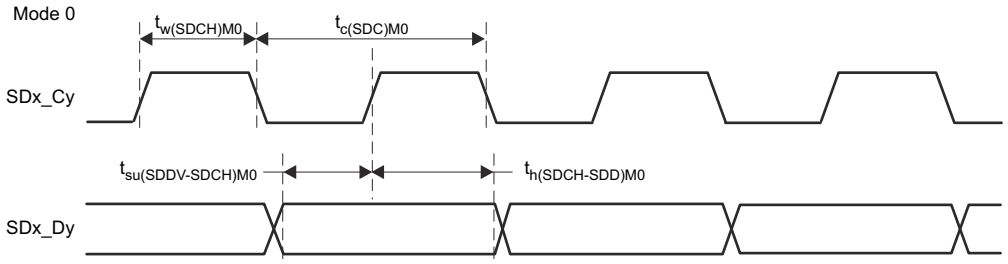


図 6-73. SDFM タイミング図 - モード 0

Copyright © 2025 Texas Instruments Incorporated

6.19 C29x 通信ペリフェラル

注

テキサス・インスツルメンツでは、より包括的な用語を使用するように移行を進めています。一部の言語については、特定のテクノロジー分野で期待される言語とは異なる場合があります。

注

特定のデバイスにおける各ペリフェラルの実際の数については、デバイス比較表を参照してください。

6.19.1 モジュラー・コントローラ・エリア・ネットワーク (MCAN)

コントローラ エリア ネットワーク (CAN) は、高い信頼性で分散リアルタイム制御を効率的にサポートするシリアル通信プロトコルです。CAN は電気的干渉に対する高い耐性を持ち、さまざまな種類のエラーを検出できます。CAN では、多くのショート メッセージがネットワーク全体にブロードキャストされるため、システムのすべてのノードでデータの整合性が確保されます。

MCAN モジュールは、従来型の CAN と CAN FD (CAN とフレキシブル データ レート) の両方のプロトコルをサポートしています。CAN FD 機能により、データ フレームあたりのスループットが向上し、ペイロードが増加します。従来型の CAN デバイスと CAN FD デバイスは、バス エラーを生成せずに CAN FD を検出および無視できる部分的ネットワーク トランシーバが従来型の CAN デバイスで使用されている場合、競合なしで同じネットワーク上に共存できます。MCAN モジュールは、ISO 11898-1:2015 に準拠しています。

注

CAN FD 機能が利用可能かどうかは、デバイスの型番によります。

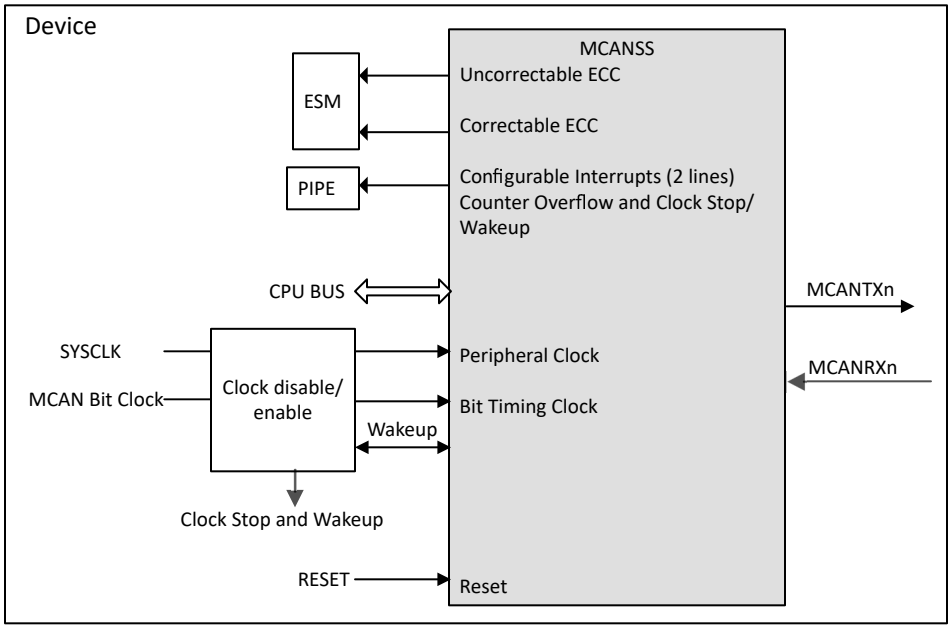


図 6-74. MCAN モジュールの概要

MCAN モジュールの主な機能は次のとおりです。

- CAN プロトコル 2.0A、B、ISO 11898-1:2015 に準拠
- 完全な CAN FD のサポート (最大 64 データ バイト)
- AUTOSAR および SAE J1939 をサポート
- 柔軟なメッセージ RAM 割り当て (以下の最大構成は 4352 の 32 ビット ワード メッセージ RAM を搭載したデバイスの場合)
  - 最大 32 個の専用送信バッファ
  - 構成可能な送信 FIFO、最大 32 個の素子
  - 構成可能な送信キュー、最大 32 個の素子
  - 構成可能な送信イベント FIFO、最大 32 個の素子
  - 最大 64 個の専用受信バッファ
  - 2 つの構成可能な受信 FIFO、それぞれ最大 64 個の素子
  - 最大 128 個のフィルタ素子
- セルフ テスト用のループバック モード
- マスク可能な割り込み (2 つの設定可能な割り込みライン、訂正可能な ECC、カウンタ オーバーフロー、クロックの停止 / ウェークアップ)
- マスク不可能割り込み (訂正不可能な ECC)
- 2 つのクロック ドメイン (CAN クロック / ホスト クロック)
- メッセージ RAM の ECC チェック
- クロックの停止およびウェークアップのサポート
- タイムスタンプ カウンタ

サポートされない機能:

- ホスト バス ファイアウォール
- クロックのキャリブレーション
- CAN 経由のデバッグ

Copyright © 2025 Texas Instruments Incorporated

6.19.2 高速シリアル インターフェイス (FSI)

高速シリアル インターフェイス (FSI) モジュールは、信頼性が高く堅牢な高速通信を実行できるシリアル通信ペリフェラルです。FSI は、チップ間や絶縁バリアをまたぐボード間など、多くのシステム条件にわたってデータの堅牢性を保証するように設計されています。CRC、フレーム開始およびフレーム終了パターン、ユーザー定義タグなどのペイロード整合性チェックは、送信前にエンコードされ、受信後に検証されます。このとき、CPU との追加のやり取りはありません。断線は、定期的な送信を使って検出でき、ハードウェアによってすべての管理と監視が行われます。FSI は、デバイス上の他の制御ペリフェラルとも密接に統合されています。最新のセンサ データまたは制御パラメータを確実に利用できるように、制御ループ周期ごとにフレームを送信できます。レシーバにはスキュー補償ブロックが内蔵されており、クロック信号とデータ信号の間で発生する可能性のあるスキューを処理します。これには、トレース長のミスマッチや絶縁チップによって生じるスキューなど、さまざまな要因があります。FSI は、データの堅牢性チェック、データ リンクの整合性チェック、スキュー補償を内蔵し、さらに制御ペリフェラルと統合されているため、あらゆるシステムで高速かつ堅牢な通信を実現できます。FSI のこれらの機能と他の多くの機能は以下のとおりです。

FSI モジュールの主な機能は次のとおりです。

- 独立したトランスミッタ コアとレシーバ コア
- ソース同期送信
- デュアル データ レート (DDR)
- 1 つまたは 2 つのデータ ライン
- データ長をプログラム可能
- スキュー調整ブロックにより、基板とシステムの遅延のミスマッチを補償
- フレーム エラー検出
- プログラム可能なフレーム タグ機能によるメッセージ フィルタリング
- 通信中の断線を検出するためのハードウェア ping (ping ウォッチドッグ)
- FSI コアごとに 2 つの割り込み
- 外部トリガによるフレーム生成
- ハードウェアまたはソフトウェアで計算された CRC
- ECC 計算モジュール内蔵
- レジスタ書き込み保護
- DMA のサポート
- SPI 互換モード (限定された機能が利用可能)

デュアル データ レート (120Mbps) において FSI を最大速度 (60MHz) で動作させるには、ケースごとに特定の動作条件に応じて、内蔵のスキュー補償ブロックを構成する必要があります。『*高速シリアル インターフェイス (FSI) スキュー補償*』アプリケーション ノートには、高速シリアル インターフェイスでの内蔵スキュー補償ブロックの構成および設定方法を示す、サンプル ソフトウェアが含まれています。

FSI は、独立したトランスミッタ (FSITX) コアとレシーバ (FSIRX) コアで構成されています。FSITX コアおよび FSIRX コアは、個別に構成されて動作します。FSITX および FSIRX で利用可能な機能については、「*FSI トランスミッタ*」セクションと *FSI レシーバ*」

Copyright © 2025 Texas Instruments Incorporated

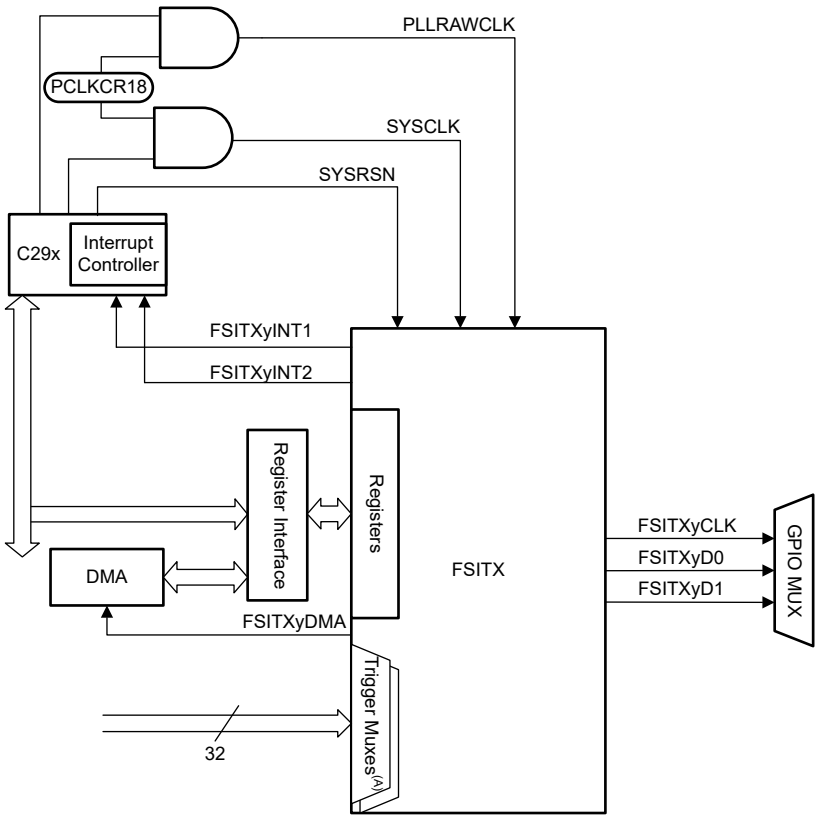
6.19.2.1 FSI トランスミッタ

FSI トランスミッタ モジュールは、データのフレーミング、CRC 生成、TXCLK、TXD0、TXD1 の信号生成、割り込み生成を処理します。トランスミッタ コアの動作は、プログラム可能な制御レジスタによって制御および構成されます。このトランスミッタ制御レジスタを使って、CPU は、FSI トランスミッタの動作をプログラム、制御、および監視できます。送信データ バッファは、CPU、および DMA からアクセスできます。

トランスミッタの特長は次のとおりです。

- 自動化された ping フレーム生成
- 外部からトリガされる ping フレーム
- 外部からトリガされるデータ フレーム
- ソフトウェアで構成可能なフレーム長
- 16 ワードのデータ バッファ
- データ バッファのアンダーランおよびオーバーラン検出
- ハードウェアで生成されるデータ ビットの CRC
- 選択したデータに対するソフトウェア ECC の計算
- DMA のサポート

図 6-75 に、FSITX CPU インターフェイスを示します。図 6-76 に、FSITX の概略ブロック図を示します。すべてのデータパスと内部接続が表示されているわけではありません。この図は、FSITX に搭載されている内部モジュールの概要を示しています。



A. トリガ マルチプレクサに接続されている信号については、『F29H85x/F29P58x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』の高速シリアル インターフェイス (FSI) の章にある「外部フレーム トリガ マルチプレクサ」セクションを参照してください。

図 6-75. FSITX CPU インターフェイス

Copyright © 2025 Texas Instruments Incorporated

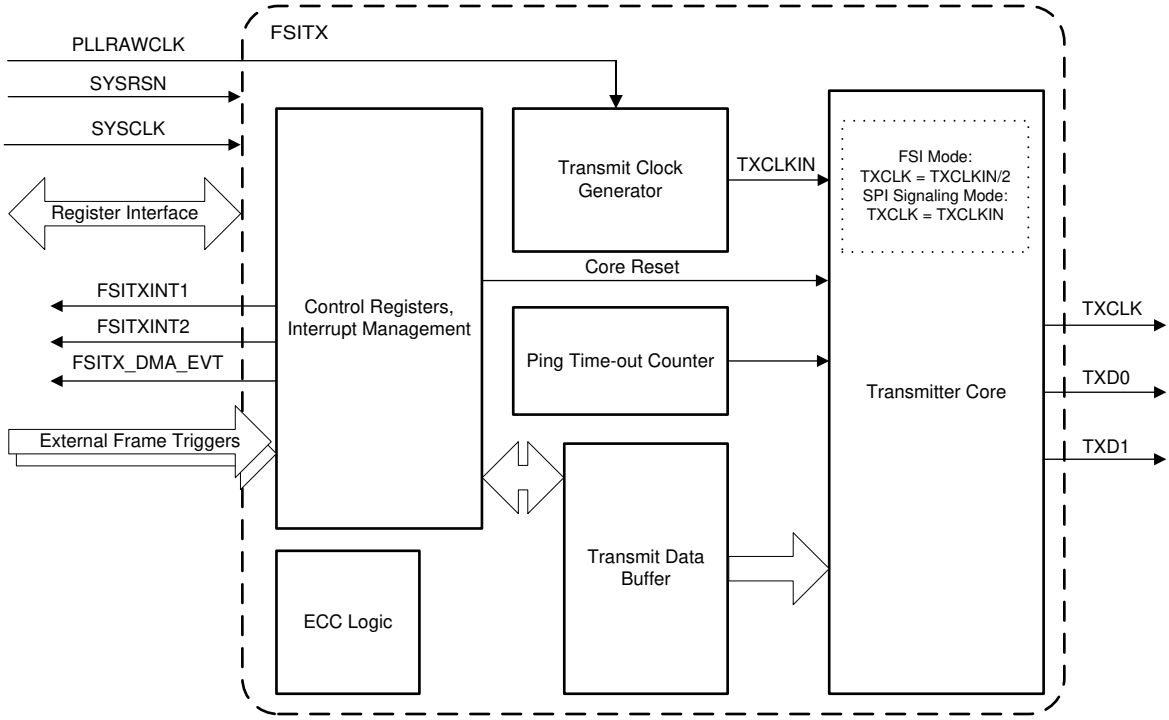


図 6-76. FSITX のブロック図

6.19.2.1.1 FSITX の電気的データおよびタイミング

6.19.2.1.1.1 FSITX スイッチング特性

自由気流での動作温度範囲内 (特に記述のない限り)

番号	パラメータ (1)		最小値	最大値	単位
1	$t_{c(TXCLK)}$	サイクル時間、TXCLK	16.67		ns
2	$t_{w(TXCLK)}$	パルス幅、TXCLK LOW または TXCLK HIGH	$(0.5t_{c(TXCLK)})$ - 1	$(0.5t_{c(TXCLK)})$ + 1	ns
3	$t_{d(TXCLK–TXD)}$	遅延時間、TXCLK の立ち上がりまたは立ち下がりから TXD 有効	$(0.25t_{c(TXCLK)})$ - 2	$(0.25t_{c(TXCLK)})$ + 2	ns
4	$t_{d(TXCLK)}$	TX_DLYLINE_CTRL[TXCLK_DLY] = 31 での TXCLK 遅延補償	9.95	30	ns
5	$t_{d(TXD0)}$	TX_DLYLINE_CTRL[TXD0_DLY] = 31 での TXD0 遅延補償	9.95	30	ns
6	$t_{d(TXD1)}$	TX_DLYLINE_CTRL[TXD1_DLY] = 31 での TXD1 遅延補償	9.95	30	ns
7	$t_{d(DELAY_ELEMENT)}$	TXCLK、TXD0、TXD1 の各ディレイライン素子の増分遅延	0.29	1	ns

(1) ピンの負荷は 10pF。

6.19.2.1.1.2 FSITX タイミング

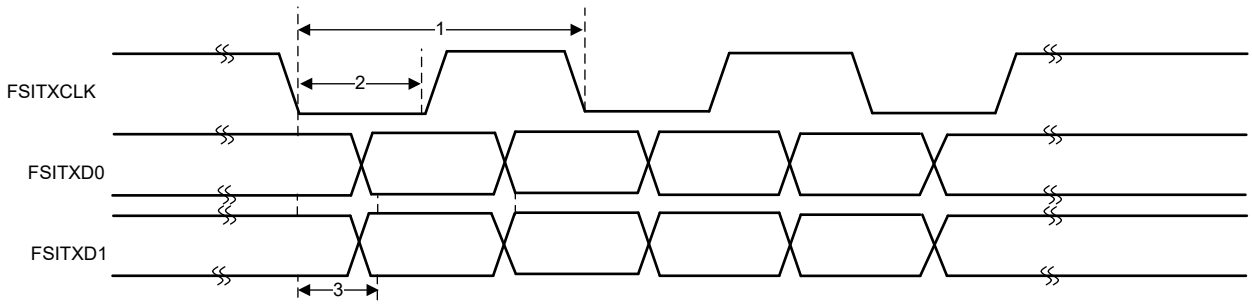


図 6-77. FSITX タイミング

6.19.2.2 FSI レシーバ

レシーバ モジュールは、オプションのプログラマブル遅延ラインを通過した後の FSI クロック (RXCLK) およびデータ ライン (RXD0 および RXD1) に接続します。レシーバ コアは、データ フレーミング、CRC 計算、フレーム関連のエラー チェックを処理します。レシーバ ビット クロックおよびステート マシンは、デバイスのシステム クロックとは同期しない RXCLK 入力によって実行されます。

レシーバ制御レジスタにより、CPU は FSIRX の動作をプログラム、制御、および監視できます。受信データ バッファには、CPU、および DMA からアクセスできます。

レシーバ コアは以下に示す機能を備えています。

- 16 ワードのデータ バッファ
- 複数のフレーム タイプをサポート
- Ping フレーム ウォッチドッグ
- フレーム ウォッチドッグ
- ハードウェアでの CRC 計算および比較
- ECC 検出
- 受信信号に対するプログラマブルなディレイ ライン制御
- DMA のサポート
- SPI 互換モード

図 6-78 に、FSIRX CPU インターフェイスを示します。図 6-79 に、FSIRX に搭載されている内部モジュールの概要を示します。すべてのデータ パスと内部接続が表示されているわけではありません。

Copyright © 2025 Texas Instruments Incorporated

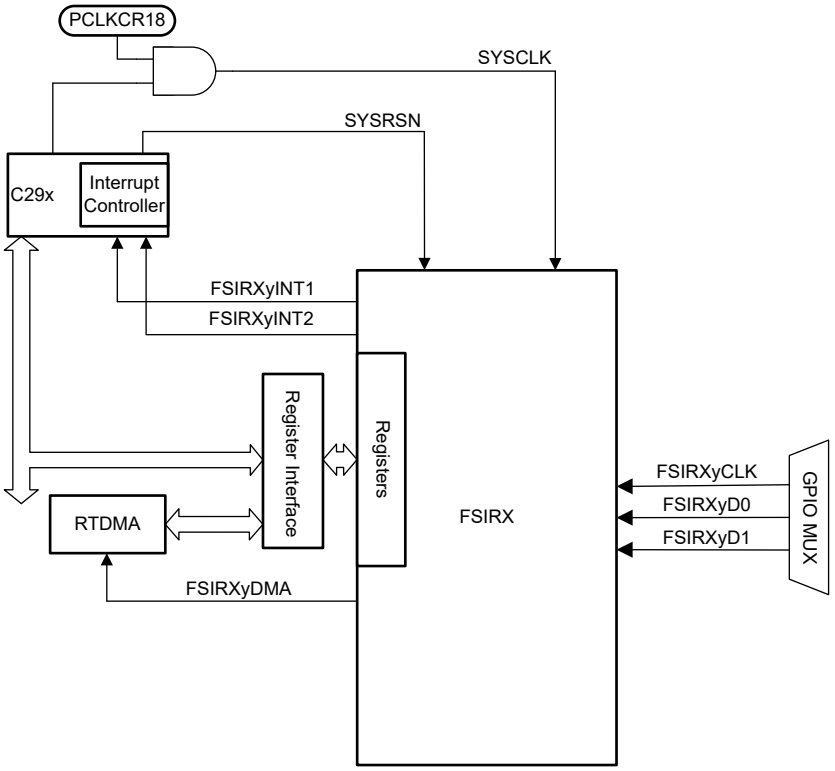


図 6-78. FSIRX CPU インターフェイス

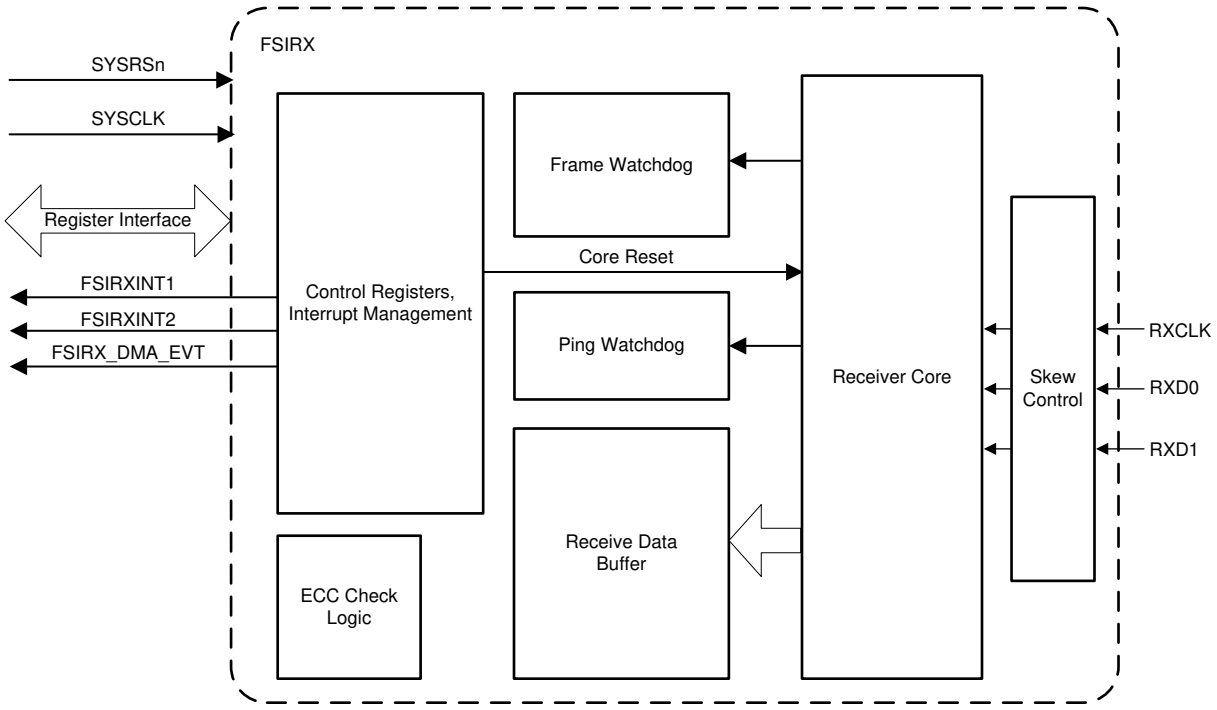


図 6-79. FSIRX のブロック図

6.19.2.2.1 FSIRX の電気的データおよびタイミング

6.19.2.2.1.1 FSIRX のタイミング要件

番号			最小値	最大値	単位
1	$t_{c(RXCLK)}$	サイクル時間、RXCLK	19.417		ns
2	$t_{w(RXCLK)}$	パルス幅、RXCLK LOW または RXCLK HIGH	$0.35t_{c(RXCLK)}$	$0.65t_{c(RXCLK)}$	ns
3	$t_{su(RXCLK–RXD)}$	RXCLK を基準とするセットアップ時間 (クロックの両方のエッジに適用)	1.7		ns
4	$t_{h(RXCLK–RXD)}$	RXCLK を基準とするホールド時間 (クロックの両方のエッジに適用)	2		ns

6.19.2.2.1.2 FSIRX スイッチング特性

番号	パラメータ (1)		最小値	最大値	単位
1	$t_{d(RXCLK)}$	RX_DLYLINE_CTRL[RXCLK_DLY] = 31 での RXCLK 遅延補償	9.7	30	ns
2	$t_{d(RXD0)}$	RX_DLYLINE_CTRL[RXD0_DLY] = 31 での RXD0 遅延補償	9.7	30	ns
3	$t_{d(RXD1)}$	RX_DLYLINE_CTRL[RXD1_DLY] = 31 での RXD1 遅延補償	9.7	30	ns
4	$t_{d(DELAY_ELEMENT)}$	RXCLK、RXD0、RXD1 の各ディレイライン素子の増分遅延	0.29	1	ns
TDM1	$t_{skew(TDM_CLK-TDM_Dx)}$	RXCLK-TDM_CLK 遅延と RXDx-TDM_Dx 遅延の間に生じる遅延スキュー	-3	3	ns
TDM1	$t_{d(RXCLK-TDM_CLK)}$	遅延時間、RXCLK 入力から TDM_CLK 出力	2	19.5	ns
TDM2	$t_{d(RXD0-TXD0)}$	遅延時間、RXD0 入力から TXD0 出力	2	19.5	ns
TDM3	$t_{d(RXD1-TXD1)}$	遅延時間、RXD1 入力から TXD1 出力	2	19.5	ns

(1) ピンの負荷は 10pF。

6.19.2.2.1.3 FSIRX タイミング

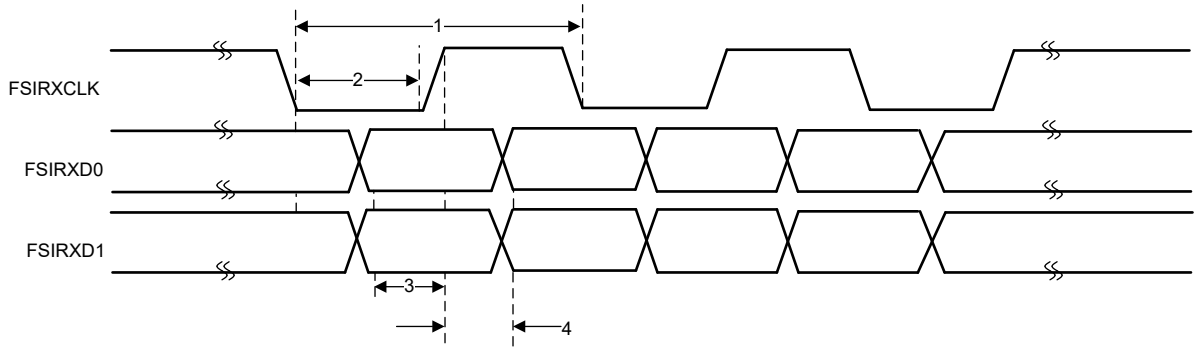


図 6-80. FSIRX タイミング

Copyright © 2025 Texas Instruments Incorporated

6.19.2.3 FSI SPI 互換モード

FSI は SPI 互換モードをサポートしており、プログラマブル SPI デバイスとの通信が可能です。このモードでは、FSI は単一クロック構成モードで、SPI と同じ方法でデータを送信します。FSI はこのモードで SPI と物理的にインターフェイスできますが、正常に通信を行うには、外部デバイスが FSI フレームをエンコードおよびデコードできる必要があります。これは、FSI がプリアンブルとポストアンブルを除くすべての SPI フレーム・フェーズを送信するためです。FSI は、標準 FSI モードと同じようにデータ検証とフレーム・チェックを実行できるため、CPU サイクルを消費せずに、より堅牢な通信を実現できます。外部 SPI は、すべての関連情報を送信する必要があります。また、FSIRX の ping フレーム・ウォッチドッグ、フレーム・タグ、カスタム CRC 値などの標準 FSI 機能にアクセスできます。SPI 互換モードの機能のリストを以下に示します。

- データは、クロックの立ち上がりエッジで送信され、立ち下がりエッジで受信されます。
- 16 ビットのワード・サイズのみがサポートされています。
- TXD1 は、アクティブ LOW のチップセレクト信号のように駆動されます。この信号は、フレーム全体の送信中は LOW になります。
- レシーバ・チップセレクト入力は不要です。RXD1 は使用しません。データは、すべてのアクティブ・クロック・エッジでレシーバにシフト・インされます。
- プリアンブルまたはポストアンブル・クロックは送信されません。すべての信号は、フレーム・フェーズが完了した後、アイドル状態に戻ります。
- FSI TXCLK には外部クロック ソースを使用できないため、SPI ペリフェラル構成で送信することはできません。

6.19.2.3.1 FSITX SPI 信号モードの電気的データおよびタイミング

SPI 信号モードの FSIRX では、特別なタイミングは必要ありません。「FSIRX のタイミング要件」表に記載されている FSIRX のタイミングは、SPI 互換モードに適用されます。立ち下がりエッジが SPI 信号モードのアクティブ エッジなので、セットアップ時間とホールド時間は、FSIRXCLK の立ち下がりエッジでのみ有効です。

6.19.2.3.1.1 FSITX SPI 信号モードのスイッチング特性

自由気流での動作温度範囲内 (特に記述のない限り)

番号	パラメータ (1)		最小値	最大値	単位
1	$t_{c(TXCLK)}$	サイクル時間、TXCLK	19.417		ns
2	$t_{w(TXCLK)}$	パルス幅、TXCLK LOW または TXCLK HIGH	$(0.5t_{c(TXCLK)})$ - 1	$(0.5t_{c(TXCLK)})$ + 1	ns
3	$t_{d(TXCLKH–TXD0)}$	遅延時間、TXCLK HIGH から TXD0 有効まで		3	ns
4	$t_{d(TXD1-TXCLK)}$	遅延時間、TXD1 LOW から TXCLK HIGH まで	$t_{w(TXCLK)}$ – 3		ns
5	$t_{d(TXCLK-TXD1)}$	遅延時間、TXCLK LOW から TXD1 HIGH まで	$t_{w(TXCLK)}$		ns

(1) ピンの負荷は 10pF

6.19.2.3.1.2 FSITX SPI 信号モードのタイミング

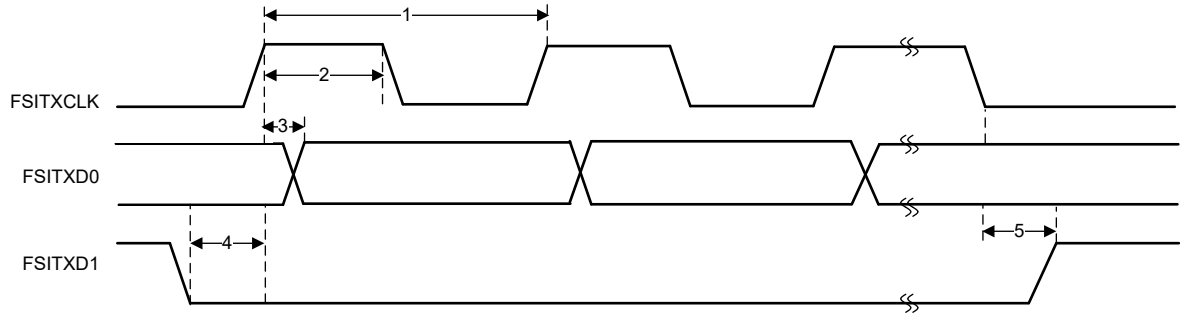


図 6-81. FSITX SPI 信号モードのタイミング

6.19.3 I2C (Inter-Integrated Circuit)

I2C モジュールの主な機能は次のとおりです。

- NXP Semiconductors の I^2C バス規格 (バージョン 2.1) に準拠:
  - 8 ビット形式の転送をサポート
  - 7 ビットおよび 10 ビットのアドレッシング モード
  - ゼネラル コール
  - START バイト モード
  - 複数のコントローラ トランスミッタとターゲット レシーバをサポート
  - 複数のターゲット トランスミッタとコントローラ レシーバをサポート
  - コントローラ送信 / 受信、受信 / 送信の組み合わせモード
  - 10Kbps～400Kbps のデータ転送レート (ファスト モード)
- 以下と互換性のある電圧スレッショルドをサポート:
- 1 つの 16 バイト受信 FIFO と、1 つの 16 バイト送信 FIFO
- 次の 2 つの割り込みをサポート
  - I2Cx 割り込み – 以下のいずれかの条件で、I2Cx 割り込みを生成するように構成できます。
    - 送信準備完了
    - 受信準備完了
    - レジスタ アクセス準備完了
    - アクノリッジなし
    - 調停消失
    - ストップ条件検出
    - ターゲットとしてアドレス指定
  - I2Cx_FIFO 割り込み:
    - 送信 FIFO 割り込み
    - 受信 FIFO 割り込み
- モジュールのイネーブルおよびディセーブル機能
- フリー データ形式モード

図 6-82 に、本デバイス内の I2C ペリフェラル モジュールの接続図を示します。

Copyright © 2025 Texas Instruments Incorporated

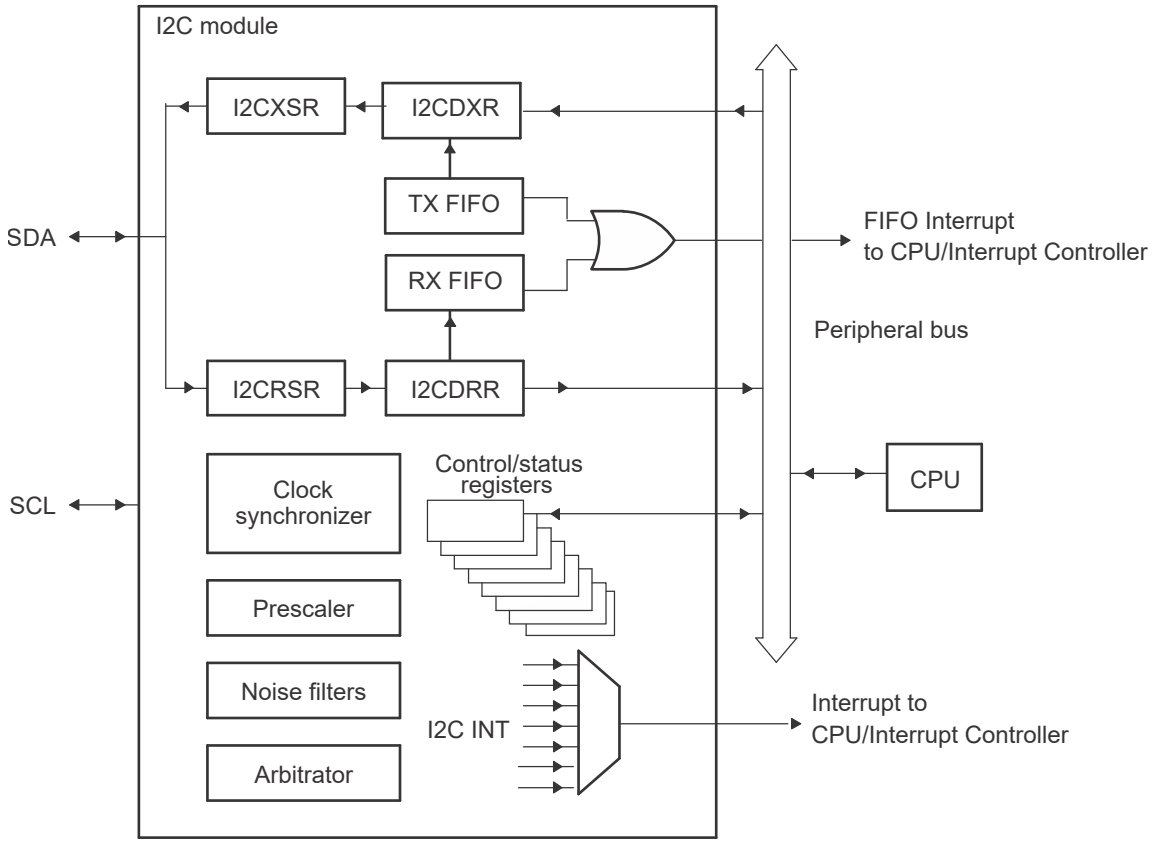


図 6-82. I2C ペリフェラル モジュール インターフェイス

6.19.3.1 I2C の電気的データおよびタイミング

注

すべての I2C プロトコルのタイミング仕様を満たすには、I2C モジュールのクロックを 7MHz～12MHz の範囲で構成する必要があります。

プルアップ抵抗は、I2C の標準タイミングを満たすように選択する必要があります。ほとんどの状況では、VDDIO に対する合計バス抵抗の 2.2kΩ で十分です。特定の設計のプルアップ抵抗値の評価については、『I2C バスのプルアップ抵抗の計算』アプリケーション ノートを参照してください。

6.19.3.1.1 I2C のタイミング要件

番号			最小値	最大値	単位
スタンダード モード					
T0	f_{mod}	I2C モジュールの周波数	7	12	MHz
T1	$t_{h(SDA-SCL)START}$	ホールド時間、START 条件、SDA 立ち下がり後の SCL 立ち下がり遅延	4.0		µs
T2	$t_{su(SCL-SDA)START}$	セットアップ時間、繰り返し START、SCL 立ち上がり後の SDA 立ち下がり遅延	4.0		µs
T3	$t_{h(SCL-DAT)}$	ホールド時間、SCL 立ち下がり後のデータ	0		µs
T4	$t_{su(DAT-SCL)}$	セットアップ時間、SCL 立ち上がり前のデータ	250		ns
T5	$t_{r(SDA)}$	立ち上がり時間、SDA		1000	ns
T6	$t_{r(SCL)}$	立ち上がり時間、SCL		1000	ns
T7	$t_{f(SDA)}$	立ち下がり時間、SDA		300	ns
T8	$t_{f(SCL)}$	立ち下がり時間、SCL		300	ns
T9	$t_{su(SCL-SDA)STOP}$	セットアップ時間、STOP 条件、SCL 立ち上がり後の SDA 立ち上がり遅延	4.0		µs
T10	$t_{w(SP)}$	フィルタによって抑制されるスパイクのパルス幅	0	50	ns
T11	C_b	各バス ラインの容量性負荷		400	pF
ファスト モード					
T0	f_{mod}	I2C モジュールの周波数	7	12	MHz
T1	$t_{h(SDA-SCL)START}$	ホールド時間、START 条件、SDA 立ち下がり後の SCL 立ち下がり遅延	0.6		µs
T2	$t_{su(SCL-SDA)START}$	セットアップ時間、繰り返し START、SCL 立ち上がり後の SDA 立ち下がり遅延	0.6		µs
T3	$t_{h(SCL-DAT)}$	ホールド時間、SCL 立ち下がり後のデータ	0		µs
T4	$t_{su(DAT-SCL)}$	セットアップ時間、SCL 立ち上がり前のデータ	100		ns
T5	$t_{r(SDA)}$	立ち上がり時間、SDA	20	300	ns
T6	$t_{r(SCL)}$	立ち上がり時間、SCL	20	300	ns
T7	$t_{f(SDA)}$	立ち下がり時間、SDA	11.4	300	ns
T8	$t_{f(SCL)}$	立ち下がり時間、SCL	11.4	300	ns
T9	$t_{su(SCL-SDA)STOP}$	セットアップ時間、STOP 条件、SCL 立ち上がり後の SDA 立ち上がり遅延	0.6		µs
T10	$t_{w(SP)}$	フィルタによって抑制されるスパイクのパルス幅	0	50	ns
T11	C_b	各バス ラインの容量性負荷		400	pF

Copyright © 2025 Texas Instruments Incorporated

6.19.3.1.2 I2C のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

番号	パラメータ		テスト条件	最小値	最大値	単位
スタンダード モード						
S1	f_{SCL}	SCL クロック周波数		0	100	kHz
S2	T_{SCL}	SCL クロック周期		10		µs
S3	$t_{w(SCLL)}$	パルス幅、SCL クロック Low		4.7		µs
S4	$t_{w(SCLH)}$	パルス幅、SCL クロック High		4.0		µs
S5	t_{BUF}	STOP 条件と START 条件間のバス開放時間		4.7		µs
S6	$t_{v(SCL-DAT)}$	有効時間、SCL 立ち下がり後のデータ			3.45	µs
S7	$t_{v(SCL-ACK)}$	有効時間、SCL 立ち下がりからアクノリッジまで			3.45	µs
S8	I_I	ピンの入力電流	$0.1V_{bus} < V_i < 0.9V_{bus}$	-10	10	µA
ファスト モード						
S1	f_{SCL}	SCL クロック周波数		0	400	kHz
S2	T_{SCL}	SCL クロック周期		2.5		µs
S3	$t_{w(SCLL)}$	パルス幅、SCL クロック Low		1.3		µs
S4	$t_{w(SCLH)}$	パルス幅、SCL クロック High		0.6		µs
S5	t_{BUF}	STOP 条件と START 条件間のバス開放時間		1.3		µs
S6	$t_{v(SCL-DAT)}$	有効時間、SCL 立ち下がり後のデータ			0.9	µs
S7	$t_{v(SCL-ACK)}$	有効時間、SCL 立ち下がりからアクノリッジまで			0.9	µs
S8	I_I	ピンの入力電流	$0.1V_{bus} < V_i < 0.9V_{bus}$	-10	10	µA

6.19.3.1.3 I2C のタイミング図

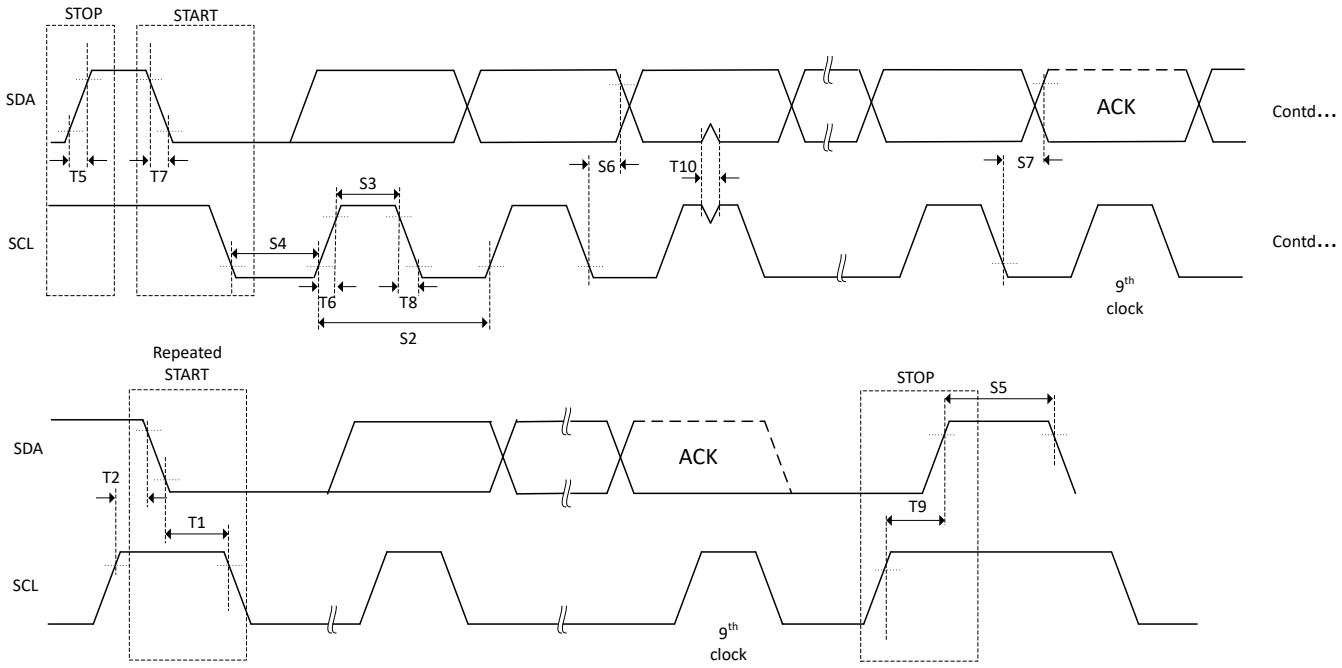


図 6-83. I2C のタイミング図

6.19.4 PMBus (Power Management Bus) インターフェイス

PMBus モジュールの主な機能は次のとおりです。

- SMI フォーラム PMBus 仕様 (Part I v1.0 および Part II v1.1) 準拠
- 以下と互換性のある電圧スレッショルドをサポート:
  - PMBus 以下
  - SMBus 以下
- コントローラとターゲットをサポート
- I2C モードのサポート
- 以下の 種類の速度をサポート
  - スタンダード モード:最高 100kHz
  - ファースト モード:400kHz
- パケット エラー チェック
- CONTROL 信号および ALERT 信号
- クロック High および Low でのタイムアウト
- 4 バイトの送信および受信バッファ
- 1 つのマスク可能割り込み、以下のいくつか条件によって生成可能:
  - 受信データ準備完了
  - 送信バッファ空
  - ターゲット アドレス受信
  - メッセージ終了
  - ALERT 入力アサート
  - クロック Low タイムアウト
  - クロック High タイムアウト
  - バス フリー

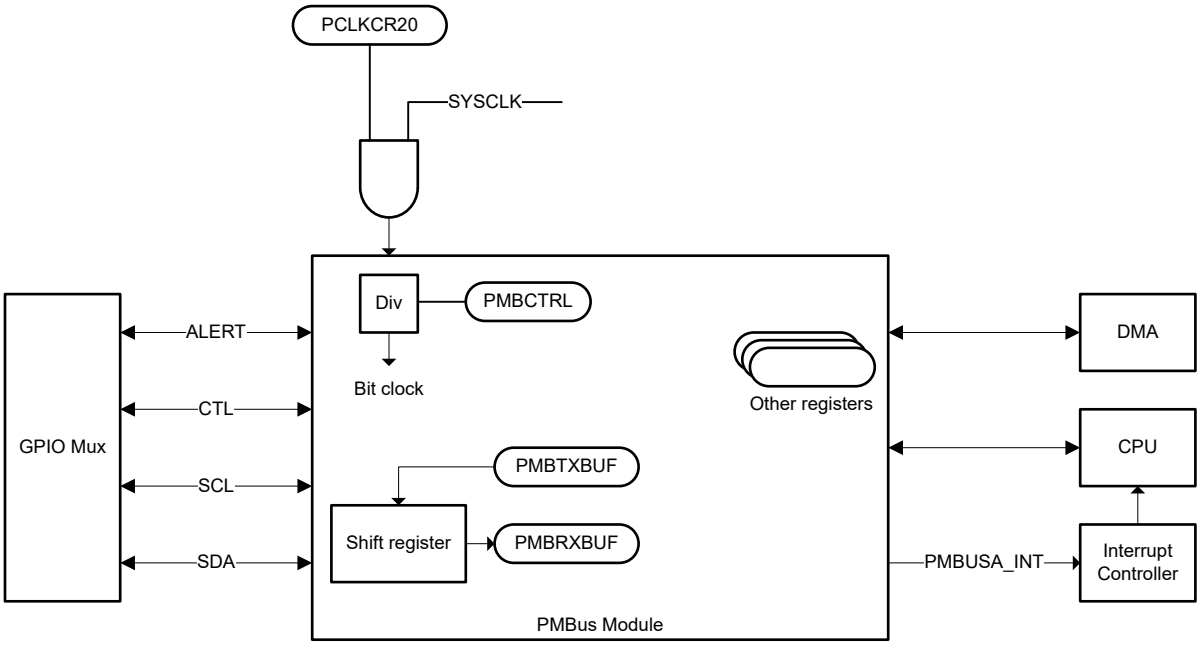


図 6-84. PMBus のブロック図

Copyright © 2025 Texas Instruments Incorporated

6.19.4.1 PMBus の電気的データおよびタイミング

6.19.4.1.1 PMBus の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{IL}	有効 Low レベル入力電圧				0.8	V
V_{IH}	有効 High レベル入力電圧		2.1		VDDIO	V
V_{OL}	Low レベル出力電圧	I_{pullup} = 4mA のとき			0.4	V
I_{OL}	Low レベル出力電流	V_{OL} ≤ 0.4V	4			mA
t_{SP}	入力フィルタにより抑制されるスパイクのパルス幅		0		50	ns
I_i	各ピンの入力リーク電流	0.1Vbus < Vi < 0.9Vbus	-10		10	µA
C_i	各ピンの容量				10	pF

6.19.4.1.2 PMBus ファスト モードのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
F_{mod}	PMBus モジュール クロック周波数 (2)		$f_{(SYSCLK)}$ / 32		10	MHz
f_{SCL}	SCL クロック周波数		10		400	kHz
t_{BUF}	STOP 条件と START 条件間のバス開放時間		1.3			µs
$t_{HD;STA}$	START 条件ホールド時間 - SDA 立ち下がりから SCL 立ち下がりまでの遅延		0.6			µs
$t_{SU;STA}$	繰り返し START のセットアップ時間 - SCL 立ち上がりから SDA 立ち下がりまでの遅延		0.6			µs
$t_{SU;STO}$	STOP 条件セットアップ時間 - SCL 立ち上がりから SDA 立ち上がりまでの遅延		0.6			µs
$t_{HD;DAT}$	SCL 立ち下がり後のデータ ホールド時間		300			ns
	SCL 立ち下がり後のデータ ホールド時間 PMBCTRL_INC_1[ZH+EN] = 1 (1)		0			ns
$t_{SU;DAT}$	SCL 立ち上がり前のデータ セットアップ時間		100			ns
$t_{Timeout}$	クロック Low タイムアウト		25		35	ms
t_{LOW}	SCL クロックの Low 期間		1.3			µs
t_{HIGH}	SCL クロックの High 期間		0.6		50	µs
$t_{LOW;SEXT}$	累積クロック Low 拡張時間 (ターゲット デバイス)	START から STOP まで			25	ms
$t_{LOW;MEXT}$	累積クロック Low 拡張時間 (コントローラ デバイス)	各バイト内			10	ms
t_r	SDA および SCL の立ち上がり時間	5%～95%	20		300	ns
t_f	SDA および SCL の立ち下がり時間	95%～5%	20		300	ns

(1) このビットは、0ns のホールド時間 / SMBUS3.0 準拠を有効にするために設定する必要があります
(2) 最大クロックが使用されている場合、それよりも低いすべてのタイミングが PMBus のデフォルトのレジスタ構成で満たされます

Copyright © 2025 Texas Instruments Incorporated

6.19.4.1.3 PMBus スタンダード モードのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
F_{mod}	PMBus モジュール クロック周波数(2)		$f_{(SYSCLK)}$ / 32		10	MHz
f_{SCL}	SCL クロック周波数		10		100	kHz
t_{BUF}	STOP 条件と START 条件間のバス開放時間		4.7			µs
$t_{HD;STA}$	START 条件ホールド時間 - SDA 立ち下がりから SCL 立ち下がりまでの遅延		4			µs
$t_{SU;STA}$	繰り返し START のセットアップ時間 - SCL 立ち上がりから SDA 立ち下がりまでの遅延		4.7			µs
$t_{SU;STO}$	STOP 条件セットアップ時間 - SCL 立ち上がりから SDA 立ち上がりまでの遅延		4			µs
$t_{HD;DAT}$	SCL 立ち下がり後のデータ ホールド時間		300			ns
	SCL 立ち下がり後のデータ ホールド時間 PMBCTRL_INC_1[ZH+EN] = 1 (1)		0			ns
$t_{SU;DAT}$	SCL 立ち上がり前のデータ セットアップ時間		250			ns
$t_{Timeout}$	クロック Low タイムアウト		25		35	ms
t_{LOW}	SCL クロックの Low 期間		4.7			µs
t_{HIGH}	SCL クロックの High 期間		4		50	µs
$t_{LOW;SEXT}$	累積クロック Low 拡張時間 (ターゲット デバイス)	START から STOP まで			25	ms
$t_{LOW;MEXT}$	累積クロック Low 拡張時間 (コントローラ デバイス)	各バイト内			10	ms
t_r	SDA および SCL の立ち上がり時間				1000	ns
t_f	SDA および SCL の立ち下がり時間				300	ns

(1) このビットは、0ns のホールド時間 / SMBUS3.0 準拠を有効にするために設定する必要があります
(2) 最大クロックが使用されている場合、それよりも低いすべてのタイミングが PMBus のデフォルトのレジスタ構成で満たされます

Copyright © 2025 Texas Instruments Incorporated

6.19.5 シリアル・ペリフェラル・インターフェイス (SPI)

シリアル ペリフェラル インターフェイス (SPI) は、高速な同期シリアル入出力 (I/O) ポートであり、この機能により、プログラムされた長さ (1～16 ビット) のシリアル ビット ストリームを、プログラムされたビット転送速度でシフトして、デバイスに入力、デバイスから出力できます。SPI は、通常、MCU コントローラと、外部ペリフェラルや他のコントローラとの間の通信に使用されます。代表的なアプリケーションとして、シフト レジスタ、ディスプレイドライバ、A/D コンバータ (ADC) などのデバイスを使用した外部 I/O またはペリフェラルの拡張が挙げられます。マルチデバイス通信は、SPI のコントローラまたはペリフェラル動作によってサポートされています。このポートは、16 レベルの受信および送信 FIFO をサポートしており、CPU サービスのオーバーヘッドを低減できます。

SPI モジュールの主な特長は次のとおりです。

- SPIPOCI:SPI ペリフェラル出力 / コントローラ入力ピン
- SPIPICO:SPI ペリフェラル入力 / コントローラ出力ピン
- $\overline{\text{SPIPTE}}$:SPI ペリフェラル送信イネーブル ピン
- SPICLK:SPI シリアル クロック ピン
- 2 つの動作モード:コントローラおよびペリフェラル
- ボーレート:プログラム可能な 125 種類のレート。使用可能な最大ボーレートは、SPI ピンで使用される I/O バッファの最大速度によって制限されます。
- データ ワード長:1～16 データ ビット
- 4 つのクロック方式 (クロックの極性とクロック位相ビットで制御) には、次のものがあります。
  - 位相遅延なしの立ち下がりエッジ:SPICLK アクティブ High。SPI は、SPICLK 信号の立ち下がりエッジでデータを送信し、SPICLK 信号の立ち上がりエッジでデータを受信します。
  - 位相遅延付きの立ち下がりエッジ:SPICLK アクティブ High。SPI は、SPICLK 信号の立ち下がりエッジより半サイクル前にデータを送信し、SPICLK 信号の立ち下がりエッジでデータを受信します。
  - 位相遅延なしの立ち上がりエッジ:SPICLK 非アクティブ Low。SPI は、SPICLK 信号の立ち上がりエッジでデータを送信し、SPICLK 信号の立ち下がりエッジでデータを受信します。
  - 位相遅延付きの立ち上がりエッジ:SPICLK 非アクティブ Low。SPI は、SPICLK 信号の立ち上がりエッジより半サイクル前にデータを送信し、SPICLK 信号の立ち上がりエッジでデータを受信します。
- 送受信の同時動作 (送信機能はソフトウェアで無効化可能)
- トランスミッタとレシーバの動作は、割り込み駆動またはポーリング アルゴリズムによって実現されます。
- 16 レベルの送信 / 受信 FIFO
- RTDMA のサポート
- 高速度モード
- 遅延送信制御
- 3 線式 SPI モード
- 2 つの SPI モジュールを搭載したデバイスでデジタル オーディオ インターフェイス受信モードのための $\overline{\text{SPIPTE}}$ 反転

図 6-85 に、SPI CPU インターフェイスを示します。

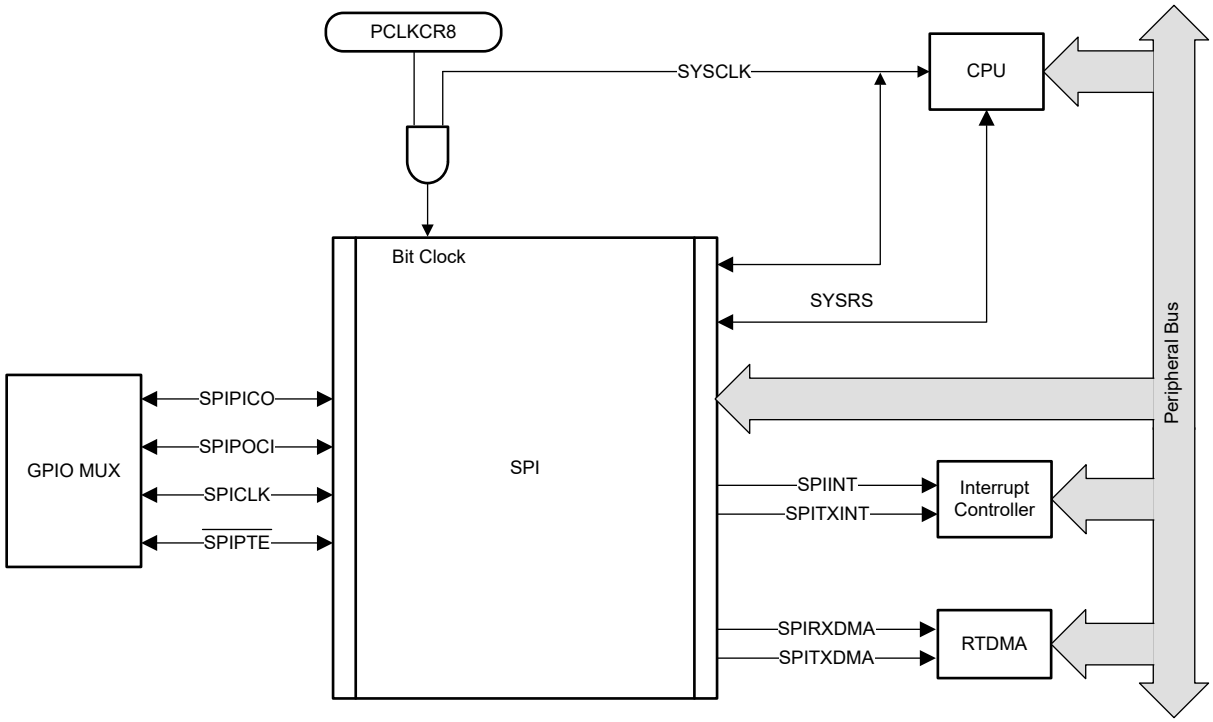


図 6-85. SPI CPU インターフェイス

6.19.5.1 SPI コントローラ モードのタイミング

以下のセクションに、SPI コントローラ モードのタイミングを示します。

注

SPI 高速モードのすべてのタイミング パラメータは、SPICLK、SPIPICO、SPIPOCI の負荷容量を 5pF と仮定しています。HS_MODE では、最大 50Mhz のクロックがサポートされます。

SPI コントローラ モードでは、HS_MODE が有効になっている場合、および SPICLK が出力される特定のピンに応じて、SPI の高速動作がサポートされます。SPI を高速モードで使用するには、アプリケーションは SPI コントローラ モードのタイミング に一覧されている高速対応 GPIO を使用する必要があります。これらの GPIO は、高速モードでない場合 (HS_MODE = 0) の SPI でも使用できます。

表 6-24. 高速モードをサポートするための SPI クロック

高速をサポートする SPI	SPICLK GPIO#	SPIPICO GPIO#	SPIPOCI GPIO#	SPIPTE GPIO#
SPICLKA	GPIO60	GPIO58	GPIO59	GPIO61
SPICLKB	GPIO65	GPIO63	GPIO64	GPIO66
SPICLKC	GPIO71	GPIO69	GPIO70	GPIO72
SPICLKD	GPIO93	GPIO91	GPIO92	GPIO94
SPICLKE	GPIO12	GPIO8	GPIO9	GPIO11

Copyright © 2025 Texas Instruments Incorporated

6.19.5.1.1 SPI コントローラ モードのスイッチング特性 - クロック位相 0

推奨動作条件範囲内 (特に記述のない限り)

番号	パラメータ(1) (2)		(BRR+1) 条件 (3)	最小値	最大値	単位
総則						
1	$t_{c(SPC)M}$	サイクル時間、SPICLK	偶数	$4t_{c(SYSCLK)}$	$128t_{c(SYSCLK)}$	ns
			奇数	$5t_{c(SYSCLK)}$	$127t_{c(SYSCLK)}$	
2	$t_{w(SPC1)M}$	パルス幅、SPICLK、最初のパルス	偶数	$0.5t_{c(SPC)M}$ - 1	$0.5t_{c(SPC)M}$ + 1	ns
			奇数	$0.5t_{c(SPC)M}$ +$0.5t_{c(SYSCLK)}$ – 1	$0.5t_{c(SPC)M}$ +$0.5t_{c(SYSCLK)}$ + 1	
3	$t_{w(SPC2)M}$	パルス幅、SPICLK、2 番目のパルス	偶数	$0.5t_{c(SPC)M}$ - 1	$0.5t_{c(SPC)M}$ + 1	ns
			奇数	$0.5t_{c(SPC)M}$ –$0.5t_{c(SYSCLK)}$ – 1	$0.5t_{c(SPC)M}$ –$0.5t_{c(SYSCLK)}$ + 1	
23	$t_{d(SPC)M}$	遅延時間、$\overline{SPIPTE}$ 有効から SPICLK まで	偶数	$1.5t_{c(SPC)M}$ –$3t_{c(SYSCLK)}$ – 3	$1.5t_{c(SPC)M}$ –$3t_{c(SYSCLK)}$ + 3	ns
			奇数	$1.5t_{c(SPC)M}$ –$4t_{c(SYSCLK)}$ – 3	$1.5t_{c(SPC)M}$ –$4t_{c(SYSCLK)}$ + 3	
24	$t_{v(PTE)M}$	有効時間、SPICLK から $\overline{SPIPTE}$ 無効まで	偶数	$0.5t_{c(SPC)M}$ - 3	$0.5t_{c(SPC)M}$ + 3	ns
			奇数	$0.5t_{c(SPC)M}$ –$0.5t_{c(SYSCLK)}$ – 3	$0.5t_{c(SPC)M}$ –$0.5t_{c(SYSCLK)}$ + 3	
高速モード						
4	$t_{d(PICO)M}$	遅延時間、SPICLK から SPIPICO 有効まで	偶数、奇数		1	ns
5	$t_{v(PICO)M}$	有効時間、SPICLK 後の SPIPICO が有効な期間	偶数	$0.5t_{c(SPC)M}$ - 1		ns
			奇数	$0.5t_{c(SPC)M}$ –$0.5t_{c(SYSCLK)}$ – 1		
通常モード						
4	$t_{d(PICO)M}$	遅延時間、SPICLK から SPIPICO 有効まで	偶数、奇数		5	ns
5	$t_{v(PICO)M}$	有効時間、SPICLK 後の SPIPICO が有効な期間	偶数	$0.5t_{c(SPC)M}$ - 3		ns
			奇数	$0.5t_{c(SPC)M}$ –$0.5t_{c(SYSCLK)}$ – 3		

(1) 高速モードではピンの負荷は 5pF。
(2) 通常モードではピンの負荷は 20pF。
(3) (BRR+1) 条件が偶数というのは、(SPIBRR+1) が偶数である場合、または SPIBRR が 0 もしくは 2 である場合です。また、奇数とは、(SPIBRR+1) が奇数であり、かつ SPIBRR が 3 より大きい場合です。

Copyright © 2025 Texas Instruments Incorporated

6.19.5.1.2 SPI コントローラ モードのスイッチング特性 - クロック位相 1

推奨動作条件範囲内 (特に記述のない限り)

番号	パラメータ(1) (2)		(BRR+1) 条件(3)	最小値	最大値	単位
総則						
1	$t_{c(SPC)M}$	サイクル時間、SPICLK	偶数	$4t_{c(SYSCLK)}$	$128t_{c(SYSCLK)}$	ns
			奇数	$5t_{c(SYSCLK)}$	$127t_{c(SYSCLK)}$	
2	$t_{w(SPCH)M}$	パルス幅、SPICLK、最初のパルス	偶数	$0.5t_{c(SPC)M}$ - 1	$0.5t_{c(SPC)M}$ + 1	ns
			奇数	$0.5t_{c(SPC)M}$ - $0.5t_{c(SYSCLK)}$ - 1	$0.5t_{c(SPC)M}$ – $0.5t_{c(SYSCLK)}$ + 1	
3	$t_{w(SPC2)M}$	パルス幅、SPICLK、2 番目のパルス	偶数	$0.5t_{c(SPC)M}$ - 1	$0.5t_{c(SPC)M}$ + 1	ns
			奇数	$0.5t_{c(SPC)M}$ + $0.5t_{c(SYSCLK)}$ – 1	$0.5t_{c(SPC)M}$ + $0.5t_{c(SYSCLK)}$ + 1	
23	$t_{d(SPC)M}$	遅延時間、$\overline{SPIPTE}$ 有効から SPICLK まで	偶数、奇数	$2t_{c(SPC)M}$ - $3t_{c(SYSCLK)}$ - 3	$2t_{c(SPC)M}$ - $3t_{c(SYSCLK)}$ + 3	ns
24	$t_{v(PTE)M}$	有効時間、SPICLK から $\overline{SPIPTE}$ 無効まで	偶数	-3	+3	ns
			奇数	-3	+3	
高速モード						
4	$t_{d(PICO)M}$	遅延時間、SPIPICO 有効から SPICLK まで	偶数	$0.5t_{c(SPC)M}$ - 1		ns
			奇数	$0.5t_{c(SPC)M}$ + $0.5t_{c(SYSCLK)}$ – 1		
5	$t_{v(PICO)M}$	有効時間、SPICLK 後の SPIPICO が有効な期間	偶数	$0.5t_{c(SPC)M}$ - 1		ns
			奇数	$0.5t_{c(SPC)M}$ – $0.5t_{c(SYSCLK)}$ – 1		
通常モード						
4	$t_{d(PICO)M}$	遅延時間、SPIPICO 有効から SPICLK まで	偶数	$0.5t_{c(SPC)M}$ - 5		ns
			奇数	$0.5t_{c(SPC)M}$ + $0.5t_{c(SYSCLK)}$ – 5		
5	$t_{v(PICO)M}$	有効時間、SPICLK 後の SPIPICO が有効な期間	偶数	$0.5t_{c(SPC)M}$ - 3		ns
			奇数	$0.5t_{c(SPC)M}$ – $0.5t_{c(SYSCLK)}$ – 3		

(1) 高速モードではピンの負荷は 5pF。
(2) 通常モードではピンの負荷は 20pF。
(3) (BRR+1) 条件が偶数というのは、(SPIBRR+1) が偶数である場合、または SPIBRR が 0 もしくは 2 である場合です。また、奇数とは、(SPIBRR+1) が奇数であり、かつ SPIBRR が 3 より大きい場合です。

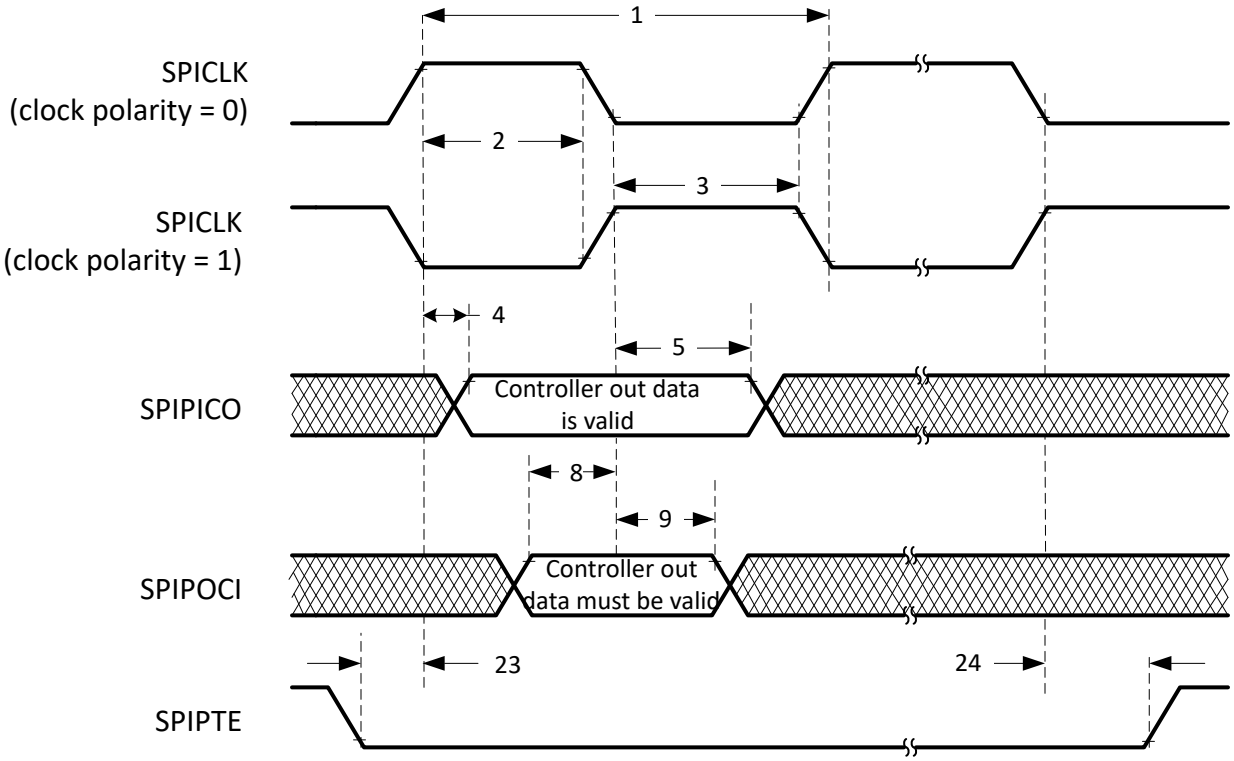
6.19.5.1.3 SPI コントローラ モードのタイミング要件

番号			(BRR+1) 条件(1)	最小値	最大値	単位
高速モード						
8	$t_{su(POCI)M}$	セットアップ時間、SPIPOCI 有効から SPICLK まで	偶数、奇数	1		ns
9	$t_{h(POCI)M}$	ホールド時間、SPICLK 後の SPIPOCI が有効な期間	偶数、奇数	5		ns
通常モード						
8	$t_{su(POCI)M}$	セットアップ時間、SPIPOCI 有効から SPICLK まで	偶数、奇数	20		ns
9	$t_{h(POCI)M}$	ホールド時間、SPICLK 後の SPIPOCI が有効な期間	偶数、奇数	0		ns

(1) (BRR+1) 条件が偶数というのは、(SPIBRR+1) が偶数である場合、または SPIBRR が 0 もしくは 2 である場合です。また、奇数とは、(SPIBRR+1) が奇数であり、かつ SPIBRR が 3 より大きい場合です。

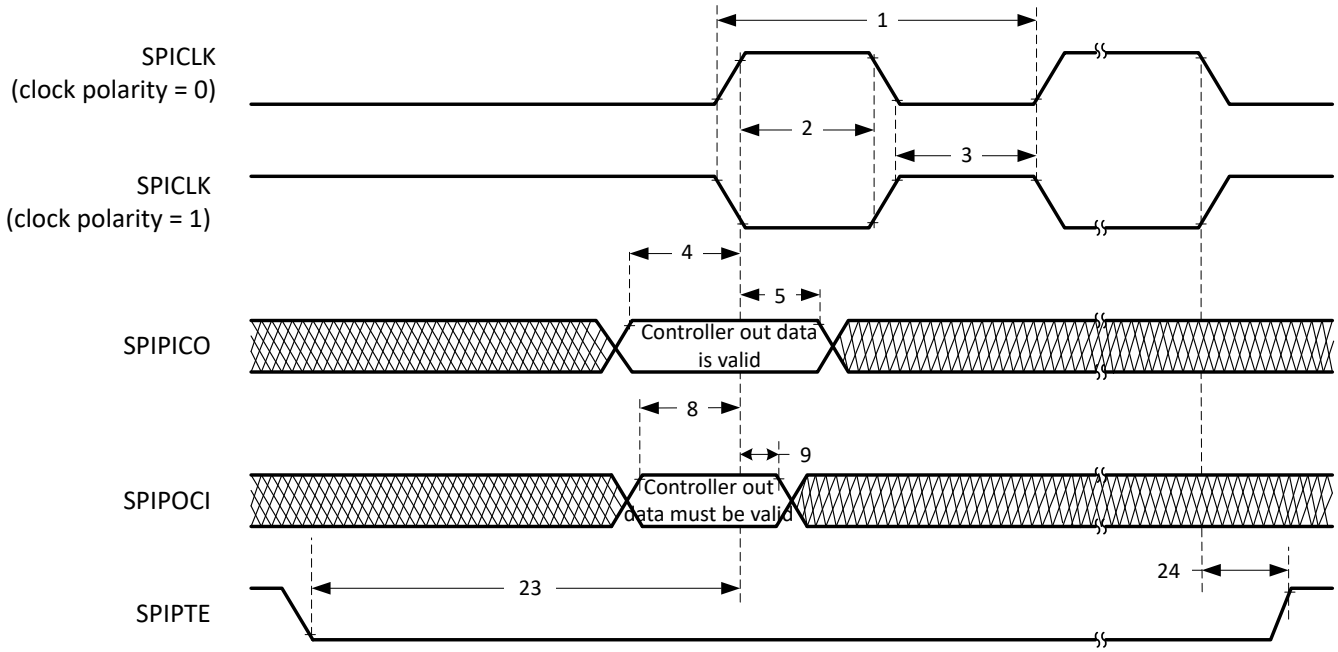
Copyright © 2025 Texas Instruments Incorporated

6.19.5.1.4 SPI コントローラ・モードのタイミング図



A. ワードの末尾では、FIFO モードおよび非 FIFO モードの連続送信ワード間を除いて、SPIPTE は非アクティブになります。

図 6-86. SPI コントローラ・モードの外部タイミング (クロック位相 = 0)



A. ワードの末尾では、FIFO モードおよび非 FIFO モードの連続送信ワード間を除いて、SPIPTE は非アクティブになります。

図 6-87. SPI コントローラ・モードの外部タイミング (クロック位相 = 1)

6.19.5.2 SPI ペリフェラル モードのタイミング

以下のセクションに、SPI ペリフェラル モードのタイミングを示します。

6.19.5.2.1 SPI ペリフェラル モードのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

番号	パラメータ (1) (2)		最小値	最大値	単位
高速モード					
15	$t_{d(POCI)S}$	遅延時間、SPICLK から SPIPOCI 有効まで		9	ns
16	$t_{v(POCI)S}$	有効時間、SPICLK 後の SPIPOCI が有効な期間	0		ns
通常モード					
15	$t_{d(POCI)S}$	遅延時間、SPICLK から SPIPOCI 有効まで		20	ns
16	$t_{v(POCI)S}$	有効時間、SPICLK 後の SPIPOCI が有効な期間	0		ns

(1) 高速モードではピンの負荷は 5pF。
(2) 通常モードではピンの負荷は 20pF。

6.19.5.2.2 SPI ペリフェラル モードのタイミング要件

番号			最小値	最大値	単位
12	$t_{c(SPC)S}$	サイクル時間、SPICLK	$4t_{c(SYSCLK)}$		ns
13	$t_{w(SPC1)S}$	パルス幅、SPICLK、最初のパルス	$2t_{c(SYSCLK)} - 1$		ns
14	$t_{w(SPC2)S}$	パルス幅、SPICLK、2 番目のパルス	$2t_{c(SYSCLK)} - 1$		ns
19	$t_{su(PICO)S}$	セットアップ時間、SPIPICO 有効から SPICLK まで	$1.5t_{c(SYSCLK)}$		ns
20	$t_{h(PICO)S}$	ホールド時間、SPICLK 後の SPIPICO が有効な期間	$1.5t_{c(SYSCLK)}$		ns
25	$t_{su(PTE)S}$	セットアップ時間、$\overline{\text{SPIPTE}}$ 有効から SPICLK まで (クロック位相 = 0)	$2t_{c(SYSCLK)} + 11$		ns
		セットアップ時間、$\overline{\text{SPIPTE}}$ 有効から SPICLK まで (クロック位相 = 1)	$2t_{c(SYSCLK)} + 20$		ns
26	$t_{h(PTE)S}$	ホールド時間、SPICLK から $\overline{\text{SPIPTE}}$ 無効まで	$1.5t_{c(SYSCLK)}$		ns

Copyright © 2025 Texas Instruments Incorporated

6.19.5.2.3 SPI ペリフェラル・モードのタイミング図

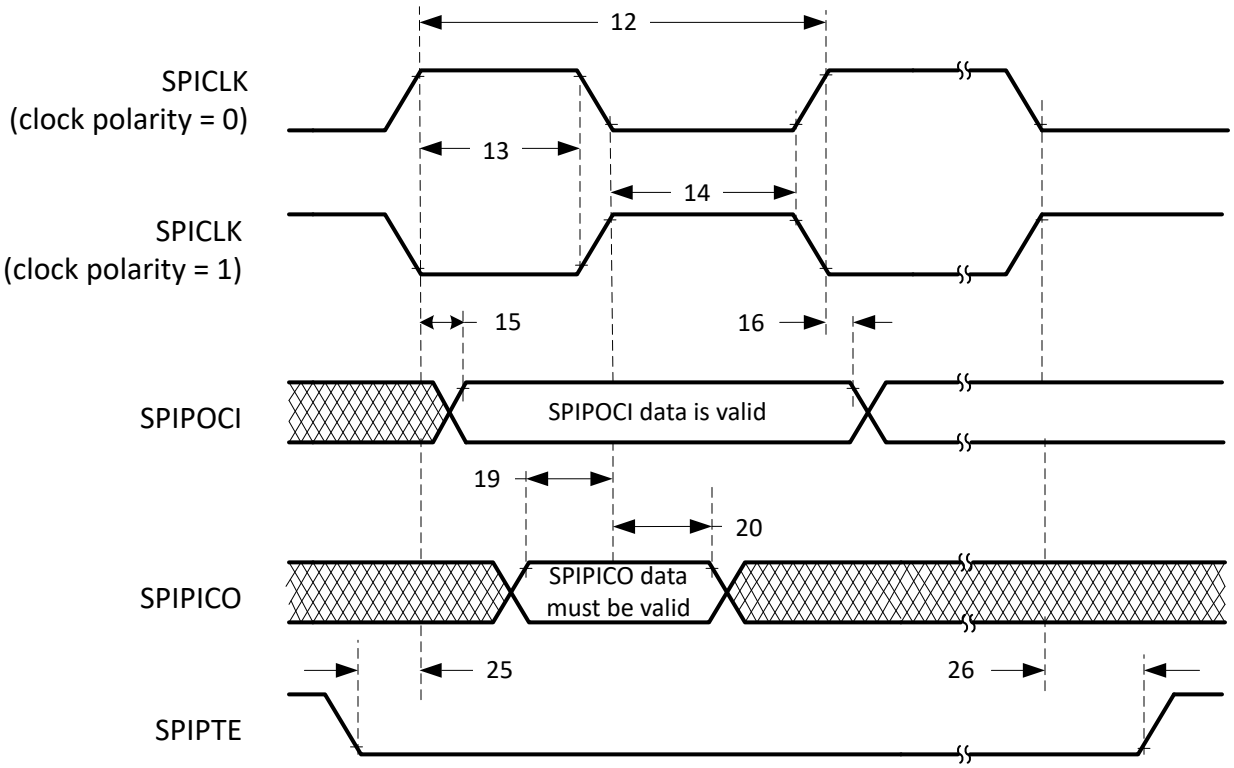


図 6-88. SPI ペリフェラル・モードの外部タイミング (クロック位相 = 0)

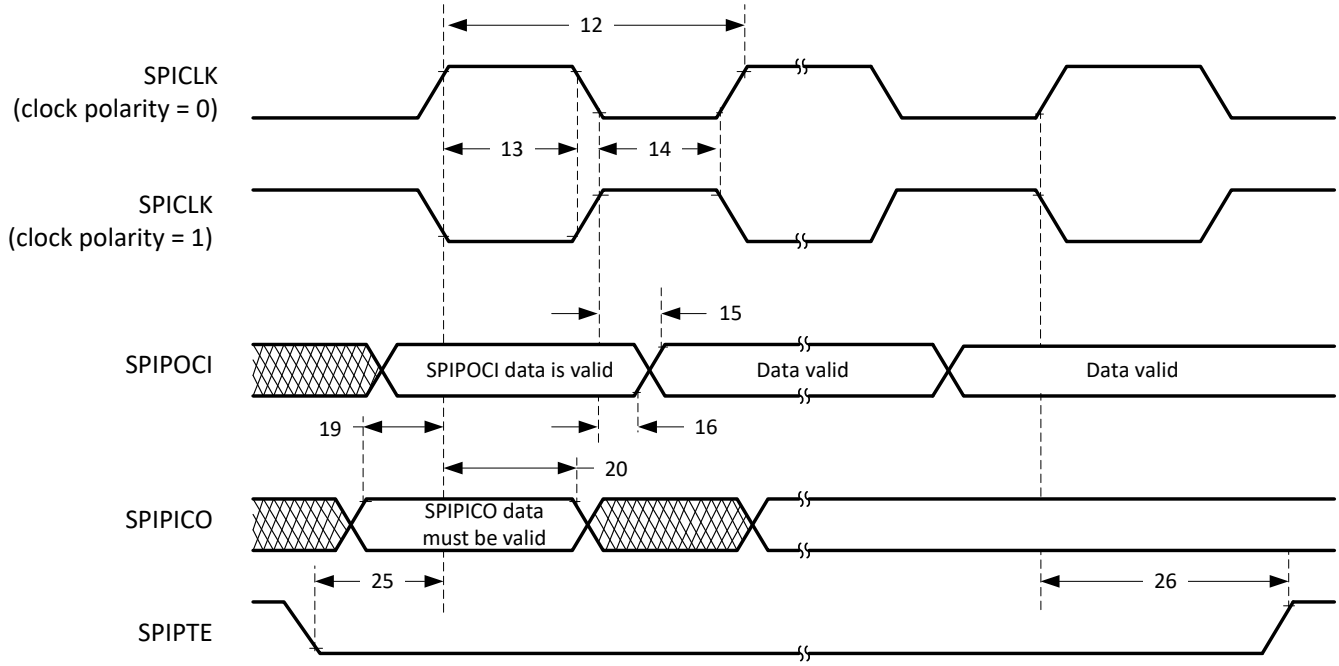


図 6-89. SPI ペリフェラル・モードの外部タイミング (クロック位相 = 1)

6.19.6 シングル エッジ ニブル伝送 (SENT)

6.19.6.1 はじめに

SENT モジュールは、オープン標準の SAE J2716 をベースとして、追加のセンサ フォーマットのサポートなどの拡張が行われています。

注

この章内の「チャネル」とレジスタ説明の「センサ」という用語は同じです。

6.19.6.2 特長

SENT モジュールの主な機能は次のとおりです。

- SAE J2716 (J2716 January 2010 および J2716 April 2016) に基づく
- 2007 および 2010 CRC チェックサム計算をサポート
- 高速チャネル レシーバ
- 低速チャネル レシーバ
  - 短いシリアル メッセージ (8 ビット データおよび 4 ビットのメッセージ ID)
  - 拡張シリアル 12 ビット メッセージ (12 ビット データおよび 8 ビット メッセージ ID)
- 設定可能なメモリ深度
- マスタ トリガ パルス ジェネレータ (MTPG) により、同じ SENT バスに対して複数のセンサを有効化
- 63 個のトリガ ソースのいずれかによってトリガされるように設定できる、5 つの SENT チャネル
- CPU の介入を最小限に抑えるニブル ソート
- SENT チャネルのタイムアウト機能はウォッチドッグに目的変更可能 (連続受信モードでのみ使用可能)
- CSENT_RXD レジスタの RXD_I_R ビットは、SENT 受信 1 回につき 1 ビットのデバッグに使用
- 受信データ フレームに対するタイム スタンプ キャプチャ
  - 32 ビット フリーランニング カウンタを使用
  - 1 つまたはすべての送信モジュールに外部カウンタを使用可能
- レシーバおよび割り込み機能
  - 入力のグリッチ フィルタをプログラム可能 (バイパス モードを利用可能)
  - 高速および低速のチャネル データで CRC エラーとフレーミング エラーの自動検出
  - 受信時にエラーのあったデータを保存するオプション
  - 受信するデータ ニブル数を構成可能 (1～8)
  - 受信データ フレームの FIFO およびダイレクト マップのサポート
  - FIFO がどれだけ埋まっているかに応じて、RTDMA および割り込みを使用してデータを送信可能
  - サポートされているエラー検出:
    - タイムアウト
    - 較正
    - FIFO オーバーフロー / アンダーフロー
    - 周波数ドリフト
    - オーバーフロー トリガ要求

Copyright © 2025 Texas Instruments Incorporated

6.19.7 LIN (Local Interconnect Network)

このデバイスには、1 つの LIN (Local Interconnect Network) モジュールが搭載されています。この LIN モジュールは、LIN 仕様パッケージ リビジョン 2.1 で定義されている LIN 2.1 規格に準拠しています。LIN は低コストのシリアル インターフェイスであり、CAN プロトコルでは実装にコストがかかりすぎる可能性があるアプリケーション向けに設計されています。たとえば、車載アプリケーションの車内照明やウィンドウ制御など、車内快適性機能を実現するための小規模サブネットワークなどです。

LIN 規格は、SCI (UART) シリアル データ リンク形式に基づいています。通信の基本構成は、任意のネットワーク ノード間でマルチキャストを送信するためのメッセージ識別機能を備えたシングルコマンダとマルチレスポダです。

この LIN モジュールは、モジュールのコアが SCI なので、LIN として動作する以外に、SCI として動作するようにもプログラムできます。SCI のハードウェア機能は、LIN との互換性を実現するために強化されています。この SCI モジュールは、標準 NRZ (非ゼロ復帰) フォーマットを実装するユニバーサル非同期レシーバ トランスミッタ (UART) です。

レジスタは LIN および SCI で共通ですが、レジスタの説明には、異なるモードでのレジスタ / ビットの使用方法を識別するための注記があります。このため、このモジュール用に作成されたコードをスタンドアロンの SCI モジュールに直接移植することはできません。その逆も同様です。

LIN モジュールの主な機能は次のとおりです。

- LIN 1.3、2.0、2.1 の各プロトコルとの互換性
- 最大 20kbps の構成可能なボーレート (LIN 2.1 プロトコルによる)
- 2 本の外部ピン : LINRX と LINTX
- マルチバッファ付き送受信ユニット
- メッセージ フィルタリング用識別マスク
- コマンダ ヘッダの自動生成
  - プログラマブルな同期ブレーク フィールド
  - 同期フィールド
  - 識別子フィールド
- レスポンダの自動同期
  - 同期ブレーク検出
  - オプションのボーレート更新
  - 同期検証
- 7 つのフラクショナル ビットを使用した 2^{31} 種類のプログラマブルな転送レート
- トランシーバからの、LINRX ドミナント レベルでのウェークアップ
- 自動ウェークアップのサポート
  - ウェークアップ信号の生成
  - 有効期限付きウェークアップ信号
- バス アイドルの自動検出
- エラー検出
  - ビット エラー
  - バス エラー
  - 無応答エラー
  - チェックサム エラー
  - 同期フィールド エラー
  - パリティ エラー
- 優先度エンコード機能付きの 2 本の割り込みライン :
  - 受信
  - 送信
  - ID、エラー、ステータス
- LIN 2.0 チェックサムをサポート
- フレーム処理用の拡張シンクロナイザ有限ステート マシン (FSM) をサポート

Copyright © 2025 Texas Instruments Incorporated

- 拡張フレームの処理能力を強化
- 拡張ボーレート ジェネレータ
- ウェークアップ / スリープ移行を更新

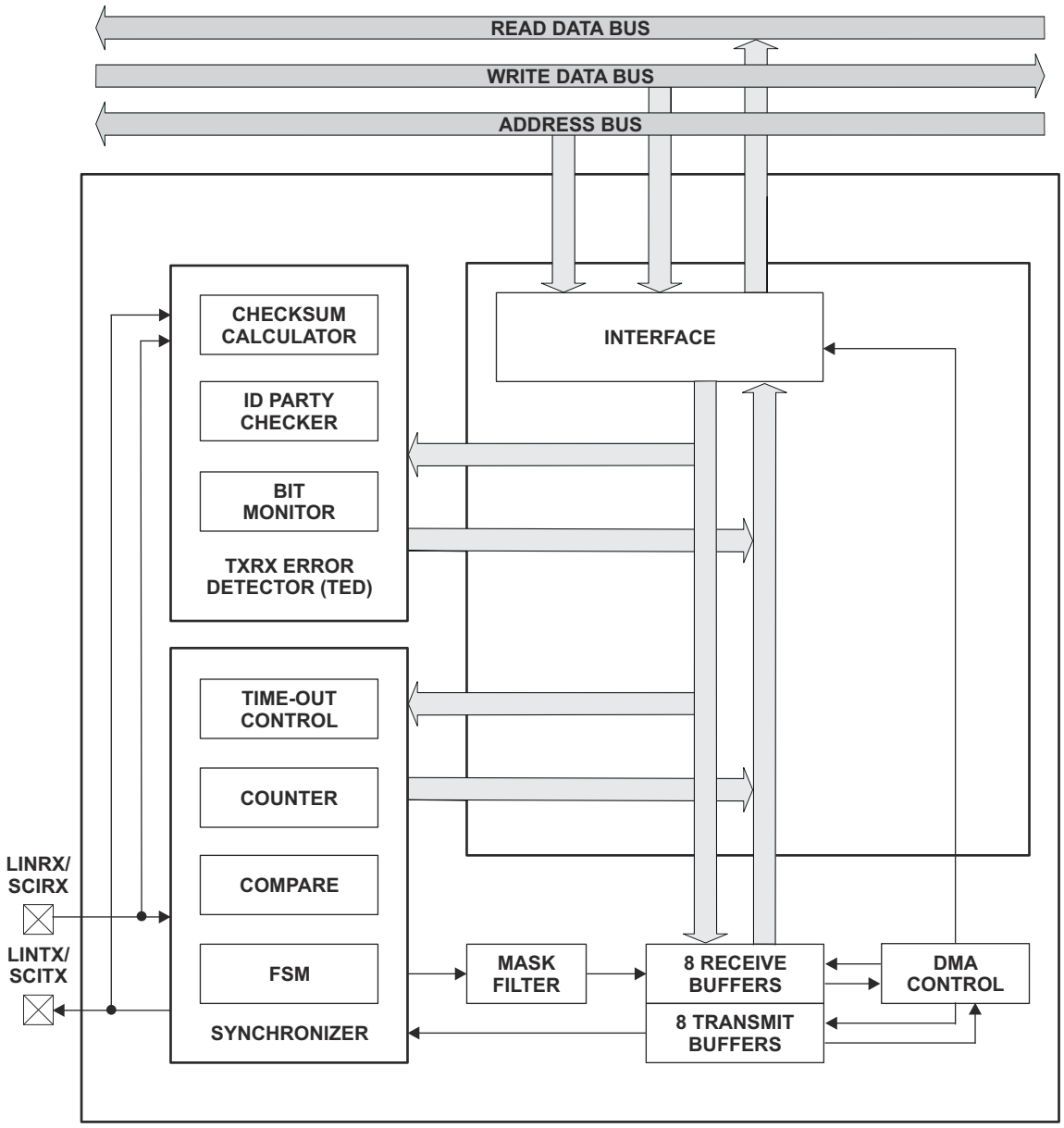


図 6-90. LIN のブロック図

Copyright © 2025 Texas Instruments Incorporated

6.19.8 EtherCAT SubordinateDevice コントローラ (ESC)

Ethernet for Control Automation Technology (EtherCAT®) は、Beckhoff Automation が発明したイーサネット ベースのフィールドバス システムであり、IEC 61158 で標準化されています。バスに接続されているすべての SubordinateDevice (または SubDevice) ノードは、ノード内のフレームをバッファする必要がなく、アドレスされたデータを迅速に解釈、処理、および変更します。このリアルタイム動作、フレーム処理、および転送要件は、EtherCAT SubDevice コントローラ (ESC) ハードウェアによって実装されています。EtherCAT では、SubDevice 内部でのデータ送信にソフトウェアによる操作は必要ありません。EtherCAT は MAC 層のみを定義しますが、より上位層のプロトコルとスタックは ESC に接続されているマイクロコントローラ上のソフトウェアで実装されます。

EtherCAT:

- MainDevice (または MDevice) および SubDevice のセットアップを含む。SubDevice ノードはデイジーチェーン形式で物理的に接続されているが、論理的にはループで動作する
- SubDevice ノード間の正確で低ジッタの同期に特化
- IEEE 802.3 イーサネットの物理層と標準的なイーサネット フレームを使用

6.19.8.1 ESC の機能

この MCU の ESC の機能を以下に示します。

- EtherCAT PHY に接続するための最大 2 つの MII ポート
- 16 ビット非同期インターフェイスを経由するプロセス データ インターフェイス
- 64 ビットの分散クロック
  - デバイス イベントを同期するための同期出力信号と、イベントのタイムスタンプをサポートするラッチ入力信号
  - SYNC0/1 (o/ps) および LATCH0/1 の分散クロック機能によって GPIO を同期でき、任意の GPIO からの入力や、内部デバイス イベント用のその他の多重化オプションを使用可能
- 8 つのフィールド バス メモリ管理ユニット (FMMU)
  - RD/、WR/、RDWR のすべてのネイティブ タイプをサポートし、ビットおよびバイト アドレッシングの機能を内蔵
- 8 つの同期マネージャ
- I2C EEPROM インターフェイス
- 最大 32 個の汎用入力 (GPI) と 32 個の汎用出力 (GPO)
- GPIO パッドに接続された 2 つの SYNC 信号と 2 つの LATCH 信号
- パリティ付きの 16KB RAM

6.19.8.2 ESC サブシステムの統合機能

ESC 機能に加えて、ESC と MCU の統合によって提供されるデバイス固有の機能は以下のとおりです。

- 初期化中の CPU1 サブシステムへの ESC アクセスの割り当て
- MDevice からの EtherCAT リセット要求は、MCU 上の NMI または汎用割り込みコントローラにルーティング可能
- MCU の NMI にルーティングされる RAM パリティ エラー
- EtherCAT RAM への DMA アクセス
- 16 ビット ASYNC PDI インターフェイスに統合された最大 32 個の GPI および最大 32 個の GPO 機能
- CLB へのインターフェイス
- SYNC0/1 の分散クロック機能により、PWM の同期、割り込み / DMA リクエストの生成、eCAP キャプチャのトリガが可能になり、GPIO アクセスによる外部コンポーネントのアクションが可能になる。
- LATCH0/1 の分散クロック機能により、GPIO または PWM クロスバー トリガからの入力が可能

Copyright © 2025 Texas Instruments Incorporated

6.19.8.3 EtherCAT IP のブロック図

図 6-91 に、EtherCAT IP の一般的な機能を示します。

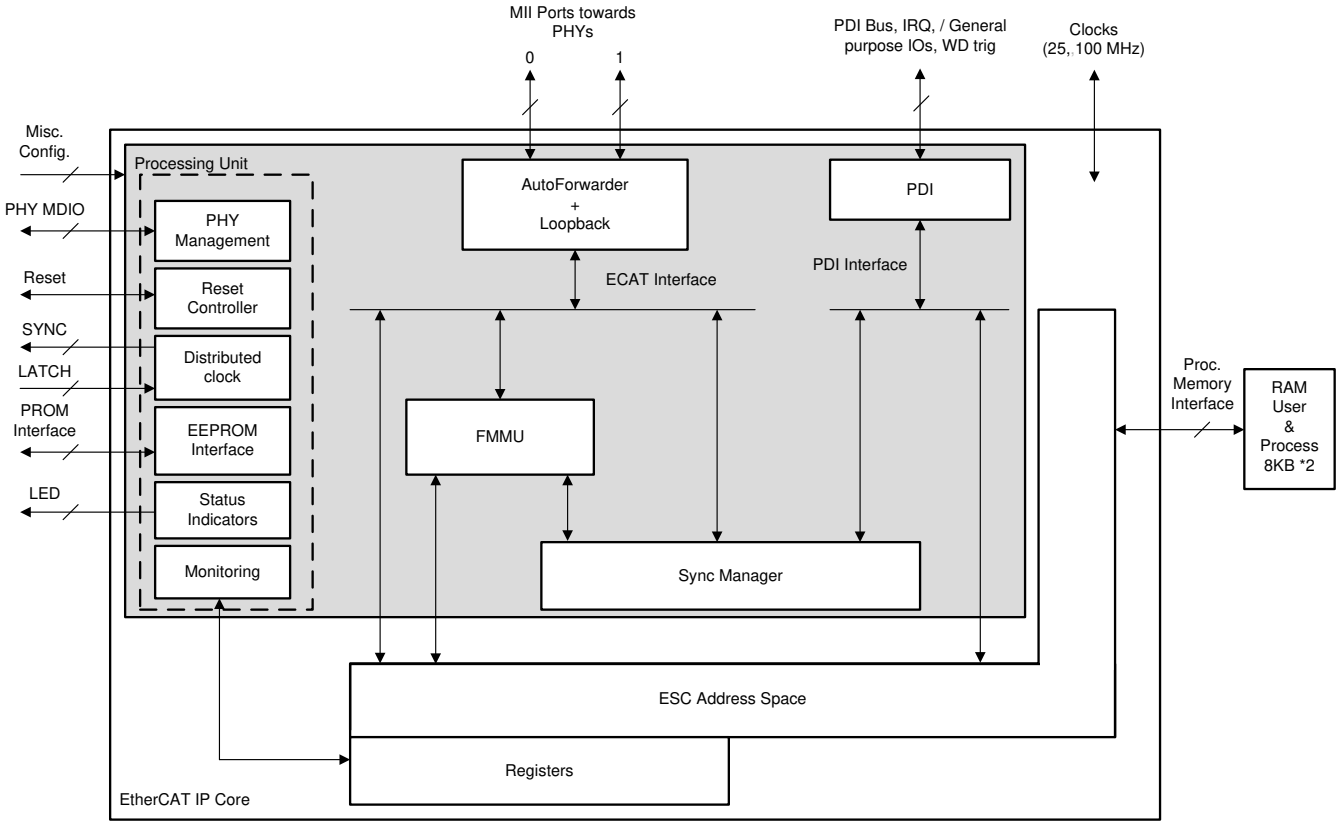


図 6-91. EtherCAT IP のブロック図

Copyright © 2025 Texas Instruments Incorporated

6.19.8.4 EtherCAT の電気的データおよびタイミング

6.19.8.4.1 EtherCAT のタイミング要件

番号			最小値	公称値	最大値	単位
EtherCAT						
	$t_{c(ECATCLK)}$	サイクル時間、ECATCLK		10		ns
MII1	$t_{c(TXCLK)}$	サイクル時間、ESC_TXy_CLK		40		ns
MII2/MII3	$t_{w(TXCK)}$	パルス幅、ESC_TXy_CLK High または Low	16		24	ns
MII4	$t_{c(RXCK)}$	サイクル時間、ESC_RXy_CLK		40		ns
MII5/MII6	$t_{w(RXCK)}$	パルス幅、ESC_RXy_CLK High または Low	16		24	ns
MII8	$t_{su(RXDV-RXCKH)}$	セットアップ時間、有効な信号を受信してから ESC_RXy_CLK High まで	10			ns
MII9	$t_{h(RXCKH-RXDV)}$	ホールド時間、ESC_RXy_CLK High から有効な信号を受信する間	2			ns
MDIO						
MDIO4	$t_{su(MDV-MCKH)}$	セットアップ時間、ESC_MDIO_DATA 有効から ESC_MDIO_CLK High まで	20			ns
MDIO5	$t_{h(MCKH-MDV)}$	ホールド時間、ESC_MDIO_CLK High から ESC_MDIO_DATA 有効の間	-1			ns

6.19.8.4.2 EtherCAT のスイッチング特性

自由気流での動作温度範囲内 (特に記述のない限り)

番号	パラメータ		最小値	標準値	最大値	単位
自動シフトの補償						
MII7	$t_{d(TXCLK-TXDV)}$	遅延時間、ESC_TXy_CLK から ESC_TXy_DATA[3:0] および ESC_TXy_ENA まで	20 + input_dly + output_dly + TX_SHIFT*$t_{c(CLK_100)}$		30 + input_dly + output_dly + TX_SHIFT*$t_{c(CLK_100)}$	ns
MDIO						
MDIO1	$t_{c(MCK)}$	サイクル時間、ESC_MDIO_CLK	400			ns
MDIO2/MDIO3	$t_{w(MCK)}$	パルス幅、ESC_MDIO_CLK が High または Low	160		240	ns
MDIO7	$t_{d(MCKH-MDV)}$	遅延時間、ESC_MDIO_CLK High から ESC_MDIO_DATA 有効まで			$0.5t_{c(MCK)}$ + 30	ns
	$t_{v(MCKH-MDV)}$	有効時間、ESC_MDIO_CLK High から ESC_MDIO_DATA 有効まで	$0.5t_{c(MCK)}$ - 3.0			ns

Copyright © 2025 Texas Instruments Incorporated

6.19.8.4.3 EtherCAT のタイミング図

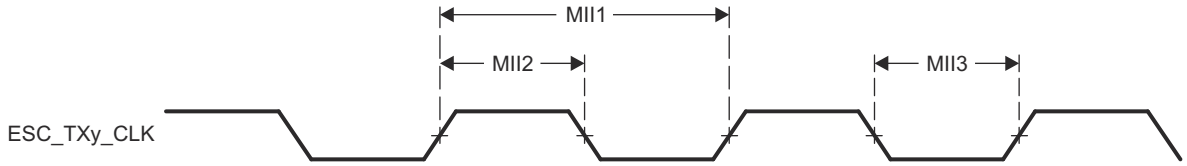


図 6-92. EtherCAT 送信クロックのタイミング (MII 動作)

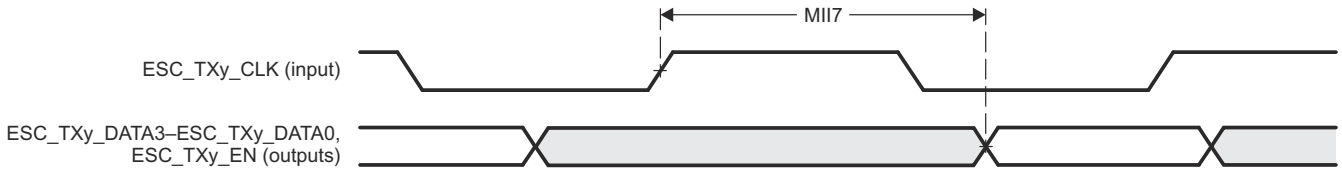


図 6-93. EtherCAT 送信インターフェイスのタイミング (MII 動作)

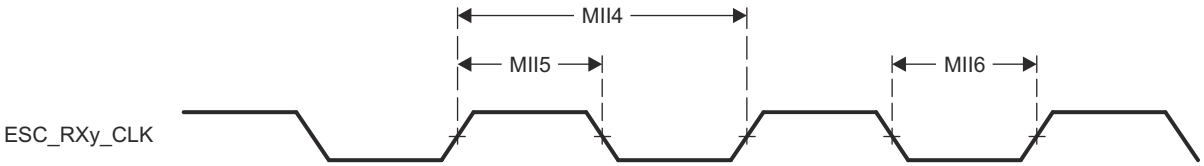


図 6-94. EtherCAT 受信クロックのタイミング (MII 動作)

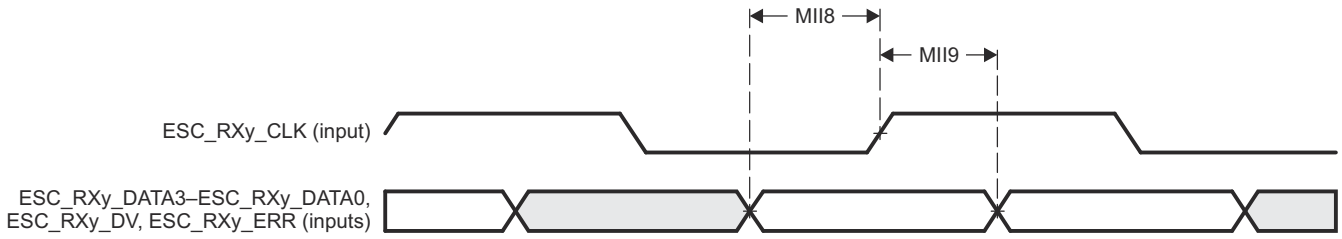


図 6-95. EtherCAT 受信インターフェイスのタイミング (MII 動作)

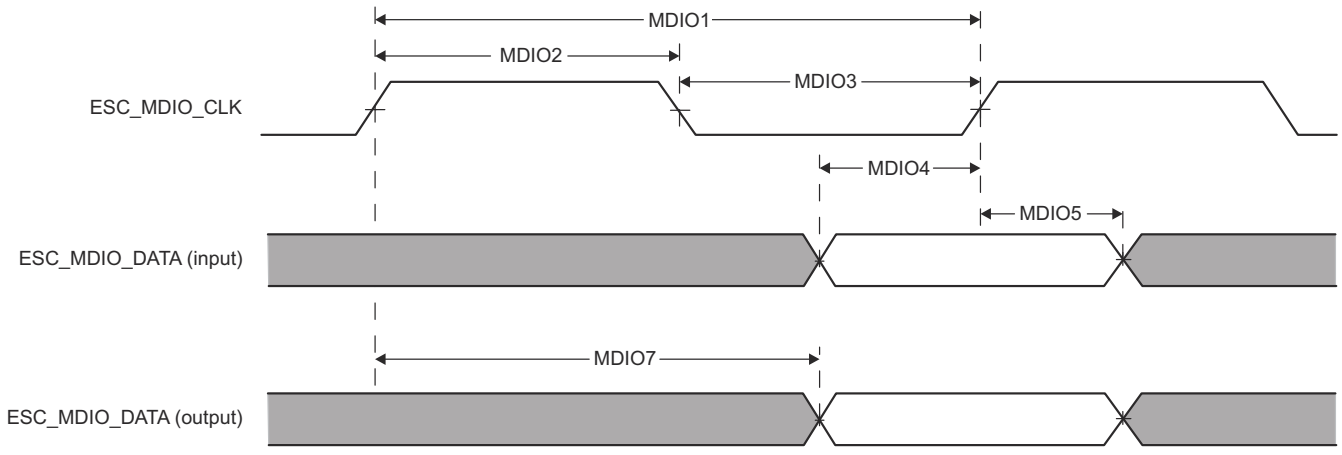


図 6-96. EtherCAT MDIO のタイミング図

Copyright © 2025 Texas Instruments Incorporated

6.19.9 UART (Universal Asynchronous Receiver-Transmitter)

このデバイスの UART (Universal Asynchronous Receiver/Transmitter) モジュールの主な機能は次のとおりです。

- プログラマブルなボーレート ジェネレータにより、通常速度 (16 分周) で最大 12.5Mbps、高速 (8 分周) で最大 25Mbps を実現
- 送信と受信で個別の FIFO (16 段 8 ビット幅) を備え、CPU 割り込み処理における負荷を軽減
- 従来のダブル バッファ インターフェイスを提供する 1 バイト動作を含む、プログラマブルな FIFO 長 (FIFO 以外のモード)
- ⅛、¼、½、¾、および ⅞ の FIFO トリガーレベル
- スタート、ストップ、およびパリティ用の標準非同期通信ビット
- 改行の生成と検出
- プログラマブルなシリアル インターフェイス特性
  - 5、6、7、または 8 データ ビット
  - 偶数パリティ ビット、奇数パリティ ビット、スティック パリティ ビット、およびパリティなしビットの生成と検出
  - 1 または 2 ストップ ビットの生成
- 次の機能を提供する IrDA SIR (Serial-IR) エンコーダおよびデコーダ
  - IrDA SIR または UART 入出力のプログラマブルな使用
  - 最大 115.2kbps 半二重のデータ レート用の IrDA SIR エンコーダおよびデコーダ機能をサポート
  - 通常の 3/16 ビット持続期間と低電力ビット持続期間をサポート (1.41～2.23µs)
  - 低電力モード ビット持続期間用に基準クロックの分周 (1～256) を可能とするプログラマブルな内部クロック ジェネレータ
- EIA-485 9 ビットをサポート
- 標準 FIFO レベルおよびデータ転送終了 (EOT) 割り込み
- リアルタイム ダイレクト メモリ アクセス (RTDMA) コントローラによる効率的な転送
  - 送信用と受信用でチャネルを分離
  - 設定した FIFO レベルでアサートされるバースト要求を受信
  - 設定した FIFO レベルでアサートされるバースト要求を送信

図 6-97 に、UART モジュールのブロック図を示します。

Copyright © 2025 Texas Instruments Incorporated

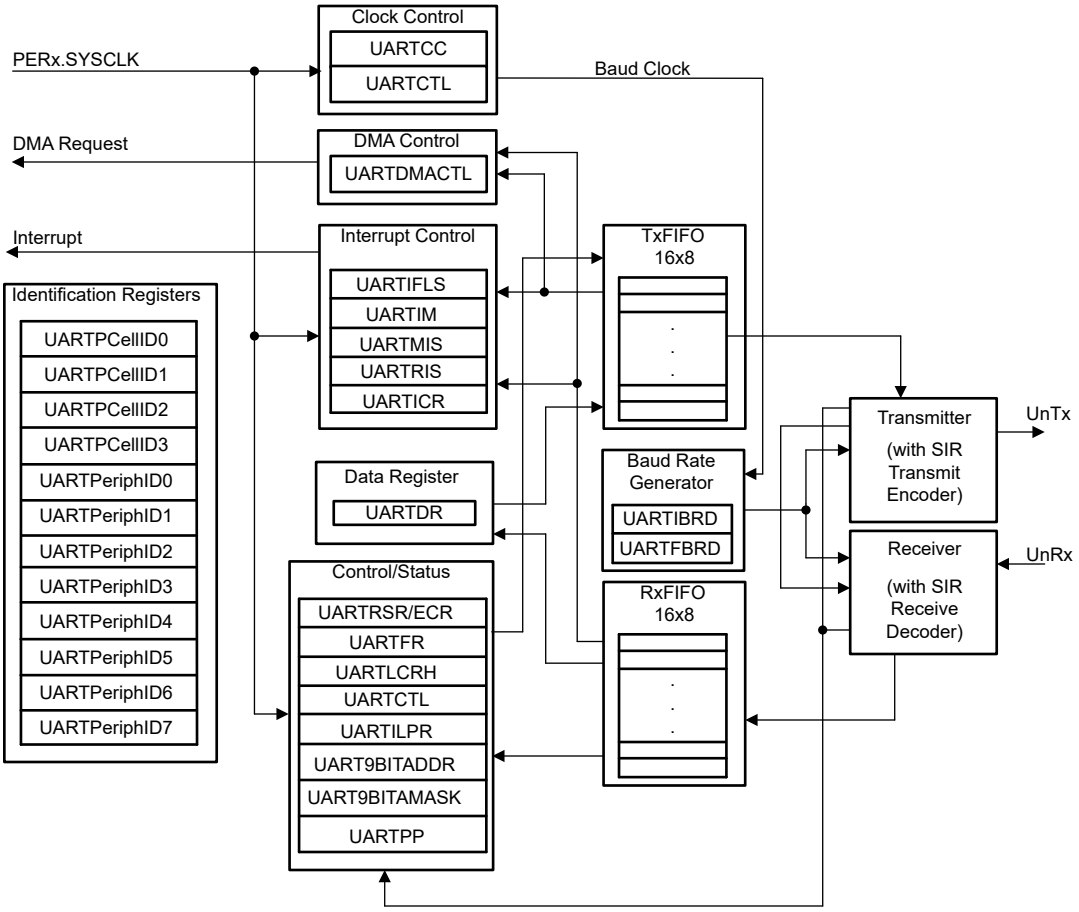


図 6-97. UART モジュールのブロック図

Copyright © 2025 Texas Instruments Incorporated

7 詳細説明

7.1 概要

F29H85x、F29P58x、および F29P32x は、電力密度の向上、スイッチング周波数の向上、GaN および SiC 技術の使用のサポートをはじめとして、パワー エレクトロニクス、モーター制御などの効率化を目的として設計された、スケーラブルで超低レイテンシの C2000™ リアルタイム マイクロコントローラ ファミリの製品です。F29 製品ファミリは、次世代の C29 CPU コアを搭載しており、前世代の C28 CPU コアと比較して 2 倍の性能で、業界をリードしています。また、C29 コアはバイトアドレッシングもサポートしており、Arm® アーキテクチャなどの一般的な他の CPU アーキテクチャと完全に互換性のあるデータ タイプを使用することで、迅速に市場に投入しようとするお客様はスムーズに移行できます。詳細については、『*C29 CPU — C2000™ MCU における最適化アーキテクチャによる比類ないリアルタイム性能*』テクニカル ホワイトペーパーを参照してください。

主なアプリケーションには以下が含まれます。

- HEV/EV のパワートレイン – シングルステージ OBC アーキテクチャの実現に役立ちます
  - オンボード チャージャ
  - DC/DC コンバータ
  - パワートレイン内蔵
- 安全およびシャーシ アプリケーション:
  - 電動パワー ステアリング
  - ブレーキ
- モーター制御
  - トラクションインバータのモーター制御 - 高度で洗練された制御手法を実現し、トラクション システムの効率を改善します
  - HVAC (空調) モーター制御
  - 移動型ロボットのモーター制御
- ソーラー インバータ
  - セントラル インバータ
  - マイクロ インバータ
  - ストリング インバータ
- デジタル電源
- 産業用モータドライブ
- EV 充電インフラ

リアルタイム制御サブシステムには、最大 3 つの 200MHz C29x CPU コアが搭載されています (コアあたり 400MIPS、F29H85x で最大 1200MIPS)。C29 CPU アーキテクチャと緊密に結合された周辺機器 (PWM、ADC、CMPSS) により、顧客ベンチマークによって裏付けられているように、特定のアプリケーションでは、より高い CPU クロック速度で実行する競合製品と比較して、200MHz C29 コアでより優れたパフォーマンスが得られます。

システム レベルの ASIL D 機能安全ソリューションをサポートするための多くの機能を備えています。永続的および過渡的な障害を検出するために、C29x CPU1 および CPU2 コアをロックステップに設定できます。ロジック パワーオン セルフテスト (LPOST) およびメモリ パワーオン セルフテスト (MPOST) により、潜在的なフォルトを早期に検出します。安全相互接続により、CPU とペリフェラルの間のフォルト検出が可能になります。ADC 安全チェッカは、CPU サイクルを追加することなく、複数の ADC モジュールから取得した ADC 変換結果を比較します。波形アナライザおよび診断 (WADI) は、複数の信号の正常な動作を監視し、安全状態が確実に維持されるように対策を実行できます。このデバイス アーキテクチャは、エンド ツー エンドでコードおよびデータの安全を実現する安全相互接続 (SIC) を備えており、すべてのメモリおよびペリフェラルのエンドポイントに対して CPU ベースの ECC 保護が可能です。

ハードウェア セキュリティ マネージャ (HSM) は、EVITA-full セキュリティ サポートを提供します。その特長として、セキュア ブート、セキュア ストレージおよびキーリングのサポート、セキュア デバッグ認証、暗号化アクセラレータ エンジンなどがあります。HSM は、信頼できない工場環境でセキュアなキーおよびコードのプロビジョニングを可能にし、HSM および

Copyright © 2025 Texas Instruments Incorporated

ホスト アプリケーション ファームウェアのワイヤレス更新 (FOTA)、A/B スワップ機能、ロールバック制御をサポートしています。

SSU (安全およびセキュリティ ユニット) は、ランタイムの安全およびセキュリティについて優れた機能を実現します。この機能を使って、同じ CPU または異なる CPU で動作するスレッド間で、安全分離 (Freedom From Interference、無干渉) が可能になります。SSU にはコンテキスト依存 MPU メカニズムがあり、現在実行中のスレッドまたはタスクに基づいて、アクセス許可をハードウェアで自動的に切り替えます。この結果、ソフトウェアのオーバーヘッドがなくなり、システムの安全を損なうことなく、リアルタイムでコードの性能を実現できます。SSU は、マルチユーザー デバッグ認証機能を搭載しており、ライブ ファームウェア アップデート (LFU) およびアプリケーション ファームウェアのワイヤレス更新 (FOTA)、A/B スワップおよびロールバック制御もサポートしています。詳細については、『C29x 安全およびセキュリティ ユニットによるランタイム安全およびセキュリティの実装』アプリケーション ノートを参照してください。

高性能アナログ ブロックは、処理および制御ユニットと緊密に統合されており、最適なリアルタイム シグナル チェーン性能を実現します。2 つの 16 ビット A/D コンバータ (ADC) および 3 つの 12 ビット ADC、最大 80 のアナログ チャネル、さらには、内蔵の後処理ブロック、ハードウェア オーバーサンプリングを備えています。2 つの 12 ビット バッファ付き DAC および 24 個のコンパレータ チャネルが利用可能です。

周波数に依存しない 36 個の PWM はすべて高分解能機能を備えており、3 相インバータから高度なマルチレベル電源トポロジまで、複数の電力段を制御できます。これらの PWM は、最小デッドバンド ロジック (MINDL) 機能、ダイオード エミュレーション (DE) および不正組み合わせロジック (ICL) 機能で強化されています。

構成可能ロジック ブロック (CLB) により、ユーザーはカスタム ロジックを追加し、FPGA に類似した機能を C2000 リアルタイム MCU に統合できます。

このデバイスでは、EtherCAT SubDevice コントローラ、および CAN FD などの他の業界標準プロトコルを使用できます。高速シリアル インターフェイス (FSI) を使用すると、絶縁境界越しに最高 200Mbps の堅牢な通信が可能です。

C2000 MCU をお客様のリアルタイム制御システムに適した選択肢にしている機能について詳しく知るには、『*C2000™ リアルタイム マイクロコントローラを使った開発のための基本ガイド*』をご覧いただくとともに、C2000 リアルタイム マイクロコントローラ のページにアクセスしてください。

『*C2000 ™ リアルタイム制御マイコン (MCU) を使用した設計の開始*』入門ガイドは、C2000 デバイスを使用する開発について、ハードウェアからサポート リソースまで、あらゆる側面をカバーしています。主要な参考資料に加えて、各セクションには関連するリンクとリソースが掲載されており、さらに詳細な情報を知ることができます。

設計を開始する際は、以下の資料をご確認ください。F29H85X-SOM-EVM 評価ボードを確認して、F29 リアルタイム MCU の F29-SDK Foundational Software Development Kit (SDK) をダウンロードしてください。

Copyright © 2025 Texas Instruments Incorporated

7.2 機能ブロック図

図 7-1 に、CPU システムおよび関連ペリフェラルを示します。

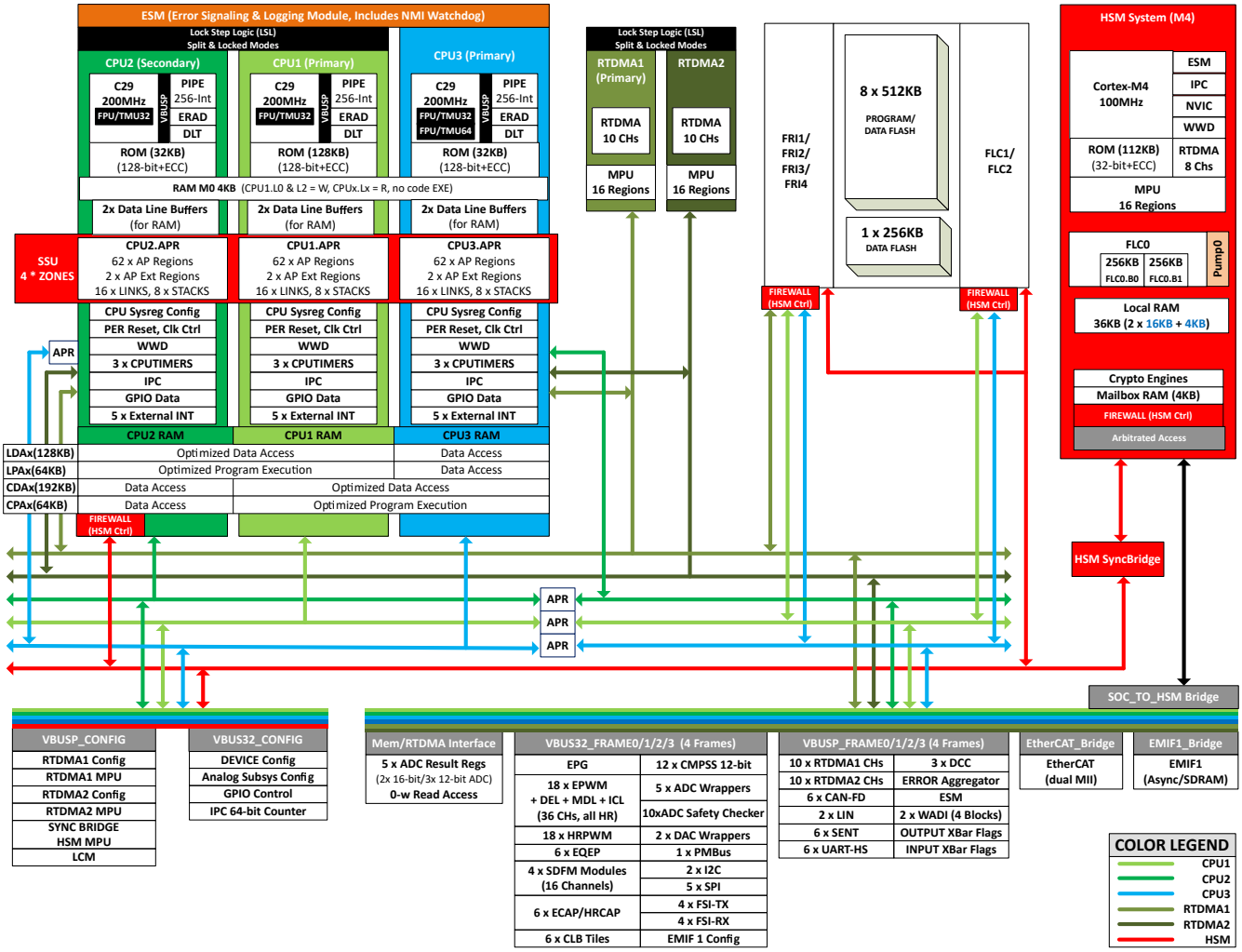


図 7-1. 機能ブロック図

7.3 エラー通知モジュール (ESM_C29)

7.3.1 はじめに

エラー通知モジュール (ESM) は、デバイス全体のエラー イベントへの応答を 1 つの場所に集約します。この ESM は、プロセッサがイベントに対処できるようにプログラム可能な優先度割り込みをプログラムに送信したり、I/O エラー ピンを操作してエラーが発生したことを外部ハードウェアに通知したりできます。これにより、外部コントローラでデバイスをリセットしたり、システムを安全な既知の状態に維持したりできます。

ESM は、包括的なエラー報告機能を提供し、エラー応答を統合して、デバイス全体のエラー イベントの管理と軽減を実現します。

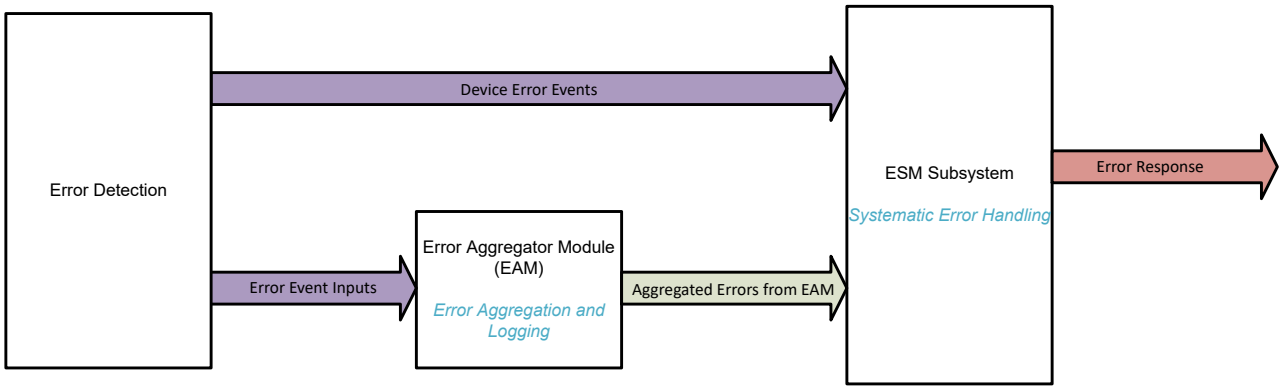


図 7-2. エラー処理アーキテクチャ

7.3.2 ESM サブシステム

エラー通知モジュール サブシステム (ESM-SS) は、図 7-3 に示すように、エラー通知モジュール (ESM) のインスタンスをグループ化します。ESMSS は、共通のエラー イベント入力セットでトリガされる多数の ESM インスタンスをサポートしています。各 ESM インスタンスは、個別の CPU への割り込みを駆動し、個別の CPU またはシステムをリセットします。このサブシステムは、ESM インスタンスを組み合わせ、各 ESM インスタンスからの出力パルス割り込みをサブシステム境界でエクスポートして、デバイスレベルでの統合を実現します。

ESM サブシステムは、以下のインスタンスで構成されています。

- ESM CPU インスタンス (各 CPU に 1 つずつ)
  - 入力: 『F29H85x および F29P58x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』の「エラー イベント入力」セクションに記載されているエラー入力は、すべての ESM サブシステム インスタンスに共通です。
  - 出力:
    - 低優先度割り込み
    - 高優先度割り込み
    - 高優先度 WD イベント (高優先度割り込みのウォッチドッグ タイムアウトによってトリガされるイベントであるため、ドキュメントの後半では高優先度ウォッチドッグ割り込みとも呼ばれます): C28x デバイスで NMIWD と同様の機能
    - クリティカル優先度割り込み
- エラー ピンの出力および監視用の追加のシステム ESM インスタンス。
  - 入力: 『F29H85x および F29P58x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』の「エラー イベント入力」セクションに記載されているエラー入力は、すべての ESM サブシステム インスタンスに共通です。

Copyright © 2025 Texas Instruments Incorporated

- 出力:
  - 低優先度割り込み
  - クリティカル優先度割り込み
  - エラー ピン出力
  - エラー ピン監視イベント:エラー ピンの監視およびエラー検出出力
- レジスタ パリティ エラー アグリゲータ インスタンス (安全アグリゲータ)
  - 入力:
    - すべての ESM インスタンス (ESM CPU および SYS ESM) の EDC (エラー検出および訂正) 制御インターフェイスからの入力
  - 出力:
    - パリティ エラー割り込み:ESM レジスタ構成でパリティ エラー検出により生成される割り込み

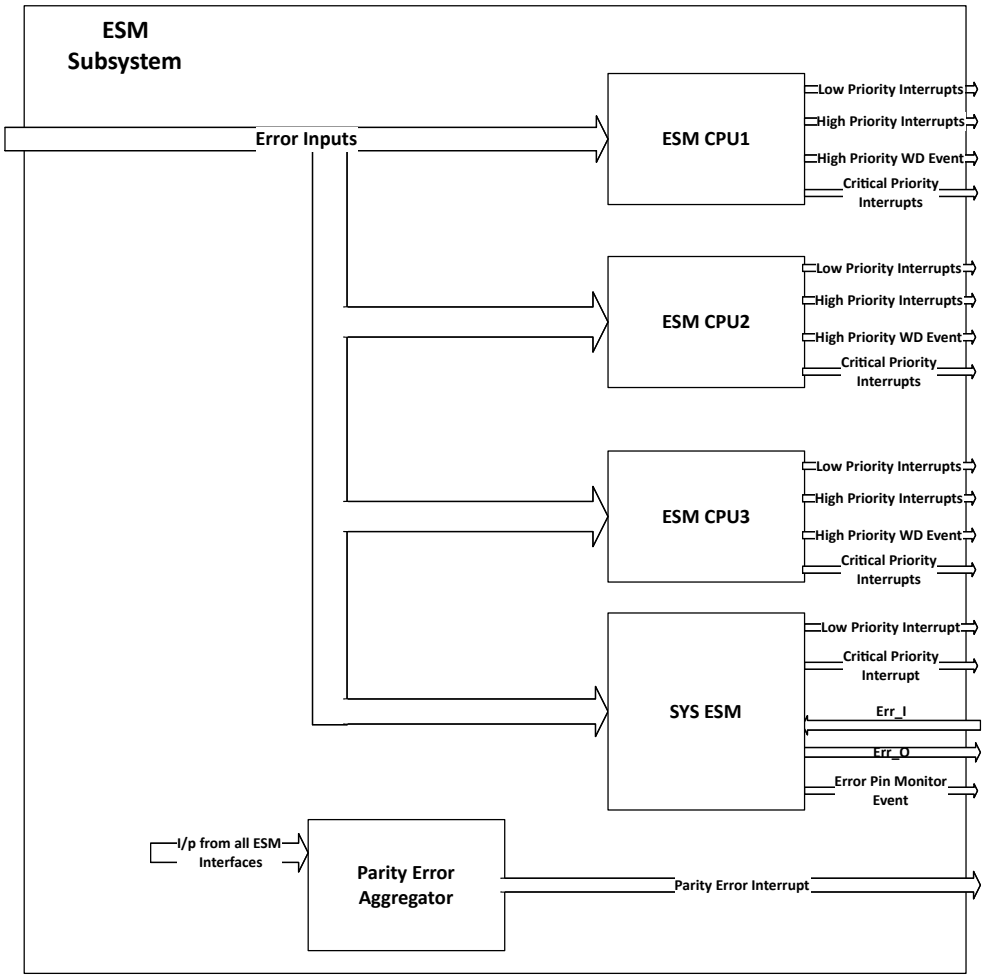


図 7-3. ESM-SS のブロック図

7.3.3 システム ESM

エラー ピンの入力および出力は、システム ESM インスタンスにより制御されます。システム ESM は、一連の割り込み出力に加えて、設定可能なエラー ピン出力 (err_o/ERRORSTS) を生成します。システム ESM は、クリティカル優先度割り込み (ESMRESET) 出力を生成します。これにより、ESMXRSNCTL レジスタで無効化されていなければ、デフォルトで

システム リセット要求 (XRSn) が発生します。さらに、システム ESM には、エラー ピン監視機能とそれに関連するエラー ピン監視イベントもあり、これらはサブシステムでパルス割り込みとしてエクスポートされます。エラー ピン監視イベントは、エラー イベント入力として ESM-SS にもフィードバックされるため、ESM は不整合イベント発生時に適切な対策を実行できます。

システム ESM の低優先度割り込み出力は、ESMGENEVT 信号としてクロスバーにマップされます。

Copyright © 2025 Texas Instruments Incorporated

7.4 エラー アグリゲータ

7.4.1 エラー アグリゲータ モジュール

各エラー発生源は、すべてのエラー アグリゲータ モジュールに次の情報を供給します。

- エラー - エラーが発生したときに生成されるパルス信号。その後のアクションのため ESM に送信されます。
- エラー アドレス - エラーが発生したシステム アドレス。エラーの発生元の検出とデバッグのために使用されます。
- エラー タイプ - エラーのタイプを示すマルチビット信号。この章で後述する事前定義されたカテゴリにエラーを分類するために使用されます。

すべての CPU エラー アグリゲータ モジュールには、最初に発生した高優先度エラー用のプログラム カウンタ (PC) ログも備わっています。

「エラー アグリゲータのブロック図」に、モジュールの動作と実装を示します。各アグリゲータ モジュールは、さまざまな発生源からのエラーを集約します。エラーが発生すると、対応するエラー アドレスとタイプが、それぞれエラー アドレス レジスタとエラー タイプ レジスタに記録されます。

これらのエラーは、『F29H85x および F29P58x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』の「エラー タイプ情報」セクションにある一覧に基づいて、高優先度または低優先度に分類されます。

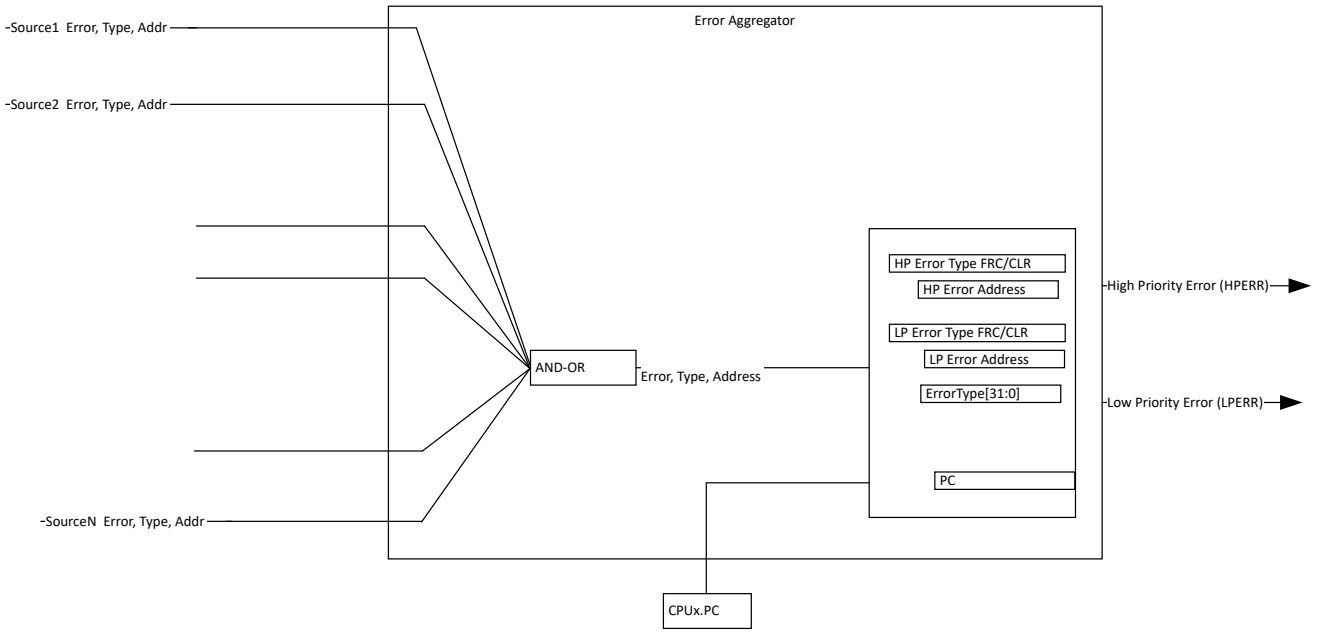


図 7-4. エラー アグリゲータのブロック図

デバイスに実装されているエラー アグリゲータ モジュールは次のとおりです。

1. CPUx PR エラー アグリゲータ - CPUx プログラムのフェッチ アクセス中に発生したエラーを集約します。
2. CPUx DR1 エラー アグリゲータ - DR1 ポートでの CPUx データ読み取りアクセス中に発生したエラーを集約します。
3. CPUx DR2 エラー アグリゲータ - DR2 ポートでの CPUx データ読み取りアクセス中に発生したエラーを集約します。
4. CPUx DW エラー アグリゲータ - CPUx データ書き込みアクセス中に発生したエラーを集約します。
5. CPUx INT エラー アグリゲータ - CPUx および関連する PIPE モジュールからの割り込み関連エラーを集約します。
6. RTDMAx DR エラー アグリゲータ - RTDMAx データ読み取りアクセス中に発生したエラーを集約します。
7. RTDMAx DW エラー アグリゲータ - RTDMAx データ書き込みアクセス中に発生したエラーを集約します。
8. SSU エラー アグリゲータ - SSU モジュールから送信されたエラーを集約します。

Copyright © 2025 Texas Instruments Incorporated

9. EtherCAT エラー アグリゲータ - EtherCAT メモリ アクセス中に発生したエラーを集約します。
10. HSM エラー アグリゲータ - HSM サブシステムから送信されたエラーを集約します。

注

x は、各エラー アグリゲータがイニシエータ インスタンスごとに繰り返されることを示します。EtherCAT はエラーおよびエラー アドレス情報のみを提供するため、エラー タイプは修正不可能なエラー (0x40) に関連付けられます。

7.4.2 エラー アグリゲータ インターフェイス

このセクションでは、エラー情報がどのように処理され、エラー通知モジュール (ESM) とのインターフェイスが行われるかについて詳しく説明します。複数のエラー アグリゲータからのエラー出力の論理和をとって、1 つのソースとして ESM に適用されます。これには、以下に示すものがあります。

- CPUx PR、CPUx DR1、CPUx DR2、CPUx DW からの低優先度エラーは、CPUx LPERR として結合されます
- CPUx PR、CPUx DR1、CPUx DR2、CPUx DW からの高優先度エラーは、CPUx HPERR として結合されます
- RTDMAx DR + RTDMAx DW からの低優先度エラーは、RTDMAx LPERR として結合されます
- RTDMAx DR + RTDMAx DW からの高優先度エラーは、RTDMAx HPERR として結合されます

図 7-5 に、モジュール機能の概念ブロック図と、上記で説明した各アグリゲータからの出力フラグの結合方法を示します。ブロック図には、システムで使用可能なすべてのエラー アグリゲータ モジュールが示されているわけではありません。サポートされているエラー アグリゲータの詳細リストを参照してください。

Copyright © 2025 Texas Instruments Incorporated

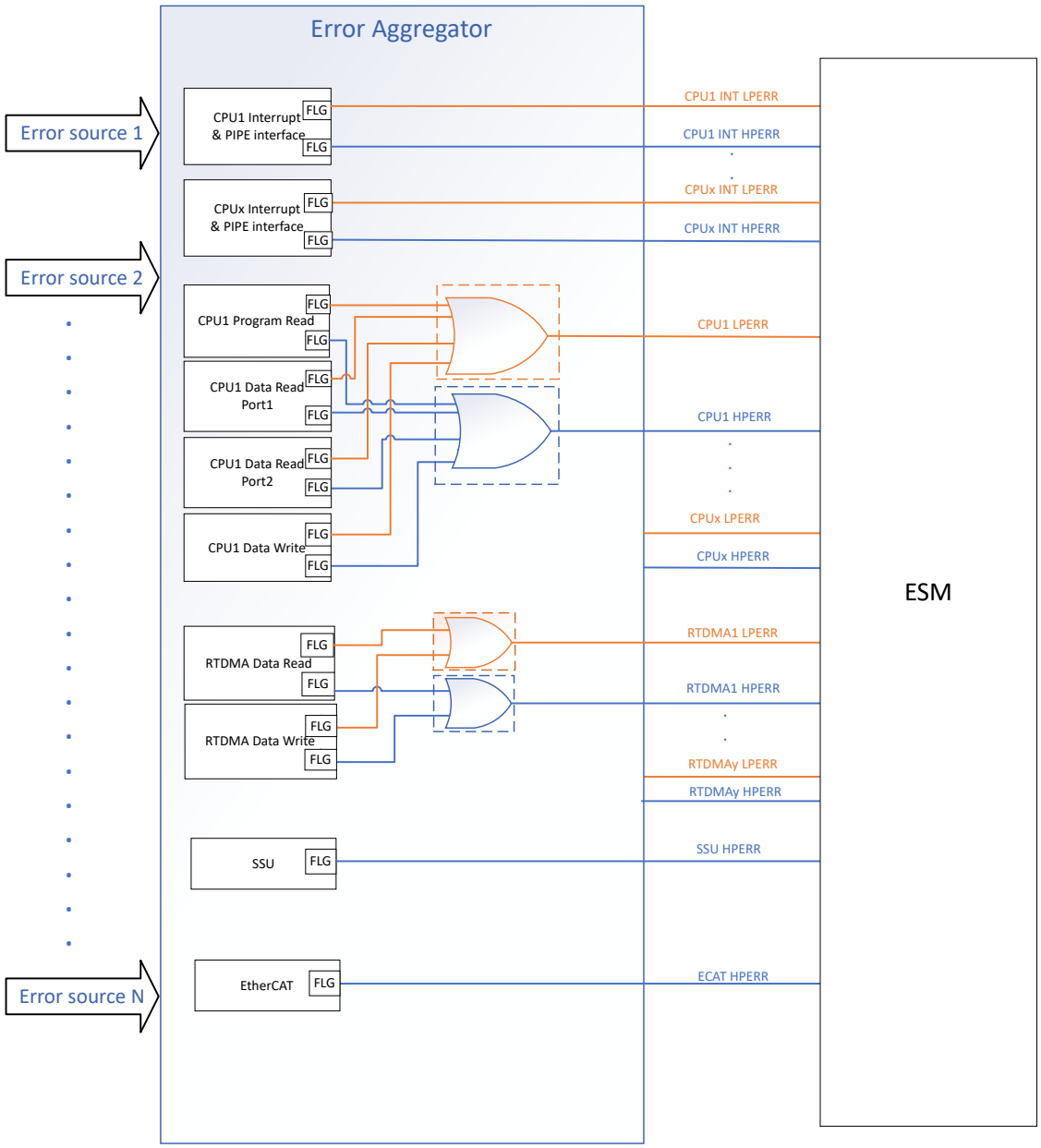


図 7-5. エラー アグリゲータ インターフェイス

7.5 メモリ

7.5.1 C29x メモリ マップ

表 7-1. メモリ マップ

メモリ	説明	SIZE (x8)	開始アドレス	終了アドレス	RTDMA1 アクセス	RTDMA2 アクセス	HSM (M4、RTDMA) アクセス	ECC / パリティ
CPU1 ROM		128	0x0000_0000	0x0001_FFFF	-	-	-	ECC
CPU2 ROM		32	0x0000_0000	0x0000_7FFF	-	-	-	ECC
CPU3 ROM		32	0x0000_0000	0x0000_7FFF	-	-	-	ECC
フラッシュ メイン バンク	FRI-1 RP0 でマッピング	1024	0x1000_0000	0x100F_FFFF	あり	-	あり	ECC
フラッシュ メイン バンク	FRI-1 RP1 でマッピング	1024	0x1010_0000	0x101F_FFFF	あり	-	あり	ECC
フラッシュ メイン バンク	FRI-1 RP2 でマッピング	1024	0x1020_0000	0x102F_FFFF	あり	-	あり	ECC
フラッシュ メイン バンク	FRI-1 RP3 でマッピング	1024	0x1030_0000	0x103F_FFFF	あり	-	あり	ECC
フラッシュ メイン バンク	FRI-2 RP0 でマッピング	1024	0x1040_0000	0x104F_FFFF	あり	-	あり	ECC
フラッシュ メイン バンク	FRI-2 RP1 でマッピング	1024	0x1050_0000	0x105F_FFFF	あり	-	あり	ECC
フラッシュ メイン バンク	FRI-3 RP0 でマッピング	1024	0x1060_0000	0x106F_FFFF	あり	-	あり	ECC
フラッシュ メイン バンク	FRI-3 RP1 でマッピング	1024	0x1070_0000	0x107F_FFFF	あり	-	あり	ECC
データ フラッシュ 128 ビット	FRI-4 RP0 でマッピング	256	0x10C0_0000	0x10C3_FFFF	あり	-	あり	ECC
BANKMGMT セクタ	FRI-1 RP0 でマッピング	4	0x10D8_0000	0x10D8_0FFF	-	-	あり	ECC
SECCFG セクタ	FRI-1 RP0 でマッピング	4	0x10D8_1000	0x10D8_1FFF	-	-	あり	ECC
BANKMGMT セクタ	FRI-1 RP1 でマッピング	4	0x10D8_4000	0x10D8_4FFF	-	-	あり	ECC
SECCFG セクタ	FRI-1 RP1 でマッピング	4	0x10D8_5000	0x10D8_5FFF	-	-	あり	ECC
BANKMGMT セクタ	FRI-1 RP2 でマッピング	4	0x10D8_8000	0x10D8_8FFF	-	-	あり	ECC
SECCFG セクタ	FRI-1 RP2 でマッピング	4	0x10D8_9000	0x10D8_9FFF	-	-	あり	ECC
BANKMGMT セクタ	FRI-1 RP3 でマッピング	4	0x10D8_C000	0x10D8_CFFF	-	-	あり	ECC
SECCFG セクタ	FRI-1 RP3 でマッピング	4	0x10D8_D000	0x10D8_DFFF	-	-	あり	ECC
BANKMGMT セクタ	FRI-2 RP0 でマッピング	4	0x10D9_0000	0x10D9_0FFF	-	-	あり	ECC
SECCFG セクタ	FRI-2 RP0 でマッピング	4	0x10D9_1000	0x10D9_1FFF	-	-	あり	ECC
BANKMGMT セクタ	FRI-2 RP1 でマッピング	4	0x10D9_4000	0x10D9_4FFF	-	-	あり	ECC
SECCFG セクタ	FRI-2 RP1 でマッピング	4	0x10D9_5000	0x10D9_5FFF	-	-	あり	ECC
BANKMGMT セクタ	FRI-3 RP0 でマッピング	4	0x10D9_8000	0x10D9_8FFF	-	-	あり	ECC
SECCFG セクタ	FRI-3 RP0 でマッピング	4	0x10D9_9000	0x10D9_9FFF	-	-	あり	ECC
BANKMGMT セクタ	FRI-3 RP1 でマッピング	4	0x10D9_C000	0x10D9_CFFF	-	-	あり	ECC
SECCFG セクタ	FRI-3 RP1 でマッピング	4	0x10D9_D000	0x10D9_DFFF	-	-	あり	ECC
フラッシュ メイン バンクの ECC ビット	FRI-1 RP0 でマッピング	128	0x10E0_0000	0x10E1_FFFF	あり	-	あり	-
フラッシュ メイン バンクの ECC ビット	FRI-1 RP1 でマッピング	128	0x10E2_0000	0x10E3_FFFF	あり	-	あり	-
フラッシュ メイン バンクの ECC ビット	FRI-1 RP2 でマッピング	128	0x10E4_0000	0x10E5_FFFF	あり	-	あり	-
フラッシュ メイン バンクの ECC ビット	FRI-1 RP3 でマッピング	128	0x10E6_0000	0x10E7_FFFF	あり	-	あり	-
フラッシュ メイン バンクの ECC ビット	FRI-2 RP0 でマッピング	128	0x10E8_0000	0x10E9_FFFF	あり	-	あり	-
フラッシュ メイン バンクの ECC ビット	FRI-2 RP1 でマッピング	128	0x10EA_0000	0x10EB_FFFF	あり	-	あり	-
フラッシュ メイン バンクの ECC ビット	FRI-3 RP0 でマッピング	128	0x10EC_0000	0x10ED_FFFF	あり	-	あり	-
フラッシュ メイン バンクの ECC ビット	FRI-3 RP1 でマッピング	128	0x10EE_0000	0x10EF_FFFF	あり	-	あり	-

Copyright © 2025 Texas Instruments Incorporated

表 7-1. メモリ マップ (続き)

メモリ	説明	SIZE (x8)	開始アドレス	終了アドレス	RTDMA1 アクセス	RTDMA2 アクセス	HSM (M4、RTDMA) アクセス	ECC / パリティ
データ フラッシュ ECC ビット	FRI-4 RP0 でマッピング	32	0x10F8_0000	0x10F8_7FFF	あり	-	あり	-
BANKMGMT セクタ ECC ビット	FRI-1 RP0 でマッピング	0.5	0x10FB_0000	0x10FB_01FF	-	-	あり	-
SECCFG セクタ ECC ビット	FRI-1 RP0 でマッピング	0.5	0x10FB_0200	0x10FB_03FF	-	-	あり	-
BANKMGMT セクタ ECC ビット	FRI-1 RP1 でマッピング	0.5	0x10FB_0800	0x10FB_09FF	-	-	あり	-
SECCFG セクタ ECC ビット	FRI-1 RP1 でマッピング	0.5	0x10FB_0A00	0x10FB_0BFF	-	-	あり	-
BANKMGMT セクタ ECC ビット	FRI-1 RP2 でマッピング	0.5	0x10FB_1000	0x10FB_11FF	-	-	あり	-
SECCFG セクタ ECC ビット	FRI-1 RP2 でマッピング	0.5	0x10FB_1200	0x10FB_13FF	-	-	あり	-
BANKMGMT セクタ ECC ビット	FRI-1 RP3 でマッピング	0.5	0x10FB_1800	0x10FB_19FF	-	-	あり	-
SECCFG セクタ ECC ビット	FRI-1 RP3 でマッピング	0.5	0x10FB_1A00	0x10FB_1BFF	-	-	あり	-
BANKMGMT セクタ ECC ビット	FRI-2 RP0 でマッピング	0.5	0x10FB_2000	0x10FB_21FF	-	-	あり	-
SECCFG セクタ ECC ビット	FRI-2 RP0 でマッピング	0.5	0x10FB_2200	0x10FB_23FF	-	-	あり	-
BANKMGMT セクタ ECC ビット	FRI-2 RP1 でマッピング	0.5	0x10FB_2800	0x10FB_29FF	-	-	あり	-
SECCFG セクタ ECC ビット	FRI-2 RP1 でマッピング	0.5	0x10FB_2A00	0x10FB_2BFF	-	-	あり	-
BANKMGMT セクタ ECC ビット	FRI-3 RP0 でマッピング	0.5	0x10FB_3000	0x10FB_31FF	-	-	あり	-
SECCFG セクタ ECC ビット	FRI-3 RP0 でマッピング	0.5	0x10FB_3200	0x10FB_33FF	-	-	あり	-
BANKMGMT セクタ ECC ビット	FRI-3 RP1 でマッピング	0.5	0x10FB_3800	0x10FB_39FF	-	-	あり	-
SECCFG セクタ ECC ビット	FRI-3 RP1 でマッピング	0.5	0x10FB_3A00	0x10FB_3BFF	-	-	あり	-
M0	CPU1 専用スタック	4	0x2000_0000	0x2000_0FFF	-	-	-	ECC
LDA7	CPU1 および CPU2 ローカル SRAM	16	0x200E_0000	0x200E_3FFF	あり	あり	あり	ECC
LDA6	CPU1 および CPU2 ローカル SRAM	16	0x200E_4000	0x200E_7FFF	あり	あり	あり	ECC
LDA5	CPU1 および CPU2 ローカル SRAM	16	0x200E_8000	0x200E_BFFF	あり	あり	あり	ECC
LDA4	CPU1 および CPU2 ローカル SRAM	16	0x200E_C000	0x200E_FFFF	あり	あり	あり	ECC
LDA3	CPU1 および CPU2 ローカル SRAM	16	0x200F_0000	0x200F_3FFF	あり	あり	あり	ECC
LDA2	CPU1 および CPU2 ローカル SRAM	16	0x200F_4000	0x200F_7FFF	あり	あり	あり	ECC
LDA1	CPU1 および CPU2 ローカル SRAM	16	0x200F_8000	0x200F_BFFF	あり	あり	あり	ECC
LDA0	CPU1 および CPU2 ローカル SRAM	16	0x200F_C000	0x200F_FFFF	あり	あり	あり	ECC
LPA0	CPU1 および CPU2 ローカル SRAM	32	0x2010_0000	0x2010_7FFF	あり	あり	-	ECC
LPA1	CPU1 および CPU2 ローカル SRAM	32	0x2010_8000	0x2010_FFFF	あり	あり	-	ECC
CPA0	CPU1 および CPU3 共通 SRAM	32	0x2011_0000	0x2011_7FFF	あり	あり	-	ECC
CPA1	CPU1 および CPU3 共通 SRAM	32	0x2011_8000	0x2011_FFFF	あり	あり	-	ECC
CDA0	CPU1 および CPU3 共通 SRAM	16	0x2012_0000	0x2012_3FFF	あり	あり	-	ECC

Copyright © 2025 Texas Instruments Incorporated

表 7-1. メモリ マップ (続き)

メモリ	説明	SIZE (x8)	開始アドレス	終了アドレス	RTDMA1 アクセス	RTDMA2 アクセス	HSM (M4、RTDMA) アクセス	ECC / パリティ
CDA1	CPU1 および CPU3 共通 SRAM	16	0x2012_4000	0x2012_7FFF	あり	あり	-	ECC
CDA2	CPU1 および CPU3 共通 SRAM	16	0x2012_8000	0x2012_BFFF	あり	あり	-	ECC
CDA3	CPU1 および CPU3 共通 SRAM	16	0x2012_C000	0x2012_FFFF	あり	あり	-	ECC
CDA4	CPU1 および CPU3 共通 SRAM	16	0x2013_0000	0x2013_3FFF	あり	あり	-	ECC
CDA5	CPU1 および CPU3 共通 SRAM	16	0x2013_4000	0x2013_7FFF	あり	あり	-	ECC
CDA6	CPU1 および CPU3 共通 SRAM	16	0x2013_8000	0x2013_BFFF	あり	あり	-	ECC
CDA7	CPU1 および CPU3 共通 SRAM	16	0x2013_C000	0x2013_FFFF	あり	あり	-	ECC
CDA8	CPU1 および CPU3 共通 SRAM	16	0x2014_0000	0x2014_3FFF	あり	あり	-	ECC
CDA9	CPU1 および CPU3 共通 SRAM	16	0x2014_4000	0x2014_7FFF	あり	あり	-	ECC
CDA10	CPU1 および CPU3 共通 SRAM	16	0x2014_8000	0x2014_BFFF	あり	あり	-	ECC
CDA11	CPU1 および CPU3 共通 SRAM	16	0x2014_C000	0x2014_FFFF	あり	あり	-	ECC
HSM メールボックス	-	4	0x302C_0800	0x302C_17FF	あり	あり	-	-
EtherCAT RAM	-	16	0x3038_1000	0x3038_4FFF	あり	あり	-	-
EtherCAT RAM - ダイレクトアクセス	-	16	0x303A_1000	0x303A_4FFF	あり	あり	-	-
MCANA メッセージ RAM	-	4	0x6002_0000	0x6002_0FFF	あり	あり	-	-
MCANB メッセージ RAM	-	4	0x6002_8000	0x6002_8FFF	あり	あり	-	-
MCANC メッセージ RAM	-	4	0x6003_0000	0x6003_0FFF	あり	あり	-	-
MCAND メッセージ RAM	-	4	0x6003_8000	0x6003_8FFF	あり	あり	-	-
MCANE メッセージ RAM	-	4	0x6004_0000	0x6004_0FFF	あり	あり	-	-
MCANF メッセージ RAM	-	4	0x6004_8000	0x6004_8FFF	あり	あり	-	-
CPU1 DLT FIFO レジスタ		8	0x600F_8000	0x600F_9FFF	あり	あり	-	-
CPU2 DLT FIFO レジスタ		8	0x600F_A000	0x600F_BFFF	あり	あり	-	-
CPU3 DLT FIFO レジスタ		8	0x600F_C000	0x600F_DFFF	あり	あり	-	-
EMIF1 - SDRAM、CS0	バースト モードなし	262144	0x8000_0000	0x8FFF_FFFF	あり	あり	-	-
EMIF1 - ASYNC、CS2	バースト モードなし	65536	0x9000_0000	0x93FF_FFFF	あり	あり	-	-
EMIF1 - ASYNC、CS3	バースト モードなし	65536	0x9400_0000	0x97FF_FFFF	あり	あり	-	-
EMIF1 - ASYNC、CS4	バースト モードなし	65536	0x9800_0000	0x9BFF_FFFF	あり	あり	-	-
EMIF1 - SDRAM、CS0	バースト モードあり	262144	0xA000_0000	0xAFFF_FFFF	あり	あり	-	-
EMIF1 - ASYNC、CS2	バースト モードあり	65536	0xB000_0000	0xB3FF_FFFF	あり	あり	-	-
EMIF1 - ASYNC、CS3	バースト モードあり	65536	0xB400_0000	0xB7FF_FFFF	あり	あり	-	-
EMIF1 - ASYNC、CS4	バースト モードあり	65536	0xB800_0000	0xBBFF_FFFF	あり	あり	-	-

Copyright © 2025 Texas Instruments Incorporated

7.5.2 フラッシュ メモリ マップ

F29H85x、F29P58x、および F29P32x デバイスは、最大 4MB のプログラム フラッシュ メモリを備えています。プログラム フラッシュは、512KB フラッシュ バンクのインターリーブ ペアで構成され、最大 2 つのインターリーブ ペア (合計 4 バンク) があり、それぞれフラッシュ コントローラ 1 (FLC1) およびフラッシュ コントローラ 2 (FLC2) に割り当てられています。また、FLC1 には単一の 256KB データ バンクが存在します。フラッシュ バンクは、フラッシュ コントローラとバンク番号によって識別されます。たとえば、FLC2.B0/B1 は FLC2 の最初のインターリーブされたバンクのペア (B0 および B1) を表し、FLC1.B4 は FLC1 のシングル データ バンクを表します。

各フラッシュ バンクは、2KB の物理セクタで構成されます。公称サイズ (たとえば、512KB) は、メイン領域のサイズを示します。さらに、各フラッシュ バンクには、以下に示す 2 つの特別な領域があります。

- SECCFG：SSU 構成設定の保存用
- BANKMGMT：バンク モード設定およびファームウェア更新メタデータの保存用

F29x デバイスのフラッシュ メモリは、複数のフラッシュ読み取りインターフェイス (FRI) を通してアドレス指定できます。各インターフェイスには、最大 1MB のフラッシュ メモリをアドレス指定する 1 つ以上の読み取りポートがあります。使用可能な FRI を 表 7-2 に示します。特定の時間に読み取りポートがアドレス指定する実際のフラッシュ メモリ領域は、現在のシステム バンク モードおよびスワップ構成によって異なります。CPU3 があるデバイスでは、4 つのバンク モード (0～3) を使用できます。CPU3 がないデバイスでは、2 つのバンク モード (0～1) を使用できます。CPU2 および CPU4 (存在する場合) はセカンダリ CPU であり、フラッシュからコードを直接実行することはできません。

表 7-2. F29x フラッシュ読み取りインターフェイス

フラッシュ読み取りインターフェイス	説明
FRI-1	CPU1 プログラム メモリ
FRI-2	CPU3 プログラム メモリ
FRI-3	ファームウェア更新領域 (FOTA/LFU)
FRI-4	データ フラッシュ バンク

フラッシュ バンク モードは、SSU_GEN_REGS レジスタ アパーチャの BANKMODE レジスタによって設定され、デバイスのブート中に FLC1 内のアクティブ コード バンク ペアの BANKMGMT セクタからロードされます。CPU3 が存在する場合、BANKMODE の値 0 および 1 のときは、すべてのプログラム フラッシュを CPU1 にマップし、BANKMODE の値 2 および 3 のときは、利用可能なプログラムフラッシュの半分を CPU1 に、残りの半分を CPU3 にマップします。BANKMODE の値が奇数 (1 および 3) のときは、A/B スワップによるファームウェア更新が可能になり、フラッシュの半分からコードを実行しながら、更新されたコードを残りの半分にプログラムすることができます。SSU_GEN_REGS.BANKMAP レジスタの CPU1SWAP ビットまたは CPU3SWAP ビットがセットされている場合、ハードウェアはフラッシュ バンクを入れ換えて、新しくプログラムされたバンクが同じ読み取りポート アドレスの古いバンクと置き換えられます。この機能を使用して、ターゲット システム アプリケーションにファームウェアのワイヤレス更新 (FOTA) またはライブ ファームウェア アップデート (LFU) を実装できます。

表 7-3. C29x CPU バンク モード

バンク モード	フラッシュ マッピング	スワップが有効	1-CPU デバイス
0	すべてのプログラム フラッシュを CPU1 にマップ	なし	使用可能
1		あり	使用可能
2	プログラム フラッシュ メモリを CPU1 と CPU3 に分割	なし	該当なし
3		あり	該当なし

フラッシュ動作の詳細については、『F29H85x および F29P58x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』を参照してください。

Copyright © 2025 Texas Instruments Incorporated

7.5.2.1 フラッシュ メイン領域のアドレス マップ (F29H85x、4MB)

このセクションのアドレス　マップ表は、次の一般的な型番に適用されます。F29H850TU9、F29H859TU8、F29H850DU7、F29H859DU6。

表 7-4. フラッシュ メイン領域のアドレス マップ (BANKMODE = 0)

FRI	読み取りポート	サイズ	開始アドレス	終了アドレス	フラッシュ バンク
FRI-1 (CPU1 プログラム)	RP0	1MB	0x10000000	0x100FFFFF	FLC1.B0/B1
	RP1	1MB	0x10100000	0x101FFFFF	FLC1.B2/B3
	RP2	1MB	0x10200000	0x102FFFFF	FLC2.B0/B1
	RP3	1MB	0x10300000	0x103FFFFF	FLC2.B2/B3
FRI-2 (CPU3 プログラム)	RP0	1MB	0x10400000	0x104FFFFF	該当なし
	RP1	1MB	0x10500000	0x105FFFFF	該当なし
FRI-3 (更新領域)	RP0	1MB	0x10600000	0x106FFFFF	該当なし
	RP1	1MB	0x10700000	0x107FFFFF	該当なし

表 7-5. フラッシュ メイン領域のアドレス マップ (BANKMODE = 1)

FRI	読み取りポート	サイズ	開始アドレス	終了アドレス	フラッシュ バンク (SWAP = 0)	フラッシュ バンク (SWAP = 1)
FRI-1 (CPU1 プログラム)	RP0	1MB	0x10000000	0x100FFFFF	FLC1.B0/B1	FLC1.B2/B3
	RP1	1MB	0x10100000	0x101FFFFF	FLC2.B0/B1	FLC2.B2/B3
	RP2	1MB	0x10200000	0x102FFFFF	該当なし	該当なし
	RP3	1MB	0x10300000	0x103FFFFF	該当なし	該当なし
FRI-2 (CPU3 プログラム)	RP0	1MB	0x10400000	0x104FFFFF	該当なし	該当なし
	RP1	1MB	0x10500000	0x105FFFFF	該当なし	該当なし
FRI-3 (更新領域)	RP0	1MB	0x10600000	0x106FFFFF	FLC1.B2/B3	FLC1.B0/B1
	RP1	1MB	0x10700000	0x107FFFFF	FLC2.B2/B3	FLC2.B0/B1

表 7-6. フラッシュ メイン領域のアドレス マップ (BANKMODE = 2)

FRI	読み取りポート	サイズ	開始アドレス	終了アドレス	フラッシュ バンク
FRI-1 (CPU1 プログラム)	RP0	1MB	0x10000000	0x100FFFFF	FLC1.B0/B1
	RP1	1MB	0x10100000	0x101FFFFF	FLC1.B2/B3
	RP2	1MB	0x10200000	0x102FFFFF	該当なし
	RP3	1MB	0x10300000	0x103FFFFF	該当なし
FRI-2 (CPU3 プログラム)	RP0	1MB	0x10400000	0x104FFFFF	FLC2.B0/B1
	RP1	1MB	0x10500000	0x105FFFFF	FLC2.B2/B3
FRI-3 (更新領域)	RP0	1MB	0x10600000	0x106FFFFF	該当なし
	RP1	1MB	0x10700000	0x107FFFFF	該当なし

表 7-7. フラッシュ メイン領域のアドレス マップ (BANKMODE = 3)

FRI	読み取りポート	サイズ	開始アドレス	終了アドレス	フラッシュ バンク (SWAP = 0)	フラッシュ バンク (SWAP = 1)
FRI-1 (CPU1 プログラム)	RP0	1MB	0x10000000	0x100FFFFF	FLC1.B0/B1	FLC1.B2/B3
	RP1	1MB	0x10100000	0x101FFFFF	該当なし	該当なし
	RP2	1MB	0x10200000	0x102FFFFF	該当なし	該当なし
	RP3	1MB	0x10300000	0x103FFFFF	該当なし	該当なし
FRI-2 (CPU3 プログラム)	RP0	1MB	0x10400000	0x104FFFFF	FLC2.B0/B1	FLC2.B2/B3
	RP1	1MB	0x10500000	0x105FFFFF	該当なし	該当なし

Copyright © 2025 Texas Instruments Incorporated

表 7-7. フラッシュ メイン領域のアドレス マップ (BANKMODE = 3) (続き)

FRI	読み取りポート	サイズ	開始アドレス	終了アドレス	フラッシュ バンク (SWAP = 0)	フラッシュ バンク (SWAP = 1)
FRI-3 (更新領域)	RP0	1MB	0x10600000	0x106FFFFF	FLC1.B2/B3	FLC1.B0/B1
	RP1	1MB	0x10700000	0x107FFFFF	FLC2.B2/B3	FLC2.B0/B1

7.5.2.2 フラッシュ メイン領域のアドレス マップ (F29H85x、2MB)

このセクションのアドレス　マップ表は、次の一般的な型番に適用されます。F29H859TM8、F29H850DM7、F29H859DM6:

表 7-8. フラッシュ メイン領域のアドレス マップ (BANKMODE = 0)

FRI	読み取りポート	サイズ	開始アドレス	終了アドレス	フラッシュ バンク
FRI-1 (CPU1 プログラム)	RP0	512KB	0x10000000	0x1007FFFF	FLC1.B0/B1
	RP1	512KB	0x10100000	0x1017FFFF	FLC1.B2/B3
	RP2	512KB	0x10200000	0x1027FFFF	FLC2.B0/B1
	RP3	512KB	0x10300000	0x1037FFFF	FLC2.B2/B3
FRI-2 (CPU3 プログラム)	RP0	512KB	0x10400000	0x1047FFFF	該当なし
	RP1	512KB	0x10500000	0x1057FFFF	該当なし
FRI-3 (更新領域)	RP0	512KB	0x10600000	0x1067FFFF	該当なし
	RP1	512KB	0x10700000	0x1077FFFF	該当なし

表 7-9. フラッシュ メイン領域のアドレス マップ (BANKMODE = 1)

FRI	読み取りポート	サイズ	開始アドレス	終了アドレス	フラッシュ バンク (SWAP = 0)	フラッシュ バンク (SWAP = 1)
FRI-1 (CPU1 プログラム)	RP0	512KB	0x10000000	0x1007FFFF	FLC1.B0/B1	FLC1.B2/B3
	RP1	512KB	0x10100000	0x1017FFFF	FLC2.B0/B1	FLC2.B2/B3
	RP2	512KB	0x10200000	0x1027FFFF	該当なし	該当なし
	RP3	512KB	0x10300000	0x1037FFFF	該当なし	該当なし
FRI-2 (CPU3 プログラム)	RP0	512KB	0x10400000	0x1047FFFF	該当なし	該当なし
	RP1	512KB	0x10500000	0x1057FFFF	該当なし	該当なし
FRI-3 (更新領域)	RP0	512KB	0x10600000	0x1067FFFF	FLC1.B2/B3	FLC1.B0/B1
	RP1	512KB	0x10700000	0x1077FFFF	FLC2.B2/B3	FLC2.B0/B1

表 7-10. フラッシュ メイン領域のアドレス マップ (BANKMODE = 2)

FRI	読み取りポート	サイズ	開始アドレス	終了アドレス	フラッシュ バンク
FRI-1 (CPU1 プログラム)	RP0	512KB	0x10000000	0x1007FFFF	FLC1.B0/B1
	RP1	512KB	0x10100000	0x1017FFFF	FLC1.B2/B3
	RP2	512KB	0x10200000	0x1027FFFF	該当なし
	RP3	512KB	0x10300000	0x1037FFFF	該当なし
FRI-2 (CPU3 プログラム)	RP0	512KB	0x10400000	0x1047FFFF	FLC2.B0/B1
	RP1	512KB	0x10500000	0x1057FFFF	FLC2.B2/B3
FRI-3 (更新領域)	RP0	512KB	0x10600000	0x1067FFFF	該当なし
	RP1	512KB	0x10700000	0x1077FFFF	該当なし

Copyright © 2025 Texas Instruments Incorporated

表 7-11. フラッシュ メイン領域のアドレス マップ (BANKMODE = 3)

FRI	読み取りポート	サイズ	開始アドレス	終了アドレス	フラッシュ バンク (SWAP = 0)	フラッシュ バンク (SWAP = 1)
FRI-1 (CPU1 プログラム)	RP0	512KB	0x10000000	0x1007FFFF	FLC1.B0/B1	FLC1.B2/B3
	RP1	512KB	0x10100000	0x1017FFFF	該当なし	該当なし
	RP2	512KB	0x10200000	0x1027FFFF	該当なし	該当なし
	RP3	512KB	0x10300000	0x1037FFFF	該当なし	該当なし
FRI-2 (CPU3 プログラム)	RP0	512KB	0x10400000	0x1047FFFF	FLC2.B0/B1	FLC2.B2/B3
	RP1	512KB	0x10500000	0x1057FFFF	該当なし	該当なし
FRI-3 (更新領域)	RP0	512KB	0x10600000	0x1067FFFF	FLC1.B2/B3	FLC1.B0/B1
	RP1	512KB	0x10700000	0x1077FFFF	FLC2.B2/B3	FLC2.B0/B1

7.5.2.3 フラッシュ メイン領域のアドレス マップ (F29P58x、4MB)

このセクションのアドレス マップ表は、次の一般的な型番に適用されます。F29P589DU5。

表 7-12. フラッシュ メイン領域のアドレス マップ (BANKMODE = 0)

FRI	読み取りポート	サイズ	開始アドレス	終了アドレス	フラッシュ バンク
FRI-1 (CPU1 プログラム)	RP0	1MB	0x10000000	0x100FFFFF	FLC1.B0/B1
	RP1	1MB	0x10100000	0x101FFFFF	FLC1.B2/B3
	RP2	1MB	0x10200000	0x102FFFFF	FLC2.B0/B1
	RP3	1MB	0x10300000	0x103FFFFF	FLC2.B2/B3
FRI-3 (更新領域)	RP0	1MB	0x10600000	0x106FFFFF	該当なし
	RP1	1MB	0x10700000	0x107FFFFF	該当なし

表 7-13. フラッシュ メイン領域のアドレス マップ (BANKMODE = 1)

FRI	読み取りポート	サイズ	開始アドレス	終了アドレス	フラッシュ バンク (SWAP = 0)	フラッシュ バンク (SWAP = 1)
FRI-1 (CPU1 プログラム)	RP0	1MB	0x10000000	0x100FFFFF	FLC1.B0/B1	FLC1.B2/B3
	RP1	1MB	0x10100000	0x101FFFFF	FLC2.B0/B1	FLC2.B2/B3
	RP2	1MB	0x10200000	0x102FFFFF	該当なし	該当なし
	RP3	1MB	0x10300000	0x103FFFFF	該当なし	該当なし
FRI-3 (更新領域)	RP0	1MB	0x10600000	0x106FFFFF	FLC1.B2/B3	FLC1.B0/B1
	RP1	1MB	0x10700000	0x107FFFFF	FLC2.B2/B3	FLC2.B0/B1

7.5.2.4 フラッシュ メイン領域のアドレス マップ (F29P58x、F29P32x、2MB)

このセクションのアドレス マップ表は、次の一般的な型番に適用されます。F29P580DM5、F29P589DM5、F29P329SM2。

表 7-14. フラッシュ メイン領域のアドレス マップ (BANKMODE = 0)

FRI	読み取りポート	サイズ	開始アドレス	終了アドレス	フラッシュ バンク
FRI-1 (CPU1 プログラム)	RP0	1MB	0x10000000	0x100FFFFF	FLC1.B0/B1
	RP1	1MB	0x10100000	0x101FFFFF	FLC1.B2/B3
FRI-3 (更新領域)	RP0	1MB	0x10600000	0x106FFFFF	該当なし

表 7-15. フラッシュ メイン領域のアドレス マップ (BANKMODE = 1)

FRI	読み取りポート	サイズ	開始アドレス	終了アドレス	フラッシュ バンク (SWAP = 0)	フラッシュ バンク (SWAP = 1)
FRI-1 (CPU1 プログラム)	RP0	1MB	0x10000000	0x100FFFFF	FLC1.B0/B1	FLC1.B2/B3
	RP1	1MB	0x10100000	0x101FFFFF	該当なし	該当なし

Copyright © 2025 Texas Instruments Incorporated

表 7-15. フラッシュ メイン領域のアドレス マップ (BANKMODE = 1) (続き)

FRI	読み取りポート	サイズ	開始アドレス	終了アドレス	フラッシュ バンク (SWAP = 0)	フラッシュ バンク (SWAP = 1)
FRI-3 (更新領域)	RP0	1MB	0x10600000	0x106FFFFF	FLC1.B2/B3	FLC1.B0/B1

7.5.2.5 フラッシュ メイン領域のアドレス マップ (F29P329x、1MB)

このセクションのアドレス マップ表は、次の一般的な型番に適用されます。F29P580DM5、F29P589DM5。

表 7-16. フラッシュ メイン領域のアドレス マップ (BANKMODE = 0)

FRI	読み取りポート	サイズ	開始アドレス	終了アドレス	フラッシュ バンク
FRI-1 (CPU1 プログラム)	RP0	512KB	0x10000000	0x1007FFFF	FLC1.B0/B1
	RP1	512KB	0x10100000	0x1017FFFF	FLC1.B2/B3
FRI-3 (更新領域)	RP0	512KB	0x10600000	0x1067FFFF	該当なし

表 7-17. フラッシュ メイン領域のアドレス マップ (BANKMODE = 1)

FRI	読み取りポート	サイズ	開始アドレス	終了アドレス	フラッシュ バンク (SWAP = 0)	フラッシュ バンク (SWAP = 1)
FRI-1 (CPU1 プログラム)	RP0	512KB	0x10000000	0x1007FFFF	FLC1.B0/B1	FLC1.B2/B3
	RP1	512KB	0x10100000	0x1017FFFF	該当なし	該当なし
FRI-3 (更新領域)	RP0	512KB	0x10600000	0x1067FFFF	FLC1.B2/B3	FLC1.B0/B1

7.5.2.6 フラッシュ データ バンクのアドレス マップ (128KB)

表 7-18. フラッシュ データ バンクのアドレス マッピング - F29P32x 128KB

FRI	読み取りポート	サイズ	開始アドレス	終了アドレス	フラッシュ バンク
FRI-4	RP0	128KB	0x10C00000	0x10C1FFFF	FLC1.B4

7.5.2.7 フラッシュ データ バンクのアドレス マップ (256KB)

表 7-19. フラッシュ データ バンクのアドレス マップ - F29H85x/F29P58x 256KB

FRI	読み取りポート	サイズ	開始アドレス	終了アドレス	フラッシュ バンク
FRI-4	RP0	256KB	0x10C00000	0x10C3FFFF	FLC1.B4

Copyright © 2025 Texas Instruments Incorporated

7.5.2.8 フラッシュ BANKMGMT 領域のアドレス マップ

以下のアドレス マップ表は、すべての型番に適用されます。

表 7-20. フラッシュ BANKMGMT 領域のアドレス マッピング (BANKMODE = 0)

FRI	読み取りポート	サイズ	開始アドレス	終了アドレス	フラッシュ バンク
FRI-1 (CPU1 プログラム)	RP0	4KB	0x10D80000	0x10D80FFF	FLC1.B0/B1
	RP1	4KB	0x10D84000	0x10D84FFF	FLC1.B2/B3
	RP2	4KB	0x10D88000	0x10D88FFF	FLC2.B0/B1
	RP3	4KB	0x10D8C000	0x10D8CFFF	FLC2.B2/B3
FRI-2 (CPU3 プログラム)(1)	RP0	4KB	0x10D90000	0x10D90FFF	該当なし
	RP1	4KB	0x10D94000	0x10D94FFF	該当なし
FRI-3 (更新領域)	RP0	4KB	0x10D98000	0x10D98FFF	該当なし
	RP1	4KB	0x10D9C000	0x10D9CFFF	該当なし

表 7-21. フラッシュ BANKMGMT 領域のアドレス マッピング (BANKMODE = 1)

FRI	読み取りポート	サイズ	開始アドレス	終了アドレス	フラッシュ バンク (SWAP = 0)	フラッシュ バンク (SWAP = 1)
FRI-1 (CPU1 プログラム)	RP0	4KB	0x10D80000	0x10D80FFF	FLC1.B0/B1	FLC1.B2/B3
	RP1	4KB	0x10D84000	0x10D84FFF	FLC2.B0/B1	FLC2.B2/B3
	RP2	4KB	0x10D88000	0x10D88FFF	該当なし	該当なし
	RP3	4KB	0x10D8C000	0x10D8CFFF	該当なし	該当なし
FRI-2 (CPU3 プログラム)(1)	RP0	4KB	0x10D90000	0x10D90FFF	該当なし	該当なし
	RP1	4KB	0x10D94000	0x10D94FFF	該当なし	該当なし
FRI-3 (更新領域)	RP0	4KB	0x10D98000	0x10D98FFF	FLC1.B2/B3	FLC1.B0/B1
	RP1	4KB	0x10D9C000	0x10D9CFFF	FLC2.B2/B3	FLC2.B0/B1

表 7-22. フラッシュ BANKMGMT 領域のアドレス マッピング (BANKMODE = 2)

FRI	読み取りポート	サイズ	開始アドレス	終了アドレス	フラッシュ バンク
FRI-1 (CPU1 プログラム)	RP0	4KB	0x10D80000	0x10D80FFF	FLC1.B0/B1
	RP1	4KB	0x10D84000	0x10D84FFF	FLC1.B2/B3
	RP2	4KB	0x10D88000	0x10D88FFF	該当なし
	RP3	4KB	0x10D8C000	0x10D8CFFF	該当なし
FRI-2 (CPU3 プログラム)(1)	RP0	4KB	0x10D90000	0x10D90FFF	FLC2.B0/B1
	RP1	4KB	0x10D94000	0x10D94FFF	FLC2.B2/B3
FRI-3 (更新領域)	RP0	4KB	0x10D98000	0x10D98FFF	該当なし
	RP1	4KB	0x10D9C000	0x10D9CFFF	該当なし

表 7-23. フラッシュ BANKMGMT 領域のアドレス マッピング (BANKMODE = 3)

FRI	読み取りポート	サイズ	開始アドレス	終了アドレス	フラッシュ バンク (SWAP = 0)	フラッシュ バンク (SWAP = 1)
FRI-1 (CPU1 プログラム)	RP0	4KB	0x10D80000	0x10D80FFF	FLC1.B0/B1	FLC1.B2/B3
	RP1	4KB	0x10D84000	0x10D84FFF	該当なし	該当なし
	RP2	4KB	0x10D88000	0x10D88FFF	該当なし	該当なし
	RP3	4KB	0x10D8C000	0x10D8CFFF	該当なし	該当なし
FRI-2 (CPU3 プログラム)(1)	RP0	4KB	0x10D90000	0x10D90FFF	FLC2.B0/B1	FLC2.B2/B3
	RP1	4KB	0x10D94000	0x10D94FFF	該当なし	該当なし

Copyright © 2025 Texas Instruments Incorporated

表 7-23. フラッシュ BANKMGMT 領域のアドレス マッピング (BANKMODE = 3) (続き)

FRI	読み取りポート	サイズ	開始アドレス	終了アドレス	フラッシュ バンク (SWAP = 0)	フラッシュ バンク (SWAP = 1)
FRI-3 (更新領域)	RP0	4KB	0x10D98000	0x10D98FFF	FLC1.B2/B3	FLC1.B0/B1
	RP1	4KB	0x10D9C000	0x10D9CFFF	FLC2.B2/B3	FLC2.B0/B1

(1) F29P58x デバイスでは、FRI-2/CPU3 は使用できません。

7.5.2.9 フラッシュ SECCFG 領域のアドレス マップ

以下のアドレス マップ表は、すべての型番に適用されます。

表 7-24. フラッシュ SECCFG 領域のアドレス マップ (BANKMODE = 0)

FRI	読み取りポート	サイズ	開始アドレス	終了アドレス	フラッシュ バンク
FRI-1 (CPU1 プログラム)	RP0	4KB	0x10D81000	0x10D81FFF	FLC1.B0/B1
	RP1	4KB	0x10D85000	0x10D85FFF	FLC1.B2/B3
	RP2	4KB	0x10D89000	0x10D89FFF	FLC2.B0/B1
	RP3	4KB	0x10D8D000	0x10D8DFFF	FLC2.B2/B3
FRI-2 (CPU3 プログラム)(1)	RP0	4KB	0x10D91000	0x10D91FFF	該当なし
	RP1	4KB	0x10D95000	0x10D95FFF	該当なし
FRI-3 (更新領域)	RP0	4KB	0x10D99000	0x10D99FFF	該当なし
	RP1	4KB	0x10D9D000	0x10D9DFFF	該当なし

表 7-25. フラッシュ SECCFG 領域のアドレス マップ (BANKMODE = 1)

FRI	読み取りポート	サイズ	開始アドレス	終了アドレス	フラッシュ バンク (SWAP = 0)	フラッシュ バンク (SWAP = 1)
FRI-1 (CPU1 プログラム)	RP0	4KB	0x10D81000	0x10D81FFF	FLC1.B0/B1	FLC1.B2/B3
	RP1	4KB	0x10D85000	0x10D85FFF	FLC2.B0/B1	FLC2.B2/B3
	RP2	4KB	0x10D89000	0x10D89FFF	該当なし	該当なし
	RP3	4KB	0x10D8D000	0x10D8DFFF	該当なし	該当なし
FRI-2 (CPU3 プログラム)(1)	RP0	4KB	0x10D91000	0x10D91FFF	該当なし	該当なし
	RP1	4KB	0x10D95000	0x10D95FFF	該当なし	該当なし
FRI-3 (更新領域)	RP0	4KB	0x10D99000	0x10D99FFF	FLC1.B2/B3	FLC1.B0/B1
	RP1	4KB	0x10D9D000	0x10D9DFFF	FLC2.B2/B3	FLC2.B0/B1

表 7-26. フラッシュ SECCFG 領域のアドレス マップ (BANKMODE = 2)

FRI	読み取りポート	サイズ	開始アドレス	終了アドレス	フラッシュ バンク
FRI-1 (CPU1 プログラム)	RP0	4KB	0x10D81000	0x10D81FFF	FLC1.B0/B1
	RP1	4KB	0x10D85000	0x10D85FFF	FLC1.B2/B3
	RP2	4KB	0x10D89000	0x10D89FFF	該当なし
	RP3	4KB	0x10D8D000	0x10D8DFFF	該当なし
FRI-2 (CPU3 プログラム)(1)	RP0	4KB	0x10D91000	0x10D91FFF	FLC2.B0/B1
	RP1	4KB	0x10D95000	0x10D95FFF	FLC2.B2/B3
FRI-3 (更新領域)	RP0	4KB	0x10D99000	0x10D99FFF	該当なし
	RP1	4KB	0x10D9D000	0x10D9DFFF	該当なし

Copyright © 2025 Texas Instruments Incorporated

表 7-27. フラッシュ SECCFG 領域のアドレス マップ (BANKMODE = 3)

FRI	読み取りポート	サイズ	開始アドレス	終了アドレス	フラッシュ バンク (SWAP = 0)	フラッシュ バンク (SWAP = 1)
FRI-1 (CPU1 プログラム)	RP0	4KB	0x10D81000	0x10D81FFF	FLC1.B0/B1	FLC1.B2/B3
	RP1	4KB	0x10D85000	0x10D85FFF	該当なし	該当なし
	RP2	4KB	0x10D89000	0x10D89FFF	該当なし	該当なし
	RP3	4KB	0x10D8D000	0x10D8DFFF	該当なし	該当なし
FRI-2 (CPU3 プログラム)(1)	RP0	4KB	0x10D91000	0x10D91FFF	FLC2.B0/B1	FLC2.B2/B3
	RP1	4KB	0x10D95000	0x10D95FFF	該当なし	該当なし
FRI-3 (更新領域)	RP0	4KB	0x10D99000	0x10D99FFF	FLC1.B2/B3	FLC1.B0/B1
	RP1	4KB	0x10D9D000	0x10D9DFFF	FLC2.B2/B3	FLC2.B0/B1

(1) F29P58x デバイスでは、FRI-2/CPU3 は使用できません。

7.5.3 ペリフェラル・レジスタのメモリ・マップ

表 7-28. ペリフェラル・レジスタのメモリ・マップ

構造	DriverLib 名	ベース アドレス	適用可能なフレーム	CPU1	CPU2	CPU3	RTDMA1	RTDMA2	HSM
vbusp_cpu1									
SECAP_HANDLER_REGS	C29DEBUGSS_BASE	0x3001_8000	-	あり	-	-	-	-	-
LCM_REGS	LCM_CPU_BASE	0x3003_2000	-	あり	-	-	-	-	-
vbus32_ethercat									
ESCSS_REGS	ESC_SS_BASE	0x3038_8000	-	あり	あり	あり	あり	あり	-
ESCSS_CONFIG_REGS	ESC_SS_CONFIG_BASE	0x3038_8200	-	あり	あり	あり	あり	あり	-
vbus32_frame0									
EPWM_REGS	EPWM1_BASE	0x7000_0000	あり	あり	あり	あり	あり	あり	-
EPWM_XCMP_REGS	EPWM1XCMP_BASE	0x7000_0400	あり	あり	あり	あり	あり	あり	-
DE_REGS	EPWM1DE_BASE	0x7000_0800	あり	あり	あり	あり	あり	あり	-
MINDB_LUT_REGS	EPWM1MINDBLUT_BASE	0x7000_0C00	あり	あり	あり	あり	あり	あり	-
EPWM_REGS	EPWM2_BASE	0x7000_1000	あり	あり	あり	あり	あり	あり	-
EPWM_XCMP_REGS	EPWM2XCMP_BASE	0x7000_1400	あり	あり	あり	あり	あり	あり	-
DE_REGS	EPWM2DE_BASE	0x7000_1800	あり	あり	あり	あり	あり	あり	-
MINDB_LUT_REGS	EPWM2MINDBLUT_BASE	0x7000_1C00	あり	あり	あり	あり	あり	あり	-
EPWM_REGS	EPWM3_BASE	0x7000_2000	あり	あり	あり	あり	あり	あり	-
EPWM_XCMP_REGS	EPWM3XCMP_BASE	0x7000_2400	あり	あり	あり	あり	あり	あり	-
DE_REGS	EPWM3DE_BASE	0x7000_2800	あり	あり	あり	あり	あり	あり	-
MINDB_LUT_REGS	EPWM3MINDBLUT_BASE	0x7000_2C00	あり	あり	あり	あり	あり	あり	-
EPWM_REGS	EPWM4_BASE	0x7000_3000	あり	あり	あり	あり	あり	あり	-
EPWM_XCMP_REGS	EPWM4XCMP_BASE	0x7000_3400	あり	あり	あり	あり	あり	あり	-
DE_REGS	EPWM4DE_BASE	0x7000_3800	あり	あり	あり	あり	あり	あり	-
MINDB_LUT_REGS	EPWM4MINDBLUT_BASE	0x7000_3C00	あり	あり	あり	あり	あり	あり	-
EPWM_REGS	EPWM5_BASE	0x7000_4000	あり	あり	あり	あり	あり	あり	-
EPWM_XCMP_REGS	EPWM5XCMP_BASE	0x7000_4400	あり	あり	あり	あり	あり	あり	-
DE_REGS	EPWM5DE_BASE	0x7000_4800	あり	あり	あり	あり	あり	あり	-
MINDB_LUT_REGS	EPWM5MINDBLUT_BASE	0x7000_4C00	あり	あり	あり	あり	あり	あり	-
EPWM_REGS	EPWM6_BASE	0x7000_5000	あり	あり	あり	あり	あり	あり	-
EPWM_XCMP_REGS	EPWM6XCMP_BASE	0x7000_5400	あり	あり	あり	あり	あり	あり	-
DE_REGS	EPWM6DE_BASE	0x7000_5800	あり	あり	あり	あり	あり	あり	-
MINDB_LUT_REGS	EPWM6MINDBLUT_BASE	0x7000_5C00	あり	あり	あり	あり	あり	あり	-
EPWM_REGS	EPWM7_BASE	0x7000_6000	あり	あり	あり	あり	あり	あり	-

Copyright © 2025 Texas Instruments Incorporated

表 7-28. ペリフェラル・レジスタのメモリ・マップ (続き)

構造	DriverLib 名	ベース アドレス	適用可能なフレーム	CPU1	CPU2	CPU3	RTDMA1	RTDMA2	HSM
EPWM_XCMP_REGS	EPWM7XCMP_BASE	0x7000_6400	あり	あり	あり	あり	あり	あり	-
DE_REGS	EPWM7DE_BASE	0x7000_6800	あり	あり	あり	あり	あり	あり	-
MINDB_LUT_REGS	EPWM7MINDBLUT_BASE	0x7000_6C00	あり	あり	あり	あり	あり	あり	-
EPWM_REGS	EPWM8_BASE	0x7000_7000	あり	あり	あり	あり	あり	あり	-
EPWM_XCMP_REGS	EPWM8XCMP_BASE	0x7000_7400	あり	あり	あり	あり	あり	あり	-
DE_REGS	EPWM8DE_BASE	0x7000_7800	あり	あり	あり	あり	あり	あり	-
MINDB_LUT_REGS	EPWM8MINDBLUT_BASE	0x7000_7C00	あり	あり	あり	あり	あり	あり	-
EPWM_REGS	EPWM9_BASE	0x7000_8000	あり	あり	あり	あり	あり	あり	-
EPWM_XCMP_REGS	EPWM9XCMP_BASE	0x7000_8400	あり	あり	あり	あり	あり	あり	-
DE_REGS	EPWM9DE_BASE	0x7000_8800	あり	あり	あり	あり	あり	あり	-
MINDB_LUT_REGS	EPWM9MINDBLUT_BASE	0x7000_8C00	あり	あり	あり	あり	あり	あり	-
EPWM_REGS	EPWM10_BASE	0x7000_9000	あり	あり	あり	あり	あり	あり	-
EPWM_XCMP_REGS	EPWM10XCMP_BASE	0x7000_9400	あり	あり	あり	あり	あり	あり	-
DE_REGS	EPWM10DE_BASE	0x7000_9800	あり	あり	あり	あり	あり	あり	-
MINDB_LUT_REGS	EPWM10MINDBLUT_BASE	0x7000_9C00	あり	あり	あり	あり	あり	あり	-
EPWM_REGS	EPWM11_BASE	0x7000_A000	あり	あり	あり	あり	あり	あり	-
EPWM_XCMP_REGS	EPWM11XCMP_BASE	0x7000_A400	あり	あり	あり	あり	あり	あり	-
DE_REGS	EPWM11DE_BASE	0x7000_A800	あり	あり	あり	あり	あり	あり	-
MINDB_LUT_REGS	EPWM11MINDBLUT_BASE	0x7000_AC00	あり	あり	あり	あり	あり	あり	-
EPWM_REGS	EPWM12_BASE	0x7000_B000	あり	あり	あり	あり	あり	あり	-
EPWM_XCMP_REGS	EPWM12XCMP_BASE	0x7000_B400	あり	あり	あり	あり	あり	あり	-
DE_REGS	EPWM12DE_BASE	0x7000_B800	あり	あり	あり	あり	あり	あり	-
MINDB_LUT_REGS	EPWM12MINDBLUT_BASE	0x7000_BC00	あり	あり	あり	あり	あり	あり	-
EPWM_REGS	EPWM13_BASE	0x7000_C000	あり	あり	あり	あり	あり	あり	-
EPWM_XCMP_REGS	EPWM13XCMP_BASE	0x7000_C400	あり	あり	あり	あり	あり	あり	-
DE_REGS	EPWM13DE_BASE	0x7000_C800	あり	あり	あり	あり	あり	あり	-
MINDB_LUT_REGS	EPWM13MINDBLUT_BASE	0x7000_CC00	あり	あり	あり	あり	あり	あり	-
EPWM_REGS	EPWM14_BASE	0x7000_D000	あり	あり	あり	あり	あり	あり	-
EPWM_XCMP_REGS	EPWM14XCMP_BASE	0x7000_D400	あり	あり	あり	あり	あり	あり	-
DE_REGS	EPWM14DE_BASE	0x7000_D800	あり	あり	あり	あり	あり	あり	-
MINDB_LUT_REGS	EPWM14MINDBLUT_BASE	0x7000_DC00	あり	あり	あり	あり	あり	あり	-
EPWM_REGS	EPWM15_BASE	0x7000_E000	あり	あり	あり	あり	あり	あり	-
EPWM_XCMP_REGS	EPWM15XCMP_BASE	0x7000_E400	あり	あり	あり	あり	あり	あり	-
DE_REGS	EPWM15DE_BASE	0x7000_E800	あり	あり	あり	あり	あり	あり	-

Copyright © 2025 Texas Instruments Incorporated

表 7-28. ペリフェラル・レジスタのメモリ・マップ (続き)

構造	DriverLib 名	ベース アドレス	適用可能なフレーム	CPU1	CPU2	CPU3	RTDMA1	RTDMA2	HSM
MINDB_LUT_REGS	EPWM15MINDBLUT_BASE	0x7000_EC00	あり	あり	あり	あり	あり	あり	-
EPWM_REGS	EPWM16_BASE	0x7000_F000	あり	あり	あり	あり	あり	あり	-
EPWM_XCMP_REGS	EPWM16XCMP_BASE	0x7000_F400	あり	あり	あり	あり	あり	あり	-
DE_REGS	EPWM16DE_BASE	0x7000_F800	あり	あり	あり	あり	あり	あり	-
MINDB_LUT_REGS	EPWM16MINDBLUT_BASE	0x7000_FC00	あり	あり	あり	あり	あり	あり	-
EPWM_REGS	EPWM17_BASE	0x7001_0000	あり	あり	あり	あり	あり	あり	-
EPWM_XCMP_REGS	EPWM17XCMP_BASE	0x7001_0400	あり	あり	あり	あり	あり	あり	-
DE_REGS	EPWM17DE_BASE	0x7001_0800	あり	あり	あり	あり	あり	あり	-
MINDB_LUT_REGS	EPWM17MINDBLUT_BASE	0x7001_0C00	あり	あり	あり	あり	あり	あり	-
EPWM_REGS	EPWM18_BASE	0x7001_1000	あり	あり	あり	あり	あり	あり	-
EPWM_XCMP_REGS	EPWM18XCMP_BASE	0x7001_1400	あり	あり	あり	あり	あり	あり	-
DE_REGS	EPWM18DE_BASE	0x7001_1800	あり	あり	あり	あり	あり	あり	-
MINDB_LUT_REGS	EPWM18MINDBLUT_BASE	0x7001_1C00	あり	あり	あり	あり	あり	あり	-
EPWM_REGS	EPWM1XLINK_BASE	0x7004_0000	あり	あり	あり	あり	あり	あり	-
EPWM_XCMP_REGS	EPWM1XCMPXLINK_BASE	0x7004_0400	あり	あり	あり	あり	あり	あり	-
DE_REGS	EPWM1DEXLINK_BASE	0x7004_0800	あり	あり	あり	あり	あり	あり	-
MINDB_LUT_REGS	EPWM1MINDBLUTXLINK_BASE	0x7004_0C00	あり	あり	あり	あり	あり	あり	-
EPWM_REGS	EPWM2XLINK_BASE	0x7004_1000	あり	あり	あり	あり	あり	あり	-
EPWM_XCMP_REGS	EPWM2XCMPXLINK_BASE	0x7004_1400	あり	あり	あり	あり	あり	あり	-
DE_REGS	EPWM2DEXLINK_BASE	0x7004_1800	あり	あり	あり	あり	あり	あり	-
MINDB_LUT_REGS	EPWM2MINDBLUTXLINK_BASE	0x7004_1C00	あり	あり	あり	あり	あり	あり	-
EPWM_REGS	EPWM3XLINK_BASE	0x7004_2000	あり	あり	あり	あり	あり	あり	-
EPWM_XCMP_REGS	EPWM3XCMPXLINK_BASE	0x7004_2400	あり	あり	あり	あり	あり	あり	-
DE_REGS	EPWM3DEXLINK_BASE	0x7004_2800	あり	あり	あり	あり	あり	あり	-
MINDB_LUT_REGS	EPWM3MINDBLUTXLINK_BASE	0x7004_2C00	あり	あり	あり	あり	あり	あり	-
EPWM_REGS	EPWM4XLINK_BASE	0x7004_3000	あり	あり	あり	あり	あり	あり	-
EPWM_XCMP_REGS	EPWM4XCMPXLINK_BASE	0x7004_3400	あり	あり	あり	あり	あり	あり	-
DE_REGS	EPWM4DEXLINK_BASE	0x7004_3800	あり	あり	あり	あり	あり	あり	-
MINDB_LUT_REGS	EPWM4MINDBLUTXLINK_BASE	0x7004_3C00	あり	あり	あり	あり	あり	あり	-
EPWM_REGS	EPWM5XLINK_BASE	0x7004_4000	あり	あり	あり	あり	あり	あり	-
EPWM_XCMP_REGS	EPWM5XCMPXLINK_BASE	0x7004_4400	あり	あり	あり	あり	あり	あり	-
DE_REGS	EPWM5DEXLINK_BASE	0x7004_4800	あり	あり	あり	あり	あり	あり	-
MINDB_LUT_REGS	EPWM5MINDBLUTXLINK_BASE	0x7004_4C00	あり	あり	あり	あり	あり	あり	-
EPWM_REGS	EPWM6XLINK_BASE	0x7004_5000	あり	あり	あり	あり	あり	あり	-

Copyright © 2025 Texas Instruments Incorporated

表 7-28. ペリフェラル・レジスタのメモリ・マップ (続き)

構造	DriverLib 名	ベース アドレス	適用可能なフレーム	CPU1	CPU2	CPU3	RTDMA1	RTDMA2	HSM
EPWM_XCMP_REGS	EPWM6XCMPXLINK_BASE	0x7004_5400	あり	あり	あり	あり	あり	あり	-
DE_REGS	EPWM6DEXLINK_BASE	0x7004_5800	あり	あり	あり	あり	あり	あり	-
MINDB_LUT_REGS	EPWM6MINDBLUTXLINK_BASE	0x7004_5C00	あり	あり	あり	あり	あり	あり	-
EPWM_REGS	EPWM7XLINK_BASE	0x7004_6000	あり	あり	あり	あり	あり	あり	-
EPWM_XCMP_REGS	EPWM7XCMPXLINK_BASE	0x7004_6400	あり	あり	あり	あり	あり	あり	-
DE_REGS	EPWM7DEXLINK_BASE	0x7004_6800	あり	あり	あり	あり	あり	あり	-
MINDB_LUT_REGS	EPWM7MINDBLUTXLINK_BASE	0x7004_6C00	あり	あり	あり	あり	あり	あり	-
EPWM_REGS	EPWM8XLINK_BASE	0x7004_7000	あり	あり	あり	あり	あり	あり	-
EPWM_XCMP_REGS	EPWM8XCMPXLINK_BASE	0x7004_7400	あり	あり	あり	あり	あり	あり	-
DE_REGS	EPWM8DEXLINK_BASE	0x7004_7800	あり	あり	あり	あり	あり	あり	-
MINDB_LUT_REGS	EPWM8MINDBLUTXLINK_BASE	0x7004_7C00	あり	あり	あり	あり	あり	あり	-
EPWM_REGS	EPWM9XLINK_BASE	0x7004_8000	あり	あり	あり	あり	あり	あり	-
EPWM_XCMP_REGS	EPWM9XCMPXLINK_BASE	0x7004_8400	あり	あり	あり	あり	あり	あり	-
DE_REGS	EPWM9DEXLINK_BASE	0x7004_8800	あり	あり	あり	あり	あり	あり	-
MINDB_LUT_REGS	EPWM9MINDBLUTXLINK_BASE	0x7004_8C00	あり	あり	あり	あり	あり	あり	-
EPWM_REGS	EPWM10XLINK_BASE	0x7004_9000	あり	あり	あり	あり	あり	あり	-
EPWM_XCMP_REGS	EPWM10XCMPXLINK_BASE	0x7004_9400	あり	あり	あり	あり	あり	あり	-
DE_REGS	EPWM10DEXLINK_BASE	0x7004_9800	あり	あり	あり	あり	あり	あり	-
MINDB_LUT_REGS	EPWM10MINDBLUTXLINK_BASE	0x7004_9C00	あり	あり	あり	あり	あり	あり	-
EPWM_REGS	EPWM11XLINK_BASE	0x7004_A000	あり	あり	あり	あり	あり	あり	-
EPWM_XCMP_REGS	EPWM11XCMPXLINK_BASE	0x7004_A400	あり	あり	あり	あり	あり	あり	-
DE_REGS	EPWM11DEXLINK_BASE	0x7004_A800	あり	あり	あり	あり	あり	あり	-
MINDB_LUT_REGS	EPWM11MINDBLUTXLINK_BASE	0x7004_AC00	あり	あり	あり	あり	あり	あり	-
EPWM_REGS	EPWM12XLINK_BASE	0x7004_B000	あり	あり	あり	あり	あり	あり	-
EPWM_XCMP_REGS	EPWM12XCMPXLINK_BASE	0x7004_B400	あり	あり	あり	あり	あり	あり	-
DE_REGS	EPWM12DEXLINK_BASE	0x7004_B800	あり	あり	あり	あり	あり	あり	-
MINDB_LUT_REGS	EPWM12MINDBLUTXLINK_BASE	0x7004_BC00	あり	あり	あり	あり	あり	あり	-
EPWM_REGS	EPWM13XLINK_BASE	0x7004_C000	あり	あり	あり	あり	あり	あり	-
EPWM_XCMP_REGS	EPWM13XCMPXLINK_BASE	0x7004_C400	あり	あり	あり	あり	あり	あり	-
DE_REGS	EPWM13DEXLINK_BASE	0x7004_C800	あり	あり	あり	あり	あり	あり	-
MINDB_LUT_REGS	EPWM13MINDBLUTXLINK_BASE	0x7004_CC00	あり	あり	あり	あり	あり	あり	-
EPWM_REGS	EPWM14XLINK_BASE	0x7004_D000	あり	あり	あり	あり	あり	あり	-
EPWM_XCMP_REGS	EPWM14XCMPXLINK_BASE	0x7004_D400	あり	あり	あり	あり	あり	あり	-
DE_REGS	EPWM14DEXLINK_BASE	0x7004_D800	あり	あり	あり	あり	あり	あり	-

Copyright © 2025 Texas Instruments Incorporated

表 7-28. ペリフェラル・レジスタのメモリ・マップ (続き)

構造	DriverLib 名	ベース アドレス	適用可能なフレーム	CPU1	CPU2	CPU3	RTDMA1	RTDMA2	HSM
MINDB_LUT_REGS	EPWM14MINDBLUTXLINK_BASE	0x7004_DC00	あり	あり	あり	あり	あり	あり	-
EPWM_REGS	EPWM15XLINK_BASE	0x7004_E000	あり	あり	あり	あり	あり	あり	-
EPWM_XCMP_REGS	EPWM15XCMPXLINK_BASE	0x7004_E400	あり	あり	あり	あり	あり	あり	-
DE_REGS	EPWM15DEXLINK_BASE	0x7004_E800	あり	あり	あり	あり	あり	あり	-
MINDB_LUT_REGS	EPWM15MINDBLUTXLINK_BASE	0x7004_EC00	あり	あり	あり	あり	あり	あり	-
EPWM_REGS	EPWM16XLINK_BASE	0x7004_F000	あり	あり	あり	あり	あり	あり	-
EPWM_XCMP_REGS	EPWM16XCMPXLINK_BASE	0x7004_F400	あり	あり	あり	あり	あり	あり	-
DE_REGS	EPWM16DEXLINK_BASE	0x7004_F800	あり	あり	あり	あり	あり	あり	-
MINDB_LUT_REGS	EPWM16MINDBLUTXLINK_BASE	0x7004_FC00	あり	あり	あり	あり	あり	あり	-
EPWM_REGS	EPWM17XLINK_BASE	0x7005_0000	あり	あり	あり	あり	あり	あり	-
EPWM_XCMP_REGS	EPWM17XCMPXLINK_BASE	0x7005_0400	あり	あり	あり	あり	あり	あり	-
DE_REGS	EPWM17DEXLINK_BASE	0x7005_0800	あり	あり	あり	あり	あり	あり	-
MINDB_LUT_REGS	EPWM17MINDBLUTXLINK_BASE	0x7005_0C00	あり	あり	あり	あり	あり	あり	-
EPWM_REGS	EPWM18XLINK_BASE	0x7005_1000	あり	あり	あり	あり	あり	あり	-
EPWM_XCMP_REGS	EPWM18XCMPXLINK_BASE	0x7005_1400	あり	あり	あり	あり	あり	あり	-
DE_REGS	EPWM18DEXLINK_BASE	0x7005_1800	あり	あり	あり	あり	あり	あり	-
MINDB_LUT_REGS	EPWM18MINDBLUTXLINK_BASE	0x7005_1C00	あり	あり	あり	あり	あり	あり	-
HRPWMCAL_REGS	HRPWMCAL1_BASE	0x7008_0000	あり	あり	あり	あり	あり	あり	-
HRPWMCAL_REGS	HRPWMCAL2_BASE	0x7008_1000	あり	あり	あり	あり	あり	あり	-
HRPWMCAL_REGS	HRPWMCAL3_BASE	0x7008_2000	あり	あり	あり	あり	あり	あり	-
EQEP_REGS	EQEP1_BASE	0x7008_8000	あり	あり	あり	あり	あり	あり	-
EQEP_REGS	EQEP2_BASE	0x7008_9000	あり	あり	あり	あり	あり	あり	-
EQEP_REGS	EQEP3_BASE	0x7008_A000	あり	あり	あり	あり	あり	あり	-
EQEP_REGS	EQEP4_BASE	0x7008_B000	あり	あり	あり	あり	あり	あり	-
EQEP_REGS	EQEP5_BASE	0x7008_C000	あり	あり	あり	あり	あり	あり	-
EQEP_REGS	EQEP6_BASE	0x7008_D000	あり	あり	あり	あり	あり	あり	-
SDFM_REGS	SDFM1_BASE	0x7009_0000	あり	あり	あり	あり	あり	あり	-
SDFM_REGS	SDFM2_BASE	0x7009_1000	あり	あり	あり	あり	あり	あり	-
SDFM_REGS	SDFM3_BASE	0x7009_2000	あり	あり	あり	あり	あり	あり	-
SDFM_REGS	SDFM4_BASE	0x7009_3000	あり	あり	あり	あり	あり	あり	-
ADC_REGS	ADCA_BASE	0x700A_0000	あり	あり	あり	あり	あり	あり	-
ADC_REGS	ADCB_BASE	0x700A_1000	あり	あり	あり	あり	あり	あり	-
ADC_REGS	ADCC_BASE	0x700A_2000	あり	あり	あり	あり	あり	あり	-
ADC_REGS	ADCD_BASE	0x700A_3000	あり	あり	あり	あり	あり	あり	-

Copyright © 2025 Texas Instruments Incorporated

表 7-28. ペリフェラル・レジスタのメモリ・マップ (続き)

構造	DriverLib 名	ベース アドレス	適用可能なフレーム	CPU1	CPU2	CPU3	RTDMA1	RTDMA2	HSM
ADC_REGS	ADCE_BASE	0x700A_4000	あり	あり	あり	あり	あり	あり	-
ADC_SAFECHECK_REGS	ADCSAFETYCHECK1_BASE	0x700B_0000	あり	あり	あり	あり	あり	あり	-
ADC_SAFECHECK_REGS	ADCSAFETYCHECK2_BASE	0x700B_1000	あり	あり	あり	あり	あり	あり	-
ADC_SAFECHECK_REGS	ADCSAFETYCHECK3_BASE	0x700B_2000	あり	あり	あり	あり	あり	あり	-
ADC_SAFECHECK_REGS	ADCSAFETYCHECK4_BASE	0x700B_3000	あり	あり	あり	あり	あり	あり	-
ADC_SAFECHECK_REGS	ADCSAFETYCHECK5_BASE	0x700B_4000	あり	あり	あり	あり	あり	あり	-
ADC_SAFECHECK_REGS	ADCSAFETYCHECK6_BASE	0x700B_5000	あり	あり	あり	あり	あり	あり	-
ADC_SAFECHECK_REGS	ADCSAFETYCHECK7_BASE	0x700B_6000	あり	あり	あり	あり	あり	あり	-
ADC_SAFECHECK_REGS	ADCSAFETYCHECK8_BASE	0x700B_7000	あり	あり	あり	あり	あり	あり	-
ADC_SAFECHECK_REGS	ADCSAFETYCHECK9_BASE	0x700B_8000	あり	あり	あり	あり	あり	あり	-
ADC_SAFECHECK_REGS	ADCSAFETYCHECK10_BASE	0x700B_9000	あり	あり	あり	あり	あり	あり	-
ADC_SAFECHECK_INTEVT_REGS	ADCSAFETYCHECKINTEVT1_BASE	0x700C_0000	あり	あり	あり	あり	あり	あり	-
ADC_SAFECHECK_INTEVT_REGS	ADCSAFETYCHECKINTEVT2_BASE	0x700C_1000	あり	あり	あり	あり	あり	あり	-
ADC_SAFECHECK_INTEVT_REGS	ADCSAFETYCHECKINTEVT3_BASE	0x700C_2000	あり	あり	あり	あり	あり	あり	-
ADC_GLOBAL_REGS	ADCGLOBAL_BASE	0x700C_8000	あり	あり	あり	あり	あり	あり	-
DAC_REGS	DACA_BASE	0x700D_0000	あり	あり	あり	あり	あり	あり	-
DAC_REGS	DACB_BASE	0x700D_1000	あり	あり	あり	あり	あり	あり	-
CMPSS_REGS	CMPSS1_BASE	0x700E_0000	あり	あり	あり	あり	あり	あり	-
CMPSS_REGS	CMPSS2_BASE	0x700E_1000	あり	あり	あり	あり	あり	あり	-
CMPSS_REGS	CMPSS3_BASE	0x700E_2000	あり	あり	あり	あり	あり	あり	-
CMPSS_REGS	CMPSS4_BASE	0x700E_3000	あり	あり	あり	あり	あり	あり	-
CMPSS_REGS	CMPSS5_BASE	0x700E_4000	あり	あり	あり	あり	あり	あり	-
CMPSS_REGS	CMPSS6_BASE	0x700E_5000	あり	あり	あり	あり	あり	あり	-
CMPSS_REGS	CMPSS7_BASE	0x700E_6000	あり	あり	あり	あり	あり	あり	-
CMPSS_REGS	CMPSS8_BASE	0x700E_7000	あり	あり	あり	あり	あり	あり	-
CMPSS_REGS	CMPSS9_BASE	0x700E_8000	あり	あり	あり	あり	あり	あり	-
CMPSS_REGS	CMPSS10_BASE	0x700E_9000	あり	あり	あり	あり	あり	あり	-
CMPSS_REGS	CMPSS11_BASE	0x700E_A000	あり	あり	あり	あり	あり	あり	-
CMPSS_REGS	CMPSS12_BASE	0x700E_B000	あり	あり	あり	あり	あり	あり	-
ECAP_REGS	ECAP1_BASE	0x7010_0000	あり	あり	あり	あり	あり	あり	-
ECAP_SIGNAL_MONITORING	ECAP1SIGNALMONITORING_BASE	0x7010_0080	あり	あり	あり	あり	あり	あり	-
ECAP_REGS	ECAP2_BASE	0x7010_1000	あり	あり	あり	あり	あり	あり	-
ECAP_SIGNAL_MONITORING	ECAP2SIGNALMONITORING_BASE	0x7010_1080	あり	あり	あり	あり	あり	あり	-
ECAP_REGS	ECAP3_BASE	0x7010_2000	あり	あり	あり	あり	あり	あり	-

Copyright © 2025 Texas Instruments Incorporated

表 7-28. ペリフェラル・レジスタのメモリ・マップ (続き)

構造	DriverLib 名	ベース アドレス	適用可能なフレーム	CPU1	CPU2	CPU3	RTDMA1	RTDMA2	HSM
ECAP_SIGNAL_MONITORING	ECAP3SIGNALMONITORING_BASE	0x7010_2080	あり	あり	あり	あり	あり	あり	-
ECAP_REGS	ECAP4_BASE	0x7010_3000	あり	あり	あり	あり	あり	あり	-
ECAP_SIGNAL_MONITORING	ECAP4SIGNALMONITORING_BASE	0x7010_3080	あり	あり	あり	あり	あり	あり	-
ECAP_REGS	ECAP5_BASE	0x7010_4000	あり	あり	あり	あり	あり	あり	-
HRCAP_REGS	HRCAP5_BASE	0x7010_4040	あり	あり	あり	あり	あり	あり	-
ECAP_SIGNAL_MONITORING	ECAP5SIGNALMONITORING_BASE	0x7010_4080	あり	あり	あり	あり	あり	あり	-
ECAP_REGS	ECAP6_BASE	0x7010_5000	あり	あり	あり	あり	あり	あり	-
HRCAP_REGS	HRCAP6_BASE	0x7010_5040	あり	あり	あり	あり	あり	あり	-
ECAP_SIGNAL_MONITORING	ECAP6SIGNALMONITORING_BASE	0x7010_5080	あり	あり	あり	あり	あり	あり	-
CLB_LOGIC_CONFIG_REGS	CLB1_LOGICCFG_BASE	0x7012_0000	あり	あり	あり	あり	あり	あり	-
CLB_LOGIC_CONTROL_REGS	CLB1_LOGICCTRL_BASE	0x7012_0200	あり	あり	あり	あり	あり	あり	-
CLB_DATA_EXCHANGE_REGS	CLB1_DATAEXCH_BASE	0x7012_0300	あり	あり	あり	あり	あり	あり	-
CLB_LOGIC_CONFIG_REGS	CLB2_LOGICCFG_BASE	0x7012_1000	あり	あり	あり	あり	あり	あり	-
CLB_LOGIC_CONTROL_REGS	CLB2_LOGICCTRL_BASE	0x7012_1200	あり	あり	あり	あり	あり	あり	-
CLB_DATA_EXCHANGE_REGS	CLB2_DATAEXCH_BASE	0x7012_1300	あり	あり	あり	あり	あり	あり	-
CLB_LOGIC_CONFIG_REGS	CLB3_LOGICCFG_BASE	0x7012_2000	あり	あり	あり	あり	あり	あり	-
CLB_LOGIC_CONTROL_REGS	CLB3_LOGICCTRL_BASE	0x7012_2200	あり	あり	あり	あり	あり	あり	-
CLB_DATA_EXCHANGE_REGS	CLB3_DATAEXCH_BASE	0x7012_2300	あり	あり	あり	あり	あり	あり	-
CLB_LOGIC_CONFIG_REGS	CLB4_LOGICCFG_BASE	0x7012_3000	あり	あり	あり	あり	あり	あり	-
CLB_LOGIC_CONTROL_REGS	CLB4_LOGICCTRL_BASE	0x7012_3200	あり	あり	あり	あり	あり	あり	-
CLB_DATA_EXCHANGE_REGS	CLB4_DATAEXCH_BASE	0x7012_3300	あり	あり	あり	あり	あり	あり	-
CLB_LOGIC_CONFIG_REGS	CLB5_LOGICCFG_BASE	0x7012_4000	あり	あり	あり	あり	あり	あり	-
CLB_LOGIC_CONTROL_REGS	CLB5_LOGICCTRL_BASE	0x7012_4200	あり	あり	あり	あり	あり	あり	-
CLB_DATA_EXCHANGE_REGS	CLB5_DATAEXCH_BASE	0x7012_4300	あり	あり	あり	あり	あり	あり	-
CLB_LOGIC_CONFIG_REGS	CLB6_LOGICCFG_BASE	0x7012_5000	あり	あり	あり	あり	あり	あり	-
CLB_LOGIC_CONTROL_REGS	CLB6_LOGICCTRL_BASE	0x7012_5200	あり	あり	あり	あり	あり	あり	-
CLB_DATA_EXCHANGE_REGS	CLB6_DATAEXCH_BASE	0x7012_5300	あり	あり	あり	あり	あり	あり	-
PMBUS_REGS	PMBUSA_BASE	0x7014_8000	あり	あり	あり	あり	あり	あり	-
I2C_REGS	I2CA_BASE	0x7015_0000	あり	あり	あり	あり	あり	あり	-
I2C_REGS	I2CB_BASE	0x7015_1000	あり	あり	あり	あり	あり	あり	-
SPI_REGS	SPIA_BASE	0x7015_8000	あり	あり	あり	あり	あり	あり	-
SPI_REGS	SPIB_BASE	0x7015_9000	あり	あり	あり	あり	あり	あり	-
SPI_REGS	SPIC_BASE	0x7015_A000	あり	あり	あり	あり	あり	あり	-
SPI_REGS	SPID_BASE	0x7015_B000	あり	あり	あり	あり	あり	あり	-

Copyright © 2025 Texas Instruments Incorporated

表 7-28. ペリフェラル・レジスタのメモリ・マップ (続き)

構造	DriverLib 名	ベース アドレス	適用可能なフレーム	CPU1	CPU2	CPU3	RTDMA1	RTDMA2	HSM
SPI_REGS	SPIE_BASE	0x7015_C000	あり	あり	あり	あり	あり	あり	-
FSI_TX_REGS	FSITXA_BASE	0x7018_0000	あり	あり	あり	あり	あり	あり	-
FSI_TX_REGS	FSITXB_BASE	0x7018_1000	あり	あり	あり	あり	あり	あり	-
FSI_TX_REGS	FSITXC_BASE	0x7018_2000	あり	あり	あり	あり	あり	あり	-
FSI_TX_REGS	FSITXD_BASE	0x7018_3000	あり	あり	あり	あり	あり	あり	-
FSI_RX_REGS	FSIRXA_BASE	0x7018_8000	あり	あり	あり	あり	あり	あり	-
FSI_RX_REGS	FSIRXB_BASE	0x7018_9000	あり	あり	あり	あり	あり	あり	-
FSI_RX_REGS	FSIRXC_BASE	0x7018_A000	あり	あり	あり	あり	あり	あり	-
FSI_RX_REGS	FSIRXD_BASE	0x7018_B000	あり	あり	あり	あり	あり	あり	-
EPG_REGS	EPG_BASE	0x701C_0000	あり	あり	あり	あり	あり	あり	-
EPG_MUX_REGS	EPGMUX_BASE	0x701C_0200	あり	あり	あり	あり	あり	あり	-
soc_to_hsm_bridge									
HSM_DTHE_REGS	DTHE_BASE	0x3028_0000	-	あり	あり	あり	あり	あり	-
HSM_DTHE_CRC_S_REGS	CRCS_BASE	0x3028_1000	-	あり	あり	あり	あり	あり	-
HSM_DTHE_CRC_P_REGS	CRCP_BASE	0x3028_2000	-	あり	あり	あり	あり	あり	-
HSM_SHA_S_REGS	SHAS_BASE	0x3028_4000	-	あり	あり	あり	あり	あり	-
HSM_SHA_P_REGS	SHAP_BASE	0x3028_5000	-	あり	あり	あり	あり	あり	-
HSM_AES_S_REGS	AESS_BASE	0x3028_6000	-	あり	あり	あり	あり	あり	-
HSM_AES_P_REGS	AESP_BASE	0x3028_7000	-	あり	あり	あり	あり	あり	-
HSM_SM4_REGS	SM4_BASE	0x3028_8000	-	あり	あり	あり	あり	あり	-
HSM_SM3_REGS	SM3_BASE	0x3028_9000	-	あり	あり	あり	あり	あり	-
HSM_TRNG_REGS	TRNG_BASE	0x3028_A000	-	あり	あり	あり	あり	あり	-
HSM_PKE_REGS	PKE_BASE	0x3029_0000	-	あり	あり	あり	あり	あり	-
vbusp_prog									
FLASH_CMD_REGS_FLC1	FLASHCONTROLLER1_BASE	0x3010_0000	-	あり	-	あり	-	-	あり
FLASH_CMD_REGS_FLC2	FLASHCONTROLLER2_BASE	0x3011_0000	-	あり	-	あり	-	-	あり
HSM_ERROR_AGGREGATOR_CONFIG_REGS	HSMERRORAGGREGATOR_BASE	0x3012_0000	-	-	-	-	-	-	あり
vbus32_config									
DEV_CFG_REGS	DEVCFG_BASE	0x3018_0000	-	あり	あり	あり	-	-	あり
ANALOG_SUBSYS_REGS	ANALOGSUBSYS_BASE	0x3018_2000	-	あり	あり	あり	-	-	あり
GPIO_CTRL_REGS	GPIOCTRL_BASE	0x3019_0000	-	あり	あり	あり	-	-	あり
IPC_COUNTER_REGS	IPCCOUNTER_BASE	0x301B_0000	-	あり	あり	あり	-	-	あり
c29bus									
ADC_RESULT_REGS	ADCARESULT_BASE	0x303C_0000	-	あり	あり	あり	あり	あり	-

Copyright © 2025 Texas Instruments Incorporated

表 7-28. ペリフェラル・レジスタのメモリ・マップ (続き)

構造	DriverLib 名	ベース アドレス	適用可能なフレーム	CPU1	CPU2	CPU3	RTDMA1	RTDMA2	HSM
ADC_RESULT_REGS	ADCBRESULT_BASE	0x303C_1000	-	あり	あり	あり	あり	あり	-
ADC_RESULT_REGS	ADCCRESULT_BASE	0x303C_2000	-	あり	あり	あり	あり	あり	-
ADC_RESULT_REGS	ADCDRESULT_BASE	0x303C_3000	-	あり	あり	あり	あり	あり	-
ADC_RESULT_REGS	ADCERESULT_BASE	0x303C_4000	-	あり	あり	あり	あり	あり	-
EMIF_REGS	EMIF1_BASE	0x3080_0000	-	あり	あり	あり	-	-	-
vbusp_config									
RTDMA_REGS	RTDMA1_BASE	0x301C_0000	-	あり	あり	あり	-	-	あり
RTDMA_DIAG_REGS	RTDMA1_DIAG_BASE	0x301C_0800	-	あり	あり	あり	-	-	あり
RTDMA_SELFTEST_REGS	RTDMA1_SELFTEST_BASE	0x301C_0C00	-	あり	あり	あり	-	-	あり
RTDMA_MPU_REGS	RTDMA1_MPU_BASE	0x301C_1000	-	あり	あり	あり	-	-	あり
RTDMA_REGS	RTDMA2_BASE	0x301C_8000	-	あり	あり	あり	-	-	あり
RTDMA_DIAG_REGS	RTDMA2_DIAG_BASE	0x301C_8800	-	あり	あり	あり	-	-	あり
RTDMA_SELFTEST_REGS	RTDMA2_SELFTEST_BASE	0x301C_8C00	-	あり	あり	あり	-	-	あり
RTDMA_MPU_REGS	RTDMA2_MPU_BASE	0x301C_9000	-	あり	あり	あり	-	-	あり
FRI_CTRL_REGS	FRI1_BASE	0x301D_0000	-	あり	あり	あり	-	-	あり
MEMSS_L_CONFIG_REGS	MEMSSLCFG_BASE	0x301D_8000	-	あり	あり	あり	-	-	あり
MEMSS_C_CONFIG_REGS	MEMSSCCFG_BASE	0x301D_8400	-	あり	あり	あり	-	-	あり
MEMSS_M_CONFIG_REGS	MEMSSMCFG_BASE	0x301D_8800	-	あり	あり	あり	-	-	あり
MEMSS_MISCI_REGS	MEMSSMISCI_BASE	0x301D_8E00	-	あり	あり	あり	-	-	あり
SYNCBRIDGEMPU_REGS	SYNCBRIDGEMPU_BASE	0x301E_0000	-	あり	あり	あり	-	-	あり
INPUT_XBAR_REGS	INPUTXBAR_BASE	0x301E_8000	-	あり	あり	あり	-	-	あり
EPWM_XBAR_REGS	EPWMXBAR_BASE	0x301E_9000	-	あり	あり	あり	-	-	あり
CLB_XBAR_REGS	CLBXBAR_BASE	0x301E_A000	-	あり	あり	あり	-	-	あり
OUTPUTXBAR_REGS	OUTPUTXBAR_BASE	0x301E_B000	-	あり	あり	あり	-	-	あり
MDL_XBAR_REGS	MDLXBAR_BASE	0x301E_C000	-	あり	あり	あり	-	-	あり
ICL_XBAR_REGS	ICLXBAR_BASE	0x301E_D000	-	あり	あり	あり	-	-	あり
LCM_REGS	LCM_DMA_BASE	0x301F_4000	-	あり	あり	あり	-	-	あり
vbusp_frame0									
RTDMA_CH_REGS	RTDMA1CH1_BASE	0x6000_0000	あり	あり	あり	あり	あり	あり	-
RTDMA_CH_REGS	RTDMA1CH2_BASE	0x6000_1000	あり	あり	あり	あり	あり	あり	-
RTDMA_CH_REGS	RTDMA1CH3_BASE	0x6000_2000	あり	あり	あり	あり	あり	あり	-
RTDMA_CH_REGS	RTDMA1CH4_BASE	0x6000_3000	あり	あり	あり	あり	あり	あり	-
RTDMA_CH_REGS	RTDMA1CH5_BASE	0x6000_4000	あり	あり	あり	あり	あり	あり	-
RTDMA_CH_REGS	RTDMA1CH6_BASE	0x6000_5000	あり	あり	あり	あり	あり	あり	-

Copyright © 2025 Texas Instruments Incorporated

表 7-28. ペリフェラル・レジスタのメモリ・マップ (続き)

構造	DriverLib 名	ベース アドレス	適用可能なフレーム	CPU1	CPU2	CPU3	RTDMA1	RTDMA2	HSM
RTDMA_CH_REGS	RTDMA1CH7_BASE	0x6000_6000	あり	あり	あり	あり	あり	あり	-
RTDMA_CH_REGS	RTDMA1CH8_BASE	0x6000_7000	あり	あり	あり	あり	あり	あり	-
RTDMA_CH_REGS	RTDMA1CH9_BASE	0x6000_8000	あり	あり	あり	あり	あり	あり	-
RTDMA_CH_REGS	RTDMA1CH10_BASE	0x6000_9000	あり	あり	あり	あり	あり	あり	-
RTDMA_CH_REGS	RTDMA2CH1_BASE	0x6001_0000	あり	あり	あり	あり	あり	あり	-
RTDMA_CH_REGS	RTDMA2CH2_BASE	0x6001_1000	あり	あり	あり	あり	あり	あり	-
RTDMA_CH_REGS	RTDMA2CH3_BASE	0x6001_2000	あり	あり	あり	あり	あり	あり	-
RTDMA_CH_REGS	RTDMA2CH4_BASE	0x6001_3000	あり	あり	あり	あり	あり	あり	-
RTDMA_CH_REGS	RTDMA2CH5_BASE	0x6001_4000	あり	あり	あり	あり	あり	あり	-
RTDMA_CH_REGS	RTDMA2CH6_BASE	0x6001_5000	あり	あり	あり	あり	あり	あり	-
RTDMA_CH_REGS	RTDMA2CH7_BASE	0x6001_6000	あり	あり	あり	あり	あり	あり	-
RTDMA_CH_REGS	RTDMA2CH8_BASE	0x6001_7000	あり	あり	あり	あり	あり	あり	-
RTDMA_CH_REGS	RTDMA2CH9_BASE	0x6001_8000	あり	あり	あり	あり	あり	あり	-
RTDMA_CH_REGS	RTDMA2CH10_BASE	0x6001_9000	あり	あり	あり	あり	あり	あり	-
MCANSS_REGS	MCANASS_BASE	0x6002_4000	あり	あり	あり	あり	あり	あり	-
MCAN_REGS	MCANA_BASE	0x6002_4600	あり	あり	あり	あり	あり	あり	-
MCAN_ERROR_REGS	MCANA_ERROR_BASE	0x6002_4800	あり	あり	あり	あり	あり	あり	-
MCANSS_REGS	MCANBSS_BASE	0x6002_C000	あり	あり	あり	あり	あり	あり	-
MCAN_REGS	MCANB_BASE	0x6002_C600	あり	あり	あり	あり	あり	あり	-
MCAN_ERROR_REGS	MCANB_ERROR_BASE	0x6002_C800	あり	あり	あり	あり	あり	あり	-
MCANSS_REGS	MCANCSS_BASE	0x6003_4000	あり	あり	あり	あり	あり	あり	-
MCAN_REGS	MCANC_BASE	0x6003_4600	あり	あり	あり	あり	あり	あり	-
MCAN_ERROR_REGS	MCANC_ERROR_BASE	0x6003_4800	あり	あり	あり	あり	あり	あり	-
MCANSS_REGS	MCANDSS_BASE	0x6003_C000	あり	あり	あり	あり	あり	あり	-
MCAN_REGS	MCAND_BASE	0x6003_C600	あり	あり	あり	あり	あり	あり	-
MCAN_ERROR_REGS	MCAND_ERROR_BASE	0x6003_C800	あり	あり	あり	あり	あり	あり	-
MCANSS_REGS	MCANESS_BASE	0x6004_4000	あり	あり	あり	あり	あり	あり	-
MCAN_REGS	MCANE_BASE	0x6004_4600	あり	あり	あり	あり	あり	あり	-
MCAN_ERROR_REGS	MCANE_ERROR_BASE	0x6004_4800	あり	あり	あり	あり	あり	あり	-
MCANSS_REGS	MCANFSS_BASE	0x6004_C000	あり	あり	あり	あり	あり	あり	-
MCAN_REGS	MCANF_BASE	0x6004_C600	あり	あり	あり	あり	あり	あり	-
MCAN_ERROR_REGS	MCANF_ERROR_BASE	0x6004_C800	あり	あり	あり	あり	あり	あり	-
LIN_REGS	LINA_BASE	0x6006_0000	あり	あり	あり	あり	あり	あり	-
LIN_REGS	LINB_BASE	0x6006_1000	あり	あり	あり	あり	あり	あり	-

Copyright © 2025 Texas Instruments Incorporated

表 7-28. ペリフェラル・レジスタのメモリ・マップ (続き)

構造	DriverLib 名	ベース アドレス	適用可能なフレーム	CPU1	CPU2	CPU3	RTDMA1	RTDMA2	HSM
SENT_CFG	SENT1CSENT_BASE	0x6006_8000	あり	あり	あり	あり	あり	あり	-
SENT_MEM	SENT1MEM_BASE	0x6006_8400	あり	あり	あり	あり	あり	あり	-
SENT_MTPG	SENT1MTPG_BASE	0x6006_8800	あり	あり	あり	あり	あり	あり	-
SENT_CFG	SENT2CSENT_BASE	0x6006_9000	あり	あり	あり	あり	あり	あり	-
SENT_MEM	SENT2MEM_BASE	0x6006_9400	あり	あり	あり	あり	あり	あり	-
SENT_MTPG	SENT2MTPG_BASE	0x6006_9800	あり	あり	あり	あり	あり	あり	-
SENT_CFG	SENT3CSENT_BASE	0x6006_A000	あり	あり	あり	あり	あり	あり	-
SENT_MEM	SENT3MEM_BASE	0x6006_A400	あり	あり	あり	あり	あり	あり	-
SENT_MTPG	SENT3MTPG_BASE	0x6006_A800	あり	あり	あり	あり	あり	あり	-
SENT_CFG	SENT4CSENT_BASE	0x6006_B000	あり	あり	あり	あり	あり	あり	-
SENT_MEM	SENT4MEM_BASE	0x6006_B400	あり	あり	あり	あり	あり	あり	-
SENT_MTPG	SENT4MTPG_BASE	0x6006_B800	あり	あり	あり	あり	あり	あり	-
SENT_CFG	SENT5CSENT_BASE	0x6006_C000	あり	あり	あり	あり	あり	あり	-
SENT_MEM	SENT5MEM_BASE	0x6006_C400	あり	あり	あり	あり	あり	あり	-
SENT_MTPG	SENT5MTPG_BASE	0x6006_C800	あり	あり	あり	あり	あり	あり	-
SENT_CFG	SENT6CSENT_BASE	0x6006_D000	あり	あり	あり	あり	あり	あり	-
SENT_MEM	SENT6MEM_BASE	0x6006_D400	あり	あり	あり	あり	あり	あり	-
SENT_MTPG	SENT6MTPG_BASE	0x6006_D800	あり	あり	あり	あり	あり	あり	-
UART_REGS、UART_REGS_WRITE	UARTA_BASE、UARTA_WRITE_BASE	0x6007_0000	あり	あり	あり	あり	あり	あり	-
UART_REGS、UART_REGS_WRITE	UARTB_BASE、UARTB_WRITE_BASE	0x6007_2000	あり	あり	あり	あり	あり	あり	-
UART_REGS、UART_REGS_WRITE	UARTC_BASE、UARTC_WRITE_BASE	0x6007_4000	あり	あり	あり	あり	あり	あり	-
UART_REGS、UART_REGS_WRITE	UARTD_BASE、UARTD_WRITE_BASE	0x6007_6000	あり	あり	あり	あり	あり	あり	-
UART_REGS、UART_REGS_WRITE	UARTE_BASE、UARTE_WRITE_BASE	0x6007_8000	あり	あり	あり	あり	あり	あり	-
UART_REGS、UART_REGS_WRITE	UARTF_BASE、UARTF_WRITE_BASE	0x6007_A000	あり	あり	あり	あり	あり	あり	-
DCC_REGS	DCC1_BASE	0x6008_0000	あり	あり	あり	あり	あり	あり	-
DCC_REGS	DCC2_BASE	0x6008_1000	あり	あり	あり	あり	あり	あり	-
DCC_REGS	DCC3_BASE	0x6008_2000	あり	あり	あり	あり	あり	あり	-
ERROR_AGGREGATOR_CONFIG_REGS	ERRORAGGREGATOR_BASE	0x6008_C000	あり	あり	あり	あり	あり	あり	-
ESM_CPU_REGS	ESMCPU1_BASE	0x6009_0000	あり	あり	あり	あり	あり	あり	-
ESM_CPU_REGS	ESMCPU2_BASE	0x6009_1000	あり	あり	あり	あり	あり	あり	-
ESM_CPU_REGS	ESMCPU3_BASE	0x6009_2000	あり	あり	あり	あり	あり	あり	-
ESM_SYSTEM_REGS	ESMSYSTEM_BASE	0x6009_F000	あり	あり	あり	あり	あり	あり	-
ESM_SAFETYAGG_REGS	ESMSAFETYAGG_BASE	0x600A_0000	あり	あり	あり	あり	あり	あり	-

Copyright © 2025 Texas Instruments Incorporated

表 7-28. ペリフェラル・レジスタのメモリ・マップ (続き)

構造	DriverLib 名	ベース アドレス	適用可能なフレーム	CPU1	CPU2	CPU3	RTDMA1	RTDMA2	HSM
WADI_CONFIG_REGS	WADI1BLK1CONFIG_BASE	0x600B_0000	あり	あり	あり	あり	あり	あり	-
WADI_CONFIG_REGS	WADI1BLK2CONFIG_BASE	0x600B_0100	あり	あり	あり	あり	あり	あり	-
WADI_CONFIG_REGS	WADI1BLK3CONFIG_BASE	0x600B_0200	あり	あり	あり	あり	あり	あり	-
WADI_CONFIG_REGS	WADI1BLK4CONFIG_BASE	0x600B_0300	あり	あり	あり	あり	あり	あり	-
WADI_OPER_SSS_REGS	WADI1OPERSSS_BASE	0x600B_1000	あり	あり	あり	あり	あり	あり	-
WADI_CONFIG_REGS	WADI2BLK1CONFIG_BASE	0x600B_2000	あり	あり	あり	あり	あり	あり	-
WADI_CONFIG_REGS	WADI2BLK2CONFIG_BASE	0x600B_2100	あり	あり	あり	あり	あり	あり	-
WADI_CONFIG_REGS	WADI2BLK3CONFIG_BASE	0x600B_2200	あり	あり	あり	あり	あり	あり	-
WADI_CONFIG_REGS	WADI2BLK4CONFIG_BASE	0x600B_2300	あり	あり	あり	あり	あり	あり	-
WADI_OPER_SSS_REGS	WADI2OPERSSS_BASE	0x600B_3000	あり	あり	あり	あり	あり	あり	-
OUTPUTXBAR_FLAG_REGS	OUTPUTXBAR1_FLAGS_BASE	0x600C_0000	あり	あり	あり	あり	あり	あり	-
OUTPUTXBAR_FLAG_REGS	OUTPUTXBAR2_FLAGS_BASE	0x600C_1000	あり	あり	あり	あり	あり	あり	-
OUTPUTXBAR_FLAG_REGS	OUTPUTXBAR3_FLAGS_BASE	0x600C_2000	あり	あり	あり	あり	あり	あり	-
OUTPUTXBAR_FLAG_REGS	OUTPUTXBAR4_FLAGS_BASE	0x600C_3000	あり	あり	あり	あり	あり	あり	-
OUTPUTXBAR_FLAG_REGS	OUTPUTXBAR5_FLAGS_BASE	0x600C_4000	あり	あり	あり	あり	あり	あり	-
OUTPUTXBAR_FLAG_REGS	OUTPUTXBAR6_FLAGS_BASE	0x600C_5000	あり	あり	あり	あり	あり	あり	-
OUTPUTXBAR_FLAG_REGS	OUTPUTXBAR7_FLAGS_BASE	0x600C_6000	あり	あり	あり	あり	あり	あり	-
OUTPUTXBAR_FLAG_REGS	OUTPUTXBAR8_FLAGS_BASE	0x600C_7000	あり	あり	あり	あり	あり	あり	-
OUTPUTXBAR_FLAG_REGS	OUTPUTXBAR9_FLAGS_BASE	0x600C_8000	あり	あり	あり	あり	あり	あり	-
OUTPUTXBAR_FLAG_REGS	OUTPUTXBAR10_FLAGS_BASE	0x600C_9000	あり	あり	あり	あり	あり	あり	-
OUTPUTXBAR_FLAG_REGS	OUTPUTXBAR11_FLAGS_BASE	0x600C_A000	あり	あり	あり	あり	あり	あり	-
OUTPUTXBAR_FLAG_REGS	OUTPUTXBAR12_FLAGS_BASE	0x600C_B000	あり	あり	あり	あり	あり	あり	-
OUTPUTXBAR_FLAG_REGS	OUTPUTXBAR13_FLAGS_BASE	0x600C_C000	あり	あり	あり	あり	あり	あり	-
OUTPUTXBAR_FLAG_REGS	OUTPUTXBAR14_FLAGS_BASE	0x600C_D000	あり	あり	あり	あり	あり	あり	-
OUTPUTXBAR_FLAG_REGS	OUTPUTXBAR15_FLAGS_BASE	0x600C_E000	あり	あり	あり	あり	あり	あり	-
OUTPUTXBAR_FLAG_REGS	OUTPUTXBAR16_FLAGS_BASE	0x600C_F000	あり	あり	あり	あり	あり	あり	-
XBAR_REGS	INPUTXBAR_FLAGS_BASE	0x600E_0000	あり	あり	あり	あり	あり	あり	-
DLT_FIFO_REGS	CPU1DLTFIFO_BASE	0x600F_8000	あり	あり	あり	あり	あり	あり	-
DLT_FIFO_REGS	CPU2DLTFIFO_BASE	0x600F_A000	あり	あり	あり	あり	あり	あり	-
DLT_FIFO_REGS	CPU3DLTFIFO_BASE	0x600F_C000	あり	あり	あり	あり	あり	あり	-
vbusp_ssu									
SSU_GEN_REGS	SSUGEN_BASE	0x3008_0000	-	あり	あり	あり	-	-	あり
SSU_CPU1_CFG_REGS	SSUCPU1CFG_BASE	0x3008_1000	-	あり	-	-	-	-	-
SSU_CPU2_CFG_REGS	SSUCPU2CFG_BASE	0x3008_2000	-	あり	あり	-	-	-	-

Copyright © 2025 Texas Instruments Incorporated

表 7-28. ペリフェラル・レジスタのメモリ・マップ (続き)

構造	DriverLib 名	ベース アドレス	適用可能なフレーム	CPU1	CPU2	CPU3	RTDMA1	RTDMA2	HSM
SSU_CPU3_CFG_REGS	SSUCPU3CFG_BASE	0x3008_3000	-	あり	-	あり	-	-	-
SSU_CPU1_AP_REGS	SSUCPU1AP_BASE	0x3008_7000	-	あり	-	-	-	-	-
SSU_CPU2_AP_REGS	SSUCPU2AP_BASE	0x3008_8000	-	あり	あり	-	-	-	-
SSU_CPU3_AP_REGS	SSUCPU3AP_BASE	0x3008_9000	-	あり	-	あり	-	-	-
vbus32_ap_cpu1、vbus32_ap_cpu2、vbus32_ap_cpu3									
CPU_SYS_REGS	CPUSYS_BASE	0x3020_0000	-	あり	あり	あり	-	-	-
CPU_PER_CFG_REGS	CPUPERCFG_BASE	0x3020_8000	-	あり	あり	あり	-	-	-
WD_REGS	WD_BASE	0x3020_8C00	-	あり	あり	あり	-	-	-
CPUTIMER_REGS	CPUTIMER0_BASE	0x3021_8000	-	あり	あり	あり	-	-	-
CPUTIMER_REGS	CPUTIMER1_BASE	0x3021_9000	-	あり	あり	あり	-	-	-
CPUTIMER_REGS	CPUTIMER2_BASE	0x3021_A000	-	あり	あり	あり	-	-	-
CPU1_IPC_SEND_REGS	CPU1IPCSEND_BASE	0x3022_0000	-	あり	あり	あり	-	-	-
CPU2_IPC_SEND_REGS	CPU2IPCSEND_BASE	0x3022_8000	-	あり	あり	あり	-	-	-
CPU3_IPC_SEND_REGS	CPU3IPCSEND_BASE	0x3023_0000	-	あり	あり	あり	-	-	-
CPU1_IPC_RCV_REGS	CPU1IPCRCV_BASE	0x3024_0000	-	あり	あり	あり	-	-	-
CPU2_IPC_RCV_REGS	CPU2IPCRCV_BASE	0x3024_8000	-	あり	あり	あり	-	-	-
CPU3_IPC_RCV_REGS	CPU3IPCRCV_BASE	0x3025_0000	-	あり	あり	あり	-	-	-
GPIO_DATA_REGS	GPIODATA_BASE	0x3026_8000	-	あり	あり	あり	-	-	-
GPIO_DATA_READ_REGS	GPIODATAREAD_BASE	0x3026_9000	-	あり	あり	あり	-	-	-
XINT_REGS	XINT_BASE	0x3027_0000	-	あり	あり	あり	-	-	-
vbusp_cpu1、vbusp_cpu2、vbusp_cpu3									
C29_RTINT_STACK	C29CPURTINTSTACK_BASE	0x3000_8000	-	あり	あり	あり	-	-	-
C29_SECCALL_STACK	C29CPUSECCALLSTACK_BASE	0x3000_C000	-	あり	あり	あり	-	-	-
C29_SECURE_REGS	C29CPUSECURE_BASE	0x3000_D000	-	あり	あり	あり	-	-	-
C29_DIAG_REGS	C29CPUDIAG_BASE	0x3000_E000	-	あり	あり	あり	-	-	-
C29_SELFTEST_REGS	C29CPUSELFTEST_BASE	0x3000_F000	-	あり	あり	あり	-	-	-
DLT_CORE_REGS	CPUDLT_BASE	0x3001_0000	-	あり	あり	あり	-	-	-
PIPE_REGS	PIPE_BASE	0x3002_0000	-	あり	あり	あり	-	-	-
ERAD_REGS	ERAD_BASE	0x3003_0000	-	あり	あり	あり	-	-	-

Copyright © 2025 Texas Instruments Incorporated

7.6 識別

表 7-29 に、デバイス識別レジスタを示します。これらのデバイス識別レジスタの詳細については、『F29H85x および F29P58x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』を参照してください。生産ステータス の識別およびその他のデバイス情報については、PARTIDH および PARTIDL のレジスタの説明を参照してください。

表 7-29. デバイス識別レジスタ

名称	アドレス	SIZE (x8)	説明	
PARTIDH	0x3018 0024	4	デバイスの製品識別番号	
			F29H850TU9	0x0DFF 0C00
			F29H859TU8	0x0DDE 0C00
			F29H859TM8	0x0DCC 0C00
			F29H850DU7	0x0DEB 0C00
			F29H850DM7	0x0DE9 0C00
			F29H859DU6	0x0DCA 0C00
			F29H850DM6	0x0DC8 0C00
			F29P589DU5	0x0DBF 0C00
			F29P589DM5	0x0D9E 0C00
			F29P580DM5	0x0DBE 0C00
			F29H850DM4	0x0DE7 0C00
			F29H850DM3	0x0DE6 0C00
			F29P329SM2	0x0D4F 0C00
			F29P329SM1	0x0D48 0C00
			F29P329SJ1	0x0D44 0C00
REVID	0x3018 0028	4	シリコンのリビジョン番号	
			リビジョン 0	0x0000 0001
			リビジョン A	該当しません。デバイス リビジョンについては、「パッケージマーキング」の図を参照してください。
			リビジョン B	0x0000 0003

7.7 ブート ROM

このセクションは、C29x CPU コアのブート読み取り専用メモリ (ROM) コードの機能について、ブートの手順も含めて説明することを目的としています。またこのセクションでは、ブート ROM コードの機能と特徴について、および ROM メモリマップの内容の詳細についても述べています。リセットのたびにデバイスは、リセットの種類とブート構成に応じて、ROM 内のブート シーケンスを実行します。このシーケンスは、アプリケーション コードを実行するためにデバイスを初期化します。またブート ROM には、CPU のためにアプリケーションを RAM にロードする際に使用するペリフェラル ブートローダも含まれてます。これらのブートローダは、安全性またはセキュリティのために無効化できます。

C29x CPU で利用可能なブート機能の詳細については、表 7-30 を参照してください。加えて 表 7-31 では 、デバイス上のさまざまな ROM のサイズを確認できます。

表 7-30. ブート システムの概要

ブート機能	CPU
初期ブート プロセス	デバイス リセット。
ブート モードの選択	GPIO
サポートされたブート モード	フラッシュ ブート RAM ブート 待機ブート パラレル IO CAN CAN-FD I2C SPI UART

表 7-31. ROM メモリ

ROM	サイズ
CPU1 ブート ROM	128KB
CPU2 ブート ROM	32KB
CPU3 ブート ROM	32KB

Copyright © 2025 Texas Instruments Incorporated

7.7.1 デバイス ブート シーケンス

表 7-32 に、CPU1 コアがリセットされたときのブート ROM の一般的な手順を示します。

ブート中、ブート ROM コードによって、RAM 内のブート ステータス ロケーションが更新され、このプロセス中に実行されたアクションの詳細が記録されます。詳細については、『F29H85x および F29P58x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』の「ブート ステータス情報」セクションを参照してください。

表 7-32. CPU1 のブート ROM シーケンス

ステップ	CPU1 ACTION
1	フラッシュ読み取りインターフェイス (FRI) の待機状態構成
2	ウォッチドッグ有効化
3	ゾーン 0 のフル デバッグ パスワードを TI-OTP から SSU レジスタに設定
4	SOCID は HSM から構成され、M0 RAM にコピーされます
5	PORESETn の場合のみ、すべての CPU RAM (LPAx、LDAx、CPAx、CDAx) が初期化
6	重要なトリム (APLL、PMM、TI-OSC、フラッシュ) が OTP からロードされ、デバイス構成レジスタに書き込み
7	ESM 設定をグループ 0 イベントに対して実行
8	SIC (安全相互接続) を有効化
9	UPP (ユーザー保護ポリシー) のリビジョンを SECCFG から SSU レジスタに設定
10	エラー ステータス ピン構成入力を SECCFG から設定
11	SECCFG でイネーブルになっている場合、外付け水晶振動子の電源投入
12	TI-OTP から DCx レジスタへデバイス構成読み出し
13	重要でない (ADC、DAC) トリムをロード
14	以下のものについて SECCFG 入力に基づいて SSU を設定 1. SSU レジスタのセルフテスト 2. SSU レジスタの設定
15	DCx (デバイス構成)、PARTID、MCUCNF26、PERxSYSCONFIG (ペリフェラル システム構成) レジスタをロック
16	RAM の初期化を待機。PORESETn の場合のみ実行。
17	PORESETn の場合、PORRESETn および XRSn リセット要因をクリア。XRSn の場合、XRSn リセット要因のみクリア
18	ボンディングされていない IO においてプルアップをイネーブル
19	ブート モード GPIO ピンをポーリングして、実行するブート モードを決定。ブート モード / 構成に基づいてブート ローダを実行。ブート シーケンスのフローチャートについては、セクション 7.7.4.2 を参照してください。
20	LINK1 の RAMOPEN、以下を含む。LPA0-1 および LDA0-7
21	SECCFG 入力に基づいて SSU レジスタに書き込むことにより、LINK1 RAMPOPEN をロックおよびコミット
22	APR (アクセス保護領域) を SECCFG 構成から設定
23	Link1 ブートローダの実行に対するウォッチドッグをディセーブル
24	Link1 実行でブートローダ処理
25	Link1 RAMOPEN をクリア
26	C29 アプリケーション Link2 へジャンプ

Copyright © 2025 Texas Instruments Incorporated

7.7.2 デバイス ブート モード

このセクションでは、デフォルトのブート モードと、このデバイスでサポートされているすべてのカスタム ブート モードについて説明します。ブート ROM は、汎用入出力 (GPIO) ピンをブート モード選択に使用して、ブート モードの構成を決定します。

7.7.2.1 デフォルト ブート モード

表 7-33 に、デフォルトのブート モード選択ピンで選択可能なブート モード オプションを示します。ブートアップ テーブルで選択可能なブート モードと、使用するブート モード選択ピン GPIO をカスタマイズできるようにデバイスをプログラムすることができます。デフォルトで使用される BMSP (ブート モード選択ピン) は、GPIO72 (BMSP1) および GPIO84 (BMSP0) です。

表 7-33. デバイスのデフォルト ブート モード

ブート モード	GPIO72 (デフォルトのブート モード選択ピン 1)	GPIO84 (デフォルトのブート モード選択ピン 0)
パラレル IO	0	0
UART	0	1
CAN	1	0
フラッシュ	1	1

ブート構成の詳細については、セクション 7.7.3 を参照してください。

ペリフェラル ブート ローダを使用するブート モードの詳細については、『F29H85x および F29P58x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』の「ROM コードおよびペリフェラル ブート」の章にある「ブートローダ」セクションを参照してください。

ブート モードの選択に使用する GPIO については、セクション 7.7.5 を参照してください。

注

サポートされているすべてのペリフェラル ブート モードは、ペリフェラル モジュールの最初のインスタンス (SPIA、I2CA、CANA など) を使用します。これらのブート モードについて、この章で言及する場合、そのモードは実際に最初のモジュール インスタンスを指しています。たとえば SPI ブートと言えば、SPIA ポートでの SPI ブートを意味します。これは、他のペリフェラル ブート モードについても同様です。

Copyright © 2025 Texas Instruments Incorporated

7.7.2.2 カスタム ブート モード

SECCFG 内でカスタム ブート テーブルがプログラムされていると、このカスタム テーブルのエントリがブートに使用されます。ユーザーは、SECCFG 内のロケーション BOOTPIN_CONFIG をプログラムすることで、エンド システムの設計でのブート モード選択ピンをカスタマイズできます。これにより、ユーザーは必要に応じて、0、1、2、3 のブート モード選択ピンを使用できます。また、SECCFG 内のロケーション BOOTDEF にあるブート モード定義表をプログラムすることで、ブート定義表をカスタマイズし、ブート元のロケーションを指定することもできます。表 7-34 に、各種ブート モードのオプションを示します。

注

表 7-34 でサポートされているすべてのペリフェラル ブート モードは、ペリフェラル モジュールの最初のインスタンス (SPIA、I2CA など) を使用します。

表 7-34. CPU1 ブート モード

ブート モード番号	ブート モード
0	パラレル
1	UART
2	CAN
3	フラッシュ
4	ウェイト
5	RAM
6	SPI
7	I2C
8	CAN-FD

7.7.3 デバイス ブートの構成

このセクションでは、利用可能なブート構成とその構成方法について詳しく説明します。このデバイスでは、0～3 本のブート モード選択ピンと、1～8 個のブート モードの構成がサポートされています。

デバイスをデフォルト設定からアプリケーションのカスタム設定に変更および構成するには、次のプロセスを使用します。

1. アプリケーションをブートできるようにするさまざまな方法をすべて決定します(たとえば、メイン アプリケーション用のフラッシュ ブートのプライマリ ブート オプション、ファームウェア更新用の CAN ブートのセカンダリ ブート オプション、デバッグ用の SPI ブートの 3 番目のブート オプションなど。)
2. 必要なブート モードの数に基づいて、ブート モードの選択に必要なブート モード選択ピン (BMSP) の数を決定します。(たとえば、3 つのブート モード オプションから選択するには、2 つの BMSP が必要。)
3. 必要な BMSP を物理的な GPIO ピンに割り当てます。(たとえば、BMSP0 を GPIO10 に、BMSP1 を GPIO51 に、BMSP2 をデフォルト (ディセーブル) のままにするなど)。これらの構成を実行する詳細については、セクション 7.7.3.1 を参照してください。
4. 決定したブート モード定義を、BMSP のデコードされた値に相関付けるカスタム ブート テーブルのインデックスに割り当てます。たとえば、BOOTDEF0 = フラッシュからブート、BOOTDEF1 = CAN ブート、BOOTDEF2 = SPI ブートに割り当て、その他のすべての BOOTDEFx はデフォルト / なしのままにします。カスタム ブート モード テーブルの設定と構成の詳細については、セクション 7.7.3.2 を参照してください。

Copyright © 2025 Texas Instruments Incorporated

7.7.3.1 ブート モード ピンの構成

このセクションでは、SECCFG 内で、BOOTPIN_CONFIG の領域 (表 7-35 を参照) をプログラムすることにより、ブート モード選択ピンをユーザーがカスタマイズする方法について説明します。その領域は、BOOTPIN-CONFIG 内にあります。デバッグ時には、SSU_GEN_REGS の EMU_BOOTPIN_CONFIG レジスタが BOOTPIN_CONFIG をエミュレートする代用として機能するので、SECCFG に書き込まずにさまざまなブート モードを検証するようにプログラムできます。このデバイスでは、必要に応じて、0、1、2、3 本のブート モード選択ピンを使用するようにプログラムできます。

BMSP の構成およびブート定義の表は、以下で説明するように、デバッガの接続ステータスに基づいて SECCFG または SSU レジスタから読み出されます。

- デバッガが接続されている場合、エミュレーション ブート フローに従います。このとき、以下に示す SSU レジスタを使って、使用する GPIO を決定します。
  - EMU_BOOTPIN_CONFIG
  - EMU_BOOTDEF_LOW
  - EMU_BOOTDEF_HIGH
- デバッガが接続されていない場合、以下に示す SECCFG 領域を使ってブート モードを決定します。
  - BOOTPIN_CONFIG
  - BOOTDEF_LOW
  - BOOTDEF_HIGH

表 7-35. BOOTPIN_CONFIG のビット フィールド

ビット	名称	説明
31:24	キー	このレジスタのビットが有効であることをブート ROM コードに知らせるためには、この 8 ビットに 0x5A を書き込みます
23:16	ブート モード選択ピン 2 (BMSP2)	BMSP0 の説明を参照してください。
15:8	ブート モード選択ピン 1 (BMSP1)	BMSP0 の説明を参照してください。
7:0	ブート モード選択ピン 0 (BMSP0)	ブート時に使用する GPIO ピンを設定 (GPIO0～GPIO254)。 0x0 = GPIO0 0x01 = GPIO1、以下同様。 0xFF を書き込むと BMSP が無効化され、このピンはブート モードの選択に使用されなくなります。

注

デジタル または アナログ のいずれかのタイプのピンである GPIO については、ソフトウェアが GPIOHAMSEL レジスタ ビットに書き込む場合は、これらのピンにデジタル タイプの入力が可能です。

いずれかのパッケージで利用できない後続の GPIO は、ブート モード選択ピンとしては使用できません。特定の BMSP 用に選択した場合、BMSP0 および BMSP1 については、ブート ROM により工場出荷時デフォルト GPIO が自動的に選択されます。BMSP2 の工場出荷時デフォルトは 0xFF で、BMSP はディセーブルになります。

Copyright © 2025 Texas Instruments Incorporated

表 7-36. スタンドアロンのブート モード選択ピン デコード

BOOTPIN_CONFIG キー	BMSP0	BMSP1	BMSP2	選択されるブート モード
!= 0x5A	不定	不定	不定	工場出荷時にデフォルトで定義された BMSP でブートします。
= 0x5A	0xFF	0xFF	0xFF	ブート モード 0 のブート テーブルで定義されるブート (すべての BMSP が無効)
	有効な GPIO	0xFF	0xFF	BMSP0 の値で定義されるブート (BMSP1 および BMSP2 は無効)
	0xFF	有効な GPIO	0xFF	BMSP1 の値で定義されるブート (BMSP0 および BMSP2 は無効)。
	0xFF	0xFF	有効な GPIO	BMSP2 の値で定義されるブート (BMSP0 および BMSP1 は無効)
	有効な GPIO	有効な GPIO	0xFF	BMSP0 および BMSP1 の値で定義されるブート (BMSP2 は無効)
	有効な GPIO	0xFF	有効な GPIO	BMSP0 および BMSP2 の値で定義されるブート (BMSP1 は無効)
	0xFF	有効な GPIO	有効な GPIO	BMSP1 および BMSP2 の値で定義されるブート (BMSP0 は無効)
	有効な GPIO	有効な GPIO	有効な GPIO	この値の定義では BMSP0、BMSP1、BMSP2 でブートします。
	無効な GPIO	有効な GPIO	有効な GPIO	BMSP0 は工場出荷時のデフォルトの BMSP0 GPIO にリセット BMSP0、BMSP1、BMSP2 の値で定義されるブート
	有効な GPIO	無効な GPIO	有効な GPIO	BMSP1 は工場出荷時のデフォルトの BMSP1 GPIO にリセット BMSP0、BMSP1、BMSP2 の値で定義されるブート
	有効な GPIO	有効な GPIO	無効な GPIO	BMSP2 は工場出荷時のデフォルト状態 (ディセーブル) にリセット BMSP0 および BMSP1 の値で定義されるブート

注

ブート モードをデコードする際、BMSP0 がブート テーブルでのインデックス値の最下位ビット、BMSP2 が最上位ビットになります。BMSP をディセーブルにする場合は、BMSP2 から開始することをお勧めします。たとえば、BMSP2 のみを使用する (BMSP1 と BMSP0 は無効の) ケースでは、選択可能なブート テーブル インデックスは 0 と 4 のみです。BMSP0 のみを使用する場合、選択可能なブート テーブル インデックスは 0 と 1 です。

Copyright © 2025 Texas Instruments Incorporated

7.7.3.2 ブート モード テーブル オプションの設定

このセクションでは、デバイスのブート定義表である BOOTDEF を構成する方法と関連するブート オプション (表 7-37 を参照) について説明します。64 ビットの領域は、SECCFG の BOOTDEF_LOW および BOOTDEF_HIGH の位置にあります。デバッグ時には、EMU_BOOTDEF_LOW および EMU_BOOTDEF_HIGH が、BOOTDEF_LOW および BOOTDEF_HIGH をエミュレートする代用として機能するので、SECCFG に書き込まずにさまざまなブート モード オプションを検証するようにプログラムできます。

ブート定義テーブルに対するカスタマイズの範囲は、使用されているブート モード選択ピン (BMSP) の数によって異なります。たとえば、0 本の BMSP は 1 つのテーブル エントリに等しく、1 本の BMSP は 2 つのテーブル エントリに等しく、2 本の BMSP は 4 つのテーブル エントリに等しく、3 本の BMSP は 8 つのテーブル エントリに等しくなります。

表 7-37. BOOTDEF のビット フィールド

BOOTDEF 名	バイト位置	名称	説明
BOOT_DEF0	7:0	[3:0] BOOT_DEF0 モード	セクション 7.7.2.2 からのブート モード番号を設定します。サポートされていないブート モードを使用すると、デバイスはブートを待機するか (デバッガが接続されている場合)、フラッシュからブートします (スタンドアロンの場合)。
		[7:4] BOOT_DEF0 オプション	代替および追加のブート オプションを設定します。これには、特定のブート ペリフェラルに対する GPIO の変更や、別のフラッシュ エントリ ポイントの指定が含まれます。テーブルで設定できる有効な BOOTDEF 値については、セクション 7.7.5 を参照してください。
BOOT_DEF1	15:8	BOOT_DEF1 モード / オプション	BOOT_DEF0 の説明を参照してください。
BOOT_DEF2	23:16	BOOT_DEF2 モード / オプション	
BOOT_DEF3	31:24	BOOT_DEF3 モード / オプション	
BOOT_DEF4	39:32	BOOT_DEF4 モード / オプション	
BOOT_DEF5	47:40	BOOT_DEF5 モード / オプション	
BOOT_DEF6	55:48	BOOT_DEF6 モード / オプション	
BOOT_DEF7	63:56	BOOT_DEF7 モード / オプション	

Copyright © 2025 Texas Instruments Incorporated

7.7.4 デバイスのブート フロー図

このセクションでは、スタンドアロンおよびエミュレーション ブート フローについて、詳細な C29 CPU ブート フロー図を示します。

7.7.4.1 デバイス ブート フロー

以下のフロー図は、PORESETn 後にデバイスがどのようにブートするかを示しています。HSM は最初に起動し、次に CPU1 へのリセットを解放します。CPU1 のブート フローの詳細については、以降のセクションで説明します。HSM のブートフローの詳細については、『HSM ユーザー ガイド』を参照してください。

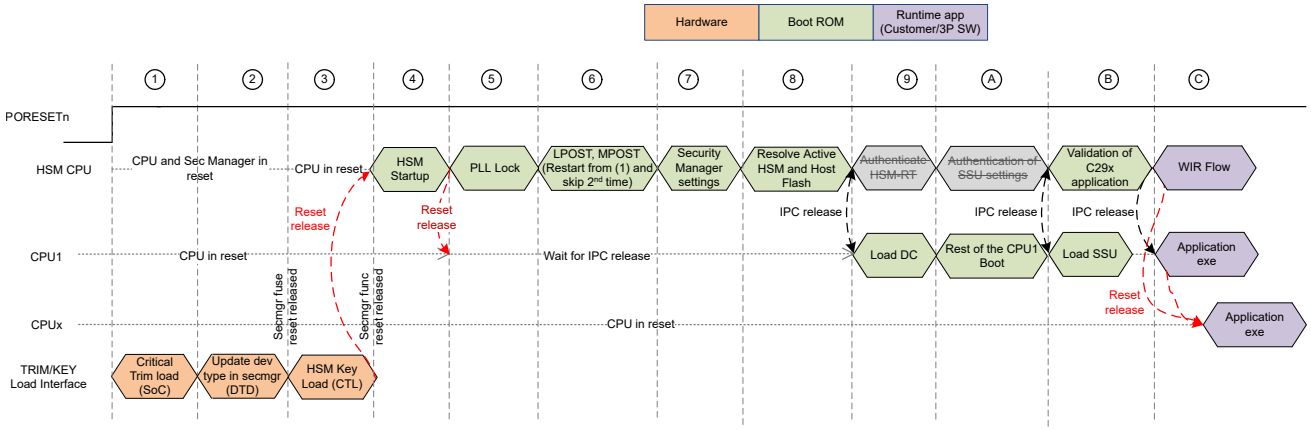


図 7-6. HS-FS デバイスのブート フロー図

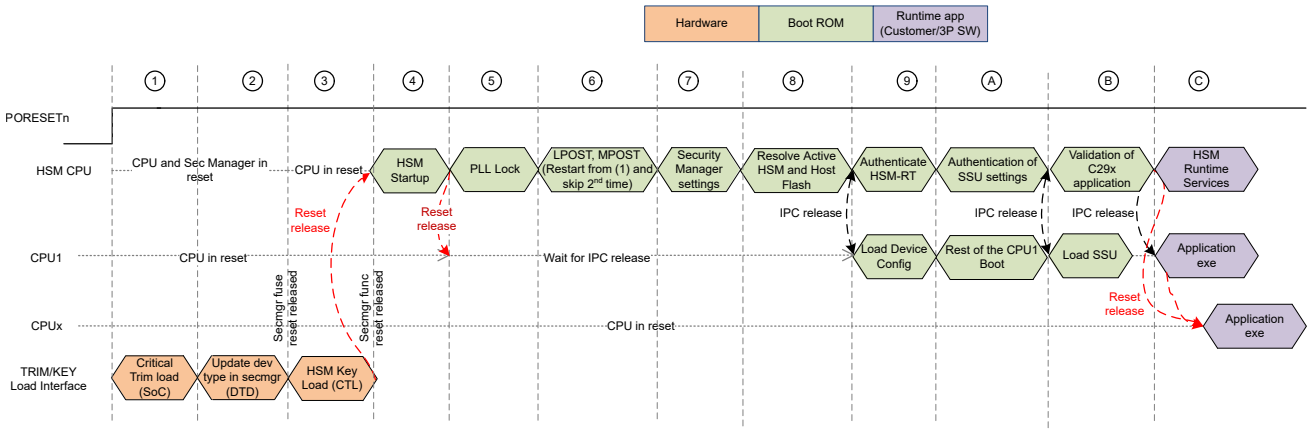


図 7-7. HS-SE の セキュア ブート フロー図

7.7.4.2 CPU1 のブート フロー

リセット時、CPU1 は 図 7-8 に示すブート フローに従います。JTAG デバッガがデバイスに接続されているかどうかに応じて、CPU1 はエミュレーション ブート フローまたはスタンドアロン ブート フローのどちらかに従ってブートを続けます。

注

ブート オン リセット (BOR) は、パワー オン リセット (POR) と同じフローに従います。

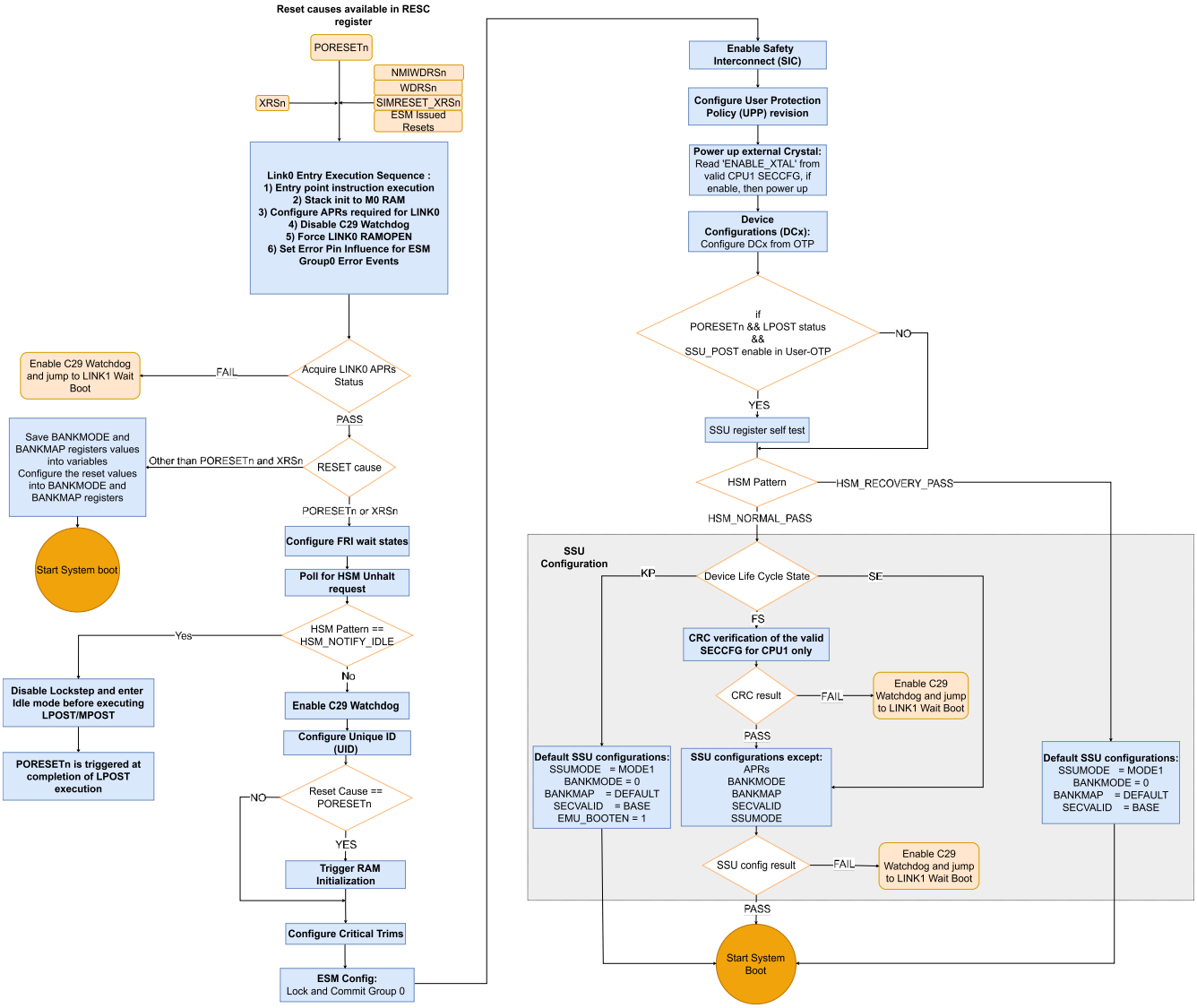


図 7-8. リセットからシステム ブートまでのデバイス ブート フロー

Copyright © 2025 Texas Instruments Incorporated

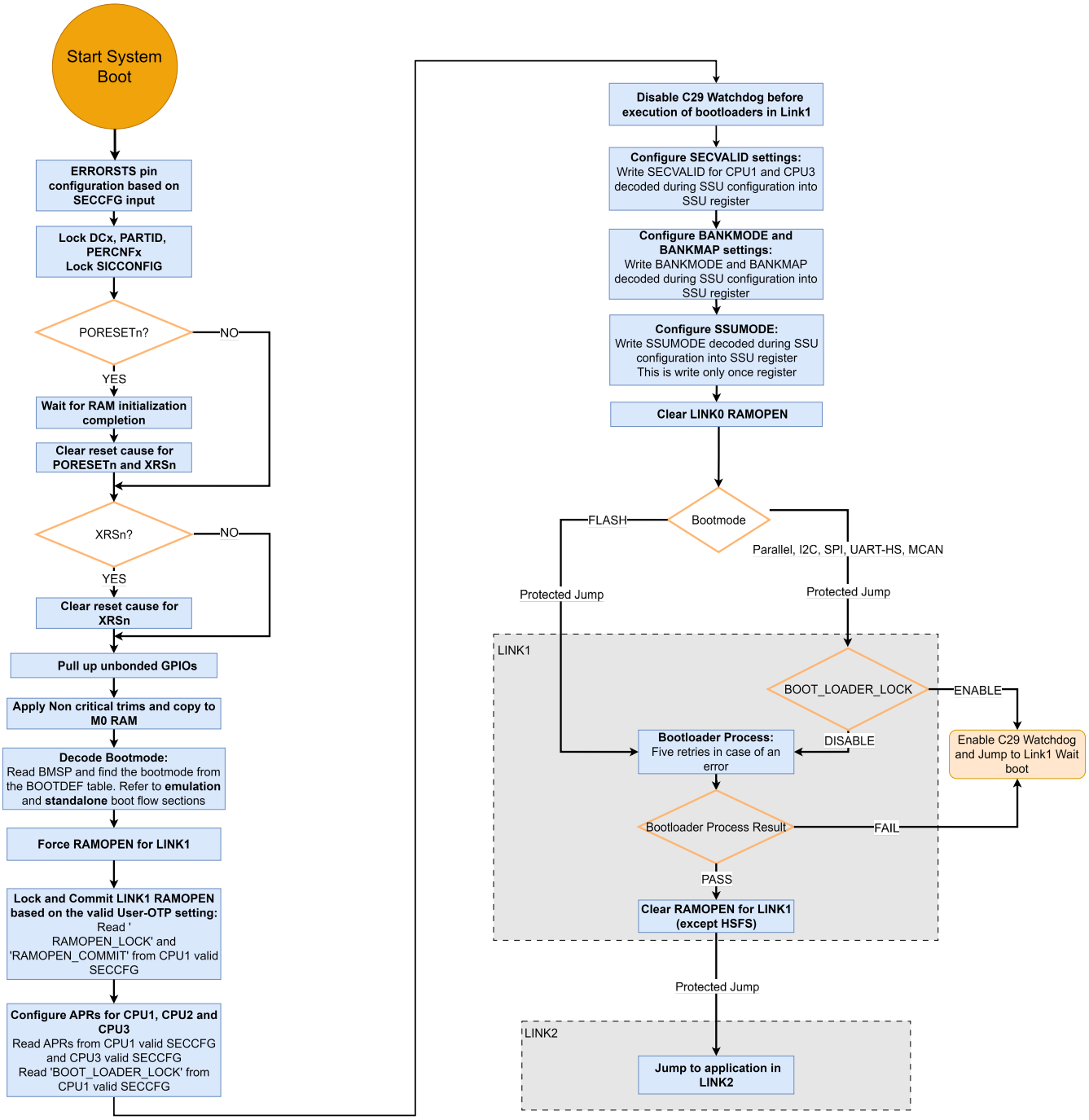


図 7-9. アプリケーション コードまでのシステム ブート フロー

7.7.4.3 エミュレーション ブート フロー

JTAG デバッガが接続され、SECCFG でエミュレーション ブートがイネーブルになっている場合のエミュレーション ブート フローを 図 7-10 に示します。

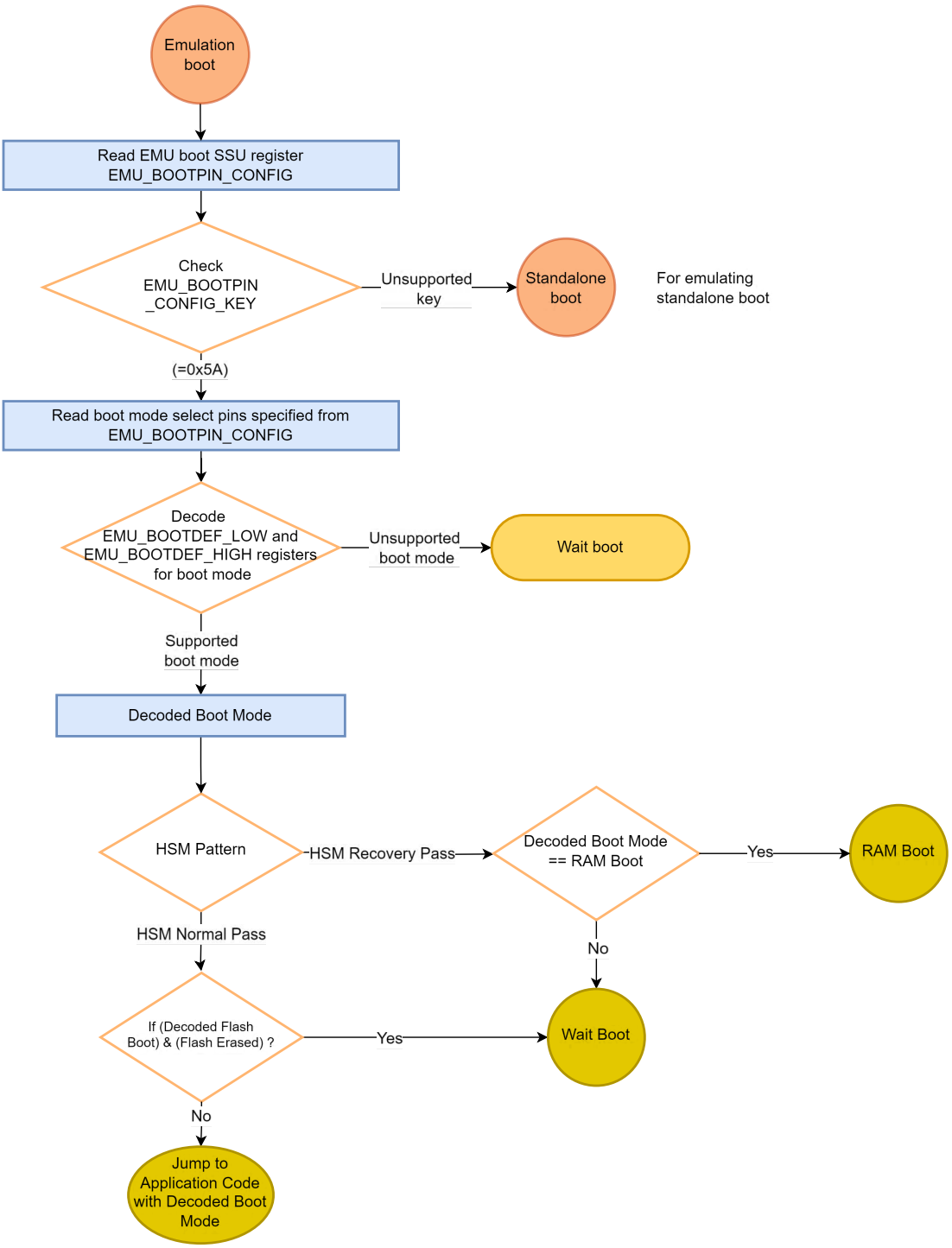


図 7-10. エミュレーション ブート フロー

Copyright © 2025 Texas Instruments Incorporated

7.7.4.4 スタンドアロン ブート フロー

図 7-11 に、JTAG デバッガがデバイスに接続されていない場合の、CPU1 のスタンドアロン ブート フローを示します。

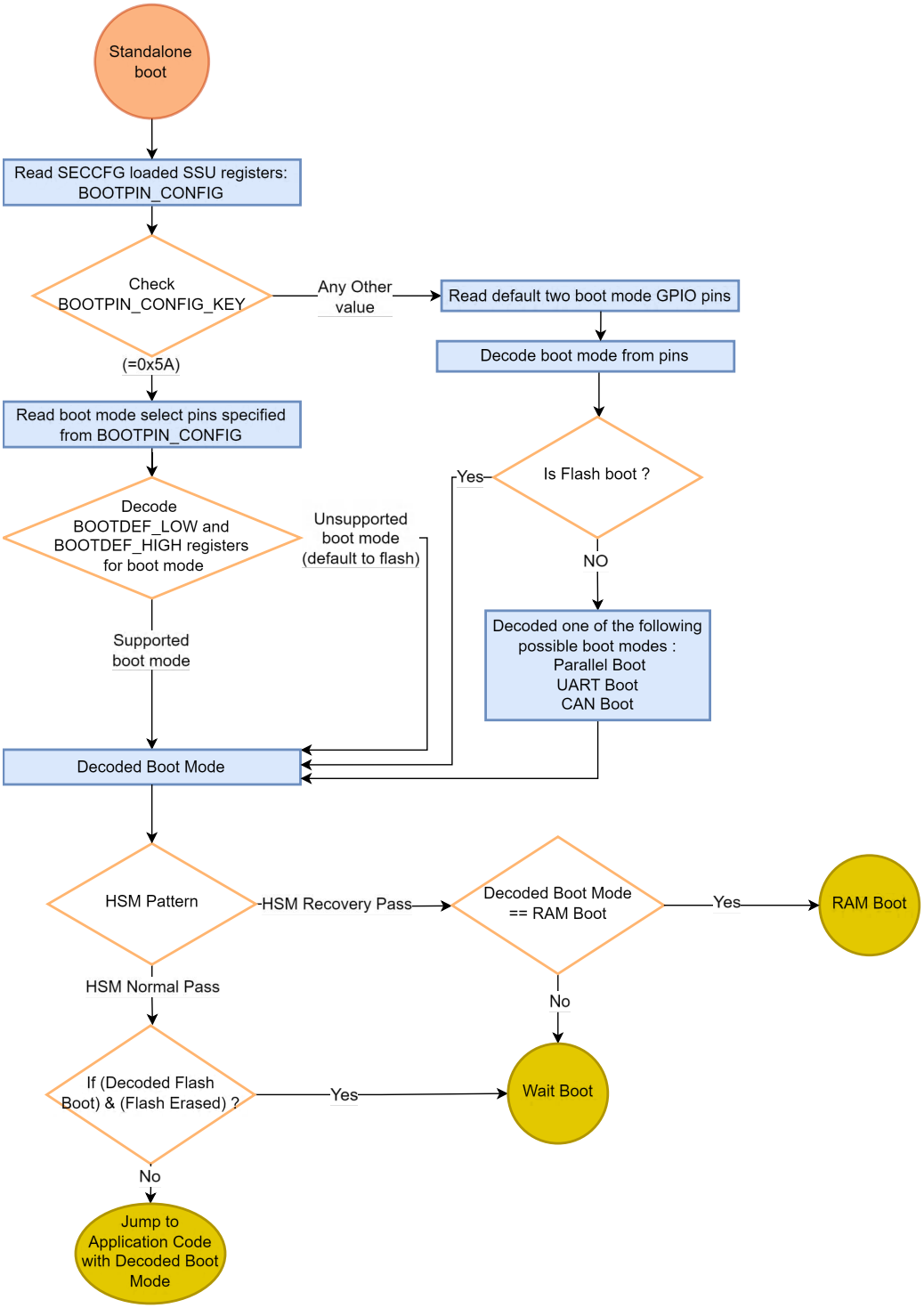


図 7-11. スタンドアロン ブート フロー

7.7.5 GPIO の割り当て

このセクションでは、BOOT_DEF メモリの領域 BOOTDEF_LOW および BOOTDEF_HIGH でのブート モードの設定に使用される GPIO とブート オプションの値について詳細に説明します。BOOT_DEFx の構成方法については、セクション 7.7.3.2 を参照してください。ブート モード オプションを選択するときは、使用する特定のデバイス パッケージのピン マルチプレクサ オプションで、必要なピンが利用可能であることを確認します。

デフォルトのブート モード GPIO ピン:

- ブート モード ピン 0 - GPIO84
- ブート モード ピン 1 - GPIO72

ブート ピン選択のガイドライン:

- PWM 機能を持つピンは避けてください。
- アナログまたは USB ピンは使用できません。
- ブート モード選択ピンとデフォルトのブート ペリフェラル ピンは、すべてのパッケージで使用できます。
- JTAG エミュレーション ピンと水晶振動子ピンは避けてください。
- ブート モード選択ピンは入力にすることができます。
- ピンに PHY ブートストラップ機能を持たせることはできません。

表 7-38. パラレル ブート オプション

オプション	BOOTDEF 値	D0–D7 GPIO	C29x (DSP) 制御 GPIO	ホスト制御 GPIO	サポート対象のパッケージ
0 (デフォルト)	0x00	D0～GPIO0 D1～GPIO1 D2～GPIO2 D3～GPIO3 D4～GPIO4 D5～GPIO10 D6～GPIO11 D7～GPIO12	GPIO15	GPIO16	すべて
1	0x20	D0～GPIO17 D1～GPIO18 D2～GPIO22 D3～GPIO23 D4～GPIO25 D5～GPIO26 D6～GPIO29 D7～GPIO30	GPIO4	GPIO5	すべて

表 7-39. UART ブート オプション

オプション	BOOTDEF 値	TX	RX	サポート対象のパッケージ
0	0x01	GPIO42	GPIO43	すべて
1	0x21	GPIO38	GPIO39	176-QFP、256-BGA
2	0x41	GPIO2	GPIO3	すべて
3	0x61	GPIO38	GPIO3	すべて
4	0x81	GPIO84	GPIO85	256-BGA

Copyright © 2025 Texas Instruments Incorporated

表 7-40. CAN ブート オプション

オプション	BOOTDEF 値	CANTXA GPIO	CANRXA GPIO	サポート対象のパッケージ
0 (デフォルト)	0x02	GPIO64	GPIO65	すべて
1	0x22	GPIO234	GPIO235	144-QFP、176-QFP、256-BGA
3	0x42	GPIO64	GPIO235	144-QFP、176-QFP、256-BGA
4	0x62	GPIO234	GPIO65	144-QFP、176-QFP、256-BGA

表 7-41. SPI ブート オプション

オプション	BOOTDEF 値	SPIPICOA	SPIPOCIA	SPICLKA	SPISTEA	サポート対象のパッケージ
0	0x06	GPIO58	GPIO59	GPIO60	GPIO61	すべて
1	0x26	GPIO16	GPIO17	GPIO60	GPIO19	144-QFP、176-QFP、256-BGA
2	0x46	GPIO32	GPIO33	GPIO34	GPIO35	256-BGA
3	0x66	GPIO54	GPIO55	GPIO56	GPIO57	176-QFP、256-BGA

表 7-42. I2C ブート オプション

オプション	BOOTDEF 値	SDAA GPIO	SCLA GPIO	サポート対象のパッケージ
0	0x07	GPIO0	GPIO1	すべて
1	0x27	GPIO32	GPIO33	256-BGA
2	0x47	GPIO42	GPIO43	すべて
3	0x67	GPIO56	GPIO57	144-QFP、176-QFP、256-BGA

表 7-43. CAN-FD ブート オプション

オプション	BOOTDEF 値	MCAN TX	MCAN RX	サポート対象のパッケージ
0	0x08	GPIO64	GPIO65	すべて
1	0x28	GPIO234	GPIO235	144-QFP、176-QFP、256-BGA
2	0x48	GPIO64	GPIO235	144-QFP、176-QFP、256-BGA
3	0x68	GPIO234	GPIO65	144-QFP、176-QFP、256-BGA

Copyright © 2025 Texas Instruments Incorporated

7.8 セキュリティ モジュールおよび暗号化アクセラレータ

7.8.1 セキュリティ モジュール

このセクションでは、この MCU に搭載されている C29x コアのセキュリティ モジュールについて説明します。

7.8.1.1 ハードウェア セキュリティ モジュール (HSM)

ハードウェア セキュリティ モジュール (HSM) は、デバイス内の自己完結型サブシステムで、セキュリティ機能と暗号化機能を備えています。ホスト C29x サブシステムは、HSM サブシステムと接続して、コード認証、セキュア ブート、セキュア ファームウェア アップグレード、暗号化されたランタイム通信に必要な暗号化操作を実行します。図 7-12 に、このデバイスの各種サブシステムの概略図を、HSM サブシステムを強調表示して示します。

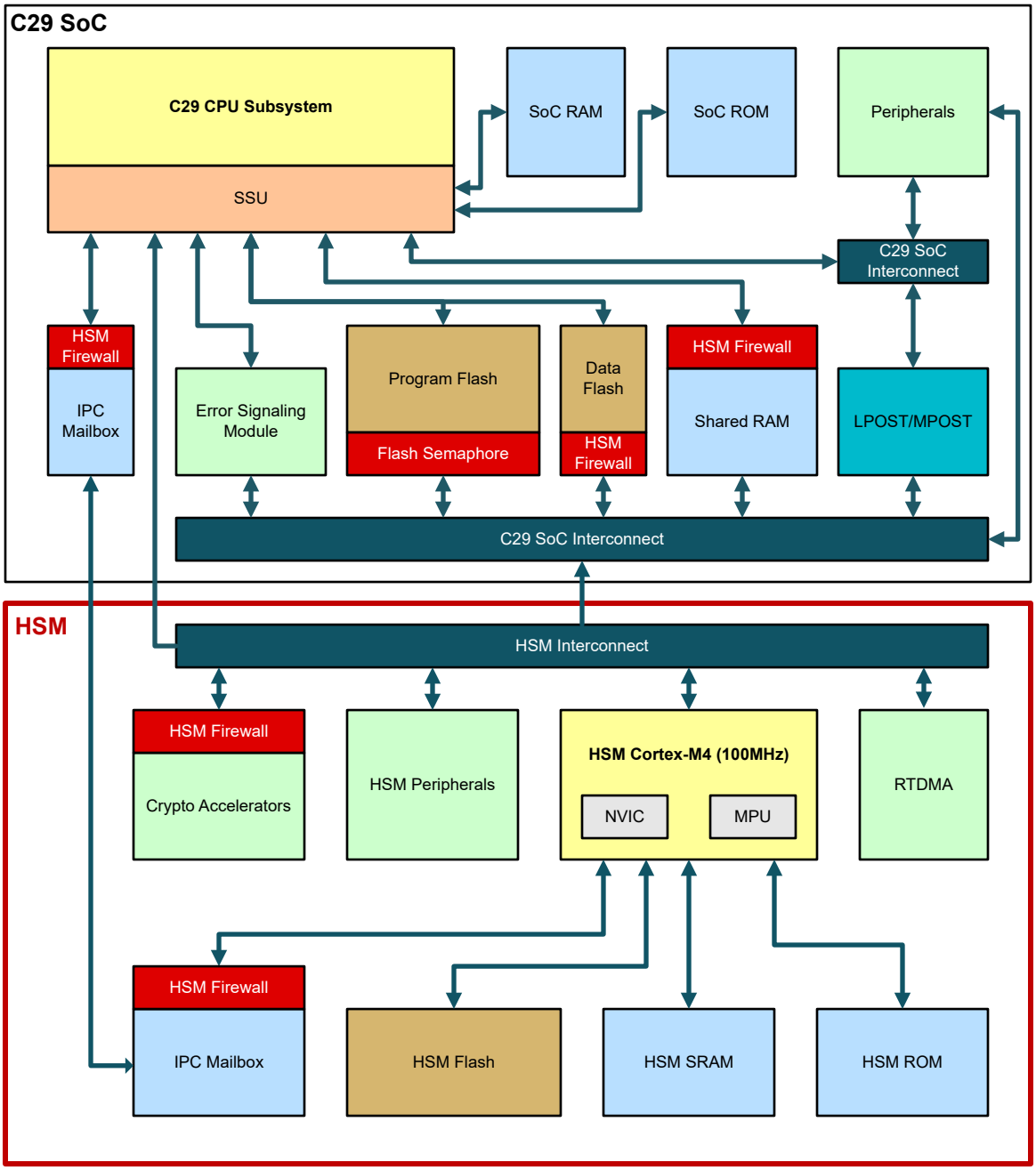


図 7-12. デバイスの概略ブロック図

Copyright © 2025 Texas Instruments Incorporated

HSM の中心には、100MHz で動作する Arm® Cortex®-M4 CPU があり、SRAM、ROM、および最大 512KB のフラッシュ メモリが搭載されています。リアルタイム DMA (RTDMA) モジュールは、HSM CPU と SRAM、HSM とアプリケーション フラッシュ メモリ バンク、セキュア メールボックス、暗号化エンジン間での高速データ転送を可能にします。

セキュリティ マネージャ モジュールは、信頼ルート キーのホスト、セキュア アクセス メカニズムの定義、デバッグ ファイアウォールの制御、セキュリティ オーバーライド シーケンスの実行により、デバッグまたは障害解析操作が必要な場合にセキュリティ資産を保護します。

HSM には、暗号化アルゴリズムを実行するためのアクセラレータ エンジンのセットが含まれています。これらのエンジンは、対称暗号化アルゴリズム、ハッシュ関数、公開キー インフラストラクチャ用の非対称暗号化アルゴリズム、および真性乱数生成器 (TRNG) の高速実行を可能にします。データ変換およびハッシュ エンジン (DTHE) は、CPU と暗号化アクセラレータとの間のインターフェイスとして機能し、割り込みと RTDMA トリガの管理、CRC やチェックサム計算などの重要な機能を提供します。

また、HSM には、各種セキュリティ機能 (タイマ、リアルタイム カウンタ、ウォッチドッグ、クロック監視用 DCC、エラー処理用 ESM) をサポートするペリフェラル モジュールが搭載されています。

HSM とホスト アプリケーション コア間の通信には、セキュア メールボックス インターフェイスが使用されます。HSM は、セキュア メールボックス、暗号化エンジン、共有 RAM、デバイス フラッシュ メモリなど、デバイス内のさまざまなセキュア ファイアウォールを制御します。

ハードウェア セキュリティ モジュール (HSM) は、暗号化サービスを提供し、認証、セキュア ブート、セキュア キー / コード プロビジョニングを管理します。一方、SSU は、アプリケーション CPU サブシステムにおけるランタイム安全の確保とセキュリティ保護を担います。

表 7-44. SSU と HSM の相補機能

責任	SSU または HSM
アプリケーション ソフトウェア コンポーネント間での安全とセキュリティのパーティション分割	SSU のみ
さまざまなソフトウェア コンポーネントにペリフェラルを割り当て可能	SSU のみ
アプリケーション フラッシュ バンクのプログラミングを制御	SSU のみ
グローバル JTAG ロック	SSU および HSM(1)
アプリケーション コードのセキュア デバッグに対する下位レベル (ZONE) の管理	SSU および HSM
アプリケーション コードのセキュア デバッグに対する上位レベル (CPU) の管理	HSM のみ
HSM CPU のセキュア デバッグに対する管理	HSM のみ
暗号化サービス (エンコード / デコード、乱数、認証、キー管理など)	HSM のみ
セキュアなキー ストレージ	HSM のみ
セキュア ブート	HSM のみ
HSM バンクのプログラミングに対する管理	HSM のみ

(1) HSM が存在する場合、この機能は HSM が SSU より優先されます

Copyright © 2025 Texas Instruments Incorporated

7.8.1.2 暗号化アクセラレータ

ハードウェア セキュリティ マネージャ (HSM) は複数のハードウェア アクセラレータを搭載しており、主要な暗号化アルゴリズムを高速に実行できます。これらのエンジンの説明を、表 7-45 に示します。

表 7-45. 暗号化アクセラレータ エンジンの一覧

エンジン	サポートされるアルゴリズム
AES (Advanced Encryption Standard)	対称アルゴリズム:AES-128、AES-192、AES-256 暗号モード:ECB、CTR、CBC、CFB、OFB、CCM、GCM 認証:CBC-MAC
SM4	対称アルゴリズム:SM4
PKE (公開鍵エンジン)	大きなベクトル数値演算 / モジュラス演算に対応する高性能 PKE 暗号:RSA-2048、RSA-3092、RSA-4096、ECC (Curve25519、X25519、SecP256r1、secP256k1、secP384r1、secP384k1、ブレイン プールなど)、SM2 暗号化動作をサポート:ECDSA、EdDSA、ECDH、EdDH、SM2DSA サイドチャネル保護 (DPA、FIA)
SHA	ハッシュ アルゴリズム:SHA-256、SHA-384、SHA-512 キー付きハッシュ:HMAC-SHA256、HMAC-SHA512
SM3	ハッシュ アルゴリズム:SM3 (256 ビット、384 ビット、512 ビット)
TRNG	真の乱数ジェネレータ 決定論的乱数ビット生成器 (DRBG)

Copyright © 2025 Texas Instruments Incorporated

7.8.2 安全およびセキュリティ ユニット (SSU)

7.8.2.1 システム図

図 7-13 に、このデバイスの F29x リアルタイム セキュリティ アーキテクチャの概略図を示します。このアーキテクチャの中心にあるのは、安全 / セキュリティ ユニット (SSU) です。SSU は、C29 CPU とメモリおよびペリフェラル間のファイアウォールとして機能します。SSU の主な役割は、C29 CPU がチップ上のペリフェラルおよびメモリにアクセスするたびにユーザー アクセス保護ポリシーを適用することです。さらに、SSU は、C29 アプリケーション サブシステムにおけるデバッグ アクセスとフラッシュ コントローラの動作を管理します (注:SSU は HSM フラッシュまたはその他の HSM リソースを制御できません)。ハードウェア セキュリティ モジュール (HSM) は、暗号化サービスを提供し、認証、セキュア ブート、セキュア キー / コード プロビジョニングを管理します。一方、SSU は、アプリケーション CPU サブシステムにおけるランタイム安全の確保とセキュリティ保護を担います。デバッグ アクセスの許可は、HSM と SSU の両方が管理します。デバッグが許可されるには、両方が特定のリソースへのアクセスを有効にする必要があります。

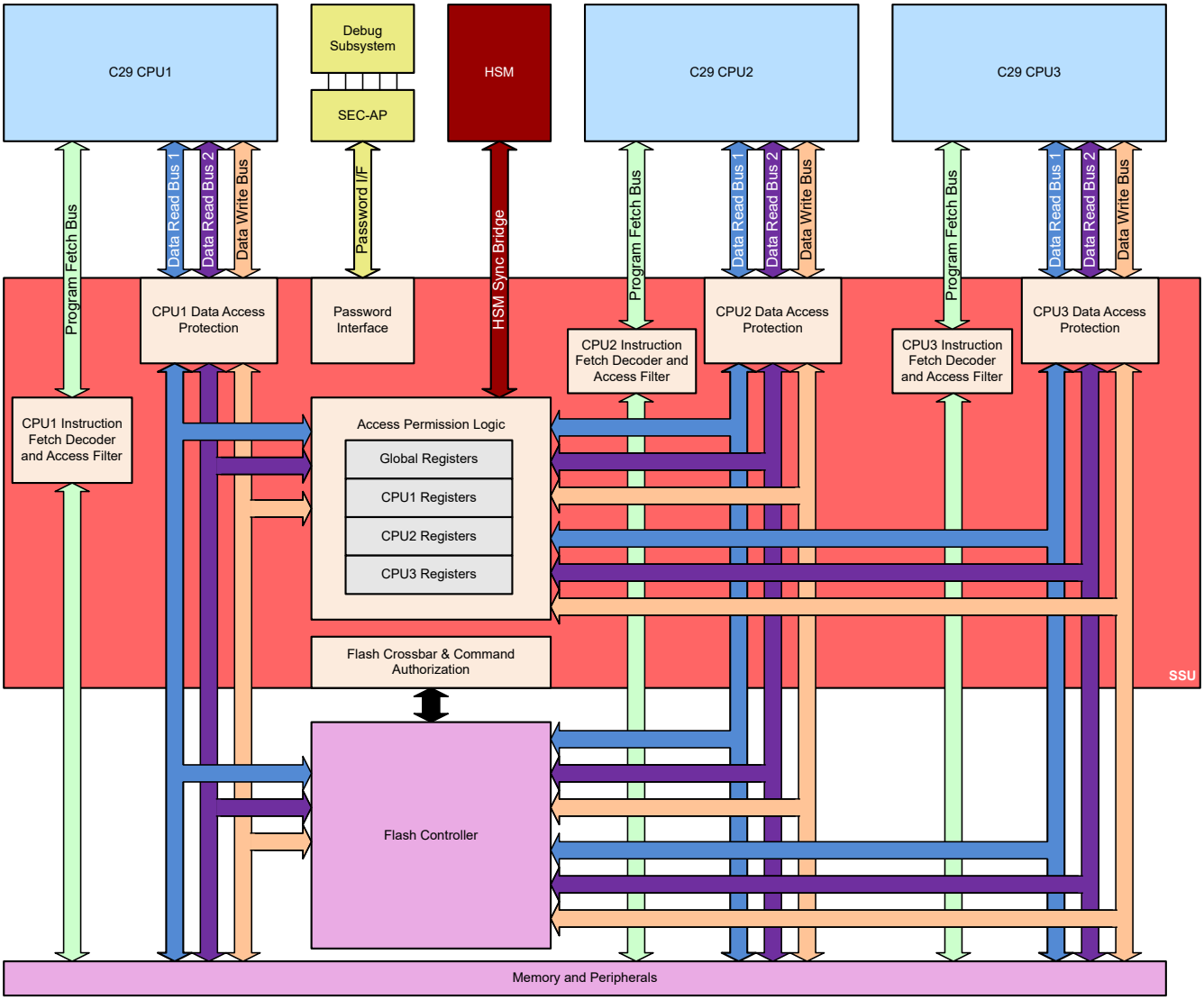


図 7-13. C29 リアルタイム セキュリティ アーキテクチャのブロック図

SSU は、C29 CPU およびフラッシュ コントローラに緊密に結合されています。各 C29 CPU は、メモリ保護識別子 (LINK)、安全およびセキュリティ分離コンテキスト (STACK)、およびデバッグ アクセス ZONE を使用してハードウェア機

Copyright © 2025 Texas Instruments Incorporated

能の分離および保護をサポートするように設計されています。図 7-14 に、アクセス保護範囲、LINK、STACK、および ZONE 間の関係を示すシステム SSU 構成の例を示します。CPU が命令フェッチを要求すると、SSU はまず命令アドレスを LINK、STACK、および ZONE にデコードし、その情報をフェッチされたデータと一緒に CPU に返します。CPU は、実行パイプライン全体を通してこのセキュリティ コンテキスト情報を命令と一緒に保持し、データ メモリの読み取りまたは書き込みアクセスを実行するときにこのコンテキストを SSU に渡します。

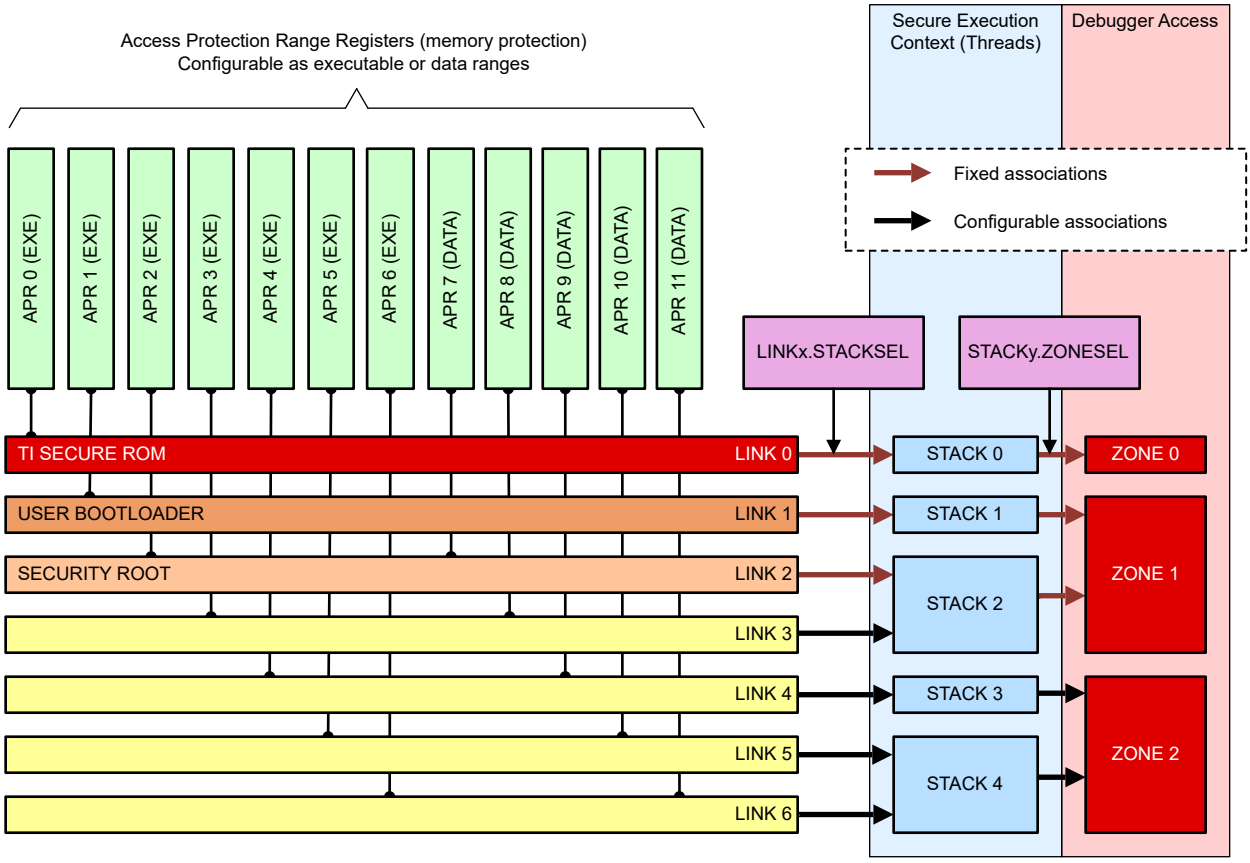


図 7-14. SSU 概念図 (概略版)

Copyright © 2025 Texas Instruments Incorporated

7.9 C29x サブシステム

7.9.1 C29 CPU のアーキテクチャ

C29 CPU は、完全に保護されたパイプラインを備えた VLIW (Very Long Instruction Word) アーキテクチャです。この CPU は、複数の命令サイズ (16/32/48 ビット) をサポートしています。また、この CPU は、可変命令パケット サイズをサポートしており、各パケットは最大 8 個の命令を並列に実行することができます。たとえば、この CPU アーキテクチャでは、最大 8 個の 16 ビット命令を並列実行できます。これは、同時に実行可能な CPU 内の複数の機能ユニットによって実現されています。合計 64 個の作業レジスタが、3 つの異なるカテゴリ (Ax、Dx、Mx レジスタ バンク) に分割されており、CPU での並列演算をサポートしています。作業レジスタに加えて、CPU は複数のステータス レジスタ (DSTS、ESTS、ISTS) を備えており、実行関連および割り込みコンテキスト関連の情報を保持します。

C29 CPU の主な機能は次のとおりです。

- **使いやすさ:**
  - バイトでアドレス指定可能な CPU。
  - 4GB のアドレス範囲を持つリニアおよび統合メモリ マップ。
  - 完全に保護されたパイプライン:同じ場所での書き込みと読み取りが誤って発生するのを防止する 9 ステージのパイプライン。
  - キャッシュ メモリなしで確定的な実行および最高の性能を実現。
- **並列処理の改善:**
  - 1～8 個の命令を並列実行。
  - 固定小数点演算、浮動小数点演算、アドレッシング演算を並列実行。
  - 複数の並列機能ユニット。
  - 不連続性を最小限に抑え、意思決定コードを迅速化するための特別な操作 (if-then-else ステートメントや switch ステートメントなど)。
  - リアルタイム制御に特化した演算 (三角関数演算や多相ベクトル変換演算など)。
- **バス スループットの向上:**
  - サイクルごとに最大 128 ビットの命令パケットをフェッチ可能。
  - サイクルごとに 8/16/32/64 ビットのデュアル読み取りおよびシングル書き込みを実行可能。
  - アドレッシング モードの改善により、メモリやペリフェラルのリソースにアクセスする際のオーバーヘッドを削減。
  - パイプラインの改善により、CPU がアクセス可能な 0 ウェイト メモリが増加して最大性能を発揮。
- **コード効率:**
  - 可変長命令セット (16 ビット、32 ビット、48 ビット命令) をサポート
  - 豊富な命令セットにより、最小の命令で最も一般的な演算を最適化。
- **ハードウェアでのコード分離による ASIL D 安全機能:**
  - スプリットロック モード (別個のコアとして動作) で独立して実行、またはロック ステップ実行 (冗長性を確保) が可能になるロック ステップ コア。
  - ECC ロジックを内蔵
  - メモリ管理 (MPU) および保護メカニズムをハードウェアに備えており、MIPS を最大化。
  - 個別のコード スレッドは完全に分離および保護 (ソフトウェア スタックを含む)。
- **強化されたデバッグおよびトレース機能:**
  - 専用のデータ ロギングおよびコード フロー トレース命令。
  - オンチップ RAM に記録可能、またはシリアル通信ペリフェラルを介してエクスポート可能なトレース データ

Copyright © 2025 Texas Instruments Incorporated

7.9.2 ペリフェラル割り込み優先順位および拡張 (PIPE)

7.9.2.1 はじめに

各 PIPE モジュール インスタンスは、対応する CPU のペリフェラル割り込みを調停します。アサートされたすべての割り込みはクロック サイクルごとに調停され、優先度が最も高い割り込みが対応する CPU 割り込みライン (NMI、RTNT、または INT) にアサートされます。PIPE モジュールは、NMI、RTINT、INT、RESET のためのベクタ アドレスを CPU に供給します。この PIPE は、割り込み、優先度設定、ネストのカスタム順序が可能です。

注

割り込みの種類、割り込み機能、安全性、およびセキュリティを含む C29x CPU 割り込みアーキテクチャの詳細については、『*C29x CPU リファレンス ガイド*』を参照してください。

7.9.2.1.1 特長

PIPE モジュールの主な機能は次のとおりです。

- 割り込みの優先度設定、調停、グループ化、ソフトウェア ハンドシェイク、ネスティングのハードウェア サポート。
- 各クロックでハードウェアの割り込みを動的に調停。
- 割り込みを RTINT と INT (Supevision INT を含む)のいずれかとして選択するため優先レベルを選択可能。
- 隣接する優先度設定された割り込みをグループ化することで、グループ内のネストを阻止。
- 調停で使用される割り込みのデフォルトのインデックス ベース優先度。
- RESET、NMI、RTINT、INT 用のベクタ フェッチをサポート。
- INT 用に構成されたスタックへのユーザー アクセス。
- ソフトウェア タスク マネージャ システムまたはオペレーティング システムで使用されるコンテキスト。
- リンク ベースの保護により、指定された割込みオーナーからの有効なコードのみで割込みが処理されることを検証。
- デバイス レベルの保護機能により、有効なコード ソースのみで割り込み構成とベクタ テーブルが更新されることを検証。
- RTINT および NMI のコンテキストの自動保存と復元。
- RTNT スタック オーバーフロー保護により、実行用に予約済みスタック領域のブロックを NMI に常に提供。
- 割り込みベクタ テーブルの ECC 保護。
- 構成レジスタのパリティ保護。
- 割り込み構成のロック機能 (オプション)。

7.9.2.1.2 割り込みの概念

割り込みは、CPU で現在実行中のプロセスを一時停止し、割り込みサービス ルーチン (ISR) と呼ばれる別のコードに分岐させる信号です。これは、ペリフェラル イベントを処理するための便利なメカニズムであり、レジスタのポーリングよりも CPU のオーバーヘッドやプログラムの複雑さを低減できます。ただし、割り込みはプログラム フローと非同期であるため、割り込みとメイン プログラム コードの両方でアクセスされるリソースの競合を避けるように注意する必要があります。

割り込みは、一連のフラグ レジスタとイネーブル レジスタを経由して CPU に伝搬されます。フラグ レジスタは、割り込みを処理されるまで格納します。イネーブル レジスタは、割り込みの伝搬を許可またはブロックします。割り込み信号が CPU に到達すると、CPU はベクタ テーブルから適切な ISR アドレスをフェッチします。

Copyright © 2025 Texas Instruments Incorporated

7.9.2.2 割り込みコントローラのアーキテクチャ

PIPE モジュールには、次の 3 つの主要な機能ブロックがあります。

1. 動的優先度調停回路
2. 後処理ブロック
3. メモリ マップト レジスタ (ベクタ テーブルとバス インターフェイスを含む)

これら 3 つのブロックについて、この後のサブセクションで詳しく説明します。

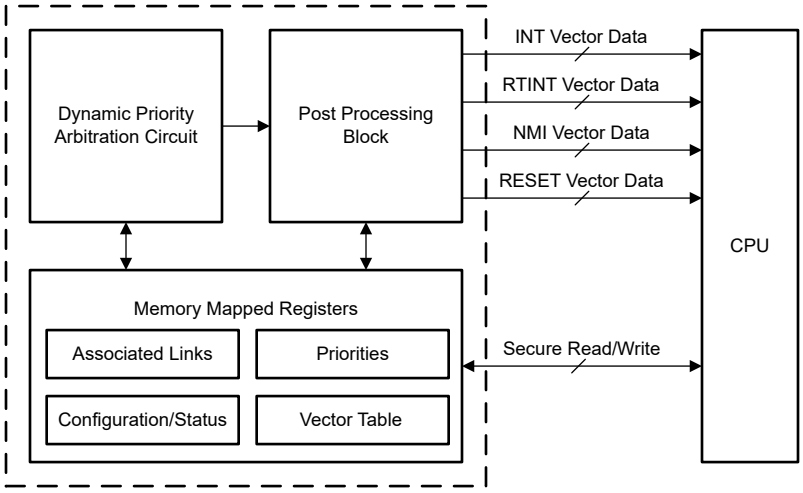


図 7-15. PIPE アーキテクチャ

7.9.2.2.1 動的優先度アービトレーション ブロック

動的優先度アービトレーション ブロックは、クロック サイクルごとに、利用可能な最高の優先度の割り込みベクタを CPU に提示します。CPU は、指定されたベクタ アドレスで、最高の優先度の割り込みを処理します。

7.9.2.2.2 後処理ブロック

後処理ブロックは、調停プロセスで勝利した最高優先度の割り込みを特定し、割り込みを転送する割り込みライン (INT または RTINT) を選択します。また、割り込みラインにアクセスしているリンクと、セキュア リンクが保護されたレジスタにアクセスしているかどうかも自動的にチェックします。

注

CPU に提供される NMI ラインは独立したラインで、アサートする準備が整っている他の割り込み (INT または RTINT) をオーバーライドします。

7.9.2.2.3 メモリ マップト レジスタ

メモリ マップト レジスタ (MMR) には、割り込み構成レジスタが含まれています。メモリ マップト レジスタで使用可能なレジスタのタイプは次のとおりです。

- 各割り込みに関連付けられているリンク。
- 各割り込みに設定された優先度。
- 割り込み構成。
- 割り込みステータス。
- ベクタ テーブル。

アクセスは、すべてのレジスタに適用されるのと同じセキュリティ ルールで制御されます。

Copyright © 2025 Texas Instruments Incorporated

7.9.2.3 割り込みの伝搬

割り込みは、いくつかのステップで CPU に伝搬されます。ペリフェラル割り込みは、特定の割り込みの INT_CTL_REG_L_y レジスタの対応するフラグ ビットを設定します。割り込みの INT_CTL_REG_L_y レジスタの EN ビットが設定されている場合、割り込みは動的優先度調停回路に伝搬されます。次に、動的優先度調停ブロックと後処理ブロックが最高優先度の割り込みを調停し、これを 2 つの割り込みライン (RTINT または INT) のいずれかで CPU にアサートします。最後に、CPU はアサートされる最高優先度の割り込みライン (NMI、RTINT、INT のいずれか) を選択し、その割り込みの実行を開始します。

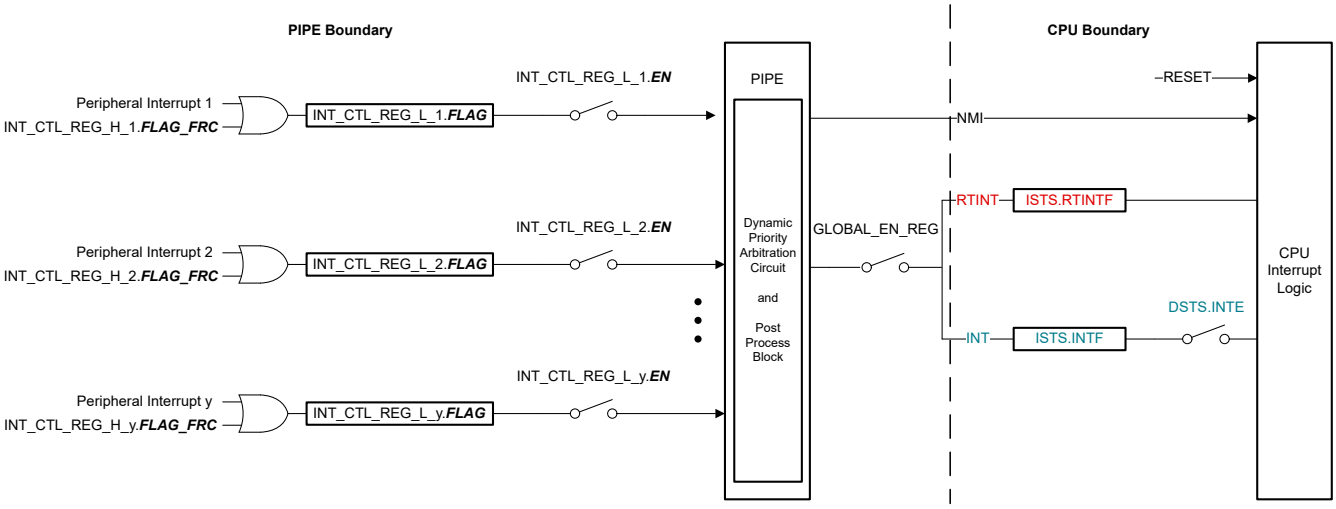


図 7-16. 割り込みの伝搬

注

NMI は独立したラインで、アサートする準備が整っている他のすべての割り込みをオーバーライドします。PIPE にアサートされた NMI イベントは、サービス中の NMI も含め、CPU に転送されます。CPU はいつでも新しい NMI を選択できますが、サービス中の NMI 割り込みサービス ルーチンが完了するまで、PIPE モジュールは新しい NMI を転送しません。

同じルールは RESET にも適用されます。CPU が RESET を受信すると、CPU に対してリセットをアサートする前に満たす必要のある条件はありません。

C29x CPU 内での割り込み伝搬については、*『C29x CPU リファレンス ガイド』*を参照してください。

Copyright © 2025 Texas Instruments Incorporated

7.9.3 データ ロギングとトレース (DLT)

7.9.3.1 はじめに

重要な CPU ランタイム コンテンツに対して、データ ロガーおよびトレース (DLT) モジュールには、どのデータを記録するか、いつデータロギングを開始するか、およびキャプチャするデータのサイズを制御する機能があります。重要なランタイム コンテンツは、コンテンツの計算時に監視する必要のある何らかの情報を含んでいる可能性があります。データ ロギングにおいて DLT は非侵襲であり、すなわち、ランタイムや CPU コアの動作に影響を与えないということです。制御ループなどの重要なタスクで、計算の中間値を表示できる機能は、ユーザーがループを微調整するのに役立ちます。DLT モジュールは、割り込みコントローラへの割り込みを生成し、RTDMA 転送要求を発行し、ERAD イベント トリガに対応できます。

DLT は、データの収集、タイムスタンプ、事前フィルタリング、エクスポート、リアルタイム処理および後処理を実行できます。

7.9.3.1.1 特長

DLT は、以下に示す機能を備えています。

- 重要なランタイム コンテンツのロギング (データ ロギング)
- タグを使用したプログラム実行シーケンスの分析 (トレース)
- ロギングはランタイム / CPU コアの動作に影響なし
- 外部メモリへのデータ転送による長期間、またはオンチップ メモリへの転送による短期間のフレキシブルなロギング機能
- レジスタのロギングは、ログに記録する変数のサイズに応じて、最大 32 ビットのサイズが可能
- 各 CPU に DLT サポート
- タイム スタンプは最後に記録された変数との時間差を記録、IPC タイマのカウントをタイム スタンプ可能
- RTDMA トリガ
- グローバル、FIFO およびタイマ割り込み生成

Copyright © 2025 Texas Instruments Incorporated

7.9.3.1.1.1 ブロック図

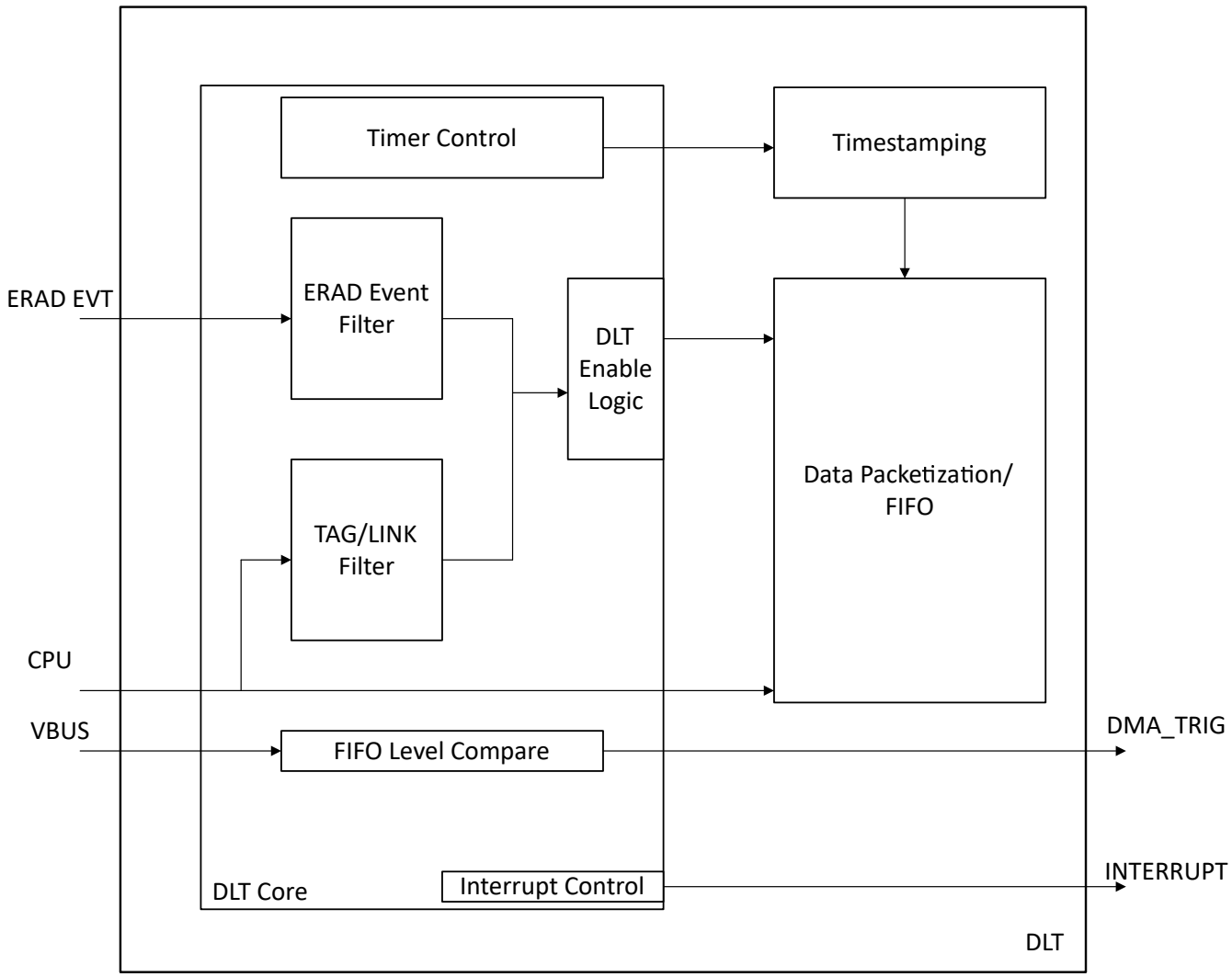


図 7-17. DLT のブロック図

Copyright © 2025 Texas Instruments Incorporated

7.9.4 波形アナライザ診断 (WADI)

7.9.4.1 WADI の概要

波形アナライザ診断 (WADI) ペリフェラルは、多くの便利な内蔵信号分析サポートで構成されており、信号の安全メカニズムを提供します。WADI は主に、スイッチの駆動や信号のキャプチャに対して、信号分析で誤作動が報告された場合にアクションまたはアクションのリンクを必要とする安全アプリケーションで役立ちます。

7.9.4.1.1 特長

- WADI ブロックに複数のソース (CMPSS、ePWM、入力クロスバー、CLB、ADC) から 1 つの入力信号を選択し、トリガを構成して信号の分析と安全診断を実行可能
- さまざまなチェックを実行するよう構成可能:
  - パルス幅の測定
  - 周波数の測定
  - 位相オーバーラップの測定
  - デッドバンドの測定
- 個別の信号に対して、または 2 つの信号間でチェックを実行可能
- 出力を特定の状態にオーバーライドする機能、信号の分析に基づいて出力組み合わせるリンクを定義する機能
- パリティをサポートするレジスタ
- RTDMA トリガと RTDMA アクノリッジをサポート

Copyright © 2025 Texas Instruments Incorporated

7.9.4.1.2 ブロック図

図 7-18 に、WADI のブロック図を示します。

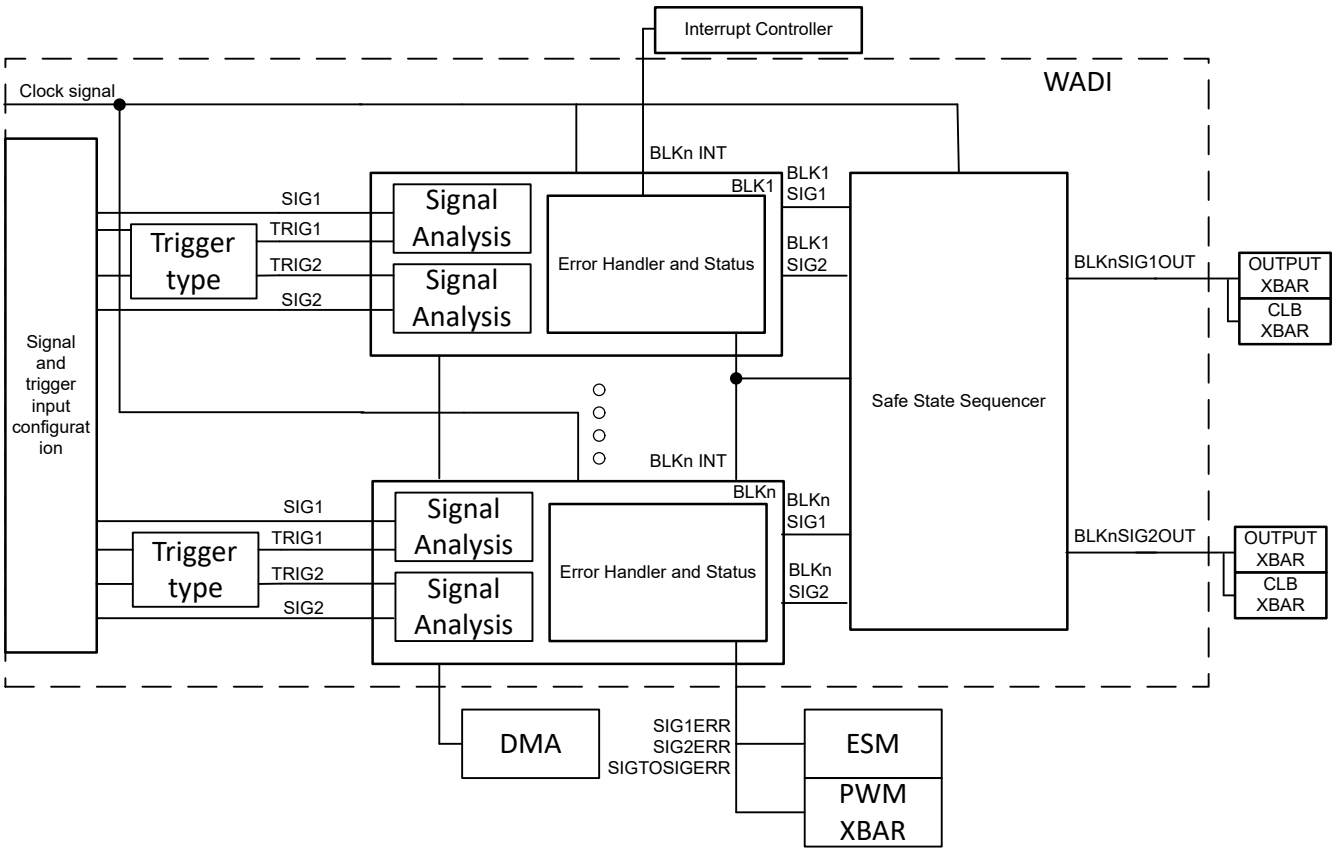


図 7-18. WADI のブロック図

7.9.4.1.3 概要

波形アナライザ診断 (WADI) は、入力信号の測定、集約、比較を実行することにより、基盤となるリアルタイム制御システムの正確性と品質を判断します。各入力信号は、パルス幅、周波数、位相、デッドバンドなどの特定の特性を評価します。WADI は、各信号の値と比較値の差が、信号が有効であると見なすことができるマージン誤差の範囲内であることを検証します。WADI は、WADI ブロック内で個々の信号の比較または信号間の分析を可能にします。各 WADI インスタンスには、4 つの WADI ブロックがあります。各 WADI ブロックは、最大 2 つの信号を監視し、それぞれの信号分析を実行できます。

Copyright © 2025 Texas Instruments Incorporated

7.9.5 組み込みのリアルタイム解析および診断 (ERAD)

ERAD モジュールは、デバイスのデバッグ機能とシステム分析機能を強化します。ERAD モジュールが提供するデバッグおよびシステム分析の拡張は、CPU の外部で行われます。ERAD モジュールは、拡張バス コンパレータ ユニットとシステム イベント カウンタ ユニットで構成されています。拡張バス コンパレータ ユニットは、ハードウェア ブレークポイント、ハードウェア ウォッチポイント、およびその他の出力イベントの生成に使用されます。システム イベント カウンタ ユニットは、システムの分析とプロファイル作成に使用されます。ERAD モジュールは、デバッガとアプリケーション ソフトウェアからアクセスでき、特にデバッガが接続されていない状況で、多くのリアルタイム システムにおいてデバッグ性能が大幅に向上します。ERAD モジュールには、PC の不連続性を追跡できるプログラム カウンタ トレース (PC トレース) が搭載されています。

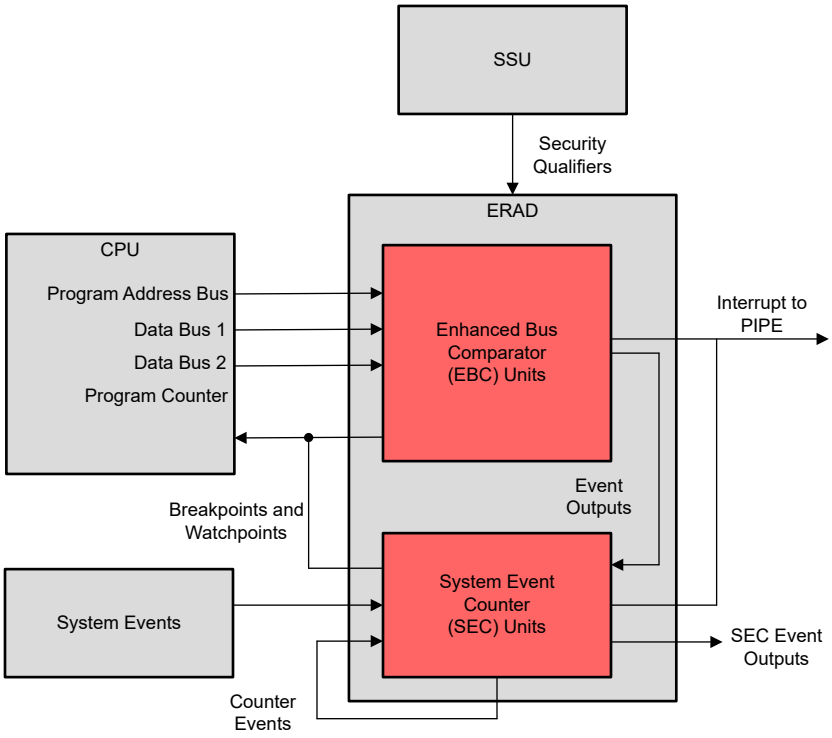


図 7-19. ERAD システムの概要

7.9.6 プロセッサ間通信 (IPC)

7.9.6.1 はじめに

このセクションでは、各 CPU が情報を要求および共有するために使用できる IPC 機能について詳しく説明します。IPC の機能は次のとおりです。

- IPC フラグと割り込み
- IPC コマンド レジスタ
- フリーランニング カウンタ

すべての IPC 機能は互いに独立しており、ほとんどの場合、特定のデータ フォーマットを必要としません。

「IPC モジュール アーキテクチャ」の図に、IPC モジュールの設計構造を示します。この機能は、どの 2 つの CPU 間でも同じです。

C29x プロセッサを搭載したデバイスには、メッセージ RAM はありません。これは、さまざまな CPU で任意のメモリを読み取り可能または書き込み可能として指定できるためです。

Copyright © 2025 Texas Instruments Incorporated

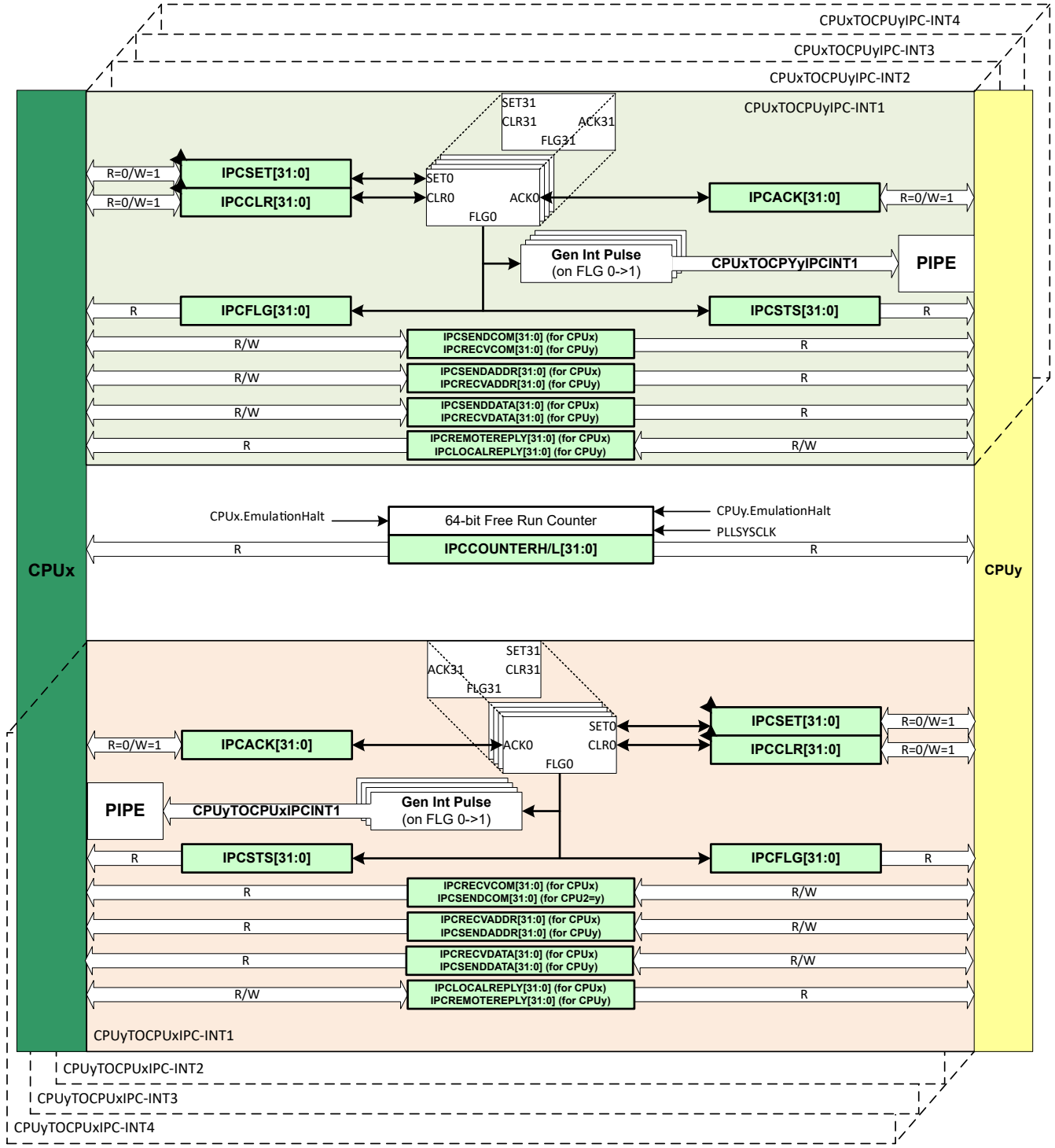


図 7-20. IPC モジュール アーキテクチャ

7.9.7 ウォッチドッグ

このウォッチドッグ モジュールは、従来の TMS320C2000™ マイクロコントローラと同じですが、オプションでカウンタのソフトウェア リセット間隔の下限を設定できます。このウィンドウ付きカウントダウンは、デフォルトで無効になっているため、ウォッチドッグは完全に下位互換性があります。

ウォッチドッグは、リセットまたは割り込みのどちらかを生成します。選択可能な分周器付きの内部発振器からクロックが供給されます。

図 7-21 に、ウォッチドッグ モジュール内の各種機能ブロックを示します。

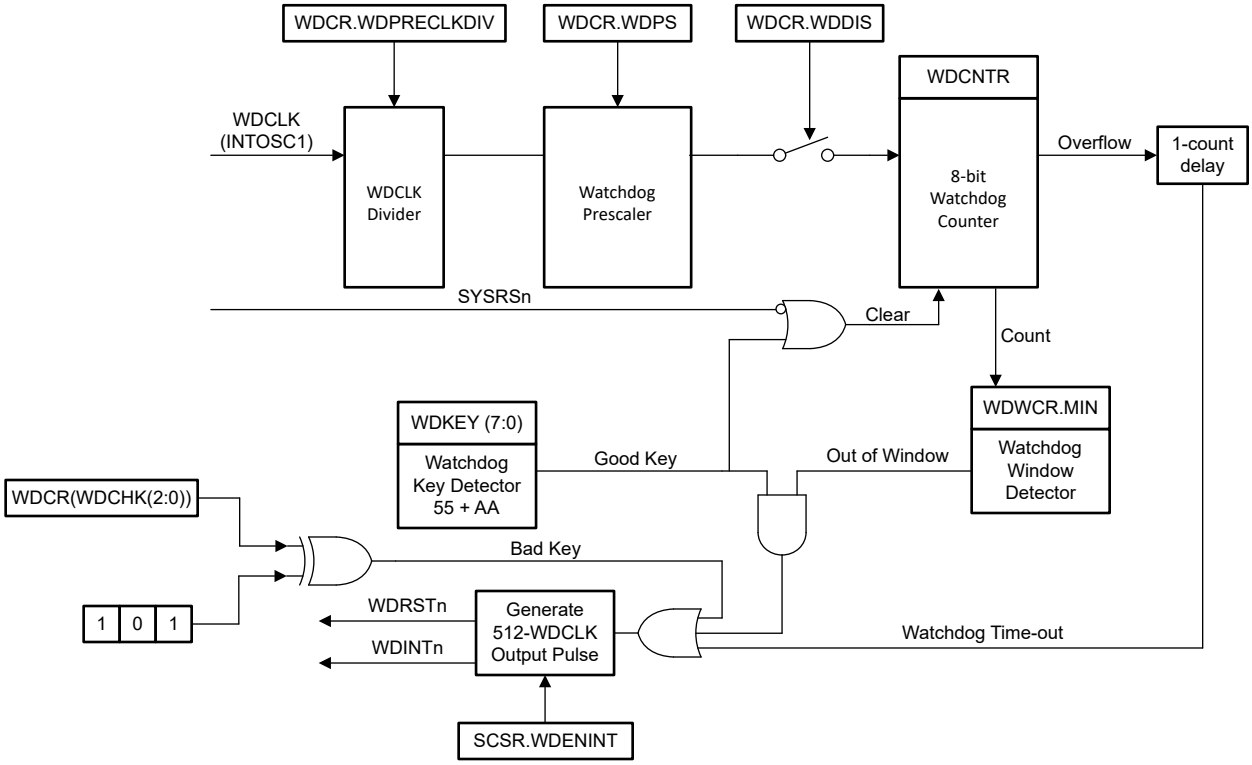


図 7-21. ウィンドウ ウォッチドッグ

7.9.8 デュアル クロック コンパレータ (DCC)

DCC モジュールは、より正確で信頼性の高いバージョンである 2 番目のクロックに基づいてクロック入力を評価および監視するのに使用されます。この計測機器は、クロック ソースまたはクロック構造の障害を検出するために使用され、システムの安全性指標を強化します。

7.9.8.1 特長

DCC の特長は次のとおりです。

- アプリケーションが、2 つのクロック信号の周波数の間で固定比率を維持できるようにします。
- 基準クロック・サイクル数に関して、プログラム可能な許容範囲ウィンドウを定義できます。
- アプリケーションが介在しなくても継続的に監視できます。
- スポット測定のためのシングル・シーケンス・モードをサポートしています。
- 複数の特殊な使用事例のために各カウンタのクロック源を選択することもできます。

Copyright © 2025 Texas Instruments Incorporated

7.9.8.2 DCCx クロック ソース入力のマッピング

表 7-46. DCCx クロック ソース 0 表

DCCxCLKSRC0[3:0]	クロック名
0x0	XTAL/X1
0x1	INTOSC1
0x2	INTOSC2
0x4	TCK
0x5	CPU1.SYSCLK
0x8	AUXCLKIN
0xC	INPUT XBAR (入力クロスバーの出力 16)
その他	予約済み

表 7-47. DCCx クロック ソース 1 表

DCCxCLKSRC1[4:0]	クロック名
0x0	PLLRAWCLK
0x2	INTOSC1
0x3	INTOSC2
0x6	CPU1.SYSCLK
0x7	CPU2.SYSCLK
0x8	RTDMA - LCMCLK
0x9	INPUT_XBAR.INPUT15
0xA	AUXCLKIN
0xB	EPWMCLK
0xD	ADCCLK
0xE	WDCLK
0x15	CPU3.SYSCLK
0x18	INPUT_XBAR.INPUT11
0x19	INPUT_XBAR.INPUT12
0x1A..0x1F	MCAN[A..F]BITCLK
0x20	ESM クロック
その他	予約済み

Copyright © 2025 Texas Instruments Incorporated

7.9.9 構成可能ロジック ブロック (CLB)

C2000 構成可能ロジック ブロック (CLB) は、ソフトウェアを使って相互接続できるブロックの集合体であり、カスタム デジタル ロジック機能の実装や既存のオンチップ ペリフェラルの拡張に使用できます。CLB は、一連のクロスバー相互接続を使用して既存のペリフェラルを拡張することができます。この相互接続によって、拡張パルス幅変調器 (ePWM)、拡張キャプチャ モジュール (eCAP)、拡張直交エンコーダ パルス モジュール (eQEP) など、既存の制御ペリフェラルに高いレベルの接続性が得られます。クロスバーを使って、CLB を外部 GPIO ピンに接続することもできます。このように、CLB とデバイスのペリフェラルとの連携を構成することにより、コンパレータなどの小規模な論理機能を実行したり、またはカスタムのシリアル データ交換プロトコルを実装したりできます。従来は外部のロジック デバイスを使って他の方法で実現していた機能が、CLB によって MCU 内で実装できるようになりました。

CLB ペリフェラルは、CLB ツールを使って構成します。CLB ツール、使用例、アプリケーション ノート、およびユーザー ガイドの詳細については、F29 SDK の

- ***F29_SDK_INSTALL_LOCATION\tools\clb_tool\clb_sysconfig\doc***
- CLB ツール ユーザー ガイド
- 『C2000™ 構成可能ロジック ブロック (CLB) を使用した設計』アプリケーション ノート
- 『カスタム ロジックを FPGA/CPLD から C2000™ マイクロコントローラへ移行する方法』アプリケーション ノート

図 7-22 に、CLB モジュールとその相互接続を示します。

Copyright © 2025 Texas Instruments Incorporated

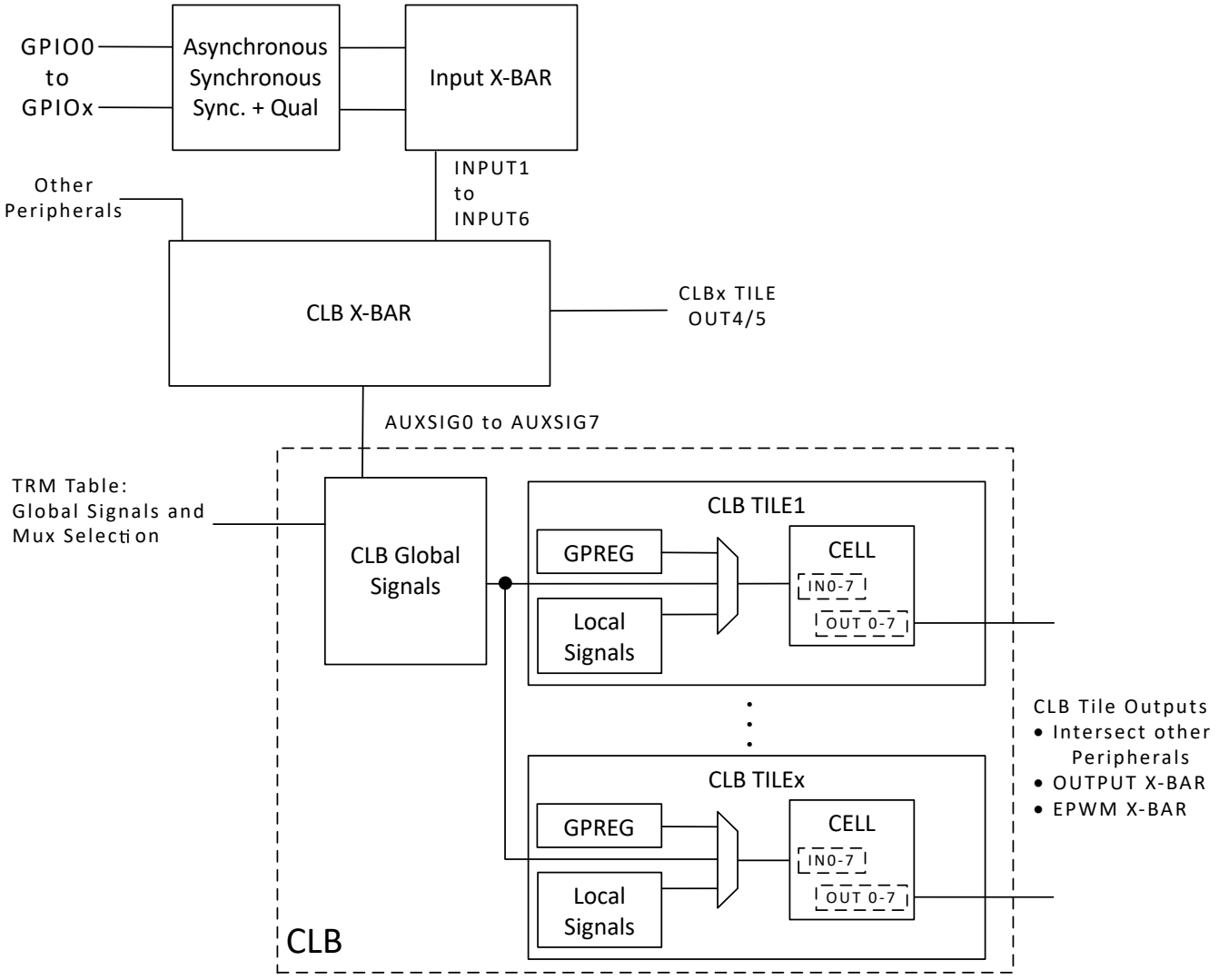


図 7-22. GPIO から CLB へのタイル接続

F29 モーター制御 SDK でアブソリュート エンコーダ プロトコル インターフェイスが提供されるようになりました。F29 モーター制御 SDK には、構成ファイル、アプリケーション プログラミング インターフェイス (API)、およびこれらのソリューションの使用例が付属しています。一部のソリューションでは、テキサス・インスツルメンツが構成した CLB を、SPI ポートや C29x CPU など他のオンチップ リソースと組み合わせて使って、より複雑な機能を実行します。

7.10 ロックステップ比較モジュール (LCM)

ランタイム中のハードウェア モジュールの整合性は、機能安全に関する重要な要件です。ロックステップ CPU アーキテクチャによって実装されたハードウェア冗長性 (2 つの CPU で同じ機能を実行して CPU の出力を継続的に比較) は、永続的な障害と過渡的な障害の両方について高い診断範囲を達成する実証済みの手法です。CPU からの出力を比較して永続的および過渡的な障害を検出するために、ロックステップ コンパレータ モジュール (LCM) が実装されています。

LCM の主な機能は次のとおりです。

- パイプライン方式のアーキテクチャ
- 冗長比較
- セルフ テスト機能
  - 一致 / 不一致テスト
  - エラー強制機能

- 時間的冗長性:クロックや電源の故障などの共通原因故障の問題に対処するために、2 つのモジュールの動作が 2 サイクルずつスキューされます。これにより、時間的冗長性が確保されます。
- 空間的冗長性:ロックステップ アーキテクチャでは、モジュール インスタンスが冗長的にインスタンス化され、その出力が比較されます。冗長的なインスタンス化により、空間的冗長性を実現します。
- 遅延なしの機能出力パスにより (時間的冗長性を維持しながら) システムで遅延なしの CPU 実行を実現。
- モジュールの重要なメモリ マップ レジスタについてのパリティ方式を使用したレジスタ保護。

この LCM ブロック図以下に示します。

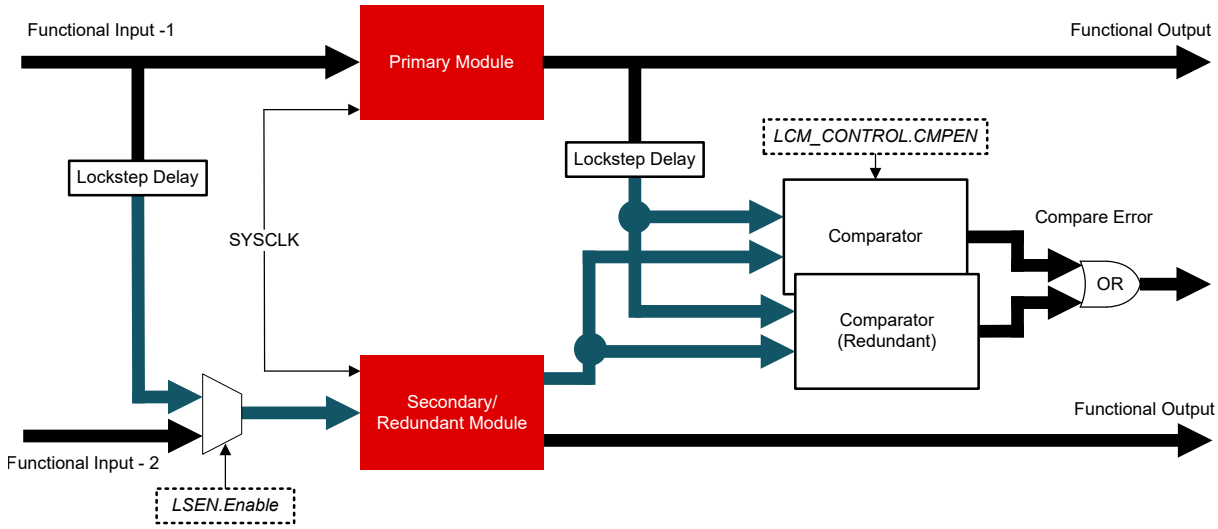


図 7-23. LCM のブロック図

注

このブロック図で示しているモジュールは、デバイスでどちらを使用できるかに応じて、CPU (CPU1 など) またはペリフェラル (RTDMA など) のどちらかになります。

Copyright © 2025 Texas Instruments Incorporated

8 アプリケーション、実装、およびレイアウト

8.1 リファレンス デザイン

テキサス・インスツルメンツ リファレンス デザイン ライブラリは、アナログ、組み込みプロセッサ、コネクティビティの各分野にわたる堅牢なリファレンス デザイン ライブラリです。すべての TI リファレンス デザインは、システム設計を迅速に開始できるように テキサス・インスツルメンツの専門家により作成されたもので、回路図またはブロック図、BOM、設計ファイルが含まれており、製品の開発期間短縮に役立ちます。

「TI リファレンス デザインの選択」ページで、設計を検索してダウンロードできます。

9 デバイスおよびドキュメントのサポート

9.1 デバイスの命名規則

テキサス・インスツルメンツでは、サポート ツールについては、使用可能な 3 つの接頭辞のうち TMDX および TMDS の 2 つを推奨しています。これらの接頭辞は、製品開発の進展段階を表します。段階には、エンジニアリング プロトタイプ (TMDX) から、完全認定済みの量産ツール (TMDS) まであります。

デバイスの開発進展フロー:

X 実験的デバイス。最終デバイスの電気的特性を必ずしも表さず、量産アセンブリ・フローを使用しない可能性があります。

P プロトタイプ・デバイス。最終的なシリコン・ダイとは限らず、最終的な電気的特性を満たさない可能性があります。

空白 認定済みのシリコン・ダイの量産バージョン。

サポート・ツールの開発進展フロー:

TMDX 開発サポート製品。テキサス・インスツルメンツの社内認定試験はまだ完了していません。

TMDS 完全に認定済みの開発サポート製品です。

X および P デバイスと TMDX 開発サポート・ツールは、以下の免責事項の下で出荷されます。

「開発中の製品は、社内での評価用です」。

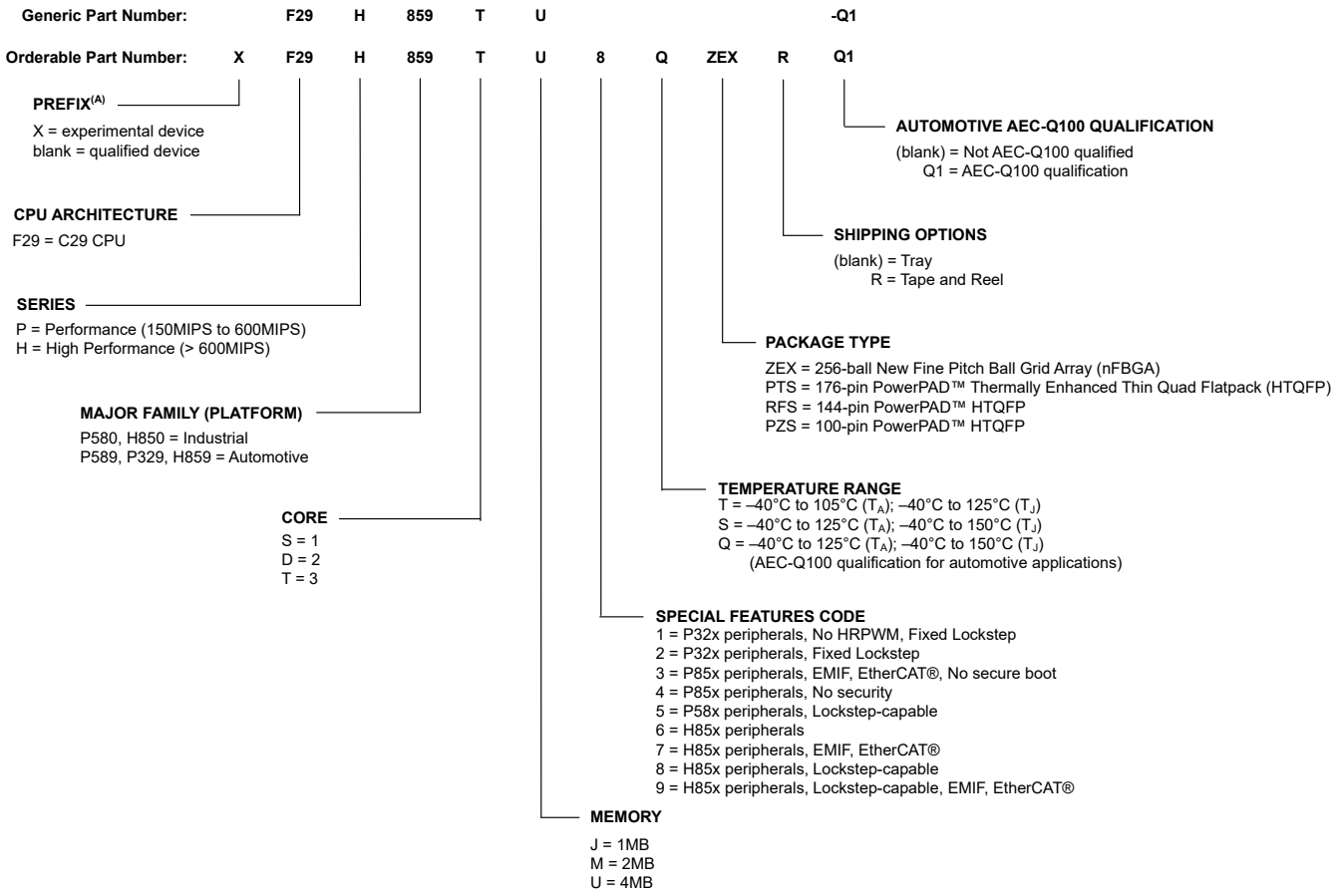
量産デバイスおよび TMDS 開発サポート・ツールの特性は完全に明確化されており、デバイスの品質と信頼性が十分に示されています。テキサス・インスツルメンツの標準保証が適用されます。

プロトタイプ・デバイス (X または P) の方が標準的な量産デバイスに比べて故障率が大きいと予測されます。これらのデバイスは予測される最終使用時の故障率が未定義であるため、テキサス・インスツルメンツでは、それらのデバイスを量産システムで使用しないよう推奨しています。認定済みの量産デバイスのみを使用する必要があります。

TI デバイスの項目表記には、デバイス ファミリ名の接尾辞も含まれます。この接尾辞は、パッケージの種類 (例:ZEX) を示しています。

デバイスの型番と詳しい注文情報については、テキサス・インスツルメンツの販売代理店にお問い合わせください。

Copyright © 2025 Texas Instruments Incorporated

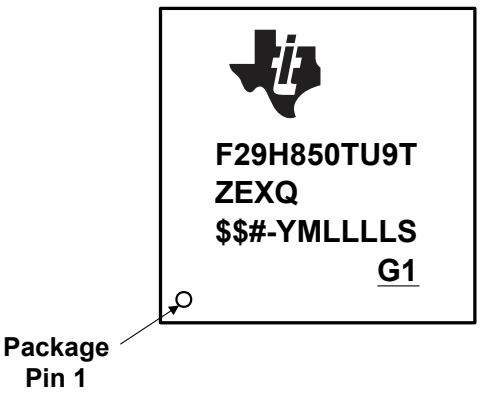


A. 注文用型番には接頭辞 X を使用。

図 9-1. デバイスの命名規則

9.2 マーキング

パッケージ マーキングを 図 9-2、図 9-3、図 9-4、および 図 9-5 に示します。表 9-1 に、シリコンのリビジョン コードを示します。

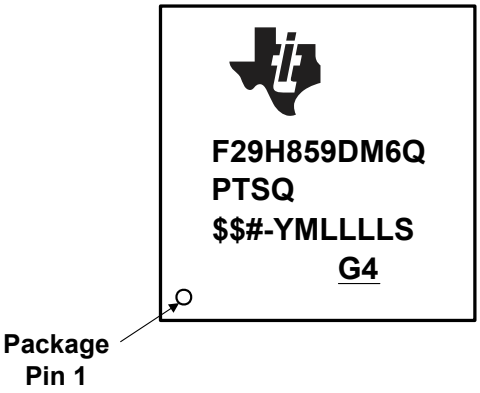


YMLLLLS = Lot Trace Code

$$ = Wafer Fab Code (one or two characters) as applicable
 # = Silicon Revision Code
YM = 2-digit Year/Month Code
LLLL = Assembly Lot Code
S = Assembly Site Code

G1 = Green (Low Halogen and RoHS-compliant)

図 9-2. ZEX パッケージのパッケージ マーキング

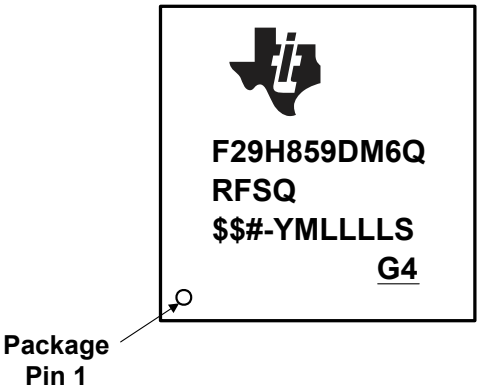


YMLLLLS = Lot Trace Code

$$ = Wafer Fab Code (one or two characters) as applicable
# = Silicon Revision Code
YM = 2-digit Year/Month Code
LLLL = Assembly Lot Code
S = Assembly Site Code

G4 = Green (Low Halogen and RoHS-compliant)

図 9-3. PTS パッケージのパッケージ マーキング

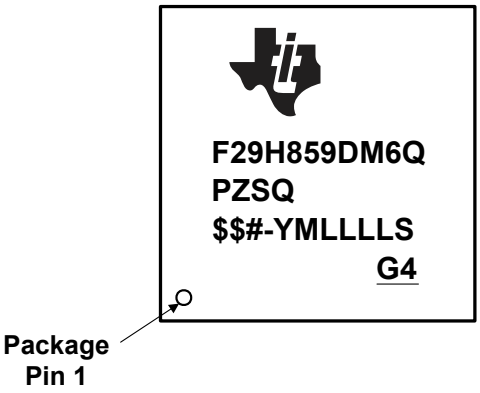


YMLLLLS = Lot Trace Code

$$ = Wafer Fab Code (one or two characters) as applicable
# = Silicon Revision Code
YM = 2-digit Year/Month Code
LLLL = Assembly Lot Code
S = Assembly Site Code

G4 = Green (Low Halogen and RoHS-compliant)

図 9-4. RFS パッケージのパッケージ マーキング



YMLLLLS = Lot Trace Code

$$ = Wafer Fab Code (one or two characters) as applicable
# = Silicon Revision Code
YM = 2-digit Year/Month Code
LLLL = Assembly Lot Code
S = Assembly Site Code

G4 = Green (Low Halogen and RoHS-compliant)

図 9-5. PZS パッケージのパッケージ マーキング

表 9-1. リビジョンの識別

シリコンのリビジョン コード	シリコンのリビジョン	REVID(1) アドレス:0x3018 0028	備考(2)
空白	0	0x0000 0001	このシリコン リビジョンは量産開始前として供給されます。
A	A	該当なし(3)	このシリコン リビジョンは量産開始前として供給されます。
B	B	0x0000 0003	このシリコン リビジョンは量産データとして供給されます

(1) シリコンのリビジョン ID
(2) 注文可能なデバイス番号については、このデータシートの末尾にある「パッケージ情報」表を参照してください。
(3) 「パッケージ記号化」図のシリコン リビジョン コードを参照してください。

Copyright © 2025 Texas Instruments Incorporated

9.3 ツールとソフトウェア

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。ツールおよびソフトウェアの一部は、デバイスの性能評価や、コードの生成に使用され、それに従ってソリューションの開発が行われます。C2000™ リアルタイム制御 MCU 用に提供しているすべてのツールおよびソフトウェアを参照するには、C2000 リアルタイム制御 MCU - 設計および開発のページをご覧ください。

開発ツール

TI Resource Explorer
操作性を向上させるには、TI Resource Explorer からアプリケーションのサンプル、ライブラリ、資料を参照してください。

ソフトウェア ツール

F29 リアルタイム MCU 向け F29-SDK 基本ソフトウェア開発キット (SDK)
F29x SDK は、C29x CPU ベース ファミリのリアルタイム MCU をサポートしています。これらの SDK を組み合わせると、高性能リアルタイム制御アプリケーションの開発に適した包括的な各種ソフトウェア パッケージを実現できます。この SDK を使用すると、車載と産業用の各アプリケーションで必要とされる制御機能、安全性機能、サイバーセキュリティ機能と組み合わせ、ホストの機能を容易に統合できます。

DigitalPower SDK
DigitalPower SDK は、ソフトウェア インフラ、ツール、資料の総合的なセットで、AC/DC、DC/DC、DC/AC 電源アプリケーション向け C2000 MCU ベース デジタル電源システムの開発期間の大幅な短縮を可能にします。このソフトウェアには、C2000 デジタル電源評価モジュール (EVM) で動作するファームウェアと、太陽光発電、テレコム、サーバー、電気自動車 (EV) チャージャ、産業用電源供給アプリケーション向けの テキサス・インスツルメンツのリファレンス デザインが含まれています。DigitalPower SDK は、デジタル電源アプリケーションの開発と評価のすべての段階で必要とされるあらゆるリソースを提供します。

モーター制御 SDK
モーター制御 SDK は、さまざまな 3 相モーター制御アプリケーションで使用するために C2000 MCU ベースのモーター制御システムの開発時間を最小限に抑える目的で設計したソフトウェア インフラ、ツール、資料の総合的なセットです。このソフトウェアには、C2000 モーター制御評価基板 (EVM) で動作するファームウェアと、産業用ドライブおよびその他のモーター制御向けのテキサス・インスツルメンツ リファレンス デザインが含まれています。モーター制御 SDK には、高性能モーター制御アプリケーションの開発と評価のすべての段階で必要とされるあらゆるリソースが用意されています。

Code Composer Studio™ 統合開発環境 (IDE)
Code Composer Studio は、テキサス・インスツルメンツのマイクロコントローラおよびプロセッサ用の統合開発環境 (IDE) です。CCS は、組み込みアプリケーションの開発とデバッグに必要な一連のツールで構成されています。Code Composer Studio は、Windows®、Linux®、macOS® デスクトップからダウンロードできます。https://dev.ti.com にアクセスし、クラウド環境で使用することもできます。Code Composer Studio は、最適化 C/C++ コンパイラ、ソース コード エディタ、プロジェクト ビルド環境、デバッガ、プロファイラなど、多数の機能を搭載しています。直観的な IDE を使用すると、アプリケーション開発フローの各ステップを順に実行することができます。使い慣れたツールとインターフェイスを活用して、これまで以上に迅速に開発を開始できます。Code Composer Studio のデスクトップ バージョンは、Eclipse ソフトウェア フレームワークの利点と、テキサス・インスツルメンツの高度な機能を組み合わせたもので、魅力的かつ機能の豊富な環境を実現しています。クラウド ベースの Code Composer Studio は、Theia アプリケーション フレームワークを活用し、大量のソフトウェアのダウンロードやインストールを不要にして、クラウド上での開発を可能にします。

c2000-idea – Open VSX Registry は、テキサス インスツルメンツの C2000™ マイコンの開発を強化する目的で設計された統合開発ツールです。これは、Visual Studio Code™ と Code Composer Studio™ 内で一元的な環境を実現し、プロジェクト検出、対象を絞った資料配信、デベロッパー効率化ツールなどの機能を提供します。重要な機能の 1 つは移行サポートであり、開発者が C2000 デバイス間の移行を簡素化および加速するのに役立ちます。

SysConfig システム構成ツール
SysConfig は、ピン、ペリフェラル、無線、サブシステム、その他のコンポーネントを構成するための包括的なグラフィカル ユーティリティ コレクションです。SysConfig を使用すると、問題の管理、表面化、解決をビジュアルな方法で実行できる

Copyright © 2025 Texas Instruments Incorporated

ので、より多くの時間をアプリケーションの差異化に割り当てることができます。このツールの出力には C ヘッダとコード ファイルが含まれており、ソフトウェア開発キット (SDK) サンプルと組み合わせて使用することも、カスタム ソフトウェアの構成に使用することもできます。SysConfig ツールは、入力した要件を満たす PinMux 設定を自動的に選択します。SysConfig ツールは CCS に統合されており、スタンドアロン インストーラとしても提供されています。また、dev.ti.com クラウド ツール ポータルからも使用できます。SysConfig システム構成ツールの詳細については、システム構成ツールのページを参照してください。

C2000 サード パーティー検索ツール
テキサス・インスツルメンツは複数の企業と協力し、テキサス・インスツルメンツの C2000 デバイスに対応する多様なソリューションとサービスを提供しています。これらの企業は、各種 C2000 デバイスを使用した量産へと至るお客様の開発工程の迅速化に役立ちます。この検索ツールをダウンロードすると、サード パーティー各社の概要を手早く参照し、お客様のニーズに適したサード パーティーを見つけることができます。

UniFlash フラッシュ プログラミング ツール
Uniflash は、テキサス・インスツルメンツのマイクロコントローラおよびワイヤレス コネクティビティ デバイスが搭載しているオンチップ フラッシュと、テキサス・インスツルメンツ製プロセッサ向けのオンボード フラッシュに対してプログラミング (書き込み) を行うためのソフトウェア ツールです。Uniflash は、グラフィカル インターフェイスとコマンドライン インターフェイスの両方を採用しています。

モデル

製品の「設計および開発」ページでは、各種のモデルをダウンロードできます。これらのモデルには、I/O バッファ情報仕様(IBIS)モデルや、バウンダリ スキャン記述言語(BSDL)モデルが含まれます。利用可能なすべてのモデルを参照するには、各デバイスの「設計および開発」ページの「設計ツールとシミュレーション」セクションをご覧ください。

トレーニング

設計エンジニアが C2000 マイクロコントローラの機能および性能を十分に活用できるよう、TI は各種のトレーニング リソースを開発しました。オンライン トレーニング資料や、ダウンロード可能な実践的ワークショップを活用することで、C2000 マイクロコントローラ ファミリの完全な動作の知識を簡単に習得できます。これらのトレーニング資料は、習得を容易にし、開発期間を短縮し、製品を短期間で開発できるよう設計されています。各種トレーニング資料の詳細については、C2000™ リアルタイム制御 MCU - サポートおよびトレーニングのサイトを参照してください。

9.4 ドキュメントのサポート

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

プロセッサおよび関連ペリフェラルに関する最新ドキュメント、その他の技術資料を以下に示します。

注

テキサス・インスツルメンツでは、より包括的な用語を使用するように移行を進めています。一部の言語については、特定のテクノロジー分野で期待される言語とは異なる場合があります。

エラッタ

『F29H85x、F29P58x および F29P32x リアルタイム MCU シリコン エラッタ』には、シリコンについて既知の問題と回避方法が記載されています。

テクニカル リファレンス マニュアル

『F29H85x および F29P58x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』には、F29H85x および F29P58x リアルタイム マイクロコントローラの各ペリフェラルおよびサブシステムについて、統合、環境、機能説明、プログラミング モデルの詳細が記載されています。

Copyright © 2025 Texas Instruments Incorporated

ユーザー ガイド

『F29x ハードウェア セキュリティ マネージャ (HSM) ユーザー ガイド』ハードウェア セキュリティ モジュール (HSM) は、デバイス内の自己完結型サブシステムで、セキュリティおよび暗号化機能を備えています。ホスト C29x サブシステムは、HSM サブシステムと接続して、コード認証、セキュア ブート、セキュア ファームウェア アップグレード、暗号化されたランタイム通信に必要な暗号化操作を実行します。

『F29x 暗号化ハードウェア アクセラレータ ユーザー ガイド』ハードウェア セキュリティ マネージャ (HSM) には、主要な暗号化アルゴリズムを高速に実行できるようにする複数のハードウェア アクセラレータが搭載されています。これらのエンジンには、データ変換およびハッシュ エンジン (DTHE)、AES (Advanced Encryption Standard) アクセラレータ、公開鍵エンジン (PKE)、ハッシュ アルゴリズム、真性乱数発生器 (TRNG) が含まれます。

『C29x CPU および命令セット リファレンス ガイド』は、C29x CPU アーキテクチャの CPU アーキテクチャ、割り込み、パイプライン、アドレッシング モード、安全性、セキュリティの側面について説明しています。このマニュアルは、これらのデバイスで利用可能なエミュレーション機能についても解説しています。

『TMS320F2837x、TMS320F2838x、TMS320F28P65x から TMS320F29H85x への移行ユーザー ガイド』には、F2837x、F2838x、F28P65x、F29H85x の各 C2000™ マイコン間で移行するときに考慮すべきハードウェアとソフトウェアの違いについて記述されています。

ペリフェラル ガイド

『C2000 リアルタイム マイクロコントローラ ペリフェラル リファレンス ガイド』は、TMS320x28x および F29x デバイスで使用可能なペリフェラルについて説明しています。このリファレンス ガイドには、各デバイスで使用されるペリフェラルと、それらのペリフェラルの説明が記載されています。

ツール ガイド

『F29H85X controlSOM 評価ボード ユーザー ガイド』F29H85X-SOM-EVM は、テキサス インスツルメンツの C2000™ マイコン シリーズの F29H85x および F29P58x デバイス向けの評価・開発ボードです。3 個の 120 ピン高速高密度コネクタを搭載したシステムオンモジュール デザインは、初期評価とプロトタイプ製作に最適です。

F29H85X LaunchPad ユーザー ガイド LAUNCHXL-F29H85x は、TI (テキサス・インスツルメンツ) の C2000™ リアルタイム マイコンである F29 デバイス ファミリ向けの低コスト開発ボードです初期の評価とプロトタイプ製作に最適なこのボードは、次期アプリケーションを開発するための標準化済みで使いやすいプラットフォームを実現します。LaunchPad™ 開発キットの拡張バージョンであり、開発用のピンが追加され、2 個の BoosterPack™ プラグイン モジュールの接続をサポートをします。多様な TI のマイコン LaunchPad エコシステムの一部であるこのボードには、幅広いプラグイン モジュールとの相互互換性があります。

アプリケーション ノート

「SMT & パッケージ アプリケーション ノート」Web サイトには、テキサス・インスツルメンツの表面実装テクノロジ (SMT) のドキュメントと、パッケージに関連する各種トピックについてのアプリケーション ノートの一覧があります。

『半導体パッキング方法』では、半導体デバイスをエンド ユーザーへの配送用に準備するためのパッキング手法について記述しています。

『組込みプロセッサの有効寿命計算』では、テキサス・インスツルメンツの組込みプロセッサ (EP) を電子機器システムにおいて通電状態で使用したときの有効寿命を計算するための手法を解説しています。これは、テキサス・インスツルメンツの EP の信頼性が最終システムの信頼性要件を満たすかどうかを判定したい一般的なエンジニアを対象としています。

『IBIS (I/O バッファ情報仕様) モデル作成の概要』では、IBIS の歴史、利点、互換性、モデルの生成フロー、入力 / 出力構造のモデル作成におけるデータの要件、将来の動向など、各種の側面から解説しています。

Gen 4 の C2000™ マイクロコントローラのシリアル フラッシュ プログラミングについては、フラッシュカーネルおよび ROM ローダーを使用したデバイスのシリアルプログラミングについて説明しています。

Copyright © 2025 Texas Instruments Incorporated

『C2000™ リアルタイム マイクロコントローラを使った開発のための基本ガイド』では、リアルタイム制御システムに関連する C2000 マイクロコントローラ ユニット (MCU) を差別化するためのコンポーネントについて詳細に説明しています。

*『F2800x C2000™ リアルタイム MCU シリーズ用ハードウェア設計ガイド』アプリケーション ノート*は、C2000 デバイスを使用するハードウェア開発者向けの重要なガイドであり、設計プロセスの合理化と、設計不具合の可能性低減に役立ちます。ここで説明する主なトピックは、電源要件、汎用入出力 (GPIO) 接続、アナログ入力と ADC、クロック生成と要件、JTAG デバッグなどです。

C29x 安全性とセキュリティ ユニットによるランタイム セーフティとセキュリティの実装では、SSU のさまざまな機能について検討し、組込みシステムの開発者が SysConfig 内の SSU ツールを活用してリアルタイム アプリケーションにおける実行時の安全性とセキュリティを設計および実装する方法を解説します。

『高性能リアルタイム制御システムにおけるサイバーセキュリティの実現テクニカル ホワイト ペーパー』では、組込みハードウェアおよびソフトウェアに対する、ますます巧妙になる現代の攻撃から保護するためのアプローチについて説明します。

9.5 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.6 商標

TMS320C2000™, Code Composer Studio™, and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.
Arm® and Cortex® are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.
EtherCAT® is a registered trademark of Beckhoff Automation GmbH, Germany.
are registered trademarks of Arm Limited (or its subsidiaries or affiliates) in the US and/or elsewhere.
Windows® is a registered trademark of Microsoft Corporation.
Linux® is a registered trademark of Linus Torvalds.
macOS® is a registered trademark of Apple Inc.
すべての商標は、それぞれの所有者に帰属します。

9.7 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.8 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

Copyright © 2025 Texas Instruments Incorporated

10 改訂履歴

Changes from SEPTEMBER 30, 2025 to NOVEMBER 30, 2025 **Page**

- 「*特長*」セクション、PMIC セクションを追加 1
- 「*関連製品*」セクション : *TPS653860-Q1* および *TPS650366-Q1* の参照リンクにリファレンスを追加 14
- GPIO 多重化表を更新 99
- 「*システム消費電流 VREG ディセーブル - 外部電源*」の表 : 動作電流表を更新。 113
- フラッシュ メイン領域のアドレス マップを追加 (1MB デバイス用) 291

Changes from JUNE 7, 2025 to SEPTEMBER 30, 2025 **Page**

- この改訂履歴には、SPRSP93A から SPRSP93B への変更点が記載されています。 1
- 「*特長* 」セクション:「CPU1 および CPU2 のスプリットロックおよびロックステップのサポート」の機能を「CPU1 および CPU2 ロックステップ」に変更。「特長」に箇条書きを追加。 1
- 「アプリケーション」セクション:「HEV/EV パワートレイン積分器」アプリケーションを追加。 3
- 「概要」セクション:セクションを更新。 3
- 「パッケージ情報」表:表を更新。 3
- 「製品情報」の表:表を更新。 3
- 「デバイスの比較」の表:「プレビュー情報」の表と脚注を更新。 8
- *「ピン属性 (F29H85x および F29P58x)」*の表:表を更新。 15
- 「アナログ信号」表: 表を更新。 71
- 「電源およびグランド」表:削除され表。電源ピンおよびグランド ピンの説明を*「ピン属性 (F29H85x および F29P58x)」*の表と*「ピン属性 (F29P32x)」*の表を追加。 71
- GPIO 多重化ピンの表:表を更新。 98
- *「システム消費電流 VREG ディセーブル - 外部電源」*の表:表を更新。 113
- *「システム消費電流 VREG イネーブル」*の表表を更新。 113
- 「パワー マネージメント モジュールの特性」の表:表を更新。 132
- 「*C29 フラッシュ パラメータ*」の表:表を更新。 151
- 「*HSM フラッシュ パラメータ*」の表:表を更新。 151
- *「アナログ内部接続」*の表:表を更新。 184
- 「*A/D コンバータ (ADC)* 」セクション:「各 ADC モジュールは、単一のサンプル / ホールド (S/H) 回路で構成されています」の段落を更新。 188
- 「*ピンごとの ADC 性能*」セクション:セクションを追加。 202
- *高分解能 PWM の特性表*:標準値を 100ps から 75ps に変更。 236
- *eQEP* のブロック図:図を更新。 236
- 「*eQEP のスイッチング特性*」表:表を追加。 238
- 「概要」セクション:セクションを更新。 275
- 「*はじめに*」セクション:「エラー通知モジュール (ESM) は、応答の体系的な統合を提供します ...」の段落を更新。「ESM は包括的なエラー報告を提供します…」の段落を追加。 278
- *エラー処理アーキテクチャ*図:図を追加。 278
- 「ペリフェラル レジスタのメモリ マップ」の表:表を更新。 296
- 「デバイス識別レジスタ」の表:シリコン リビジョン B のシリコン リビジョン番号を追加。 309
- リセットからシステム ブートまでのデバイス ブート フロー図:図を更新。 318
- アプリケーション コードまでのシステム ブート フロー図:図を更新。 318
- 「エミュレーション ブート フロー」図:図を更新。 320
- スタンドアロン ブート フロー図:図を更新。 321
- 「デバイス命名規則」の図:特殊機能のコードを更新。 346
- 「*リビジョンの識別*」の表:シリコンのリビジョン A の REVID を更新、シリコンのリビジョン B を追加。「シリコンのリビジョンコードを参照...」の脚注を追加。 347

Copyright © 2025 Texas Instruments Incorporated

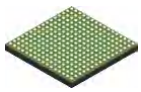
11 メカニカル、パッケージ、および注文情報

11.1 パッケージ情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

TI のパッケージの詳細については、「パッケージ」Web サイトをご覧ください。

Copyright © 2025 Texas Instruments Incorporated

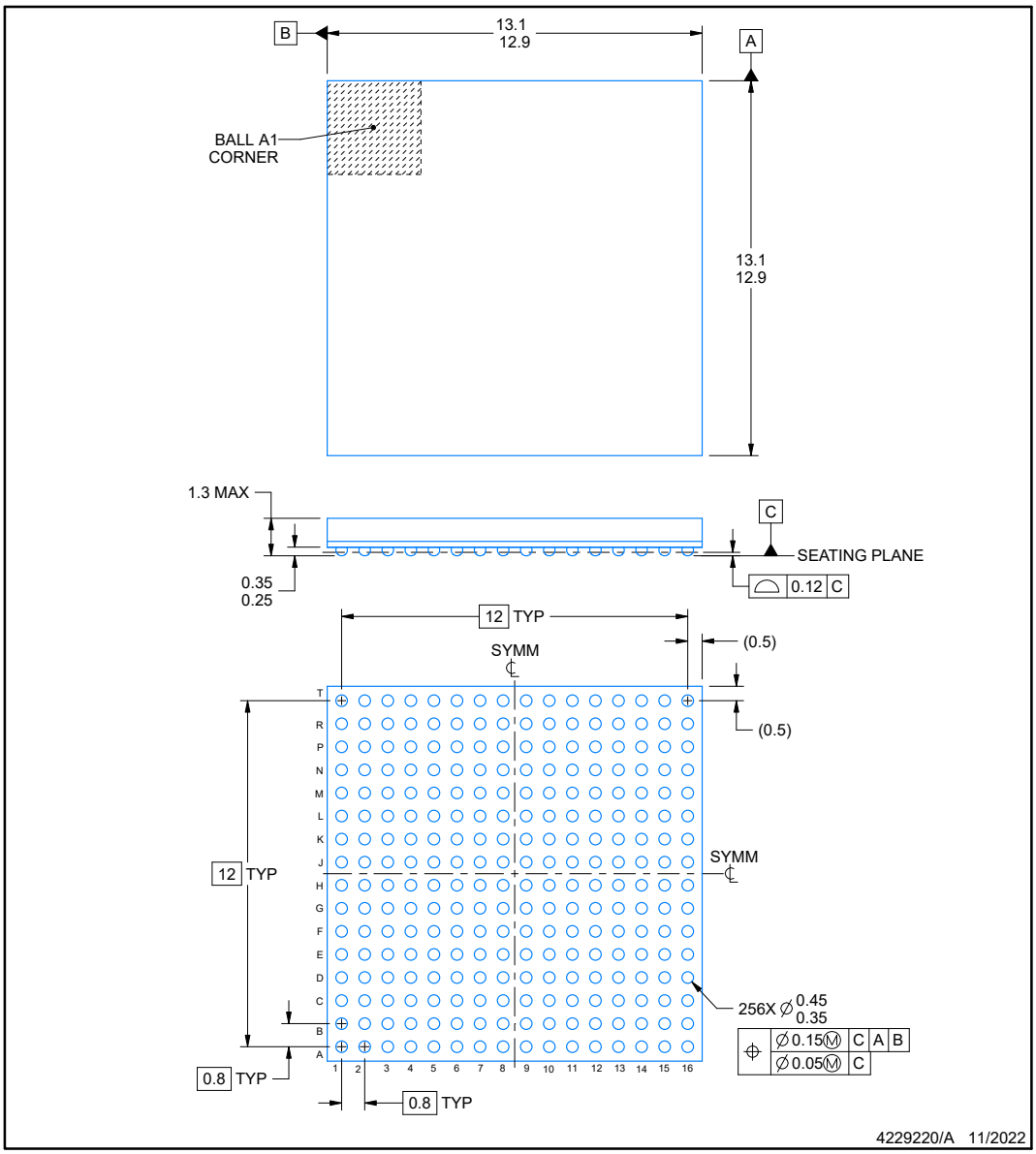


PACKAGE OUTLINE

ZEX0256A

NFBGA - 1.3 mm max height

PLASTIC BALL GRID ARRAY



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

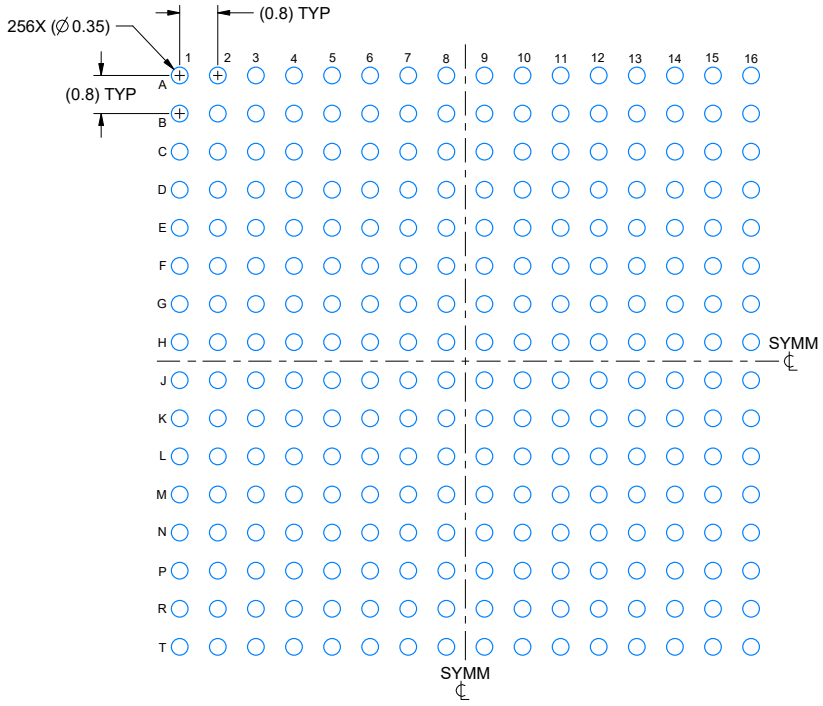
TEXAS INSTRUMENTS
www.ti.com

Copyright © 2025 Texas Instruments Incorporated

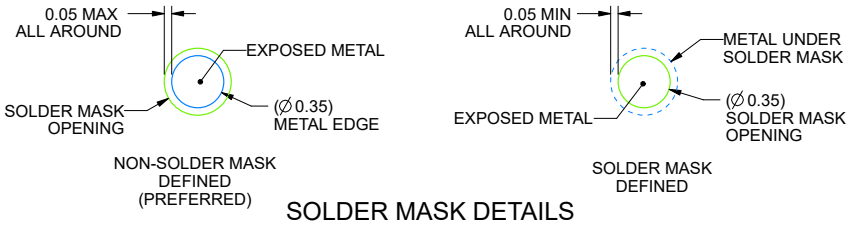
EXAMPLE BOARD LAYOUT

ZEX0256A — **NFBGA - 1.3 mm max height**

PLASTIC BALL GRID ARRAY



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 8X



SOLDER MASK DETAILS
NOT TO SCALE

4229220/A 11/2022

NOTES: (continued)

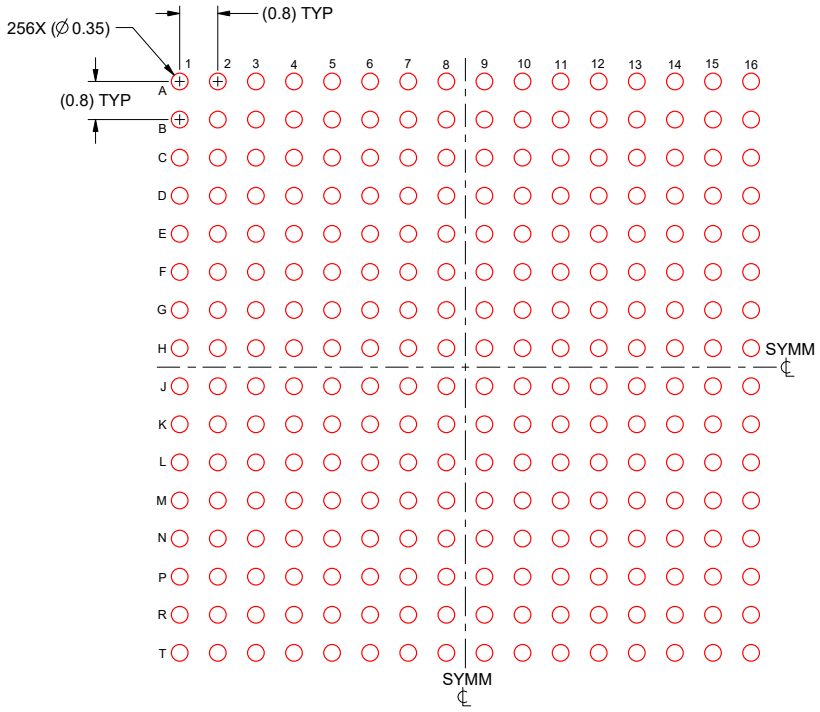
3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. For information, see Texas Instruments literature number SPRAA99 (www.ti.com/lit/spraa99).

Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

ZEX0256A **NFBGA - 1.3 mm max height**

PLASTIC BALL GRID ARRAY



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 8X

4229220/A 11/2022

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

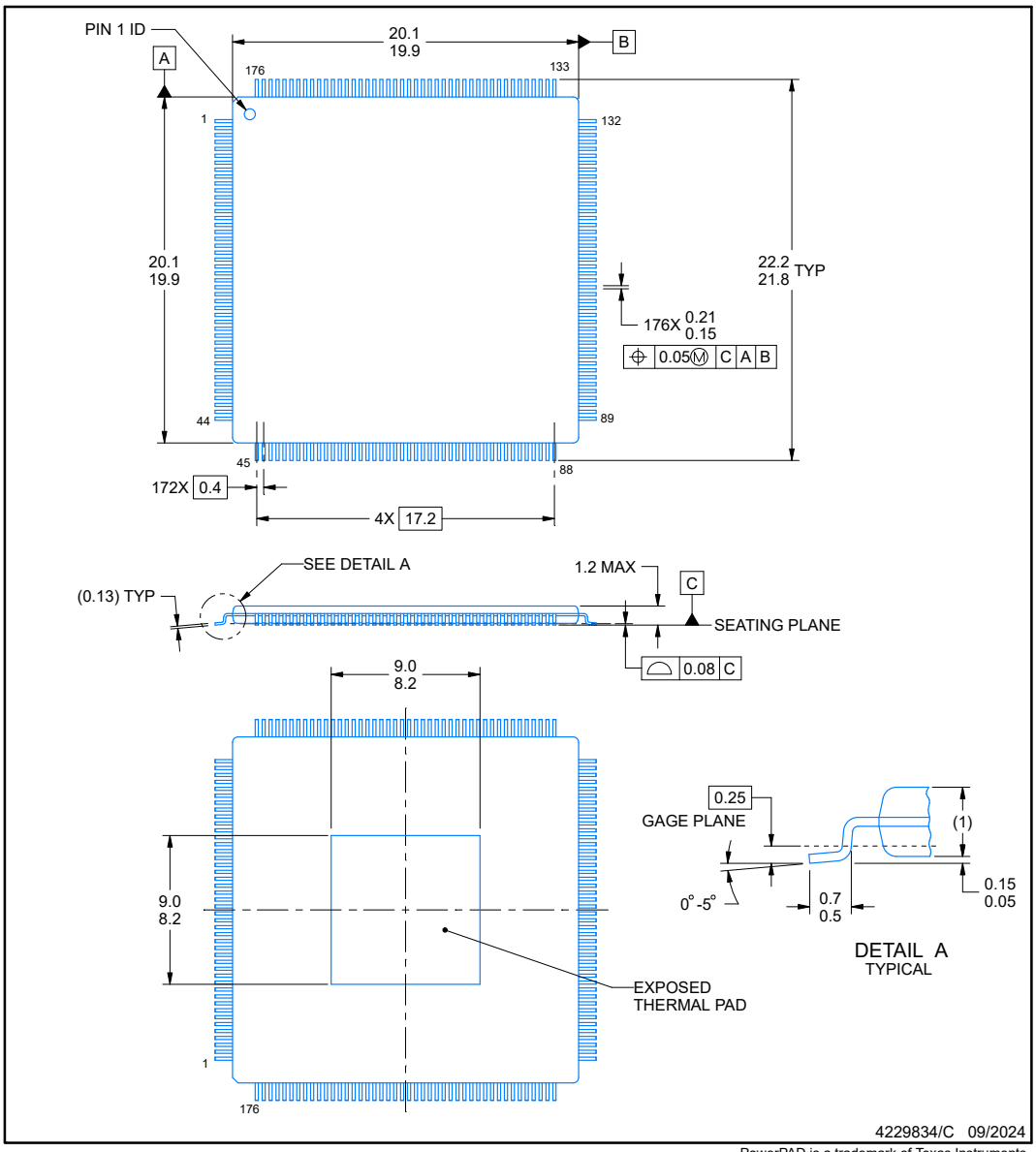
Copyright © 2025 Texas Instruments Incorporated

PACKAGE OUTLINE

PTS0176A

PowerPAD™ HTQFP - 1.2 mm max height

PLASTIC QUAD FLATPACK



PowerPAD is a trademark of Texas Instruments.

NOTES:

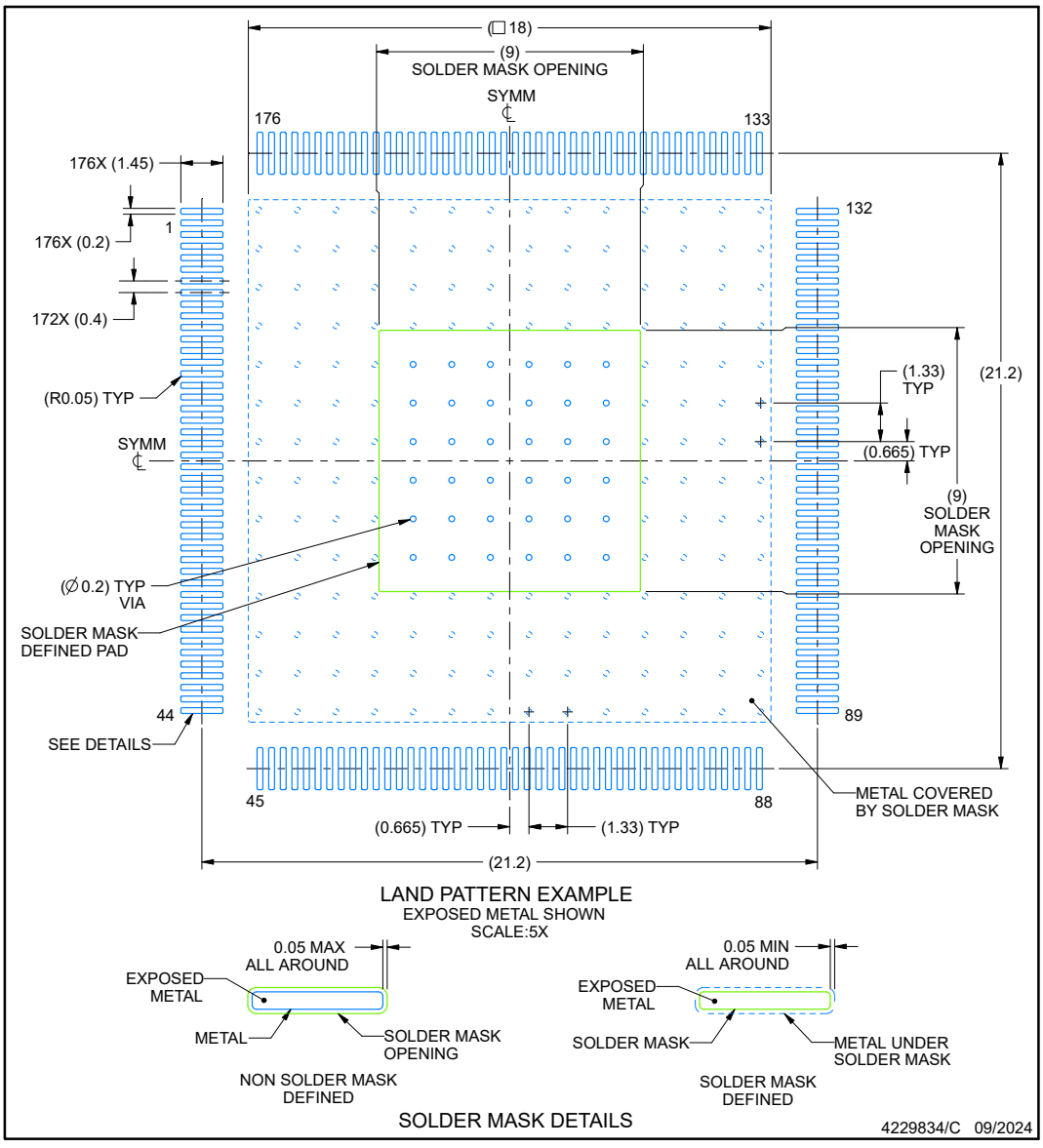
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC registration MS-026.
4. Strap features may not be present,

Copyright © 2025 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

PTS0176A — **PowerPAD™ HTQFP - 1.2 mm max height**

PLASTIC QUAD FLATPACK



NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. Vias are optional depending on application, refer to device data sheet. If some or all are implemented, recommended via locations are shown.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).

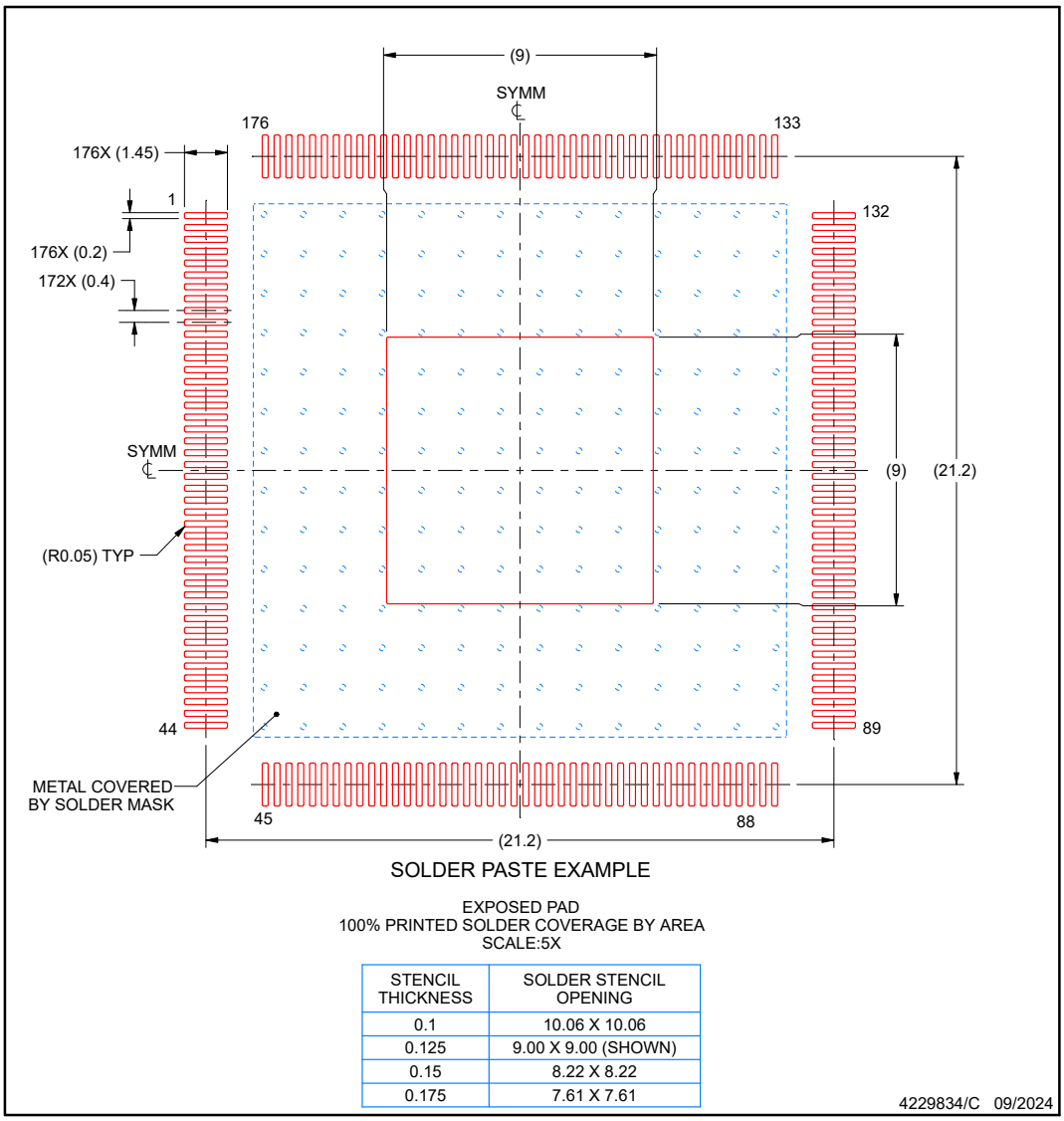
TEXAS INSTRUMENTS
www.ti.com

Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

PTS0176A — **PowerPAD™ HTQFP - 1.2 mm max height**

PLASTIC QUAD FLATPACK



SOLDER PASTE EXAMPLE

EXPOSED PAD
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:5X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	10.06 X 10.06
0.125	9.00 X 9.00 (SHOWN)
0.15	8.22 X 8.22
0.175	7.61 X 7.61

4229834/C 09/2024

NOTES: (continued)

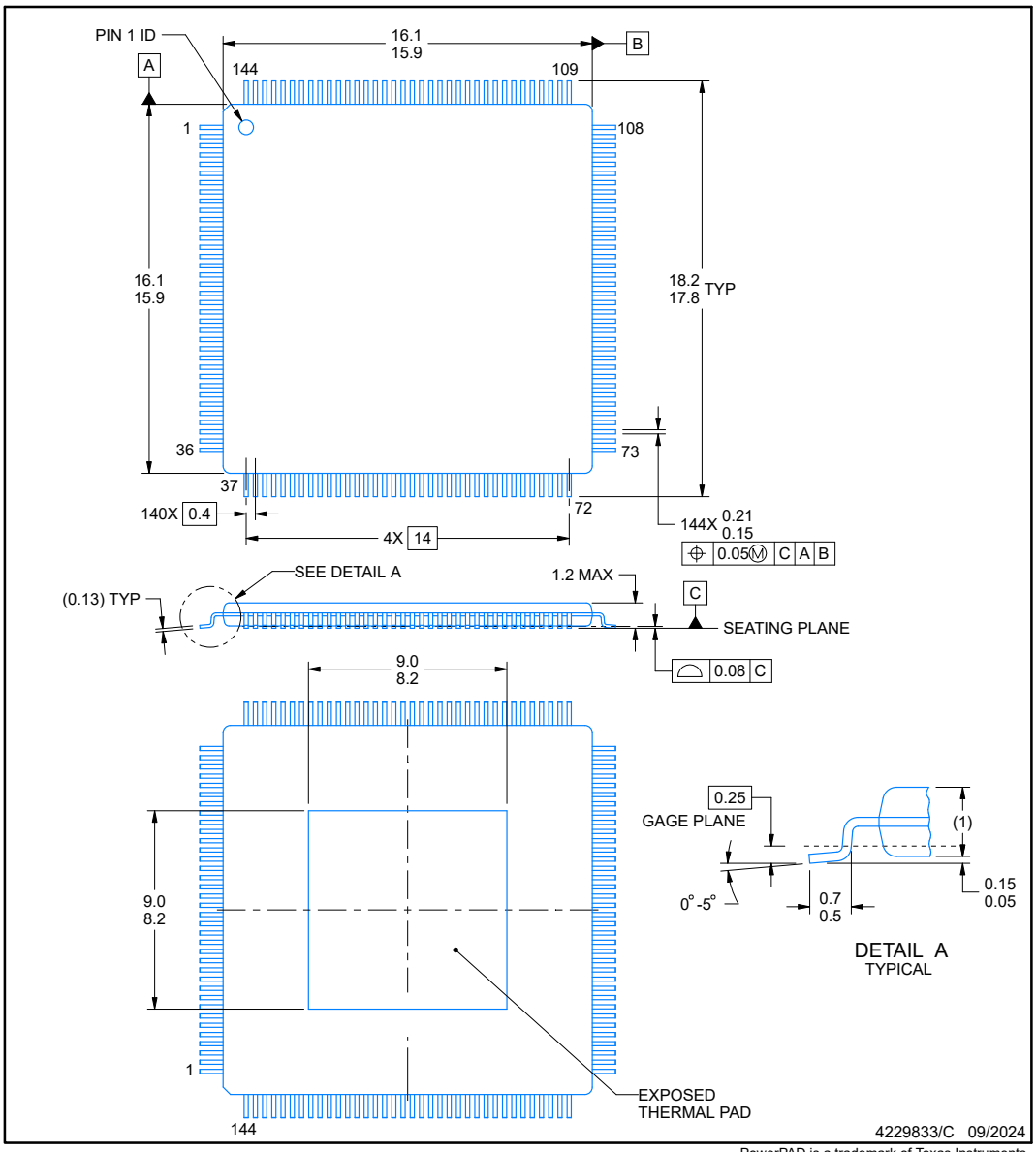
9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

Copyright © 2025 Texas Instruments Incorporated

PACKAGE OUTLINE

RFS0144A — **PowerPAD ™ HTQFP - 1.2 mm max height**

PLASTIC QUAD FLATPACK



PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC registration MS-026.
4. Strap features may not be present,

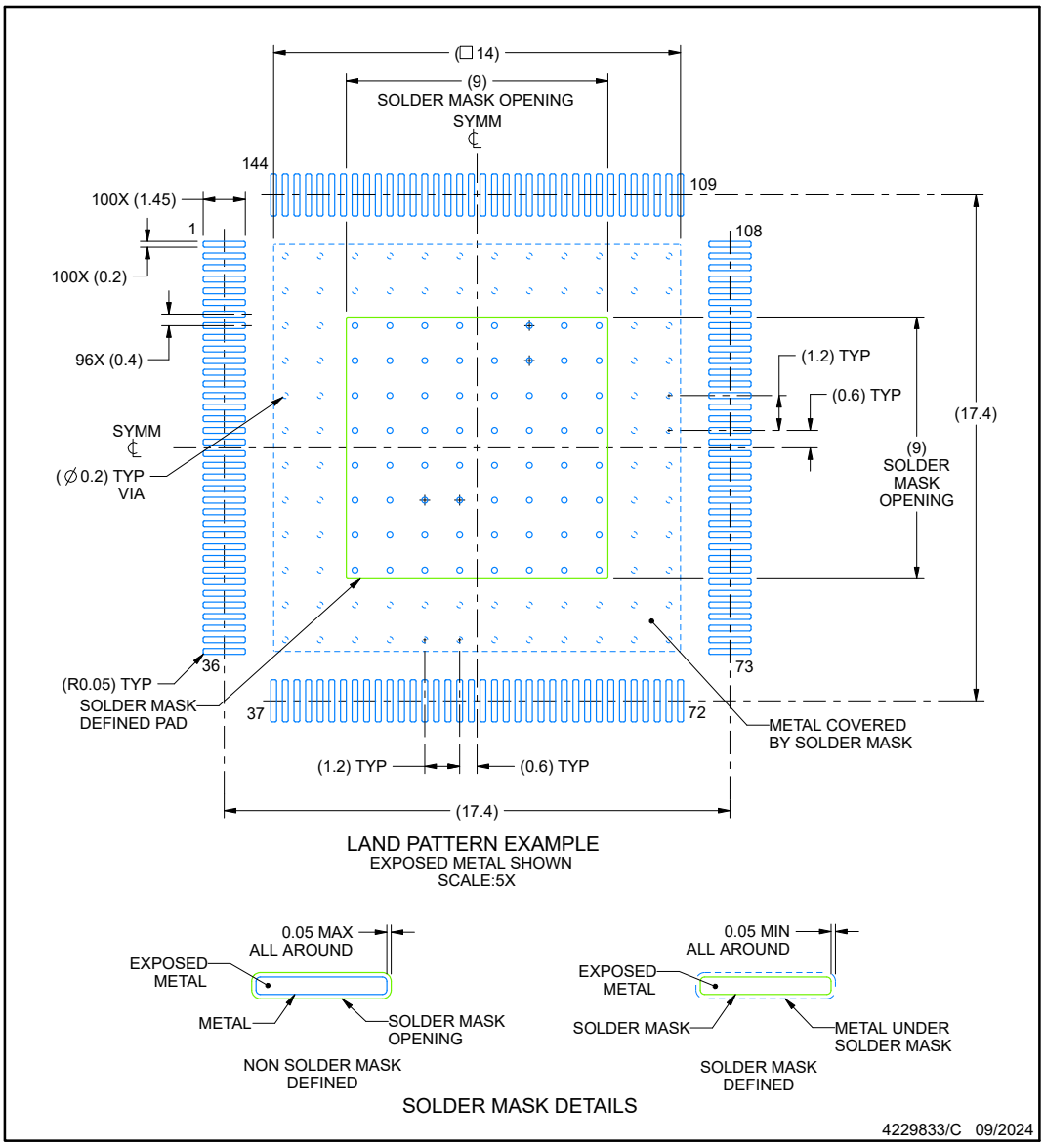
TEXAS INSTRUMENTS
www.ti.com

Copyright © 2025 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

RFS0144A — **PowerPAD™ HTQFP - 1.2 mm max height**

PLASTIC QUAD FLATPACK



NOTES: (continued)

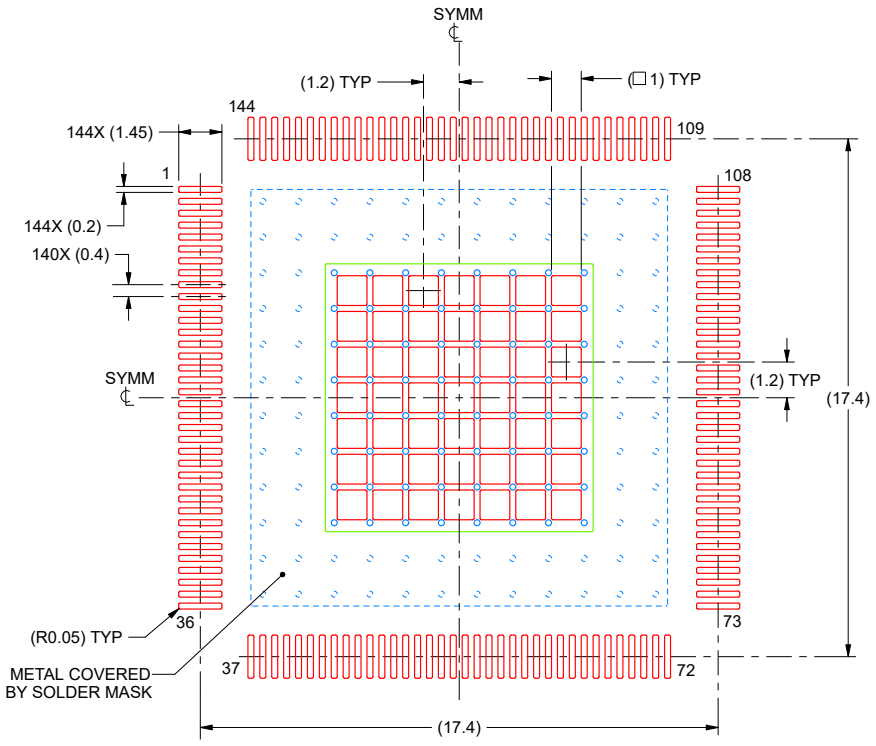
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. Vias are optional depending on application, refer to device data sheet. If some or all are implemented, recommended via locations are shown.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).

Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

RFS0144A — **PowerPAD ™ HTQFP - 1.2 mm max height**

PLASTIC QUAD FLATPACK



SOLDER PASTE EXAMPLE

EXPOSED PAD
60% PRINTED SOLDER COVERAGE BY AREA
(BASED ON 0.125mm STENCIL THICKNESS)

SCALE:5X

4229833/C 09/2024

NOTES: (continued)

9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

TEXAS INSTRUMENTS
www.ti.com

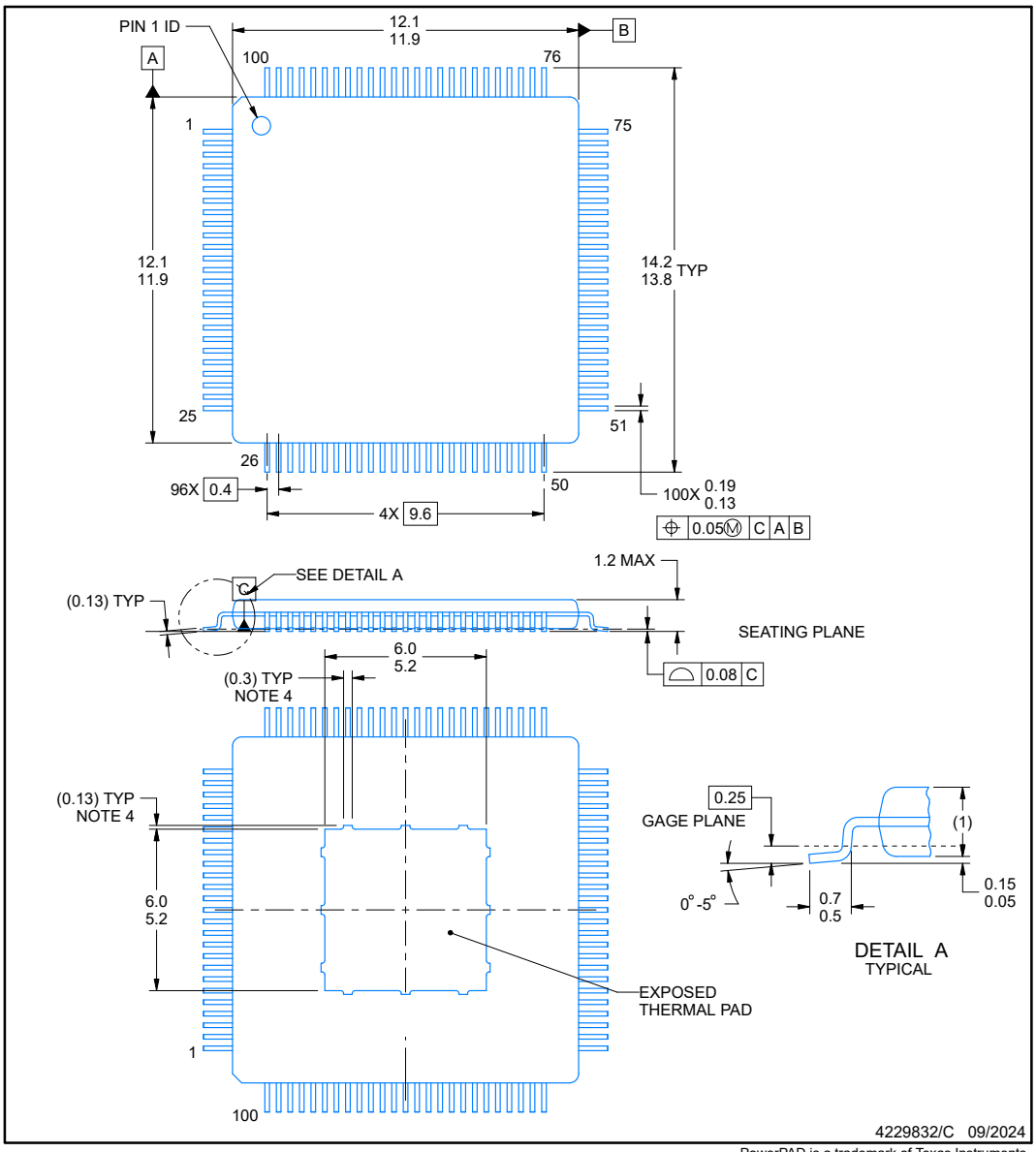
Copyright © 2025 Texas Instruments Incorporated

PACKAGE OUTLINE

PZS0100A

PowerPAD ™HTQFP - 1.2 mm max height

PLASTIC QUAD FLATPACK



PowerPAD is a trademark of Texas Instruments.

NOTES:

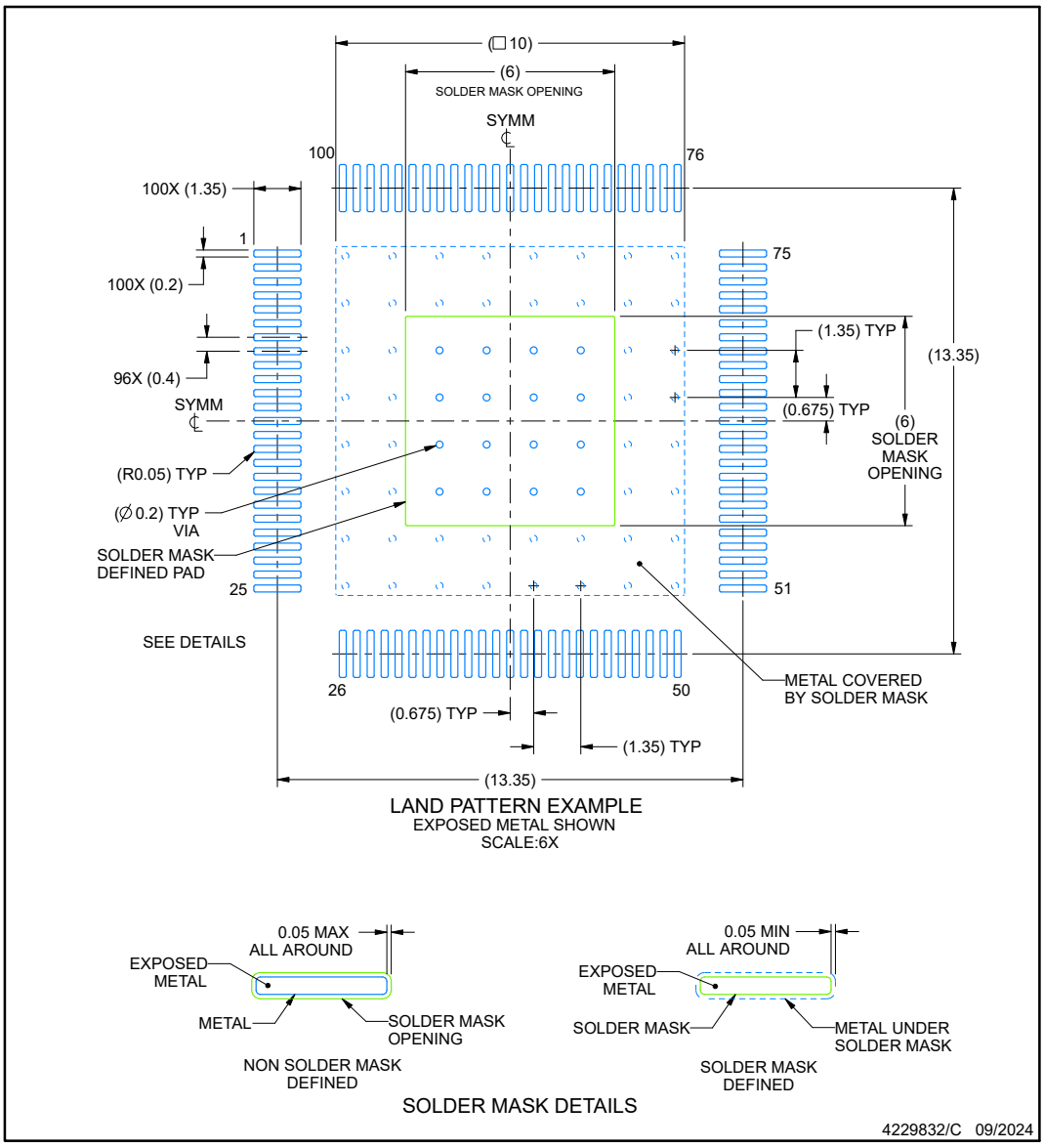
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC registration MS-026.
4. Strap features may not be present,

Copyright © 2025 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

PZS0100A — **PowerPAD ™ HTQFP - 1.2 mm max height**

PLASTIC QUAD FLATPACK



NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. Vias are optional depending on application, refer to device data sheet. If some or all are implemented, recommended via locations are shown.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).

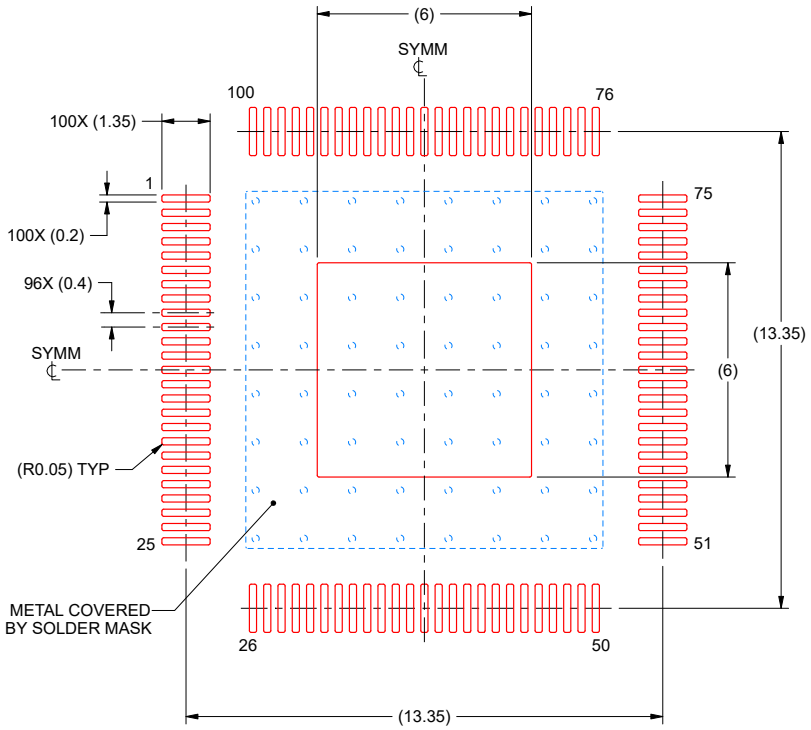
TEXAS INSTRUMENTS
www.ti.com

Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

PZS0100A **PowerPAD ™ HTQFP - 1.2 mm max height**

PLASTIC QUAD FLATPACK



SOLDER PASTE EXAMPLE

EXPOSED PAD
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:6X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	6.71 X 6.71
0.125	6.00 X 6.00 (SHOWN)
0.15	5.48 X 5.48
0.175	5.07 X 5.07

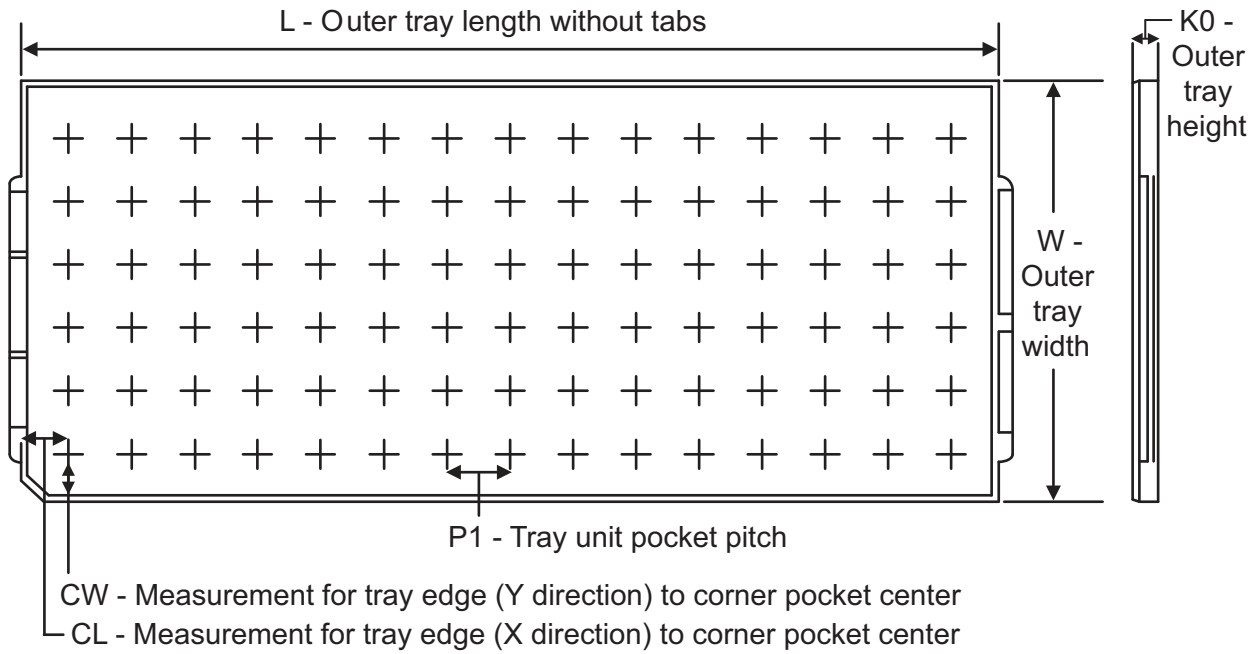
4229832/C 09/2024

NOTES: (continued)

9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

Copyright © 2025 Texas Instruments Incorporated

トレイ



Chamfer on Tray corner indicates Pin 1 orientation of packed units.

すべての寸法は公称値です。

デバイス	パッケージ タイプ	パッケージ 名	ピン数	SPQ	製品のアレイ マトリクス	最大温度 (℃)	奥行き L (mm)	幅 W (mm)	K0 (µm)	P1 (mm)	切り欠きの 奥行き CL (mm)	切り欠きの幅 CW (mm)
F29H85x												
XF29H859TU8QZEXQ1	nFBGA	ZEX	256	119	7 x 17	150	315	135.9	7620	18.1	12.7	12.9
XF29H850TU9TZEX	nFBGA	ZEX	256	119	7 x 17	150	315	135.9	7620	18.1	12.7	12.9
XF29H859TU8QPTSQ1	HTQFP	PTS	176	96	6 x 16	150	315	135.9	7620	20.7	30.4	20.7
XF29H850TU9SPTS	HTQFP	PTS	176	96	6 x 16	150	315	135.9	7620	20.7	30.4	20.7
XF29H859TU8QRFSQ1	HTQFP	RFS	144	84	6 x 14	150	315	135.9	7620	22	14.5	14.45
XF29H850TU9SRFS	HTQFP	RFS	144	84	6 x 14	150	315	135.9	7620	22	14.5	14.45
XF29H859TU8QPZSQ1	HTQFP	PZS	100	90	6 x 15	150	315	135.9	7620	15.4	20.3	21
F29P58x												
XF29P589DU5QZEXQ1	nFBGA	ZEX	256	119	7 x 17	150	315	135.9	7620	18.1	12.7	12.9
XF29P589DU5QPTSQ1	HTQFP	PTS	176	96	6 x 16	150	315	135.9	7620	20.7	30.4	20.7
XF29P589DU5QRFSQ1	HTQFP	RFS	144	84	6 x 14	150	315	135.9	7620	22	14.5	14.45
XF29P580DM5SRFS	HTQFP	RFS	144	84	6 x 14	150	315	135.9	7620	22	14.5	14.45
XF29P589DU5QPZSQ1	HTQFP	PZS	100	90	6 x 15	150	315	135.9	7620	15.4	20.3	21

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
XF29H850TU9SPTS	Active	Preproduction	HTQFP (PTS) | 176	60 | JEDEC TRAY (10+1)	-	Call TI	Call TI	-40 to 125	
XF29H850TU9SPTS.A	Active	Preproduction	HTQFP (PTS) | 176	60 | JEDEC TRAY (10+1)	-	Call TI	Call TI	-40 to 125	
XF29H850TU9SRFS	Active	Preproduction	HTQFP (RFS) | 144	84 | JEDEC TRAY (10+1)	-	Call TI	Call TI	-40 to 125	
XF29H850TU9SRFS.A	Active	Preproduction	HTQFP (RFS) | 144	84 | JEDEC TRAY (10+1)	-	Call TI	Call TI	-40 to 125	
XF29H850TU9TZEX	Active	Preproduction	NFBGA (ZEX) | 256	119 | JEDEC TRAY (10+1)	-	Call TI	Call TI	-40 to 125	
XF29H850TU9TZEX.A	Active	Preproduction	NFBGA (ZEX) | 256	119 | JEDEC TRAY (10+1)	-	Call TI	Call TI	-40 to 125	
XF29H859TU8QPTSQ1	Active	Preproduction	HTQFP (PTS) | 176	60 | JEDEC TRAY (10+1)	-	Call TI	Call TI	-40 to 125	
XF29H859TU8QPTSQ1.A	Active	Preproduction	HTQFP (PTS) | 176	60 | JEDEC TRAY (10+1)	-	Call TI	Call TI	-40 to 125	
XF29H859TU8QPZSQ1	Active	Preproduction	HTQFP (PZS) | 100	119 | JEDEC TRAY (10+1)	-	Call TI	Call TI	-40 to 125	
XF29H859TU8QPZSQ1.A	Active	Preproduction	HTQFP (PZS) | 100	119 | JEDEC TRAY (10+1)	-	Call TI	Call TI	-40 to 125	
XF29H859TU8QRFSQ1	Active	Preproduction	HTQFP (RFS) | 144	420 | JEDEC TRAY (5+1)	-	Call TI	Call TI	-40 to 125	
XF29H859TU8QRFSQ1.A	Active	Preproduction	HTQFP (RFS) | 144	420 | JEDEC TRAY (5+1)	-	Call TI	Call TI	-40 to 125	
XF29H859TU8QZEXQ1	Active	Preproduction	NFBGA (ZEX) | 256	119 | JEDEC TRAY (10+1)	-	Call TI	Call TI	-40 to 125	
XF29H859TU8QZEXQ1.A	Active	Preproduction	NFBGA (ZEX) | 256	119 | JEDEC TRAY (10+1)	-	Call TI	Call TI	-40 to 125	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月