



CSD22206W -8V、Pチャネル NexFET™ パワーMOSFET

1 特長

- 非常に低い抵抗
- 1.5mm×1.5mmの小さな占有面積
- 鉛不使用
- ゲートESD保護
- RoHS準拠
- ハロゲン不使用
- ゲート・ソース電圧クランプ

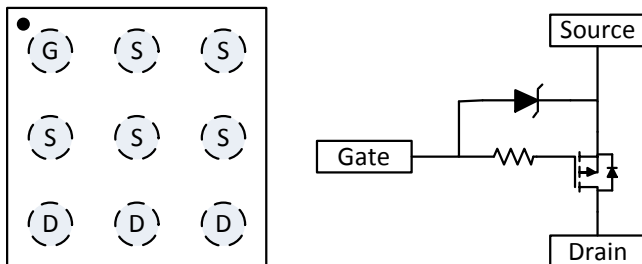
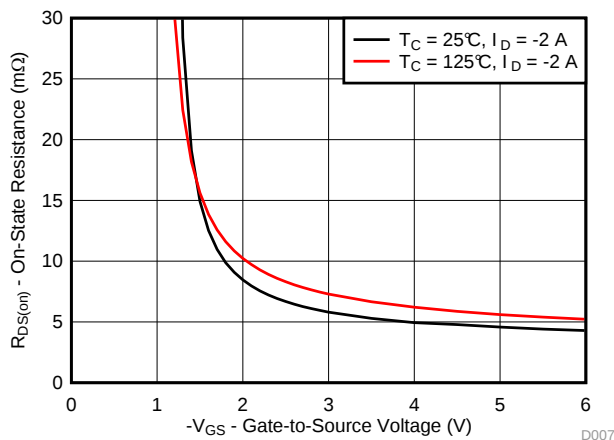
2 アプリケーション

- 負荷スイッチ・アプリケーション
- バッテリー管理
- バッテリー保護

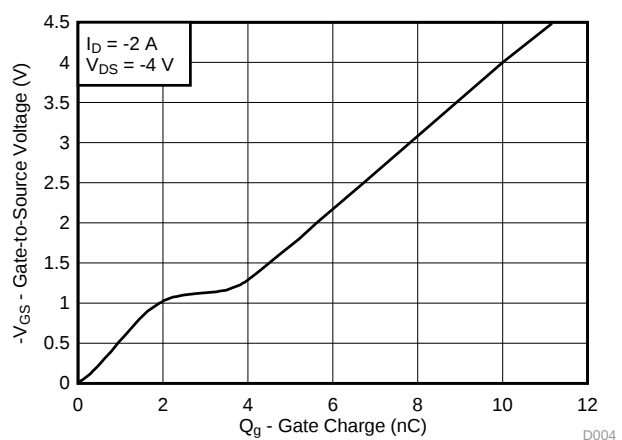
3 概要

この-8V、4.7mΩ、1.5mm×1.5mmデバイス、可能な限り小さな外形で、最低のオン抵抗とゲート電荷を実現し、非常に低いプロファイルで優れた熱特性を持つよう設計されています。低いオン抵抗と、小さな占有面積および低いプロファイルから、このデバイスはバッテリー駆動で容積の制限されるアプリケーションに理想的です。

上面図と回路の構成

 $R_{DS(on)}$ と V_{GS} との関係

ゲート電荷



製品概要

$T_A = 25^\circ\text{C}$		標準値	単位
V_{DS}	ドレイン・ソース間電圧	-8	V
Q_g	ゲートの合計電荷(-4.5V)	11.2	nC
Q_{gd}	ゲート電荷、ゲート・ドレイン間	1.8	nC
$R_{DS(on)}$	ドレイン・ソース間オン抵抗	$V_{GS} = -2.5\text{V}$	6.8
		$V_{GS} = -4.5\text{V}$	4.7
$V_{GS(th)}$	スレッシュホールド電圧	-0.7	V

製品情報

デバイス	数量	メディア	パッケージ	出荷
CSD22206W	3000	7インチ・リール	1.50mm×1.50mm ウェハーBGA/パッ ケージ	テー プ・アン ド・リー ル
CSD22206WT	250			

絶対最大定格

$T_A = 25^\circ\text{C}$		値	単位
V_{DS}	ドレイン・ソース間電圧	-8	V
V_{GS}	ゲート・ソース間電圧	-6	V
I_D	連続ドレイン電流 ⁽¹⁾	-5	A
	パルス・ドレイン電流 ⁽²⁾	-108	A
P_D	消費電力	1.7	W
T_J , T_{stg}	動作時の接合部、 保管温度	-55~150	°C

(1) 105°Cでのデバイス動作時

(2) 標準 $R_{\theta JA} = 75^\circ\text{C/W}$ 、FR4材質上に実装、最大Cu実装面積、パルス幅 $\leq 100\mu\text{s}$ 、デューティ・サイクル $\leq 1\%$



目次

1	特長	1	6	デバイスおよびドキュメントのサポート	7
2	アプリケーション	1	6.1	ドキュメントの更新通知を受け取る方法	7
3	概要	1	6.2	コミュニティ・リソース	7
4	改訂履歴	2	6.3	商標	7
5	Specifications	3	6.4	静電気放電に関する注意事項	7
5.1	Electrical Characteristics	3	6.5	Glossary	7
5.2	Thermal Information	3	7	メカニカル、パッケージ、および注文情報	8
5.3	Typical MOSFET Characteristics	4	7.1	CSD22206Wのパッケージ寸法	8
			7.2	推奨されるランド・パターン	9

4 改訂履歴

日付	改訂内容	注
2017年5月	*	初版

5 Specifications

5.1 Electrical Characteristics

 $T_A = 25^\circ\text{C}$ (unless otherwise stated)

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
STATIC CHARACTERISTICS						
BV _{DSS}	Drain-to-source voltage	V _{GS} = 0 V, I _{DS} = −250 μA	−8			V
BV _{GSS}	Gate-to-source voltage	V _{DS} = 0 V, I _G = −250 μA	−6			V
I _{DSS}	Drain-to-source leakage current	V _{GS} = 0 V, V _{DS} = −6.4 V			−1	μA
I _{GSS}	Gate-to-source leakage current	V _{DS} = 0 V, V _{GS} = −6 V			−100	nA
V _{GS(th)}	Gate-to-source threshold voltage	V _{DS} = V _{GS} , I _{DS} = −250 μA	−0.4	−0.7	−1.05	V
R _{DS(on)}	Drain-to-source on resistance	V _{GS} = −2.5 V, I _{DS} = −2 A		6.8	9.1	mΩ
		V _{GS} = −4.5 V, I _{DS} = −2 A		4.7	5.7	
g _{fs}	Transconductance	V _{DS} = −0.8 V, I _{DS} = −2 A		20		S
DYNAMIC CHARACTERISTICS						
C _{ISS}	Input capacitance	V _{GS} = 0 V, V _{DS} = −4 V, f = 1 MHz		1750	2275	pF
C _{OSS}	Output capacitance			960	1250	pF
C _{RSS}	Reverse transfer capacitance			340	440	pF
R _G	Series gate resistance			30		Ω
Q _g	Gate charge total (−4.5 V)	V _{DS} = −4 V, I _D = −2 A		11.2	14.6	nC
Q _{gd}	Gate charge gate-to-drain			1.8		nC
Q _{gs}	Gate charge gate-to-source			2.1		nC
Q _{g(th)}	Gate charge at V _{th}			1.3		nC
Q _{OSS}	Output charge	V _{DS} = −4 V, V _{GS} = 0 V		7.2		nC
t _{d(on)}	Turnon delay time	V _{DS} = −4 V, V _{GS} = −4.5 V, I _{DS} = −2 A, R _G = 0 Ω		37		ns
t _r	Rise time			17		ns
t _{d(off)}	Turnoff delay time			118		ns
t _f	Fall time			45		ns
DIODE CHARACTERISTICS						
V _{SD}	Diode forward voltage	I _{DS} = −2 A, V _{GS} = 0 V	−0.69	−1.0		
Q _{rr}	Reverse recovery charge	V _{DS} = −4 V, I _F = −1 A, di/dt = 200 A/μs		24		nC
t _{rr}	Reverse recovery time			59		ns

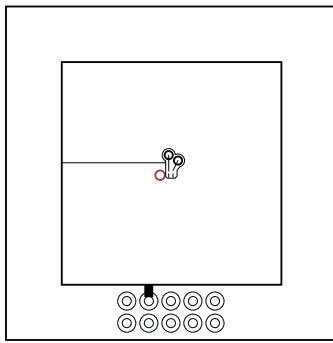
5.2 Thermal Information

 $T_A = 25^\circ\text{C}$ (unless otherwise stated)

THERMAL METRIC		TYPICAL VALUES	UNIT
$R_{\theta JA}$	Junction-to-ambient thermal resistance ⁽¹⁾	75	$^\circ\text{C}/\text{W}$
	Junction-to-ambient thermal resistance ⁽²⁾	230	

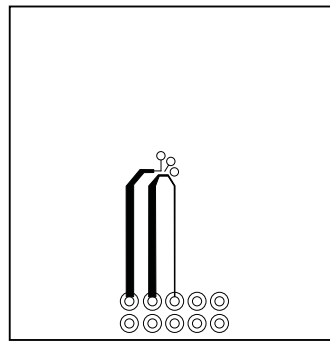
(1) Device mounted on FR4 material with 1-in² (6.45-cm²), 2-oz (0.071-mm) thick Cu.

(2) Device mounted on FR4 material with minimum Cu mounting area.



M0149-01

Typ $R_{\theta JA} = 75^{\circ}\text{C/W}$
when mounted on 1 in²
of 2-oz Cu.

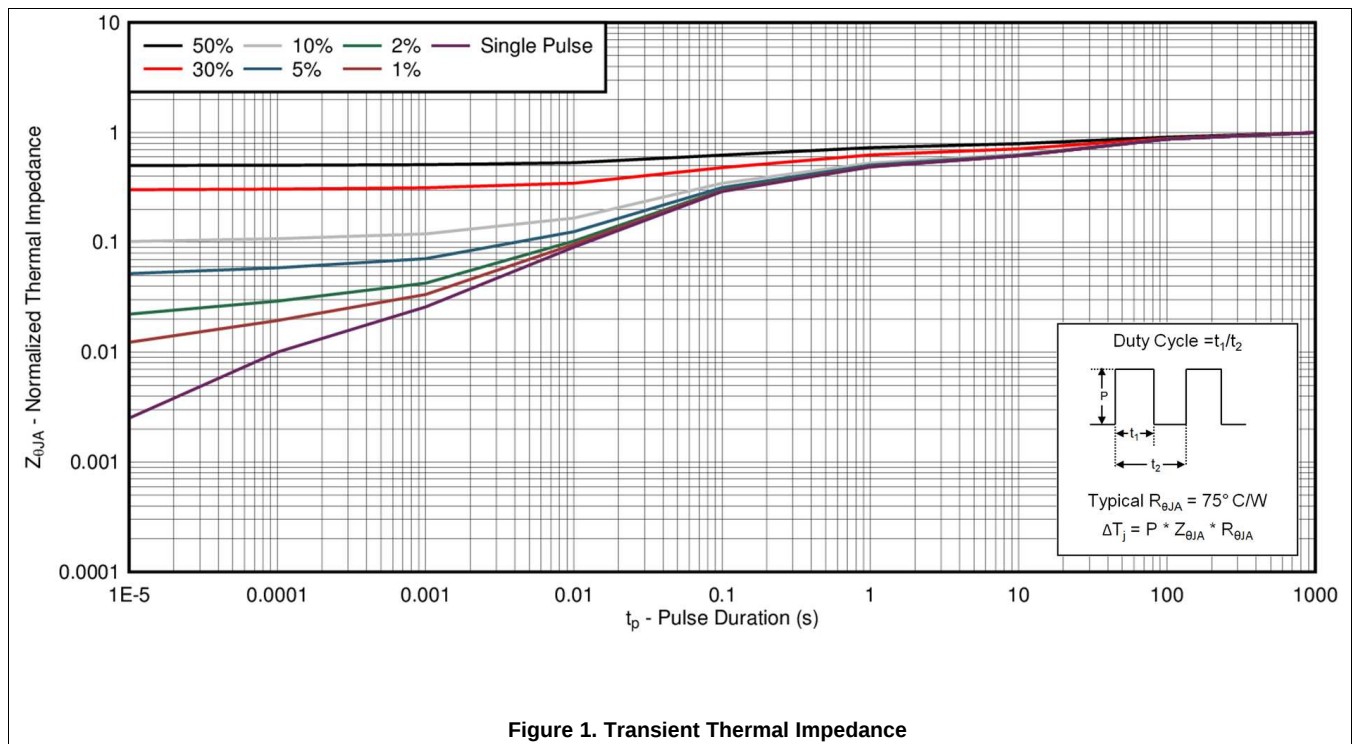


M0150-01

Typ $R_{\theta JA} = 230^{\circ}\text{C/W}$
when mounted on
minimum pad area of
2-oz Cu.

5.3 Typical MOSFET Characteristics

$T_A = 25^{\circ}\text{C}$ (unless otherwise stated)



Typical MOSFET Characteristics (continued)

$T_A = 25^\circ\text{C}$ (unless otherwise stated)

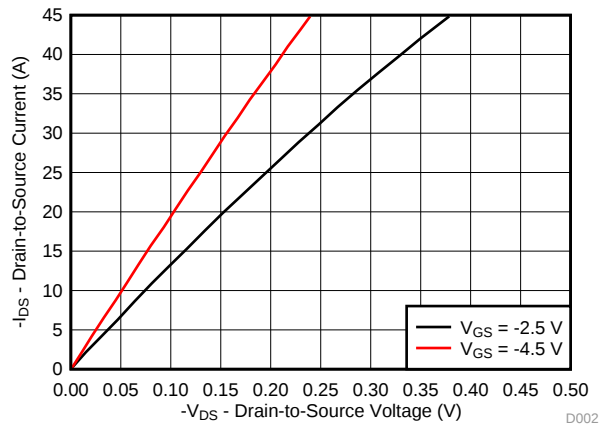


Figure 2. Saturation Characteristics

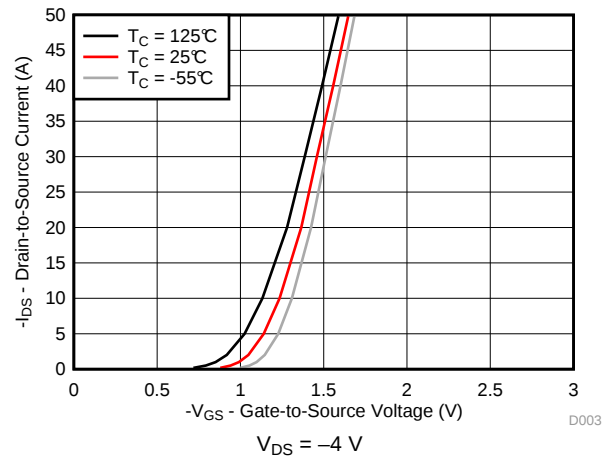


Figure 3. Transfer Characteristics

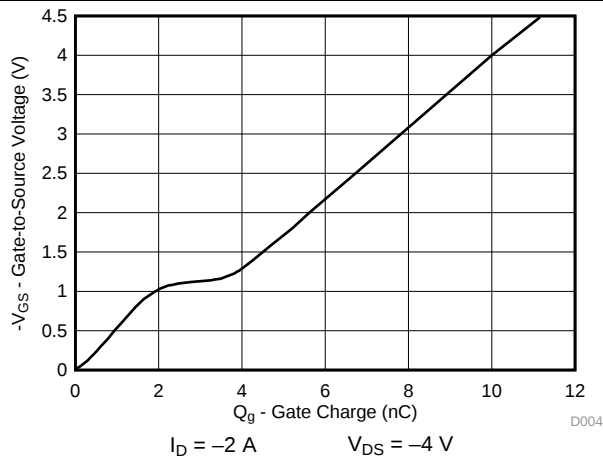


Figure 4. Gate Charge

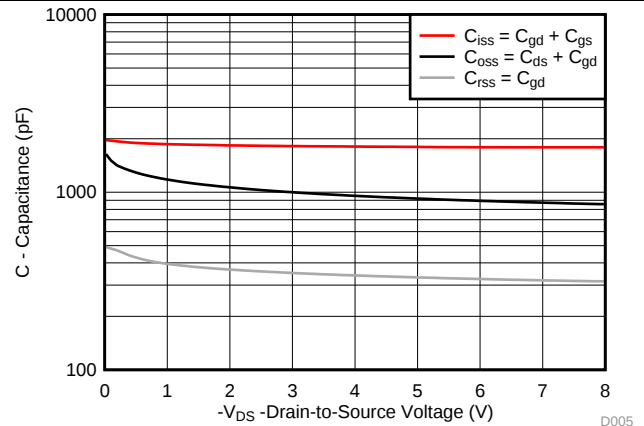


Figure 5. Capacitance

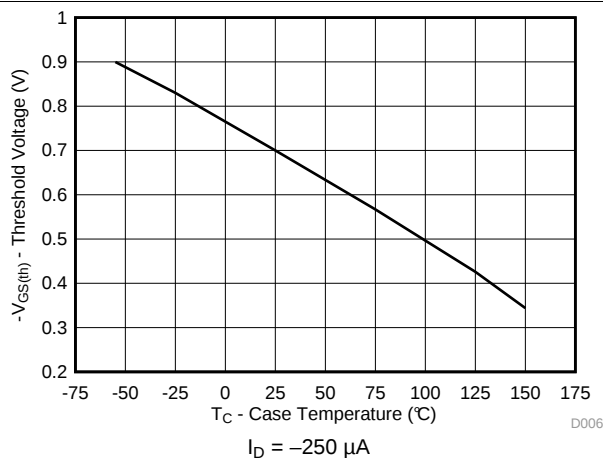


Figure 6. Threshold Voltage vs Temperature

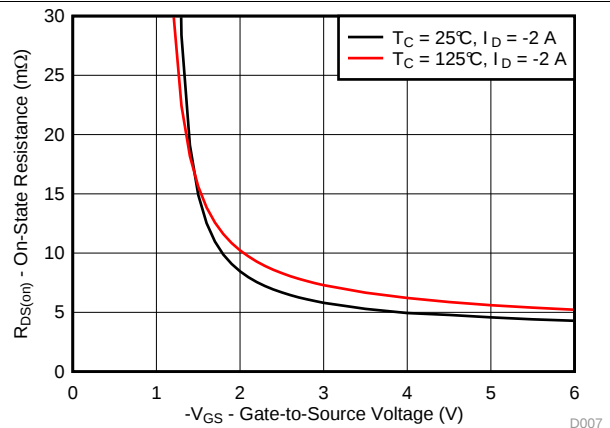


Figure 7. On-State Resistance vs Gate-to-Source Voltage

Typical MOSFET Characteristics (continued)

$T_A = 25^\circ\text{C}$ (unless otherwise stated)

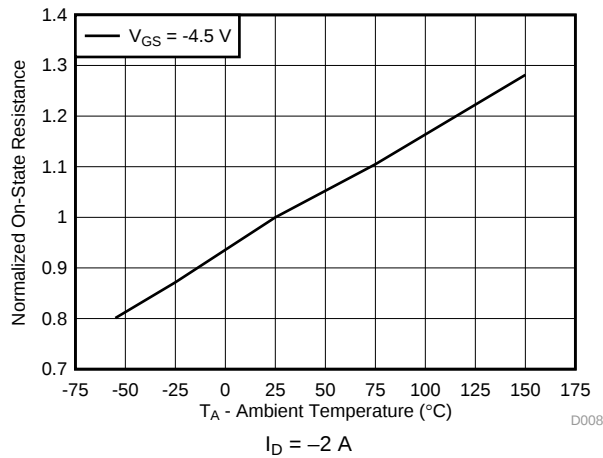


Figure 8. Normalized On-State Resistance vs Temperature

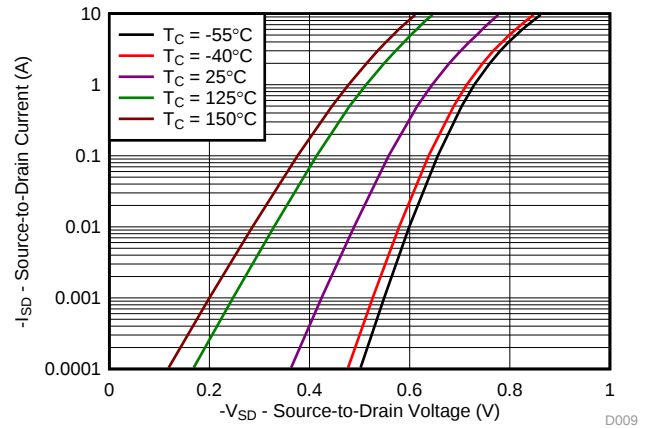


Figure 9. Typical Diode Forward Voltage

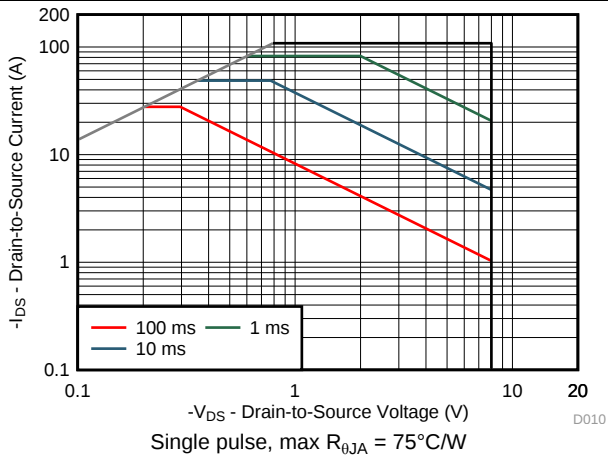


Figure 10. Maximum Safe Operating Area

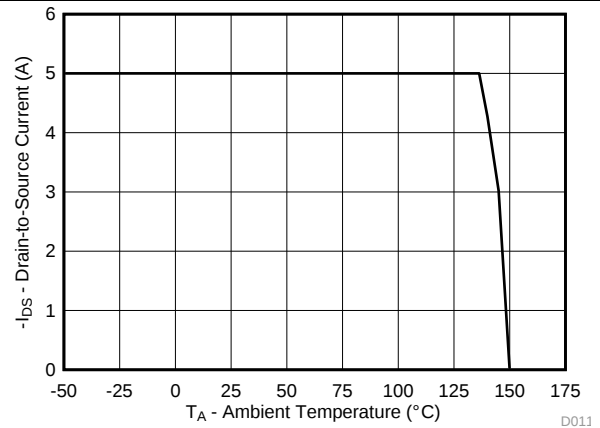


Figure 11. Maximum Drain Current vs Temperature

6 デバイスおよびドキュメントのサポート

6.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、ti.comのデバイス製品フォルダを開いてください。右上の隅にある「通知を受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

6.2 コミュニティ・リソース

The following links connect to TI community resources. Linked contents are provided "AS IS" by the respective contributors. They do not constitute TI specifications and do not necessarily reflect TI's views; see TI's [Terms of Use](#).

TI E2E™ オンライン・コミュニティ TIのE2E (*Engineer-to-Engineer*) コミュニティ。エンジニア間の共同作業を促進するために開設されたものです。e2e.ti.comでは、他のエンジニアに質問し、知識を共有し、アイデアを検討して、問題解決に役立てることができます。

設計サポート TIの設計サポート 役に立つE2Eフォーラムや、設計サポート・ツールをすばやく見つけることができます。技術サポート用の連絡先情報も参照できます。

6.3 商標

NexFET, E2E are trademarks of Texas Instruments.
All other trademarks are the property of their respective owners.

6.4 静電気放電に関する注意事項



これらのデバイスは、限定的なESD (静電破壊) 保護機能を内蔵しています。保存時または取り扱い時は、MOSゲートに対する静電破壊を防止するために、リード線同士をショートさせておくか、デバイスを導電フォームに入れる必要があります。

6.5 Glossary

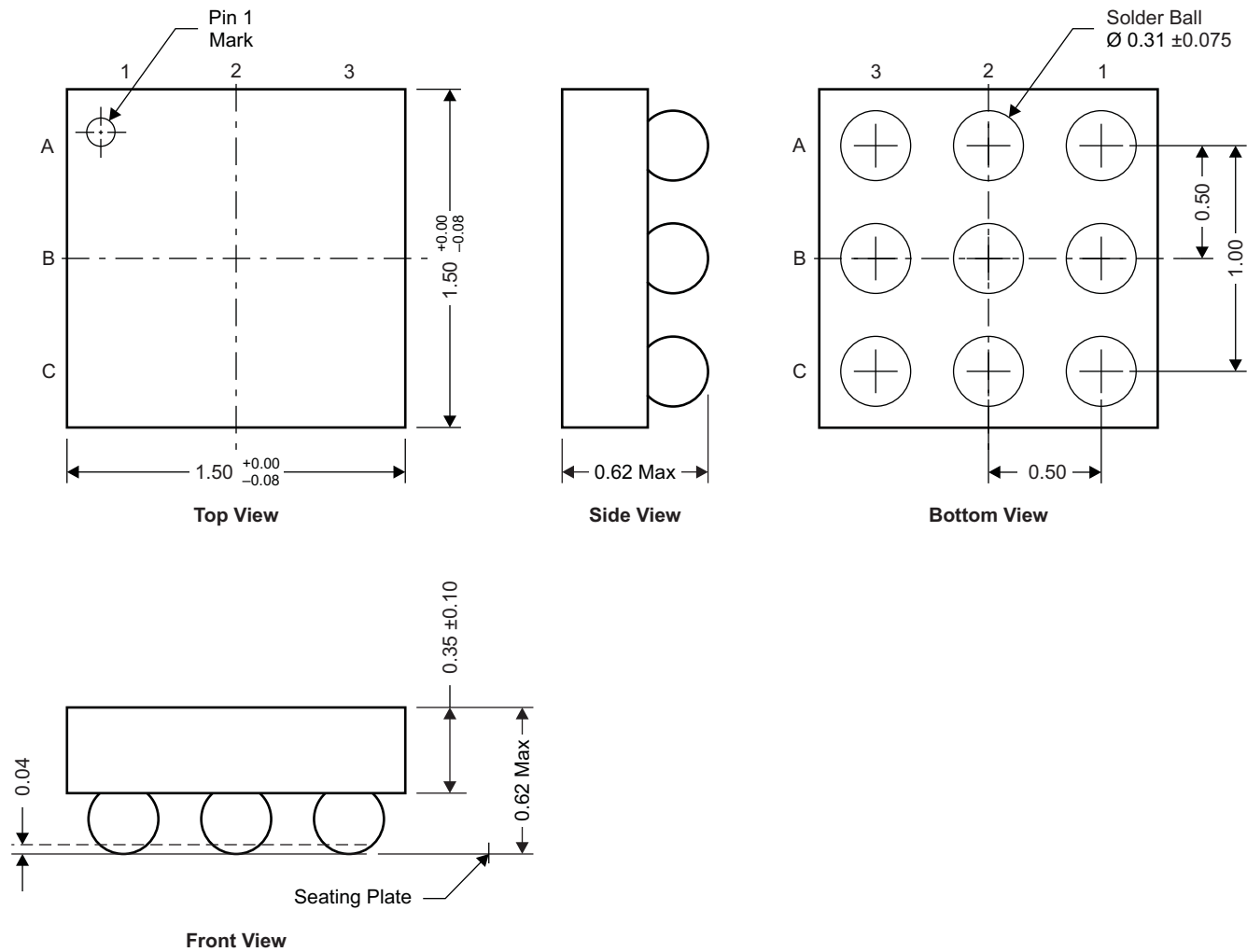
SLYZ022 — *TI Glossary*.

This glossary lists and explains terms, acronyms, and definitions.

7 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、そのデバイスについて利用可能な最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

7.1 CSD22206Wのパッケージ寸法



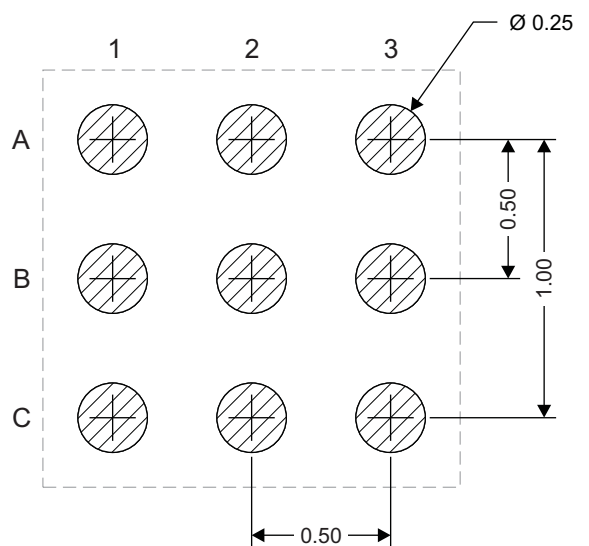
NOTE: すべての寸法は、特記されていない限りmm単位です。

M0171-01

表 1. ピン配置

位置	機能
A1	ゲート
A2, A3, B1, B2, B3	ソース
C1, C2, C3	ドレイン

7.2 推奨されるランド・パターン



M0172-01

NOTE: すべての寸法は、特記されていない限りmm単位です。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
CSD22206W	ACTIVE	DSBGA	YZF	9	3000	RoHS & Green	SAC396 SNAGCU	Level-1-260C-UNLIM	-55 to 150	22206	Samples
CSD22206WT	ACTIVE	DSBGA	YZF	9	250	RoHS & Green	SAC396 SNAGCU	Level-1-260C-UNLIM	-55 to 150	22206	Samples

⁽¹⁾ The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

⁽²⁾ **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

⁽³⁾ MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

⁽⁴⁾ There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

⁽⁵⁾ Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

⁽⁶⁾ Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

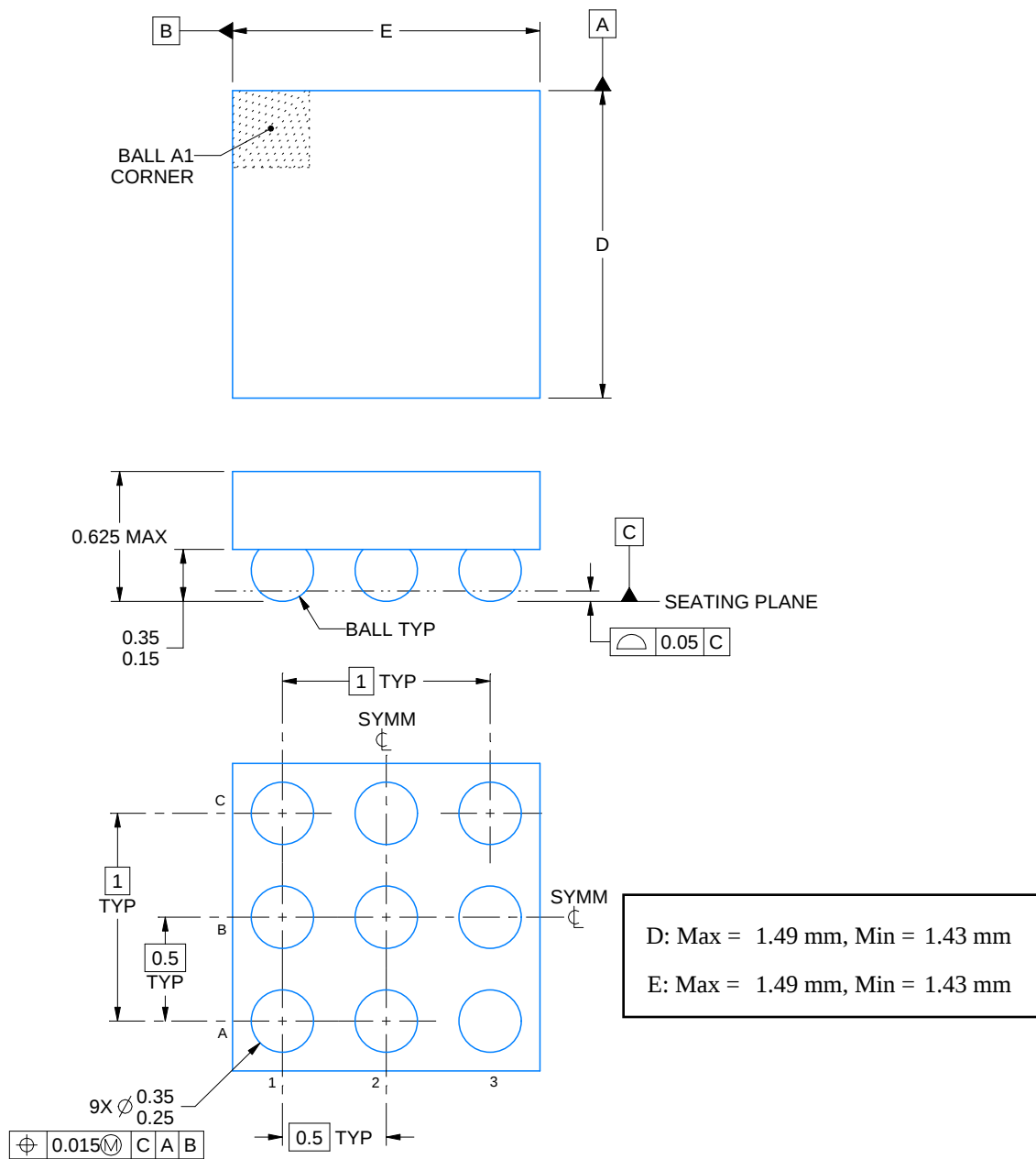
YZF0009



PACKAGE OUTLINE

DSBGA - 0.625 mm max height

DIE SIZE BALL GRID ARRAY



4219558/A 10/2018

NOTES:

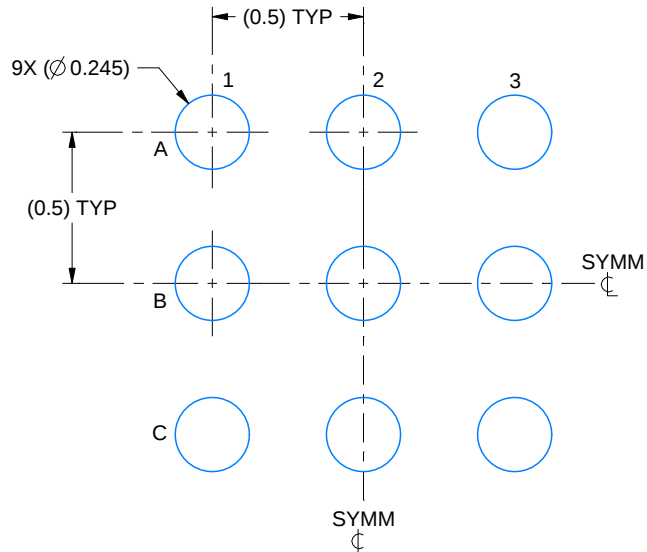
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

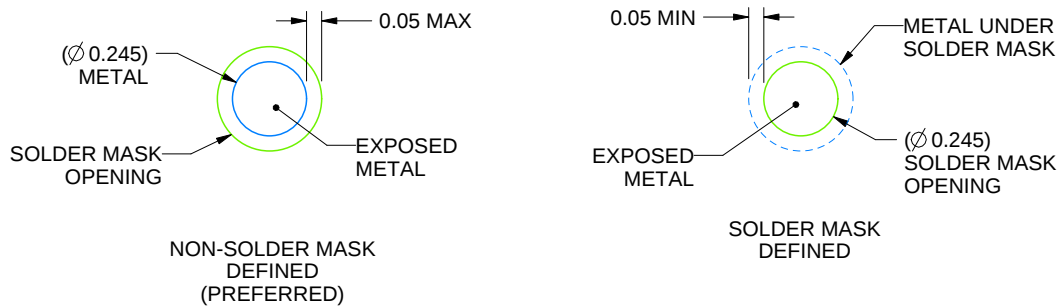
YZF0009

DSBGA - 0.625 mm max height

DIE SIZE BALL GRID ARRAY



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 40X



SOLDER MASK DETAILS
NOT TO SCALE

4219558/A 10/2018

NOTES: (continued)

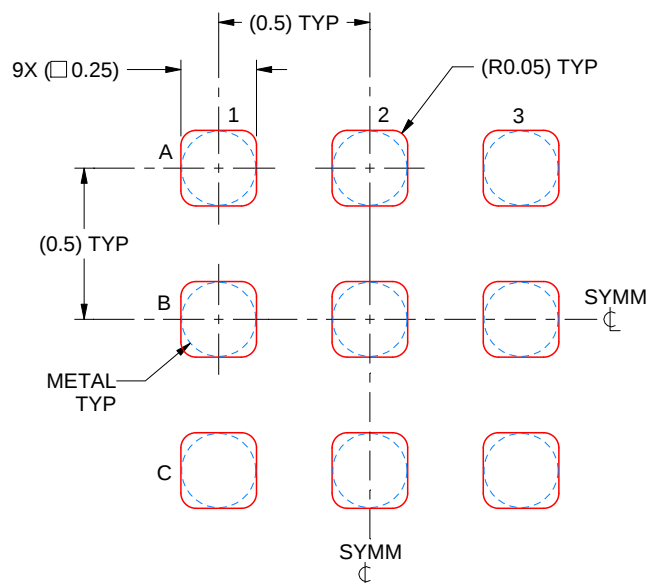
- Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. See Texas Instruments Literature No. SNVA009 (www.ti.com/lit/snva009).

EXAMPLE STENCIL DESIGN

YZF0009

DSBGA - 0.625 mm max height

DIE SIZE BALL GRID ARRAY



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE: 40X

4219558/A 10/2018

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](https://www.ti.com) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2022, Texas Instruments Incorporated