

CSD18510KTT 40V N チャネル NexFET™ パワー MOSFET

1 特長

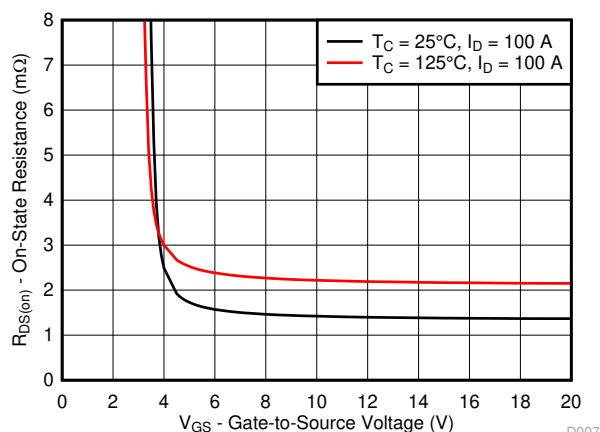
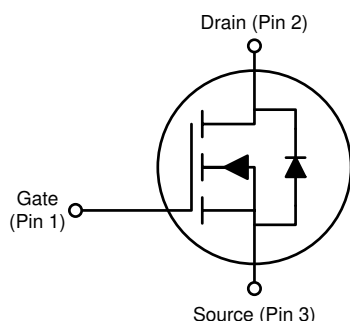
- 非常に低い Q_g および Q_{gd}
- 低い熱抵抗
- アバランシェ定格
- 鉛フリーの端子メッキ処理
- RoHS に準拠
- ハロゲン不使用
- D²PAK プラスチック・パッケージ

2 アプリケーション

- 2 次側同期整流器
- モータ制御

3 概要

この 40V、1.4mΩ、D²PAK (TO-263) NexFET™ パワー MOSFET は、電力変換アプリケーションでの損失を最小限に抑えるように設計されています。



$R_{DS(on)}$ と V_{GS} との関係

製品概要

$T_A = 25^\circ\text{C}$		標準値	単位
V_{DS}	ドレイン - ソース間電圧	40	V
Q_g	ゲートの合計電荷 (10V)	119	nC
Q_{gd}	ゲート電荷、ゲート-ドレイン間	21	nC
$R_{DS(on)}$	ドレイン - ソース間オン抵抗	$V_{GS} = 4.5\text{V}$	2.0
		$V_{GS} = 10\text{V}$	1.4
$V_{GS(th)}$	スレッショルド電圧	1.7	V

製品情報(1)

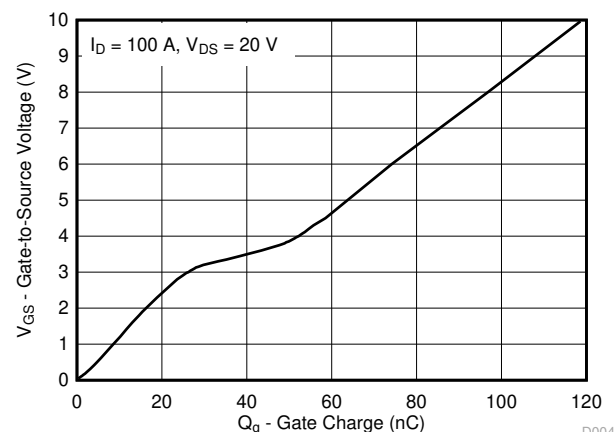
デバイス	数量	メディア	パッケージ	出荷形態
CSD18510KTT	500	13 インチ・リール	D ² PAK プラスチック・パッケージ	テープ・アンド・リール
CSD18510KTTT	50			

- (1) 利用可能なパッケージについては、このデータシートの末尾にある注文情報を参照してください。

絶対最大定格

$T_A = 25^\circ\text{C}$		値	単位
V_{DS}	ドレイン - ソース間電圧	40	V
V_{GS}	ゲート - ソース間電圧	± 20	V
I_D	連続ドレイン電流 (パッケージ制限)	200	A
	連続ドレイン電流 (シリコン制限)、 $T_C = 25^\circ\text{C}$	274	
	連続ドレイン電流 (シリコン制限)、 $T_C = 100^\circ\text{C}$	193	
I_{DM}	パルス・ドレイン電流 ⁽¹⁾	400	A
P_D	消費電力	250	W
T_J , T_{stg}	動作時の接合部温度、保存温度	$-55 \sim 175$	$^\circ\text{C}$
E_{AS}	アバランシェ・エネルギー、単一パルス $I_D = 81\text{A}$, $L = 0.1\text{mH}$, $R_G = 25\Omega$	328	mJ

- (1) 最大 $R_{\theta JC} = 0.6^\circ\text{C/W}$ 、パルス期間 $\leq 100\mu\text{s}$ 、デューティ・サイクル $\leq 1\%$



ゲート電荷



Table of Contents

1 特長	1	6.2 サポート・リソース	7
2 アプリケーション	1	6.3 Trademarks	7
3 概要	1	6.4 Electrostatic Discharge Caution	7
4 Revision History	2	6.5 Glossary	7
5 Specifications	3	7 Mechanical, Packaging, and Orderable Information	8
5.1 Electrical Characteristics.....	3	7.1 KTT Package Dimensions.....	8
5.2 Thermal Information.....	3	7.2 Recommended PCB Pattern.....	9
5.3 Typical MOSFET Characteristics.....	4	7.3 Recommended Stencil Opening (0.125 mm Stencil Thickness).....	9
6 デバイスおよびドキュメントのサポート	7		
6.1 Receiving Notification of Documentation Updates.....	7		

4 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (January 2017) to Revision B (November 2022)	Page
• Updated 図 5-3	4

Changes from Revision * (November 2016) to Revision A (January 2017)	Page
• 「絶対最大定格」表で、シリコン電流制限、 $T_C = 25^\circ\text{C}$ を 237A から 274A に変更	1
• 「絶対最大定格」表で、シリコン電流制限、 $T_C = 100^\circ\text{C}$ を 167A から 193A に変更	1
• 「絶対最大定格」表で、最大消費電力を 188W から 250W に変更	1
• Changed the charge values in the Dynamic Characteristics section of the <i>Electrical Characteristics</i> table.....	3
• Changed max $R_{\theta JC}$ from 0.8°C/W : to 0.6°C/W in the <i>Thermal Information</i> table.....	3
• Changed 図 5-4 in the <i>Typical MOSFET Characteristics</i> section to reflect updated gate charges.....	4

5 Specifications

5.1 Electrical Characteristics

$T_A = 25^\circ\text{C}$ (unless otherwise stated)

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
STATIC CHARACTERISTICS						
BV _{DSS}	Drain-to-source voltage	V _{GS} = 0 V, I _D = 250 μA	40			V
I _{DSS}	Drain-to-source leakage current	V _{GS} = 0 V, V _{DS} = 32 V			1	μA
I _{GSS}	Gate-to-source leakage current	V _{DS} = 0 V, V _{GS} = 20 V			100	nA
V _{GS(th)}	Gate-to-source threshold voltage	V _{DS} = V _{GS} , I _D = 250 μA	1.4	1.7	2.3	V
R _{DS(on)}	Drain-to-source on resistance	V _{GS} = 4.5 V, I _D = 100 A		2.0	2.6	mΩ
		V _{GS} = 10 V, I _D = 100 A		1.4	1.7	
g _{fs}	Transconductance	V _{DS} = 4 V, I _D = 100 A		330		S
DYNAMIC CHARACTERISTICS						
C _{iss}	Input capacitance	V _{GS} = 0 V, V _{DS} = 20 V, f = 1 MHz		8770	11400	pF
C _{oss}	Output capacitance			832	1080	pF
C _{rss}	Reverse transfer capacitance			424	551	pF
R _G	Series gate resistance			0.9	1.8	Ω
Q _g	Gate charge total (4.5 V)	V _{DS} = 20 V, I _D = 100 A		58	75	nC
Q _g	Gate charge total (10 V)			118	153	nC
Q _{gd}	Gate charge gate-to-drain			21		nC
Q _{gs}	Gate charge gate-to-source			28		nC
Q _{g(th)}	Gate charge at V _{th}			15		nC
Q _{oss}	Output charge		V _{DS} = 20 V, V _{GS} = 0 V		35	
t _{d(on)}	Turnon delay time	V _{DS} = 20 V, V _{GS} = 10 V, I _{DS} = 100 A, R _G = 0 Ω		10		ns
t _r	Rise time			8		ns
t _{d(off)}	Turnoff delay time			29		ns
t _f	Fall time			8		ns
DIODE CHARACTERISTICS						
V _{SD}	Diode forward voltage	I _{SD} = 100 A, V _{GS} = 0 V		0.85	1.0	V
Q _{rr}	Reverse recovery charge	V _{DS} = 20 V, I _F = 100 A, di/dt = 300 A/μs		70		nC
t _{rr}	Reverse recovery time			41		ns

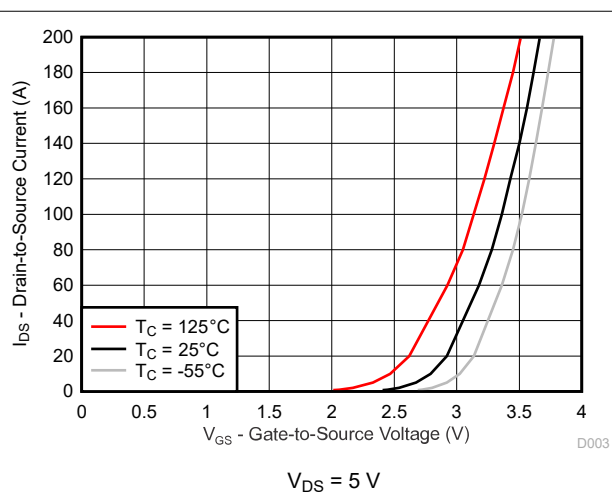
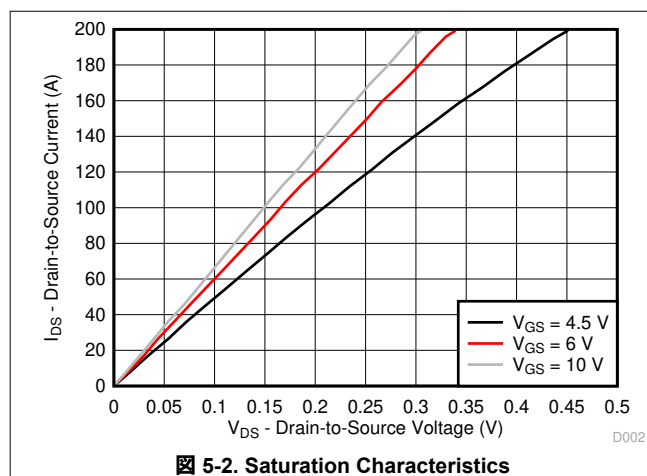
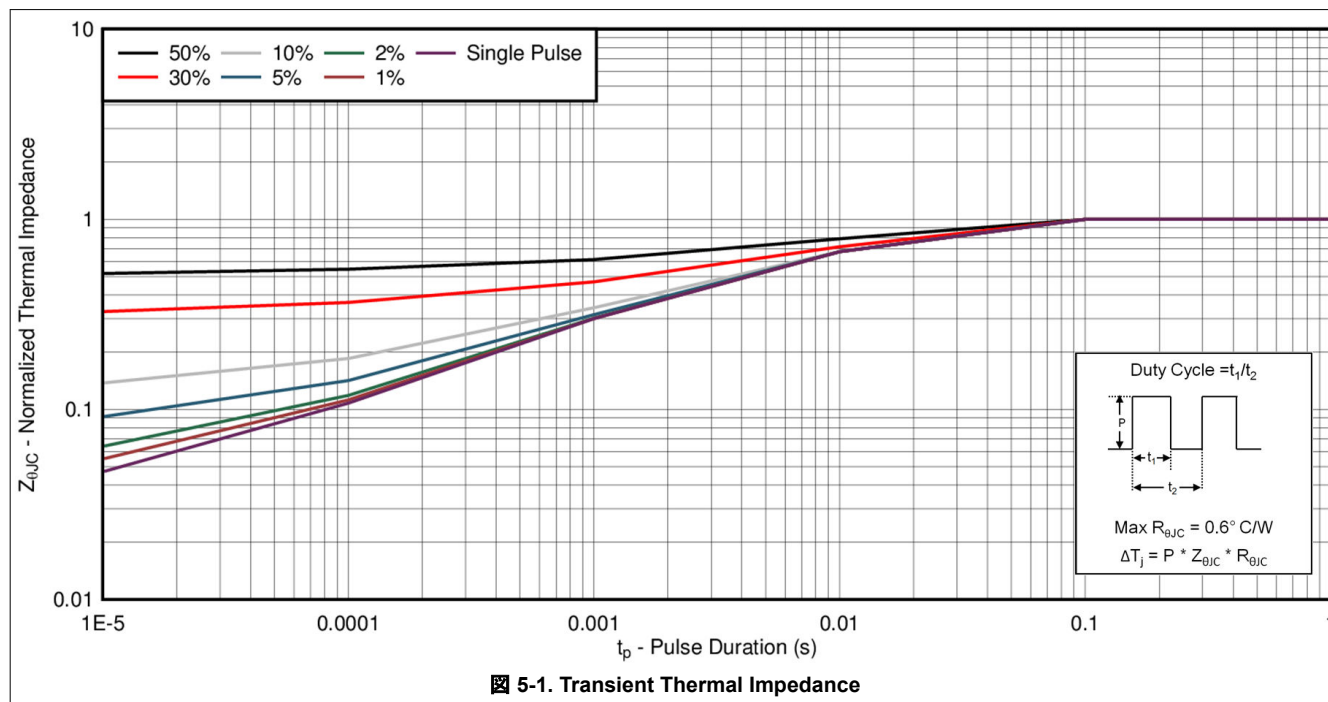
5.2 Thermal Information

$T_A = 25^\circ\text{C}$ (unless otherwise stated)

THERMAL METRIC		MIN	TYP	MAX	UNIT
$R_{\theta JC}$	Junction-to-case thermal resistance			0.6	$^\circ\text{C}/\text{W}$
$R_{\theta JA}$	Junction-to-ambient thermal resistance			62	$^\circ\text{C}/\text{W}$

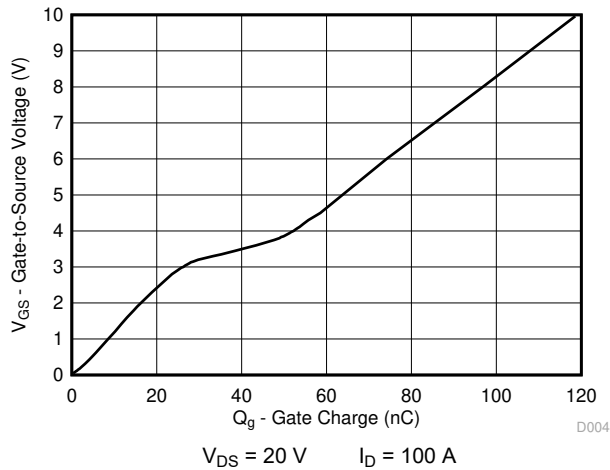
5.3 Typical MOSFET Characteristics

$T_A = 25^\circ\text{C}$ (unless otherwise stated)

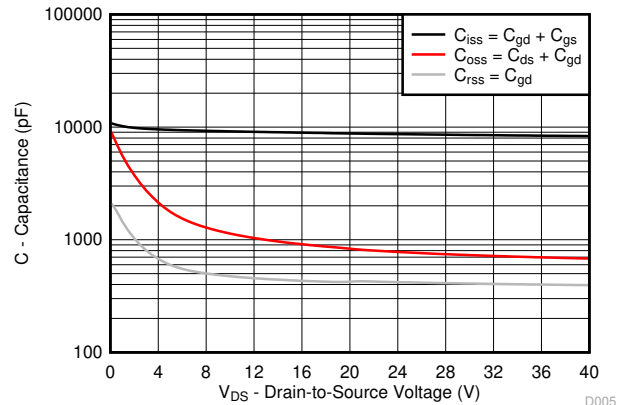


5.3 Typical MOSFET Characteristics (continued)

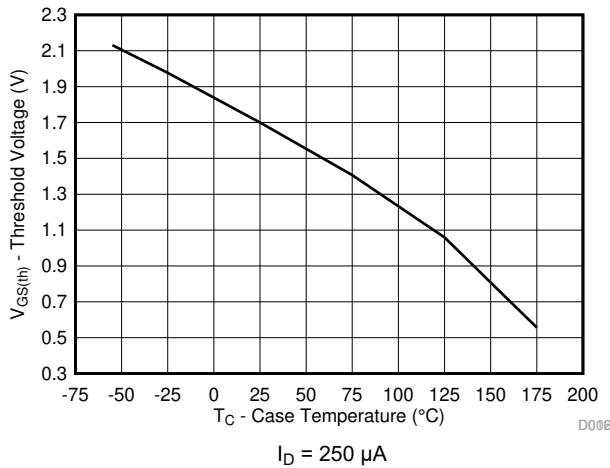
$T_A = 25^\circ\text{C}$ (unless otherwise stated)



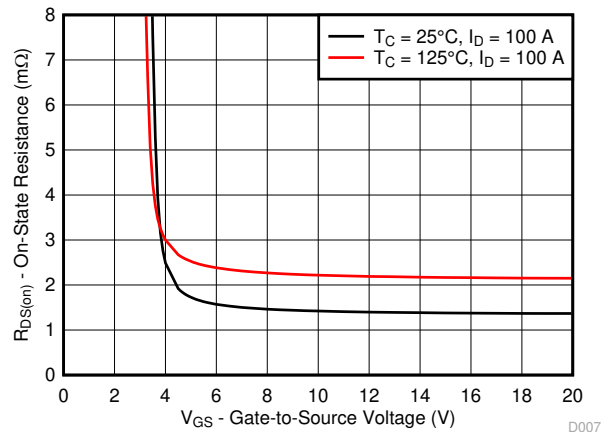
5-4. Gate Charge



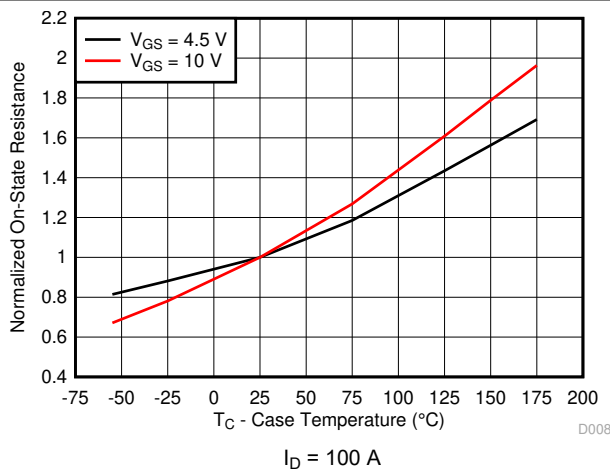
5-5. Capacitance



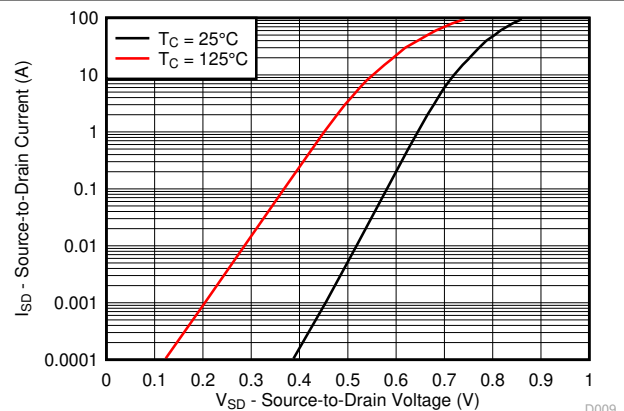
5-6. Threshold Voltage vs Temperature



5-7. On-State Resistance vs Gate-to-Source Voltage



5-8. Normalized On-State Resistance vs Temperature



5-9. Typical Diode Forward Voltage

5.3 Typical MOSFET Characteristics (continued)

$T_A = 25^\circ\text{C}$ (unless otherwise stated)

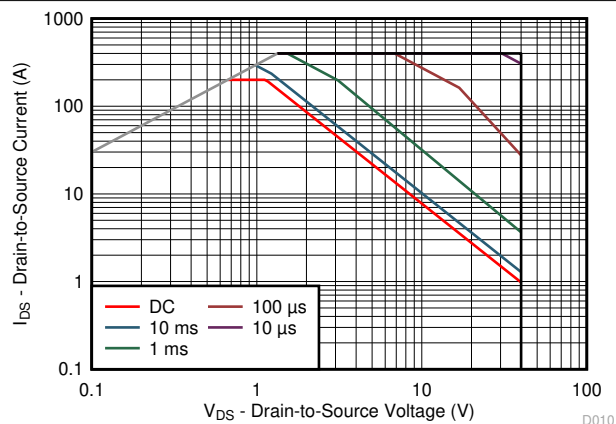


FIG 5-10. Maximum Safe Operating Area

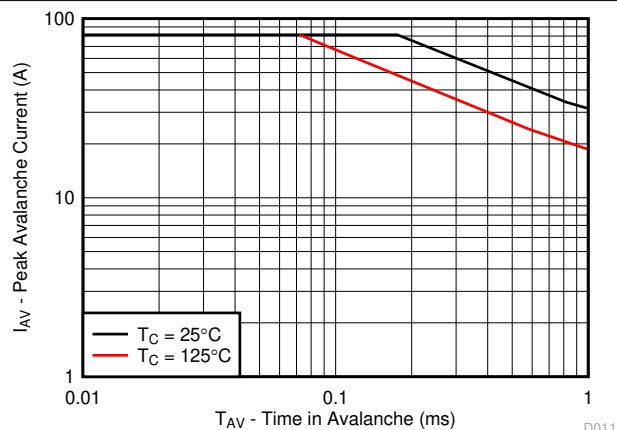


FIG 5-11. Single Pulse Unclamped Inductive Switching

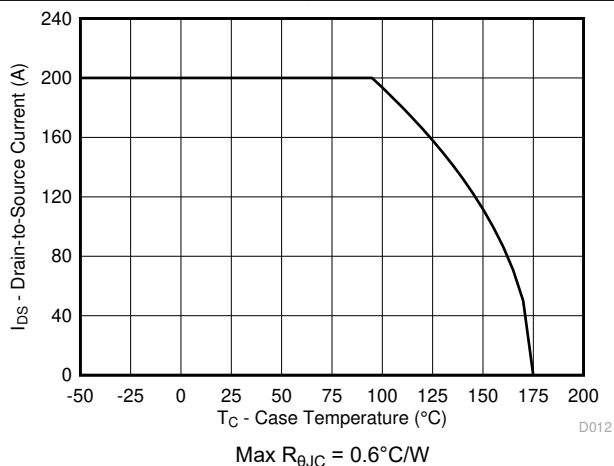


FIG 5-12. Maximum Drain Current vs Temperature

6 デバイスおよびドキュメントのサポート

6.1 Receiving Notification of Documentation Updates

To receive notification of documentation updates, navigate to the device product folder on [ti.com](https://www.ti.com). Click on *Subscribe to updates* to register and receive a weekly digest of any product information that has changed. For change details, review the revision history included in any revised document.

6.2 サポート・リソース

[TI E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の[使用条件](#)を参照してください。

6.3 Trademarks

NexFET™, TI E2E™, and PowerPAD™ are trademarks of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

6.4 Electrostatic Discharge Caution



This integrated circuit can be damaged by ESD. Texas Instruments recommends that all integrated circuits be handled with appropriate precautions. Failure to observe proper handling and installation procedures can cause damage.

ESD damage can range from subtle performance degradation to complete device failure. Precision integrated circuits may be more susceptible to damage because very small parametric changes could cause the device not to meet its published specifications.

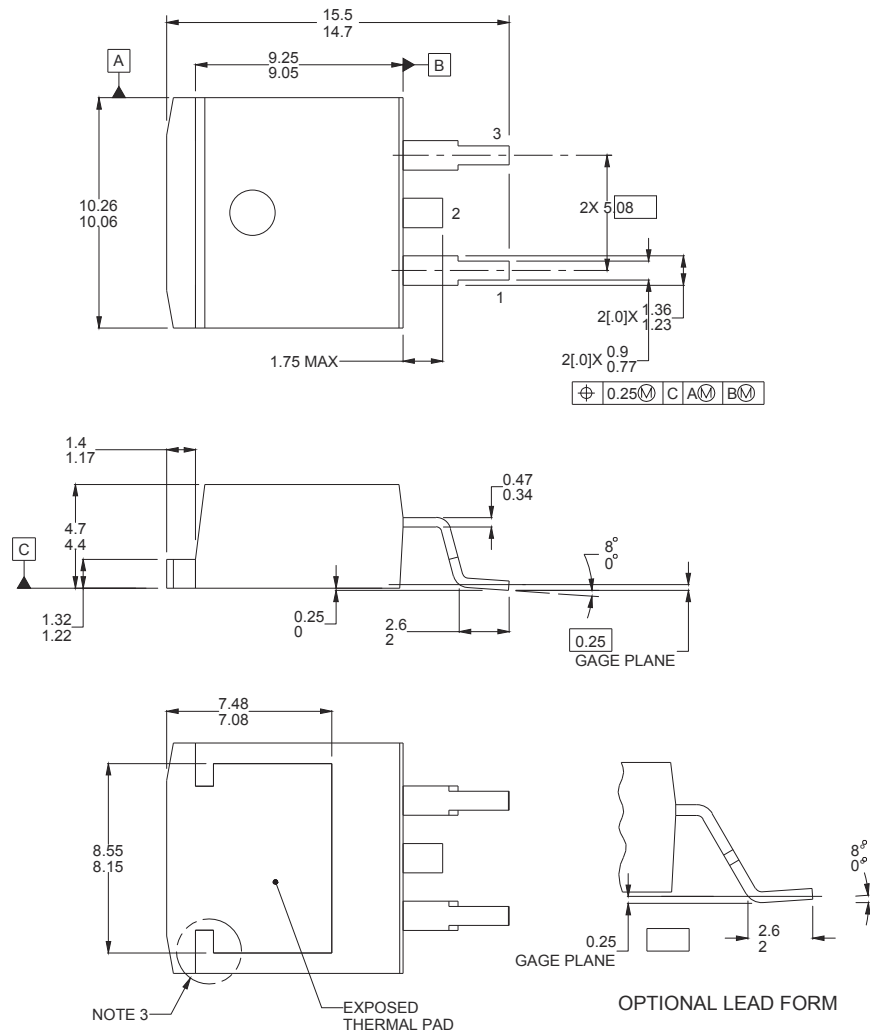
6.5 Glossary

[TI Glossary](#) This glossary lists and explains terms, acronyms, and definitions.

7 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

7.1 KTT Package Dimensions



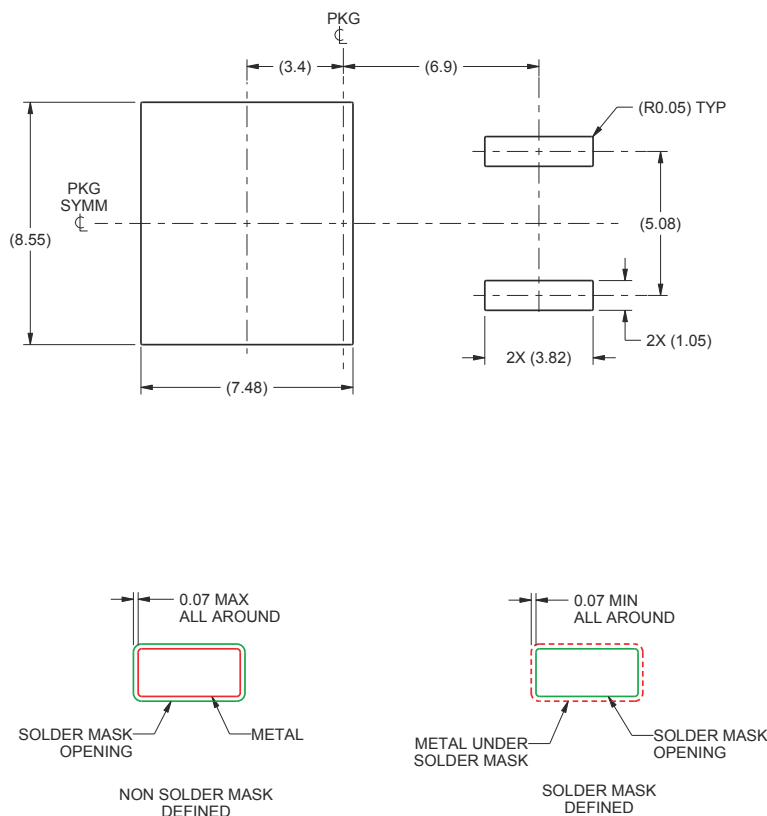
Notes:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Features may not exist and shape may vary per different assembly sites.

表 7-1. Pin Configuration

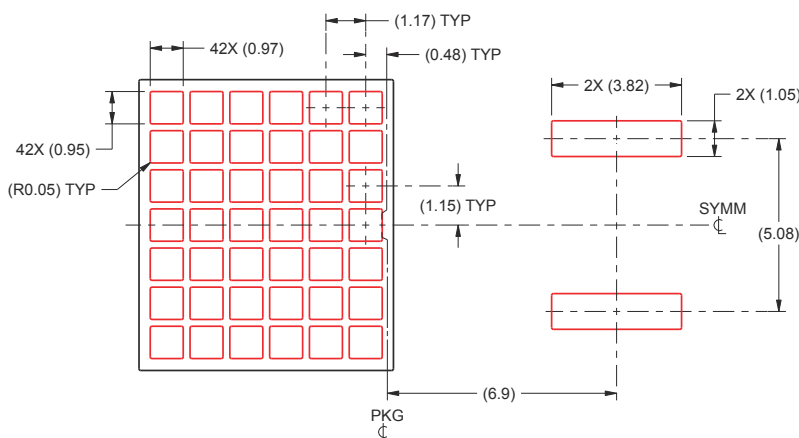
POSITION	DESIGNATION
Pin 1	Gate
Pin 2 / Tab	Drain
Pin 3	Source

7.2 Recommended PCB Pattern



For recommended circuit layout for PCB designs, see [Reducing Ringing Through PCB Layout Techniques](#) (SLPA005).

7.3 Recommended Stencil Opening (0.125 mm Stencil Thickness)



Notes:

1. This package is designed to be soldered to a thermal pad on the board. See [PowerPAD™ Thermally Enhanced Package](#) (SLMA002) and [PowerPAD™ Made Easy](#) (SLMA004) for more information.
2. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
3. Board assembly site may have different recommendations for stencil design.

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
CSD18510KTT	ACTIVE	DDPAK/ TO-263	KTT	2	500	RoHS-Exempt & Green	SN	Level-2-260C-1 YEAR	-55 to 175	CSD18510KTT	Samples
CSD18510KTTT	ACTIVE	DDPAK/ TO-263	KTT	2	50	RoHS-Exempt & Green	SN	Level-2-260C-1 YEAR	-55 to 175	CSD18510KTT	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "-" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとしします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2023, Texas Instruments Incorporated