CSD17552Q3A 30V N チャネル NexFET™ パワー MOSFET

1 特長

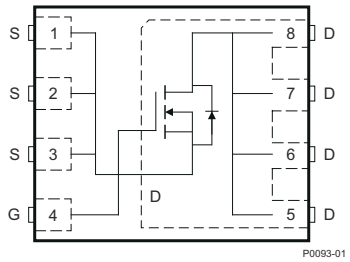
- 非常に低い Q_g および Q_{gd}
- 低い熱抵抗
- アバランシェ定格
- 鉛フリー
- RoHS 準拠
- ハロゲン不使用
- SON 3.3 mm×3.3 mm プラスチック・ パッケージ

2 アプリケーション

- ネットワーク、テレコム、およびコンピューティング システムのポイント オブ ロード同期整流降圧
- 制御 FET アプリケーションに最適

3 概要

この 30V、5.5mΩ、3.3mm × 3.3mm の SON NexFET™ パワー MOSFET は、電力変換アプリケーションでの損失を最小限に抑えるように設計されています。



上面図

製品概要

T_A = 25℃		標準値		単位
V_{DS}	ドレイン - ソース間電圧	30		V
Q_g	ゲートの合計電荷 (4.5V)	9.0		nC
Q_{gd}	ゲート-ドレイン間ゲート電荷	2.3		nC
$R_{DS(on)}$	ドレイン - ソース間オン抵抗	V_{GS} = 4.5V	6.5	mΩ
		V_{GS} = 10V	5.5	mΩ
$V_{GS(th)}$	スレッショルド電圧	1.5		V

注文情報(1)

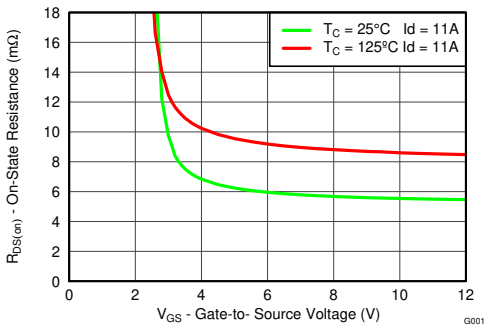
デバイス	数量	メディア	パッケージ	出荷形態
CSD17552Q3A	2500	13 インチ・リール	SON 3.3mm × 3.3mm プラスチック パッケージ	テープおよびリール
CSD17552Q3AT	250	7 インチ・ リール		

(1) 利用可能なパッケージについては、このデータシートの末尾にある注文情報を参照してください。

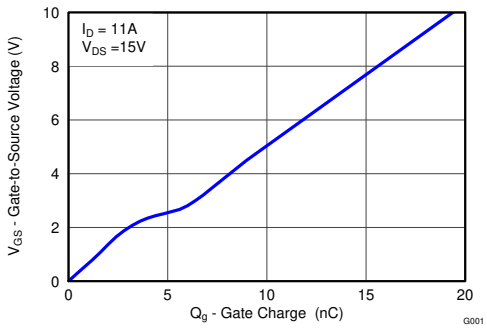
絶対最大定格

T_A = 25℃ (特に記述のない限り)		値	単位
V_{DS}	ドレイン - ソース間電圧	30	V
V_{GS}	ゲート - ソース間電圧	±20	V
I_D	連続ドレイン電流、T_C = 25℃	60	A
	連続ドレイン電流、シリコン制限	74	A
	連続ドレイン電流、T_A = 25℃(1)	15	A
I_{DM}	パルス・ ドレイン電流、T_A = 25℃(2)	84	A
P_D	消費電力(1)	2.6	W
T_J、T_{stg}	動作時の接合部温度、保存温度	-55 ~ 150	℃
E_{AS}	アバランシェ・ エネルギー、単一パルス I_D = 30 A、L = 0.1mH、R_G = 25Ω	45	mJ

(1) 厚さ 0.06 インチ (1.52mm) の FR4 PCB 上に形成された面積 1 平方インチ (6.45cm^2)、2 オンス (0.071mm 厚) の Cu パッド上で、標準値 $R_{\theta JA}$ = 48℃/W です。
(2) パルス幅 ≤ 300µs、デューティ・ サイクル ≤ 2%



$R_{DS(on)}$ と V_{GS} との関係



ゲート電荷

このリソースの元の言語は英語です。 翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。 実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 概要.....1
4 仕様.....3
4.1 電気的特性.....3
4.2 熱に関する情報.....3
4.3 代表的な MOSFET の特性.....4
5 デバイスおよびドキュメントのサポート.....7
5.1 サポート・リソース.....7
5.2 商標.....7
5.3 静電気放電に関する注意事項.....7
5.4 用語集.....7
6 改訂履歴.....7
7 メカニカル、パッケージ、および注文情報.....7

Copyright © 2024 Texas Instruments Incorporated

4 仕様

4.1 電気的特性

(特に記述のない限り T_A = 25℃)

パラメータ		テスト条件	最小値	標準値	最大値	単位
スタティック特性						
BV_{DSS}	ドレイン - ソース間電圧	V_{GS} = 0V、I_D = 250μA	30			V
I_{DSS}	ドレイン - ソース間リーク電流	V_{GS} = 0V、V_{DS} = 24V			1	μA
I_{GSS}	ゲート - ソース間リーク電流	V_{DS} = 0V、V_{GS} = 20V			100	nA
$V_{GS(th)}$	ゲート - ソース間スレッショルド電圧	V_{DS} = V_{GS}、I_D = 250μA	1.1	1.5	1.9	V
$R_{DS(on)}$	ドレイン - ソース間オン抵抗	V_{GS} = 4.5V、I_D = 11A		6.5	8.1	mΩ
		V_{GS} = 10V、I_D = 11A		5.5	6.0	mΩ
g_{fs}	相互コンダクタンス	V_{DS} = 15V、I_D = 11A		106		S
ダイナミック特性						
C_{iss}	入力容量	V_{GS} = 0V、V_{DS} = 15V、f = 1MHz		1580	2050	pF
C_{oss}	出力容量			385	500	pF
C_{rss}	帰還容量			28	36	pF
R_G	直列ゲート抵抗			.9	1.8	Ω
Q_g	総ゲート電荷量 (4.5V)	V_{DS} = 15V、I_D = 11A		9	12	nC
Q_{gd}	ゲート電荷、ゲート-ドレイン間			2.3		nC
Q_{gs}	ゲート電荷、ゲート - ソース間			3.6		nC
$Q_{g(th)}$	V_{th} でのゲート電荷量			1.8		nC
Q_{oss}	出力電荷量	V_{DS} = 15V、V_{GS} = 0V		11		nC
$t_{d(on)}$	ターンオン遅延時間	V_{DS} = 15V、V_{GS} = 4.5V、I_{DS} = 11A、R_G = 2Ω		7.2		ns
t_r	立ち上がり時間			7.4		ns
$t_{d(off)}$	ターンオフ遅延時間			11.0		ns
t_f	立ち下がり時間			3.4		ns
ダイオード特性						
V_{SD}	ダイオード順方向電圧	I_{SD} = 11A、V_{GS} = 0V		0.8	1	V
Q_{rr}	逆方向回復電荷	V_{DS}= 13.5V、I_F = 11A、di/dt = 300A/μs		17		nC
t_{rr}	逆方向回復時間			15		ns

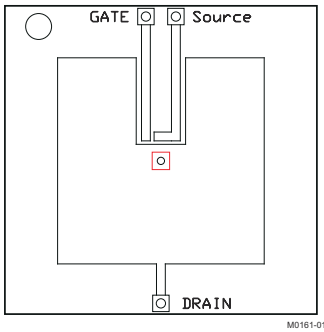
4.2 熱に関する情報

(特に記述のない限り T_A = 25℃)

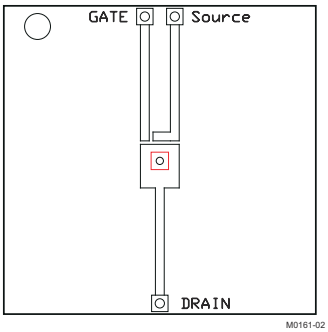
熱評価基準		最小値	標準値	最大値	単位
$R_{\theta JC}$	接合部からケースへの熱抵抗(1)			2.3	℃/W
$R_{\theta JA}$	接合部から周囲への熱抵抗(1) (2)			60	℃/W

(1) $R_{\theta JC}$ は、1.5 インチ × 1.5 インチ、0.06 インチ (1.52mm) 厚の FR4 PCB 上に形成された 1 平方インチ (6.45cm^2)、2 オンス (0.071mm 厚) の Cu パッドに実装した場合の値です。$R_{\theta JC}$ は設計で規定されるのに対し、$R_{\theta JA}$ はユーザーの基板設計によって決まります。

(2) 1 平方インチ (6.45cm^2)、2 オンス (0.071mm 厚) の Cu を持つ FR4 材質上にデバイスを実装。



最大 $R_{\theta JA}$ = 60℃/W (1 平方インチ (6.45cm^2)、2 オンス (0.071mm 厚) の Cu に実装した場合)



最大 $R_{\theta JA}$ = 146℃/W (2 オンス (0.071mm 厚) の Cu の最小パッド面積に実装した場合)

4.3 代表的な MOSFET の特性

(特に記述のない限り T_A = 25℃)

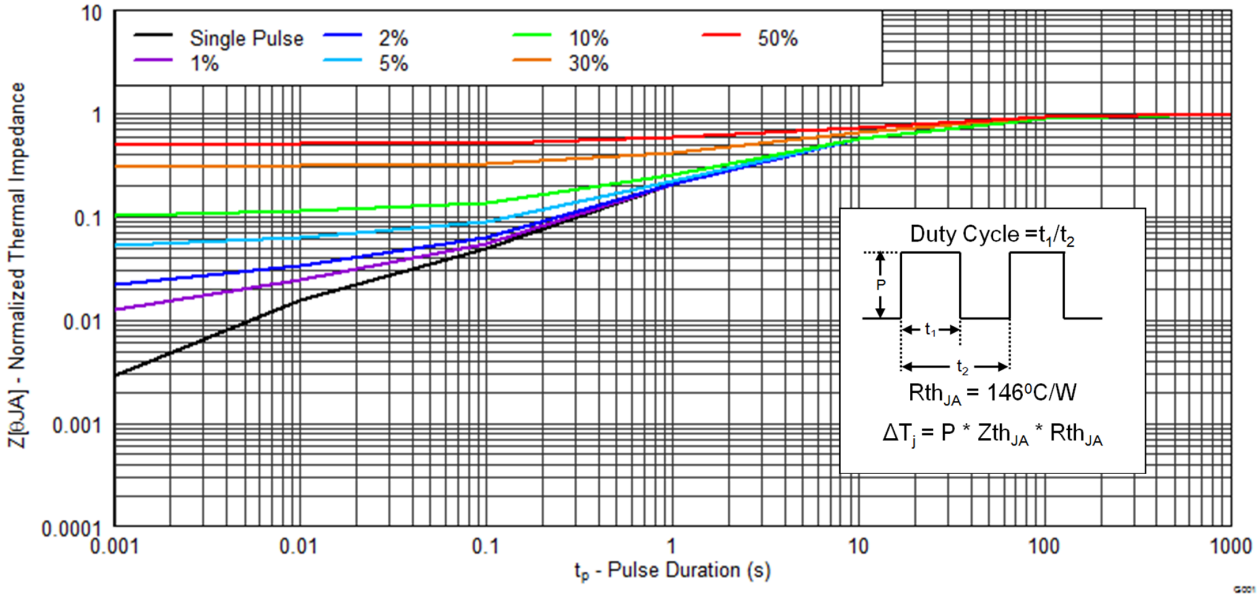


図 4-1. 過渡熱抵抗

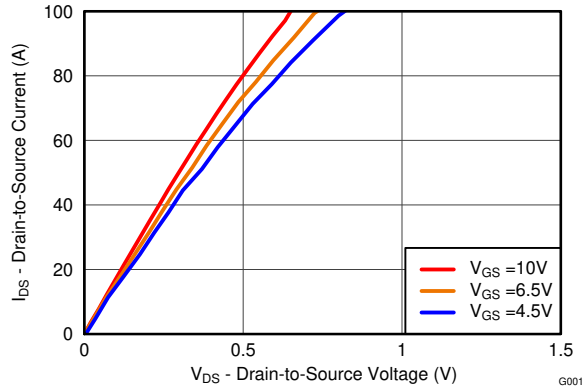


図 4-2. 飽和特性

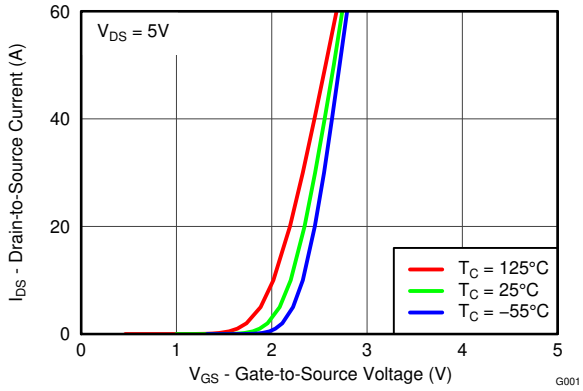


図 4-3. 伝達特性

Copyright © 2024 Texas Instruments Incorporated

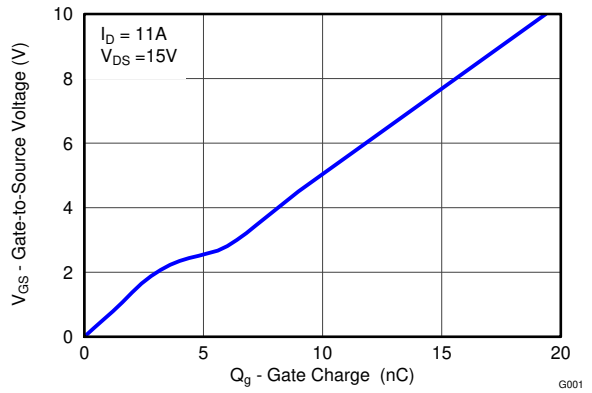


図 4-4. ゲート電荷

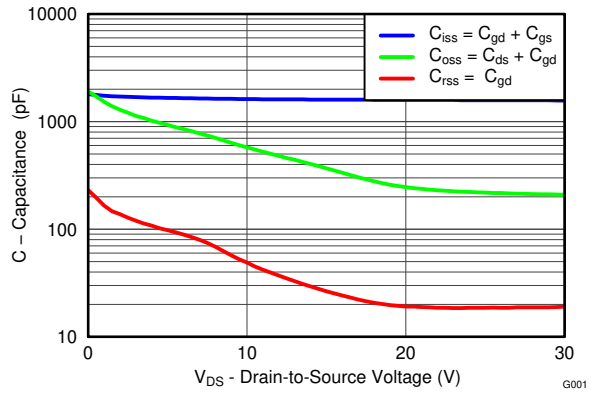


図 4-5. 容量

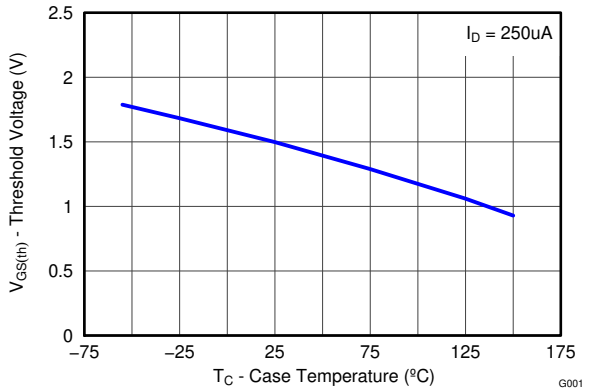


図 4-6. スレッショルド電圧と温度との関係

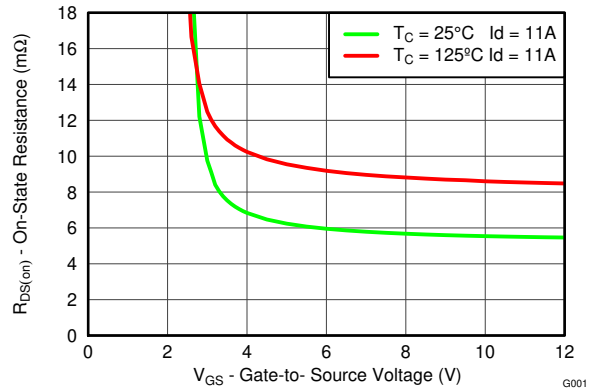


図 4-7. オン状態抵抗とゲート - ソース間電圧との関係

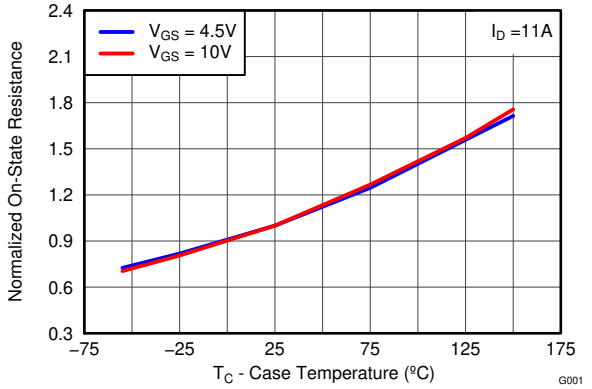


図 4-8. 通常のオン状態抵抗と温度との関係

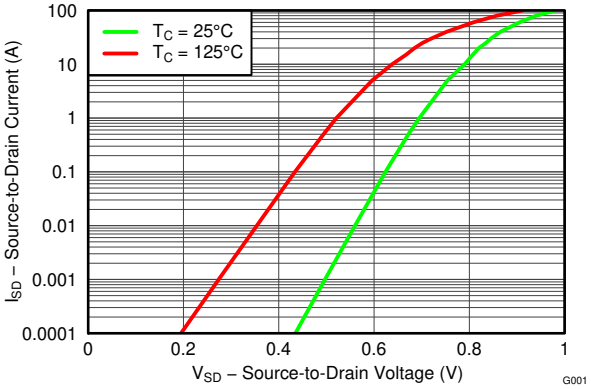


図 4-9. ダイオードの順方向電圧 (標準値)

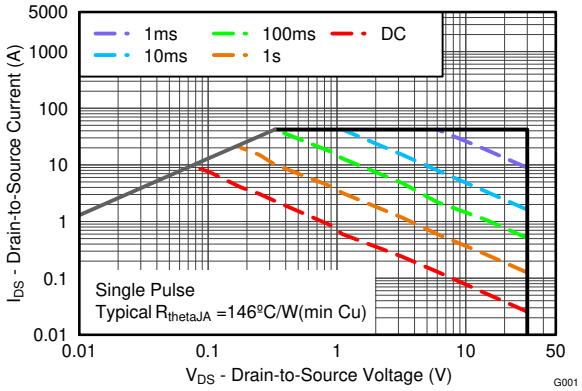


図 4-10. 安全動作領域 (最大値)

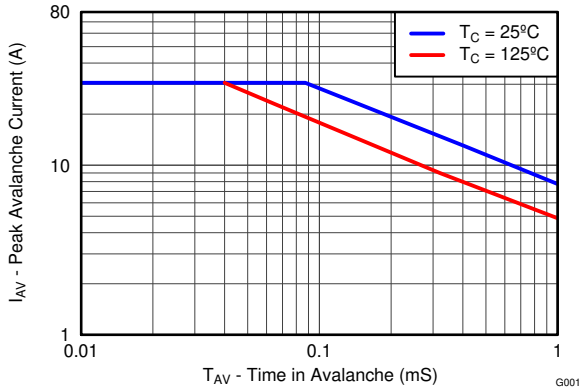


図 4-11. 単一パルスの非クランプ誘導性スイッチング

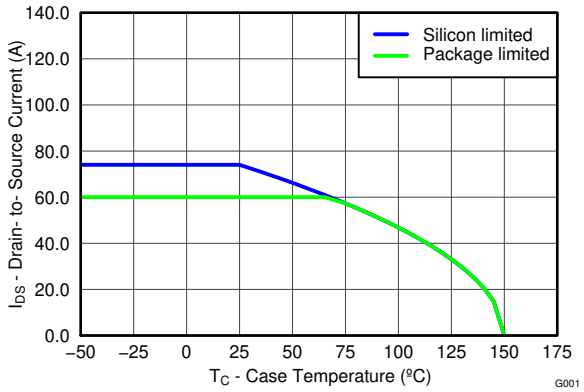


図 4-12. ドレイン電流 (最大値) と温度との関係

Copyright © 2024 Texas Instruments Incorporated

5 デバイスおよびドキュメントのサポート

5.1 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

5.2 商標

NexFET™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

5.3 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

5.4 用語集

テキサス・インスツルメンツ用語集　この用語集には、用語や略語の一覧および定義が記載されています。

6 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (January 2016) to Revision C (November 2023)	Page
• ドキュメント全体にわたって表、図、相互参照のフォーマットを更新	1

Changes from Revision A (June 2014) to Revision B (January 2016)	Page
• セクション 3 の記述を更新	1

Changes from Revision * (September 2012) to Revision A (June 2014)	Page
• 「特長」の「鉛フリーの端子メッキ」を「鉛フリー」に変更	1

7 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用している場合は、画面左側のナビゲーションをご覧ください。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
CSD17552Q3A	ACTIVE	VSONP	DNH	8	2500	RoHS & Green	SN	Level-1-260C-UNLIM	-55 to 150	17552	Samples

(1) The marketing status values are defined as follows:
ACTIVE: Product device recommended for new designs.
LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.
NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.
PREVIEW: Device has been announced but is not in production. Samples may or may not be available.
OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".
RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.
Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

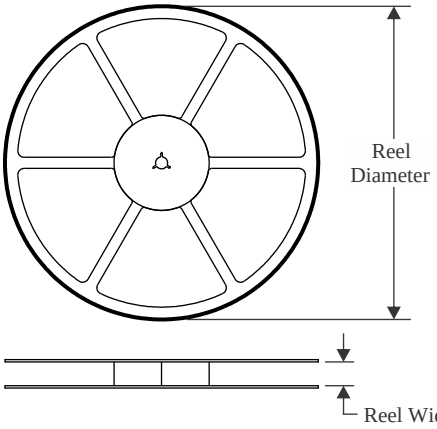
(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

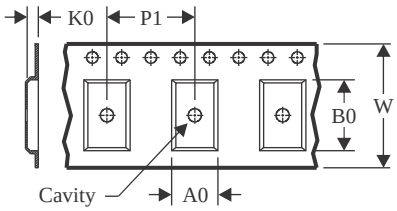
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

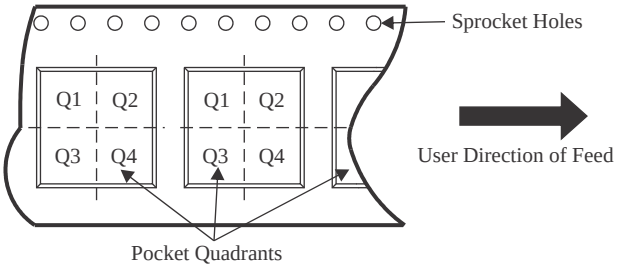


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

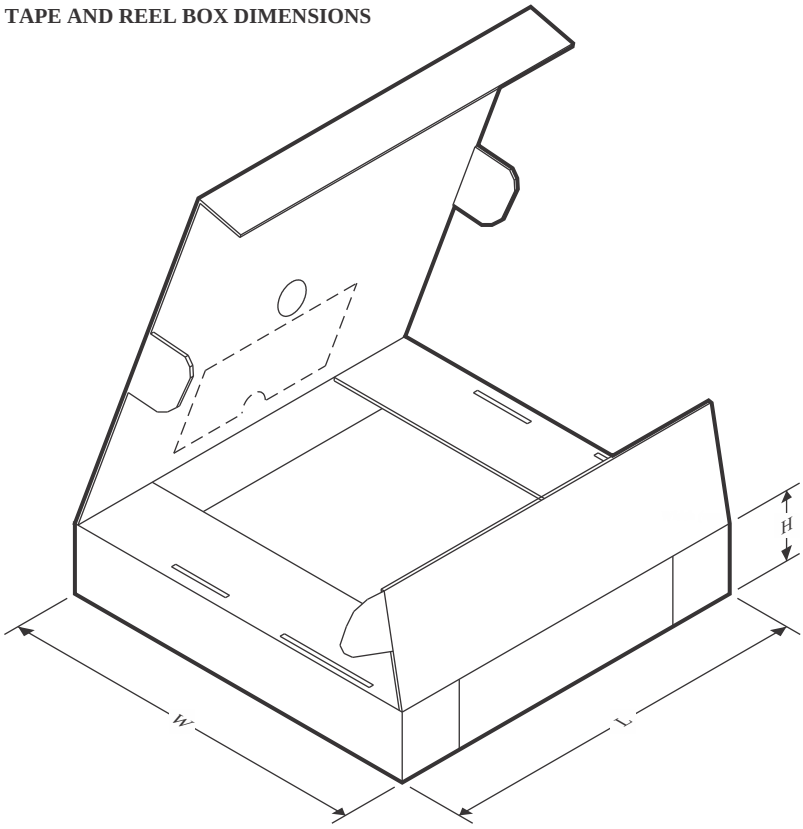
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

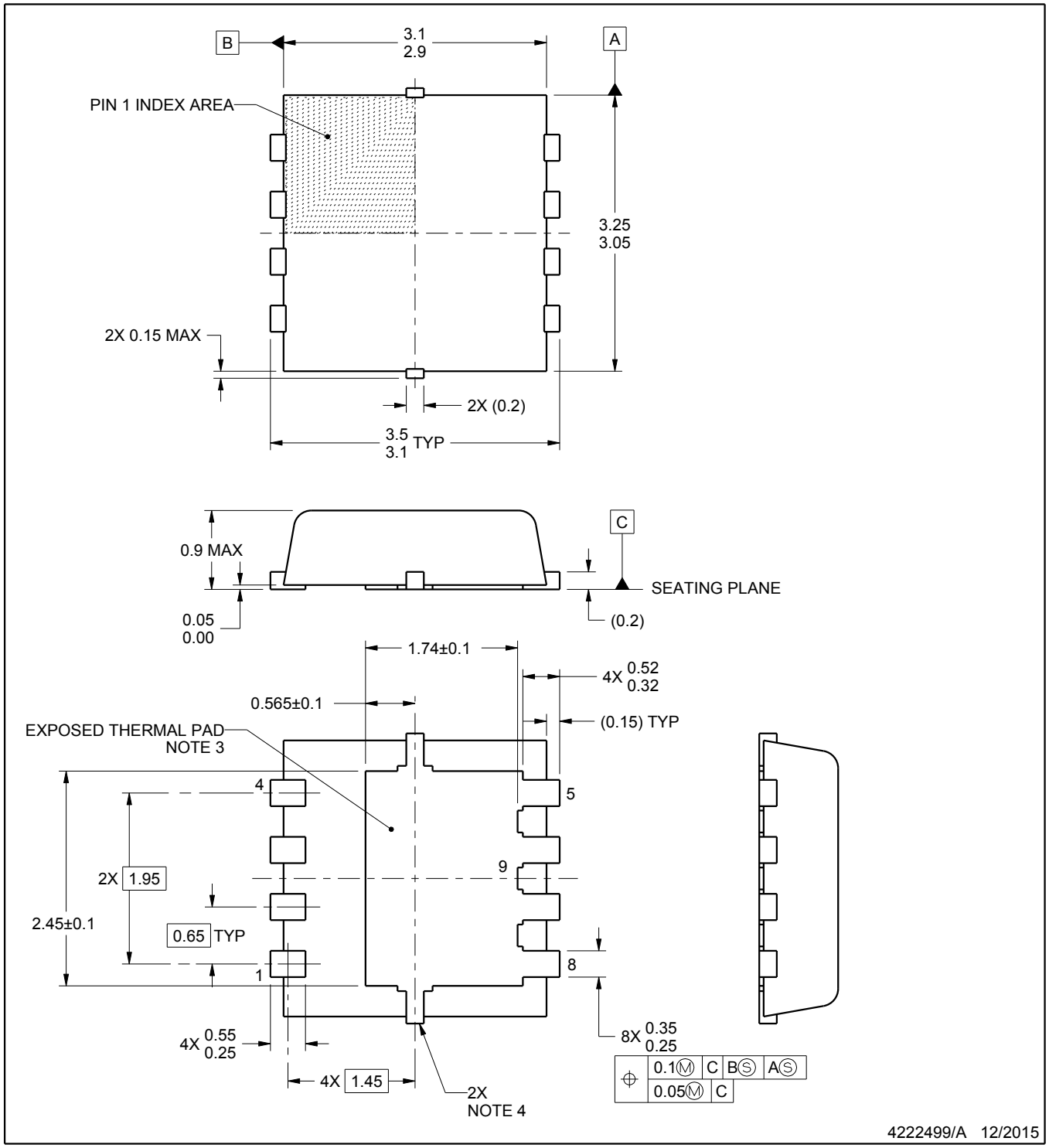
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CSD17552Q3A	VSONP	DNH	8	2500	330.0	12.4	3.6	3.6	1.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



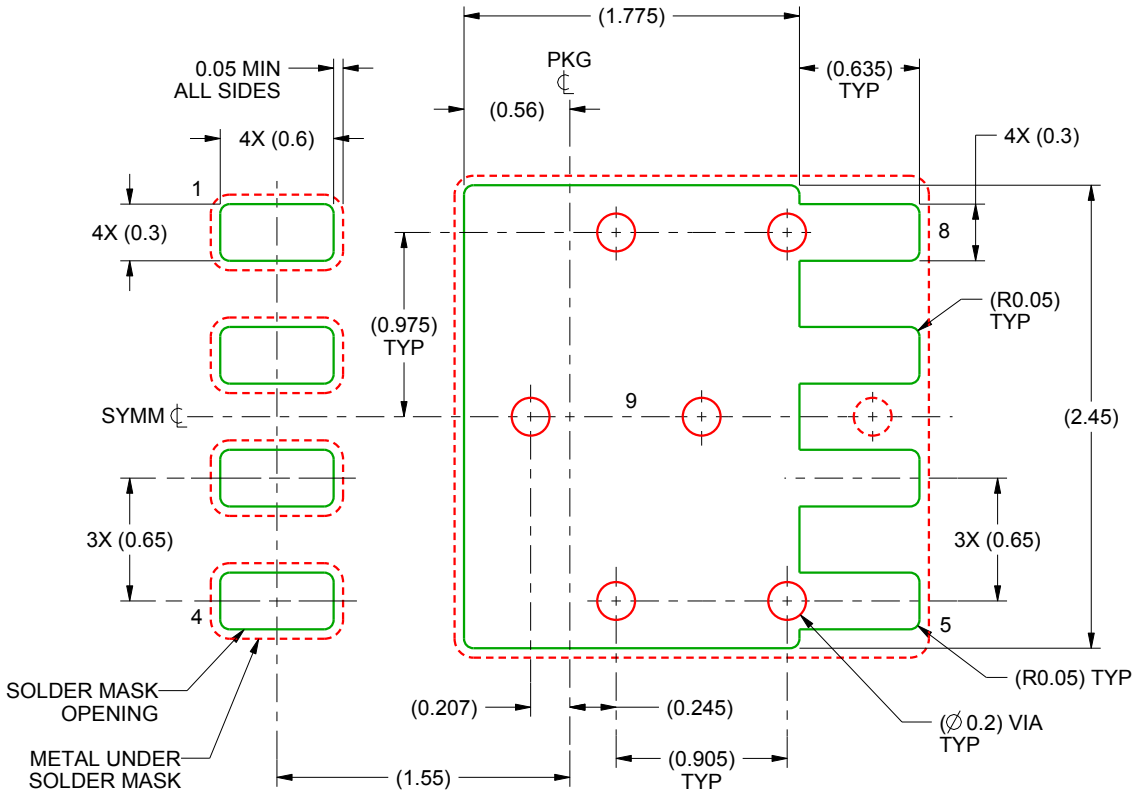
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CSD17552Q3A	VSONP	DNH	8	2500	340.0	340.0	38.0



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.
4. Metalized features are supplier options and may not be on the package.
5. All dimensions do not include mold flash or protrusions.

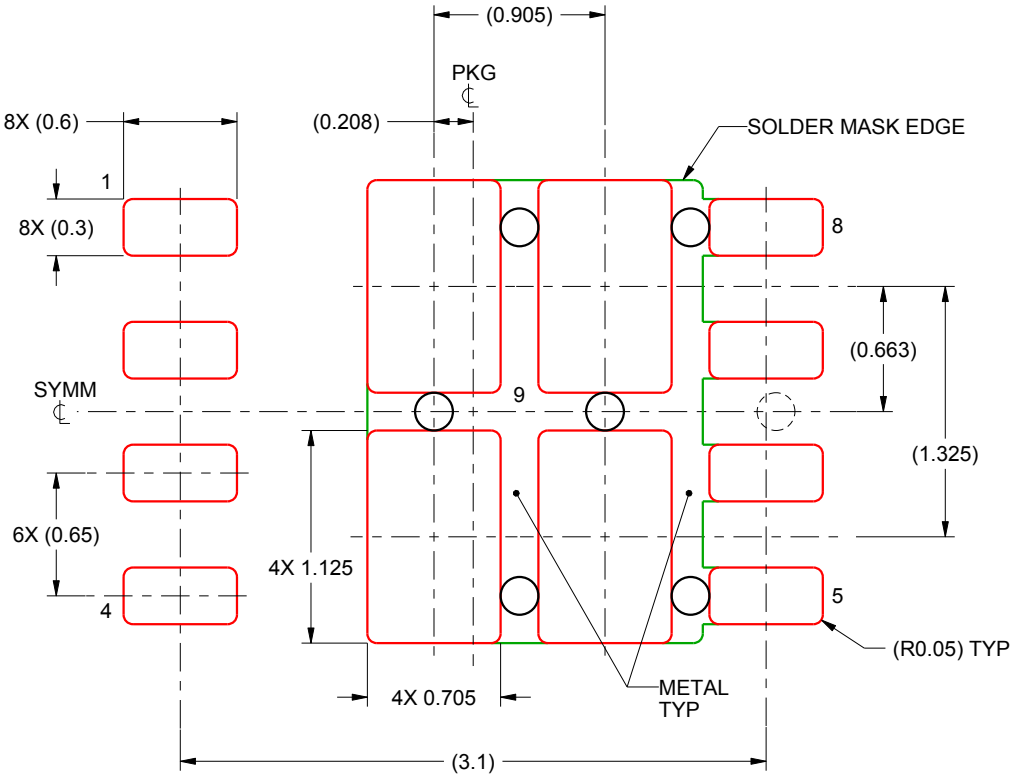


LAND PATTERN EXAMPLE
SOLDER MASK DEFINED
SCALE: 25X

4222499/A 12/2015

NOTES: (continued)

6. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
7. Vias are optional depending on application, refer to device data sheet. If some or all are implemented, recommended via locations are shown.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 9:
76% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE: 25X

4222499/A 12/2015

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、TI の販売条件、または ti.com やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated