OPAx30x 低噪声、快速稳定、150MHz CMOS 运算放大器

1 特性

- 高带宽：150MHz
- 16 位 150ns 稳定
- 低噪声：3nV/√Hz
- 低失真：0.003%
- 低功耗：5.5V 上为 9.5mA（典型值）
- 关断至 5μA
- 单位增益稳定
- 出色的输出摆幅：
  - (V+) − 100mV 至 (V−) + 100mV
- 单电源：+2.7V 至 +5.5V
- 微型封装：VSSOP 及 SOT23

2 应用

- 16 位 ADC 输入驱动器
- 低噪声前置放大器
- IF/RF 放大器
- 有源滤波

3 说明

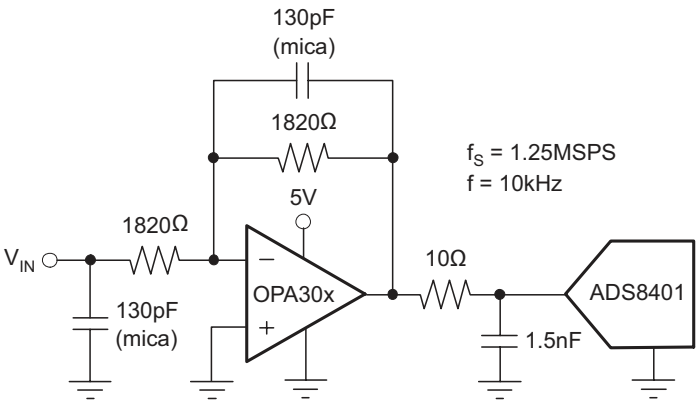
OPA300、OPA301、OPA2300 及 OPA2301 (OPAx30x) 系列高速、电压反馈、CMOS 运算放大器专为 16 位分辨率系统而设计。OPAx30x 系列具有单位增益稳定特性，拥有出色的稳定和谐波失真规格。低功耗应用受益于低静态电流。OPA300 和 OPA2300 具有数字关断（使能）功能，可在空闲期间实现额外的节能。OPA30x 系列针对单电源供电进行了优化，可提供高输出摆幅和出色的共模范围。

OPAx30x 系列运算放大器具有单位增益带宽的 150MHz，3nV/√Hz 的低电压噪声和 30ns 内 0.1% 趋稳。2.7V (±1.35V) 至 5.5V (±2.75V) 的单电源运行和可将电源电流降低至 5μA 的关断功能对于便携式低功耗应用非常有用。OPAx30x 采用 SO-8 和 SOT-23 封装。OPA2300 采用 VSSOP-10 封装，OPA2301 采用 SO-8 和 VSSOP-8 封装。所有版本的额定工作温度范围均为 -40°C 至 +125°C。

封装信息

器件型号	通道数	封装(1)
OPA2300	双通道	DGS（VSSOP，10）
OPA300	单通道	D（SOIC，8）
		DBV（SOT23，6）
OPA301	单通道	D（SOIC，8）
		DBV（SOT23，5）
OPA2301	双通道	D（SOIC，8）
		DGK（VSSOP，8）

(1) 有关所有可用封装，请参阅节 10。



典型应用

本资源的原文使用英文撰写。为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 规格 4
5.1 绝对最大额定值 4
5.2 ESD 等级 4
5.3 建议运行条件 4
5.4 电气特性 4
5.5 典型特性 6
6 详细说明 12
6.1 概述 12
6.2 功能方框图 12
6.3 特性说明 12
6.4 工作电压 12
6.5 输入和 ESD 保护 12
6.6 使能功能 13
7 应用和实施 14
7.1 应用信息 14
7.2 典型应用 14
7.3 布局 15
8 器件和文档支持 16
8.1 接收文档更新通知 16
8.2 支持资源 16
8.3 商标 16
8.4 静电放电警告 16
8.5 术语表 16
9 修订历史记录 16
10 机械、封装和可订购信息 17

Copyright © 2026 Texas Instruments Incorporated

4 引脚配置和功能

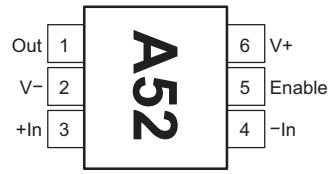


图 4-1. OPA300，SOT 23 封装 6 引脚（顶视图）

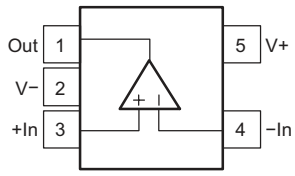


图 4-2. OPA301，SOT23-5 封装，5 引脚（顶视图）

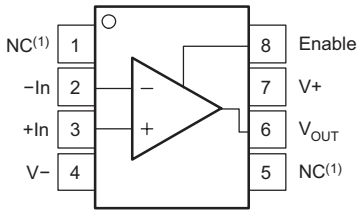


图 4-3. OPA300，SO 8 封装 8 引脚（顶视图）

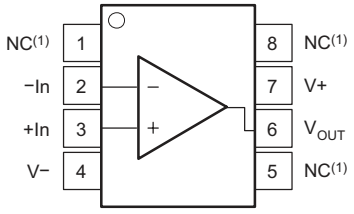


图 4-4. OPA301，SO-8 封装，8 引脚（顶视图）

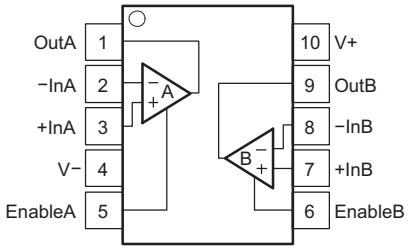


图 4-5. OPA2300，VSSOP-10 封装，10 引脚（顶视图）

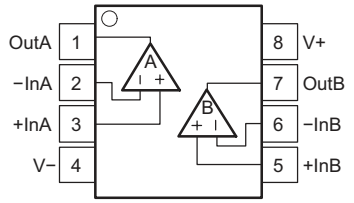


图 4-6. OPA2301，SO- 8，VSSOP- 8 封装，8 引脚（顶视图）

表 4-1. 引脚功能

引脚		类型(1)	说明
名称	编号		
+In	3	I	正输入电压
启用	8	I	使能引脚
– In	2	I	负输入电压
NC	1.5	-	无连接
V –	4	P	负电源电压
V+	7	P	正电源电压
V_{OUT}	6	O	输出电压

(1) I = 输入；O = 输出；P = 电源

Copyright © 2026 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
	电源		7	V
V_S	工作电压范围	2.7	5.5	V
	信号输入端子，电压 (2)	0.5	(V_S) + 0.5	V
	信号输入端子，电流		±10	mA
	开放短路电流 (3)		持续	
	工作温度范围	-55	125	°C
T_J	结温		150	°C
T_{stg}	贮存温度	-60	150	°C

(1) 超出*绝对最大额定值*范围操作可能会导致器件永久损坏。*绝对最大额定值* 并不表示器件在这些条件下或在*建议的工作条件* 以外的任何其他条件下能够正常运行。如果超出 *建议运行条件* 但在 *绝对最大额定值* 范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) 输入端子被二极管钳制至电源轨。摆幅超过电源轨 0.5V 的输入信号的电流应该被限制在 10mA 或者更少。
(3) 接地短路，每个封装对应一个放大器。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准 (1)	4000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准 (2)	500	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
	电源电压	2.7		5.5	V
T_A	环境温度	-40	25	125	°C

5.4 电气特性

T_A = 25°C，R_L = 2kΩ（连接至 V_S/2），V_{OUT} = V_S/2，V_{CM} = V_S/2（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
失调电压							
V_{OS}	输入偏移电压	V_S = 5V			1	5	mV
			T_A= –40°C 至 +125°C			7	
dV_{OS}/dT	漂移失调电压				2.5		µV/°C
PSRR	失调电压与电源间的关系	V_S = 2.7V 至 5.5V，V_{CM} < (V+) – 0.9V			50	200	µV/V
	通道分离，直流				140		dB
		f = 5MHz			100		dB
输入电压范围							
V_{CM}	共模电压			(V–) – 0.2		(V+) – 0.9	V
CMRR	共模抑制比	(V–) – 0.2V < V_{CM} < (V+) – 0.9V		66	80		dB

Copyright © 2026 Texas Instruments Incorporated

5.4 电气特性（续）

T_A = 25°C，R_L = 2kΩ（连接至 V_S/2），V_{OUT} = V_S/2，V_{CM} = V_S/2（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
输入偏置电流							
I_B	输入偏置电流				±0.1	±5	pA
I_{OS}	输入失调电流				±0.5	±5	pA
输入阻抗							
	差分				10^{13} || 3		Ω ||pF
	共模				10^{13} || 3		Ω ||pF
噪声							
	输入电压噪声	f = 0.1Hz 至 1MHz			40		μV_{PP}
e_n	输入电压噪声密度	f > 1MHz			3		nV/√Hz
i_n	输入电流噪声密度	f < 1kHz			1.5		fA/√Hz
	差分增益误差	NTSC，R_L = 150Ω			0.01		%
	差分相位误差	NTSC，R_L = 150Ω			0.1		°
开环增益							
A_{OL}	开环电压增益	V_S = 5V，R_L = 2kΩ，0.1V < V_O < 4.9V		95	106		dB
			T_A= –40°C 至 +125°C	90			
		V_S = 5V，R_L = 100Ω，0.5V < V_O< 4.5V		95	106		
			T_A= –40°C 至 +125°C	90			
输出							
	相对于电源轨的电压输出摆幅	R_L= 2kΩ，A_{OL} > 95dB			75	100	mV
		R_L = 100Ω，A_{OL} > 95dB			300	500	
I_{SC}	短路电流				70		mA
R_O	开环输出阻抗	I_O = 0，f = 1MHz			20		Ω
C_{LOAD}	容性负载驱动				请参阅*典型特性*		
频率响应							
GBW	增益带宽积				150		MHz
SR	压摆率	G = +1			80		V/μs
t_s	趋稳时间	V_S = 5V，2V 阶跃，G = +1, 0.01%			90		ns
		V_S = 5V，2V 阶跃，G = +1, 0.1%			30		
	过载恢复时间	增益 = -1			30		ns
THD+N	总谐波失真 + 噪声	V_S = 5V，V_O = 3V_{PP}，G = +1，f = 1kHz			0.003		%
电源							
V_S	额定电压范围			2.7		5.5	V
I_Q	（每个放大器）的静态电流	I_O = 0mA			9.5	12	mA
			T_A= –40°C 至 +125°C			13	
关断							
t_{OFF}	关断时间				40		ns
t_{ON}	关断时间				5		μs
	V_L（关断）			(V–) – 0.2		(V–) + 0.8	V
	V_H（放大器处于有效状态）			(V–) + 2.5		(V+) + 0.2	V

Copyright © 2026 Texas Instruments Incorporated

5.4 电气特性（续）

T_A = 25°C，R_L = 2kΩ（连接至 V_S/2），V_{OUT} = V_S/2，V_{CM} = V_S/2（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
	I_{QSD}（每个放大器）			3	10	μA

5.5 典型特性

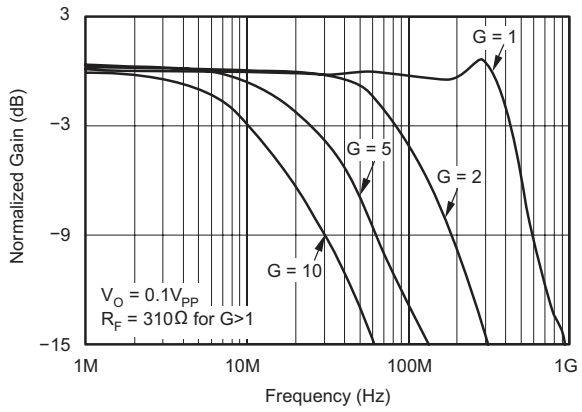


图 5-1. 非反相增益微小信号频率响应

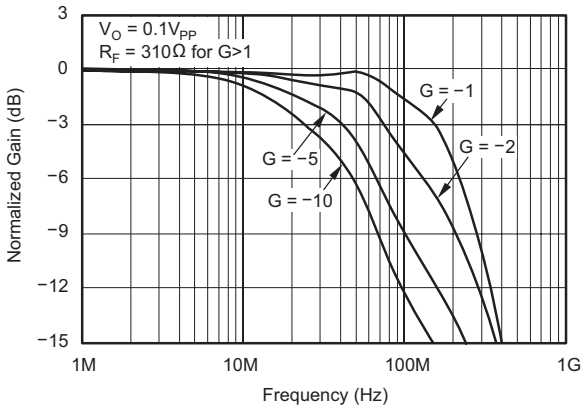


图 5-2. 反相增益微小信号频率响应

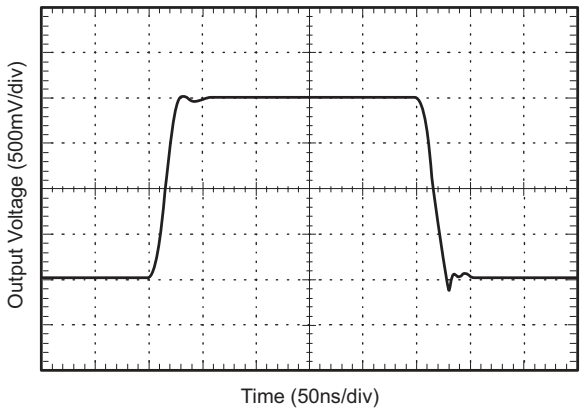


图 5-3. 大信号阶跃响应

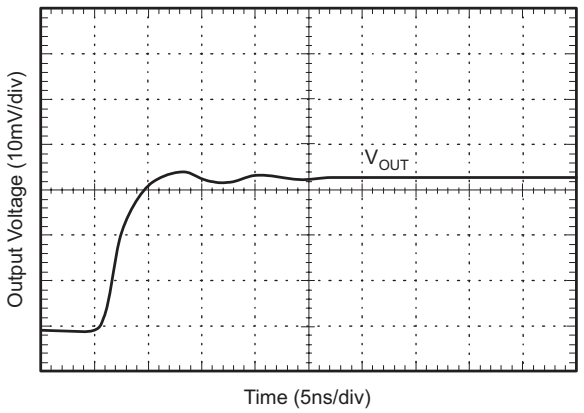


图 5-4. 小信号阶跃响应

Copyright © 2026 Texas Instruments Incorporated

5.5 典型特性（续）

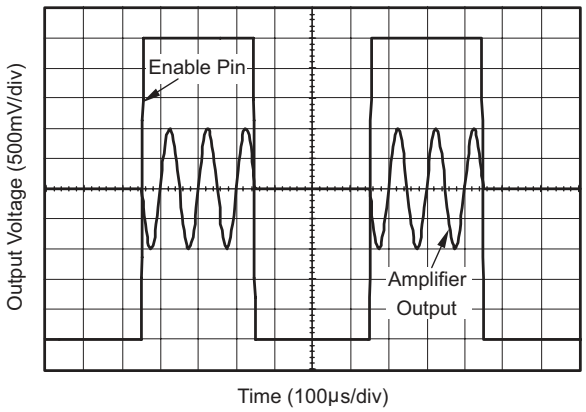


图 5-5. 大信号使能禁用响应

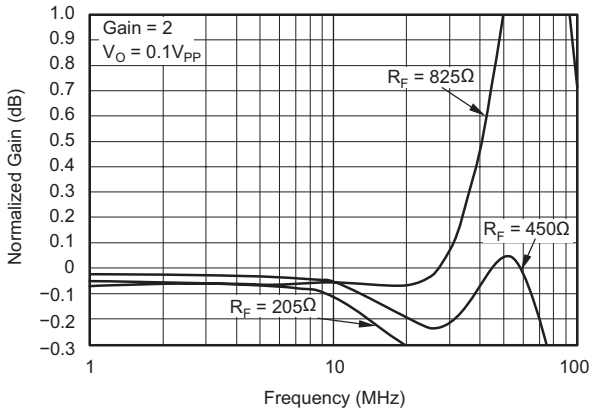


图 5-6. 各种 R_F 的增益平坦度是 0.1dB

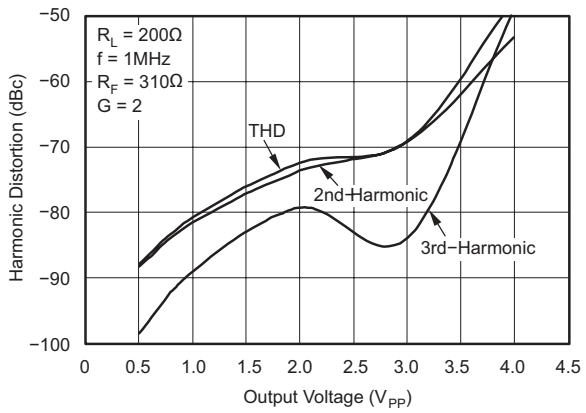


图 5-7. 谐波失真与输出电压间的关系

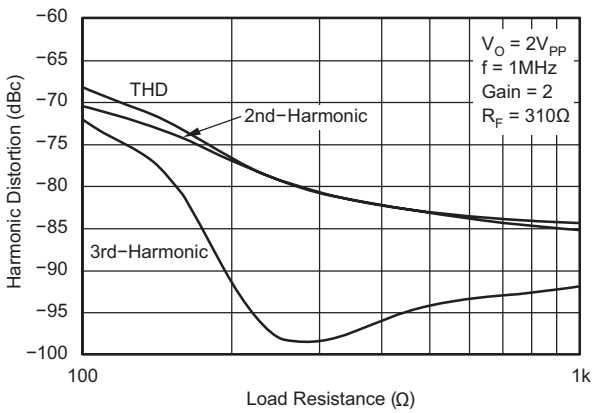


图 5-8. 谐波失真与负载电阻间的关系

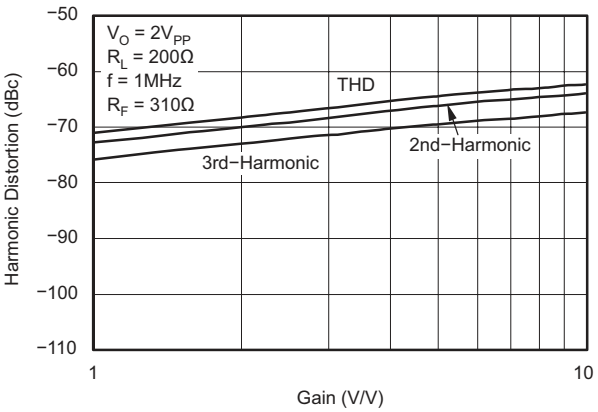


图 5-9. 谐波失真与反相增益间的关系

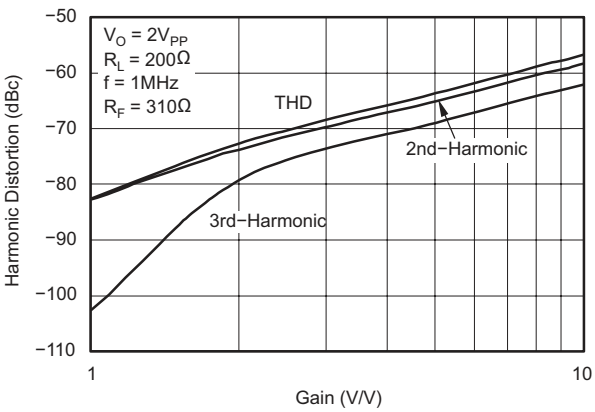


图 5-10. 谐波失真与非反相增益间的关系

Copyright © 2026 Texas Instruments Incorporated

5.5 典型特性（续）

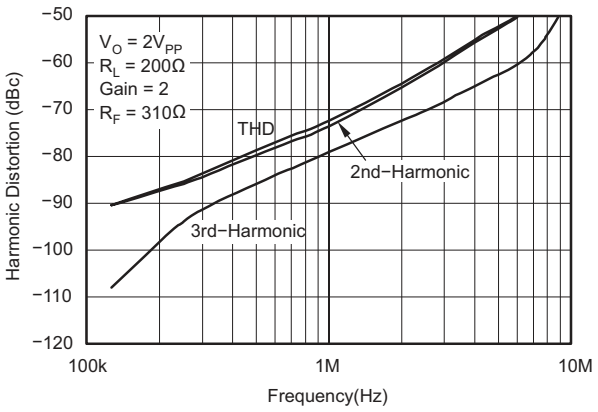


图 5-11. 谐波失真与频率间的关系

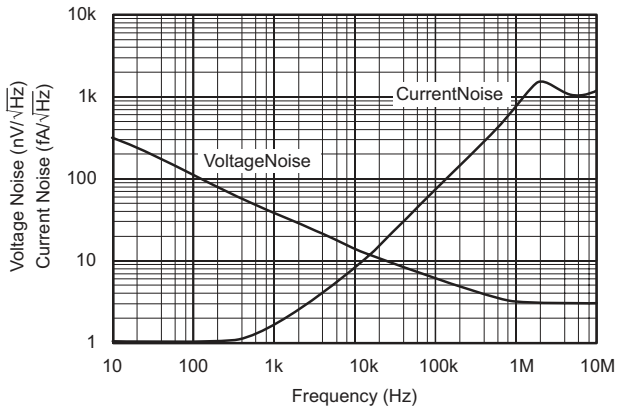


图 5-12. 输入电压和电流噪声频谱密度与频率间的关系

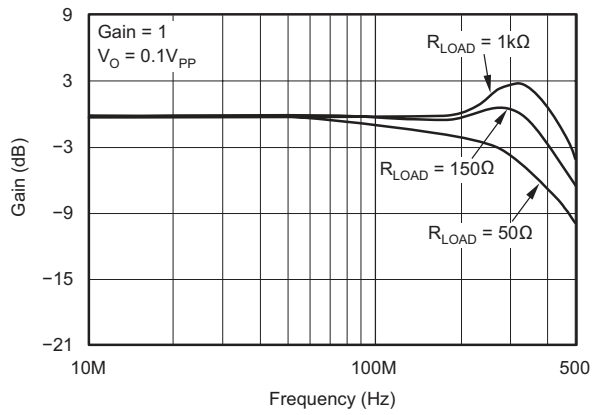


图 5-13. 各种 R_L 的频率响应

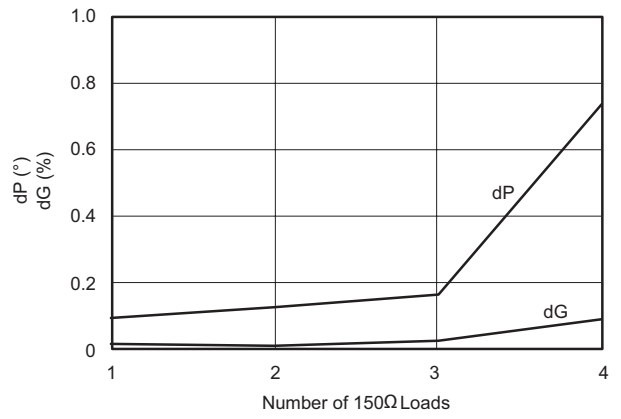


图 5-14. 复合视频差分增益及相位

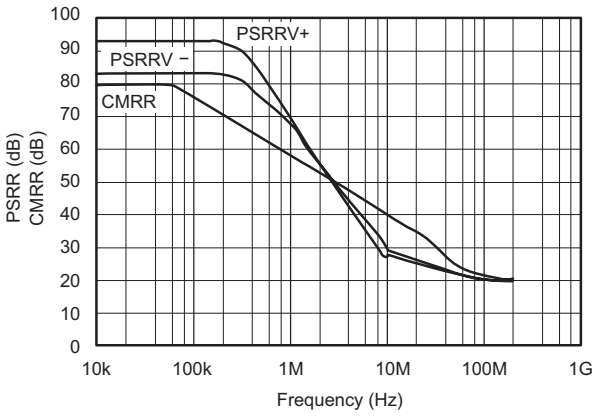


图 5-15. 共模抑制比和电源抑制比与频率间的关系

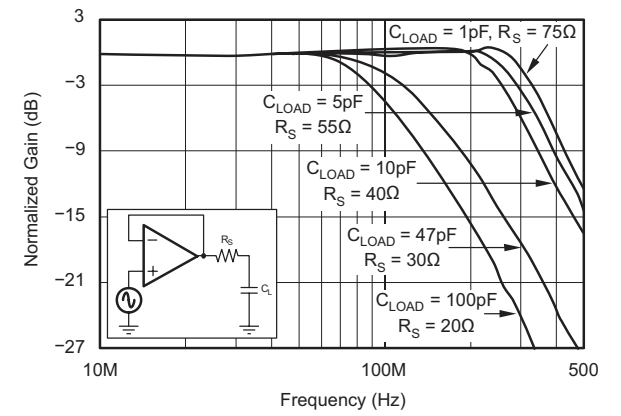


图 5-16. 频率响应与容性负载间的关系

Copyright © 2026 Texas Instruments Incorporated

5.5 典型特性（续）

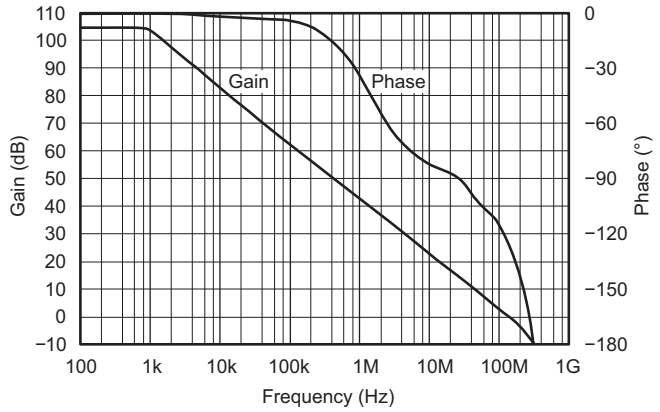


图 5-17. 开环增益和相位与频率间的关系

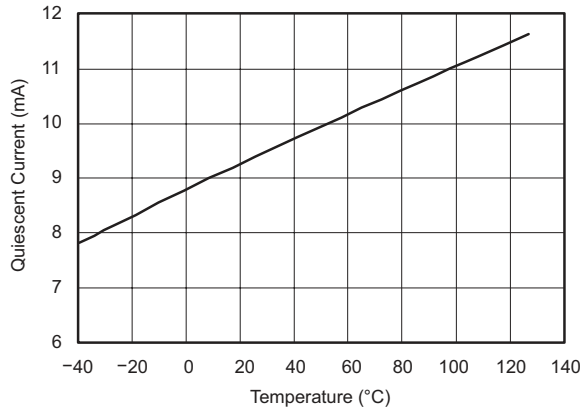


图 5-18. 静态电流与温度间的关系

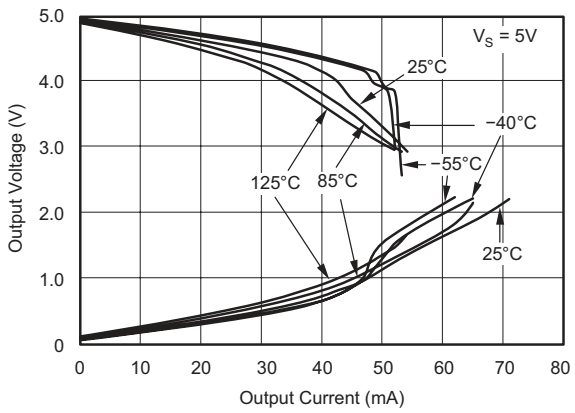


图 5-19. 输出电压摆幅与输出电流间的关系

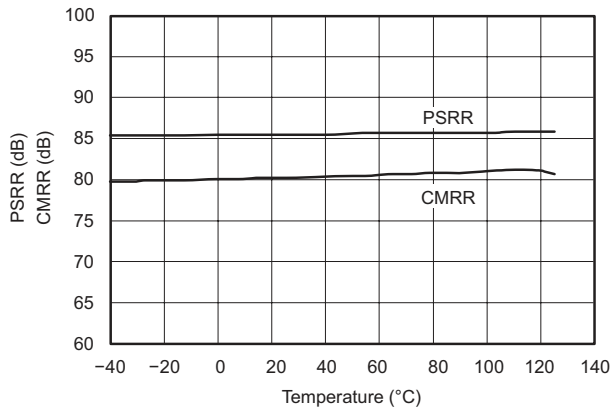


图 5-20. 开环增益和相位与频率间的关系

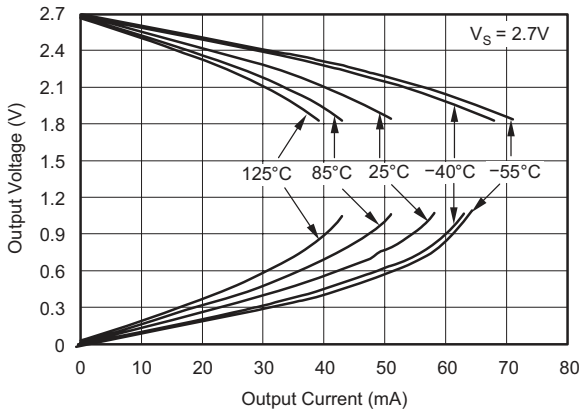


图 5-21. 输出电压摆幅与输出电流间的关系

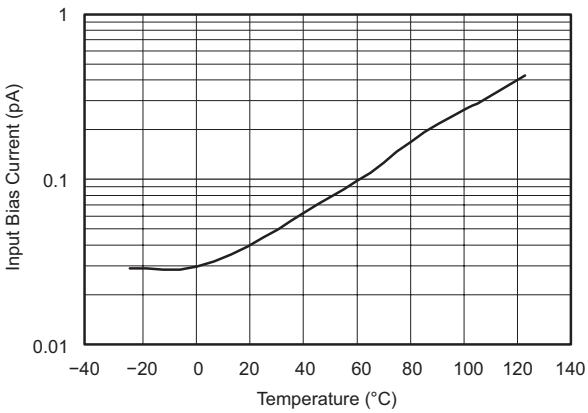


图 5-22. 输入偏置电流与温度间的关系

Copyright © 2026 Texas Instruments Incorporated

5.5 典型特性（续）

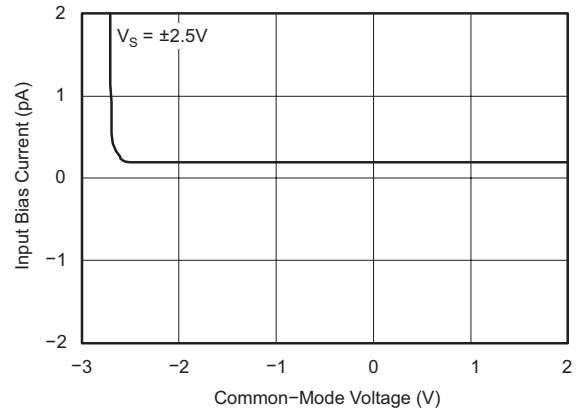


图 5-23. 输入偏置电流与共模电压间的关系

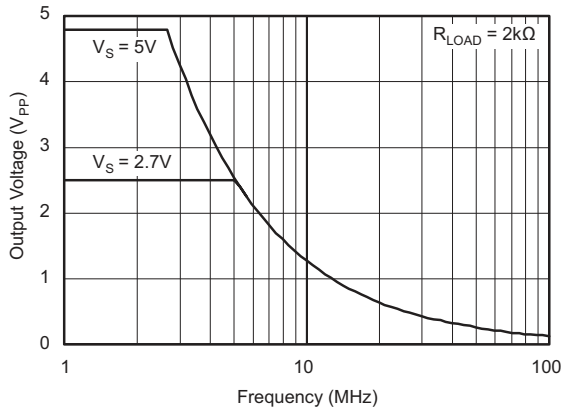


图 5-24. 最大输出电压与频率间的关系

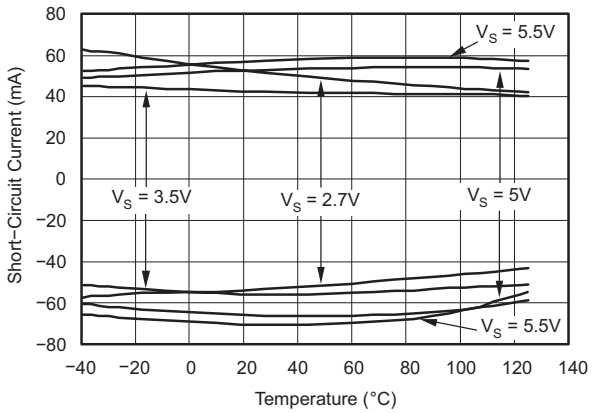


图 5-25. 短路电流与温度间的关系

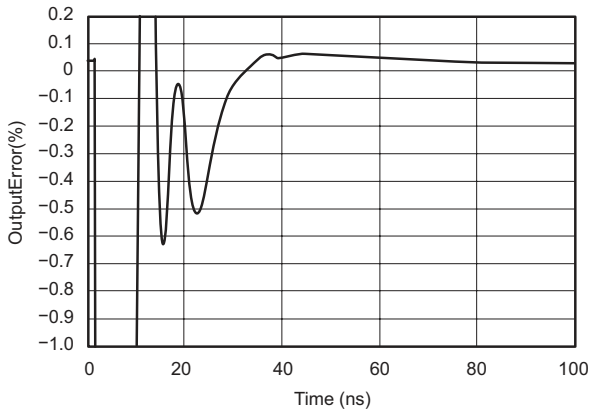


图 5-26. 输出趋稳时间 0.1%

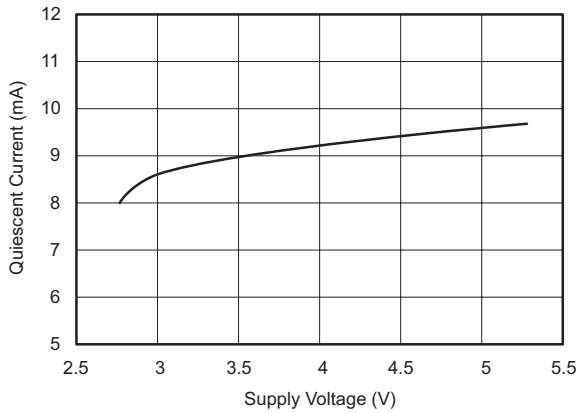


图 5-27. 静态电流与电源电压间的关系

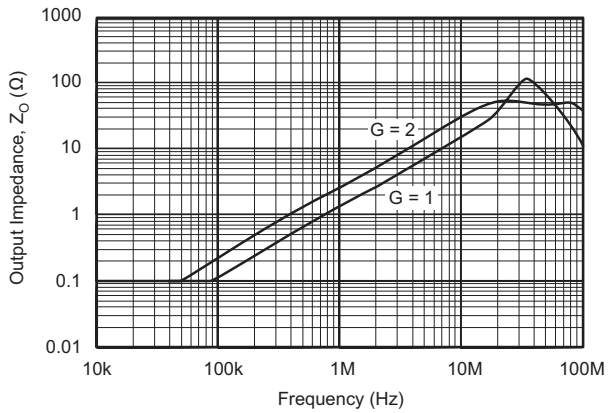


图 5-28. 输出阻抗与频率间的关系

Copyright © 2026 Texas Instruments Incorporated

5.5 典型特性（续）

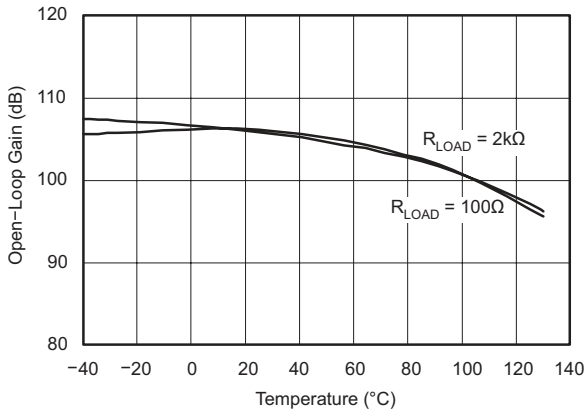


图 5-29. 开环增益与温度间的关系

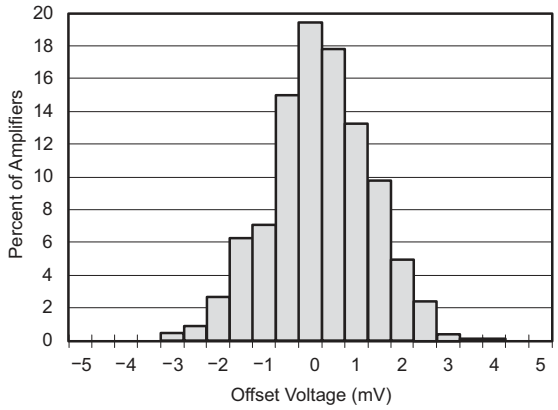


图 5-30. 失调电压产生分布

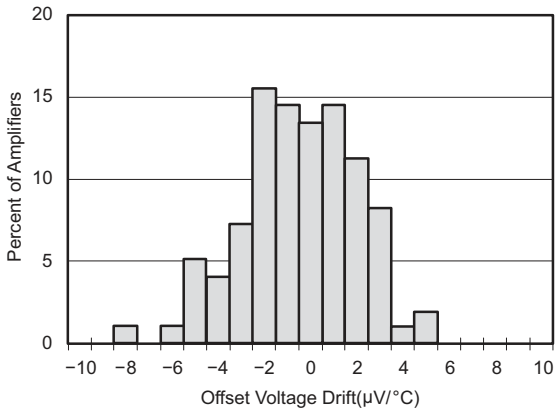


图 5-31. 偏移电压漂移产生分布

Copyright © 2026 Texas Instruments Incorporated

6 详细说明

6.1 概述

OPAx30x 系列运算放大器采用典型的两级拓扑，如图 6-1 所示。差分输入对被偏置以便在不影响稳定性或带宽的情况下更大限度地提高压摆率。折叠的共源共栅增加了来自输入对的信号，并向 AB 类输出级提供差分信号。AB 类输出级在高阻抗负载 (> 2kΩ) 下支持轨到轨输出摆幅，通常与电源轨相差 100mV。在 10Ω 负载下，可实现有用的输出摆幅，并且仍保持高开环增益。请参阅节 5.5 中的典型特性。

6.2 功能方框图

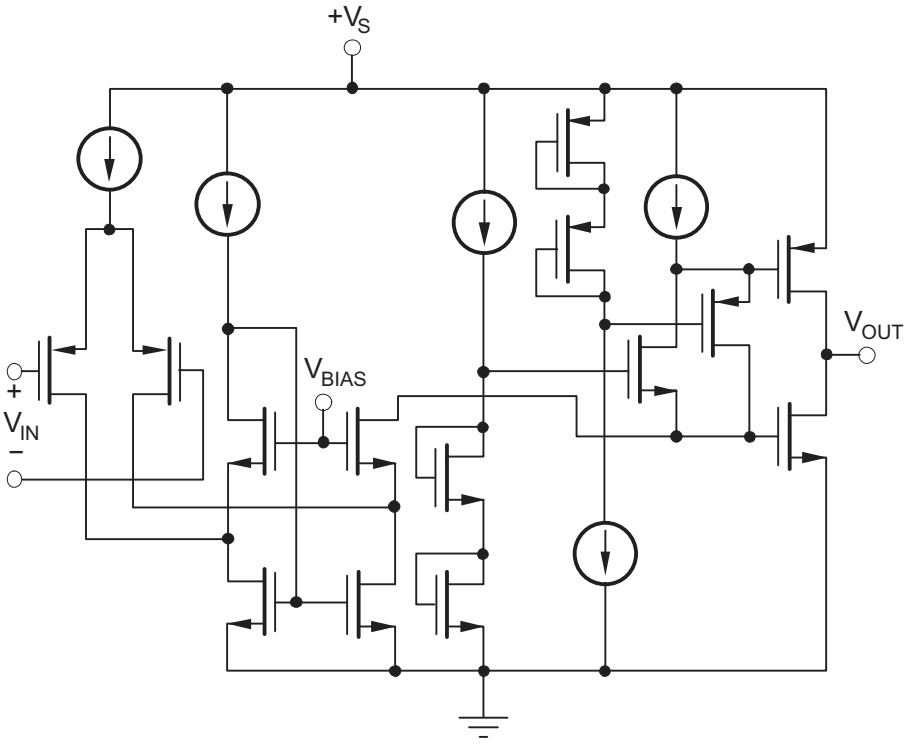


图 6-1. OPA30x 经典两级拓扑

6.3 特性说明

6.4 工作电压

OPAx30x 系列运算放大器参数在 +2.7V 至 +5.5V 之间完全指定。高于 5.5V（绝对最大值）的电源电压能对放大器造成永久损坏。许多规格在 –40°C 至 +125°C 的温度范围内都适用。典型特性中提供了随工作电压或温度的变化而显著变化的参数。

6.5 输入和 ESD 保护

所有 OPAx30x 系列运算放大器引脚都通过连接到电源的内部 ESD 保护二极管进行静态保护；请参阅图 6-2。如果电流在外部限制为 10mA，这些二极管可提供过驱保护，如节 5.1 中所述。任何超出*绝对最大额定值* 的输入电流或在最大额定值下长期运行都会缩短放大器的使用寿命。

Copyright © 2026 Texas Instruments Incorporated

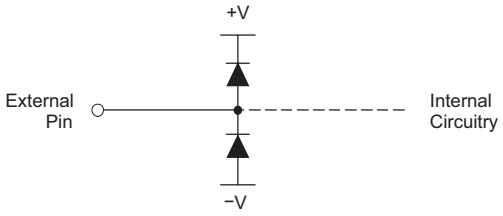


图 6-2. ESD 保护二极管

6.6 使能功能

OPA300 及 OPA2300 的关断功能以运算放大器的负电源电压为基准。逻辑高电平将启用运算放大器。有效逻辑高电平定义成比施加到使能引脚的负电源电压大 2.5V。有效逻辑低电平定义成小于 0.8V，但大于负电源引脚。如果使用双电源或分体式电源，请确保逻辑输入信号正确地参考负电源电压。如果该引脚未连接至有效的高电平或低电压，则内部电路会将节点拉至高电平并使器件正常运行

逻辑输入为高阻抗 CMOS 输入。对于电池供电应用，这种特性用于大幅降低平均电流并延长电池寿命。启用时间为 10μs，禁用时间为 1μs。禁用时，输出呈现高阻抗状态。该状态允许将 OPA300 作为门控放大器（或将输出复用到公共模拟输出总线上）。

Copyright © 2026 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

7.1 应用信息

OPA300 及 OPA301 系列单电源 CMOS 运算放大器旨在连接高速 16 位模数转换器 (ADC)。此系列具有宽 150MHz 带宽、150ns（16 位）的较短趋稳时间和高开环增益，并采用小型 SO-8 和微型 SOT23 封装，提供出色的性能。

7.2 典型应用

7.2.1 驱动容性负载

在使用高速运算放大器时，必须考虑容性负载对放大器稳定性的影响，这一点非常重要。电容负载将与运算放大器的输出阻抗相互作用，根据电容器值，可能会显著降低增益带宽并引入峰值。为了降低容性负载的影响并允许额外的容性负载驱动，请在输出端和负载之间串联一个电阻器。这将减少可用带宽，但允许在电容负载下稳定运行。图 7-1 展示电阻器值与电容器值之间的建议关系。

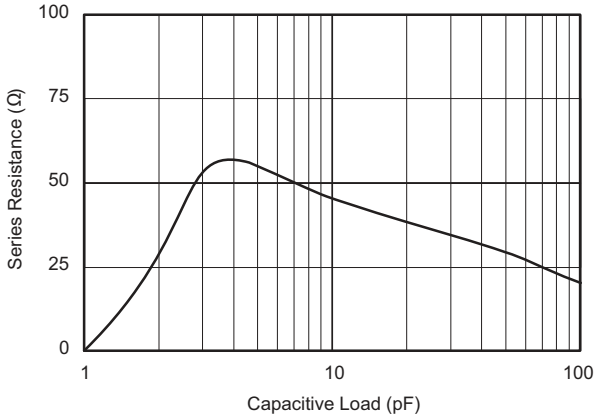


图 7-1. 建议的 RS 及 CL 组合

以单位增益配置的放大器极容易出现稳定性问题。典型特性，图 5-16 描述了 OPA300/OPA301 系列的容性负载与稳定性之间的关系。在单位增益下，OPA300/OPA301 系列能够驱动几皮法尔的电容负载，而不会影响稳定性。板级寄生电容通常可能处于皮法或更远的范围内，必须通过良好的电路板布局实践来尽可能减小，以避免影响 OPA300/OPA301 的稳定性。更多有关测试期间检测寄生效应的信息，请参阅高速模拟设计中测量电路板寄生效应应用手册，该应用手册可从 TI 网站 www.ti.com 获取。

7.2.2 驱动 16 位 ADC

OPA300/OPA301 系列具有出色的 THD + 噪声，即使在高于 1MHz 的频率下也是如此，16 位稳定时间为 150ns。图 7-2 显示了用于高速数据采集的总体单电源选项。OPA300/OPA301 直接驱动 ADS8401，这是一个 1.25 兆采样/秒 (MSPS) 的 16 位数据转换器。OPA300/OPA301 采用 5V 单电源配置，反相增益为 1。表 7-1 中总结了 OPA300/OPA301 性能的结果

Copyright © 2026 Texas Instruments Incorporated

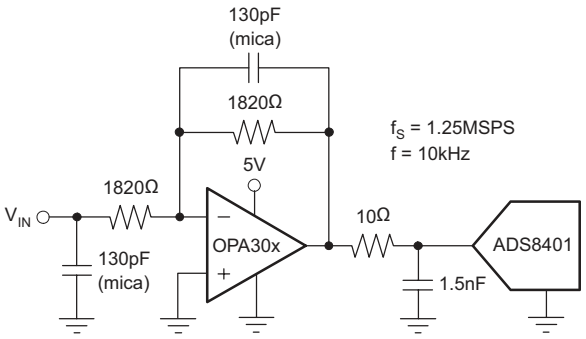


图 7-2. OPA30x 驱动 16 位 ADS8401

表 7-1. OPA30x 性能结果驱动 1.25MSPS ADS8401

参数	结果 f = 10kHz
THD	-99.3dB
SFDR	101.2dB
THS+N	84.2dB
SNR	84.3dB

7.3 布局

7.3.1 布局指南

与大多数高速运算放大器一样，电路板布局布线需要特别注意，以更大限度地提高交流和直流性能。广泛使用接地平面、短引线长度和高质量旁路电容器，将更大限度地减少可能影响信号质量的漏电流。在尽可能靠近输入引脚的位置施加电势的防护环，有助于更大限度地减少电路板漏电。

Copyright © 2026 Texas Instruments Incorporated

8 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

8.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.2 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.3 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

8.4 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.5 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision E (January 2026) to Revision F (February 2026)	Page
• 更新了图 4-5 和图 4-6	3

Changes from Revision D (June 2007) to Revision E (January 2026)	Page
• 将数据表更新为新格式	1

Copyright © 2026 Texas Instruments Incorporated

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA2300AIDGSR	Active	Production	VSSOP (DGS) | 10	2500 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	C01
OPA2300AIDGSR.A	Active	Production	VSSOP (DGS) | 10	2500 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	C01
OPA2300AIDGST	Active	Production	VSSOP (DGS) | 10	250 | SMALL T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	C01
OPA2300AIDGST.A	Active	Production	VSSOP (DGS) | 10	250 | SMALL T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	C01
OPA2301AID	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA 2301A
OPA2301AID.A	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA 2301A
OPA2301AIDGKR	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	Call TI | Nipdauag | Nipdau	Level-2-260C-1 YEAR	-40 to 125	OAWM
OPA2301AIDGKR.A	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OAWM
OPA2301AIDGKT	Active	Production	VSSOP (DGK) | 8	250 | SMALL T&R	Yes	Call TI | Nipdauag | Nipdau	Level-2-260C-1 YEAR	-40 to 125	OAWM
OPA2301AIDGKT.A	Active	Production	VSSOP (DGK) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OAWM
OPA2301AIDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA 2301A
OPA2301AIDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA 2301A
OPA300AID	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA 300A
OPA300AID.A	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA 300A
OPA300AIDBVR	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	A52
OPA300AIDBVR.A	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	A52
OPA300AIDBVT	Active	Production	SOT-23 (DBV) | 6	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	A52
OPA300AIDBVT.A	Active	Production	SOT-23 (DBV) | 6	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	A52
OPA301AID	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA 301A
OPA301AID.A	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA 301A
OPA301AIDBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	AUP
OPA301AIDBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	AUP

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA301AIDBVRG4	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	AUP
OPA301AIDBVRG4.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	AUP
OPA301AIDBVT	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	AUP
OPA301AIDBVT.A	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	AUP
OPA301AIDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA 301A
OPA301AIDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA 301A

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

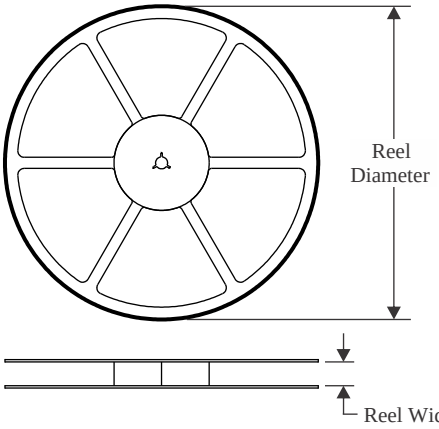
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

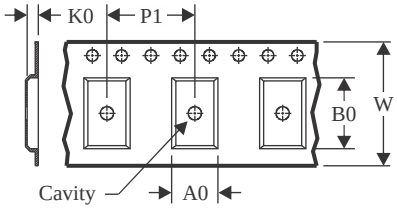
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

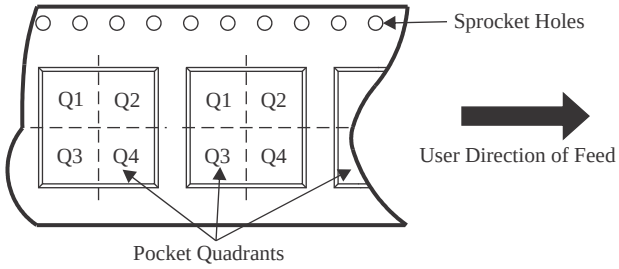


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

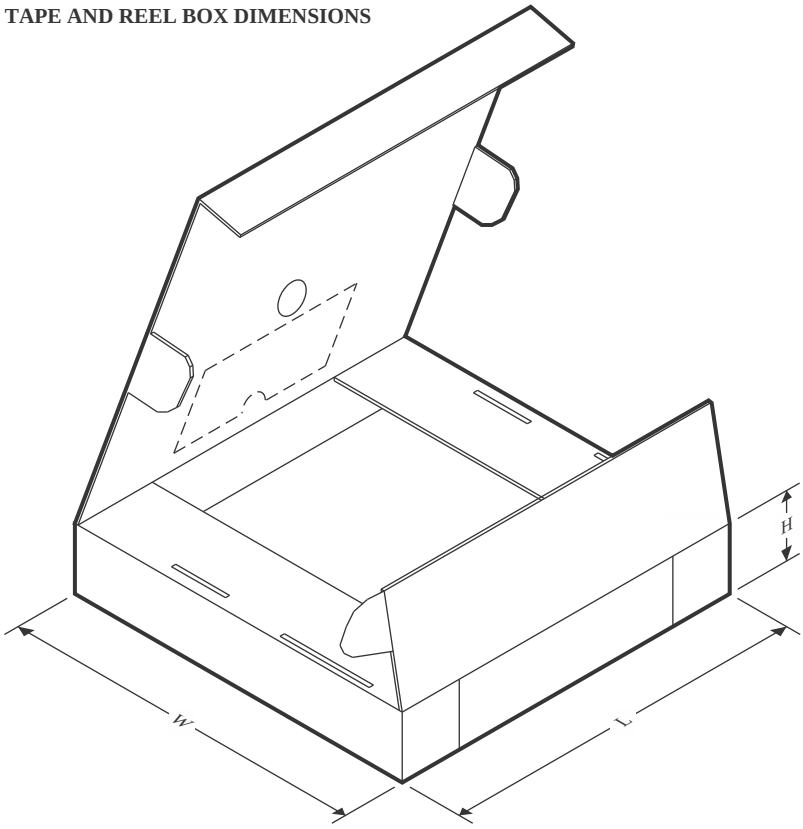
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA2300AIDGSR	VSSOP	DGS	10	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2300AIDGST	VSSOP	DGS	10	250	180.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2301AIDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2301AIDGKT	VSSOP	DGK	8	250	180.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2301AIDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA300AIDBVR	SOT-23	DBV	6	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
OPA300AIDBVT	SOT-23	DBV	6	250	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
OPA301AIDBVR	SOT-23	DBV	5	3000	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
OPA301AIDBVRG4	SOT-23	DBV	5	3000	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
OPA301AIDBVT	SOT-23	DBV	5	250	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
OPA301AIDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

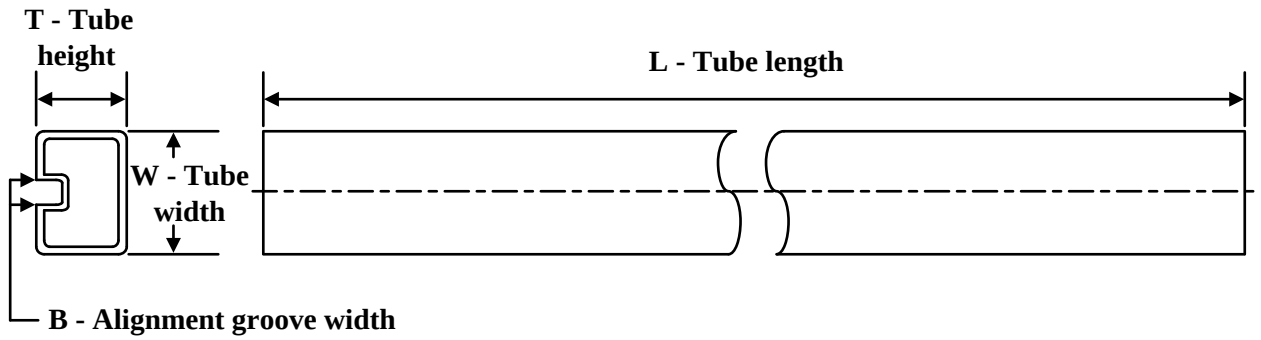
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

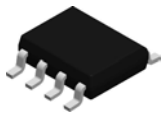
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA2300AIDGSR	VSSOP	DGS	10	2500	353.0	353.0	32.0
OPA2300AIDGST	VSSOP	DGS	10	250	213.0	191.0	35.0
OPA2301AIDGKR	VSSOP	DGK	8	2500	353.0	353.0	32.0
OPA2301AIDGKT	VSSOP	DGK	8	250	213.0	191.0	35.0
OPA2301AIDR	SOIC	D	8	2500	353.0	353.0	32.0
OPA300AIDBVR	SOT-23	DBV	6	3000	445.0	220.0	345.0
OPA300AIDBVT	SOT-23	DBV	6	250	445.0	220.0	345.0
OPA301AIDBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
OPA301AIDBVRG4	SOT-23	DBV	5	3000	180.0	180.0	18.0
OPA301AIDBVT	SOT-23	DBV	5	250	180.0	180.0	18.0
OPA301AIDR	SOIC	D	8	2500	353.0	353.0	32.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
OPA2301AID	D	SOIC	8	75	506.6	8	3940	4.32
OPA2301AID.A	D	SOIC	8	75	506.6	8	3940	4.32
OPA300AID	D	SOIC	8	75	506.6	8	3940	4.32
OPA300AID.A	D	SOIC	8	75	506.6	8	3940	4.32
OPA301AID	D	SOIC	8	75	506.6	8	3940	4.32
OPA301AID.A	D	SOIC	8	75	506.6	8	3940	4.32

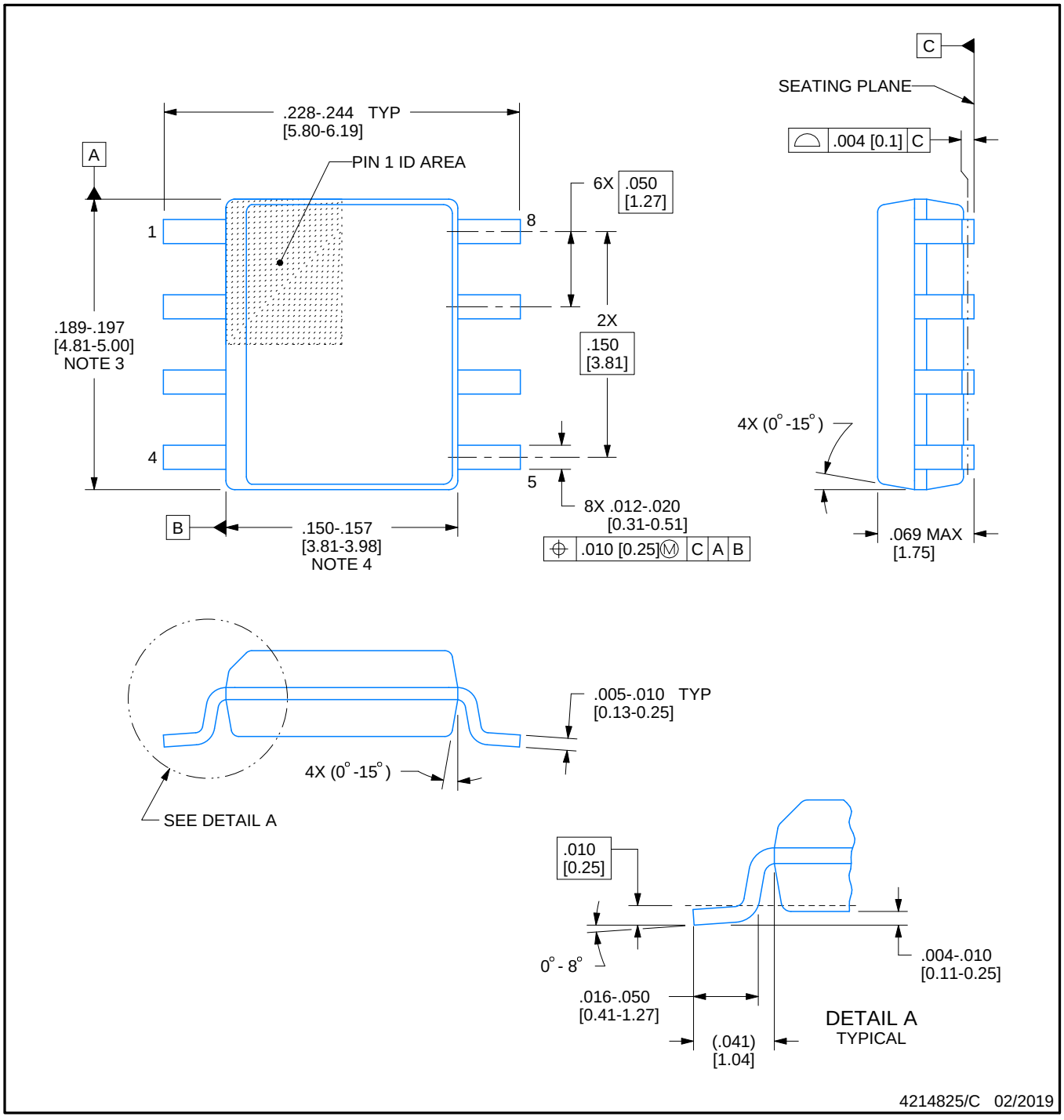


PACKAGE OUTLINE

D0008A

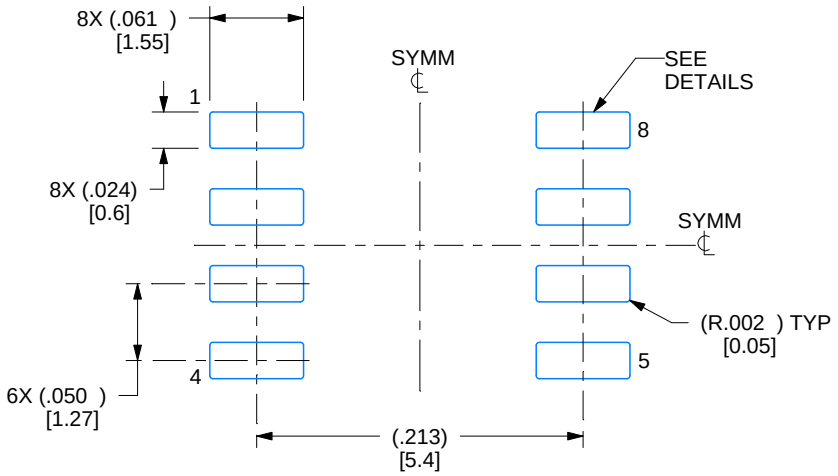
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

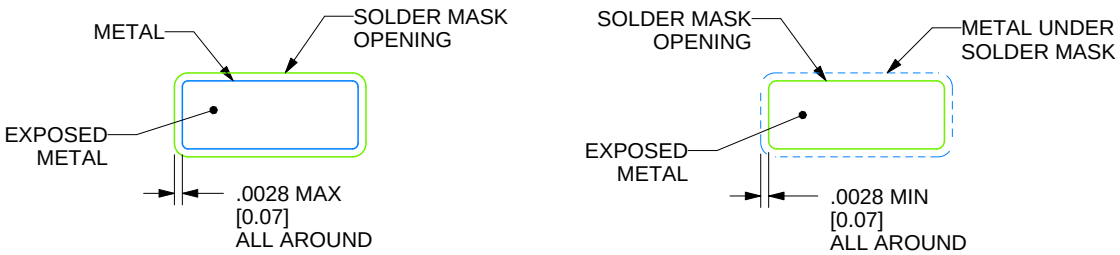


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

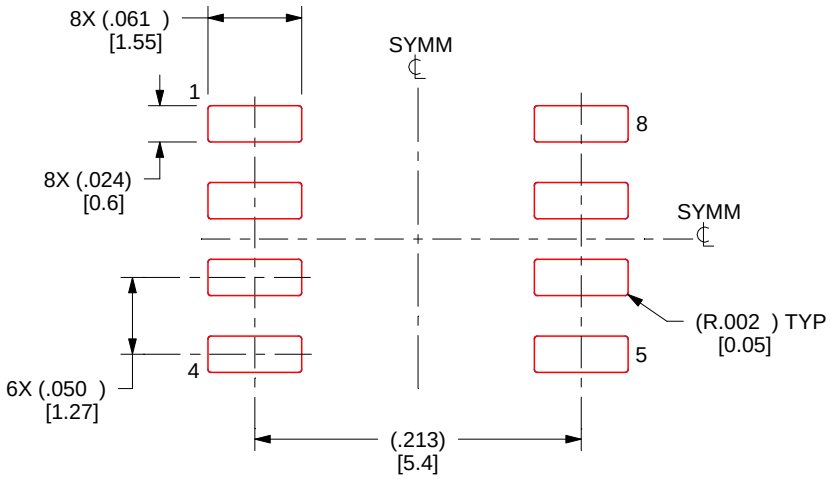
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

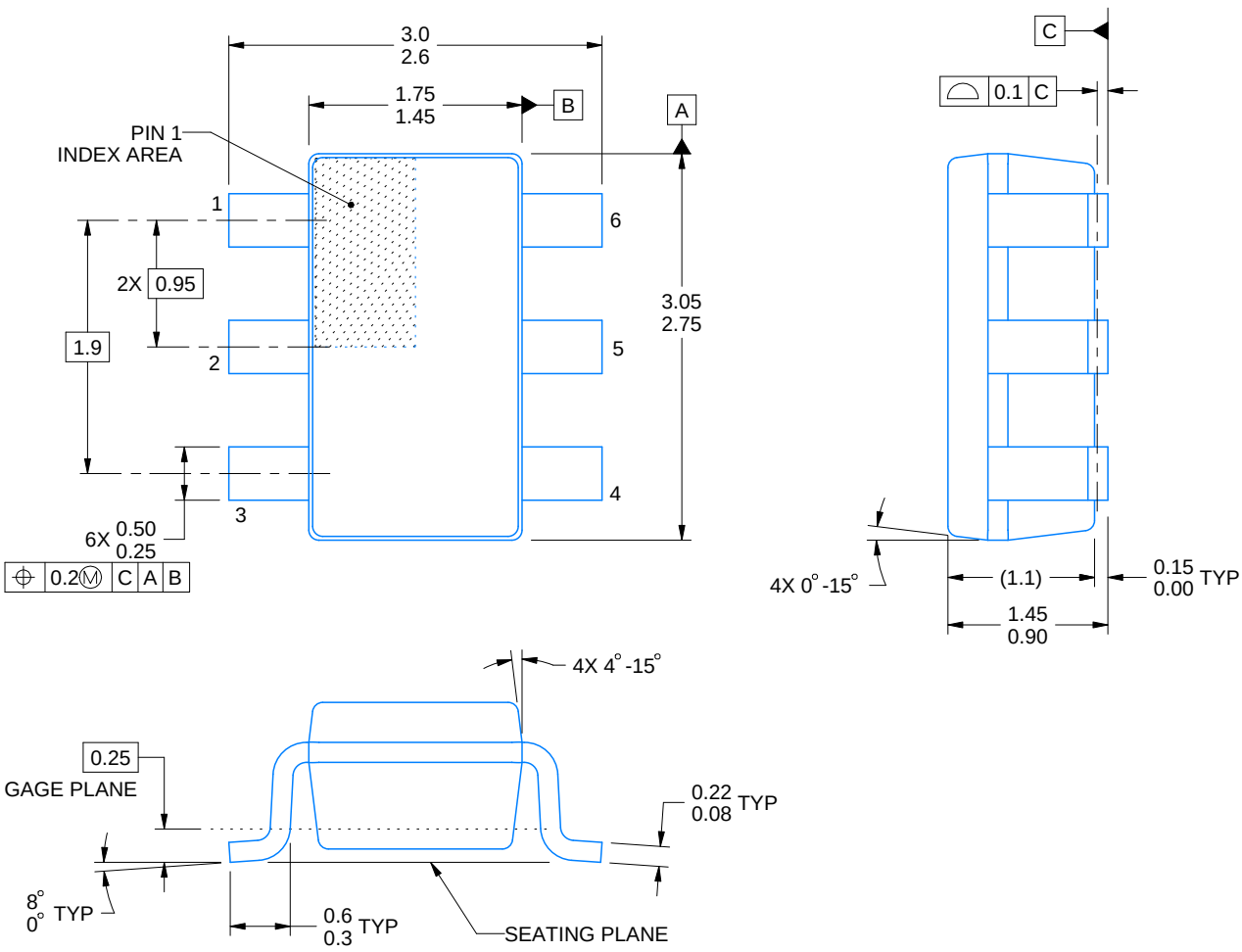
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DBV0006A

SOT-23 - 1.45 mm max height

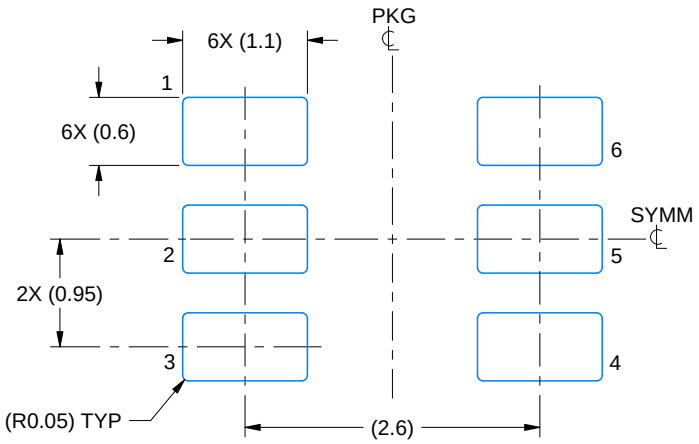
SMALL OUTLINE TRANSISTOR



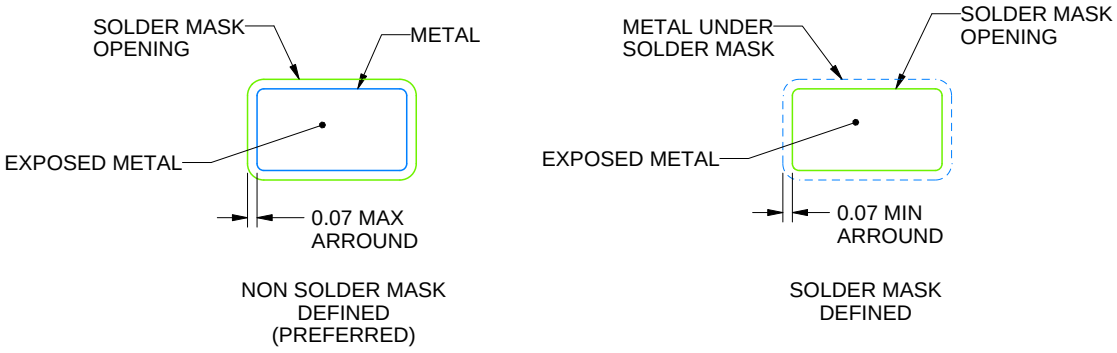
4214840/G 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.25 per side.
4. Leads 1,2,3 may be wider than leads 4,5,6 for package orientation.
5. Refernce JEDEC MO-178.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

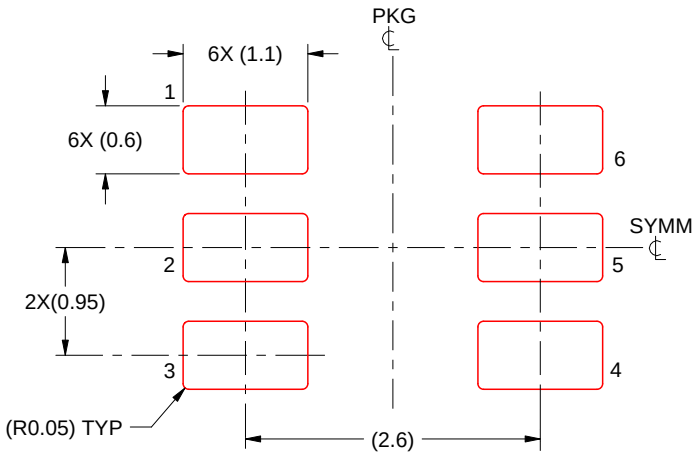


SOLDER MASK DETAILS

4214840/G 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214840/G 08/2024

NOTES: (continued)

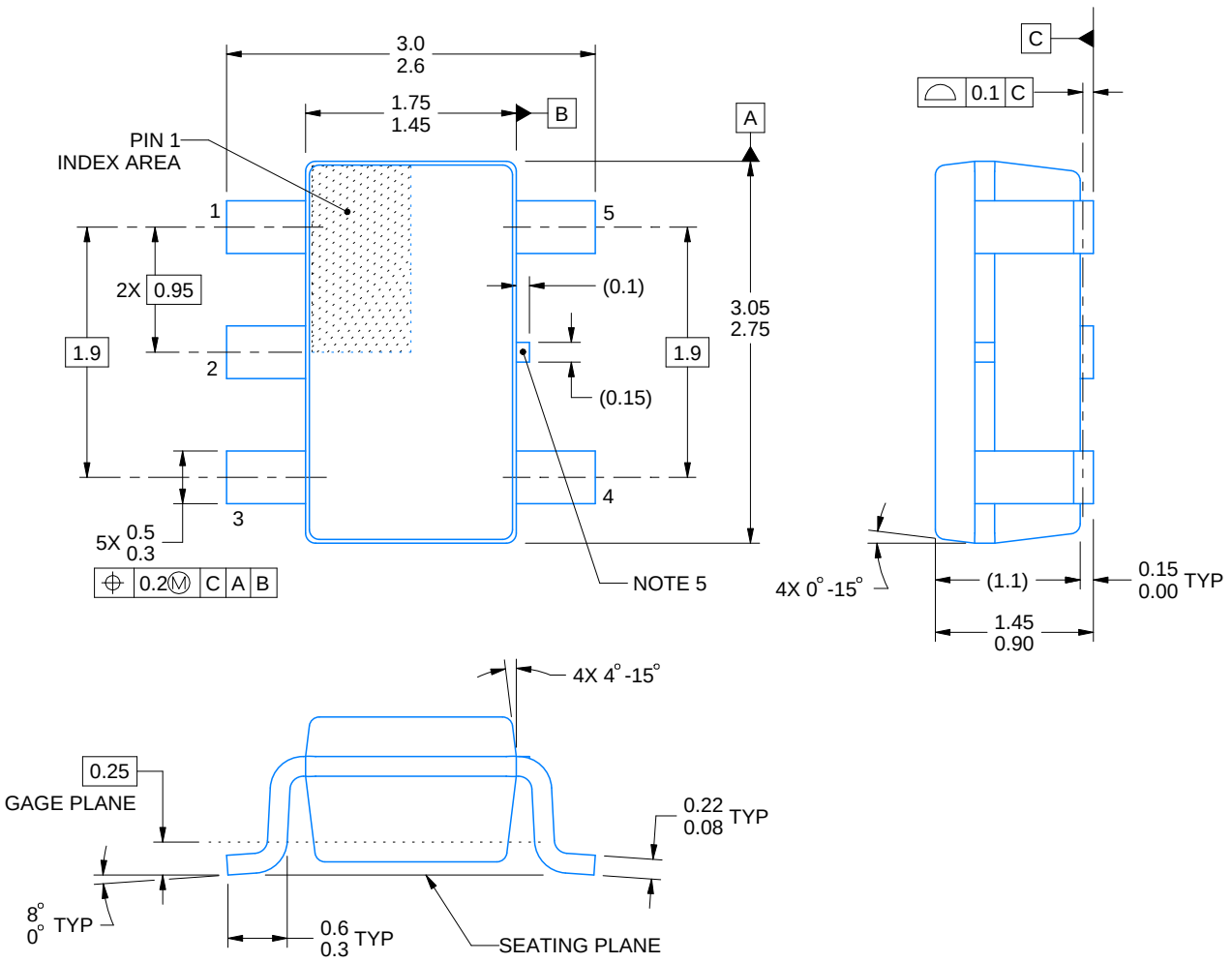
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

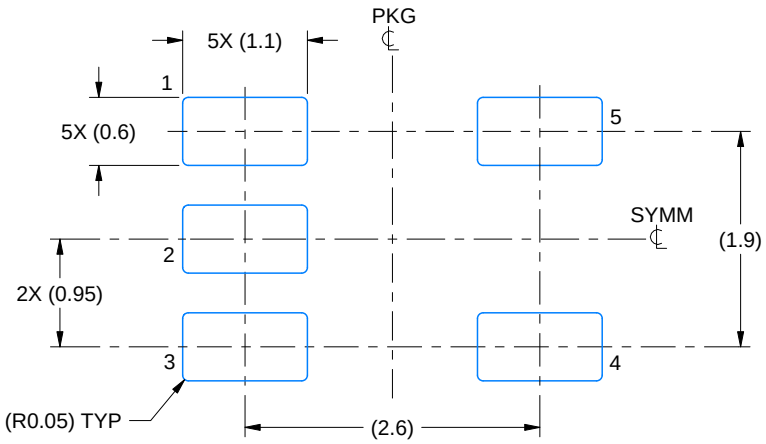
SMALL OUTLINE TRANSISTOR



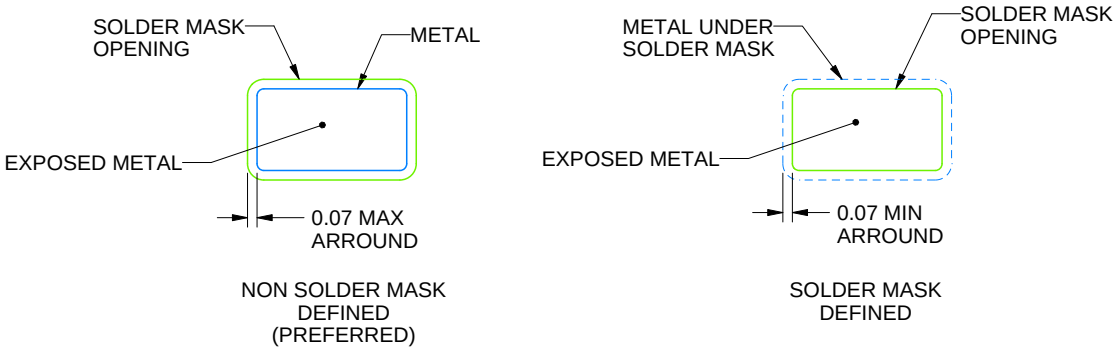
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

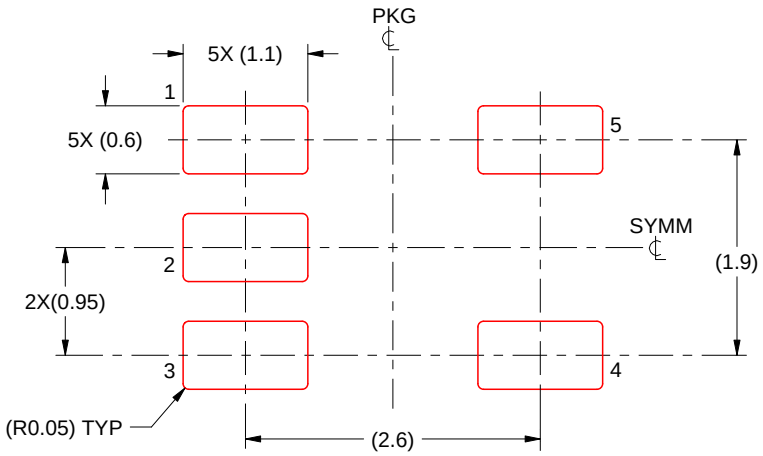


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

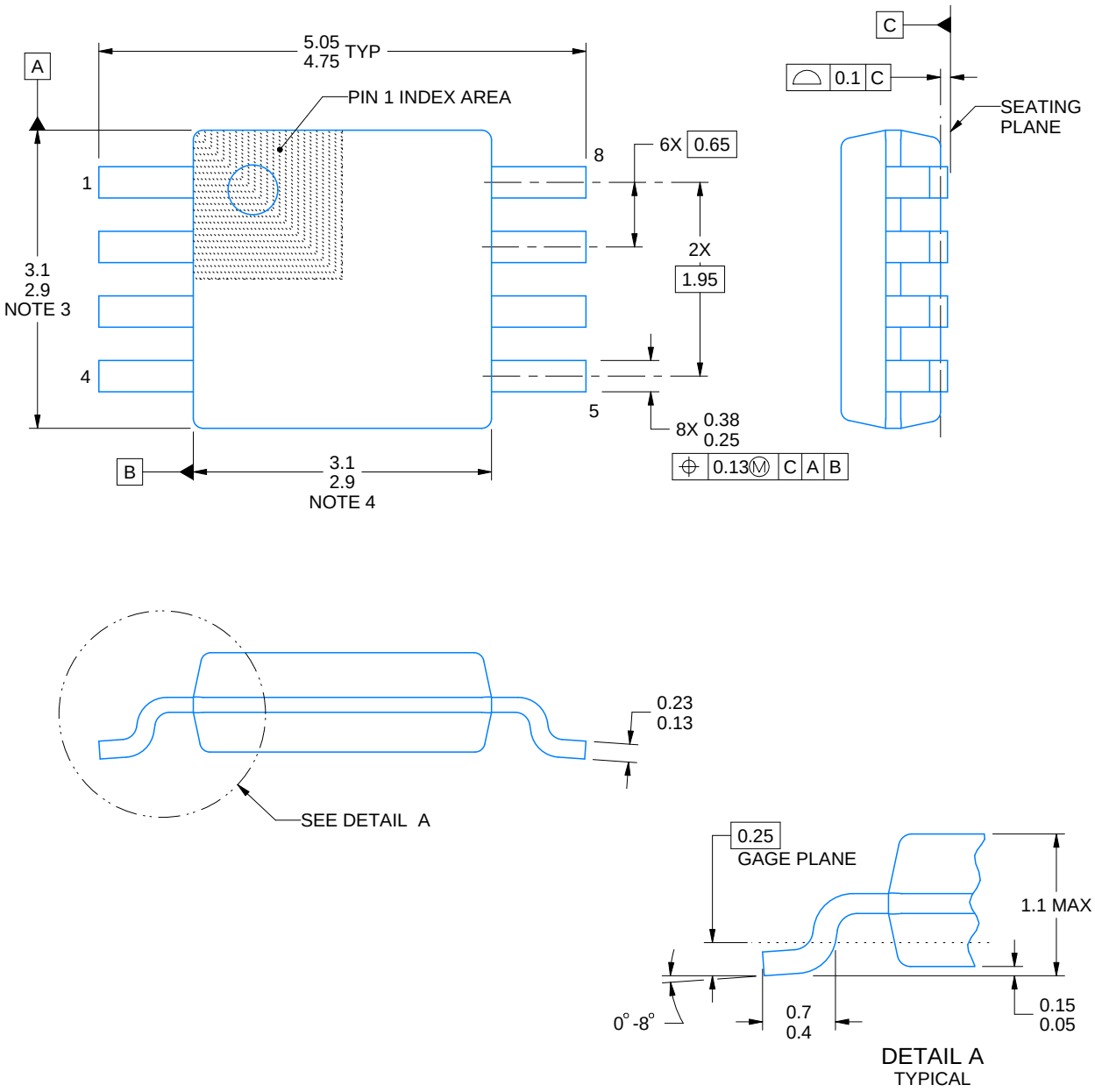
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DGK0008A

VSSOP - 1.1 mm max height

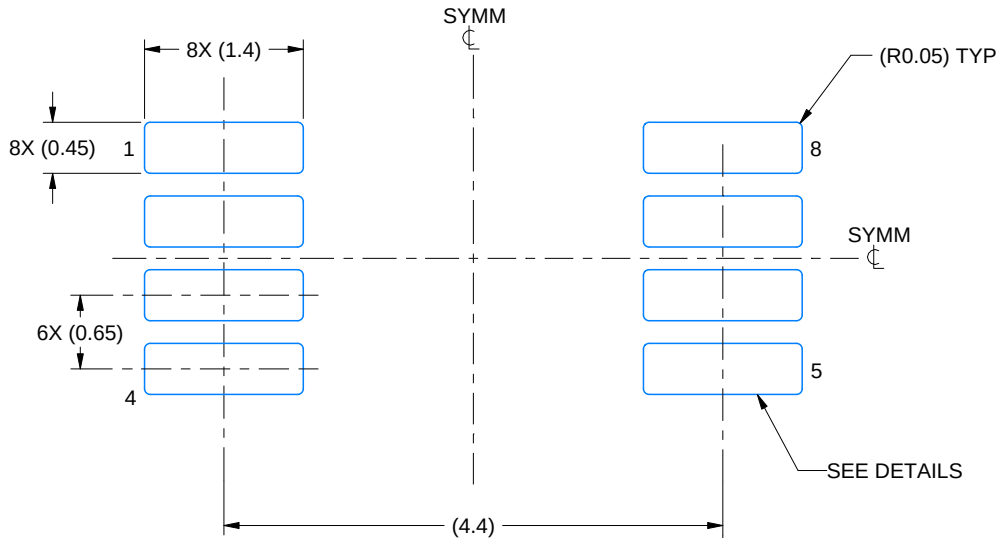
SMALL OUTLINE PACKAGE



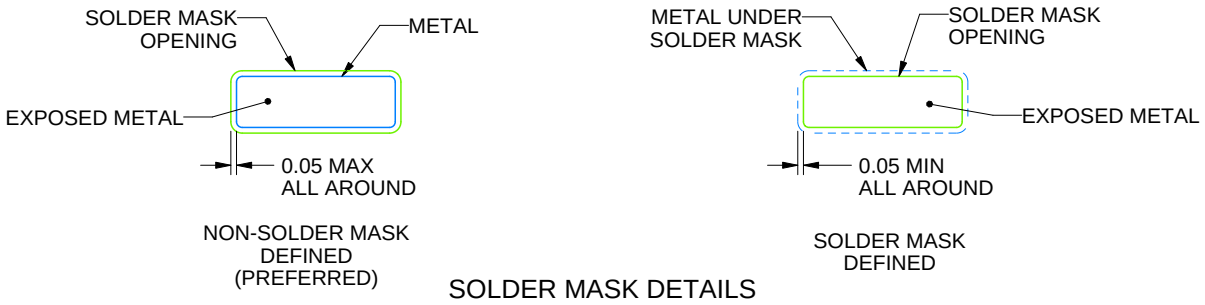
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

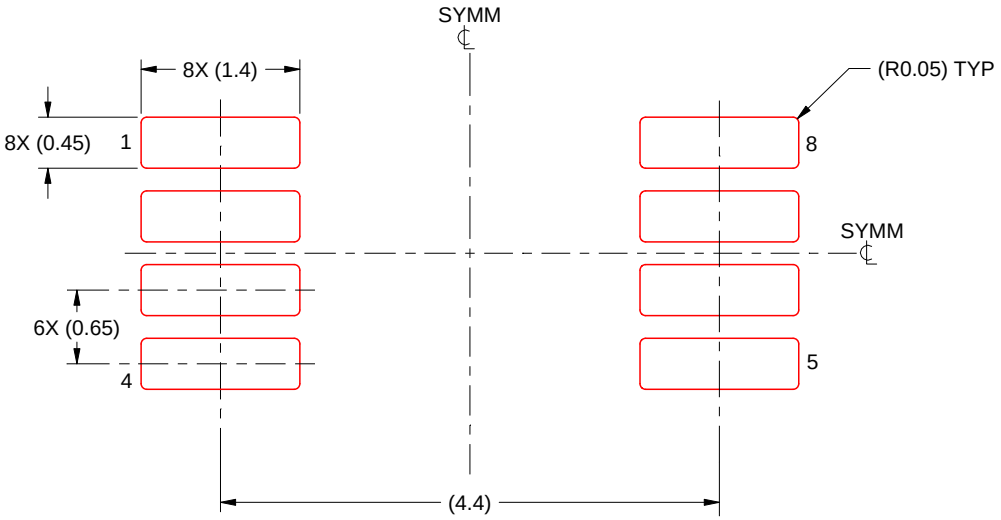


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

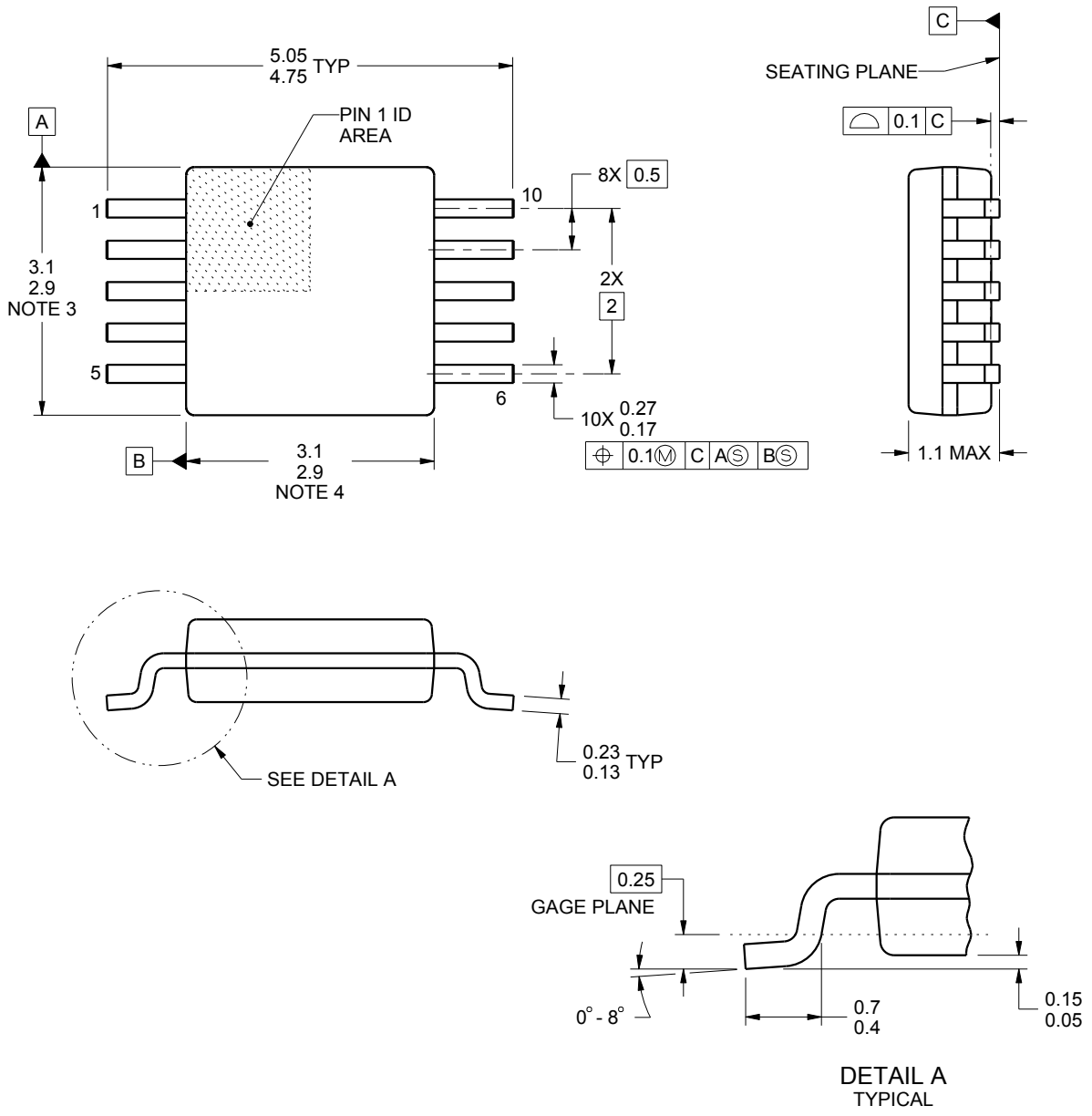
11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DGS0010A

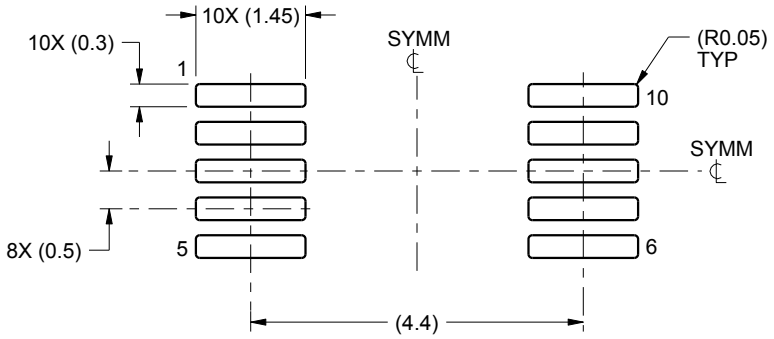
VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE

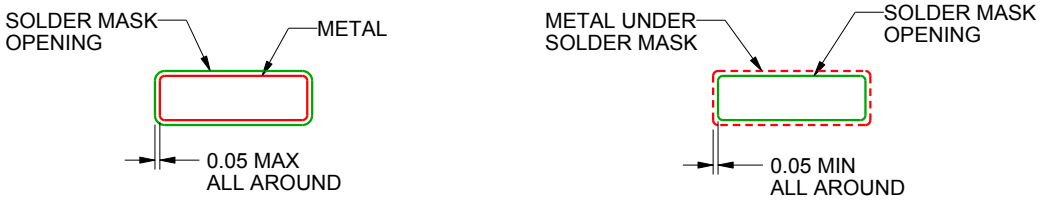


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187, variation BA.



LAND PATTERN EXAMPLE
SCALE:10X

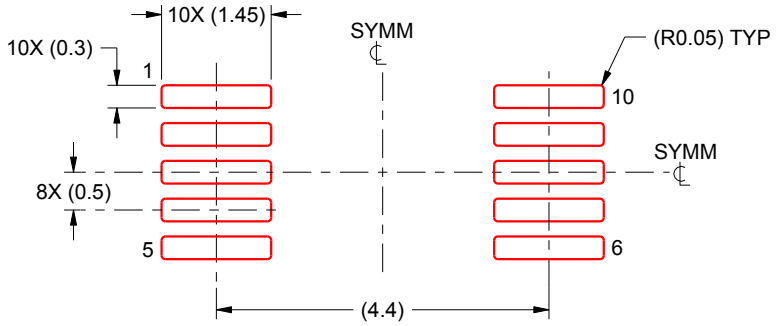


SOLDER MASK DETAILS
NOT TO SCALE

4221984/A 05/2015

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221984/A 05/2015

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月