

User's Guide

使用 AM62L (AM62L32、AM62L31) 处理器系列的定制电路板设计的硬件设计注意事项



摘要

定制电路板硬件设计注意事项文档概述了电路板设计人员在使用 AM62L (AM62L32、AM62L31) 处理器系列设计定制电路板时建议遵循的设计注意事项。该用户指南可用作定制电路板设计不同阶段的指南 (由定制电路板设计人员提供)。

此外，还提供了以下项的链接 (TI.com 产品页面)：处理器产品页面、处理器相关资料、E2E 上发布的与处理器和处理器外设相关的常见问题解答，以及在定制电路板设计期间常用的参考文档。定制电路板设计人员可在定制电路板设计过程中参考这些链接，以更大限度地减少设计错误、优化设计工作、减少电路板迭代版本，并优化项目时间安排。

内容

1 简介.....	3
1.1 开始定制电路板设计之前的准备工作.....	3
1.2 处理器特定 SDK.....	4
1.3 外设电路实现 — 处理器系列间的兼容性.....	4
1.4 选择所需的处理器 OPN (可订购器件型号)	5
1.5 技术文档.....	6
1.6 定制电路板设计文档.....	8
1.7 定制电路板设计期间的处理器和处理器外设设计相关疑问查询.....	8
2 定制电路板设计方框图.....	8
2.1 开发定制电路板设计方框图.....	8
2.2 配置引导模式.....	8
2.3 配置处理器引脚功能 (PinMux 配置)	11
3 电源.....	11
3.1 电源架构.....	11
3.2 处理器电源轨 (工作电压)	12
3.3 电源滤波.....	15
3.4 电源去耦和大容量电容.....	15
3.5 电源时序.....	16
3.6 电源诊断 (电压监控引脚 VMON)	16
3.7 电源诊断 (使用外部监控电路 (器件) 进行监控)	16
3.8 定制电路板电流要求估算和电源尺寸确定.....	16
4 处理器时钟 (输入和输出)	17
4.1 处理器时钟 (外部晶体或外部振荡器)	17
4.2 处理器时钟输出.....	18
4.3 时钟树工具.....	18
5 联合测试行动组 (JTAG)	19
5.1 JTAG/仿真.....	19
6 配置 (处理器) 和初始化 (处理器和器件)	21
6.1 处理器复位.....	21
6.2 处理器引导模式配置输入的锁存.....	22
6.3 附加器件的复位.....	22
6.4 看门狗计时器.....	22
7 处理器 — 外设连接.....	23

7.1 支持的处理器内核.....	23
7.2 跨域选择外设.....	23
7.3 存储器控制器 (DDRSS).....	23
7.4 媒体、数据存储接口 (MMC0、MMC1、MMC2、OSPI0/QSPI0 和 GPMC0)	24
7.5 以太网接口.....	27
7.6 可编程实时单元子系统 (PRUSS).....	28
7.7 通用串行总线 (USB) 子系统.....	28
7.8 通用连接外设.....	29
7.9 模数转换器 (ADC0).....	31
7.10 显示子系统 (DSS).....	33
7.11 未使用的处理器电源引脚、IO 和外设的连接.....	33
7.12 EVM 特定电路实现 (重复使用)	34
8 处理器 IO (LVCMOS 或 SDIO 或开漏、失效防护型 IO 缓冲器) 的接口连接及仿真.....	34
8.1 IBIS 模型.....	34
8.2 IBIS-AMI 模型.....	35
9 处理器电流消耗和散热分析.....	35
9.1 功耗估算.....	36
9.2 不同电源轨的最大电流额定值.....	36
9.3 支持的功耗模式.....	36
9.4 热设计指南.....	36
10 原理图：采集、录入和审阅.....	36
10.1 定制电路板设计无源元件和值选择.....	36
10.2 定制电路板设计电子计算机辅助设计 (ECAD) 工具注意事项.....	37
10.3 定制电路板设计原理图捕获.....	37
10.4 定制电路板设计原理图审阅.....	37
11 布局规划、布局、布线指南、电路板层和仿真.....	38
11.1 PCB 设计迂回布线.....	38
11.2 DDR 设计和布局指南.....	38
11.3 高速差分信号布线指南.....	39
11.4 处理器特定 EVM 板布局.....	39
11.5 定制电路板层数和层堆叠.....	39
11.6 DDR-MARGIN-FW.....	39
11.7 运行电路板仿真时应遵循的步骤参考.....	40
11.8 处理器的软件开发培训 (Academy).....	40
12 定制电路板组装和测试.....	40
12.1 定制电路板启动提示和调试指南.....	40
13 处理器 (器件) 处理和组装.....	40
13.1 处理器 (器件) 焊接建议.....	40
14 术语.....	41
15 参考资料.....	42
15.1 处理器特定 (AM62Lx).....	42
15.2 通用.....	42
16 修订历史记录.....	43

商标

所有商标均为其各自所有者的财产。

1 简介

当设计人员使用上文列出的任何处理器进行定制电路板设计时，可参考使用 **AM62L (AM62L32、AM62L31)** 处理器系列设计定制电路板的硬件设计注意事项作为起点。用户指南概述了在不同定制电路板设计阶段的设计流程，并重点介绍了建议解决的重要设计要求。请注意，用户指南不包含完成定制电路板设计所需的全部信息。许多情况下，本文档参考了器件特定配套资料和其他各文档以获取特定信息。

本用户指南分为一系列章节。用户指南首先介绍了在定制电路板设计规划阶段必须做出的决策列表，然后介绍了处理器和附加器件的选型及电气和散热要求。建议在每一部分讨论的建议得到解决后再进行下一部分。

备注

本用户指南并不涵盖定制电路板设计的所有方面或阶段。

备注

该处理器系列能够满足安全要求。

用户指南的重点是非安全应用。

请参阅以下常见问题解答：

[\[常见问题解答\] AM62L：常见问题解答](#)

1.1 开始定制电路板设计之前的准备工作

请参阅以下常见问题解答。常见问题解答包括定制电路板设计期间需参考的配套资料和建议步骤：

[\[常见问题解答\] AM62L \(AM62L32、AM62L31 \) - 定制电路板设计、自我审查和启动不同阶段的参考配套资料](#)

该处理器系列包含大量支持多种功能（存储器、通信）和处理功能的外设（并非所有外设和处理功能都会在所有定制电路板设计中用到）。使用同一处理器的不同定制电路板设计的功能和性能要求可能存在差异，具体取决于终端应用。定制电路板设计人员应在选择处理器和确定板级实现要求之前了解相关要求。可以向定制电路板设计中添加额外的电路来增强功能并在终端应用工作环境中正确运行。如需了解关于选择处理器 **OPN** 的信息及确定以下关键要求，请参阅器件特定数据表、器件勘误表、TRM、定制电路板设计硬件设计注意事项、原理图设计指南和原理图审阅检查清单以及 **EVM** 配套资料（最新版，建议经常访问 **TI.com**，查看配套资料的更新）：

- 处理器的预期运行条件、目标引导模式、存储类型和接口
- 所选处理器中每个内核的处理（性能）要求
- 外部 **DDR** 存储器类型（**DDR4** 或 **LPDDR4**）、宽度、速度、大小
- 使用的处理器外设（连接到附加器件）

定制电路板设计器件，有关 **EVM** 和 **SK** 所用关键器件（元件）的信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L/AM64x 设计建议/定制电路板硬件设计 — 入门套件/EVM 型号（版本）和关键器件（元件）列表](#)

1.1.1 AM62Lx 处理器系列外设和 IO 变更摘要（相对于 AM62x 处理器系列）

以下是基于 **AM62Lx** 的定制电路板设计期间需要考虑（注意）的一些处理器实现事项，以及从基于 **AM62x** 处理器设计迁移到基于 **AM62Lx** 处理器设计时需要考虑（注意）的变更：

1. 支持 2 个 Arm Cortex-A53（高达 1.25GHz）
2. 不支持 **MCU_Domain**（MCU 内核）
3. 不支持 **GPU**
4. 内核电源电压固定为 0.75V
5. **VDDR_CORE** 在内部连接到 **VDD_CORE**
6. 已优化复位输入（x2）和复位状态输出（x1）数量
7. 除双电压 1.8V/3.3V IO 之外，新增仅支持 1.8V 的 IO。IO 组电源轨的 IO 电源已相应命名。仅 1.8V（**VDDS0**、**VDDS1**、**VDDS_RTC** 和 **VDDS_WKUP**）和双电压 1.8V/3.3V（**VDDSHVx [x = 0-4]**）
8. 已实现支持缓冲器类型 **1P8-LVCMOS** 和 **RTC-LVCMOS**（请参阅引脚属性表），并添加了电气特性

9. 部分处理器外设 (包括 CPSW3G0 (3 端口千兆位以太网交换机) 和 OSPI0) 仅支持 1.8V IO 电平
10. 不支持使用 GPMC0 接口的非多路复用接口 (分别连接地址总线 and 数据总线)
11. 不支持摄像头串行接口 (CSI-2)
12. 支持的显示接口包括 MIPI DSI (x4 通道 DPHY) 或 DPI (24 位 RGB LVCMOS) (同一时间仅能主动支持其中一种显示接口 , 且需在启动期间选择要使用的显示接口)
13. DDR4 和 LPDDR4 的 DDRSS 寻址范围缩小 (仅支持单列) , 并且用于 DDR4 接口的某些 DDRSS 信号尚未引脚输出。DDRSS 不支持 DDR0_ALERT_n、DDR0_PAR、DDR0_CKE1、DDR0_CS1_n、DDR0_ODT1 信号 (引脚) 。
14. OSPI0 接口支持连接 x2 器件 (OSPI0 模块可连接到 2 个附加器件)
15. 包括漏极开路输出型 IO 缓冲器 I2C 接口在内的 I2C 接口实例已优化
16. 更新了具有漏极开路输出类型 IO 缓冲器 I2C 缓冲器的 I2C 接口的引脚连接要求。仅当使用 IO 时 , 才需要上拉电阻。
17. 添加了用于多个外设的 IOSET (参阅器件特定数据表)
18. 添加了为 IO 组 VDDSHV3 的双电压 IO 电源供电的集成 LDO , 以支持生成开关 3.3V/1.8V MMC1 SD 卡接口 IO 电源 , 从而支持 UHS-I SD 卡。
19. 集成 x1 12 位模数转换器 (ADC0) , 采样率高达 4MSPS , x4 模拟输入 (时间多路复用)
20. 不支持将 ADC 输入 (ADC0_AIN0-3) 配置为数字输入
21. 不支持可编程实时单元子系统 (PRUSS)
22. 支持多种启动模式配置方式 — 低引脚数模式 : 仅使用 4 个自举引脚 BOOTMODE [15:12] , 支持从采用低引脚数配置的电子熔丝启动 ; 全引脚数模式 : 使用全部 16 个自举引脚 BOOTMODE [15:0]
23. 不支持以太网引导
24. 支持仅 RTC 或 RTC + IO + DDR (RTC + DDR) 自刷新低功耗模式 (不支持用于 CAN/GPIO/UART 唤醒的部分 IO)
25. EXT_WAKEUP0 和 EXT_WAKEUP1 功能 (引脚) , 用于外部唤醒输入
26. 支持一个 (x1) VTM 温度传感器 (温度传感器 0 : DDR/A53)
27. PMIC_LPM_EN0 配有一个特殊的输出单元 , 上电后会立即启用弱上拉。输出在 RTC_PORz 输出上升沿驱动为高电平时 , 内部弱上拉电阻关闭。 (建议为 AM62x 系列处理器使用外部拉电阻 , 因为 PMIC_LPM_EN0 IO 在复位位置位时已关闭 , 并且如果没有外部上拉电阻 , PMIC 永远无法开启) 。
28. 不支持电压监控输入功能 , 未配置具有 0.45V 固定阈值 (+ / - 3%) 的 VMON_VSYS 功能引脚
29. 不支持 3.3V 处理器 VMON_3P3_SOC 的电压监控输入和 1.8V 处理器电源 VMON_1P8_SOC 的电压监控输入
30. 提供 11.9mm × 11.9mm , 0.5mm VCA , 373 引脚 FCCSP BGA 封装 (ANB)

欲了解更多信息 , 请参阅以下文档 :

[AM625x/AM623x 和 AM62Lx 硬件迁移指南](#)

1.2 处理器特定 SDK

如果针对新平台进行定制电路板设计或针对现有平台进行更新 , 建议使用 TI.com 上软件开发工具的最新版本/修订版。

请参阅以下链接来下载所需的 SDK 版本 :

[AM62L-PROCESSOR-SDK](#)

1. **AM62L-FREERTOS-SDK** : AM62L 系列器件的 FreeRTOS SDK
2. **AM62L-LINUX-SDK** : AM62L 系列器件的 Linux SDK

请参阅 [AM62LX 软件构建表](#) (AM62Lx 处理器系列支持功能的构建表) 。

如果使用较旧的版本/修订 , 建议使用版本说明验证兼容性或联系 TI (通过 E2E) 。

1.3 外设电路实现 — 处理器系列间的兼容性

在定制电路板设计期间 , 在实现外设接口、存储器接口和 IO 接口所需的功能 (电路) 时 , 建议查看并遵循特定于器件的建议 , 包括 ROC、电源时序控制、IO 级兼容性和产品页面上的其他可用配套资料。与传统处理器或 MCU

(TI AM335x、AM437x、AM62x、AM62Ax、AM64x、AM62Px 或其他 TI 处理器或其他器件供应商支持的处理器) 相比, 接口连接要求和电路实现可能与电路实现不相似 (或兼容)。示例外设接口包括 OSPI、以太网、SD 卡接口, 其中包括对高速 UHS-I、USB 接口和 IO 接口实现的支持, 包括复位 (热或冷) 输入或外部 IO 接口 (用于压摆率、IO 电平兼容性、失效防护运行)。

1.3.1 AM62Lx 处理器系列特定实现

部分 AM62Lx 外设接口仅支持 1.8V IO 电平 (AM62x、AM62A、AM62P、AM64x 或 AM243x 系列处理器不支持仅 1.8V 的 IO)。DDRSS 不支持 DDR0_ALERT_n、DDR0_PAR、DDR0_CKE1、DDR0_CS1_n、DDR0_ODT1 信号 (引脚)。

1.3.2 实现参考

AM64x 和 AM62x SK 或 EVM 可作为部分实现的参考, 包括 DDRSS (DDR4 接口、VTT 端接、DDR4 VTT LDO 和 LPDDR4)。

1.4 选择所需的处理器 OPN (可订购器件型号)

选择所需的处理器 OPN 是定制电路板设计过程中的一个重要阶段。要了解处理器系列架构以及根据所需的功能和特性、封装 (ANB) 和速度等级选择 (可在定制电路板中使用的) 所需的处理器 OPN, 请参阅器件特定数据表的 *功能方框图*、*器件比较*、*器件命名约定*、*器件速度等级* 和 *封装信息* 章节。

请参阅器件特定数据表 *器件比较* 一章的 *器件及文档支持* 部分, 选择所需的处理器 OPN。

请参见以下常见问题解答来读取器件 ID :

[\[常见问题解答\] AM625/AM623 定制电路板硬件设计 - 读取 DEVICE_ID 和唯一 SOC \(CPU\) ID](#)

常见问题解答是通用的, 也可用于 AM62Lx 处理器系列。

建议在原理图中使用所选的 OPN 更新处理器的 OPN 型号。

有关 AM62Lx 处理器系列的可用封装列表, 请参阅以下常见问题解答 :

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP/AM62A/AM62D-Q1/AM62P/AM62L 定制电路板硬件设计 - 可用器件封装](#)

1.4.1 安全启动及功能安全的处理器支持

AM62x 器件通过内置硬件安全模块 (HSM) 支持安全启动来实现 IP 保护, 并为便携式和功耗敏感型应用提供高级电源管理支持。当选择包含功能安全代码 F 的可订购器件型号时, 功能安全支持可用。

有关如何选择支持安全启动和/或功能安全的器件, 建议参阅器件特定数据表的 *器件命名规则* 部分。

下面总结了定制电路板上所使用的处理器类型 :

HS-FS

“高安全-现场可配置安全”是客户对器件中的密钥熔丝进行熔断之前的处理器/电路板状态, 即 HS 器件离开 TI 工厂的初始状态。在 HS-FS 状态下, 器件会保护 ROM 代码、TI 密钥和某些安全外设。在这种状态下, 器件不会强制进行引导身份验证, 但 DMSC 已锁定。

HS-SE

“高安全性 - 强制安全”是客户成功烧录密钥并设置 “Customer Keys enable” 后的处理器/电路板状态。在 HS-SE 状态中, 启用了所有安全功能。器件内的所有信息均受到全面保护, 并完全执行所有安全目标。器件还会强制执行安全引导。

有关安全启动支持的信息, 请参阅以下常见问题解答和以下 SDK 链接 :

[AM625 : 用户如何确认 HS-SE 和 FS](#)

安全性

有关功能安全的相关信息和配套资料, 建议联系当地 TI 销售人员或为客户启动 E2E 以便提供支持。

请参阅以下和功能安全相关的常见问题解答：

[AM623：请帮助提供 AM623 的安全特性文档](#)

[\[常见问题解答\] AM623：AM62x、AM644x 功能安全认证文档](#)

[PROCESSOR-SDK-AM62X：申请功能安全文档](#)

有关支持功能安全的处理器的信息，请访问以下链接：

[功能安全](#)

1.5 技术文档

TI.com 上的处理器特定产品页面提供了许多与所选处理器（系列）相关的文档。建议定制电路板设计人员在开始定制电路板设计之前，先阅读相关的配套资料（以下常见问题解答中已列出）。

以下常见问题解答汇总了在开始进行定制电路板设计时可以参考的配套资料：

[\[常见问题解答\] AM62L \(AM62L32、AM62L31 \) 定制电路板硬件设计 - 入门配套资料](#)

1.5.1 更新了 EVM 原理图 (添加了设计、审阅和 CAD 注解)

在定制电路板设计过程中，作为设计流程的一部分，定制电路板设计人员可重复使用 EVM 设计并进行必要修改。或者，定制电路板设计人员可以重复使用常见电路实现，包括处理器、存储器和通信接口。由于 EVM 设计应纳入其他功能，因此定制电路板设计人员往往会根据定制电路板相关要求优化 EVM 原理图设计。在对 EVM 原理图进行优化时，会在定制电路板设计中引入误差，这类误差可能会影响定制电路板的功能、性能或可靠性。进行优化时，定制电路板设计人员可能对 EVM 实现方案存有疑问。在审阅的许多客户电路板中，观察到多种定制电路板设计中存在的常见设计和优化错误。根据客户疑问、客户和内部意见，以及数据表中的引脚连接建议，我们在 EVM 原理图的各部分附近添加了全面的设计注解 (D-Note)、审阅注解 (R-Note) 和 CAD 注解 (CAD-Note)，供定制电路板设计人查阅并遵循（以便更大限度减少误差）。

该设计下载中还包含其他文件，用于支持在定制电路板设计评估阶段优化所选处理器的评估时间。该 EVM 设计包含支持全功能配置的处理器。

TMDS62LEVM：<https://www.ti.com/tool/TMDS62LEVM>

TMDS62LEVM 设计文件包 Orcad_Allegro (修订版 D)：<https://www.ti.com/lit/zip/sprcal9>

TMDS62LEVM 设计文件包 Altium：<https://www.ti.com/lit/zip/sprcal9>

TMDS62LEVM 设计包内容概述：<https://www.ti.com/lit/pdf/sprt799>

以下常见问题解答中列出了可下载的文档：

[\[常见问题解答\] AM62L \(AM62L32、AM62L31 \) 定制电路板硬件设计 - 针对重复使用 EVM TMDS62LEVM 原理图的设计和审阅注解](#)

有关用于 Altium CAD 工具格式的设计文件可用性的信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM62L \(AM62L32、AM62L31 \) 定制电路板硬件设计-提供的设计文件和支持的 CAD 工具格式，可在定制电路板原理图和 PCB 设计中使用](#)

以下常见问题解答包含 PDF 原理图（其中添加了 D-Note、R-Note、CAD 注解）以及与 EVM TMDS62LEVM 相关的附加信息：

[\[常见问题解答\] AM62L \(AM62L32、AM62L31 \) 定制电路板硬件设计 - 针对重复使用 EVM TMDS62LEVM 原理图的设计和审阅注解](#)

1.5.2 TI.com 的处理器产品页面中的配套资料

产品页面上提供了最近更新的配套资料，包括数据表、TRM、器件勘误表、硬件设计注意事项用户指南、原理图设计指南和原理图审阅清单。

正在向产品页面添加 (更新) 正在制作 (正在编辑或审阅) 的其他配套资料, 当前配套资料也在持续更新。建议定期查阅 TI.com 上的配套资料, 以了解更新的修订版本或新增的配套资料。

1.5.3 原理图设计指南及原理图审阅检查清单 - 特定处理器系列用户指南

本用户指南介绍了 AM62Lx (AM62L32、AM62L31) 处理器 (GPN)。每个处理器 GPN 可以有多个 OPN。本指南包含原理图设计指南与原理图审查检查清单, 可供定制电路板设计过程使用。特定处理器系列用户指南提供以处理器为中心的指南和检查清单, 可让定制电路板设计人员在针对特定处理器系列设计电路板时更轻松使用。本用户指南内容精简, 针对所选处理器及处理器系列具备较好的易用性 (例如: AM62Lx)。

[AM62L \(AM62L32、AM62L31\) 处理器系列的原理图设计指南和原理图审查检查清单](#)

1.5.4 硬件设计注意事项用户指南更新

根据客户反馈、经验教训、错误或改进, TI.com 上发布的 *硬件设计注意事项* 用户指南的最新修订版可能发生更改, 这些更改将在下一个文档修订版中更新。

以下常见问题解答列出了在 TI.com 上发布修订版用户指南之前, 定制电路板设计人员进行定制电路板设计期间需要注意和遵循的更改:

[\[常见问题解答\] AM625 / AM623 / AM620-Q1 / AM62L / AM62A / AM62P / AM62D-Q1 / AM64x / AM243x 定制电路板硬件设计 - 硬件设计注意事项和原理图设计指南配套资料的更新](#)

1.5.5 支持定制电路板设计的处理器和外设的相关常见问题解答

根据与多个定制电路板设计人员的互动、一些定制电路板设计人员的疑问以及从定制电路板设计人员收到的疑问中获得的信息, 创建了一些常见问题解答 (涉及 (添加了详细说明和示例说明) 处理器运行、处理器连接、处理器外设和接口、处理器评估 EVM、在定制电路板设计审阅期间观察到的常见错误、数据表和引脚属性以及常见 E2E 疑问), 在定制电路板设计期间为定制电路板设计人员提供支持。请参阅下面的常见问题解答列表。在定制电路板设计期间可使用该列表以及其他可用设计配套资料 (包括 *定制电路板设计硬件设计注意事项* 和 *原理图设计指南和原理图审阅清单*) :

有一个常见问题解答主列表, 其中列出了 Sitara 处理器系列的所有可用常见问题解答。

[\[常见问题解答\] 定制电路板硬件设计 - 所有 Sitara 处理器 \(AM62x、AM62Ax、AM62D-Q1、AM62Px、AM62L、AM64x、AM243x、AM335x\) 系列的主要 \(完整\) 常见问题解答列表](#)

有关定制电路板设计人员参考的指南和 E2E 查询链接, 请参阅以下常见问题解答:

[\[常见问题解答\] AM62L \(AM62L32、AM62L31\) 设计建议/定制电路板硬件设计 - 指南和 E2E 查询链接, 供定制电路板设计人员参考](#)

为了让使用特定处理器系列的定制电路板设计人员更轻松地进行设计, 下面列出了不同处理器系列的常见问题解答:

[\[常见问题解答\] AM62L \(AM62L32、AM62L31\) 定制电路板硬件设计 - 与处理器配套资料、功能、外设、接口和 EVM 相关的常见问题解答](#)

请参阅下面的常见问题解答, 其中列出了所有可用的常见问题解答, 包括 Sitara 系列处理器的软件相关常见问题解答:

[\[常见问题解答\] AM6x : AM62x、AM62Ax、AM62D-Q1、AM62Px、AM62L、AM64x、AM24x、AM3x、AM4x Sitara 器件的最新常见问题解答](#)

备注

常见问题解答会经常更新。建议定期查看感兴趣的常见问题解答以获取最新信息。

1.6 定制电路板设计文档

建议定期更新定制电路板设计文档，以了解定制电路板要求的更新信息，以及定制电路板设计的不同阶段对设计的更改（在测试或审阅时可观察到）。更新的信息可以作为审阅（外部或内部）支持所需的文档包（设计文档）的基准。

1.7 定制电路板设计期间的处理器和处理器外设设计相关疑问查询

在定制电路板设计过程中，对于与处理器和处理器外设相关的疑问，建议向器件专家发起 E2E 咨询，以获取支持。建议在 E2E 咨询中包含与设计或外设或主题的具体部分相关的疑问，以缩短问题分配和回复延迟时间。

2 定制电路板设计方框图

为了设计功能齐全的定制电路板，建议绘制详细的方框图，其中涵盖所有主要（必需）功能块和接口（连接到外部连接器件（外设））。

2.1 开发定制电路板设计方框图

建议确定并查看所有相关的终端设备用例要求（特性）、功能，并包括所有关键元件（功能块）、处理器正常运行所需的相关器件（例如：PMIC），并包含连接到处理器的连接器件的详细信息（作为方框图的一部分）。建议为每个功能或接口绘制单独的方框，使用指示方向的箭头连接方框，标记方框并清楚地指示用于连接处理器和所连接器件的接口和处理器 IO。建议尽可能考虑根据已实现的功能对这些方框进行分组。建议在开始设计之前先查看、完善方框图并确定其基准。

在准备详细方框图时，可使用以下资源（作为支持文档）：

- [TMDS62LEVM](#)（AM62L 评估模块）和任何其他可用的 EVM。
- 下面列出的链接指向 TI.com 上的处理器特定产品页面，其中包括功能方框图、数据表、TRM、用户指南、器件勘误表、应用手册、定制电路板设计的硬件设计注意事项、原理图设计指南和原理图审阅清单以及其他相关文档。设计和开发部分包括可用 EVM（EVM 设计文件）、设计工具、仿真模型和软件的链接。作为支持和培训相关信息的一部分，提供了经常查看或搜索的 E2E 主题和 E2E 常见问题解答的链接。

下面列出了 TI.com 上的处理器产品页面链接：

AM62Lx [ANB]

- [AM62L](#)

2.2 配置引导模式

该系列处理器支持低引脚数（x4 引脚）或全引脚（x16 引脚）引导模式。该系列处理器还支持电子保险丝 BOOTMODE1 和 BOOTMODE2。自定义电路板设计人员可以灵活地选择所需的引导模式，助力优化外部电阻器的使用。

有关支持的引导模式配置，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM64x/AM243x/AM62Ax/AM62Px/AM62D-Q1/AM62L 支持的引导模式配置](#)

建议说明所配置的引导模式和在方框图中提供的引导模式安装位。建议包含主引导和备用引导配置（低引脚数或全引脚或电子保险丝）。

该处理器系列支持多个可配置为引导模式的外设接口。有关可用的引导模式配置和支持的外设，请参阅器件特定 TRM。该处理器系列支持主引导模式和可选备用引导模式配置。如果主引导（源）模式失败，则 ROM 将切换到备份引导模式。

该处理器系列支持 x2（两种）BOOTMODE 引脚映射选项：

1. 减少引脚数 - 仅使用 16 个中的 4 个自举引脚 BOOTMODE [15:12]
2. 完整引脚数 - 使用全部 16 个自举引脚 BOOTMODE [15:0]

减少引脚数选项在硬件中实现，并且对 ROM 代码透明。其实现方案是一个查找表，使用四个引脚从完整引脚数选项或作为减少引脚数选项选择的一组常用引导模式中进行选择。该选择决定了在 POR 上加载到器件状态寄存器的

WKUP_CTRL_MMR_CFG1_DEVSTAT[15:0] 的值。在释放 (取消置位) PORz 输入之前，引导模式配置输入建议保持稳定。

低引脚数引导模式配置的优势是需要更少的引导模式配置引脚和外部电阻，从而使用较少的电阻器 (上拉或下拉电阻)。低引脚数引导模式支持的引脚可选引导模式选项较少。

但通过将所需的配置烧写到电子保险丝，即可将 *简化 BOOTMODE 引脚映射表* 中的两个可选引导模式配置选项 (电子保险丝 BOOTMODE1、电子保险丝 BOOTMODE2) 配置为支持全 16 位引导选项的任意一种。为了对电子保险丝进行编程，需要将使用 LDO 生成的专用电源连接到 VPP 引脚，该电源可配置为仅在写入电子保险丝时启用。

备注

建议提供相关配置，将 VPP 电源连接到用于电子保险丝编程的处理器 VPP 引脚 (使用板载 LDO 或使用测试点连接外部电源，同时添加板载电容，并利用处理器的一个 IO 引脚来控制 VPP 电源的时序)。有关更多信息，请参阅 [节 3.2.6](#)。

为了减少配置引导模式所需的上拉/下拉电阻，在 POR 期间会禁用 BOOTMODE [11:0] 引脚的输入缓冲器，除非 BOOTMODE [15:14] 设置为 “00”。使用低引脚数引导模式配置时会禁用缓冲器，由此避免因为这些引脚上的悬空输入而产生功耗。有关更多信息，请参阅器件特定 TRM。

低引脚数引导模式：

低引脚数引导模式使用 BOOTMODE [15:12] (x4 引脚)，配置总结如下：

BOOTMODE [13:12] - 引导模式引脚用于配置所需的主要和次级引导模式或电子保险丝 BOOTMODE1/电子保险丝 BOOTMODE2

BOOTMODE [15:14] - 引导模式引脚用于选择引导模式配置 (引脚数减少或完整)。有关更多信息，请参阅器件特定 TRM。

备注

BOOTMODE [11:00] - 在复位期间和复位之后处理器 IO 缓冲器关闭。当 IO 未配置为复用功能时，可以将引导模式输入 (IO) 引脚保持在未连接状态。IO 配置为复用功能时，建议通过一个 0Ω 串联电阻器将引导模式输入 (IO) 连接到复用功能。在测试期间，可以使用串联电阻器隔离复用功能。

备注

不建议或不允许将 BOOTMODE [15:12] 引脚保持在未连接状态。

全引脚引导模式：

全引脚引导模式使用 BOOTMODE [15:00] (x16 引脚)，配置汇总如下：

PLL 配置 (配置) : BOOTMODE [02:00] — PLL 配置引脚用于向 ROM 代码指示系统时钟 (PLL 参考时钟选择) 频率 (WKUP_OSC0_XI/XO), 以进行 PLL 配置

备注

有关支持的晶体频率, 请参阅处理器特定数据表。配置引导模式以匹配支持的晶体或时钟频率。错误的时钟频率配置会影响处理器性能, 包括电路板的复位。

主引导模式 : BOOTMODE [06:03] — 此引导模式引脚用于配置所需的主引导模式, 要从中引导的外设/存储器

主引导模式配置 : BOOTMODE [09:07] — 此引导模式配置引脚支持可选配置, 并与主引导模式选择引脚配合使用

备用引导模式 : BOOTMODE [12:10] — 此引导模式引脚用于配置所需的备用引导模式, 即主引导出现故障时要从中引导的外设/存储器

备用引导模式配置 : BOOTMODE [13] — 此引导模式引脚提供额外的配置选项 (可选 — 取决于所选的备用引导模式引脚)

BOOTMODE [15:14] — 引导模式引脚用于选择引导模式配置 (引脚数减少或完整)。有关配置信息, 请参阅器件特定 TRM

备注

不建议或不允许将 BOOTMODE [15:00] 引脚保持在未连接状态。

有关配置全引脚和低引脚数引导模式映射的更多信息, 请参阅器件特定 TRM 的 [引导模式引脚映射选项](#) 一节。

配置引导模式时的主要注意事项 :

- 建议在定制电路板开发期间始终包含配置引导模式的设选项, 例如 USB 引导 (USB0、DFU)、UART 引导 (UART0) 或无引导/器件引导模式 (使用 JTAG)
- 引导模式输入引脚支持可在锁存引导模式配置输入后配置的备用功能。该建议在定制电路板设计期间选择上拉或下拉电阻器时考虑实现的备用功能。如果引导模式输入由外部输入驱动以支持测试自动化或远程配置, 则只要处理器复位 (由复位状态输出 RESETSTATz 引脚指示) 以允许处理器正确引导, 就需要引导模式输入返回到所需的引导配置值 (电平)。

有关所支持引导模式的信息, 请参阅器件特定 TRM 的 [初始化](#) 一节和器件特定硅勘误表。

有关实现所需的引导模式 (低引脚数或全引脚), 请参阅 EVM [TMDS62LEVM](#) 原理图。

备注

定制电路板设计人员负责提供设置所需引导模式配置 (使用上拉或下拉电阻, 或可选地使用跳线/开关 (在不受控制的 ESD 环境中设置时提供外部 ESD 保护)) 的配置。建议为所有具有配置功能的引导模式输入引脚提供上拉和下拉电阻器配置, 以提高设计灵活性。不建议或不允许将多个引导模式引脚相互短接, 使任何引导模式输入引脚处于未连接状态, 或者将引导模式输入直接连接至电源或接地。

备注

当配置了全引脚数启动模式选项时, 建议将每个启动模式输入引脚 (BOOTMODE [15:0]) 通过独立的外部上拉/下拉电阻连接到相应的电源或 VSS, 以确保启动模式输入引脚保持在有效的逻辑高电平或低电平, 从而适当地选择所需的设备启动模式。

采用低引脚引导模式配置时, 这些引导模式输入引脚 (BOOTMODE [15:12]) 均必须单独的外部拉电阻器连接到相应电源或 VSS, 以确保与这些引导模式输入引脚相关的输入相应地保持为有效的逻辑高电平或低电平, 从而选择所需的器件引导模式。

备注

建议通过 0Ω 串联电阻器将处理器引导模式输入引脚（配置为备用功能）连接到备用功能。在测试期间，可以使用串联电阻器隔离复用功能。

备注

建议将引导模式配置电阻器拉至 VDDSHV0。

备注

使用电子保险丝设置引导模式配置时，建议设置连接 VPP 电源。

备注

对于低引脚数引导模式配置，25MHz（晶体或 LVCMOS 数字时钟）是唯一支持的时钟频率。
有关全引脚引导模式，请参阅器件特定数据表以了解支持的时钟频率，阅读器件特定 TRM 以配置支持的时钟频率。

有关实现引导模式的信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM64x/AM243x/AM62A/AM62P/AM62D-Q1/AM62L — 使用隔离缓冲器的引导模式实现](#)

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM64x/AM243x/AM62A/AM62P/AM62D-Q1/AM62L — 无隔离缓冲器的引导模式实现](#)

2.3 配置处理器引脚功能（PinMux 配置）

该处理器系列支持多种外设、接口（存储器接口、同步接口、异步接口）和 GPIO。为了优化处理器尺寸、引脚数和封装，同时保持尽可能多的功能，许多处理器焊盘（引脚）提供复用（最多八个）信号功能的配置。可能无法配置或使用所有外设实例（在特定的定制电路板上）。

TI 提供了 [SysConfig-PinMux 工具](#)，可供定制电路板设计人员用于配置所需的功能（外设、接口和 IO）。

备注

建议将使用 SysConfig-PinMux 工具生成的 PinMux 配置与其他设计文档一起保存。

有关更多信息，请参阅以下应用手册：

[利用集成 SysConfig 的 MCU+SDK 加速开发进程](#)

3 电源

备注

在定制电路板设计周期中，建议遵循 [AM62L \(AM62L32、AM62L31\) 处理器系列原理图设计指南和原理图审查检查清单](#) 用户指南以及 [定制电路板硬件设计注意事项](#) 用户指南。

选择处理器 OPN 并更新方框图以包含处理器器件型号后，定制电路板设计的下一个阶段是电源架构设计。

3.1 电源架构

下面列出了可考虑使用的电源架构：

3.1.1 集成式电源架构

集成式电源架构可基于 [TPS65214](#) 或类似产品等多通道 IC (PMIC)。查看 PMIC 产品页面，了解器件状态（预发布或正在供货），配套资料更改和附加配套资料。

更多有关使用基于 PMIC 的 AM62Lx 电源架构的信息，请参阅 EVM [TMDS62LEVM](#) 原理图和 [AM62L 电源实现应用手册](#)。

备注

请注意基于用于电源架构的 PMIC：

PMIC MODE/RESET 引脚配置为冷复位（请参阅 PMIC OPN 了解可用性），不支持将 RESETSTATz 连接到引脚。对于采用“仅 RTC”低功耗模式的应用，客户可以使用外部 DC/DC 或采用生成 RTC 电源轨的 LDO 的“电源正常”信号来驱动引脚。如果 VDD_RTC 或 VDDS_RTC 出现故障，连接会触发 PMIC 上的冷复位。由于提供并启用了内部下拉电阻，因此允许或可接受（安全）将引脚悬空。

在断电期间，建议 PORz 输入在电源开始斜降之前达到有效的逻辑低电平。基于 PMIC 的电源架构旨在（预期）监控（确保）所有电源轨是否已关闭并衰减到 300mV 以下，然后在任何处理器电源轨降至 *建议运行条件* 中定义的最小值以下时启动新的上电序列。

选择备用（非 TI）PMIC 时，建议定制电路板设计人员查看相关的处理器配套资料，包括器件特定数据表和 *最大额定电流* 应用手册，并遵循相关要求/建议。建议查看压摆率要求、PORz 输入 L->H 延迟（保持时间）（用于振荡器启动和稳定）要求、*上电时序* 及 *断电时序* 部分，并确认所选的基于 PMIC 的电源架构支持要求。

建议（要求）在以下任一情况下保持 PORz 输入为低电平（有效态）：使用外部晶体 + 内部振荡器时：保持低电平至所有处理电源斜升完成并有效（稳定），并叠加内部振荡器启动和稳定的最小延时 9.5ms（器件特定数据表中提到的是 950000ns）；使用外部 LVCMOS 时钟源（振荡器）时：保持 PORz 低电平（有效态）至所有处理器电源斜升完成并有效且外部振荡器时钟输出稳定，并叠加最小延时 1.2 μs（数据表中提到的是 1200ns）（详见器件特定数据表）。

请参阅以下常见问题解答：

[\[常见问题解答\] AM62L \(AM62L32、AM62L31\) 设计建议/定制电路板硬件设计 - 有关电源架构 \(包括 PMIC\) 的问题](#)

3.1.2 分立式电源架构

AM62Lx 电源架构可以基于分立式 [直流/直流转换器](#) 和 [LDO](#)。

有关可用或推荐分立式电源架构的信息，请参阅 TI.com 上的器件特定 ([AM62L](#)) 产品页面。

处理器特定产品页面提供了有关可用电源架构的最新信息。

当实现定制（TI 或非 TI）分立式电源架构时，请在所有电源斜升完成后注意电源尺寸、电源时序、电源转换率和 PORz 输入 L->H 延迟（保持时间）（用于振荡器启动和稳定）要求，并根据器件特定数据表验证这些要求。

在断电期间，建议 PORz 输入在处理器电源开始斜降之前达到有效的逻辑低电平。PORz 达到有效的逻辑低电平后，处理器电源的斜降时序无明确规定。分立式电源架构预计设计为能够在电源轨降至 *建议运行条件* 中定义的最小值以下时，在启动新的上电序列之前关闭所有电源轨并监控电源轨衰减到 300mV 以下。

建议（要求）在以下任一情况下保持 PORz 输入为低电平（有效态）：使用外部晶体 + 内部振荡器时：保持低电平至所有处理电源斜升完成并有效（稳定），并叠加内部振荡器启动和稳定的最小延时 9.5ms（器件特定数据表中提到的是 950000ns）；使用外部 LVCMOS 时钟源（振荡器）时：保持 PORz 低电平（有效态）至所有处理器电源斜升完成并有效且外部振荡器时钟输出稳定，并叠加最小延时 1.2 μs（数据表中提到的是 1200ns）（详见器件特定数据表）。

请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62A/AM62D-Q1/AM62P/AM62L/AM64x/AM243x 设计建议/定制电路板硬件设计 - 与分立式电源架构相关的疑问](#)

3.2 处理器电源轨（工作电压）

有关处理器电源轨和 *建议运行条件* (ROC) 的完整列表，请参阅器件特定数据表中 *规格一章* 的 *建议运行条件* 部分。

有关处理器 ROC 的更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62A/AM62D-Q1/AM62P/AM62L/AM64x/AM243x 设计建议/定制电路板硬件设计 - SOC ROC 建议运行条件](#)

在处理器冷复位输入 (PORz) 被释放后, 该处理器系列不支持对处理器内核、外设内核和外设模拟电源进行动态电压调节 (切换)。IO 组的一些双电压 IO 电源支持动态电压切换。有关支持动态电压开关的 IO 组的双电压 IO 电源, 请参阅器件特定数据表中 IO 组的双电压 IO 电源说明。

有关动态电压调节 (DVS) 和动态频率调节 (DFS) 的更多信息, 请参阅以下常见问题解答:

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L/AM64x/AM243x 设计建议/定制电路板硬件设计 — SOC 内核\(VDD_CORE\)、外设内核和模拟电源的动态电压调节](#)

备注

建议验证连接到处理器电源轨的电源是否在器件特定数据表的 *建议运行条件* 范围内。

3.2.1 支持的低功耗模式

有关支持的低功耗模式, 请参阅器件特定数据表。

有关仅 RTC 低功耗模式或 RTC + IO + DDR 低功耗模式的实现, 请参阅 EVM [TMDS62LEVM](#) 原理图。

有关低功耗模式和功能的其他说明, 请参阅器件特定 TRM。

PMIC_LPM_EN0 配有一个特殊的输出单元, 上电后会立即启用弱上拉。输出在 RTC_PORz 输出上升沿驱动为高电平时, 内部弱上拉电阻关闭。(由于 PMIC_LPM_EN0 IO 在复位位置位时已关闭, AM62x 处理器需要外部拉取。在这种情况下, 如果没有外部上拉电阻器, PMIC 将无法开启)。

3.2.2 处理器内核和外设内核 - 电源

处理器系列指定在 0.75V 的固定内核电压下运行。

建议使用同一电源为处理器内核电源 VDD_CORE 与外设内核电源 VDDA_CORE_DSI、VDDA_CORE_DSI_CLK、VDDA_CORE_USB 和 VDDA_DDR_PLL0 供电 (根据 *建议运行条件 (ROC)* 表指定的标称工作电压)。

对于包含铁氧体滤波器的电源轨, 建议在铁氧体的负载侧使用大容量电容器 (连接到处理器引脚)。

当实施仅 RTC 低功耗模式时, 建议将 0.75V 固定电压常开电源连接到 VDD_RTC (RTC 内核电源电压)。

未使用低功耗模式 (包括仅 RTC 模式) 时, 建议将 VDD_CORE 和 VDD_RTC 连接到同一电源。

更多信息, 请参阅器件特定数据表中 *规格* 一章的 *建议运行条件* 部分。

3.2.3 外设电源

该处理器系列支持 USB (USB0 和 USB1 通用)、PLL、DSITX0 和 ADC0 专用外设电源。标称电压为 1.8V。USB 建议使用额外的 3.3V 模拟电源。

对于 VDDSD_DDR (DDR PHY IO 电源), 根据使用的内存, 推荐的电源为 1.1V (连接到 LPDDR4 内存连接器件时) 或 1.2V (连接到 DDR4 内存连接器件时)。

更多信息, 请参阅器件特定数据表中 *规格* 一章的 *建议运行条件* 部分。

3.2.4 IO 组电源的处理器 IO 电源

该处理器系列支持以下配置:

- IO 组电源的双电压 IO 电源 (1.8V 或 3.3V)
- IO 组电源的固定电压 IO 电源 (1.8V)

3.2.4.1 IO 组电源的 1.8V 或 3.3V 双电压 IO 电源

该处理器系列支持用于 IO 组的 x5 (五个) 双电压 IO 电源 (VDDSHVx [x = 0-4])。每个 IO 组的双电压 IO 电源均连接 (对应) 至一组固定的 IO。IO 组的每组双电压 IO 电源均可独立连接至固定的 (VDDSHV2、VDDSHV3、VDDSHV4 支持动态电源切换) 3.3V 或 1.8V 电源。IO 组的双电压 IO 电源定义了整组 (一组固定) IO 的通用工作电压。

3.2.4.1.1 其他信息

大多数处理器 IO 都没有失效防护功能。有关可用的失效防护 IO 的信息，请参阅器件特定数据表。建议将附加器件的 IO 电源连接至接入 IO 组相应处理器双电压 IO 电源 (VDDSHVx) 的同一电源，以确保定制电路板设计不会向未供电的任何处理器 IO 施加电位。若在 IO 电源不可用时向没有失效防护功能的 IO 施加输入，可能会影响处理器功能、性能和可靠性。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP：定制电路板硬件设计 - SOC \(处理器 \) 和附加器件 \(失效防护 \) 之间的电源时序](#)

常见问题解答是通用的，也可用于 AM62Lx 处理器系列。

支持的双电压 IO 组 IO 电源如下所示：

- VDDSHV0 - GPMC0 IO 组 (固定类型，支持 DPI、引导模式、GPMC0) 的双电压 IO 电源
- VDDSHV1 - 通用接口 IO 组 (固定) 的双电压 IO 电源
- VDDSHV2 - MMC0 IO 组 (固定电源或动态电源切换) 的双电压 IO 电源
- VDDSHV3 - MMC1 IO 组 (固定电源或动态电源切换) 的双电压 IO 电源
- VDDSHV4 - MMC2 IO 组 (固定电源或动态电源切换) 的双电压 IO 电源

备注

对于上述标为动态的 IO 组双电压 IO 电源，可以施加 1.8V 或 3.3V 动态切换电源。对于上述标为固定的 IO 组双电压 IO 电源，可以施加 1.8V 或 3.3V 固定电源。IO 组的 2 组双电压 IO 电源之间不存在 IO 电源电压电平相关性。

3.2.4.2 IO 组电源的 1.8V 固定电压 IO 电源

该处理器系列支持为 IO 组电源轨配备的 x4 (四个) 1.8V 固定电压 IO 电源 (VDDS0、VDDS1、VDDS_RTC 和 VDDS_WKUP)。所有连接到此类 IO 组的附加器件 (IO) 必须由用于为 IO 组电源轨的相应处理器 IO 电源供电的同一电源供电。当实施仅 RTC 低功耗模式时，建议将 1.8V 固定电压常开电源连接到 LFOSC0 和 RTC IO 组的 VDDS_RTC IO 电源。未实施低功耗模式时，建议将 VDDS_RTC (LFOSC0 和 RTC IO 组的 IO 电源) 连接到有效的 1.8V IO 电源。

支持的固定的 IO 组 IO 电源如下所示：

- VDDS0 - GENERAL0 IO 组 (RGMII1、RGMII2 IO 组) 的固定电压电源
- VDDS1 - GENERAL0_1 IO 组 (包括 OSPI0 IO 组) 的固定电压电源
- VDDS_RTC - LFOSC0 和 RTC IO 组的固定电压电源
- VDDS_WKUP - WKUP IO 组的固定电压电源

3.2.5 用于 SD 卡接口 IO 电压切换的集成 LDO (为 MMC1 IO 接口设计的动态切换双电压 IO 供电)

该处理器系列支持集成式 LDO (SDIO_LDO)，以便为 VDDSHV3 双电压 IO 电源供电，该电源为 MMC1 IO 组对应的 IO 组和 SD 卡接口上拉电阻提供供电，能够在 3.3V 和 1.8V 电压之间动态切换。推荐在 LDO 输出引脚 (CAP_VDDSHV_MMC) 附近连接建议的输出电容器。有关推荐电容器值和连接的信息，请参阅器件特定数据表中信号说明一节的电源小节。

V1P8_SIGNAL_ENA 位用于切换 LDO 输出电平，而该输出电平用于控制 SD 卡接口 IO 电平 (信令)。建议将连接到 SD 卡连接器的电源作为输入连接到 SDIO_LDO。内部 LDO 的输出可以连接到处理器双电压 IO 电源 VDDSHV3，该电源用于支持 UHS-I SD 卡的 MMC1 IO 组。

如需连接未使用的内部 LDO 引脚 (SDIO_LDO (LDO 输入) 和 CAP_VDDSHV_MMC)，请参阅器件特定数据表的引脚连接要求一节。

3.2.6 VPP (eFuse ROM 编程) 电源

建议采用独立 LDO 实现 VPP 供电，以满足器件特定数据表中的电流要求，从而进行电子保险丝编程。VPP 电源可以来自单独的板载 LDO 电源或外部电源提供，由处理器 IO 控制供电使能时序。

在处理器上电、断电和正常运行期间，VPP 电源引脚可以保持悬空 (HiZ) 或接地 (可以将电阻器与 TP 连接以隔离接地和连接电源)。

建议在对 eFuse ROM (OTP) 进行编程时注意以下硬件要求：

- 建议仅在处理器上电序列完成后并对 eFuse 进行编程时才施加 VPP 电源。
- 建议使用具有较高输入电压 (2.5V 或 3.3V) 和使能输入 (控制) 的固定输出 LDO。建议由处理器 GPIO 控制使能输入以对 VPP 电源计时。
- VPP 电源供电预计会出现高负载电流瞬态 (~400mA)。建议在处理器 VPP 引脚附近使用本地大容量电容器来支持电流瞬变。
- 建议选择具有快速放电功能的 LDO 或使用外部放电电阻器。
- 为电子保险丝编程指定了 400mA 的最大电流 (请参阅处理器特定数据表)。
- 如果使用外部电源，则建议在处理器电源斜坡且稳定后施加该电源。
- 使用外部电源时，建议在处理器 VPP 引脚附近添加板载大容量电容器、去耦电容器和放电电阻器。添加一个测试点以连接外部电源，并提供连接其中一个处理器 GPIO 以控制外部电源时序的配置。
- 建议在不对 eFuse 进行编程时禁用 VPP 电源 (保持悬空 (HiZ) 或接地)。
- 当使用可调 LDO 时，请考虑添加一个外部齐纳二极管，用于在 LDO 输出端提供过压保护。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP：定制电路板硬件设计 — 有关 VPP eFuse 编程电源选择和应用的问](#)

常见问题解答是通用的，也可用于 AM62Lx 处理器系列。

更多信息，请参阅器件特定数据表中规格一章的一次性可编程 (OTP) 电子保险丝的 VPP 规格部分。

3.2.7 IO 组 (处理器) 的双电压 IO 电源的内部 LDO

该处理器系列支持 x5 (五个) 内部 LDO (CAP_VDDSD_GENERAL1、CAP_VDDSD_GPMC 和 CAP_VDDSD_MMCx [x = 0-2])，每个 LDO 输出连接到一个使用的单独的引脚，用于连接外部电容器。有关推荐电容器值、电压、封装和连接的信息，请参阅器件特定数据表中信号说明一节的电源小节。

电容器额定电压和封装选择遵循相关 EVM 设计。若选择不遵循 EVM 或数据表建议的电容器 (值、额定电压)，可能会影响 LDO 输出稳定性和处理器性能。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM62A/AM62D-Q1/AM62P/AM64x/AM243x 设计建议/定制电路板硬件设计 - 与 CAP_VDDSDx CAP_VDDSD 相关的问题](#)

3.3 电源滤波

要为电源轨实现铁氧体滤波、去耦和大容量电容器，请参阅 EVM [TMDS62LEVM](#) 原理图。

对于包含铁氧体滤波器的电源轨，建议在铁氧体的负载侧使用大容量电容器 (连接到处理器引脚)。

有关与 EVM/SK 原理图上的处理器电源引脚映射和连接相关的信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM625-Q1/AM620-Q1/AM62L/AM62A/AM62P/AM62D-Q1/AM64x/AM243x 定制电路板硬件设计 — 处理器引脚映射和 SK 电路板连接 \(电源轨、电容器和铁氧体 \)](#)

3.4 电源去耦和大容量电容

为了将处理器 (和附加器件) 与电路板噪声去耦，建议使用去耦电容器和大容量电容器。

有关优化和放置去耦电容器和大容量电容器的信息，请参阅 [Sitara 处理器配电网络：实现与分析](#) 应用手册。

备注

EVM 上的去耦电容器数量和类型仅作为客户指南。真正的合格或不合格标准是 PDN 应用手册中发布的目标阻抗。如果 EVM 和 PDN 应用手册之间在电容器编号建议和值方面存在差异，建议遵循 PDN 应用手册中的建议。

3.4.1 PDN 目标阻抗说明

为特定电源 (VDD_CORE) 提供了 PDN 目标阻抗值。未提供其他 (所有) 电源轨的 PDN 目标阻抗值，因为目标阻抗计算需要考虑电源轨上的最大电流，并且取决于用例。

有关 PDN 目标阻抗电源和数值的更新内容，请参阅以下常见问题解答：

[\[常见问题解答\] AM62L \(AM62L32、AM62L31 \) 定制电路板硬件设计 - 入门配套资料](#)

查找 PDN 目标阻抗值 (VDD_CORE)。

对于 VDDS_DDR 电源轨，不建议使用目标阻抗作为签核标准。请参阅 *AM62x、AM62Lx DDR 电路板设计和布局指南*，其中概述了需要执行的功率感知 SI/PI 仿真的所有详细信息。功率感知仿真的眼图模板检查是 VDDS_DDR 的签核标准。

3.5 电源时序

器件特定数据表中提供了建议的 *电源时序* (无低功耗模式、仅 RTC 低功耗模式、RTC + IO + DDR 低功耗模式的上电和断电序列) 的详细图表。当使用分立式电源架构时，建议所有相关处理器电源设计为允许使用基于 PMIC 的电源或使用板载逻辑来实现受控电源斜坡 (电源转换率) 和电源时序。

如需了解更多信息，请参阅器件特定数据表的 *电源要求*、*电源转换率要求* 和 *电源时序* 部分。

根据客户输入和内部分析更新序列图。建议在器件特定数据表的更新修订版可用时查看电源序列图。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP：定制电路板硬件设计 — 上电和下电的处理器电源时序要求](#)

常见问题解答是通用的，也可用于 AM62Lx 处理器系列。

3.6 电源诊断 (电压监控引脚 VMON)

不支持 3.3V 或 1.8V 电源 (处理器内部) 和 0.45V 固定电压的电压监测引脚。

3.7 电源诊断 (使用外部监控电路 (器件) 进行监控)

为了增强定制电路板性能并根据应用要求，建议为所有板载处理器和外设电源轨从电源轨汲取的电压和电流提供外部监控电路 (器件) 配置。

有关更多信息，请参阅 EVM *TMDS62LEVM* 原理图。

一旦电源架构最终确定和用于生成电源轨 (基于电源架构) 的所需器件已选定，建议更新方框图以包含电源架构 (在电源轨名称中包含电源轨电压值) 和连接。建议生成电源时序图 (基于电路板架构的上电和断电时序图 (无低功耗模式、仅 RTC 低功耗模式、RTC + IO + DDR 自刷新低功耗模式)) 并根据器件特定数据表验证该序列。

3.8 定制电路板电流要求估算和电源尺寸确定

器件特定数据表中未提供每个电源轨的 (最大和最小) 电流要求。电流要求在很大程度上取决于应用，需要使用 TI 提供的工具和文档针对特定用例进行评估。

建议在确定电源尺寸时考虑最大电流额定值 (在 *最大电流额定值* 应用手册中提供)。

功耗估算工具 (PET) 和 *最大额定电流* 应用手册有两个不同的用途。PET 用来估算特定用例/应用的有效功耗。*最大额定电流* 应用手册可用于在设计定制电源解决方案时确定电源电压。

4 处理器时钟 (输入和输出)

备注

在定制电路板设计周期中，建议遵循 [AM62L \(AM62L32、AM62L31 \) 处理器系列原理图设计指南和原理图审查检查清单](#) 用户指南以及 [定制电路板硬件设计注意事项](#) 用户指南。

定制电路板设计的下一个阶段是为处理器和附加器件实现时钟架构。可以使用连接了外部晶体的内部振荡器或生成 LVCMOS 兼容时钟输出的外部振荡器来生成处理器时钟。使用外部振荡器作为时钟源时，请遵循器件特定数据表中的连接建议。以下部分描述了可用的处理器时钟源和要求。

4.1 处理器时钟 (外部晶体或外部振荡器)

器件特定数据表中 *规格* 一章的 *时钟规格* 部分显示了建议的处理器时钟源和连接方式。

直接连接到 XI 和 XO 引脚的 25MHz 外部晶体通过 WKUP_OSC0_XI / WKUP_OSC0_XO 连接到内部高频振荡器，是处理器内部运行的推荐主时钟输入源。连接到 WKUP_OSC0_XI 的基于外部振荡器的 LVCMOS 数字时钟源可以被视为替代时钟选项。使用外部振荡器时，请注意器件特定数据表中 XO 的连接要求。

当使用晶体生成处理器时钟时，建议遵循器件特定数据表来选择负载电容。

在冷复位输入被释放之前，器件特定数据表提供了时钟启动和稳定的建议延迟时间。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP 定制电路板硬件设计 — 有关晶体 \(MCU_OSC0\) 启动时间的问题](#)

常见问题解答是通用的，也可用于 AM62Lx 处理器系列。

当前支持显示并行接口 (DPI) 的展频时钟。有关更多信息，请参阅 [AM62x、AM62Ax、AM62Px、AM62Lx 展频时钟](#) 应用手册。

有关 SSC 支持的信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP：在 PRUSS 上启用扩频内核时钟](#)

常见问题解答是通用的，也可用于 AM62Lx 处理器系列。

建议使用 32.768kHz 晶体作为低频振荡器 (LFOSC0) 的时钟源。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM62L \(AM62L32、AM62L31 \)：定制电路板硬件设计 - LFOSC 在处理器中的使用情况](#)

备注

AM62x 的 MCU_OSC0 (高频振荡器) 为 AM62Lx 的 WKUP_OSC0。

AM62x 的 WKUP_LFOSC0 (32.768kHz 低频振荡器) 是 AM62Lx 的 LFOSC0。

4.1.1 未使用的 LFOSC0 的连接

有关未使用的 LFOSC0 的建议连接的信息，请参阅器件特定数据表 *规格* 一章的 *未使用 LFOSC0* 部分。

4.1.2 WKUP_OSC0 和 LFOSC0 晶体选型

选择 WKUP_OSC0 或 LFOSC0 晶体时，建议根据最坏工作环境和定制电路板或终端设备的预期寿命来考虑温度和老化特性。验证所用的晶体负载和晶体负载电容器值 (包括 PCB 电容的增加 (对于 WKUP_OSC0)) 是否与器件特定数据表建议值相匹配。建议选用支持选择标准电容器值的晶体负载。值不匹配可能会引入时钟频率 PPM 误差。

有关更多信息，请参阅以下常见问题解答：

[常见问题解答] [AM625 / AM623 / AM620-Q1 / AM625-Q1 / AM625SIP / AM62A7 / AM62A3 / AM62A1-Q1 / AM62D-Q1 / AM62P / AM62P-Q1 / AM62L](#) 定制电路板硬件设计 - 有关晶体选型和时钟规格的疑问

更多信息，请参阅器件特定数据表的 *WKUP_OSC0* 晶体电路要求和 *LFOSC0* 晶体电气特性表。

建议根据器件特定数据表将 *WKUP_OSC0* 晶体直接连接到处理器。

建议 (根据需要) 向晶体制造商确认晶体选型。

4.1.3 LVC MOS 兼容数字时钟输入源

WKUP_OSC0_XI 和 *LFOSC0_XI* 时钟输入可源自外部 1.8V LVC MOS 方波数字时钟源。有关更多信息，请参阅器件特定数据表的规格一章中的时序和开关特性、时钟规格、输入时钟/振荡器、*WKUP_OSC0* LVC MOS 数字时钟源部分。

有关更多信息，请参阅以下常见问题解答：

[常见问题解答] [AM625 / AM623 / AM620-Q1 / AM625-Q1 / AM625SIP / AM62A7 / AM62A3 / AM62A1-Q1 / AM62D-Q1 / AM62P / AM62P-Q1 / AM62L](#) 定制电路板硬件设计 - 有关 *MCU_OSC0* (*WKUP_OSC*) 或 *WKUP_LFOSC0* (*LFOSC0*) 的 LVC MOS 数字时钟源的疑问

备注

当 LVC MOS 数字时钟连接到 *XI* 输入时，请遵循器件特定数据表中关于连接 *WKUP_OSC0_XO* 和 *LFOSC0_XO* 引脚的建议。

备注

有关更多信息，请参阅器件特定数据表 *WKUP_OSC0* LVC MOS 数字时钟源一节中的说明。

4.2 处理器时钟输出

名为 *CLKOUT0* 和 *WKUP_CLKOUT0* 的处理器 IO (引脚) 可配置为时钟输出。在处理器配置所需的时钟输出之前，*WKUP_CLKOUT0* 会配置为低电平。时钟输出可以用作附加器件 (外部外设 - 例如：EPHY) 的时钟源。

当 *CLKOUT0* 和 *WKUP_CLKOUT0* 用于为多个附加器件供电时，建议对其进行缓冲。

没有在任何时钟输出上定义抖动曲线，因为许多定制电路板特定变量会影响抖动。定制电路板设计人员应在最终产品预期的所有工作条件下测量特定定制电路板实施的时钟输出抖动。

有关更多信息，请参阅器件特定数据表和 TRM。

4.2.1 观察时钟输出

该处理器提供了预留设计，以根据处理器系列输出主域观察时钟和/或 *WKUP* 域观察时钟。*OBSCLK0*、*OBSCLK1* 以及 *WKUP_OBSCLK0* 为仅供测试与调试用途的观察时钟输出。观察时钟可用于选择多个不同时钟之一作为输出。观察时钟不应用作任何外部器件的时钟源。如器件特定数据表所述，*OBSCLK0*、*OBSCLK1* 和 *WKUP_OBSCLK0* 信号仅用于测试与调试目的。

4.3 时钟树工具

时钟树工具 (CTT) 可用于可视化显示处理器时钟树。CTT 是一种交互式可视工具，可为用户提供器件时钟树架构的全局视图，并可用于确定寄存器设置以获取特定配置。

有关更多信息，请参阅以下常见问题解答：

[常见问题解答] [AM625 / AM623 / AM620-Q1 / AM625-Q1 / AM625SIP / AM62L / AM62Ax / AM62D-Q1 / AM62Px / AM64x / AM243x \(ALV、ALX\)](#) 定制电路板硬件设计 - 时钟树工具

5 联合测试行动组 (JTAG)

备注

在定制电路板设计周期中，建议遵循 [AM62L \(AM62L32、AM62L31\)](#) 处理器系列原理图设计指南和原理图审查检查清单用户指南以及定制电路板硬件设计注意事项用户指南。

该处理器系列支持各种扩展开发系统 (XDS) JTAG 控制器，除了 JTAG 支持之外，还提供各种调试功能。

请参阅以下常见问题解答：

[常见问题解答] [AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP/AM62L/AM62Ax/AM62D-Q1/AM62Px/AM64x/AM243x \(ALV、ALX\) 定制电路板硬件设计 — JTAG](#)

尽管 JTAG 被认为时电路板正常运行的可选项，但建议在定制电路板设计中包含 JTAG 连接。建议根据引脚连接要求添加建议的上拉电阻配置，并在使用 JTAG 接口时添加外部 ESD 保护。

5.1 JTAG/仿真

适用于 JTAG/仿真的相关文档：

- [仿真和跟踪头技术参考手册](#)
- [XDS 目标连接指南](#)
- [边界扫描测试规范 \(IEEE-1149.1\)](#)
- [交流耦合网络测试规范 \(IEEE-1149.6\)](#)

5.1.1 JTAG/仿真的配置

IEEE 标准 1149.1-1990、IEEE 标准测试访问端口和边界扫描架构 (JTAG) 接口可用于边界扫描和仿真。边界扫描的实现同时符合 IEEE-1149.1 和 1149.6 标准。无论处理器配置如何，均可使用边界扫描。

JTAG 端口作为一个仿真接口，可在不同模式下使用：

- 标准仿真：需要五个标准 JTAG 信号。
- HS-RTDX 仿真：需要五个标准 JTAG 信号以及 EMU0 和/或 EMU1。在此模式下，EMU0 和/或 EMU1 是双向的。
- 跟踪端口：跟踪端口支持对某些内部数据进行实时转储。跟踪端口使用 EMUx 引脚输出跟踪数据。

有关支持的 JTAG 时钟速率，请参阅器件特定 TRM。

处理器 JTAG 接口信号可用于执行边界扫描测试。可从处理器特定产品页面的以下部分下载需要用于边界扫描测试的 BSDL 文件：

5.1.1.1 BSDL 文件

- [AM62L BSDL](#)

5.1.2 JTAG/仿真的实现

JTAG 和仿真信号以同一 IO 组的 IO 电源为基准。TDI、TDO、TCK、TMS、TRSTn、EMU0 和 EMU1 信号以 VDDSD0 为基准。

建议使用 TI 建议、定义和支持的 20 引脚连接器，而不是 10 引脚 ARM 连接器。10 引脚 JTAG 连接器不包含 TRSTn 信号或 EMU0、EMU1 信号。

关于 JTAG 接口的实现，请参阅 [仿真和跟踪接头技术参考手册](#)。

5.1.3 JTAG 接口信号的连接建议

有关连接 JTAG 接口信号的连接建议，请参阅器件特定数据表中 [端子配置和功能](#) 一章的 [引脚连接要求](#) 部分。

备注

建议始终为处理器 JTAG 信号提供 TP (测试点) 配置, 以便能够连接到外部 JTAG (当 JTAG 接口不是定制电路板设计的一部分时) 接口信号或调试程序。建议根据器件特定数据表的 *引脚连接要求* 一节在处理器 JTAG 信号附近添加建议的上拉电阻。建议添加外部 ESD 保护配置, 并在使用 JTAG 接口时安装 ESD 元件。

5.1.4 调试引导模式和边界扫描合规性

有关支持的调试功能, 请参阅器件特定 TRM 的 *片上调试* 一章。

请参阅 *片上调试* 一章的以下部分:

- JTAG 接口、JTAG 接口信号
- 跟踪端口接口、跟踪端口信号
- 调试引导模式和边界扫描合规性

仿真控制输入 EMU0 和 EMU1 用于配置调试引导模式行为。仿真控制输入 EMU0 和 EMU1 可用于启用边界扫描测试功能。

调试引导模式

当 PORz 输入置为无效时，对仿真控制输入 EMU0 和 EMU1 进行采样，解码的值决定调试引导模式行为，详情请见器件特定 TRM 片上调试一章的调试引导模式表。

边界扫描合规性

当 TRSTn 输入置为无效时，对仿真控制输入 EMU0 和 EMU1 进行采样，解码的值决定调试引导模式行为，详情请见器件特定 TRM 片上调试一章的边界扫描合规性表。

调试或边界扫描功能不依赖于引导模式配置。

6 配置 (处理器) 和初始化 (处理器和器件)

备注

在定制电路板设计周期中，建议遵循 [AM62L \(AM62L32、AM62L31 \) 处理器系列原理图设计指南和原理图审查检查清单](#) 用户指南以及定制电路板硬件设计注意事项用户指南。

建议仅在所有建议的处理器电源斜升完成并延迟建议的时间 (复位保持时间)，让时钟 (晶体和内部或外部振荡器) 启动并保持稳定 (请参阅器件特定数据表) 后，再将处理器的冷复位输入 (对于 WKUP 域 (PORz)) 置为无效，从而开始处理器的引导过程。

6.1 处理器复位

器件特定数据表和器件特定 TRM 中介绍了支持的处理器复位信号 (复位输入、复位状态输出)。

该处理器系列支持三 (3) 个外部复位输入，包括冷复位输入 (PORz)、主域热复位输入 (RESETz) 和 RRTC 上电复位输入 (TC_PORz)。

要连接热复位输入，请参阅器件特定数据表的 [引脚连接要求](#) 一节。

该处理器系列支持 x1 (单个) 复位状态输出 RESETSTATz (引脚) (主域热复位状态输出 (RESETSTATz))。RESETSTATz 输出反映了处理器的内部复位状态 (冷复位、硬件或软件热复位)，当冷复位 PORz 输入或热复位 RESETz 输入 (或寄存器配置) 为低电平时处于低电平，而在 PORz 输入和 RESETz 输入取消置位且内部复位完成后，变为高电平 (请参阅器件特定数据表)。

请参阅以下常见问题解答：

[\[常见问题解答\] AM62L \(AM62L32、AM62L31 \)：定制电路板硬件设计 - PORz 和 RTC_PORz 转换率](#)

未使用时的处理器复位状态输出可保持未连接状态。建议配置一个测试点用于测试或未来增强。建议使用可选的下拉电阻。

PORz 输入可耐受 3.3V 电压且是失效防护输入类型 IO。尽管可以施加 3.3V 输入，但输入阈值遵循 1.8V IO 电平并以 VDD5_OSC0 为基准。

请遵循器件特定数据表的上电时序图中建议的 PORz 时序要求。

通过处理器内部寄存器和仿真可提供其他复位选项。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM62L \(AM62L32、AM62L31 \) 设计建议/定制电路板硬件设计 - 处理器复位输入、复位状态输出和连接建议](#)

6.1.1 RTC 上电复位 (RTC_PORz)

不建议亦不允许 RTC_PORz 输入上电复位引脚悬空。RTC_PORz 输入 IO 电平为 1.8V，不具备容错能力，也不兼容 3.3V 电压。需要按照如下所述连接 RTC_PORz 输入引脚：

1. 在仅 RTC 模式下运行时，RTC_PORz 输入需要源自 VDD_RTC 和 VDD5_RTC 电源的 PG 输出。一旦两个电源均有效且 RTC 域解除复位，PG 漏极开路输出就会释放。

2. 在 RTC + IO + DDR 低功耗模式下运行时，建议 RTC_PORz 输入源自 PMIC GPO (使用替代电源架构时，请遵循器件特定数据表中的电源序列图)。PMIC 同时为两个 RTC 电源供电。PMIC 的漏极开路输出之一会在加电序列中的适当时间释放 (需检查所用的 PMIC 及支持的实现设计)。
3. 未使用低功耗模式时，建议将 RTC_PORz 输入 (1.8V 电平) 连接到接入 PORz 的同一信号。假定 VDD_RTC 与 VDD_CORE 连接到同一电源，并且 VDD_RTC 与 VDDSD0、VDDSD1 也连接到相同电源。

施加到 VDD_RTC 电源轨的电势必须始终大于或等于施加到 VDD_CORE 的电势 (VDD_RTC 的唯一电源 (电源轨) 序列要求)。

在 RTC 电源轨有效之前，RTC_PORz 输入必须保持低电平。

6.2 处理器引导模式配置输入的锁存

有关可用处理器引导选项的信息，请参阅上文节 2.2。

处理器引导模式配置输入在 PORz 输入的上升沿被锁存。锁存引导模式输入 (引脚) 的状态 (电平) 后，引导模式输入引脚即可用于配置替代功能 (多路复用)。基于用例，复位状态输出 RESETSTATz 可用于锁存附加器件的引脚搭接配置。

6.3 附加器件的复位

建议使用“与运算”逻辑 (处理器重置状态和处理器 IO 作为输入) 来复位附加器件，因为“与运算”逻辑提供了在所有处理器复位条件下复位附加器件的灵活性 (包括本地复位)。任何处理器通用输入/输出 (GPIO) 引脚 (选择具有 GPIO 多路复用选项且默认关闭的 AM62Lx 处理器引脚) 都连接到其中一个与门输入，并且 0 Ω 可以将 GPIO 输出隔离到“与运算”逻辑以进行测试或调试。主域热复位状态输出 (RESETSTATz) 可以作为另一个输入连接到与门。确保连接到与逻辑输入的处理器 IO 电源和上拉电源均来自同一电源。复位期间处理器 IO 缓冲器关闭。复位状态输出 RESETSTATz 在处理器引脚附近有一个下拉电阻，并由处理器复位逻辑驱动为高电平。建议在“与运算”逻辑和门输入端附近添加一个上拉电阻 (输入连接到处理器 GPIO，以防止与门输入悬空并在上电期间启用复位逻辑 (例如：eMMC 闪存或 OSPI 闪存存在 RESETSTATz 输出变为高电平时即退出复位))。

确保外接器件复位输入的拉接配置符合该器件的规范要求。

如果直接使用处理器 MAIN 域热复位状态输出 (RESETSTATz) 来复位所连接器件 (不使用“与运算”逻辑)，建议将 RESETSTATz 的 IO 电压电平与所连接器件匹配。建议使用电平转换器来匹配 IO 电平。如果选择了电阻分压器的理想阻抗值，则也可以使用电阻分压器。如果过高，eMMC 复位输入的上升/下降时间可能会很慢，从而引入过大延迟。如果过低，则将导致处理器在正常运行期间提供过多的稳态电流。这种实现方式降低了附加器件的复位选项灵活性。

对于 SD 卡接口，为了支持 UHS-I SD 卡，建议提供一个由软件启用 (控制) 的电源开关 (负载开关) 来为 SD 卡提供电源 (VDD)。一个固定的 3.3V 电源 (处理器 IO 电源) 连接作为电源开关的电源输入。

使用电源开关可以对配置为 UHS-I 速度的 SD 卡进行下电上电 (因为复位电源开关是复位 SD 卡的唯一方法) 到默认速度。

有关为 SD 卡电源实现连接器件复位和电源开关使能复位逻辑的更多信息，请参阅 EVM TMD62LEVM 原理图。

6.4 看门狗计时器

看门狗计时器的使用根据应用而定。可以考虑外部看门狗或者内部看门狗。在连接到处理器复位输入之前，看门狗输出可与其他复位源结合使用。如果按钮连接到处理器冷复位输入或热复位输入，建议考虑使用复位监控器，该监控器能够对开关进行去抖并使复位信号保持足够长的时间以满足 PORz、RESETz 或脉冲宽度、有效 (低电平) 时间 (最小 1200ns) 要求。

7 处理器 — 外设连接

备注

在定制电路板设计周期中，建议遵循 [AM62L \(AM62L32、AM62L31 \) 处理器系列原理图设计指南和原理图审查检查清单](#) 用户指南以及 [定制电路板硬件设计注意事项](#) 用户指南。

处理器外设连接一节介绍了支持的处理器外设，旨在与器件特定数据表、TRM 和相关应用手册中提供的内容一起使用。可使用的文档类型包括：

- 数据表：引脚图、引脚功能说明、引脚属性、处理器工作模式（多路复用器模式）、复位期间和之后的配置、电气特性、交流时序
- TRM：处理器功能说明和内核及外设支持的功能、编程指南、有关寄存器和配置的信息
- 应用手册：特定功能或外设的说明，以及常见问题的说明

备注

此外，可以利用或使用常见问题解答和相关的 E2E 主题（新创建或之前已回答）。

7.1 支持的处理器内核

有关支持的处理器内核，建议参阅器件特定数据表的特性一节。在选择 Arm Cortex-A53 微处理器子系统内核时，可以参阅器件特定数据表的 [器件比较](#) 一节。器件特定数据表的 [工作性能点 OPP](#) 一节可作为定义所需器件等级和器件工作性能点时的参考。

有关更多详细信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM64x/ AM243x \(ALV\)/AM62Ax/AM62D-Q1/AM62Px 设计建议/定制电路板硬件设计 — 处理器内核、PLL、VDD_CORE、VDDR_CORE、VPP 和其他内核电源的信息](#)

7.2 跨域选择外设

处理器架构包括多个域，每个域包括特定的处理内核和外设：

- MAIN 域
- RTC 域
- WKUP (唤醒) 域

7.3 存储器控制器 (DDRSS)

该处理器系列支持 1 个 DDRSS 实例。DDRSS 接口支持 DDR4 或 LPDDR4。DDR4 或 LPDDR4 存储器的选择取决于应用或客户，因为每种存储器类型的延迟和突发长度存在差异。

如需更多信息，请参阅以下应用手册：

[Sitara AM62Lx 基准测试](#)

有关 JEDEC 合规性的信息，请参阅器件特定数据表的 [DDR 电气特性](#) 部分。请参阅器件特定数据表的以下注意事项：

备注

DDRSS 接口与符合 JESD79-4B 标准的所附 DDR4 内存器件和符合 JESD209-4B 标准的 LPDDR4 内存器件兼容。

有关数据总线宽度、内联 ECC 支持、速度和最大可寻址范围选择，请参阅器件特定数据表 [特性一章的存储器子系统、DDR 子系统 \(DDRSS\)](#) 部分。

允许的 DDR4 内存配置为 x1 (单个) 16 位或 x2 (两个) 8 位。x1 (单个) 8 位的内存配置不被允许或视为无效配置。

允许的 LPDDR4 接口存储器配置为 x1 (单个) 16 位。

使用 LPDDR4 存储器时，由于提供了 16 位配置支持，同一存储器器件根据应用要求可与 AM64x / AM625/AM623/AM620-Q1/AM625-Q1 和 AM62A7/AM62A7-Q1/AM62A3/AM62A3-Q1/AM62A1-Q1、AM62D-Q1 和 AM62P/AM62P-Q1 和 AM62Lx 处理器搭配使用。

LPDDR4 存储器适用于当前 EVM 设计。以下常见问题解答列出了在需要 DDR4 存储器接口时可以参考的 SK/EVM。

请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L/AM64x 设计建议/定制电路板硬件设计 — 入门套件/EVM 型号 \(版本 \) 和关键器件 \(元件 \) 列表](#)

如需连接未使用的 DDRSS 信号，请参阅器件特定数据表的 [引脚连接要求](#) 一节。

请参阅处理器产品页面上的 [AM62L 电源实现](#) 应用手册，了解使用 LPDDR4 或 DDR4 时的 AM62L 电源架构实现的说明。

对于实施参考，请遵循以下内容：

TMDS64EVM：适用于 Sitara 处理器的 AM64x 评估模块

SK-AM62B-P1：带 PMIC 的 AM62x 入门套件 EVM

有关 DDR4 或 LPDDR4 存储器接口的更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM62Ax/AM62D-Q1/AM62Px/AM64x/AM243x \(ALV\) 定制电路板硬件设计的设计建议/常见错误 — DDRSS：DDR4/LPDDR4 存储器接口](#)

有关更多信息，请参阅器件特定 TRM 中 [存储器控制器](#) 一章的 [DDR 子系统 \(DDRSS\)](#) 部分。

7.3.1 处理器 DDR 子系统和器件寄存器配置

DDRSS 控制器和 DDRSS PHY 有许多参数需要配置。为了支持配置，提供了一个在线工具 ([SysConfig 工具](#))，用于生成驱动程序所需的输出文件。从软件工具下拉菜单中选择 [DDR 子系统寄存器配置](#)，并选择处理器。SysConfig 工具将电路板信息、DDR 器件特定数据表中的时序参数和 IO 参数作为输入，然后输出驱动程序用于对 DDR 控制器和 DDR PHY 进行编程的头文件。然后，驱动程序会启动完整的训练序列。

该 SDK 包含适用于 EVM 上安装的存储器 (LPDDR4) 器件的配置文件。如果需要为不同的存储器 (DDR4 或 LPDDR4) 器件进行新的配置，则必须使用 DDR 寄存器配置工具生成新的配置文件。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM62A7/AM62A3/AM62A1-Q1/AM62D-Q1 定制电路板硬件设计 — 处理器 DDR 子系统和器件寄存器配置](#)

常见问题解答是通用的，也可用于 AM62Lx 处理器系列。

7.3.2 DDRSS 的 DDR0_CAL0 (IO 焊盘校准电阻器) 连接

遵循器件特定数据表中的 DDR0_CAL0 连接建议 (包括值和公差)。

7.3.3 所连接存储器器件 ZQ 和 Reset_N (存储器器件复位) 的连接

按照 EVM 原理图将建议的电阻器 (ZQ (阻抗校准) 和 Reset_N (连接存储器的复位输入)) 连接到存储器器件，包括建议的值和公差。

7.3.4 存储器器件上未使用的信号 (引脚)

DDRSS 不支持 DDR0_ALERT_n、DDR0_PAR、DDR0_CKE1、DDR0_CS1_n、DDR0_ODT1 信号 (引脚)。推荐遵循存储器数据表中的建议来连接任何未连接到处理器 DDRSS 的可用信号。

7.4 媒体、数据存储接口 (MMC0、MMC1、MMC2、OSPI0/QSPI0 和 GPMC0)

该处理器系列支持以下存储器接口：

7.4.1 多媒体卡/安全数字 (MMCSD) 接口 (MMC0、MMC1、MMC2)

该处理器系列支持 3 (三) 个多媒体卡/安全数字卡 (MMC/SD/SDIO) (8b (4b) + 4b + 4b) 实例。

MMC0 - eMMC/SD/SDIO 接口支持 8 位 eMMC (嵌入式多媒体卡) 接口。如需了解支持的速度, 请参阅器件特定数据表的 **MMC0 - eMMC/SD/SDIO 接口** 部分; 如需了解实现方式, 请参阅 EVM。MMC0 信号也可用作 IO 或其他支持的多路复用功能或用于板载 SDIO 接口。不建议将 SD 卡连接至 MMC0 端口。MMC0 是 eMMC 接口的推荐接口。必须在处理器的外部实现符合 JEDEC 标准的 eMMC 接口所需的拉电阻。建议为靠近存储器时钟输入的时钟输入使用外部下拉电阻。

必须在处理器的外部实现符合 JEDEC 标准的 eMMC 接口所需的拉电阻。建议对靠近存储器时钟输入引脚的时钟输入使用外部下拉电阻。

备注

确保 eMMC 器件 (eMMC 非易失性配置空间) 中启用了 eMMC_RSTn (RST_N) 引脚功能 (复位输入), 以便复位逻辑正常工作。

有关 eMMC 存储器接口的更多信息, 请参阅以下常见问题解答:

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM64x/ AM243x \(ALV\)/AM62Ax/AM62D-Q1/AM62Px 定制电路板硬件设计的设计建议/常见错误 — eMMC 存储器接口](#)

有关所支持速度的信息, 请参阅以下常见问题解答:

[\[常见问题解答\] AM623 : eMMC0 能否支持 DDR50 模式](#)

如需了解 MMC0 端口支持的接口, 请参阅以下常见问题解答:

[\[常见问题解答\] AM62A3 : 是否有办法实现 2 个 eMMC 接口?](#)

有关 eMMC 上拉/下拉的信息, 请参阅以下常见问题解答:

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP : 未通过 ROM 启用 eMMC0_DAT0 上拉](#)

有关 eMMC 在没有传输时暂停时钟功能的信息, 请参阅以下常见问题解答:

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP : 读写操作完成后, eMMC 时钟是否保持?](#)

常见问题解答是通用的, 也可用于 AM62Lx 处理器系列。

有关 AM62Lx 1.0 和 AM62Lx 1.1 的 eMMC 相关公告, 请参阅硅器件勘误表。

MMC1/MMC2 - SD/SDIO 接口支持 4 位 SD 卡接口, 包括对 UHS-I SD 卡的支持。建议使用 MMC1 来实现 SD 卡接口, 因为 MMC1 支持 SD 卡引导模式, MMC1 CLK、CMD 和 DAT[3:0] 信号功能已通过 SDIO 缓冲器实现, 并由 VDDSHV3 供电 (以之为基准)。VDDSHV3 可以在 1.8V 或 3.3V (动态切换) 下运行。MMC1 SDCD 和 SDWP 信号功能由 LVCMOS 缓冲器实现, 并由 VDDSHV1 供电 (以之为基准), 其可以在固定的 3.3V 或 1.8V 下供电。当 SD 卡的 IO 工作电压更改以支持 UHS-I SD 卡时, 不建议更改主机的 MMC1_SD CD 和 MMC1_SD WP 输入的逻辑状态。必须在处理器外部实现符合 SD 卡规范的 SD 卡接口所需的拉电阻。建议对靠近存储器时钟输入引脚的时钟输入使用外部下拉电阻。

请参阅器件勘误表, 了解 AM62Lx 1.0 和 AM62Lx 1.1 的 MMC1 SD 卡接口相关公告。

MMC1/MMC2 - SD/SDIO 接口支持 4 位嵌入式 SDIO 接口。建议使用 MMC2 来实现嵌入式 SDIO 接口。MMC2 CLK、CMD 和 DAT[3:0] 信号功能已通过 SDIO 缓冲器实现, 并由 VDDSHV4 (参考) 供电。VDDSHV4 可以在 1.8V 或 3.3V (动态切换) 下运行。MMC2 SD CD 和 SD WP 信号功能由 LVCMOS 缓冲器实现, 并由 VDDSHV4 (VDDSHV1) 供电 (以之为基准), 其可以在固定的 3.3V 或 1.8V 下供电。有关支持的引脚分配, 请参阅器件特定数据表的 **信号说明** 一节。与 MMC1 相比, MMC2 引脚分配是不同的, 因为预期将 MMC2 与类似于 Wi-Fi 或蓝牙收发器的板载固定工作电压 SDIO 器件一起使用。如需了解支持的速度, 请参阅器件特定数据表的 **MMC1/MMC2 - SD/SDIO 接口** 部分; 如需了解实现方式, 请参阅 SK。需要在处理器外部实现 SDIO 接口的上拉电阻

(根据需要, 验证所连接器件建议, 包括所支持的拉电阻)。建议为靠近存储器时钟输入引脚的时钟输入使用外部下拉电阻 (根据需要, 验证所连接器件建议, 包括所支持的拉电阻)。

有关更多信息, 请参阅以下常见问题解答:

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM64x/ AM243x \(ALV\)/AM62Ax/AM62D-Q1/AM62Px 定制电路板硬件设计的设计建议/常见错误 - SD 卡接口](#)

[\[常见问题解答\] AM62L \(AM62L32、AM62L31 \) 为什么 MMC1 由 VDDSHV1 和 VDDSHV3 这两个不同的电压电源供电?](#)

[\[常见问题解答\] AM62A7-Q1: 如果未使用 SD 卡, 如何连接引脚网络 VDDSHV4、VDDSHV5 和 VDDSHV6](#)

常见问题解答是通用的, 也可用于 AM62Lx 处理器系列。

对于 MMC1/MMC2、UHS-I SDR50、UHS-I SDR104 接收模式, 需进行数据训练, 以便将数据捕获集中于数据有效窗口的中心。时序要求不固定为特定值。下表提供了 MMC1/2 时序模式所需的 DLL 软件配置设置:

器件特定数据表中所有时序模式的 MMC1/MMC2 DLL 延迟映射。

有关更多信息, 请参阅以下常见问题解答:

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP: UHS-I SDR104 接收模式时序](#)

常见问题解答是通用的, 也可用于 AM62Lx 处理器系列。

复位期间和复位后, 处理器 IO 缓冲器关闭。建议对任何可以悬空的处理器 IO (存储器接口信号) 或附加器件输入, 添加并行拉电阻 (以防止附加设备输入在主机驱动之前悬空)。

有关更多信息, 请参阅器件特定 TRM 中外设一章的存储器接口一节中的多媒体卡安全数字 (MMCSD) 接口部分。

7.4.2 八路串行外设接口 (OSPI) 或四路串行外设接口 (QSPI)

处理器系列支持通过 OSPI0 接口连接 x1 存储器器件 (x1 八进制串行外设接口 (OSPI0) 或四通道串行外设接口 (QSPI0)) 或连接多达 x2 存储器 (例如: x1 OSPI + x1 QSPI) 器件。

OSPI0 接口 IO 以 VDDSD1 为基准, 支持 1.8V IO 固定电平。

以下是有效组合：

- OSPI + OSPI (更快 - DQS)
- QSPI + OSPI (更快 - DQS)
- OSPI (更快 - DQS)
- QSPI (更快 - LBCLKO)

建议按照 EVM 原理图所述的实现方案将 OSPI0 接口连接到存储器器件 (OSPI 或 QSPI)、为 OSPI0_CLK (用于控制可能的反射) 添加串联电阻、为 OSPI0_CLK 添加下拉电阻、为数据和 CS 信号添加上拉电阻，以及实现所连存储器器件复位逻辑。

当需要支持引导功能时，请参阅器件特定 TRM，将支持的 CS (芯片选择) 连接到附加存储器器件。

OSPI0 支持两种数据捕获模式：PHY 模式和 Tap 模式。若要更好地了解支持的模式，请参阅器件特定数据表规格一章的*时序和开关特性*一节中的 OSPI、OSPI0 子部分。

有关 OSPI 或 QSPI 存储器接口的更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM62L \(AM62L32、AM62L31 \) 定制电路板硬件设计 - OSPI0 接口实现 \(TMDS62LEVM 上 \) 指南](#)

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM62A/AM62D-Q1/AM62P 定制电路板硬件设计的设计建议/常见错误 - OSPI/QSPI 存储器接口](#)

[\[常见问题解答\] Sitara/Jacinto 器件的 OSPI 常见问题解答](#)

复位期间和复位后，处理器 IO 缓冲器关闭。建议对任何可以悬空的处理器 IO (存储器接口信号) 或附加器件输入，添加并行拉电阻 (以防止附加设备输入在主机驱动之前悬空)。

有关更多信息，请参阅器件特定 TRM 中外设章节*存储器接口*一节的*八路串行外设接口 (OSPI)*小节。

7.4.3 通用存储器控制器 (GPMC0) 接口

该处理器系列支持 1 个通用存储器控制器 (GPMC0)，接口频率可达 133MHz。

有关支持的存储器接口，请参阅器件特定数据表中*特性*一章的*媒体和数据存储*一节、*器件比较*一章的*器件比较表*、*端子配置和功能*一章的*GPMC0 信号说明表*。

GPMC0 接口 IO 以 VDDSHV0 为基准。

有关支持的信号和引脚排列，请参阅器件特定数据表的*GPMC0 信号说明*一节。支持的 GPMC0 配置包括 16 位 (GPMC、原始 NAND、Muxed-NOR)。GPMC0 信号名称代表 IP 功能，而不是支持的功能。

复位期间和复位后，处理器 IO 缓冲器关闭。建议对任何可以悬空的处理器 IO (存储器接口信号) 或附加器件输入，添加并行拉电阻 (以防止附加设备输入在主机驱动之前悬空)。

有关更多信息，请参阅器件特定 TRM 中外设一章*存储器接口*部分中的*通用存储器控制器 (GPMC)*一节。

7.5 以太网接口

该处理器系列支持 CPSW3G0 以太网交换机的 x1 实例 (具有 2 个外部端口)，并支持具有独立 MAC ID 的 x2 (两个) 独立以太网接口 (使用 CPSW3G0 外设)。CPSW3G0 允许为 2 个外部接口端口使用混合 RGMII/RMII 接口拓扑。每个 MAC 接口均支持 RGMII 或 RMII 接口。

有关以太网接口的更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM6442、AM6441、AM6422、AM6421、AM6412、AM6411 和 AM2434、AM2432、AM2431 \(ALV、ALX \) 定制电路板硬件设计 - 以太网](#)

常见问题解答是通用的，也可用于 AM62Lx 处理器系列。

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L/AM64x/AM243x 设计建议/定制电路板硬件设计 - 与 RGMII 接口和 RGMII TI EPHY 相关的疑问](#)

[常见问题解答] [AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L/AM64x/AM243x 设计建议/定制电路板硬件设计 - 与 RMII 接口和 RMII TI EPHY 相关的疑问](#)

[常见问题解答] [AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP : 以太网 PHY RGMII 同步时钟](#)

常见问题解答是通用的，也可用于 AM62Lx 处理器系列。

7.5.1 通用平台 3 端口千兆位以太网交换机 (CPSW3G0)

CPSW3G0 接口 IO 以 VDDSO 为基准，支持 1.8V IO 固定电平。

CPSW3G0 可以配置为 3 端口交换机（连接到 2 个外部以太网端口（端口 1 和 2））或具有各自 MAC 地址的双独立 MAC 接口。

CPSW3G0 支持将每个外部以太网接口端口配置为 RGMII (10/100/1000) 或 RMII (10/100) 接口。

有关 RMII 接口实现方法，请参阅器件特定 TRM 的 *CPSW0 RMII 接口* 部分。

为 RMII 接口配置的 CPSW3G0 支持将处理器连接至配置为控制器（主）或器件（从）的以太网 PHY (EPHY)。

为 RMII 接口配置的 CPSW3G0 与 EPHY 连接，配置为外部 50MHz（连接到缓冲外部振荡器或处理器时钟输出 CLKOUT0）时钟输入（其中一个缓冲时钟输出连接到处理器 MAC），或配置为连接至处理器 MAC 时钟输入并具备 EPHY 50MHz 时钟输出的 25MHz 晶体或时钟输入。

CPSW3G0 端口之一是内部 CPPI（通信端口编程接口）主机端口。CPPI 是一个流接口，用于从 DMA 向 CPSW3G0 外设提供数据，反之亦然。

默认为发送数据 (TDn) 启用 RGMII_ID。RGMII_ID 未经计时、测试或表征。处理器 MAC 不会为接收数据 (RDn) 路径实现内部延迟。

复位期间和复位后，处理器 IO 缓冲器关闭。建议对任何可以悬空的处理器 IO（以太网接口信号）添加并行拉电阻（以防止连接的设备输入在主机驱动之前悬空）。

有关 CPSW3G0 以太网接口的更多信息，请参阅器件特定 TRM 中外设一章的 *高速串行接口* 部分。

7.6 可编程实时单元子系统 (PRUSS)

该处理器系列不支持 PRUSS 模块（外设）。

7.7 通用串行总线 (USB) 子系统

该处理器系列支持 2（两）个 USB 2.0 接口端口实例。这些 USB 接口（USB0、USB1 端口）可以配置为主机、器件或双角色器件 (DRD)。使用任何处理器 GPIO 都可实现 USBn_ID（识别）功能。

请按照器件特定数据表中 *USB (USB VBUS 检测分压器/钳位电路) VBUS 设计指南* 一节的说明，对外部 USB VBUS 电压（USB 接口连接器附近的电源）进行分压处理并连接至 USBn_VBUS [n = 0, 1] 引脚。

当 USB 接口配置为器件模式时，建议连接经分压处理的 VBUS（VBUS 电源输入，包括电压调节电阻分压器/钳位器）输入。当 USB 接口配置为主机模式时，连接经分压处理的 VBUS（VBUS 电源输入，包括电压调节电阻分压器/钳位器）是可选的。

不建议也不允许连接 3.3V 或者与缩放的 VBUS 输入等效的永久板载电源。USB VBUS 输入需要采用可切换设计。失效防护输入条件仅在电源通过建议的 VBUS 分压器和稳压二极管连接时才有效。

当 USB 接口配置为 VBUS 输出电压控制主机时，建议使用带 OC（过流）输出指示的 USB 电源开关。USBn_DRVVBUS [n = 0, 1]（复位期间和复位后内部下拉使能）用于控制电源开关。建议将 OC 输出连接至处理器 IO（输入），以检测 VBUS 过载。

有关 USB 连接和 On-The-Go 特性支持的信息，请参阅器件特定 TRM。

当 USB0 和 USB1 均未采用时，请参阅器件特定数据表的 *引脚连接要求* 部分来连接 USB 电源引脚。

当不使用 USB0 或 USB1 接口时，请参阅器件特定数据表的 *引脚连接要求* 部分来连接接口信号和 USB 电源引脚。

建议在早期电路板开发阶段始终预留 USB0 DFU 引导功能，用于电路板启动和调试。

有关 USB2.0 接口更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP：定制电路板硬件设计 - USB2.0 接口](#)

常见问题解答是通用的，也可用于 AM62Lx 处理器系列。

有关更多信息，请参阅器件特定 TRM 中外设一章的 *高速串行接口* 部分。

7.8 通用连接外设

该处理器系列支持多个通用连接外设和实例。该处理器系列支持以下外设：

以下外设 (UART、MCAN、MCSPI、MCASP、I2C) 实现了 IOSET。确保在定制电路板设计中使用正确的 IOSET。时序闭合基于 IOSET。

多通道串行外设接口 (MCSPI)：

该处理器系列支持 x4 (四个) (x4 主域) MCSPI 实例。MCSPI 模块是多通道发送/接收同步串行总线，可以在控制器模式或外设模式下运行。在控制器模式下，处理器 SPI 接口向附加器件提供时钟信号。在外设模式下，附加器件需要为处理器提供 SPI 时钟源。

建议为 MCSPI 时钟输出信号使用串联一个 (22 Ω) 电阻器 (作为起点)。建议将该电阻放置在靠近处理器时钟输出引脚的位置 (用于重定时)。建议在所连接器件时钟输入引脚附近使用下拉电阻器 (10k Ω)。

对于靠近所连接器件的芯片选择 (CS) 引脚，建议使用上拉电阻器 (10k Ω)。

MCSPI 外设不支持引导。OSPI0 接口支持 SPI 引导。

对于 MCSPI 接口，SPIx_D0 和 SPIx_D1 为数据线路。数据线支持将信号编程为发送数据 (发送、输出) 或接收数据 (接收、输入)。

复位期间和复位后，处理器 IO 缓冲器关闭。建议对任何可以悬空的处理器 IO (MCSPI 接口信号) 添加并行拉电阻 (以防止连接的设备输入在主机驱动之前悬空)。

建议将 SPI 接口连接到 1 (单) 个存储器器件。连接到多个存储器器件时，建议遵循高速设计实践并执行仿真，以确保当单个时钟源连接到多个连接 SPI 的器件时，布局不会产生非单调时钟转换。

请参阅以下常见问题解答：

[\[常见问题解答\] SK-AM64B：MCSPI 集成指南](#)

[\[常见问题解答\] AM6412：AM64x SPI D0 和 D1 - MISO/MOSI](#)

常见问题解答是通用的，也可用于 AM62Lx 处理器系列。

内部集成电路 (I2C)：

请参阅以下内容 [节 7.8.1](#)。

通用异步接收器/发送器 (UART)：

该处理器系列支持 x8 (八个) (x7 主域、x1 WKUP 域) UART 接口实例。支持的 UART 功能包括数据传输 (TXD、RXD)、调制解调器控制功能 (CTS、RTS) 和扩展调制解调器控制信号 (DCD、RI、DTR、DSR — 由主域 UART1 支持)。

每个 UART 实例支持的功能，请参阅器件特定数据表的 *信号说明* 一节。

请参阅有关支持的数据速率 (可编程波特率)、器件特定数据表的 *时序和开关特性* 一节。

当外部 UART 接口信号直接连接到处理器 UART 接口信号时，验证 IO 电平兼容性和失效防护运行。建议为外部 ESD 保护提供配置。

建议为早期电路板构建配置 UART 引导 (UART0) 和 UART0 (MAIN、WKUP) 信号的连接，以便进行电路板启动和调试。

复位期间和复位后，处理器 IO 缓冲器关闭。建议对任何可以悬空的处理器 IO (UART 接口信号) 添加并行拉电阻 (以防止连接的设备输入在主机驱动之前悬空)。

通用输入/输出 (GPIO) :

该处理器系列支持 MAIN 域中的 x1 GPIO 模块实例 (GPIO0) 和 WKUP 域中的 x1 GPIO 模块实例 (WKUP_GPIO0)。支持的处理器 GPIO 包括 LVCMOS 和 SDIO 缓冲器类型，是推挽式输出类型 IO。一些特定的 IO 支持开漏输出型 IO 缓冲器接口。当配置为 I (输入) 时，LVCMOS IO 具有输入压摆要求，而 O (输出) 具有电容器负载建议。以确保输出处于器件特定数据表电气特性规定的 ROC (V_{IHSS} 、 V_{ILSS}) 范围内。

复位期间和复位后，处理器 IO 缓冲器关闭。对于任何具有连接到处理器焊盘的迹线，但在连接至外部器件时未被驱动并处于悬空状态的处理器 IO，建议使用并行拉电阻 (以防止附加器件输入在主机驱动之前悬空)。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62A/AM62P/AM62D-Q1/AM62L/AM64x/AM243x 设计建议/定制电路板硬件设计 — 与 GPIO 相关的疑问](#)

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM62Ax/AM62D-Q1/AM62Px/AM64x/AM243x 定制电路板硬件设计的设计建议/常见错误 — LVCMOS 输入磁滞相关的疑问](#)

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM64x/ AM243x \(ALV\)/AM62Ax/AM62D-Q1/AM62Px 设计建议/定制电路板硬件设计 — PADCONFIG 位和 PADCONFIG 寄存器默认值汇总信息](#)

备注

PADCONFIG 寄存器位配置 — ST_EN：如果 PADCONFIG 寄存器被软件修改，建议保持 ST_EN 位使能。器件特定数据表的每个电气特性表中定义的最小输入转换率参数与长期可靠性相关联。这些参数不受 ST_EN 位的影响。通过滤除不超过磁滞的噪声脉冲，输入缓冲器中实现的施密特触发功能只会更改输入缓冲器的输出结果。当系统向其输入施加慢于器件特定数据表中定义的转换率时，施密特触发功能不会改变输入缓冲器的工作方式。

音频外设 - 多通道音频串行端口 (MCASP) :

该处理器系列支持 x3 (三个) (x3 主域) 音频外设实例 - 多通道音频串行端口 (MCASP)。3 个 MCASP 支持多达 4/6/16 个串行数据引脚 (串行器) 并具有独立的 TX 和 RX 时钟。MCASP 支持时分多路复用 (TDM)、内部 IC 声音 (I2S) 和类似格式。建议为 MCASP 时钟输出使用 22 Ω 串联电阻器 (作为起点)。建议将该电阻放置在靠近处理器时钟输出引脚的位置 (用于重定时)。建议在附加器件时钟输入引脚附近使用下拉电阻。

复位期间和复位后，处理器 IO 缓冲器关闭。建议对任何可以悬空的处理器 IO (MCASP 接口信号) 添加并行拉电阻 (以防止连接的设备输入在主机驱动之前悬空)。

如需更多信息，请参阅以下应用手册：

[AM62x 音频系统设计指南](#)

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62A/AM62P/AM62D-Q1/AM62L 设计建议/定制电路板硬件设计 — 与 MCASP 相关的疑问](#)

工业和控制接口 :

该处理器系列支持多个工业和控制接口实例 (请参阅器件特定数据表的 *器件比较表*)。

1. 模块化控制器局域网 (MCAN)，具有完整 CAN-FD 支持
2. 增强型脉宽调制器 (EPWM)
3. 增强型正交编码器脉冲 (EQEP)
4. 增强型捕获 (ECAP)

模块化控制器局域网 (MCAN)，具有完整 CAN-FD 支持：

该处理器系列支持 x3 (三个) (x3 主域) 模块化控制器局域网 (MCAN) 实例，完整支持 CAN-FD。

MCAN 模块支持传统 CAN 和 CAN FD (具有灵活数据速率的 CAN) 规范。

复位期间和复位后，处理器 IO 缓冲器关闭。建议对任何可以悬空的处理器 IO (MCAN 接口信号) 添加并行拉电阻 (以防止连接的设备输入在主机驱动之前悬空)。

可以使用 SysConfig-PinMux 工具配置所需的接口。

有关支持的外设的更多信息，请参阅器件特定 TRM 的外设章节。

7.8.1 内部集成电路 (I2C) 接口

该处理器系列支持 x5 (六个) (x1 (一个) 符合 I2C 标准的失效防护漏极开路输出型 IO 缓冲器和 x4 (四个) 基于 LVCMOS 缓冲器类型 IO 而仿真的 I2C 接口。支持的 I2C 接口包括 x4 主域、x1 WKUP 域 I2C 接口。

对于采用开漏输出型 IO 缓冲器的 I2C 接口 (配备 I2C OD FS IO 缓冲器的 I2C2)，建议仅当 IO 被配置为复用功能 I2C 接口或 IO 时，使用外部上拉电阻。如果主动驱动 IO (输入)，则不需要上拉电阻。

当漏极开路输出型 IO 缓冲器 I2C 接口 (I2C2) 被拉至 3.3V 电源时，输入具有指定的转换率要求。建议使用 RC (延迟) 来限制转换率，将 C 放置在处理器引脚附近。有关 RC 实现，请参阅 AM64x EVM 原理图并参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62A/AM62P/AM62D-Q1/AM62L 定制电路板硬件设计过程中的设计建议/常见错误-SK 原理图设计更新说明](#)

当配置为仿真的漏极开路输出型 IO 缓冲器 I2C 接口 (I2C0、I2C1、I2C3 和 WKUP_I2C0) 时，建议为 LVCMOS IO 使用外部上拉。有关可用仿真开漏输出型 IO 缓冲器 I2C 实例，请参阅器件特定数据表。

EVM 中的上拉电阻值可作为初始参考值。上拉电阻值取决于 I2C 接口实现方式和 I2C 总线负载情况。建议测量 I2C 波形并根据需要减小 (调整) 上拉电阻值。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM62L \(AM62L32、AM62L31 \) 定制电路板硬件设计 - I2C 接口](#)

备注

进行定制电路板设计期间，请查阅器件特定数据表中 *时序和开关特性 - I2C* 一节的 *例外情况* 小节。请注意模拟 I2C 接口的例外情况。建议为靠近处理器的 I2C 接口信号添加串联电阻器以控制下降时间。

有关更多信息，请参阅器件特定 TRM 外设一章中的 *内部集成电路 (I2C) 接口* 一节。

7.9 模数转换器 (ADC0)

该处理器系列支持 x1 12 位模数转换器 (ADC0)、采样率高达 4MSPS，具备 x4 (四个) 模拟输入 (时间多路复用)。有关允许的 ADC0 输入范围和电气特性，请参阅器件特定数据表的 *ADC 电气特性* 一节。

有关允许的 ADC0 输入范围和电气特性，请参阅器件特定数据表的 *ADC 电气特性* 一节。ADC0_REFP 和 ADC0_REFN 直接连接到处理器内部的 VDDA_ADC0 和 VSS。

备注

ADC0 输入不具有失效防护功能。建议仅在 ADC0 电源 VDDA_ADC 斜升后施加 ADC0 输入。ADC0_REFP 和 ADC0_REFN 直接连接到处理器内部的 VDDA_ADC0 和 VSS。

连接外部输入时，请注意允许的 ADC0 输入范围。

建议参阅器件特定数据表手册中的 *ADC 电气特性* 部分，了解允许的输入范围和推荐的参考电压水平。

有关在未使用整个 ADC0 或任意 ADC0 输入时连接 ADC0 电源和输入的信息，请参阅器件特定数据表的 *引脚连接要求* 一节。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM62L、AM64x、AM243x \(ALV、ALX\) 定制电路板硬件设计 — ADC0 设计指南](#)

有关更多信息，请参阅器件特定 TRM 的外设一章中的 *模数转换器 (ADC)* 一节。

7.10 显示子系统 (DSS)

该系列处理器为 DPI 和 DSI 接口支持引脚输出 (引脚属性已定义)。处理器 (内部硬件) 支持配置 (使用) MIPI DSI (x4 通道 D-PHY (DPHY)) 或 DPI (24 位 RGB LVCMOS) 显示 (外部)。处理器显示接口的选择需要在引导时完成。

MIPI 显示屏串行接口 (DSI) D-PHY (DPHY) 显示接口：

该处理器系列支持具有 x4 (四个) 数据通道和 x1 (单个) 时钟通道的 DSI。如需连接未使用的 DSITX0 信号 (完整或部分)，请参阅器件特定数据表的 [引脚连接要求](#) 一节。

DPI (显示并行接口)：

该处理器系列支持每像素 24 位、RGB/YUV422 模式、LVCMOS 输出、DPI (并行) 显示接口。

当前支持显示并行接口 (DPI) 的展频时钟。有关更多信息，请参阅 [AM62x](#)、[AM62Ax](#)、[AM62Px](#)、[AM62Lx](#) [展频时钟](#) 应用手册。

复位期间和复位后，处理器 IO 缓冲器关闭。建议对任何可以悬空的处理器 IO (DPI 接口信号) 添加并行拉电阻 (以防止连接的设备输入在主机驱动之前悬空)。

有关 DPI 的更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP 定制电路板硬件设计 - 显示并行接口 \(DPI\) 24 位 RGB - 显示接口](#)

常见问题解答是通用的，也可用于 AM62Lx 处理器系列。

有关更多信息，请参阅器件特定 TRM 中 [外设一章](#)的 [显示子系统和外设](#) 一节。

7.11 未使用的处理器电源引脚、IO 和外设的连接

除非器件特定数据表 [引脚连接要求](#) 部分另有说明，否则建议所有处理器电源引脚都采用 (连接) 器件特定数据表 [建议运行条件](#) 部分中指定的电源电压。

建议阅读 [引脚连接要求](#) 的开头和结尾处的注解。

该处理器系列包含两种引脚 (封装焊球)：具有特定连接要求的引脚，以及建议保持未连接状态的引脚。

有关连接未使用的处理器外设和 IO 的信息，请参阅器件特定数据表中 [端子配置和功能](#) 一章的 [引脚连接要求](#) 部分。

有关连接未使用的处理器外设和 IO 的更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625 / AM623 / AM620-Q1 / AM62L / AM62A / AM62D-Q1 / AM62P 定制电路板硬件设计期间的设计建议/常见错误 - 未使用的 SOC 外设和 IO 的连接](#)

7.11.1 外部中断 (EXTINTn)

EXTINTn 是一种开漏输出类型失效防护 IO 缓冲器。当连接 PCB 布线并且外部输入未被主动驱动时，建议连接外部上拉电阻器。漏极开路输出类型 IO 缓冲器在上拉至 3.3V 时具有指定的转换率要求。建议使用 RC (延迟) 来限制转换率，将 C 放置在处理器引脚附近。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP/AM62L/AM62A7/AM62A3/AM62A1-Q1/AM62D-Q1/AM62P/AM62P-Q1 定制电路板硬件设计 — EXTINTn 引脚上拉连接](#)

7.11.2 外部唤醒输入 (EXT_WAKEUP0 和 EXT_WAKEUP1)

EXT_WAKEUP0 和 EXT_WAKEUP1 信号是外部唤醒输入。外部唤醒输入可配置为低电平有效或高电平有效。如需端接 EXT_WAKEUP0 和 EXT_WAKEUP1 输入，请参阅器件特定数据表的 [引脚连接要求](#) 一节。

有关与 RTC 和低功耗模式实现相关的信息，请参阅以下常见问题解答：

[常见问题解答] [AM62L \(AM62L32、AM62L31 \) 设计建议/定制电路板硬件设计 - 与实时时钟 \(RTC\) 计时器模块 RTC，支持的低功耗模式和硬件实现，以及 EXT_WAKEUP0..1 输入相关的问题](#)

7.11.3 RSVD0 预留引脚 (信号)

名为 RSVD0 的引脚被预留。按照器件特定数据表中的建议，将 RSVD0 引脚保持未连接状态 (无测试点 (TP))。

建议将 RSVD0 引脚保持未连接状态 (建议不要连接任何 PCB 布线或测试点)。

有关更多信息，请参阅以下常见问题解答：

[常见问题解答] [AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP/AM62L \(AM62L32、AM62L31 \) : 定制电路板硬件设计 — RSVD 或 RSVD0 引脚的连接建议](#)

7.12 EVM 特定电路实现 (重复使用)

如果重复使用了下面列出的某些 EVM 实现：

- DPI 转 HDMI
- 音频编解码器
- FT4232 UART 转 USB 桥接器
- XDS110 调试程序
- CPSW3G RGMII 或 RMII - EPHY
- M.2 接口 - SDIO
- 电流监控器件
- USB Type-C PD 控制器和电源

建议遵循以下常见问题解答：

[常见问题解答] [AM625/AM623/AM620-Q1/AM62L/AM64x/ AM243x \(ALV\)/AM62Ax/AM62D-Q1/AM62Px 设计建议/定制电路板硬件设计 — 在定制电路板设计上重复使用下面列出的 SK 特定实现的指南](#)

8 处理器 IO (LVCMOS 或 SDIO 或开漏、失效防护型 IO 缓冲器) 的接口连接及仿真

备注

在定制电路板设计周期中，建议遵循 [AM62L \(AM62L32、AM62L31 \) 处理器系列原理图设计指南和原理图审查检查清单](#) 用户指南以及 [定制电路板硬件设计注意事项](#) 用户指南。

在开始原理图捕获之前，定制电路板设计中的一个重要考虑因素是分析处理器和附加器件之间的兼容性 (电气特性、IO 级别、失效防护运行)。

- 器件特定 (处理器) 数据表包括有关时序和电气特性的信息。
- 对于高速接口，建议使用 IBIS 模型运行仿真。

有关更多信息，请参阅 [KeyStone II 器件硬件设计指南](#) 中的 [通用端接详细信息](#) 部分。

有关驱动强度或压摆率配置支持的信息，请参阅以下常见问题解答：

[常见问题解答] [AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L/AM64x/AM243x 设计建议/定制电路板硬件设计 — 双电压 LVCMOS 与 SDIO IO 缓冲器，以及固定 1.8V 的 1P8-LVCMOS 缓冲器的驱动强度配置](#)

IBIS 和 IBIS-AMI 模型可从处理器特定产品页面的以下部分下载：

8.1 IBIS 模型

- [AM62L IBIS 模型](#)

有关更多信息，请参阅以下常见问题解答：

[常见问题解答] [AM625 / AM623 / AM620-Q1 / AM62A / AM62P / AM62D-Q1 / AM62L / AM64x / AM243x](#) 设计建议/定制电路板硬件设计- 与 IBIS 模型相关的疑问

8.2 IBIS-AMI 模型

- [AM62L IBIS-AMI 模型](#)

备注

建议双击 .exe 文件安装 IBIS-AMI 模型。安装 IBIS-AMI 模型是唯一支持的使用 IBIS-AMI 模型的选项。

9 处理器电流消耗和散热分析

定制电路板电流要求取决于所选处理器、使用的外设、实现的终端设备功能、应用环境、工作温度要求以及温度/工作电压变化。

9.1 功耗估算

要根据用例估算处理器电流（功耗），请使用以下工具：

[AM62Lx 功耗估算工具](#)

请查看 TI.com 上的处理器特定 ([AM62L](#)) 产品页面以了解供货情况。

9.2 不同电源轨的最大电流额定值

有关处理器电源组在电源端子处的最大电流额定值信息，请参阅 [AM62L 最大电流额定值](#) 应用手册。建议遵循 [最大电流额定值](#) 应用手册来确定电源尺寸。

备注

功耗估算工具 (PET) 和 [最大额定电流](#) 应用手册有两个不同的用途。PET 用来估算特定用例/应用的有效功耗。[最大额定电流](#) 应用手册可用于在设计定制电源架构时确定电源电压。

9.3 支持的功耗模式

有关支持的功耗模式的信息（包括仅 RTC、DeepSleep），请参阅器件特定 TRM [器件配置](#) 一章中 [电源](#) 部分下的 [功耗模式](#) 小节。

9.4 热设计指南

[DSP 和 Arm 应用处理器热设计指南](#) 应用手册为使用 Sitara 系列处理器的定制电路板设计提供了如何实现散热选项的指导。本应用手册提供了有关常见术语和方法的背景信息。仅针对遵循应用手册中所含热设计指南的电路板设计提供了可能需要的任何后续设计支持。

可以从处理器特定产品页面的以下部分下载散热模型：

9.4.1 热量模型

- [AM62L 热模型](#)

9.4.2 电压热管理模块 (VTM)

支持一个 x1（单个）单温度传感器。器件特定数据表提供了 VTM 精度，器件特定 TRM 提供了有关温度传感器位置的信息。

请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62Ax/AM62D-Q1/AM62Px/AM62L/AM64x/AM243x \(ALV, ALX\) 定制电路板硬件设计 — 电压热管理器 \(VTM\)](#)

10 原理图：采集、录入和审阅

现在可以开始采集和审阅原理图以进行定制电路板设计了。

以下常见问题解答汇总了在定制电路板原理图设计和定制电路板原理图审阅期间可以参考的主要配套资料：

[\[常见问题解答\] AM64x、AM243x \(ALV, ALX\)、AM62x、AM62Ax、AM62Px、AM62D-Q1、AM62L 定制电路板硬件设计 — 原理图设计和原理图审阅期间用于参考的配套资料](#)

有关元件选择、原理图采集和审阅的指南，请参阅以下部分：

10.1 定制电路板设计无源元件和值选择

选择无源元件时，建议遵循器件特定数据表（如适用）的容差和额定电压等值。建议遵循降额指南（通用指南或特定于公司的无源元件指南（例如：电阻器功率和电容器额定电压））。

备注

EVM 中的元件值、封装尺寸和额定电压可为定制电路板设计人员提供良好的起点。

在定制电路板设计期间，建议定制电路板设计人员验证 TI 建议的值、容差、封装尺寸和额定电压是否适合特定的定制电路板设计（终端设备）实现，并进行必要的更新。

10.2 定制电路板设计电子计算机辅助设计 (ECAD) 工具注意事项

Orcad 是用于 EVM 原理图的电子计算机辅助设计 (ECAD) 工具。

Allegro 是用于 EVM 布局的 ECAD 工具。

有关用于 EVM 设计的 ECAD 工具的信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM62L/AM625-Q1/AM62A7/AM62A3/AM62A1/AM62P-Q1/AM62D-Q1 定制电路板硬件设计 — 处理器评估模块或入门套件信息，包括电路板设计 CAD 工具版本](#)

10.3 定制电路板设计原理图捕获

完成原理图设计后，定制电路板设计的下一个阶段是原理图捕获。在原理图采集阶段，可以全新设计定制电路板原理图，也可以再次以 EVM 原理图设计为基准进行更新。

有关更多信息，请参阅 EVM [TMDS62LEVM](#) 原理图。

备注

在定制电路板设计周期中，建议遵循 [AM62L \(AM62L32、AM62L31\) 处理器系列原理图设计指南和原理图审查检查清单](#) 用户指南以及 [定制电路板硬件设计注意事项](#) 用户指南。

此外，还可参阅以下常见问题解答，其中包含 AM62Lx 处理器系列的原理图审阅检查清单：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L/AM64x/AM243x \(ALV\)/AM335x 设计建议/定制电路板硬件设计 — 原理图审阅检查清单](#)

以下常见问题解答汇总了重复使用 EVM 原理图设计文件进行定制电路板设计时的注意事项：

[\[常见问题解答\] AM62L \(AM62L32、AM62L31\) 定制电路板硬件设计 - 重复使用 TI EVM 设计文件](#)

备注

若重复使用 EVM 设计（原理图），请确保所需功能实现（涉及多页电路）的完整性、检查因设计更改或优化而导致的网络名称变更并进行相应更新。在实现之前，请查看并遵循靠近电路的原理图页面上添加的注释（设计、审阅和 CAD）。

当重复使用 EVM 设计（原理图）时，可以复位所有元件的 DNI 设置。请确保重新配置 DNI（安装 DNI 可能会影响功能）。请审阅靠近电路实现的原理图页面上添加的 DNI 注释。

10.4 定制电路板设计原理图审阅

完成原理图绘制后，建议根据 [AM62L \(AM62L32、AM62L31\) 处理器系列原理图设计指南和原理图审查检查清单](#) 进行自审。

以下常见问题解答列出了对定制电路板原理图设计进行自检时可以遵循的配套资料和步骤：

[\[常见问题解答\] AM62L \(AM62L32、AM62L31\) 设计建议/定制电路板硬件设计 — 定制电路板原理图自检](#)

此外，还可参阅以下常见问题解答，其中包含 AM62Lx 处理器系列的原理图审阅检查清单：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L/AM64x/AM243x \(ALV\)/AM335x 设计建议/定制电路板硬件设计 — 原理图审阅检查清单](#)

请参阅以下常见问题解答，了解与原理图更新过程中观察到的一些常见错误相关的信息：

[常见问题解答] [AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L 定制电路板硬件设计过程中的设计建议/常见错误-SK 原理图设计更新说明](#)

有关连接已使用/未使用处理器引脚和外设的信息，请参阅以下常见问题解答：

[常见问题解答] [AM62x、AM62Ax、AM62D-Q1、AM62L、AM62Px、AM64x、AM243x 定制电路板硬件设计 — 如何处理已使用/未使用的引脚/外设以及添加上拉或下拉电阻？（例如 GPIO、SERDES、USB、CSI、MMC（eMMC、SD 卡）、CSI、OLDI、DSI、CAP_VDDsx……）](#)

建议在内部计划一次正式的原理图审阅，以参考原理图 [设计指南](#)和[原理图检查清单](#)来审阅定制电路板原理图。建议审阅定制电路板设计实现情况，了解可能的设计错误、元件值变化、连接错误、网络连接缺失以及其他未遵循的设计建议。

如果需要向 TI 提交原理图审查申请，建议遵循以下常见问题解答：

[常见问题解答] [Sitara MPU 硬件应用支持 — 原理图审查申请](#)

常见问题解答是通用的，也可用于 AM62Lx 处理器系列。

在审阅时，建议按照器件特定数据表的 [引脚连接要求](#) 一节中的建议审阅定制电路板原理图。

11 布局规划、布局、布线指南、电路板层和仿真

在规划、完成原理图采集和审阅（自审、团队和外部审阅（由连接器件的器件供应商审阅）并进行要求的更新后，建议对定制电路板设计执行元件放置分析（平面图），以确定最优元件放置方法以及处理器与各种 IC（连接器件）之间的互连距离，确定电路板尺寸和轮廓。

定制电路板设计的下一个阶段是电路板布局（放置元件、最终确定外形尺寸和电路板布局）。

有关电路板布局的建议，请参阅以下各节。

11.1 PCB 设计迂回布线

[AM62Lx PCB 设计的迂回布线](#)提供了 AM62Lx 处理器系列的 PCB 迂回布线示例，在定制电路板布局期间可参考该示例。

请参阅以下常见问题解答：

[常见问题解答] [PROCESSOR-SDK-AM62X：布局布线指南](#)包括 EMMC、RMII、OLDI 接口的最大布线长度、长度匹配容差、阻抗、布线间距要求

常见问题解答是通用的，也可用于 AM62Lx 处理器系列。

有关 LVCMOS 电路板设计和仿真指南，请参阅以下文档：

[高速并行接口的电路板设计和仿真指南](#)

11.2 DDR 设计和布局指南

请参阅 [AM62x、AM62Lx DDR 电路板设计和布局布线指南](#)。使用指南可简化 DDR4 或 LPDDR4 电路板布局。布局指南和要求已整理为一组布局（放置和布线）建议，使定制电路板设计人员能够实现定制电路板设计，提供处理器支持的存储器连接拓扑所需的功能。仅针对遵循 [AM62x、AM62Lx DDR 电路板设计和布局指南](#) 的电路板设计提供可能需要的任何后续设计支持。

有关 DDRSS（DDR4 或 LPDDR4）信号布线的建议走线阻抗，请参阅 [AM62x、AM62Lx DDR 电路板设计和布局布线指南](#)。

请参阅 [AM62x、AM62Lx DDR 电路板设计和布局布线指南](#)，了解支持的 DDR4 数据速率、器件位宽、器件数、通道宽度、通道数、芯片、列数等信息。

对于传播延迟，DDR4 或 LPDDR4 需要考虑的延迟是与电路板上布线相关的延迟。根据需要，可参考 [可以为 AM62x、AM62Lx DDR 电路板设计和布局指南添加封装延迟](#) 部分。

[AM62x、AM62Lx DDR 电路板设计和布局布线指南](#)包括位交换指。

建议在定制电路板原理图设计和电路板布局阶段执行信号完整性 (SI) 仿真。

备注

不支持 DDR2 和 DDR3 接口。

11.3 高速差分信号布线指南

[高速接口布局布线指南](#)应用手册提供了如何为高速差分信号布线的指南。这些指南包括 PCB 层堆叠、PCB 材料选择指导以及布线偏移、长度和间距限制。针对遵循 [高速接口布局指南](#) 的定制电路板设计提供了可能需要的所有后续设计支持。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM64x/AM243x \(ALV\)/ AM62Ax/AM62D-Q1/AM62Px 电路板布局 — 通用高速布局指南文档链接](#)

备注

在定制电路板设计期间，考虑使用 EVM [TMDS62LEVM](#) EVM 布局作为参考。

11.4 处理器特定 EVM 板布局

进行定制电路板布局时可将处理器特定 EVM 板布局用作参考，也可以重复使用 EVM 板布局并且可进行必要修改。已针对 EVM 板上的所有高速接口执行所需仿真。对于外设，建议遵循通用电路板布局布线指南。

以下常见问题解答提供了一些可用的 TI 高速指南的链接，这些指南可在布局阶段参考：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM64x/AM243x \(ALV\)/ AM62Ax/AM62D-Q1/AM62Px 电路板布局 — 通用高速布局指南文档链接](#)

11.5 定制电路板层数和层堆叠

确定层数时要考虑的重要要求之一是实现高速 DDR4 或 LPDDR4 存储器接口所需的层数。如果遵循建议的布局指南，通常要求达到 EVM 中使用的层数 (TI 建议) 或 *PCB 设计的迂回布线* 应用手册中建议的层数。可以考虑根据定制电路板设计功能优化层数。

有关实现 DDR4 或 LPDDR4 存储器接口的进一步指导和建议，请参阅 *AM62x、AM62Lx DDR 电路板设计和布局布线指南*。

AM62Lx PCB 设计迂回布线 应用手册可用作定制电路板布局布线期间的参考指南。使用 TI 过孔通道阵列 (VCA) 技术，可以对层进行优化。

建议经常查看 TI.com 上的处理器特定产品页面，以获取具有优化层数/电路板功能/架构的新增或更新配套资料或电路板设计。

11.5.1 仿真建议

对于与 EVM 布局相关的任何布局更改或优化，建议进行仿真。

11.6 DDR-MARGIN-FW

利用 DDR 裕度固件和支持脚本，可以在板载 DDR 接口中实现系统裕度的可视化和测量。这些工具支持对关键数据信号进行无探头测量，以了解定制电路板设计是否遵循接口的建议设计指南。

DDR-MARGIN-FW - 用于测量系统 DDR 裕度的固件和脚本

请查看 TI.com 上的处理器特定 ([AM62L](#)) 产品页面以了解供货情况。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] PROCESSOR-SDK-AM62X：有关 AM625 / AM623 / AM620-Q1 / AM625-Q1 / AM625SIP DDR 裕度测试工具的问题](#)

常见问题解答是通用的，也可用于 AM62Lx 处理器系列。

11.7 运行电路板仿真时应遵循的步骤参考

如需了解 LPDDR4 存储器接口的电路板提取、仿真和分析方法，请参阅 [AM62x、AM62Lx DDR 电路板设计和布局布线指南](#) 的 [LPDDR4 电路板设计仿真](#) 一章。

请参阅以下常见问题解答：

[常见问题解答] [AM625 / AM623 / AM620-Q1 / AM625-Q1 / AM625SIP / AM62A7 / AM62A3 / AM62A1-Q1 / AM62D-Q1 / AM62L / AM62P / AM62P-Q1 / AM64x / AM243x 定制电路板硬件设计 - IO 缓冲器的 S 参数和 IBIS 模型](#)

[常见问题解答] 将 DDR IBIS 模型用于 AM64x、AM243x (ALV)、AM62x、AM62L、AM62Ax、AM62D-Q1、AM62Px

11.8 处理器的软件开发培训 (Academy)

Academy (适用于 TI AM62x 及 AM64x 的在线易用型培训模块) 是供开发人员了解 Sitara 处理器平台的优质资源。

[AM62Lx Academy](#)

寻找旨在简化并加速定制 AM62Lx 开发的 AM62Lx Academy。

12 定制电路板组装和测试

定制电路板设计的下一个阶段是电路板组装、电路板启动、功能测试、软件集成测试和性能测试。

建议确保在向定制电路板供电之前，设计中标记为 DNP 或 DNI 的元件未组装。

建议在处理器 IO 电源斜升之前，不要将任何外部输入连接到处理器 IO (大多数处理器 IO 都没有失效防护功能，有关可用的失效防护 IO，请参阅器件特定数据表)。

建议在外输入直接连接到处理器输入时，验证 IO 电平兼容性。建议预留设计，以便根据需求在板上或接口板上增设外部 ESD 保护。

建议确保在处理器 IO 电源斜升之前，所有处理器 IO 上拉电阻器都没有以可用电源为基准的电源轨。

12.1 定制电路板启动提示和调试指南

请在电路板启动期间参阅以下常见问题解答：

[常见问题解答] [AM625 / AM623 / AM620-Q1 / AM62L / AM62A / AM62D-Q1 / AM62P / AM64x / AM243x 定制电路板硬件设计电路优化过程中的设计建议/常见错误](#)

[常见问题解答] [Sitara 器件 \(AM64x、AM243x、AM62x、AM62L、AM62Ax、AM62D-Q1、AM62Px \) 的电路板启动提示](#)

13 处理器 (器件) 处理和组装

湿敏等级 (MSL)/回流焊峰值温度取决于封装尺寸 (厚度和体积)。

建议查看器件厚度信息、焊球间距、引脚镀层/焊球材料以及要遵循的建议 MSL 等级/回流焊峰值温度。

有关更多信息，请参阅以下链接：

- [AM62L 订购和质量](#)

13.1 处理器 (器件) 焊接建议

请注意 TI.com 上针对所选处理器的 MSL 等级/回流焊峰值建议。

13.1.1 其他参考内容

有关湿敏等级的信息，请参阅以下内容：

- [MSL 等级和回流曲线](#)
- [湿敏等级搜索](#)

14 术语

ADC	模数转换器
BSDL	边界扫描描述语言
CAN-FD	控制器局域网灵活数据速率
CPPI	通信端口编程接口
CPSW3G	通用平台 3 端口千兆位以太网交换机
DPI	显示并行接口
DSI	显示串行接口
DSITX	显示串行接口发送器
DRD	双角色设备
E2E	工程师对工程师
ECAD	电子计算机辅助设计
ECAP	增强型捕捉
ECC	错误校正码
eMMC	嵌入式多媒体卡
EMU	仿真控制
EPWM	增强型脉宽调制器
EQEP	增强型正交编码器脉冲
常见问题解答	常见问题解答
GPIO	通用输入/输出
GPMC	通用存储器控制器
HS-RTDX	高速实时数据交换
I2C	内部集成电路
IBIS	输入/输出缓冲器信息规范
JTAG	联合测试行动组
LDO	低压降
LVC MOS	低压互补金属氧化物半导体
MAC	介质访问控制器
MCAN	模块化控制器局域网
MCASP	多通道音频串行端口
MCSPi	多通道串行外设接口
MCU	微控制器单元
MMC	多媒体卡
MSL	湿敏等级
OSPI	八线串行外设接口
OTP	一次性可编程
PCB	印刷电路板
PDN	配电网络
PMIC	电源管理集成电路
POR	上电复位
QSPI	四线串行外设接口

RGMII	简化千兆位媒体独立接口
RMII	简化媒体独立接口
ROC	建议运行条件
RTC	实时时钟
SD	安全数字
SDIO	安全数字输入输出
SDK	软件开发套件
SPI	串行外设接口
TCK	测试时钟输入
TDI	测试数据输入
TDO	测试数据输出
TMS	测试模式选择输入
TRM	技术参考手册
TRSTn	测试复位
UART	通用异步收发器
USB	通用串行总线
VCA	过孔通道阵列
VTM	电压热管理模块
WKUP	唤醒
XDS	扩展开发系统

15 参考资料

15.1 处理器特定 (AM62Lx)

- 德州仪器 (TI) : [AM62Lx Sitara 处理器数据表](#)
- 德州仪器 (TI) : [AM62L Sitara 处理器技术参考手册](#)
- 德州仪器 (TI) : [AM62Lx Sitara 处理器器件勘误表](#)
- 德州仪器 (TI) : [AM62L32、AM62L31 处理器系列原理图设计指南与原理图审阅检查清单](#)
- 德州仪器 (TI) : [EVM TMD562LEVM](#)
- 德州仪器 (TI) : [AM62x、AM62Lx DDR 电路板设计和布局布线指南](#)
- 德州仪器 (TI) : [AM62Lx PCB 设计迂回布线](#)
- 德州仪器 (TI) : [AM62L 最大电流额定值](#)
- 德州仪器 (TI) : [AM62L 电源实现](#)
- 德州仪器 (TI) : [AM62L 产品概述](#)
- 德州仪器 (TI) : [Sitara AM62Lx 基准测试](#)

15.2 通用

- 德州仪器 (TI) : [AM625、AM623、AM620-Q1、AM625-Q1、AM625SIP、AM62A3、AM62A7、AM62A7-Q1、AM62A1-Q1、AM62D-Q1、AM62P-Q1 原理图、设计指南及审阅检查清单](#)
- 德州仪器 (TI) : [高速并行接口的电路板设计和仿真指南](#)
- 德州仪器 (TI) : [MCU+SDK 的 xSPI 定制闪存调试指南](#)
- 德州仪器 (TI) : [利用集成 SysConfig 的 MCU+SDK 加速开发进程](#)
- 德州仪器 (TI) : [AM62x 音频系统设计指南](#)
- 德州仪器 (TI) : [AM275x 音频系统设计指南](#)
- [\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP : 在 PRUSS 上启用扩频内核时钟](#)
- 德州仪器 (TI) : [DSP 和 Arm 应用处理器热设计指南](#)
- 德州仪器 (TI) : [Sitara 处理器配电网络：实施与分析](#)

- 德州仪器 (TI) : [仿真和跟踪头技术参考手册](#)
- 德州仪器 (TI) : [XDS 目标连接指南](#)
- 德州仪器 (TI) : [高速接口布局布线指南](#)
- 德州仪器 (TI) : [高速布局布线指南](#)
- 德州仪器 (TI) : [Jacinto7 AM6x、TDA4x 和 DRA8x 高速接口设计指南](#)
- 德州仪器 (TI) : [通用硬件设计/BGA PCB 设计/BGA 去耦](#)
- 德州仪器 (TI) : [MSL 等级和回流曲线](#)
- 德州仪器 (TI) : [湿敏等级搜索](#)
- 德州仪器 (TI) : [TIDA-01413 - ADAS 8 通道传感器融合集线器参考设计](#)
- 德州仪器 (TI) : [Jacinto 7 DDRSS 寄存器配置工具](#)
- 德州仪器 (TI) : [KeyStone II 器件硬件设计指南](#)
- 德州仪器 (TI) : [KeyStone 器件时钟设计指南](#)
- 德州仪器 (TI) : [使用 IBIS 模型进行时序分析](#)
- 德州仪器 (TI) : [显示接口 : Sitara MPU 可视化设计综合指南](#)

16 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision A (June 2025) to Revision B (January 2026)	Page
• (AM62Lx 处理器系列外设和 IO 变更摘要 (相对于 AM62x 处理器系列)) : 添加了更多信息并添加了应用手册.....	3
• 添加了“处理器特定 SDK”一节.....	4
• (选择所需的处理器 OPN (可订购器件型号)) : 添加了读取 DEVICE_ID 及唯一 SOC (CPU) ID 常见问题解答.....	5
• 添加了“处理器对安全启动及功能安全的支持”一节.....	5
• (更新了 EVM 原理图 (添加了设计、审阅和 CAD 注解)) : 添加了更多信息.....	6
• (电源) : 添加的注释.....	11
• (集成式电源架构) : 添加了更多信息.....	11
• (分立式电源架构) : 添加了更多信息.....	12
• (处理器时钟 (输入和输出)) : 添加的注释.....	17
• (联合测试行动组 (JTAG)) : 添加的注释.....	19
• (配置 (处理器) 和初始化 (处理器和器件)) : 添加的注释.....	21
• (处理器 — 外设连接) : 添加的注释.....	23
• 添加了“支持的处理器核心”一节.....	23
• (存储器控制器 (DDRSS)) : 添加了更多信息.....	23
• (多媒体卡/安全数字 (MMCSD) 接口 (MMC0、MMC1、MMC2)) : 添加了更多信息.....	25
• 添加了“以太网接口”部分.....	27
• (通用连接外设) : 添加了更多信息.....	29
• (外部唤醒输入 (EXT_WAKEUP0 和 EXT_WAKEUP1)) : 增加了 FAQ.....	33
• 添加了“EVM 特定电路实现 (重复使用) ”一节.....	34
• (处理器 IO (LVCMOS 或 SDIO 或开漏、失效防护型 IO 缓冲器) 的接口连接及仿真) : 添加的注释.....	34
• (不同电源轨的最大电流额定值) : 添加的注释.....	36
• (定制电路板设计原理图捕获) : 添加的注释.....	37
• (定制电路板设计原理图审阅) : 添加了 Sitara MPU 硬件应用支持 — 原理图审查申请常见问题解答.....	37
• (高速差分信号布线指南) : 添加了通用高速布局指南常见问题解答文档链接.....	39
• (处理器特定 EVM 板布局) : 添加了通用高速布局指南常见问题解答文档链接.....	39
• 添加了“处理器的软件开发培训 (Academy)”一节.....	40

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月