



摘要

本用户指南针对将 TPS6594-Q1 和 LP8764-Q1 电源管理集成电路 (PMIC) 集成到系统 (为 DRA821 处理器供电) 提供指导。

内容

1 引言.....	2
2 器件版本.....	2
3 处理器连接.....	3
4 支持功能安全系统.....	9
4.1 达到 ASIL-B 系统要求.....	9
4.2 达到 ASIL-D 系统要求.....	9
5 静态 NVM 设置.....	10
5.1 基于应用程序的配置设置.....	10
5.2 器件标识设置.....	11
5.3 BUCK 设置.....	11
5.4 LDO 设置.....	13
5.5 VCCA 设置.....	14
5.6 GPIO 设置.....	15
5.7 有限状态机 (FSM) 设置.....	17
5.8 中断设置.....	18
5.9 POWERGOOD 设置.....	21
5.10 其他设置.....	21
5.11 接口设置.....	23
5.12 多器件设置.....	23
5.13 看门狗设置.....	24
6 可预配置的有限状态机 (PFSM) 设置.....	24
6.1 配置的状态.....	24
6.2 状态转换.....	25
6.3 电源序列.....	26
7 附加资源.....	42

商标

Jacinto™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

1 引言

本用户指南定义了 TPS6594-Q1 和 LP8764-Q1 器件与 DRA821 处理器之间的配电网络 (PDN)，介绍了平台电源连接、数字控制连接和 PMIC 时序控制设置，从而支持处理器的不同状态转换。本文档还规定了 PMIC 默认非易失性存储器 (NVM) 设置、内部状态转换和电源序列。本用户指南不提供有关 PMIC 或处理器的电气特性、外部元件、封装或功能的信息。有关此类信息和完整的寄存器映射，请参阅每个器件的数据表。如果官方规范与任何用户指南、应用报告或其他参考材料之间存在任何不一致，应以数据表规格为准。

2 器件版本

TPS6594-Q1 和 LP8764-Q1 器件有不同版本，具有独特的 NVM 设置，从而支持不同的处理器解决方案。每个 PMIC 器件的独特 NVM 设置根据 PDN 设计进行了优化，以支持不同的处理器、处理负载、SDRAM 类型、系统功能安全级别和最终产品特性，如低功耗模式、处理器接口电平、SD 卡等。可以使用 TI_NVM_ID 寄存器区分 NVM 设置。在本用户指南中，每个 PMIC 器件通过表 2-1 中列出的 TI 可订购器件型号、TI_NVM_ID 和 TI_NVM_REV 值进行区分。

表 2-1. TPS6594-Q1 和 LP8764-Q1 的 NVM 设置及可订购器件型号

PDN 用例	可订购器件型号	器件模式	TI_NVM_ID ⁽¹⁾	TI_NVM_REV
<ul style="list-style-type: none"> • 在 CORE 轨上高达 4.25A⁽²⁾ • 在 CPU 轨上高达 4.25A⁽²⁾ • 在 SDRAM 上高达 3.4A⁽²⁾，支持 LPDDR4 • 支持高达 ASIL-D 的功能安全等级 • 支持低功耗模式，包括仅 MCU、GPIO 保持和 DDR 保持状态 • 支持 3.3V 或 1.8V 的 I/O 电平 • 支持使用 SD 卡 	PTPS659414F4RWERQ1	主模式	0xF4	0x3
	P876441A1RQKRQ1	从模式	0xA1	0x3

- (1) TPS6594-Q1 目前为初级器件版本 1.0。在这个版本的器件上，NVM 寄存器被标识为 NVM_ID 和 NVM_REV。
 (2) TI 建议在每个 PMIC 输出电源轨的最大预期负载电流与最大允许电流之间留出 15% 的裕度。

3 处理器连接

本节详细介绍了 TPS6594-Q1 和 LP8764-Q1 电源器件和 GPIO 信号如何连接到处理器和其他外设元件，从而支持 PDN 用例。

图 3-1 显示了处理器与 TPS6594-Q1 和 LP8764-Q1 PMIC 之间的详细电源映射。在该配置中，两个 PMIC 均使用 3.3V 输入电压。对于功能安全应用，在 VCCA 之前有一个保护 FET 连接到主 PMIC 的 OVPGDRV 引脚，允许对 PMIC 的输入电源进行电压监控。

VCCA 电压必须是施加于 PMIC 器件的第一电压。必须在 VCCA 之后给 PMIC 的 VIO_IN 供电。在此配置中，VIO_IN 由负载开关供电，该开关还为处理器的 VDDSHVx_MCU 电压域供电，以允许 PMIC 器件的数字元件（例如 GPIO）在仅 MCU 模式下保持供电。此外，通过此负载开关控制两个 PMIC 的 VIO_IN，系统还可以降低 GPIO 保持或 DDR 保持模式下的功耗，因为负载开关被禁用。

此 PDN 支持使用具有 AEC-100 2 级（-40 至 +105°C）额定温度的单个双通道负载开关（TPS22966-Q1），如果需要更高的环境温度范围，还支持具有 AEC-100 1 级（-40 至 +125°C）额定温度的两个单通道负载开关（TPS22965-Q1）。它还包括一些可选的分立式功率元件，以支持可能需要的其他系统功能。TLV70033-Q1 LDO 为 USB 2.0 接口集成提供低噪声 3.3V 电压，从而支持兼容的 USB 数据眼图性能。TLV70018-Q1 LDO 可用于支持高安全性 SoC PN 上的板载 EFUSE 编程。可选择备用的 LDO 来支持 SD 卡双电压 I/O（3.3V 和 1.8V），TLV7103318-Q1 双电压 LDO 可用于实现兼容的双电压高速 SD 卡操作。如果不需要这些系统功能，则可以断开电源连接，并且需要按备用电源轨划分处理器电压域。

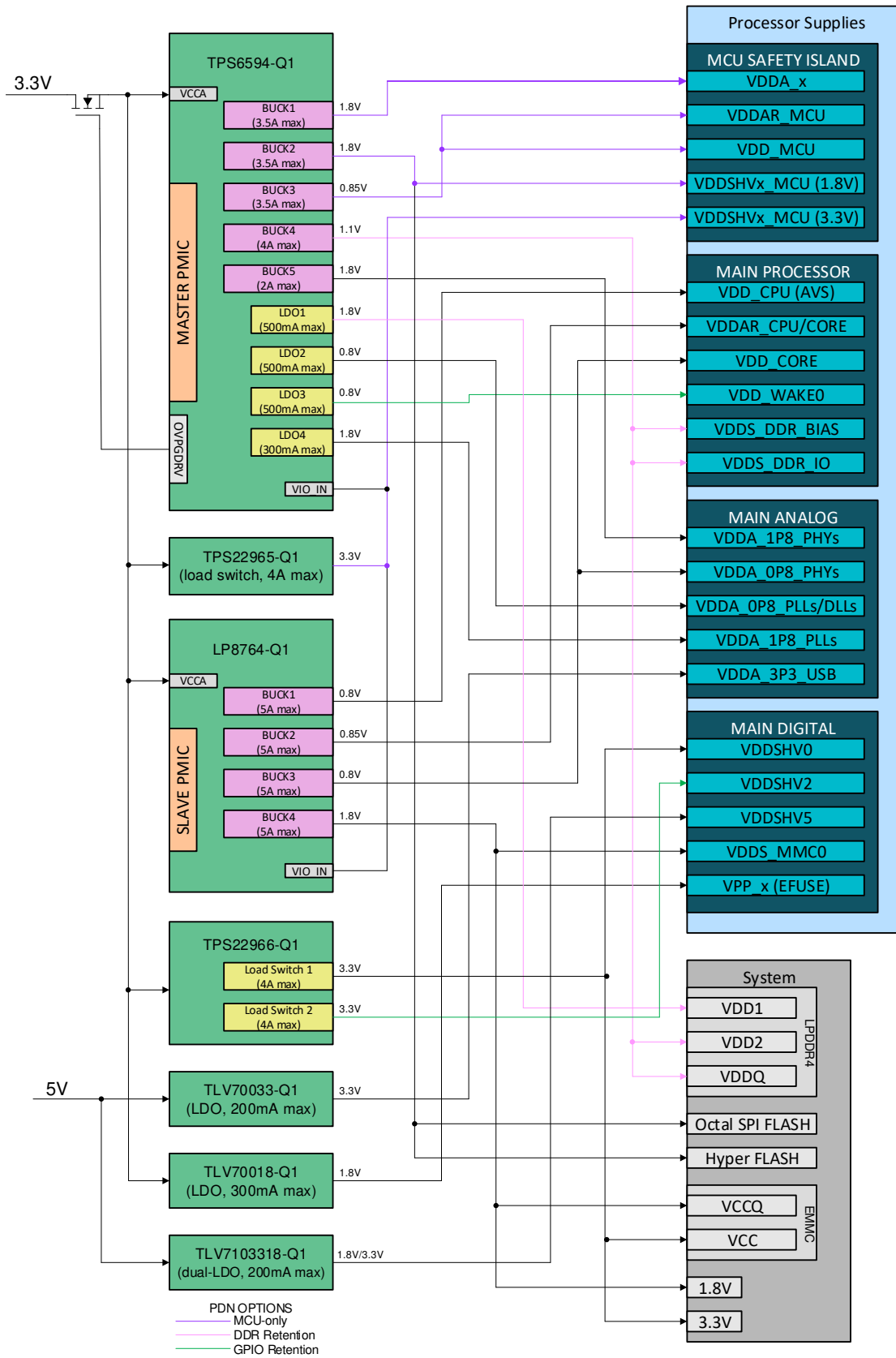


图 3-1. TPS6594-Q1 和 LP8764-Q1 的电源连接

图 3-1 中所示的电源分配支持不同的处理器低功耗模式，包括仅 MCU 模式、GPIO 保持和 DDR 保持。根据表 3-1 中提供的指导信息，了解支持不同系统特性所需的电源资源。如果不需要所列出的系统特性，则可以断开电源器件连接，并且需要按备用电源轨划分处理器电压域。

表 3-1. 按系统电源状态划分的电源资源

器件	PMIC 资源	处理器域	电源状态			
			有源 SoC	仅 MCU	GPIO 保持	DDR 保持
TPS6594-Q1	BUCK1	VDDA_x	必需	必需		
	BUCK2	VDDSHVx_MCU (1.8V)	必需	必需		
	BUCK3	VDD_MCU、VDDAR_MCU	必需	必需		
	BUCK4	VDDS_DDR_BIAS、 VDDS_DDR_IO	必需			必需
	BUCK5	VDDA_1P8_PHYs	必需			
	LDO1	不适用	必需			必需
	LDO2	VDDA_0P8_PLLs/DLLs	必需			
	LDO3	VDD_WAKE0	必需		必需	
	LDO4	VDDA_1P8_PLLs	必需			
LP8764-Q1	BUCK1	VDD_CPU	必需			
	BUCK2	VDDAR_CPU/CORE	必需			
	BUCK3	VDD_CORE、 VDDA_0P8_PHYs	必需			
	BUCK4	VDDS_MMC0	必需			
TPS22965-Q1	负载开关	VDDSHVx_MCU (3.3V)	必需	必需		
TPS22966-Q1	负载开关 1	VDDSHV0 ⁽¹⁾	必需			
	负载开关 2	VDDSHV2			必需	

(1) 如果系统中不需要 SD 卡，VDDSHV5 也可以由该电源轨供电。

图 3-2 显示了处理器和 PMIC 器件之间的数字控制信号映射。为了使两个 PMIC 器件协同工作，主 PMIC 和从 PMIC 必须建立 SPMI 通信通道。这样，TPS6594-Q1 和 LP8764-Q1 能够同步其内部可预配置的状态机 (PFSM)，以便它们作为一个 PFSM 在所有电源和数字资源上运行。TPS6594-Q1 上的 GPIO_5 和 GPIO_6 引脚以及 LP8764-Q1 上的 GPIO_8 和 GPIO_9 引脚分配用于实现该功能。此外，主 PMIC 的 LDOVINT 引脚必须连接到从 PMIC 的使能输入 (LP8764-Q1 的 GPIO_4) 才能正确地启动 PFSM。

从 TPS6594-Q1 器件到处理器的其他数字连接可支持错误监控、处理器复位、处理器唤醒和系统低功耗模式。特定的 GPIO 引脚被分配给关键信号，以确保在低功耗模式下只有少数 GPIO 引脚保持工作时，器件能够正常工作。

为支持 DDR 低功耗保持模式，需要以下 PMIC GPIO 功能：

1. LP8764-Q1 的 GPIO_2 和 GPIO_3 连接到外部低压锁存器，用于创建持续控制信号到处理器的 DDR_RET。这是有必要的，因为在 DDR 保持状态期间将禁用为 GPIO_2 和 3 供电的 PMIC VIO_IN 电源轨。
2. TPS6594-Q1 的持续 GPIO_3 连接到串联负载开关的使能输入，以控制 MCU 的 3.3V 域。
3. TPS6594-Q1 的持续 GPIO_4 将 NVM 默认功能设置为 LP_WKUP1，屏蔽位设置为高电平，以避免误触发，直到启用 CAN 唤醒信号。SW 必须正确启动 CAN PHY，以便在进入 DDR 保持状态之前将唤醒信号设置为低电平并取消屏蔽 GPIO_4。

TPS6594-Q1 的 GPIO_3 和 GPIO_4 均由 PMIC 的 VINT 内部电压域供电。VINT 在低功耗模式下保持供电，以保持这些 GPIO 的状态。

为支持 GPIO 低功耗保持模式，需要以下 PMIC GPIO 功能：

1. LP8764-Q1 的持续 GPIO_7 连接到串联负载开关的使能输入，以控制处理器的 3.3V GPIO 保持域。

其他数字选项还包括 TPS6594-Q1 的 GPIO_10，可通过软件将其配置为处理器振荡器输入 (LFOSC) 的 32kHz 时钟输出。还可以通过将 TPS6594-Q1 的 GPIO_8 拉高来使用硬件禁用看门狗计时器。最后，LP8764-Q1 的 GPIO_1 包含在上电序列中以启用外部稳压器，用于 DDR I/O 等选项。

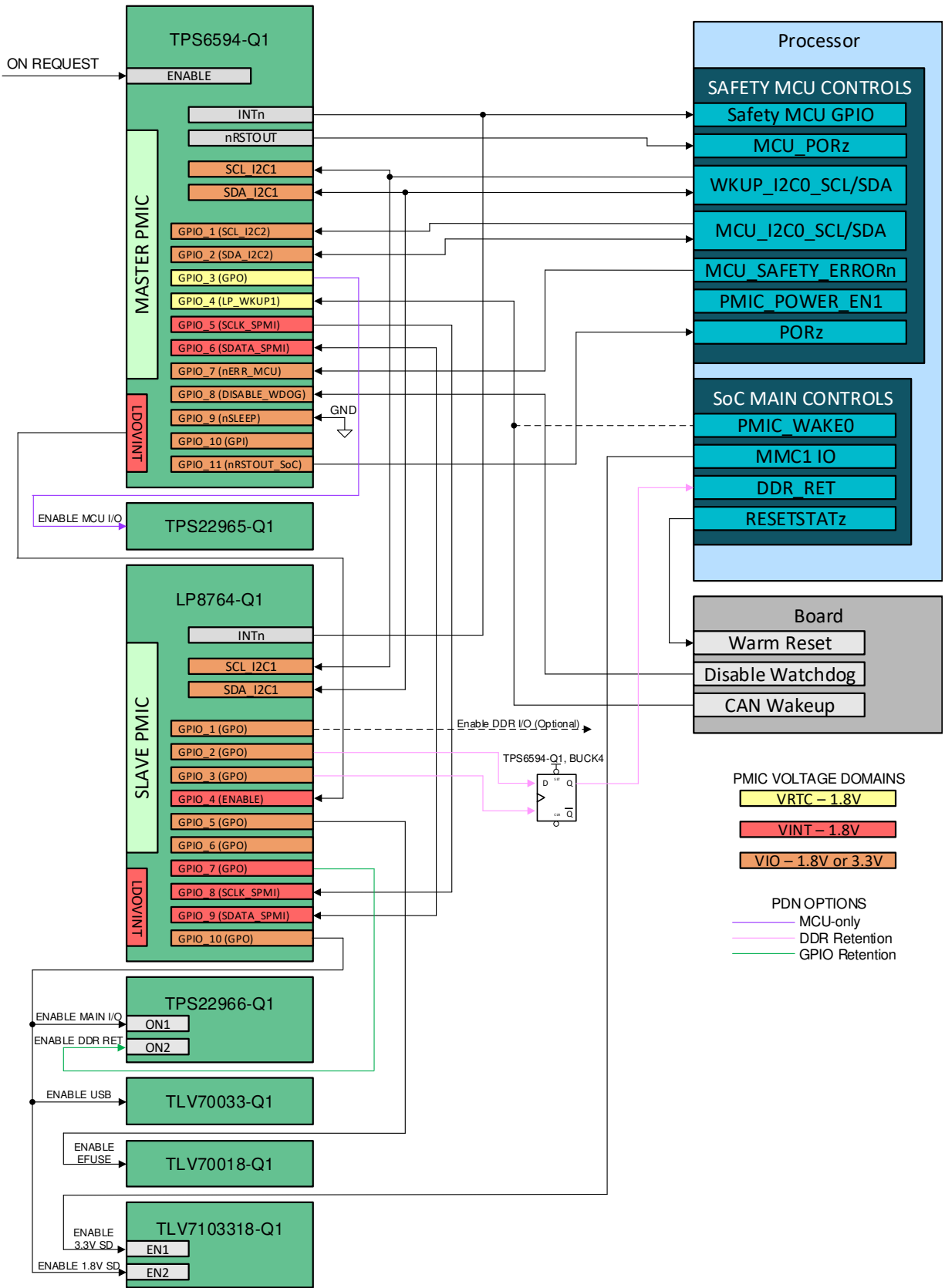


图 3-2. TPS6594-Q1 和 LP8764-Q1 的数字连接

图 3-2 中所示的数字连接可实现一些系统特性，包括仅 MCU 模式、GPIO 保持模式、DDR 保持模式以及能够支持高达 ASIL-D 的功能安全系统。请根据表 3-2 中的指导信息，了解这些功能所需的 GPIO 分配。如果不需要列出的特性，可以移除数字连接。有关功能安全相关连接如何帮助实现功能安全系统级目标的详细信息，请参阅节 4。

表 3-2. 按系统特性划分的数字连接

器件	PMIC 数字信号	系统数字信号	系统特性				
			有源 SoC	功能安全	仅 MCU	GPIO 保持	DDR 保持
TPS6594-Q1	nPWRON/ ENABLE	系统开启请求	必需				
	INT ⁽¹⁾	安全 MCU GPIO		必需			
	nRSTOUT ⁽¹⁾	MCU_PORz	必需		必需		
	SCL_I2C1	WKUP_I2C0_SCL	必需				
	SDA_I2C1	WKUP_I2C0_SDA	必需				
	GPIO_1	MCU_I2C0_SCL		必需			
	GPIO_2	MCU_I2C0_SCL		必需			
	GPIO_3	启用 MCU I/O	必需				
	GPIO_4 ⁽²⁾	CAN 唤醒				必需	必需
	GPIO_5	PMIC SPMI CLK	必需				
	GPIO_6	PMIC SPMI DATA	必需				
	GPIO_7	MCU_SAFETY_ERRORn		必需			
	GPIO_8 ⁽⁶⁾	禁用看门狗	(3)	(3)			
	GPIO_9	接地 ⁽⁴⁾	必需				
	GPIO_10 ⁽⁵⁾	WKUP_LFOSC0	必需				
GPIO_11 ⁽¹⁾	PORz		必需	必需			
LP8764-Q1	INT ⁽¹⁾	安全 MCU GPIO		必需			
	SCL_I2C1	WKUP_I2C0_SCL	必需				
	SDA_I2C1	WKUP_I2C0_SDA	必需				
	GPIO_1	启用 DDR I/O (可选)					
	GPIO_2 ⁽⁶⁾	外部锁存数据输入					必需
	GPIO_3 ⁽⁶⁾	外部锁存时钟输入					必需
	GPIO_4	TPS6594-Q1 LDOVINT	必需				
	GPIO_5 ⁽⁶⁾	启用保险丝					
	GPIO_6 ⁽⁶⁾	不适用					
	GPIO_7	启用 DDR 保持				必需	
	GPIO_8	PMIC SPMI CLK	必需				
GPIO_9	PMIC SPMI DATA	必需					
GPIO_10	启用主 I/O			必需	必需	必需	

- (1) 该引脚为开漏式，可将电压转换为处理器接口的正确电压电平。
- (2) 软件必须在系统预期触发此引脚唤醒之前取消屏蔽 GPIO_4。
- (3) 如果期望通过硬件禁用看门狗，则需要 GPIO_8，并且必须在 nRSTOUT 变为高电平时将其设置为高电平。nRSTOUT 变为高电平后，看门狗状态被锁定，可以通过软件将该引脚配置为用于其他功能。
- (4) 使用 1.0 版 TPS6594-Q1 器件时，GPIO_9 必须接地。
- (5) GPIO_10 默认设置为通用输入 (GPI)，以允许处理器在向处理器提供 32kHz 之前启动，因为处理器的引导模式和低频时钟输入都使用相同的引脚。
- (6) 电源序列或 PMIC 功能不需要此 GPIO，如有需要，可以通过软件将其配置为用于其他目的。

4 支持功能安全系统

通过使用 TPS6594-Q1 和 LP8764-Q1 解决方案为 DRA821 处理器供电，系统可以利用以下 PMIC 功能安全特性：

- MCU 和主电源轨的独立电源控制
- MCU 和主电源轨的独立监控和重置
- 输入电源监控
- 输出电压和电流监控
- 问答看门狗
- 故障报告中断
- 提供独立路径以禁用系统执行器的使能驱动引脚
- 错误引脚监控
- 内部诊断，包括电压监控、温度监控和内置自检

有关 PMIC 功能安全特性的完整说明和分析，请参阅 TPS6594-Q1 和 LP8764-Q1 器件的安全手册。这些功能安全特性可以帮助系统达到 ASIL-D 等级。此外，这些特性有助于实现处理器为达到 ASIL-D 等级所使用的功能安全假设。有关完整的功能安全系统假设列表，请参阅 Jacinto™ 7 处理器的 DRA821 安全手册。

4.1 达到 ASIL-B 系统要求

为达到 ASIL-B 的系统功能安全级别，以下 PDN 功能可用：

- 对输出电源轨进行 PMIC 过压和欠压监控
- PMIC 输入端 (VCCA) 的 PMIC 过压监控和保护
- 使用看门狗监控安全处理器
- MCU 错误监控
- MCU 复位
- I2C 通信
- 驱动外部电路的错误指示灯 (可选)

PDN 在输入电源和 PMIC 之间串联一个外部电源 FET。当在输入电源上检测到大于 6V 的过压事件时，此 FET 可以快速隔离 PMIC，以保护系统免受损坏，如图 3-1 所示。请注意，连接在 FET 之后的任何电源轨在过压事件中都会受到保护。从 FET 上游连接的任何电源都不会受过压事件的影响。图 3-1 中为 MCU 和主 I/O 域供电的负载开关和为 DDR 供电的分立式 BUCK 都连接在 FET 之后，从而为这些处理器域和分立式电源资源提供过压保护。

可在启动后通过 I2C 启用 PMIC 内部过压和欠压监控以及其各自的监控阈值电平。若要监控为处理器的 MCU I/O 供电的负载开关电压，建议使用 VDDSHV0_MCU 电压域中内置的处理器 POK 监控器。

TPS6594-Q1 器件上默认启用 PMIC 的内部 Q&A 看门狗。一旦器件处于运行状态，就可以通过器件中的从 I2C 来配置触发条件或问答看门狗设置。配置看门狗设置的步骤详见 TPS6594-Q1 数据表。如果需要暂停此功能或系统中不需要此功能，则将 TPS6594-Q1 GPIO_8 上的 DISABLE_WDOG 信号设置为高电平会禁用看门狗计时器。

TPS6594-Q1 PMIC 的 GPIO_7 被配置为 MCU 错误信号监控，但是需要通过 ESM_MCU_EN 寄存器位启用。通过连接主 PMIC nRSTOUT 引脚与处理器的 MCU_PORz 来支持 MCU 复位。最后，TPS6594-Q1 和处理器之间有 2 个 I2C 端口，使看门狗监控处于独立的通信通道上。

可以选择使用 TPS6594-Q1 PMIC 的 EN_DRV 来指示已检测到错误且指示系统正在进入安全状态。如果系统具有一些需要由错误事件驱动的附加外部电路，则可以使用该信号。在本 PDN 中，未使用 EN_DRV，但需要时可以使用。

4.2 达到 ASIL-D 系统要求

对于 ASIL-C 或 ASIL-D 系统，除节 4.1 中所述的特性外，还可使用其他特性。这些特性包括：

- 对所有输出电源轨进行 PMIC 电流监控
- 隔离处理器的 MCU 和主电源域
- SoC 复位

默认情况下，针对 TPS6594-Q1 和 LP8764-Q1 器件的所有 BUCK 和 LDO 启用电流监控。此外，图 3-1 显示处理器的 MCU 域由 PMIC 的不同电源器件供电，而不是由处理器的主电源域供电。通过将 TPS6594-Q1 上的 GPIO_11 (配置为 nRSTOUT_SoC) 连接到处理器的 PORz 引脚来支持 SoC 复位功能。

备注

可在 PMIC 上进行残余电压检查，以防止在输出轨未放电至低于 100mV (这可能在故障条件下发生) 时启动。但是，此 PDN 的 NVM 设置中未启用该功能，以支持系统软件开发期间的重复下电上电。

5 静态 NVM 设置

TPS6594-Q1 和 LP8764-Q1 器件由固定寄存器和从 NVM 加载的可配置寄存器构成。对于所有的 NVM 寄存器，加载到寄存器中的初始 NVM 设置将在本部分提供。请注意，这些初始 NVM 设置可以在状态转换 (例如从待机模式切换到运行模式) 期间发生更改。完整寄存器映射 (包括固定寄存器的默认值) 位于相应的 PMIC 数据表中。空值表示器件不包含寄存器。例如，LP8764-Q1 根本没有 BUCK5 寄存器，因此它的值为空。

5.1 基于应用程序的配置设置

在 LP8764-Q1 和 TPS6594-Q1 数据表中，有多种基于应用的配置，可供每个 BUCK 在操作时使用。表 5-1 包含不同的可用配置：

表 5-1. LP8764-Q1 和 TPS6594-Q1 用例

TPS6594-Q1	LP8764-Q1
用于 DDR 终端的 2.2MHz 单相	用于 DDR 终端的 2.2MHz 单相
4.4MHz 多相配置	4.4MHz 多相配置
4.4MHz 单相低输出电压	4.4MHz 单相低电流
4.4MHz 单相高输出电压	4.4MHz 单相高电压
2.2MHz 多相, 采用满标量程范围 VIN	2.2MHz 多相, 采用满标量程范围 VIN
2.2MHz 单相, 采用 5.0V VIN	2.2MHz 单相, 采用 5.0V VIN
2.2MHz 单相, 采用满标量程范围 VIN	2.2MHz 单相, 采用满标量程范围 VIN
	8.8MHz 单相

这七种配置还具有理想的输出电感值, 可在各种条件下优化每个降压稳压器的性能。表 5-2 显示了各个 BUCK 的默认配置。这些设置在器件启动后不能更改。

表 5-2. 应用程序用例设置

器件	BUCK 电源轨	默认应用程序用例	建议的电感器值
TPS6594-Q1	BUCK1	4.4MHz 多相, 采用满标量程范围 VIN	220nH
	BUCK2	4.4MHz 多相, 采用满标量程范围 VIN	220nH
	BUCK3	4.4MHz 多相, 采用满标量程范围 VIN	220nH
	BUCK4	4.4MHz 多相, 采用满标量程范围 VIN	220nH
	BUCK5	4.4MHz 多相, 采用满标量程范围 VIN	220nH
LP8764-Q1	BUCK1	4.4MHz 多相, 采用满标量程范围 VIN	220nH
	BUCK2	4.4MHz 多相, 采用满标量程范围 VIN	220nH
	BUCK3	4.4MHz 多相, 采用满标量程范围 VIN	220nH
	BUCK4	4.4MHz 多相, 采用满标量程范围 VIN	220nH

5.2 器件标识设置

这些设置用于区分在系统中检测到哪个器件。这些设置在器件启动后不能更改。

表 5-3. 器件标识 NVM 设置

寄存器名称	字段名称	TPS6594-Q1		LP8764-Q1	
		值	说明	值	说明
DEV_REV	SILICON_VERSION / SILICON_REV				
	DEVICE_ID	0x0	0x0	0x7	0x7
NVM_CODE_1	TI_NVM_ID	0xf4	0xf4	0xa1	0xa1
NVM_CODE_2	TI_NVM_REV	0x4	0x4	0x4	0x4
PHASE_CONFIG	MP_CONFIG	0x1	1+1+1+1+1	0x1	1+1+1+1

5.3 BUCK 设置

这些设置详细说明了 BUCK 轨的默认电压、配置和监控。所有这些设置都可以在启动后通过 I²C 进行更改。

表 5-4. BUCK NVM 设置

寄存器名称	字段名称	TPS6594-Q1		LP8764-Q1	
		值	说明	值	说明
BUCK1_CTRL	BUCK1_EN ⁽¹⁾	0x0	BUCK regulator is disabled	0x0	BUCK regulator is disabled.
	BUCK1_FPWM	0x1	Forced to PWM operation.	0x1	Forced to PWM operation.
	BUCK1_FPWM_MP	0x0	Automatic phase adding and shedding.	0x0	Automatic phase adding and shedding.
	BUCK1_VMON_EN	0x0	OV and UV comparators are disabled	0x0	OV, UV, SC and ILIM comparators are disabled.
	BUCK1_VSEL	0x0	BUCK1_VOUT_1	0x0	BUCK1_VOUT_1
	BUCK1_PLDN	0x1	Pull-down resistor enabled	0x1	Pull-down resistor is enabled.
	BUCK1_RV_SEL	0x0	Disabled	0x0	Disabled
BUCK1_CONF	BUCK1_SLEW_RATE	0x3	5.0 mV/ μ s	0x3	5.0 mV/ μ s
	BUCK1_ILIM	0x5	5.5 A	0x5	5.5 A
BUCK2_CTRL	BUCK2_EN ⁽¹⁾	0x0	BUCK regulator is disabled	0x0	BUCK regulator is disabled.
	BUCK2_FPWM	0x1	Forced to PWM operation.	0x1	Forced to PWM operation.
	BUCK2_VMON_EN	0x0	OV and UV comparators are disabled	0x0	OV, UV, SC, and ILIM comparators are disabled.
	BUCK2_VSEL	0x0	BUCK2_VOUT_1	0x0	BUCK2_VOUT_1
	BUCK2_PLDN	0x1	Pull-down resistor enabled	0x1	Pull-down resistor is enabled.
	BUCK2_RV_SEL	0x0	Disabled	0x0	Disabled
BUCK2_CONF	BUCK2_SLEW_RATE	0x3	5.0 mV/ μ s	0x3	5.0 mV/ μ s
	BUCK2_ILIM	0x5	5.5 A	0x5	5.5 A
BUCK3_CTRL	BUCK3_EN ⁽¹⁾	0x0	BUCK regulator is disabled	0x0	BUCK regulator is disabled.
	BUCK3_FPWM	0x1	Forced to PWM operation.	0x1	Forced to PWM operation.
	BUCK3_FPWM_MP	0x0	Automatic phase adding and shedding.	0x0	Automatic phase adding and shedding.
	BUCK3_VMON_EN	0x0	OV and UV comparators are disabled	0x0	OV, UV, SC, and ILIM comparators are disabled.
	BUCK3_VSEL	0x0	BUCK3_VOUT_1	0x0	BUCK3_VOUT_1
	BUCK3_PLDN	0x1	Pull-down resistor enabled	0x1	Pull-down resistor is enabled.
	BUCK3_RV_SEL	0x0	Disabled	0x0	Disabled
BUCK3_CONF	BUCK3_SLEW_RATE	0x3	5.0 mV/ μ s	0x3	5.0 mV/ μ s
	BUCK3_ILIM	0x5	5.5 A	0x5	5.5 A
BUCK4_CTRL	BUCK4_EN ⁽¹⁾	0x0	BUCK regulator is disabled	0x0	BUCK regulator is disabled.
	BUCK4_FPWM	0x1	Forced to PWM operation.	0x1	Forced to PWM operation.
	BUCK4_VMON_EN	0x0	OV and UV comparators are disabled	0x0	OV, UV, SC, and ILIM comparators are disabled.
	BUCK4_VSEL	0x0	BUCK4_VOUT_1	0x0	BUCK4_VOUT_1
	BUCK4_PLDN	0x1	Pull-down resistor enabled	0x1	Pull-down resistor is enabled.
	BUCK4_RV_SEL	0x0	Disabled	0x0	Disabled
BUCK4_CONF	BUCK4_SLEW_RATE	0x3	5.0 mV/ μ s	0x3	5.0 mV/ μ s
	BUCK4_ILIM	0x5	5.5 A	0x5	5.5 A
BUCK5_CTRL	BUCK5_EN ⁽¹⁾	0x0	BUCK regulator is disabled.		
	BUCK5_FPWM	0x1	Forced to PWM operation.		
	BUCK5_VMON_EN	0x0	OV and UV comparators are disabled.		
	BUCK5_VSEL	0x0	BUCK5_VOUT_1		
	BUCK5_PLDN	0x1	Pull-down resistor enabled.		
	BUCK5_RV_SEL	0x0	Disabled		

表 5-4. BUCK NVM 设置 (continued)

寄存器名称	字段名称	TPS6594-Q1		LP8764-Q1	
		值	说明	值	说明
BUCK5_CONF	BUCK5_SLEW_RATE	0x3	5.0 mV/ μ s		
	BUCK5_ILIM	0x3	3.5 A		
BUCK1_VOUT_1	BUCK1_VSET1	0xb2	1.80 V	0x37	0.800 V
BUCK1_VOUT_2	BUCK1_VSET2	0x0	0.3 V	0x0	0.3 V
BUCK2_VOUT_1	BUCK2_VSET1	0xb2	1.80 V	0x41	0.850 V
BUCK2_VOUT_2	BUCK2_VSET2	0x0	0.3 V	0x0	0.3 V
BUCK3_VOUT_1	BUCK3_VSET1	0x41	0.850 V	0x37	0.800 V
BUCK3_VOUT_2	BUCK3_VSET2	0x0	0.3 V	0x0	0.3 V
BUCK4_VOUT_1	BUCK4_VSET1	0x73	1.10 V	0xb2	1.80 V
BUCK4_VOUT_2	BUCK4_VSET2	0x0	0.3 V	0x0	0.3 V
BUCK5_VOUT_1	BUCK5_VSET1	0xb2	1.80 V		
BUCK5_VOUT_2	BUCK5_VSET2	0x0	0.3 V		
BUCK1_PG_WINDOW	BUCK1_OV_THR	0x2	+4% / +40 mV	0x2	+4% / +40 mV
	BUCK1_UV_THR	0x2	-4% / -40 mV	0x2	-4% / -40 mV
BUCK2_PG_WINDOW	BUCK2_OV_THR	0x2	+4% / +40 mV	0x2	+4% / +40 mV
	BUCK2_UV_THR	0x2	-4% / -40 mV	0x2	-4% / -40 mV
BUCK3_PG_WINDOW	BUCK3_OV_THR	0x2	+4% / +40 mV	0x2	+4% / +40 mV
	BUCK3_UV_THR	0x2	-4% / -40 mV	0x2	-4% / -40 mV
BUCK4_PG_WINDOW	BUCK4_OV_THR	0x2	+4% / +40 mV	0x2	+4% / +40 mV
	BUCK4_UV_THR	0x2	-4% / -40 mV	0x2	-4% / -40 mV
BUCK5_PG_WINDOW	BUCK5_OV_THR	0x2	+4% / +40 mV		
	BUCK5_UV_THR	0x2	-4% / -40 mV		
VMON1_PG_WINDOW	VMON1_RANGE			0x0	0.3 - 3.34 V
	VMON1_UV_THR			0x0	-3% / -30 mV / (-150 mV)
	VMON1_OV_THR			0x0	+3% / +30 mV / (+150 mV)
VMON1_PG_LEVEL	VMON1_PG_SET			0x0	0x0
VMON2_PG_WINDOW	VMON2_RANGE			0x0	0.3 - 3.34 V
	VMON2_UV_THR			0x0	-3% / -30 mV / (-150 mV)
	VMON2_OV_THR			0x0	+3% / +30mV / (+150 mV)

(1) 请注意，当器件转换到运行模式时，此 NVM 默认值可能会改变。

5.4 LDO 设置

这些设置详细说明了 LDO 电源轨的默认电压、配置和监控。所有这些设置都可以在启动后通过 I²C 进行更改。请注意，仅 TPS6594-Q1 器件包含 LDO 输出。

表 5-5. LDO NVM 设置

寄存器名称	字段名称	TPS6594-Q1	
		值	说明
LDO1_CTRL	LDO1_EN ⁽¹⁾	0x0	LDO1 regulator is disabled.
	LDO1_PLDN	0x2	250 Ω
	LDO1_VMON_EN	0x0	OV and UV comparators are disabled.
	LDO1_RV_SEL	0x0	Disabled
LDO2_CTRL	LDO2_EN ⁽¹⁾	0x0	LDO2 regulator is disabled.
	LDO2_PLDN	0x1	125 Ω
	LDO2_VMON_EN	0x0	OV and UV comparators are disabled.
	LDO2_RV_SEL	0x0	Disabled

表 5-5. LDO NVM 设置 (continued)

寄存器名称	字段名称	TPS6594-Q1	
		值	说明
LDO3_CTRL	LDO3_EN ⁽¹⁾	0x0	LDO3 regulator is disabled.
	LDO3_PLDN	0x1	125 Ω
	LDO3_VMON_EN	0x0	OV and UV comparators are disabled.
	LDO3_RV_SEL	0x0	Disabled
LDO4_CTRL	LDO4_EN ⁽¹⁾	0x0	LDO4 regulator is disabled.
	LDO4_PLDN	0x1	125 Ω
	LDO4_VMON_EN	0x0	OV and UV comparators are disabled.
	LDO4_RV_SEL	0x0	Disabled
LDOINT_CTRL	LDOINT_VMON_EN	0x1	OV and UV comparators are enabled.
LDORTC_CTRL	LDORTC_VMON_EN	0x1	OV and UV comparators are enabled.
LDO1_VOUT	LDO1_VSET	0x1c	1.80 V
	LDO1_BYPASS	0x0	LDO is set to linear regulator mode.
LDO2_VOUT	LDO2_VSET	0x8	0.80 V
	LDO2_BYPASS	0x0	LDO is set to linear regulator mode.
LDO3_VOUT	LDO3_VSET	0x8	0.80 V
	LDO3_BYPASS	0x0	LDO is set to linear regulator mode.
LDO4_VOUT	LDO4_VSET	0x38	1.800 V
LDO1_PG_WINDOW	LDO1_OV_THR	0x2	+4% / +40 mV
	LDO1_UV_THR	0x2	-4% / -40 mV
LDO2_PG_WINDOW	LDO2_OV_THR	0x2	+4% / +40 mV
	LDO2_UV_THR	0x2	-4% / -40 mV
LDO3_PG_WINDOW	LDO3_OV_THR	0x2	+4% / +40 mV
	LDO3_UV_THR	0x2	-4% / -40 mV
LDO4_PG_WINDOW	LDO4_OV_THR	0x2	+4% / +40 mV
	LDO4_UV_THR	0x2	-4% / -40 mV

(1) 请注意，当器件转换到运行模式时，此 NVM 默认值可能会改变。

5.5 VCCA 设置

这些设置详细说明了在 VCCA 上启用的默认监控。所有这些设置都可以在启动后通过 I²C 进行更改。

表 5-6. VCCA NVM 设置

寄存器名称	字段名称	TPS6594-Q1		LP8764-Q1	
		值	说明	值	说明
VCCA_VMON_CTRL	VMON_DEGLITCH_SE L			0x0	4 μs
	VMON2_RV_SEL			0x0	Disabled
	VMON2_EN			0x0	OV and UV comparators are disabled.
	VMON1_RV_SEL			0x0	Disabled
	VMON1_EN			0x0	OV and UV comparators are disabled.
	VCCA_VMON_EN	0x1	OV and UV comparators are enabled.	0x1	OV and UV comparators are enabled.
VCCA_PG_WINDOW	VCCA_OV_THR	0x7	+10%	0x7	+10%
	VCCA_UV_THR	0x7	-10%	0x7	-10%
	VCCA_PG_SET	0x0	3.3 V	0x0	3.3 V

5.6 GPIO 设置

这些设置详细说明了 GPIO 电源轨的默认配置。所有这些设置都可以在启动后通过 I²C 进行更改。请注意，GPIO_x_SEL 字段的内容决定了 GPIO_x_CONF 和 GPIO_OUT_x 寄存器中的哪些其他字段是适用的。若要了解适用于每个 GPIO_x_SEL 选项的 NVM 字段，请参阅 TPS6594-Q1 和 LP8764-Q1 数据表中的数字信号说明部分。

表 5-7. GPIO NVM 设置

寄存器名称	字段名称	TPS6594-Q1		LP8764-Q1	
		值	说明	值	说明
GPIO1_CONF	GPIO1_OD	0x0	Push-pull output	0x0	Push-pull output
	GPIO1_DIR	0x0	Input	0x1	Output
	GPIO1_SEL	0x1	SCL_I2C2/CS_SPI	0x0	GPIO1
	GPIO1_PU_SEL	0x0	Pull-down resistor is selected.	0x0	Pull-down resistor is selected.
	GPIO1_PU_PD_EN	0x0	Pull-up or pull-down resistor is disabled.	0x0	Pull-up or pull-down resistor is disabled.
	GPIO1_DEGLITCH_EN	0x0	No deglitch, only synchronization.	0x0	No deglitch, only synchronization.
GPIO2_CONF	GPIO2_OD	0x0	Push-pull output	0x0	Push-pull output
	GPIO2_DIR	0x0	Input	0x1	Output
	GPIO2_SEL	0x2	SDA_I2C2/SDO_SPI	0x0	GPIO2
	GPIO2_PU_SEL	0x0	Pull-down resistor is selected.	0x0	Pull-down resistor is selected.
	GPIO2_PU_PD_EN	0x0	Pull-up or pull-down resistor is disabled.	0x0	Pull-up or pull-down resistor is disabled.
	GPIO2_DEGLITCH_EN	0x0	No deglitch, only synchronization.	0x0	No deglitch, only synchronization.
GPIO3_CONF	GPIO3_OD	0x0	Push-pull output	0x0	Push-pull output
	GPIO3_DIR	0x1	Output	0x1	Output
	GPIO3_SEL	0x0	GPIO3	0x0	GPIO3
	GPIO3_PU_SEL	0x0	Pull-down resistor is selected.	0x0	Pull-down resistor is selected.
	GPIO3_PU_PD_EN	0x0	Pull-up or pull-down resistor is disabled.	0x0	Pull-up or pull-down resistor is disabled.
	GPIO3_DEGLITCH_EN	0x0	No deglitch, only synchronization.	0x0	No deglitch, only synchronization.
GPIO4_CONF	GPIO4_OD	0x0	Push-pull output	0x0	Push-pull output
	GPIO4_DIR	0x0	Input	0x0	Input
	GPIO4_SEL	0x6	LP_WKUP1	0x1	ENABLE
	GPIO4_PU_SEL	0x0	Pull-down resistor is selected.	0x0	Pull-down resistor is selected.
	GPIO4_PU_PD_EN	0x1	Pull-up/pull-down resistor enabled	0x1	Pull-up or pull-down resistor is enabled.
	GPIO4_DEGLITCH_EN	0x1	10 μs deglitch time.	0x1	8 μs deglitch time.
GPIO5_CONF	GPIO5_OD	0x0	Push-pull output	0x0	Push-pull output
	GPIO5_DIR	0x0	Input	0x1	Output
	GPIO5_SEL	0x1	SCLK_SPMI	0x0	GPIO5
	GPIO5_PU_SEL	0x0	Pull-down resistor is selected.	0x0	Pull-down resistor is selected.
	GPIO5_PU_PD_EN	0x0	Pull-up or pull-down resistor is disabled.	0x0	Pull-up or pull-down resistor is disabled.
	GPIO5_DEGLITCH_EN	0x0	No deglitch, only synchronization.	0x0	No deglitch, only synchronization.

表 5-7. GPIO NVM 设置 (continued)

寄存器名称	字段名称	TPS6594-Q1		LP8764-Q1	
		值	说明	值	说明
GPIO6_CONF	GPIO6_OD	0x0	Push-pull output	0x0	Push-pull output
	GPIO6_DIR	0x0	Input	0x0	Input
	GPIO6_SEL	0x1	SDATA_SPMI	0x0	GPIO6
	GPIO6_PU_SEL	0x0	Pull-down resistor is selected.	0x0	Pull-down resistor is selected
	GPIO6_PU_PD_EN	0x0	Pull-up or pull-down resistor is disabled.	0x1	Pull-up or pull-down resistor is enabled.
	GPIO6_DEGLITCH_EN	0x0	No deglitch, only synchronization.	0x1	8 μ s deglitch time.
GPIO7_CONF	GPIO7_OD	0x0	Push-pull output	0x0	Push-pull output
	GPIO7_DIR	0x0	Input	0x1	Output
	GPIO7_SEL	0x1	NERR_MCU	0x0	GPIO7
	GPIO7_PU_SEL	0x0	Pull-down resistor is selected.	0x0	Pull-down resistor is selected.
	GPIO7_PU_PD_EN	0x1	Pull-up or pull-down resistor is enabled.	0x0	Pull-up or pull-down resistor is disabled
	GPIO7_DEGLITCH_EN	0x1	10 μ s deglitch time.	0x0	No deglitch, only synchronization.
GPIO8_CONF	GPIO8_OD	0x0	Push-pull output	0x0	Push-pull output
	GPIO8_DIR	0x0	Input	0x0	Input
	GPIO8_SEL	0x3	DISABLE_WDOG	0x1	SCLK_SPMI
	GPIO8_PU_SEL	0x0	Pull-down resistor is selected.	0x0	Pull-down resistor is selected.
	GPIO8_PU_PD_EN	0x1	Pull-up or pull-down resistor is enabled.	0x1	Pull-up or pull-down resistor is enabled.
	GPIO8_DEGLITCH_EN	0x1	10 μ s deglitch time.	0x0	No deglitch, only synchronization.
GPIO9_CONF	GPIO9_OD	0x0	Push-pull output	0x0	Push-pull output
	GPIO9_DIR	0x0	Input	0x0	Input
	GPIO9_SEL	0x4	NSLEEP1	0x1	SDATA_SPMI
	GPIO9_PU_SEL	0x0	Pull-down resistor is selected.	0x0	Pull-down resistor is selected.
	GPIO9_PU_PD_EN	0x1	Pull-up or pull-down resistor is enabled.	0x1	Pull-up or pull-down resistor is enabled.
	GPIO9_DEGLITCH_EN	0x0	No deglitch, only synchronization.	0x0	No deglitch, only synchronization.
GPIO10_CONF	GPIO10_OD	0x0	Push-pull output	0x0	Push-pull output
	GPIO10_DIR	0x0	Input	0x1	Output
	GPIO10_SEL	0x0	GPIO10	0x0	GPIO10
	GPIO10_PU_SEL	0x0	Pull-down resistor is selected.	0x0	Pull-down resistor is selected.
	GPIO10_PU_PD_EN	0x1	Pull-up or pull-down resistor is enabled.	0x0	Pull-up or pull-down resistor is disabled.
	GPIO10_DEGLITCH_EN	0x0	No deglitch, only synchronization.	0x0	No deglitch, only synchronization.
GPIO11_CONF	GPIO11_OD	0x1	Open-drain output		
	GPIO11_DIR	0x1	Output		
	GPIO11_SEL	0x2	NRSTOUT_SOC		
	GPIO11_PU_SEL	0x0	Pull-down resistor is selected.		
	GPIO11_PU_PD_EN	0x0	Pull-up or pull-down resistor is disabled.		
	GPIO11_DEGLITCH_EN	0x0	No deglitch, only synchronization.		

表 5-7. GPIO NVM 设置 (continued)

寄存器名称	字段名称	TPS6594-Q1		LP8764-Q1	
		值	说明	值	说明
NPWRON_CONF	NPWRON_SEL	0x0	ENABLE		
	ENABLE_PU_SEL	0x0	Pull-down resistor is selected.		
	ENABLE_PU_PD_EN	0x1	Pull-up or pull-down resistor is enabled.		
	ENABLE_DEGLITCH_EN	0x1	10 μ s deglitch time when ENABLE, 50 ms deglitch time when NPWRON.		
	ENABLE_POL	0x0	Active high	0x0	Active high
	NRSTOUT_OD	0x1	Open-drain output		
GPIO_OUT_1	GPIO1_OUT ⁽¹⁾	0x0	Low	0x0	Low
	GPIO2_OUT ⁽¹⁾	0x0	Low	0x0	Low
	GPIO3_OUT ⁽¹⁾	0x0	Low	0x0	Low
	GPIO4_OUT ⁽¹⁾	0x0	Low	0x0	Low
	GPIO5_OUT ⁽¹⁾	0x0	Low	0x0	Low
	GPIO6_OUT ⁽¹⁾	0x0	Low	0x0	Low
	GPIO7_OUT ⁽¹⁾	0x0	Low	0x0	Low
	GPIO8_OUT ⁽¹⁾	0x0	Low	0x0	Low
GPIO_OUT_2	GPIO9_OUT ⁽¹⁾	0x0	Low	0x0	Low
	GPIO10_OUT ⁽¹⁾	0x0	Low	0x0	Low
	GPIO11_OUT ⁽¹⁾	0x0	Low		

(1) 请注意，当器件转换到运行模式时，此 NVM 默认值会改变。

5.7 有限状态机 (FSM) 设置

这些设置描述了如何将各种系统级状态分配给 PMIC 输出轨。此外，还描述了每个系统级状态的默认触发条件。所有这些设置都可以在启动后通过 I²C 进行更改。

表 5-8. FSM NVM 设置

寄存器名称	字段名称	TPS6594-Q1		LP8764-Q1	
		值	说明	值	说明
RAIL_SEL_1	BUCK1_GRP_SEL	0x1	MCU rail group	0x2	SOC rail group
	BUCK2_GRP_SEL	0x1	MCU rail group	0x2	SOC rail group
	BUCK3_GRP_SEL	0x1	MCU rail group	0x2	SOC rail group
	BUCK4_GRP_SEL	0x1	MCU rail group	0x2	SOC rail group
RAIL_SEL_2	BUCK5_GRP_SEL	0x2	SOC rail group		
	LDO1_GRP_SEL	0x1	MCU rail group		
	LDO2_GRP_SEL	0x2	SOC rail group		
	LDO3_GRP_SEL	0x1	MCU rail group		
RAIL_SEL_3	VMON2_GRP_SEL			0x0	No group assigned
	VMON1_GRP_SEL			0x0	No group assigned
	LDO4_GRP_SEL	0x2	SOC rail group		
	VCCA_GRP_SEL	0x1	MCU rail group	0x1	MCU rail group
FSM_TRIG_SEL_1	MCU_RAIL_TRIG	0x2	MCU power error	0x2	MCU power error
	SOC_RAIL_TRIG	0x3	SOC power error	0x3	SOC power error
	OTHER_RAIL_TRIG	0x3	SOC power error	0x3	SOC power error
	SEVERE_ERR_TRIG	0x0	Immediate shutdown	0x0	Immediate shutdown
FSM_TRIG_SEL_2	MODERATE_ERR_TRIG	0x1	Orderly shutdown	0x1	Orderly shutdown

5.8 中断设置

这些设置详细说明了由 nINT 引脚监控的项目的默认配置。所有这些设置都可以在启动后通过 I²C 进行更改。

表 5-9. 中断 NVM 设置

寄存器名称	字段名称	TPS6594-Q1		LP8764-Q1	
		值	说明	值	说明
FSM_TRIG_MASK_1	GPIO1_FSM_MASK	0x1	Masked	0x1	Masked
	GPIO1_FSM_MASK_P OL	0x0	Masking sets the signal value to '0'.	0x0	Masking sets the signal value to '0'.
	GPIO2_FSM_MASK	0x1	Masked	0x1	Masked
	GPIO2_FSM_MASK_P OL	0x0	Masking sets the signal value to '0'.	0x0	Masking sets the signal value to '0'.
	GPIO3_FSM_MASK	0x1	Masked	0x1	Masked
	GPIO3_FSM_MASK_P OL	0x0	Masking sets the signal value to '0'.	0x0	Masking sets the signal value to '0'.
	GPIO4_FSM_MASK	0x1	Masked	0x1	Masked
	GPIO4_FSM_MASK_P OL	0x0	Masking sets the signal value to '0'.	0x0	Masking sets the signal value to '0'.
FSM_TRIG_MASK_2	GPIO5_FSM_MASK	0x1	Masked	0x1	Masked
	GPIO5_FSM_MASK_P OL	0x0	Masking sets the signal value to '0'.	0x0	Masking sets the signal value to '0'.
	GPIO6_FSM_MASK	0x1	Masked	0x1	Masked
	GPIO6_FSM_MASK_P OL	0x0	Masking sets the signal value to '0'.	0x0	Masking sets the signal value to '0'.
	GPIO7_FSM_MASK	0x1	Masked	0x1	Masked
	GPIO7_FSM_MASK_P OL	0x0	Masking sets the signal value to '0'.	0x0	Masking sets the signal value to '0'.
	GPIO8_FSM_MASK	0x1	Masked	0x1	Masked
	GPIO8_FSM_MASK_P OL	0x0	Masking sets the signal value to '0'.	0x0	Masking sets the signal value to '0'.
FSM_TRIG_MASK_3	GPIO9_FSM_MASK	0x1	Masked	0x1	Masked
	GPIO9_FSM_MASK_P OL	0x0	Masking sets the signal value to '0'.	0x0	Masking sets the signal value to '0'.
	GPIO10_FSM_MASK	0x1	Masked	0x1	Masked
	GPIO10_FSM_MASK_ POL	0x0	Masking sets the signal value to '0'.	0x0	Masking sets the signal value to '0'.
	GPIO11_FSM_MASK	0x1	Masked		
	GPIO11_FSM_MASK_ POL	0x0	Masking sets the signal value to '0'.		
MASK_BUCK1_2	BUCK1_ILIM_MASK	0x1	Interrupt is not generated.	0x1	Interrupt is not generated.
	BUCK1_OV_MASK	0x1	Interrupt is not generated.	0x1	Interrupt is not generated.
	BUCK1_UV_MASK	0x1	Interrupt is not generated.	0x1	Interrupt is not generated.
	BUCK2_ILIM_MASK	0x1	Interrupt is not generated.	0x1	Interrupt is not generated.
	BUCK2_OV_MASK	0x1	Interrupt is not generated.	0x1	Interrupt is not generated.
	BUCK2_UV_MASK	0x1	Interrupt is not generated.	0x1	Interrupt is not generated.
MASK_BUCK3_4	BUCK3_ILIM_MASK	0x1	Interrupt is not generated.	0x1	Interrupt is not generated.
	BUCK3_OV_MASK	0x1	Interrupt is not generated.	0x1	Interrupt is not generated.
	BUCK3_UV_MASK	0x1	Interrupt is not generated.	0x1	Interrupt is not generated.
	BUCK4_OV_MASK	0x1	Interrupt is not generated.	0x1	Interrupt is not generated.
	BUCK4_UV_MASK	0x1	Interrupt is not generated.	0x1	Interrupt is not generated.
	BUCK4_ILIM_MASK	0x1	Interrupt is not generated.	0x1	Interrupt is not generated.

表 5-9. 中断 NVM 设置 (continued)

寄存器名称	字段名称	TPS6594-Q1		LP8764-Q1	
		值	说明	值	说明
MASK_BUCK5	BUCK5_ILIM_MASK	0x1	Interrupt is not generated.		
	BUCK5_OV_MASK	0x1	Interrupt is not generated.		
	BUCK5_UV_MASK	0x1	Interrupt is not generated.		
MASK_LDO1_2	LDO1_OV_MASK	0x1	Interrupt is not generated.		
	LDO1_UV_MASK	0x1	Interrupt is not generated.		
	LDO2_OV_MASK	0x1	Interrupt is not generated.		
	LDO2_UV_MASK	0x1	Interrupt is not generated.		
	LDO1_ILIM_MASK	0x1	Interrupt is not generated.		
	LDO2_ILIM_MASK	0x1	Interrupt is not generated.		
MASK_LDO3_4	LDO3_OV_MASK	0x1	Interrupt is not generated.		
	LDO3_UV_MASK	0x1	Interrupt is not generated.		
	LDO4_OV_MASK	0x1	Interrupt is not generated.		
	LDO4_UV_MASK	0x1	Interrupt is not generated.		
	LDO3_ILIM_MASK	0x1	Interrupt is not generated.		
	LDO4_ILIM_MASK	0x1	Interrupt is not generated.		
MASK_VMON	VMON2_UV_MASK			0x1	Interrupt is not generated.
	VMON2_OV_MASK			0x1	Interrupt is not generated.
	VMON1_UV_MASK			0x1	Interrupt is not generated.
	VMON1_OV_MASK			0x1	Interrupt is not generated.
	VCCA_OV_MASK	0x0	Interrupt is generated.	0x0	Interrupt is generated.
	VCCA_UV_MASK	0x0	Interrupt is generated.	0x0	Interrupt is generated.
MASK_GPIO1_8_FALL	GPIO1_FALL_MASK	0x1	Interrupt is not generated.	0x1	Interrupt is not generated.
	GPIO2_FALL_MASK	0x1	Interrupt is not generated.	0x1	Interrupt is not generated.
	GPIO3_FALL_MASK	0x1	Interrupt is not generated.	0x1	Interrupt is not generated.
	GPIO4_FALL_MASK	0x1	Interrupt is not generated.	0x1	Interrupt is not generated.
	GPIO5_FALL_MASK	0x1	Interrupt is not generated.	0x1	Interrupt is not generated.
	GPIO6_FALL_MASK	0x1	Interrupt is not generated.	0x1	Interrupt is not generated.
	GPIO7_FALL_MASK	0x1	Interrupt is not generated.	0x1	Interrupt is not generated.
	GPIO8_FALL_MASK	0x1	Interrupt is not generated.	0x1	Interrupt is not generated.
MASK_GPIO1_8_RISE	GPIO1_RISE_MASK	0x1	Interrupt is not generated.	0x1	Interrupt is not generated.
	GPIO2_RISE_MASK	0x1	Interrupt is not generated.	0x1	Interrupt is not generated.
	GPIO3_RISE_MASK	0x1	Interrupt is not generated.	0x1	Interrupt is not generated.
	GPIO4_RISE_MASK	0x1	Interrupt is not generated.	0x1	Interrupt is not generated.
	GPIO5_RISE_MASK	0x1	Interrupt is not generated.	0x1	Interrupt is not generated.
	GPIO6_RISE_MASK	0x1	Interrupt is not generated.	0x1	Interrupt is not generated.
	GPIO7_RISE_MASK	0x1	Interrupt is not generated.	0x1	Interrupt is not generated.
	GPIO8_RISE_MASK	0x1	Interrupt is not generated.	0x1	Interrupt is not generated.
MASK_GPIO9_11 / MASK_GPIO9_10	GPIO9_FALL_MASK	0x1	Interrupt is not generated.	0x1	Interrupt is not generated.
	GPIO9_RISE_MASK	0x1	Interrupt is not generated.	0x1	Interrupt is not generated.
	GPIO10_FALL_MASK	0x1	Interrupt is not generated.	0x1	Interrupt is not generated.
	GPIO11_FALL_MASK	0x1	Interrupt is not generated.		
	GPIO10_RISE_MASK	0x1	Interrupt is not generated.	0x1	Interrupt is not generated.
	GPIO11_RISE_MASK	0x1	Interrupt is not generated.		

表 5-9. 中断 NVM 设置 (continued)

寄存器名称	字段名称	TPS6594-Q1		LP8764-Q1	
		值	说明	值	说明
MASK_STARTUP	NPWRON_START_MASK	0x1	Interrupt is not generated.		
	ENABLE_MASK	0x0	Interrupt is generated.	0x0	Interrupt is generated.
	FSD_MASK	0x1	Interrupt is not generated.	0x1	Interrupt is not generated.
MASK_MISC	TWARN_MASK	0x0	Interrupt is generated.	0x0	Interrupt is generated.
	BIST_PASS_MASK	0x0	Interrupt is generated.	0x0	Interrupt is generated.
	EXT_CLK_MASK	0x1	Interrupt is not generated.	0x1	Interrupt is not generated.
MASK_MODERATE_ERR	BIST_FAIL_MASK	0x1	Interrupt is not generated.	0x1	Interrupt is not generated.
	REG_CRC_ERR_MASK	0x1	Interrupt is not generated.	0x1	Interrupt is not generated.
	SPMI_ERR_MASK	0x0	Interrupt is generated.	0x0	Interrupt is generated.
	NPWRON_LONG_MASK	0x1	Interrupt is not generated.		
	PFSM_ERR_MASK	0x0	Interrupt is generated.	0x0	Interrupt is generated.
MASK_FSM_ERR	WD_MASK			0x1	Interrupt is not generated.
	IMM_SHUTDOWN_MASK	0x0	Interrupt is generated.	0x0	Interrupt is generated.
	MCU_PWR_ERR_MASK	0x0	Interrupt is generated.	0x1	Interrupt is not generated.
	SOC_PWR_ERR_MASK	0x0	Interrupt is generated.	0x0	Interrupt is generated.
	ORD_SHUTDOWN_MASK	0x0	Interrupt is generated.	0x0	Interrupt is generated.
MASK_COMM_ERR	COMM_FRM_ERR_MASK	0x1	Interrupt is not generated.	0x1	Interrupt is not generated.
	COMM_CRC_ERR_MASK	0x1	Interrupt is not generated.	0x1	Interrupt is not generated.
	COMM_ADR_ERR_MASK	0x1	Interrupt is not generated.	0x1	Interrupt is not generated.
	I2C2_CRC_ERR_MASK	0x1	Interrupt is not generated.	0x1	Interrupt is not generated.
	I2C2_ADR_ERR_MASK	0x1	Interrupt is not generated.	0x1	Interrupt is not generated.
MASK_READBACK_ERR	EN_DRV_READBACK_MASK	0x0	Interrupt is generated.	0x1	Interrupt is not generated.
	NINT_READBACK_MASK	0x0	Interrupt is generated.	0x0	Interrupt is generated.
	NRSTOUT_READBACK_MASK	0x0	Interrupt is generated.	0x1	Interrupt is not generated.
	NRSTOUT_SOC_READBACK_MASK	0x0	Interrupt is generated.	0x1	Interrupt is not generated.
MASK_ESM	ESM_SOC_PIN_MASK	0x1	Interrupt is not generated.		
	ESM_SOC_RST_MASK	0x1	Interrupt is not generated.		
	ESM_SOC_FAIL_MASK	0x1	Interrupt is not generated.		
	ESM_MCU_PIN_MASK	0x1	Interrupt is not generated.	0x1	Interrupt is not generated.
	ESM_MCU_RST_MASK	0x1	Interrupt is not generated.	0x1	Interrupt is not generated.
	ESM_MCU_FAIL_MASK	0x1	Interrupt is not generated.	0x1	Interrupt is not generated.

5.9 POWERGOOD 设置

这些设置详细说明了由 PGOOD 引脚监控的项目的默认配置。所有这些设置都可以在启动后通过 I²C 进行更改。

表 5-10. POWERGOOD NVM 设置

寄存器名称	字段名称	TPS6594-Q1		LP8764-Q1	
		值	说明	值	说明
PGOOD_SEL_1	PGOOD_SEL_BUCK1	0x0	Masked	0x0	Masked
	PGOOD_SEL_BUCK2	0x0	Masked	0x0	Masked
	PGOOD_SEL_BUCK3	0x0	Masked	0x0	Masked
	PGOOD_SEL_BUCK4	0x0	Masked	0x0	Masked
PGOOD_SEL_2	PGOOD_SEL_BUCK5	0x0	Masked		
PGOOD_SEL_3	PGOOD_SEL_LDO1	0x0	Masked		
	PGOOD_SEL_LDO2	0x0	Masked		
	PGOOD_SEL_LDO3	0x0	Masked		
	PGOOD_SEL_LDO4	0x0	Masked		
PGOOD_SEL_4	PGOOD_SEL_VCCA	0x0	Masked	0x0	Masked
	PGOOD_SEL_VMON1			0x0	Masked
	PGOOD_SEL_VMON2			0x0	Masked
	PGOOD_SEL_TDIE_WARN	0x0	Masked	0x0	Masked
	PGOOD_SEL_NRSTOUT	0x0	Masked	0x0	Masked
	PGOOD_SEL_NRSTOUT_SOC	0x0	Masked	0x0	Masked
	PGOOD_POL	0x0	PGOOD signal is high when monitored inputs are valid	0x0	PGOOD signal is high when monitored inputs are valid
	PGOOD_WINDOW	0x1	Both undervoltage and overvoltage are monitored	0x0	Only undervoltage is monitored

5.10 其他设置

这些设置详细说明了附加设置的默认配置，例如展频、BUCK 频率和 LDO 超时。所有这些设置都可以在启动后通过 I²C 进行更改。

表 5-11. 其他 NVM 设置

寄存器名称	字段名称	TPS6594-Q1		LP8764-Q1	
		值	说明	值	说明
PLL_CTRL	EXT_CLK_FREQ	0x1	2.2 MHz	0x0	1.1 MHz
CONFIG_1	TWARN_LEVEL	0x0	120°C	0x0	130°C
	I2C1_HS	0x0	Standard, fast or fast+ by default, can be set to Hs-mode by Hs-mode master code.	0x0	Standard, fast or fast+ by default, can be set to Hs-mode by Hs-mode master code.
	I2C2_HS	0x0	Standard, fast or fast+ by default, can be set to Hs-mode by Hs-mode master code.	0x0	Standard, fast or fast+ by default, can be set to Hs-mode by Hs-mode master code.
	EN_ILIM_FSM_CTRL	0x0	Buck/LDO regulators ILIM interrupts do not affect FSM triggers.	0x0	Buck regulators ILIM interrupts do not affect FSM triggers.
	NSLEEP1_MASK	0x0	NSLEEP1(B) affects FSM state transitions.	0x1	NSLEEP1(B) does not affect FSM state transitions.
	NSLEEP2_MASK	0x0	NSLEEP2(B) affects FSM state transitions.	0x1	NSLEEP2(B) does not affect FSM state transitions.

表 5-11. 其他 NVM 设置 (continued)

寄存器名称	字段名称	TPS6594-Q1		LP8764-Q1	
		值	说明	值	说明
CONFIG_2	BB_CHARGER_EN	0x0	Disabled		
	BB_VEOC	0x0	2.5 V		
	BB_ICHR	0x0	100 μ A		
RECOV_CNT_REG_2	RECOV_CNT_THR	0xf	0xf	0xf	0xf
BUCK_RESET_REG	BUCK1_RESET	0x0	0x0	0x0	0x0
	BUCK2_RESET	0x0	0x0	0x0	0x0
	BUCK3_RESET	0x0	0x0	0x0	0x0
	BUCK4_RESET	0x0	0x0	0x0	0x0
	BUCK5_RESET	0x0	0x0		
SPREAD_SPECTRUM_1	SS_EN	0x0	Spread spectrum disabled	0x0	Spread spectrum disabled
	SS_MODE	0x1	Mixed dwell	0x1	Mixed dwell
	SS_DEPTH	0x0	No modulation	0x0	No modulation
SPREAD_SPECTRUM_2	SS_PARAM1	0x7	0x7	0x7	0x7
	SS_PARAM2	0xc	0xc	0xc	0xc
FREQ_SEL	BUCK1_FREQ_SEL	0x1	4.4 MHz	0x1	4.4 MHz
	BUCK2_FREQ_SEL	0x1	4.4 MHz	0x1	4.4 MHz
	BUCK3_FREQ_SEL	0x1	4.4 MHz	0x1	4.4 MHz
	BUCK4_FREQ_SEL	0x1	4.4 MHz	0x1	4.4 MHz
	BUCK5_FREQ_SEL	0x1	4.4 MHz		
FSM_STEP_SIZE	PFSM_DELAY_STEP	0xb	0xb	0xb	0xb
LDO_RV_TIMEOUT_REG_1	LDO1_RV_TIMEOUT	0xf	16 ms		
	LDO2_RV_TIMEOUT	0xf	16 ms		
LDO_RV_TIMEOUT_REG_2	LDO3_RV_TIMEOUT	0xf	16 ms		
	LDO4_RV_TIMEOUT	0xf	16 ms		
USER_SPARE_REGS	USER_SPARE_1	0x0	0x0	0x0	0x0
	USER_SPARE_2	0x0	0x0	0x0	0x0
	USER_SPARE_3	0x0	0x0	0x0	0x0
	USER_SPARE_4	0x0	0x0	0x0	0x0
ESM_MCU_MODE_CFG	ESM_MCU_EN	0x0	ESM_MCU disabled. MCU can set ENABLE_DRV bit to 1 if all other interrupt bits are cleared.	0x0	ESM_MCU disabled. MCU can set ENABLE_DRV bit to 1 if all other interrupt bits are cleared.
ESM_SOC_MODE_CFG	ESM_SOC_EN	0x0	ESM_SoC disabled. MCU can set ENABLE_DRV bit to 1 if all other interrupt bits are cleared.		
RTC_CTRL_2	XTAL_EN	0x1	Crystal oscillator is enabled		
	LP_STANDBY_SEL	0x1	Low power standby state is used as standby state (LDOINT is disabled).	0x0	Normal standby state is used.
	FAST_BIST	0x1	Only analog BIST is run when transitioning from LP_STANDBY to ACTIVE state.	0x1	Only analog BIST is run at BOOT BIST.
	STARTUP_DEST	0x3	ACTIVE	0x3	ACTIVE
	XTAL_SEL	0x1	9 pF		
PFSM_DELAY_REG_1	PFSM_DELAY1	0x54	0x54	0x0	0x0
PFSM_DELAY_REG_2	PFSM_DELAY2	0x0	0x0	0x0	0x0
PFSM_DELAY_REG_3	PFSM_DELAY3	0x0	0x0	0x0	0x0

表 5-11. 其他 NVM 设置 (continued)

寄存器名称	字段名称	TPS6594-Q1		LP8764-Q1	
		值	说明	值	说明
PFSM_DELAY_REG_4	PFSM_DELAY4	0x0	0x0	0x0	0x0

5.11 接口设置

这些设置详细说明了默认接口、接口配置和器件地址。这些设置在器件启动后不能更改。

表 5-12. 接口 NVM 设置

寄存器名称	字段名称	TPS6594-Q1		LP8764-Q1	
		值	说明	值	说明
SERIAL_IF_CONFIG	I2C_SPI_SEL	0x0	I2C	0x0	I2C
	I2C1_SPI_CRC_EN	0x0	CRC disabled	0x0	CRC disabled
	I2C2_CRC_EN	0x0	CRC disabled	0x0	CRC disabled
I2C1_ID_REG	I2C1_ID	0x48	0x48	0x4c	0x4c
I2C2_ID_REG	I2C2_ID	0x12	0x12	0x13	0x13

5.12 多器件设置

这些设置详细说明了器件是作为系统中的主器件还是从器件运行。这些设置在器件启动后不能更改。

表 5-13. 多器件 NVM 设置

寄存器名称	字段名称	TPS6594-Q1		LP8764-Q1	
		值	说明	值	说明
SPMI_CONFIG_1	SPMI_CRC_EN	0x1	SPMI CRC check is enabled.	0x1	SPMI CRC check is enabled.
	SPMI_MASTER_SEL	0x1	Master mode	0x0	Slave mode
	SPMI_CLK_SEL	0x2	5 MHz	0x2	5 MHz
SPMI_CONFIG_2	SPMI_IF_SEL	0x0	Debugs feature and uses master logic to implement the logical slave.	0x0	Debug feature and uses master logic to implement logical slave.
	SPMI_RETRY_LIMIT	0x3	Three retries in case an error is detected.	0x3	Three retries in case of error detected.
	SPMI_SLAVE_ASR_H OLD	0x0	TBD	0x0	TBD
	SPMI_WD_AUTO_BOOT	0x1	SPMI auto boot is enabled.	0x1	SPMI auto boot is enabled.
	SPMI_EN	0x1	SPMI is enabled.	0x1	SPMI is enabled.
	SPMI_WD_EN	0x1	SPMI WD is enabled.	0x1	SPMI WD is enabled.
SPMI_CONFIG_3	SPMI_WD_BOOT_INTERVAL	0x8	0x8	0x8	0x8
	SPMI_WD_RUNTIME_INTERVAL	0x8	0x8	0x8	0x8
SPMI_CONFIG_4	SPMI_WD_RESPONSE_TIMEOUT	0x8	0x8	0x8	0x8
	SPMI_PFSM_RESPONSE_TIMEOUT	0x8	0x8	0x8	0x8
SPMI_CONFIG_5	SPMI_WD_AUTO_BOOT_TIMEOUT	0x8	0x8		
SPMI_CONFIG_6	SPMI_BOOT_DELAY	0x0	0x0		
SPMI_ID	SPMI_SID	0x5	0x5	0x3	0x3
	SPMI_MID	0x0	0x0	0x0	0x0
SLAVE_NVM_ID_1	SLAVE1_NVM_ID	0x5	0x5		
SLAVE_NVM_ID_2	SLAVE2_NVM_ID	0x33	0x33		
SLAVE_NVM_ID_3	SLAVE3_NVM_ID	0x0	0x0		

表 5-13. 多器件 NVM 设置 (continued)

寄存器名称	字段名称	TPS6594-Q1		LP8764-Q1	
		值	说明	值	说明
SLAVE_NVM_ID_4	SLAVE4_NVM_ID	0x0	0x0		
SLAVE_NVM_ID_5	SLAVE5_NVM_ID	0x0	0x0		
SLAVE_NVM_ID_6	SLAVE6_NVM_ID	0x0	0x0		

5.13 看门狗设置

这些设置详细说明了默认的看门狗地址。这些设置可以在启动后通过 I²C 进行更改。

表 5-14. 看门狗 NVM 设置

寄存器名称	字段名称	TPS6594-Q1		LP8764-Q1	
		值	说明	值	说明
WD_THR_CFG	WD_EN	0x1	Watchdog enabled. MCU can set the ENABLE_DRV bit to 1 if: - watchdog is out of the Long Window - WD_FAIL_CNT[3:0] =< WD_FAIL_TH[2:0] - WD_FIRST_OK=1 - all other interrupt status bits are cleared.	0x0	Watchdog disabled. MCU can set the ENABLE_DRV bit to 1 if all other interrupt status bits are cleared.

6 可预配置的有限状态机 (PFSM) 设置

本部分介绍了 TPS6594-Q1 和 LP8764-Q1 器件的默认 PFSM 设置。这些设置在器件启动后不能更改。

6.1 配置的状态

在此 PDN 中，PMIC 器件可配置为以下四种电源状态：

- 待机
- 运行
- 仅 MCU
- 保持 (DDR 和 GPIO 都处于保持模式)

图 6-1 中描述了配置的电状态以及在配置的状态之间变化所需的转换条件。此外，还描述了向硬件状态 (如 SAFE RECOVERY) 的转换。

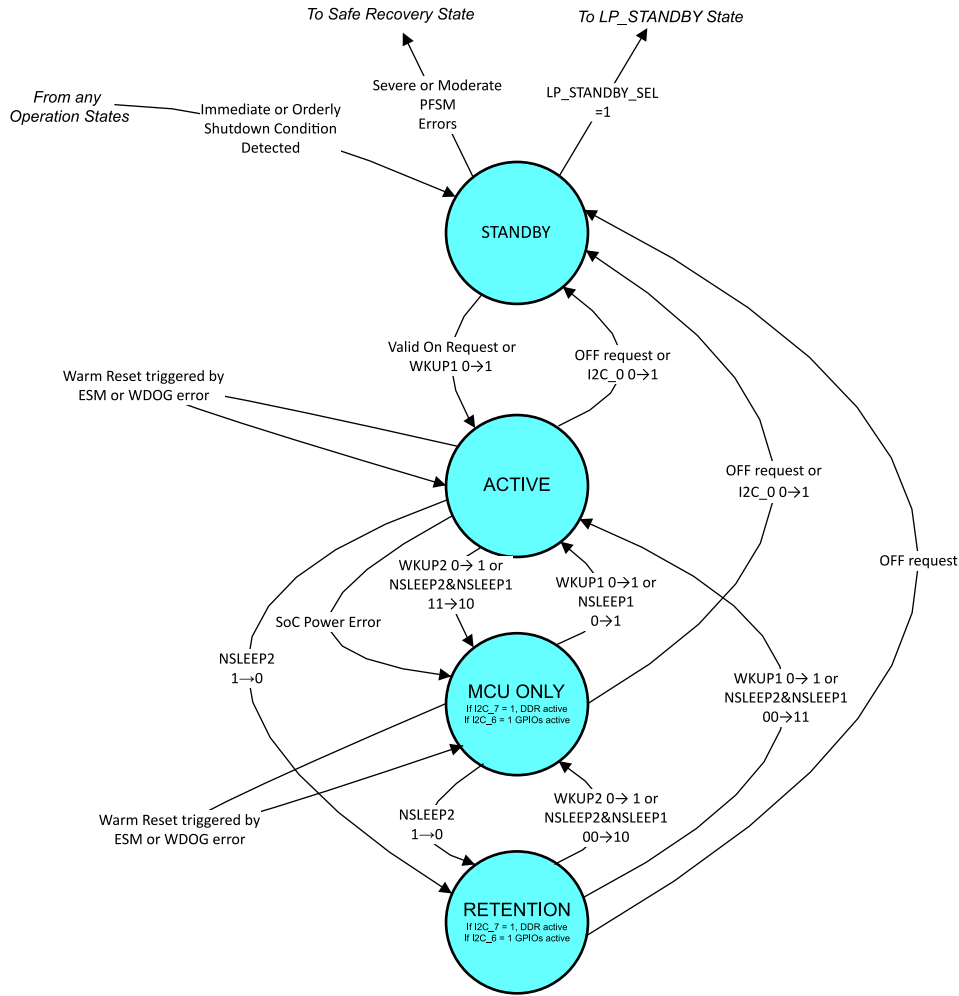


图 6-1. 可预配置状态机 (PFSM) 的状态和转换

各电源状态的定义如下所述：

- 待机** PMIC 由系统电源轨上的有效电源供电 ($VCCA > VCCA_{UV}$)，并等待启动事件或条件的达成。所有器件资源在待机状态下都会断电。在此状态下，EN_DRV 被强制为低电平。处理器处于关闭状态，没有电压域通电。
- 运行** PMIC 由有效电源供电，并已收到启动事件。PMIC 具有为处理器和其他平台模块供电的全部功能。处理器已完成推荐的上电序列，MCU 和主处理器内的所有电压域均已通电。MCU 现在可以将 ENABLE_DRV 位设置为高电平。
- 仅 MCU** PMIC 由有效电源供电。根据特定的资源设置，只有分配给处理器 MCU 轨的电源资源处于开启或低功耗模式 (LPM)。如果给定资源保持运行状态，则所有链接的子系统都会自动保持运行状态。ENABLE_DRV 位可由 MCU 设置为高电平，或在此状态下保持不变。
- 保持 (DDR 或 GPIO)** PMIC 由有效电源供电。根据特定的资源设置，只有分配给处理器保持轨的电源资源处于开启或 LPM 模式。如果给定资源保持运行状态，则所有链接的子系统都会自动保持运行状态。ENABLE_DRV 位在此状态下由器件清零。如果这两个 PMIC 中的 I2C_6 位都设置为高电平，则这两个 PMIC 将进入 GPIO 保持状态。如果这两个 PMIC 中的 I2C_7 位都设置为高电平，则这两个 PMIC 将进入 DDR 保持状态。在触发保持状态之前，需要由 I2C 设置这些位。

6.2 状态转换

如图 6-1 所示，存在各种触发条件可实现在配置的状态和硬件状态之间进行状态转换。表 6-1 描述了每种触发条件及其相关的状态转换（从最高优先级到最低优先级）。

表 6-1. 状态转换触发条件

触发条件	PFSM 当前状态	PFSM 目标状态	执行的电源序列
立即关断	待机、运行、仅 MCU、保持	SAFE	TO_SAFE_SEVERE
MCU 电源错误	待机、运行、仅 MCU、保持	SAFE	TO_SAFE
有序关断	待机、运行、仅 MCU、保持	SAFE	TO_SAFE_ORDERLY
关闭请求	待机、运行、仅 MCU、保持	待机	TO_STANDBY
WDOG 错误	运行	运行	WDOG_ERROR_ACTIVE
ESM MCU 错误	运行	运行	ESM_ERROR
ESM SOC 错误	运行	运行	
WDOG 错误	仅 MCU	仅 MCU	WDOG_ERROR_MCU
ESM MCU 错误	仅 MCU	仅 MCU	ESM_ERROR
SOC 电源错误	运行	仅 MCU	TO_MCU
I2C1 位变为高电平	运行、仅 MCU	无状态变化	无序列, RUNTIME BIST 执行
开启请求	待机、运行、仅 MCU、保持	运行	TO_ACTIVE
WKUP1 变为高电平	待机、运行、仅 MCU、保持	运行	
NSLEEP1 和 NSLEEP2 为高电平 ⁽¹⁾	待机、运行、仅 MCU、保持	运行	
MCU 开启请求	待机、运行、仅 MCU、保持	仅 MCU	TO_MCU
WKUP2 变为高电平	待机、运行、仅 MCU、保持	仅 MCU	
NSLEEP1 变为低电平, 而 NSLEEP2 变为高电平 ⁽¹⁾	运行、仅 MCU、保持	仅 MCU	
NSLEEP1 变为高电平, 而 NSLEEP2 变为低电平 ⁽¹⁾	运行、仅 MCU	保持	TO_RETENTION
NSLEEP1 变为高电平, 而 NSLEEP2 变为低电平 ⁽¹⁾	运行、仅 MCU	保持	
I2C_0 位变为高电平	待机、运行、仅 MCU	待机	TO_STANDBY

(1) 可通过 GPIO 引脚或寄存器位访问主 PMIC 的 NSLEEP1 和 NSLEEP2。如果寄存器位或 GPIO 引脚被拉高, NSLEEPx 值将读取为高逻辑电平。

6.3 电源序列

6.3.1 TO_SAFE_SEVERE 和 TO_SAFE

立即关断和 MCU 错误事件都会导致 PMIC 立即关断所有电源轨。但是, 立即关断 (TO_SAFE_SEVERE) 将首先禁用 BUCK 的时钟和开关, 并依靠 BUCK 和 LDO 的下拉电阻对电源轨进行放电。这是为了防止 VCCA 过压或热关断发生后 PMIC 受损。MCU 错误 (TO_SAFE) 将使 BUCK 保持切换, 直到它们被禁用。图 6-2 中显示了这些触发条件的序列。














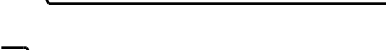
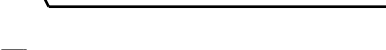
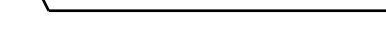
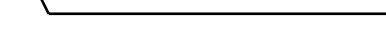
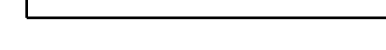
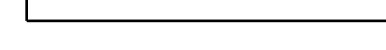
Sequence Name	Device	Delay Diagram	Total Delay	Rail Name
nRSTOUT_SOC	TPS6594-Q1		0 us	SOC_PORz_1V8
nRSTOUT	TPS6594-Q1		0 us	MCU_PORz_1V8
GPIO1	LP8764-Q1		0 us	EXT_VDDR_IO
BUCK4	TPS6594-Q1		0 us	VDD_DDR_1V1
BUCK2	LP8764-Q1		0 us	VDD_RAM_0V85
LDO3	TPS6594-Q1		0 us	VDD_WK_0V8
LDO2	TPS6594-Q1		0 us	VDA_DLL_0V8
BUCK3	LP8764-Q1		0 us	VDD_CORE_0V8
BUCK1	LP8764-Q1		0 us	VDD_CPU_AVS
BUCK3	TPS6594-Q1		0 us	VDD_MCU_0V85
LDO4	TPS6594-Q1		0 us	VDA_PLL_1V8
BUCK5	TPS6594-Q1		0 us	VDA_PHY_1V8
BUCK4	LP8764-Q1		0 us	VDD_IO_1V8
LDO1	TPS6594-Q1		0 us	VDD1_LPDDR4_1V8
BUCK1	TPS6594-Q1		0 us	VDA_MCU_1V8
BUCK2	TPS6594-Q1		0 us	VDD_MCUIO_1V8
GPIO7	LP8764-Q1		0 us	GPIORET_LDSW
GPIO10	LP8764-Q1		0 us	3V3IO_LDSW
GPIO3	TPS6594-Q1		0 us	MCUIO3V3_LDSW

图 6-2. TO_SAFE_SEVERE 和 TO_SAFE 序列

6.3.2 TO_SAFE_ORDERLY 和 TO_STANDBY

如果发生中度错误，则将生成有序关断触发条件。这将使用处理器建议的断电序列来关断 PMIC，然后转换到安全状态以允许器件重新启动并检查错误是否仍然存在。

如果发生关闭请求，例如 TPS6594-Q1 器件的 ENABLE 引脚被下拉到低电平，则将发生相同的断电序列，但 PMIC 最终会保持待机状态，而不是进入安全状态。这两个事件的电源序列如图 6-3 所示。

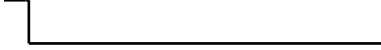
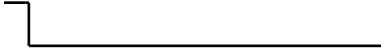

















Sequence Name	Device	Delay Diagram	Total Delay	Rail Name
nRSTOUT_SOC	TPS6594-Q1		0 us	SOC_PORz_1V8
nRSTOUT	TPS6594-Q1		0 us	MCU_PORz_1V8
GPIO1	LP8764-Q1		200 us	EXT_VDDR_IO
BUCK4	TPS6594-Q1		500 us	VDD_DDR_1V1
BUCK2	LP8764-Q1		500 us	VDD_RAM_0V85
LDO3	TPS6594-Q1		1000 us	VDD_WK_0V8
LDO2	TPS6594-Q1		1000 us	VDA_DLL_0V8
BUCK3	LP8764-Q1		1000 us	VDD_CORE_0V8
BUCK1	LP8764-Q1		1000 us	VDD_CPU_AVS
BUCK3	TPS6594-Q1		1000 us	VDD_MCU_0V85
LDO4	TPS6594-Q1		1500 us	VDA_PLL_1V8
BUCK5	TPS6594-Q1		1500 us	VDA_PHY_1V8
BUCK4	LP8764-Q1		1500 us	VDD_IO_1V8
LDO1	TPS6594-Q1		1500 us	VDD1_LPDDR4_1V8
BUCK1	TPS6594-Q1		1500 us	VDA_MCU_1V8
BUCK2	TPS6594-Q1		1500 us	VDD_MCUIO_1V8
GPIO7	LP8764-Q1		2000 us	GPIORET_LDSW
GPIO10	LP8764-Q1		2000 us	3V3IO_LDSW
GPIO3	TPS6594-Q1		2000 us	MCUIO3V3_LDSW

图 6-3. TO_SAFE_ORDERLY 和 TO_STANDBY 序列

6.3.3 WDOG_ERROR_ACTIVE

如果存在看门狗错误，nRSTOUT 和 nRSTOUT_SOC 信号将被驱动为低电平，恢复计数将增加。然后，所有的 BUCK 和 LDO 都将重置为其默认电压。如果不存在错误，nRSTOUT 和 nRSTOUT_SOC 信号将返回高值，PMIC 将保持在 ACTIVE (运行) 状态。请注意，在热复位事件期间，GPIO 不会被重置。图 6-4 中显示了该序列。

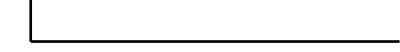













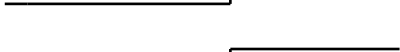

Sequence Name	Device	Delay Diagram	Total Delay	Rail Name
nRSTOUT_SOC	TPS6594-Q1		0 us	SOC_PORz_1V8
nRSTOUT	TPS6594-Q1		0 us	MCU_PORz_1V8
BUCK2	TPS6594-Q1		0 us	VDD_MCUIO_1V8
BUCK1	TPS6594-Q1		0 us	VDA_MCU_1V8
LDO1	TPS6594-Q1		0 us	VDD1_LPDDR4_1V8
BUCK4	LP8764-Q1		0 us	VDD_IO_1V8
BUCK5	TPS6594-Q1		0 us	VDA_PHY_1V8
LDO4	TPS6594-Q1		0 us	VDA_PLL_1V8
BUCK3	TPS6594-Q1		0 us	VDD_MCU_0V85
BUCK1	LP8764-Q1		0 us	VDD_CPU_AVS
BUCK3	LP8764-Q1		0 us	VDD_CORE_0V8
LDO2	TPS6594-Q1		0 us	VDA_DLL_0V8
LDO3	TPS6594-Q1		0 us	VDD_WK_0V8
BUCK2	LP8764-Q1		0 us	VDD_RAM_0V85
BUCK4	TPS6594-Q1		0 us	VDD_DDR_1V1
nRSTOUT	TPS6594-Q1		1000 us	MCU_PORz_1V8
nRSTOUT_SOC	TPS6594-Q1		1000 us	SOC_PORz_1V8

图 6-4. WDOG_ERROR_ACTIVE 序列

6.3.4 ESM_ERROR

在 ESM 错误的情况下，nRSTOUT 信号将被驱动到低电平，然后在 200µs 后再次被驱动到高电平。电源轨不会发生任何变化。图 6-5 中显示了该序列。

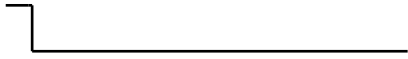
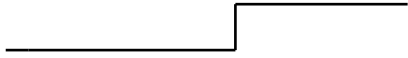
Sequence Name	Device	Delay Diagram	Total Delay	Rail Name
nRSTOUT_SOC	TPS6594-Q1		0 us	SOC_PORz_1V8
nRSTOUT_SOC	TPS6594-Q1		200 us	SOC_PORz_1V8

图 6-5. ESM_ERROR 序列

6.3.5 WDOG_ERROR_MCU

如果在仅 MCU 模式下存在看门狗错误，nRSTOUT 信号将被驱动为低电平，恢复计数将增加。然后，在 MCU 状态下处于运行状态的所有 BUCK 和 LDO 都将复位为其默认电压。如果不存在错误，nRSTOUT 信号将返回高逻辑值，PMIC 将保持在 MCU 状态。请注意，在 MCU 热复位事件期间，GPIO 不会被重置。图 6-6 中显示了该序列。

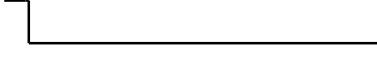



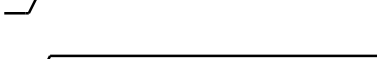



Sequence Name	Device	Delay Diagram	Total Delay	Rail Name
nRSTOUT	TPS6594-Q1		0 us	MCU_PORz_1V8
BUCK2	TPS6594-Q1		0 us	VDD_MCUIO_1V8
BUCK1	TPS6594-Q1		0 us	VDA_MCU_1V8
LDO1	TPS6594-Q1		0 us	VDD1_LPDDR4_1V8
BUCK3	TPS6594-Q1		0 us	VDD_MCU_0V85
LDO3	TPS6594-Q1		0 us	VDD_WK_0V8
BUCK4	TPS6594-Q1		0 us	VDD_DDR_1V1
nRSTOUT	TPS6594-Q1		1000 us	MCU_PORz_1V8

图 6-6. WDOG_ERROR_MCU 序列

6.3.6 TO_MCU

任何触发此序列的事件都将使得所有不为处理器的 MCU 域供电的电源轨关断。如果 MCU 轨尚未处于运行状态（例如 MCU 中的待机状态），则启用 MCU 轨。如果两个 PMIC 中的 I2C_6 位都设置为高电平，它们将保持处理器 GPIO，同时保持 MCU 处于运行状态，如图 6-7 所示。如果两个 PMIC 中的 I2C_7 位都设置为高电平，SRAM 将得到保持，同时 MCU 保持运行状态，如图 6-8 所示。如果这两个器件中的位都设置为高电平，GPIO 和 DDR 轨都将得到保持，同时 MCU 处于运行状态，如图 6-9 所示。最后，如果两个器件中的 I2C6 和 I2C7 都设置为低电平，则只有 MCU 保持运行状态，如图 6-10 所示。在触发保持状态之前，需要由这两个 PMIC 中的 I2C 设置这些位。

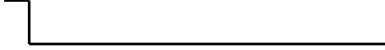
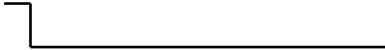










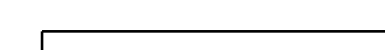
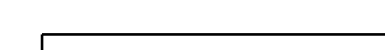
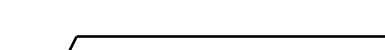
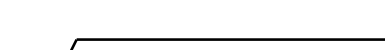



Sequence Name	Device	Delay Diagram	Total Delay	Rail Name
nRSTOUT_SOC	TPS6594-Q1		0 us	SOC_PORz_1V8
GPIO1	LP8764-Q1		200 us	EXT_VDDR_IO
BUCK4	TPS6594-Q1		500 us	VDD_DDR_1V1
BUCK2	LP8764-Q1		500 us	VDD_RAM_0V85
LDO2	TPS6594-Q1		1000 us	VDA_DLL_0V8
BUCK3	LP8764-Q1		1000 us	VDD_CORE_0V8
BUCK1	LP8764-Q1		1000 us	VDD_CPU_AVS
LDO4	TPS6594-Q1		1500 us	VDA_PLL_1V8
BUCK5	TPS6594-Q1		1500 us	VDA_PHY_1V8
BUCK4	LP8764-Q1		1500 us	VDD_IO_1V8
LDO1	TPS6594-Q1		1500 us	VDD1_LPDDR4_1V8
GPIO10	LP8764-Q1		2000 us	3V3IO_LDSW
GPIO3	TPS6594-Q1		2000 us	MCU3V3IO_LDSW
GPIO7	LP8764-Q1		2000 us	GPIORET_LDSW
BUCK2	TPS6594-Q1		4000 us	VDD_MCUIO_1V8
BUCK1	TPS6594-Q1		4000 us	VDA_MCU_1V8
BUCK3	TPS6594-Q1		4500 us	VDD_MCU_0V85
LDO3	TPS6594-Q1		4500 us	VDD_WK_0V8
nRSTOUT	TPS6594-Q1		14000 us	MCU_PORz

图 6-7. TO_MCU 序列, I2C_6 = 1

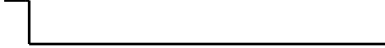










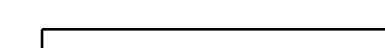
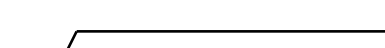
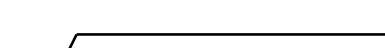
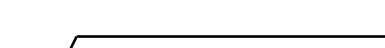




Sequence Name	Device	Delay Diagram	Total Delay	Rail Name
nRSTOUT_SOC	TPS6594-Q1		0 us	SOC_PORz_1V8
BUCK2	LP8764-Q1		500 us	VDD_RAM_0V85
LDO3	TPS6594-Q1		1000 us	VDD_WK_0V8
LDO2	TPS6594-Q1		1000 us	VDA_DLL_0V8
BUCK3	LP8764-Q1		1000 us	VDD_CORE_0V8
BUCK1	LP8764-Q1		1000 us	VDD_CPU_AV5
LDO4	TPS6594-Q1		1500 us	VDA_PLL_1V8
BUCK5	TPS6594-Q1		1500 us	VDA_PHY_1V8
BUCK4	LP8764-Q1		1500 us	VDD_IO_1V8
GPIO7	LP8764-Q1		2000 us	GPIORET_LDSW
GPIO10	LP8764-Q1		2000 us	3V3IO_LDSW
GPIO3	TPS6594-Q1		2000 us	MCU3V3IO_LDSW
BUCK2	TPS6594-Q1		4000 us	VDD_MCUIO_1V8
BUCK1	TPS6594-Q1		4000 us	VDA_MCU_1V8
LDO1	TPS6594-Q1		4000 us	VDD1_LPDDR4_1V8
BUCK3	TPS6594-Q1		4500 us	VDD_MCU_0V85
BUCK4	TPS6594-Q1		5000 us	VDD_DDR_1V1
GPIO1	LP8764-Q1		5500 us	EXT_VDDR_IO
nRSTOUT	TPS6594-Q1		14000 us	MCU_PORz

图 6-8. TO_MCU 序列, I2C_7 = 1

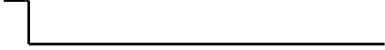








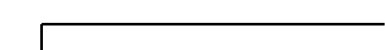
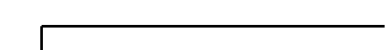
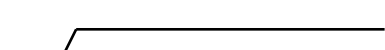
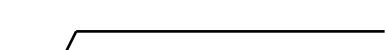
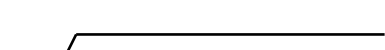
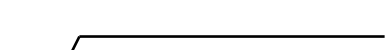
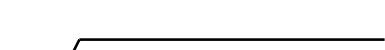



Sequence Name	Device	Delay Diagram	Total Delay	Rail Name
nRSTOUT_SOC	TPS6594-Q1		0 us	SOC_PORz_1V8
BUCK2	LP8764-Q1		500 us	VDD_RAM_0V85
LDO2	TPS6594-Q1		1000 us	VDA_DLL_0V8
BUCK3	LP8764-Q1		1000 us	VDD_CORE_0V8
BUCK1	LP8764-Q1		1000 us	VDD_CPU_AV5
LDO4	TPS6594-Q1		1500 us	VDA_PLL_1V8
BUCK5	TPS6594-Q1		1500 us	VDA_PHY_1V8
BUCK4	LP8764-Q1		1500 us	VDD_IO_1V8
GPIO10	LP8764-Q1		2000 us	3V3IO_LDSW
GPIO3	TPS6594-Q1		2000 us	MCU3V3IO_LDSW
GPIO7	LP8764-Q1		2000 us	GPIORET_LDSW
BUCK2	TPS6594-Q1		4000 us	VDD_MCUIO_1V8
BUCK1	TPS6594-Q1		4000 us	VDA_MCU_1V8
LDO1	TPS6594-Q1		4000 us	VDD1_LPDDR4_1V8
BUCK3	TPS6594-Q1		4500 us	VDD_MCU_0V85
LDO3	TPS6594-Q1		4500 us	VDD_WK_0V8
BUCK4	TPS6594-Q1		5000 us	VDD_DDR_1V1
GPIO1	LP8764-Q1		5500 us	EXT_VDDR_IO
nRSTOUT	TPS6594-Q1		14000 us	MCU_PORz

图 6-9. TO_MCU 序列, I2C6 = 1 且 I2C_7 = 1

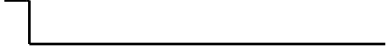
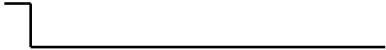












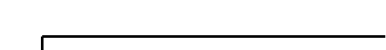
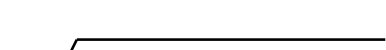



Sequence Name	Device	Delay Diagram	Total Delay	Rail Name
nRSTOUT_SOC	TPS6594-Q1		0 us	SOC_PORz_1V8
GPIO1	LP8764-Q1		200 us	EXT_VDDR_IO
BUCK4	TPS6594-Q1		500 us	VDD_DDR_1V1
BUCK2	LP8764-Q1		500 us	VDD_RAM_0V85
LDO3	TPS6594-Q1		1000 us	VDD_WK_0V8
LDO2	TPS6594-Q1		1000 us	VDA_DLL_0V8
BUCK3	LP8764-Q1		1000 us	VDD_CORE_0V8
BUCK1	LP8764-Q1		1000 us	VDD_CPU_AVS
LDO4	TPS6594-Q1		1500 us	VDA_PLL_1V8
BUCK5	TPS6594-Q1		1500 us	VDA_PHY_1V8
BUCK4	LP8764-Q1		1500 us	VDD_IO_1V8
LDO1	TPS6594-Q1		1500 us	VDD1_LPDDR4_1V8
GPIO7	LP8764-Q1		2000 us	GPIORET_LDSW
GPIO10	LP8764-Q1		2000 us	3V3IO_LDSW
GPIO3	TPS6594-Q1		2000 us	MCU3V3IO_LDSW
BUCK2	TPS6594-Q1		4000 us	VDD_MCUIO_1V8
BUCK1	TPS6594-Q1		4000 us	VDA_MCU_1V8
BUCK3	TPS6594-Q1		4500 us	VDD_MCU_0V85
nRSTOUT	TPS6594-Q1		14000 us	MCU_PORz

图 6-10. TO_MCU 序列, I2C6 = 0 且 I2C_7 = 0

6.3.7 TO_ACTIVE

当触发条件导致 TO_ACTIVE 序列被执行时，PMIC 的所有电源轨都将按照处理器建议的上电序列上电，如图 6-11 所示。

Sequence Name	Device	Delay Diagram	Total Delay	Rail Name
GPIO3	TPS6594-Q1		0 us	MCUIO3V3_LDSW
GPIO10	LP8764-Q1		0 us	3V3IO_LDSW
GPIO7	LP8764-Q1		0 us	GPIORET_LDSW
BUCK2	TPS6594-Q1		2000 us	VDD_MCUIO_1V8
BUCK1	TPS6594-Q1		2000 us	VDA_MCU_1V8
LDO1	TPS6594-Q1		2000 us	VDD1_LPDDR4_1V8
BUCK4	LP8764-Q1		2000 us	VDD_IO_1V8
BUCK5	TPS6594-Q1		2000 us	VDA_PHY_1V8
LDO4	TPS6594-Q1		2000 us	VDA_PLL_1V8
BUCK3	TPS6594-Q1		2500 us	VDD_MCU_0V85
BUCK1	LP8764-Q1		2500 us	VDD_CPU_AVS
BUCK3	LP8764-Q1		2500 us	VDD_CORE_0V8
LDO2	TPS6594-Q1		2500 us	VDA_DLL_0V8
LDO3	TPS6594-Q1		2500 us	VDD_WK_0V8
BUCK2	LP8764-Q1		3000 us	VDD_RAM_0V85
BUCK4	TPS6594-Q1		3000 us	VDD_DDR_1V1
GPIO1	LP8764-Q1		3500 us	EXT_VDDR_IO
nRSTOUT	TPS6594-Q1		12000 us	MCU_PORz_1V8
nRSTOUT_SOC	TPS6594-Q1		12000 us	SOC_PORz_1V8

图 6-11. TO_ACTIVE 序列

6.3.8 TO_RETENTION

触发此序列的任何事件都将禁用所有不向保持轨供电的电源轨和 GPIO。如果这两个 PMIC 中的 I2C_6 位都设置为高电平，则这两个 PMIC 将进入 GPIO 保持状态，如图 6-12 所示。如果这两个 PMIC 中的 I2C_7 位都设置为高电平，则这两个 PMIC 将进入 DDR 保持状态，如图 6-13 所示。如果这两个位都经过设置，GPIO 和 DDR 轨都将得到保持，如图 6-14 所示。在触发保持状态之前，需要由这两个 PMIC 中的 I2C 设置这些位。如果 I2C6 或 I2C7 均未设置为高电平，则 GPIO 和 DDR 将不会保持运行状态，如图 6-15 所示。


















Sequence Name	Device	Delay Diagram	Total Delay	Rail Name
nRSTOUT_SOC	TPS6594-Q1		0 us	SOC_PORz_1V8
nRSTOUT	TPS6594-Q1		0 us	MCU_PORz
GPIO1	LP8764-Q1		200 us	EXT_VDDR_IO
BUCK4	TPS6594-Q1		500 us	VDD_DDR_1V1
BUCK2	LP8764-Q1		500 us	VDD_RAM_0V85
LDO2	TPS6594-Q1		1000 us	VDA_DLL_0V8
BUCK3	LP8764-Q1		1000 us	VDD_CORE_0V8
BUCK1	LP8764-Q1		1000 us	VDD_CPU_AVS
BUCK3	TPS6594-Q1		1000 us	VDD_MCU_0V85
LDO4	TPS6594-Q1		1500 us	VDA_PLL_1V8
BUCK5	TPS6594-Q1		1500 us	VDA_PHY_1V8
BUCK4	LP8764-Q1		1500 us	VDD_IO_1V8
LDO1	TPS6594-Q1		1500 us	VDD1_LPDDR4_1V8
BUCK1	TPS6594-Q1		1500 us	VDA_MCU_1V8
BUCK2	TPS6594-Q1		1500 us	VDD_MCUIO_1V8
GPIO10	LP8764-Q1		2000 us	3V3IO_LDSW
GPIO3	TPS6594-Q1		2000 us	MCU3V3IO_LDSW

图 6-12. TO_RETENTION 序列，I2C6 = 1

















Sequence Name	Device	Delay Diagram	Total Delay	Rail Name
nRSTOUT_SOC	TPS6594-Q1		0 us	SOC_PORz_1V8
nRSTOUT	TPS6594-Q1		0 us	MCU_PORz
BUCK2	LP8764-Q1		500 us	VDD_RAM_0V85
LDO3	TPS6594-Q1		1000 us	VDD_WK_0V8
LDO2	TPS6594-Q1		1000 us	VDA_DLL_0V8
BUCK3	LP8764-Q1		1000 us	VDD_CORE_0V8
BUCK1	LP8764-Q1		1000 us	VDD_CPU_AV8
BUCK3	TPS6594-Q1		1000 us	VDD_MCU_0V85
LDO4	TPS6594-Q1		1500 us	VDA_PLL_1V8
BUCK5	TPS6594-Q1		1500 us	VDA_PHY_1V8
BUCK4	LP8764-Q1		1500 us	VDD_IO_1V8
BUCK1	TPS6594-Q1		1500 us	VDA_MCU_1V8
BUCK2	TPS6594-Q1		1500 us	VDD_MCUIO_1V8
GPIO7	LP8764-Q1		2000 us	GPIORET_LDSW
GPIO10	LP8764-Q1		2000 us	3V3IO_LDSW
GPIO3	TPS6594-Q1		2000 us	MCU3V3IO_LDSW

图 6-13. TO_RETENTION 序列, I2C7 = 1















Sequence Name	Device	Delay Diagram	Total Delay	Rail Name
nRSTOUT_SOC	TPS6594-Q1		0 us	SOC_PORz_1V8
nRSTOUT	TPS6594-Q1		0 us	MCU_PORz
BUCK2	LP8764-Q1		500 us	VDD_RAM_0V85
LDO2	TPS6594-Q1		1000 us	VDA_DLL_0V8
BUCK3	LP8764-Q1		1000 us	VDD_CORE_0V8
BUCK1	LP8764-Q1		1000 us	VDD_CPU_AV5
BUCK3	TPS6594-Q1		1000 us	VDD_MCU_0V85
LDO4	TPS6594-Q1		1500 us	VDA_PLL_1V8
BUCK5	TPS6594-Q1		1500 us	VDA_PHY_1V8
BUCK4	LP8764-Q1		1500 us	VDD_IO_1V8
BUCK1	TPS6594-Q1		1500 us	VDA_MCU_1V8
BUCK2	TPS6594-Q1		1500 us	VDD_MCUIO_1V8
GPIO10	LP8764-Q1		2000 us	3V3IO_LDSW
GPIO3	TPS6594-Q1		2000 us	MCU3V3IO_LDSW

图 6-14. TO_RETENTION 序列, I2C6 = 1 且 I2C7 = 1




















Sequence Name	Device	Delay Diagram	Total Delay	Rail Name
nRSTOUT_SOC	TPS6594-Q1		0 us	SOC_PORz_1V8
nRSTOUT	TPS6594-Q1		0 us	MCU_PORz
GPIO1	LP8764-Q1		200 us	EXT_VDDR_IO
BUCK4	TPS6594-Q1		500 us	VDD_DDR_1V1
BUCK2	LP8764-Q1		500 us	VDD_RAM_0V85
LDO3	TPS6594-Q1		1000 us	VDD_WK_0V8
LDO2	TPS6594-Q1		1000 us	VDA_DLL_0V8
BUCK3	LP8764-Q1		1000 us	VDD_CORE_0V8
BUCK1	LP8764-Q1		1000 us	VDD_CPU_AVS
BUCK3	TPS6594-Q1		1000 us	VDD_MCU_0V85
LDO4	TPS6594-Q1		1500 us	VDA_PLL_1V8
BUCK5	TPS6594-Q1		1500 us	VDA_PHY_1V8
BUCK4	LP8764-Q1		1500 us	VDD_IO_1V8
LDO1	TPS6594-Q1		1500 us	VDD1_LPDDR4_1V8
BUCK1	TPS6594-Q1		1500 us	VDA_MCU_1V8
BUCK2	TPS6594-Q1		1500 us	VDD_MCUIO_1V8
GPIO7	LP8764-Q1		2000 us	GPIORET_LDSW
GPIO10	LP8764-Q1		2000 us	3V3IO_LDSW
GPIO3	TPS6594-Q1		2000 us	MCU3V3IO_LDSW

图 6-15. TO_RETENTION 序列, I2C6 = 0 且 I2C7 = 0

7 附加资源

有关 PMIC 或处理器器件的更多信息，请使用表 7-1 获取实用资源：

表 7-1. 其他文档

标题	文档类型	器件	链接
TPS6594-Q1 电源管理集成电路 (PMIC)，适用于带有 5 个降压和 4 个 LDO 的处理器	数据表	TPS6594-Q1	链接
具有集成开关的 LP8764-Q1 四相 20A 降压转换器	数据表	LP8764-Q1	通过 mySecure 申请
Jacinto™ DRA821 汽车处理器器件修订版本 1.0	数据表	DRA821	通过 mySecure 申请
TPS6594-Q1 安全手册	安全手册	TPS6594-Q1	通过 mySecure 申请
LP8764-Q1 安全手册	安全手册	LP8764-Q1	通过 mySecure 申请
DRA821 安全手册 Jacinto™ 7 处理器	安全手册	DRA821	通过 mySecure 申请
TPS6594-Q1 原理图 PCB 检查清单	应用手册	TPS6594-Q1	链接

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2022，德州仪器 (TI) 公司