



摘要

本技术用户指南介绍了 J721E/DRA929/TDA4VM EVM 的硬件架构和配置选项。

内容

1 引言	5
1.1 关键特性	5
1.2 热性能合规性	6
1.3 REACH 合规性	7
1.4 EMC、EMI 和 ESD 合规性	7
2 J721E EVM 概述	7
2.1 J721E EVM 板识别	9
2.2 J721E SOM 元件标识	10
2.3 Jacinto7 通用处理器元件标识	11
2.4 四端口以太网扩展板元件标识	12
3 EVM 用户设置/配置	13
3.1 电源要求	13
3.2 通电开关和电源 LED	14
3.3 EVM 复位/中断按钮	18
3.4 EVM DIP 开关	19
3.5 EVM UART/COM 端口映射	23
3.6 JTAG 仿真	24
4 J721E EVM 硬件架构	27
4.1 J721E EVM 硬件顶层图	27
4.2 J721E EVM 接口映射	29
4.3 I2C 地址映射	30
4.4 GPIO 映射	31
4.5 电源	32
4.6 复位	39
4.7 时钟	40
4.8 存储器接口	43
4.9 MCU 以太网接口	49
4.10 QSGMII 以太网接口	51
4.11 PCIe 接口	53
4.12 USB 接口	59
4.13 CAN 接口	62
4.14 FPD 接口 (音频解串器)	65
4.15 FPD 面板接口 (DSI 视频串行器)	66
4.16 显示串行接口 (DSI) FPC	67
4.17 音频接口	67
4.18 显示端口接口	69
4.19 MLB 接口	69
4.20 I3C 接口	71
4.21 ADC 接口	71
4.22 RTC 接口	72
4.23 Apple 认证接头	73
4.24 EVM 扩展连接器	74

4.25 ENET 扩展连接器.....	78
4.26 CSI 扩展连接器.....	82
5 修订历史记录.....	84

插图清单

图 1-1. 高温警告.....	6
图 2-1. J721E EVM 板.....	7
图 2-2. 系统架构接口.....	8
图 2-3. J721E EVM 板识别 (SOM、CPB、QP 以太网)	9
图 2-4. J721E SOM 元件标识.....	10
图 2-5. Jacinto7 通用处理器元件标识.....	11
图 2-6. 四端口以太网扩展板元件标识.....	12
图 3-1. 用于电源输入的连接器的.....	13
图 3-2. 通电/断电开关.....	14
图 3-3. 电源开启/故障 LED.....	15
图 3-4. 电源状态 LED.....	16
图 3-5. EVM 按钮.....	18
图 3-6. EVM 配置 DIP 开关.....	19
图 3-7. 在处理器卡上提供的引导开关.....	22
图 3-8. JTAG 多路复用器.....	24
图 4-1. J721E EVM 功能方框图.....	27
图 4-2. 四端口以太网扩展功能方框图.....	28
图 4-3. J721E SOM 配电方框图.....	32
图 4-4. 加电时序.....	33
图 4-5. 电压监控器电路.....	34
图 4-6. LPDDR4 IO 电压选择电路.....	35
图 4-7. EVM 复位架构.....	39
图 4-8. EVM 时钟架构.....	40
图 4-9. J721E SoC 主时钟.....	41
图 4-10. J721E SoM LPDDR4.....	43
图 4-11. J721E SoM OSPI 和 HyperFlash.....	44
图 4-12. UFS 存储器方框图.....	45
图 4-13. eMMC 存储器方框图.....	46
图 4-14. Micro SD 卡方框图.....	47
图 4-15. MCU 千兆位以太网块.....	49
图 4-16. MCU 以太网 PHY 设置.....	50
图 4-17. 四路 SGMII 板 I2C.....	52
图 4-18. QSGMII 以太网 PHY 设置.....	53
图 4-19. SERDES0 的 PCIe 接口.....	54
图 4-20. PCIe SMBUS 方框图.....	54
图 4-21. 1L-PCIe 根复合体/端点选择电路.....	55
图 4-22. USB2.0 接头连接.....	56
图 4-23. SERDES1 的 PCIe 接口.....	57
图 4-24. 2L-PCIe 根复合体/端点选择电路.....	57
图 4-25. SERDES2 的 PCIe 接口.....	59
图 4-26. USB3.1 Type C 接口.....	60
图 4-27. Type C 电力输送电流设置.....	60
图 4-28. USB 集线器参考时钟电路.....	61
图 4-29. USB 集线器设置电路.....	61
图 4-30. 集线器的 USB1 ID 设置.....	61
图 4-31. MCU CAN0 接口.....	62
图 4-32. CAN 唤醒按钮.....	63
图 4-33. CAN 接头与 DB9/测试仪器的连接.....	64
图 4-34. FPD-Link UB926 ID 设置电路.....	65
图 4-35. FPD-Link UB926 模式选择电路.....	65
图 4-36. FPD-Link UB941A 器件设置电路.....	66
图 4-37. 音频端口接口分配.....	68
图 4-38. 显示端口方框图.....	69

图 4-39. MLB 接口连接器.....	70
图 4-40. ADC 接口连接器.....	71
图 4-41. RTC 方框图.....	72
图 4-42. Apple 认证方框图.....	73
图 4-43. 扩展板接口连接器.....	74
图 4-44. CDCI I2C 隔离电路.....	79
图 4-45. CSI 扩展接口的双 I/O 电压选择.....	82

表格清单

表 1-1. REACH 合规性.....	7
表 3-1. 建议的外部电源.....	13
表 3-2. 电源 LED 状态.....	15
表 3-3. 电源 LED.....	16
表 3-4. 电源测试点.....	17
表 3-5. EVM 按钮.....	18
表 3-6. EVM 配置开关功能.....	20
表 3-7. EVM 配置开关功能.....	21
表 3-8. 唤醒引导模式开关 (SW9).....	22
表 3-9. 主引导模式开关 (SW8).....	22
表 3-10. UART 端口映射.....	23
表 3-11. JTAG 1:2 多路复用器选择.....	24
表 3-12. TI 60 引脚连接器 (J16) 引脚排列.....	25
表 3-13. cTI20 引脚连接器 (J1-Refer PROC081E2 SCH) 引脚排列.....	26
表 3-14. TI14 引脚连接器 (J2-Refer PROC081E2 SCH) 引脚排列.....	26
表 4-1. J721E EVM 接口映射.....	29
表 4-2. J721E EVM I2C 表.....	30
表 4-3. J721E SoC - GPIO 映射表.....	31
表 4-4. DDR I/O 电压选择.....	35
表 4-5. J721E SoC S2R 逻辑流程.....	36
表 4-6. J721E SoC S2R 逻辑流程.....	36
表 4-7. INA 器件 I2C 从器件地址.....	37
表 4-8. 外部电源监控器接头引脚排列.....	38
表 4-9. 处理器的辅助/SERDES 参考时钟.....	42
表 4-10. EVM 外设参考时钟.....	42
表 4-11. 板 ID 存储器标头信息.....	48
表 4-12. 时钟源选择.....	51
表 4-13. PCIe 主机操作的参考时钟选择.....	55
表 4-14. PCIe 端点操作的参考时钟选择.....	55
表 4-15. 用于选择 PCIe 卡主机或设备操作的电阻器.....	56
表 4-16. PCIe 主机操作的参考时钟选择.....	58
表 4-17. PCIe 端点操作的参考时钟选择.....	58
表 4-18. 用于选择 PCIe 卡主机或设备操作的电阻器.....	58
表 4-19. FPD 音频解串器 HSD 连接器引脚排列.....	66
表 4-20. DSI 转 FPD 串行器 HSD 连接器引脚排列.....	66
表 4-21. MCASP/TRACE - 1:3 多路复用器：真值表.....	67
表 4-22. 配置表 ⁽¹⁾	67
表 4-23. MLB 接头引脚排列.....	70
表 4-24. MCU I3C 接头 J33 引脚排列.....	71
表 4-25. 主域 I3C 接头 J32 引脚排列.....	71
表 4-26. ADC 接头 J23 引脚排列.....	72
表 4-27. Apple 认证接头 J9 引脚排列.....	73
表 4-28. Apple 认证封装 U108 引脚排列.....	74
表 4-29. EVM 扩展连接器 J46 引脚排列.....	75
表 4-30. EVM 扩展连接器 J51 引脚排列.....	77
表 4-31. ENET 扩展板电源测试点.....	78
表 4-32. ENET 扩展连接器 J10 引脚排列.....	80
表 4-33. CSI 扩展连接器 J52 引脚排列.....	83
表 4-34. CSI 扩展连接器 J48 引脚排列.....	83

商标

KeyStone™ is a trademark of Texas Instruments.

Arm® is a registered trademark of Arm Limited (or its subsidiaries) in the US and/or elsewhere.

所有商标均为其各自所有者的财产。

1 引言

Jacinto7 J721E (DRA829/TDA4xM) EVM 是一个独立的测试、开发和评估模块系统，支持开发人员围绕 Jacinto7 J721E (DRA829/TDA4xM) 处理器子系统编写软件和开发硬件。J721E 处理器是基于 KeyStone™ III 的多核 Arm® 片上系统 (SoC)。这是一款超集处理器/器件，针对特定市场可提供不同的配置。该 EVM 将支持开发超集器件 (J721E) 以及市场专用器件 (DRA829/TDA4xM)。J721E 系统的许多性能在 EVM 上均可用，从而为开发人员提供了大多数通用类型所需的基本资源。

J721E EVM 包含：

- J721E 系统模块 (SOM) 板
- Jacinto7 通用处理器板 (CPB)
- 四端口以太网板 (QPENet)

J721E EVM 子系统旨在使客户能够灵活地评估处理器的性能。为保证系统开发的灵活性，设计了不同的接口/扩展板。一些示例包括：

- 信息娱乐扩展板
- 网关/以太网交换机/工业 (GESI) 扩展板
- 融合 CSI2 扩展板

1.1 关键特性

J721E EVM 是一个独立的高性能开发平台，可支持用户评估德州仪器 (TI) 的 Keystone III 片上系统 (SoC)。

以下是该 EVM 的主要功能：

- 处理器：
 - J721E (DRA829/TDA4xM)，采用间距为 24mm x 24mm、0.8mm 的 827 引脚 FCBGA 封装
 - 支持相应的插槽
- 电源：
 - 12V 直流标称输入 (6V - 28V 输入范围)
 - 针对处理器进行了优化的电源管理解决方案
 - 集成功率测量
- 存储器：
 - DRAM，LPDDR4-3733，4GB 总内存，支持内联 ECC
 - 2 个八通道 SPI NOR 闪存：512Mb 存储器 (8 位) + 512Mb 存储器 (4 位)
 - HyperFlash + HyerRAM：512Mb 闪存+ 256Mb RAM
 - UFS 闪存，32GB，双通道，Gear3
 - eMMC 闪存：16GB 存储器，符合 v5.1 标准
 - MicroSD 卡箱，UHS - I
 - 集成电路总线 (I2C) EEPROM，1Mbit
- JTAG/仿真器：
 - 集成 XDS110 仿真器支持
 - 外部仿真器 (通过 60 引脚 MIPI 连接器)
 - 跟踪支持 (通过 60 引脚 MIPI 连接器)
 - 包含用于 14 引脚和 20 引脚 CTI 的适配器

- 支持的接口和外设：
 - 4 个 CAN 接口，提供完整的 CAN - FD 支持
 - 1 个 USB3.1 Type C 接口，支持 DFP、DRP、UFP 模式
 - 4 个 USB2.0 主机接口 (2 个用于外部电缆)
 - 1 个显示端口，分辨率高达 4K，支持 MST
 - 1 个 FPD - Link 面板接口，第 3 代
 - 1 个音频编解码器 (PCM3168A)，支持 2 个线路输入、4 个麦克风输入、2 个线路输出、6 个耳机输出
 - 1 个 FPD - Link 音频调谐器接口
 - 2 个第 3 代 PCIe 卡插槽、1 个第 3 代 PCIe M.2 插槽 (M - Key)
 - 5 个千兆位以太网接口、1 个 RGMII/DP83867 接口 + 1 个 QSGMII/VSC8514 接口
 - 6 个通用异步接收器/发送器 (UART) 端子 (通过 2 个 USB FTDI) (USB 上的 UART)
 - 2 个 I3C 接头
 - 1 个 ADC 接头
- 扩展连接器，支持应用特定附加板
 - MLB、MLBP 扩展接口
 - 图像/视频捕捉扩展接口
 - Apple 认证模块接口
 - 通用扩展接口
- 符合 REACH 和 RoHS 标准

1.2 热性能合规性

处理器/散热器上的温度较高，在环境温度较高时要尤其小心！尽管处理器/散热器不会带来灼伤危险，但散热器区域的温度较高，因此在处理 EVM 时应小心。

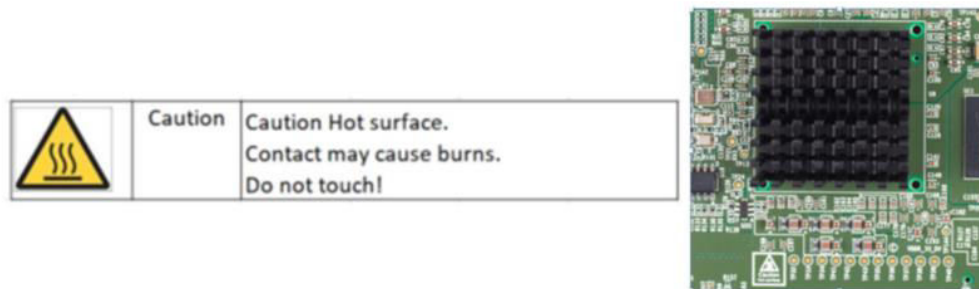


图 1-1. 高温警告

1.3 REACH 合规性

按照 EU REACH 法规第 33 条的规定，该 EVM 的元件中至少含有一种含量高于 0.1% 的高度关注物质 (SVHC)。在德州仪器 (TI)，这类物质的年使用量不超过 1 吨。表 1-1 列出了这些 SVHC。

表 1-1. REACH 合规性

元件制造商	元件类型	元件编号	SVHC 物质	SVHC CAS (如果有)
Tensility (拓森)	电源电缆	10-02937	铅	7439-92-1
Rosenberger (罗森伯格)	FPD-Link 连接器	D4S20G-400A5-C	铅	7439-92-1
Littelfuse (力特公司)	电源保险丝	0154010.DR	铅	7439-92-1

1.4 EMC、EMI 和 ESD 合规性

安装在产品上的元件对静电放电 (ESD) 很敏感。建议在 ESD 受控环境中使用此产品。这可能包括温度和/或湿度受控环境，以限制 ESD 的积累。与产品连接时，还建议采用 ESD 保护措施，例如腕带和 ESD 垫。

该产品用于类似实验室条件下的基本电磁环境，应用标准符合 EN IEC 61326-1:2021。

2 J721E EVM 概述

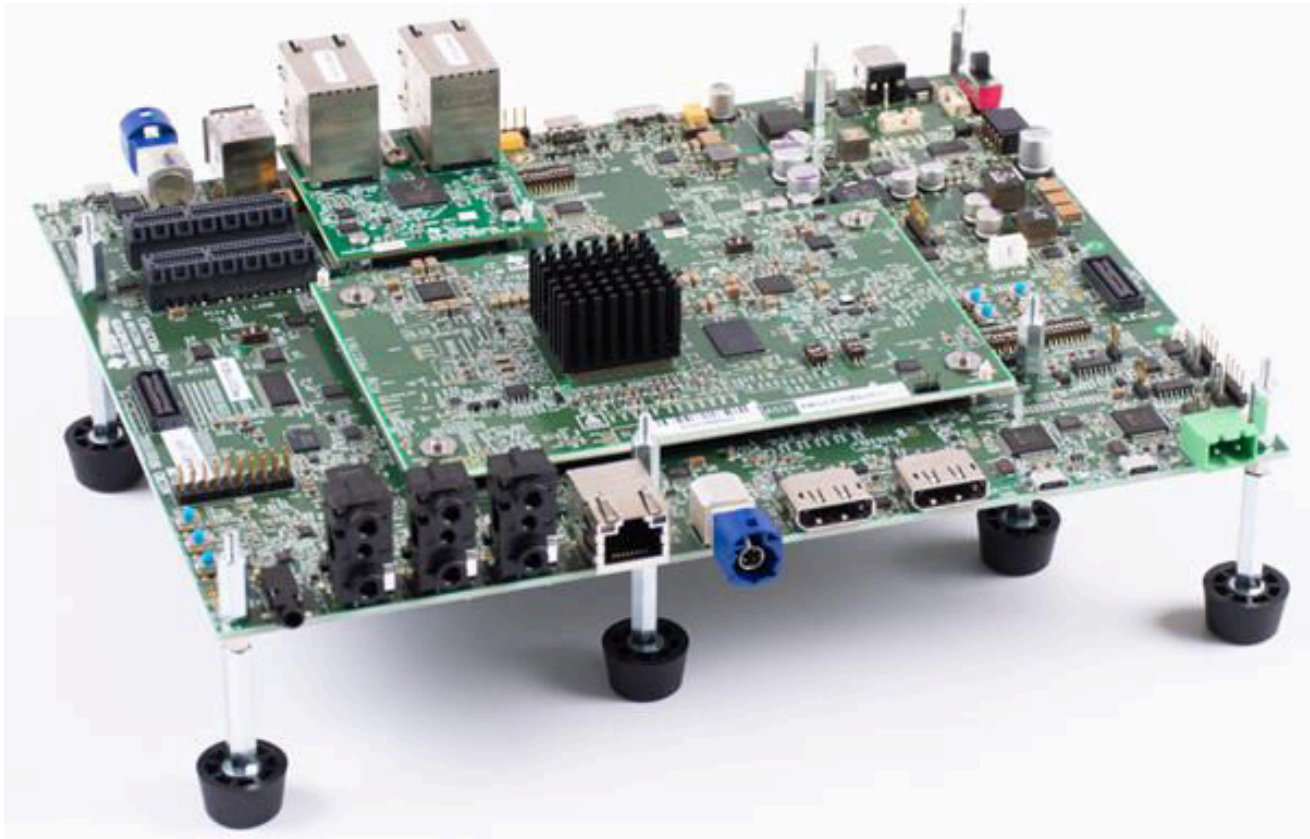
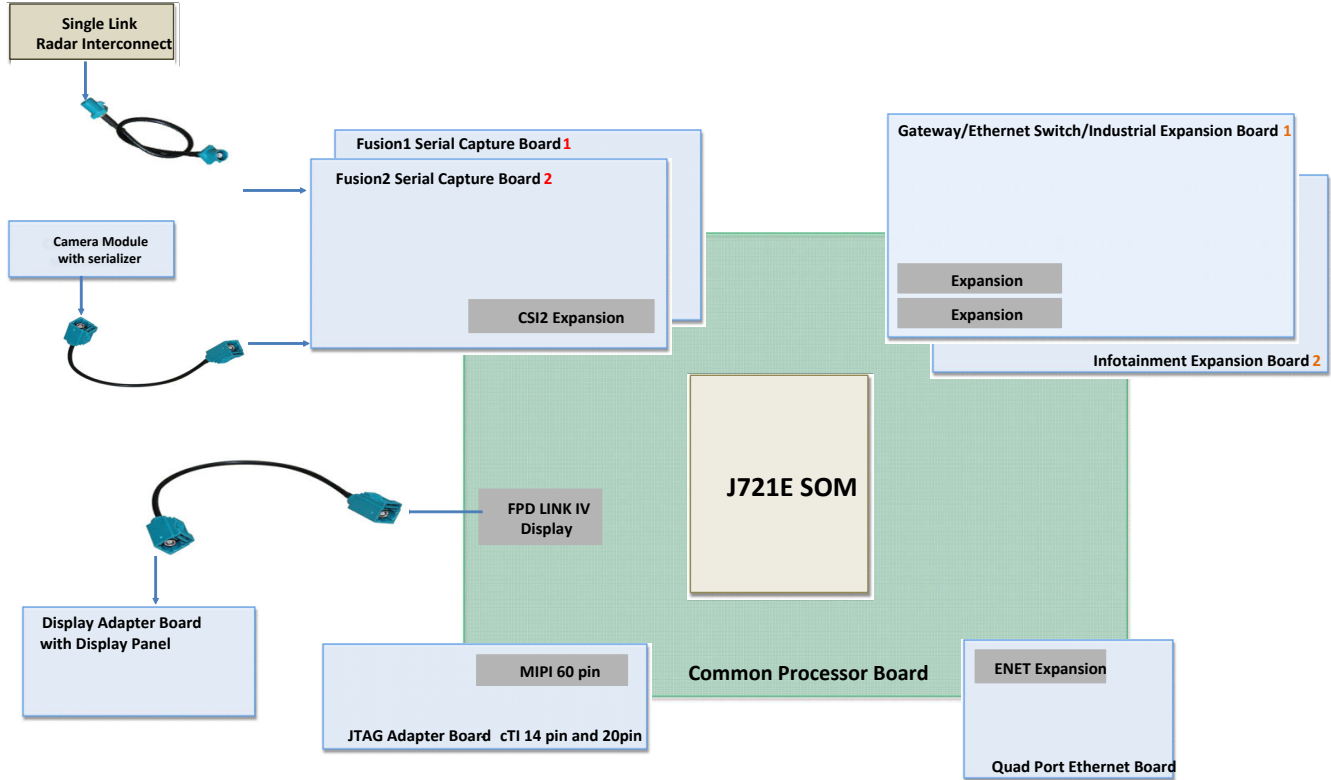


图 2-1. J721E EVM 板

图 2-2 显示了 J721E EVM 的整体架构。



- A. 一次只能将一个板连接到扩展连接器。
- B. 一次只能将一个板连接到 CSI2 扩展连接器。

图 2-2. 系统架构接口

J721E EVM 模块上系统 (SoM) 板、Jacinto7 通用处理器板和四端口以太网板。以下各节对这些卡进行了详细介绍。

2.1 J721E EVM 板识别

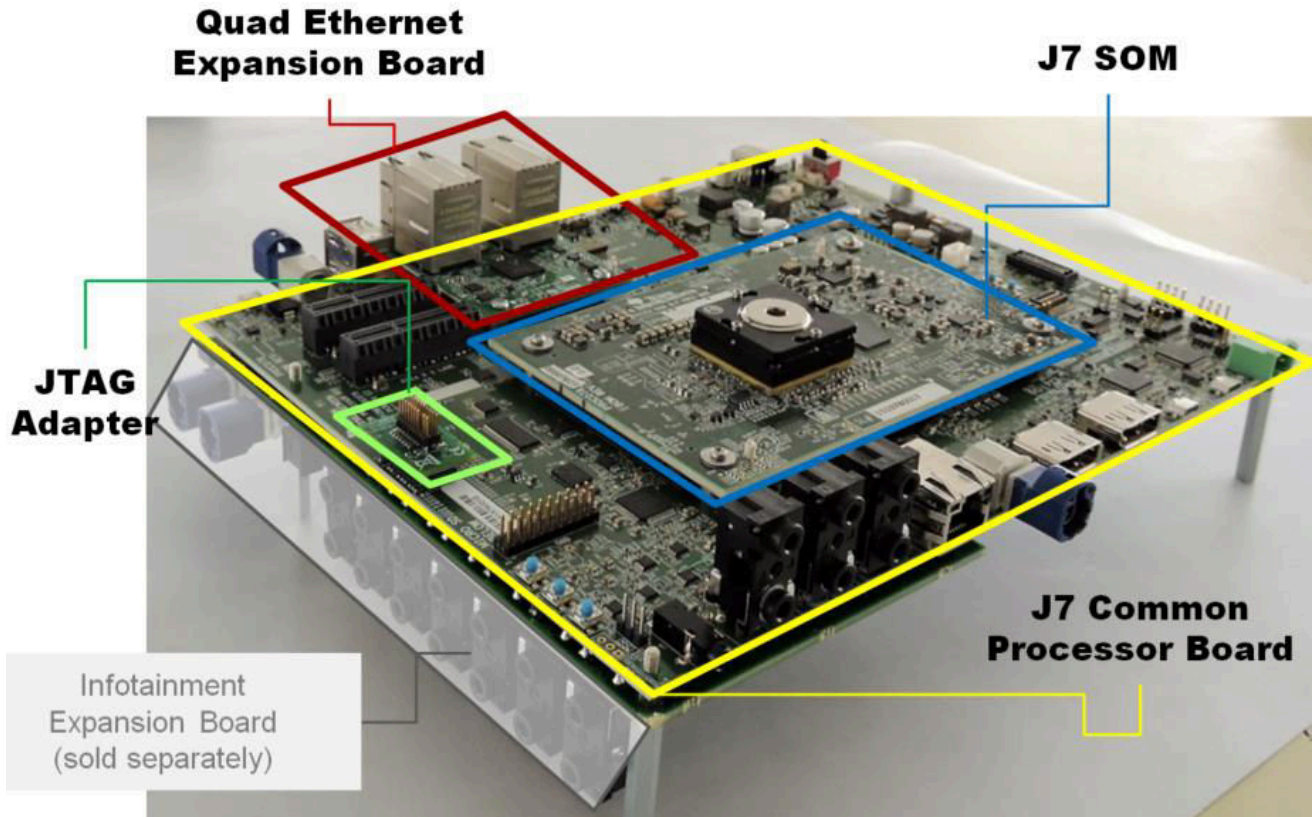


图 2-3. J721E EVM 板识别 (SOM、CPB、QP 以太网)

2.2 J721E SOM 元件标识

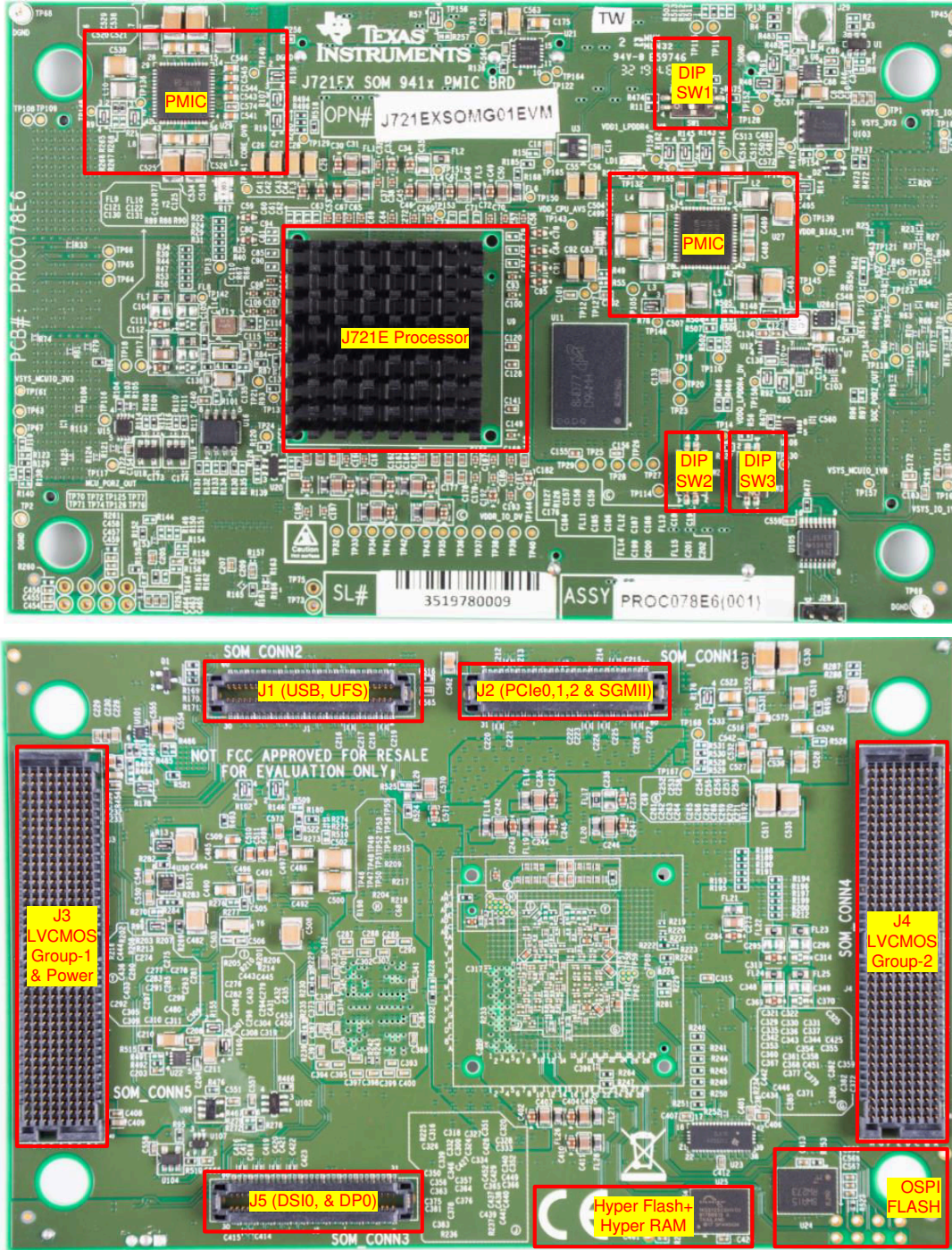


图 2-4. J721E SOM 元件标识

2.3 Jacinto7 通用处理器元件标识

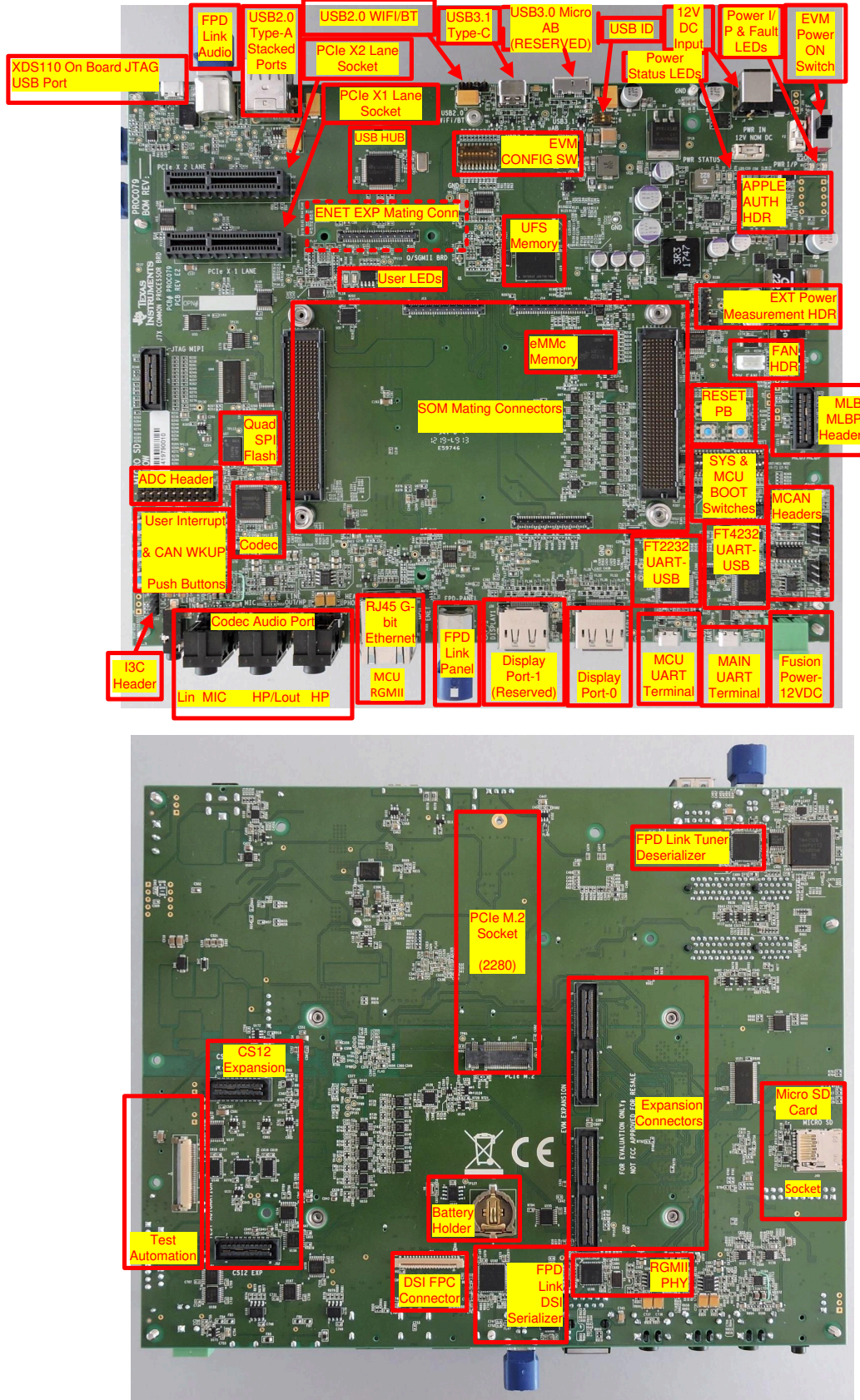


图 2-5. Jacinto7 通用处理器元件标识

Jacinto7 通用处理器板与采用不同 Jacinto7 处理器的不同 SOM 板一同使用，而这些处理器具有不同的功能集，因此可能不支持该板的某些外设/接口。对于 J721E SOM，不支持以下接口：

- USB 3.0 uAB (支持 USB Type C 以及 2 个 USB Type A 接口)
- 第 2 个 DisplayPort 接口 (支持单个 DisplayPort 接口)

这些接口在元件放置图片中用灰色标识 (而不是黄色)。

2.4 四端口以太网扩展板元件标识

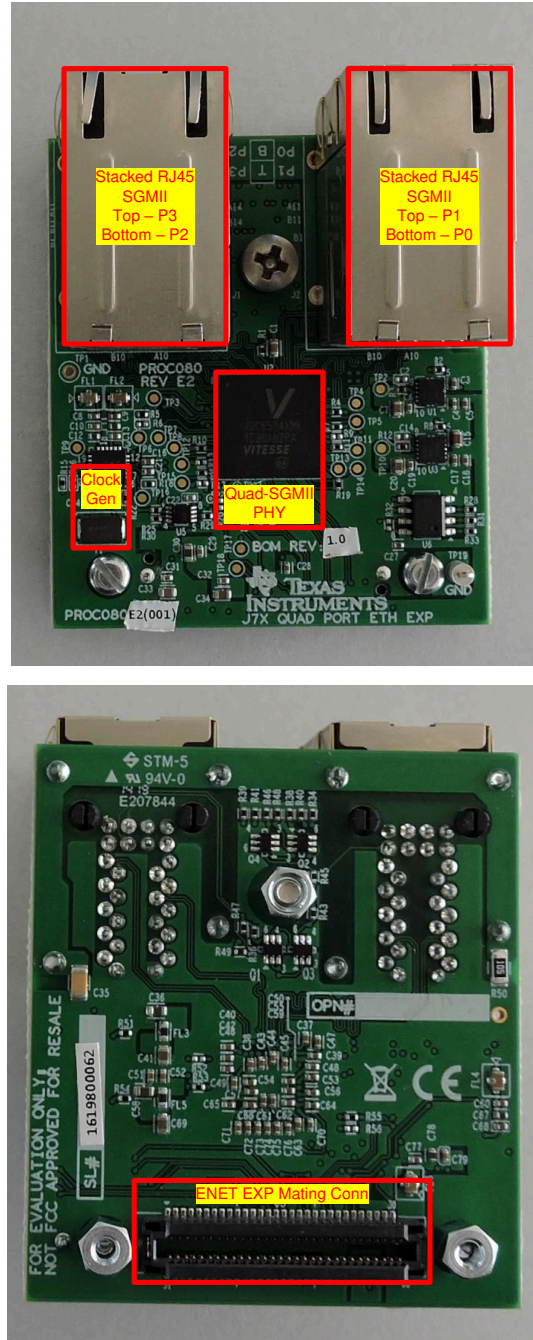


图 2-6. 四端口以太网扩展板元件标识

3 EVM 用户设置/配置

3.1 电源要求

该 EVM 支持 6V 至 28V 的宽输入范围，并提供了一个直流插孔以提供输入电源 (J7)。需要通过一个外部电源来为 EVM 供电，但该外部电源不包含在 EVM 套件中。外部电源要求如下：

- 电源插孔：2.5mm ID，5.5mm OD
- 标称电压：12VDC，建议的最小电流：5000 mA

表 3-1. 建议的外部电源

DigiKey 器件型号	制造商	制造商器件型号
SDI65-12-U-P6-ND	CUI Inc.	SDI65-12-U-P6
SDI65-12-UD-P6-ND	CUI Inc.	SDI65-12-UD-P6

EVM 的 2.5 x 5.5mm 直流筒形插孔连接器 (J7) 支持额定值为 10A 的电流。外筒极性为负极/GND，内柱为正极/PWR。

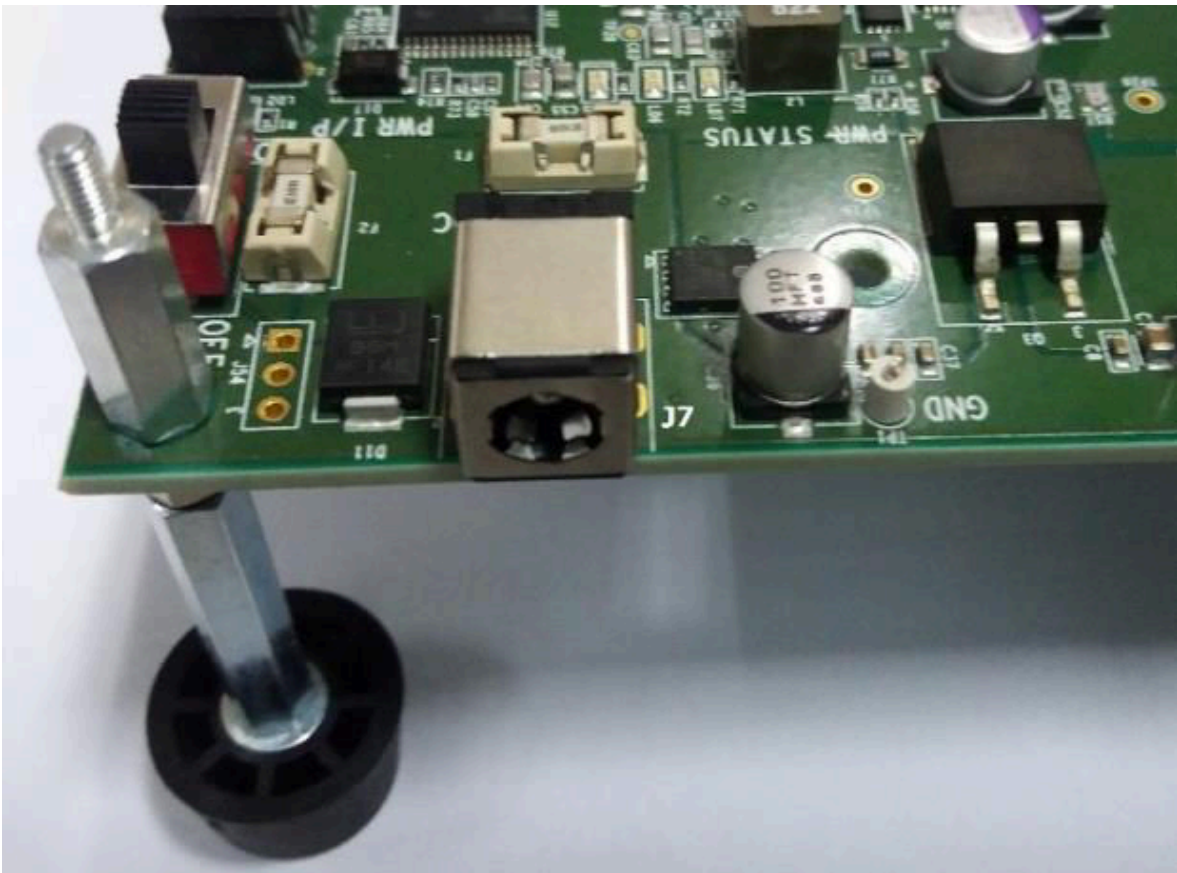


图 3-1. 用于电源输入的连接器的连接

3.2 通电开关和电源 LED

EVM 的电源由 CPB 上的通电/断电开关 (SW2) 进行控制。若要导通此板，请按图 3-2 所示的方向滑动开关。



图 3-2. 通电/断电开关

3.2.1 过压和欠压保护电路

EVM 上的电压保护电路可保护电路板免受过压、欠压和瞬态电压输入情况的影响。安全工作输入电压范围为 6V 至 28V。提供了故障指示 LED 和电源正常 LED 以指示电源状态。

表 3-2. 电源 LED 状态

LED	亮起状态	熄灭状态
LD2	板通电	板断电
LD3	输入电压大于 28V 或小于 6V	输入电压处于限制范围内

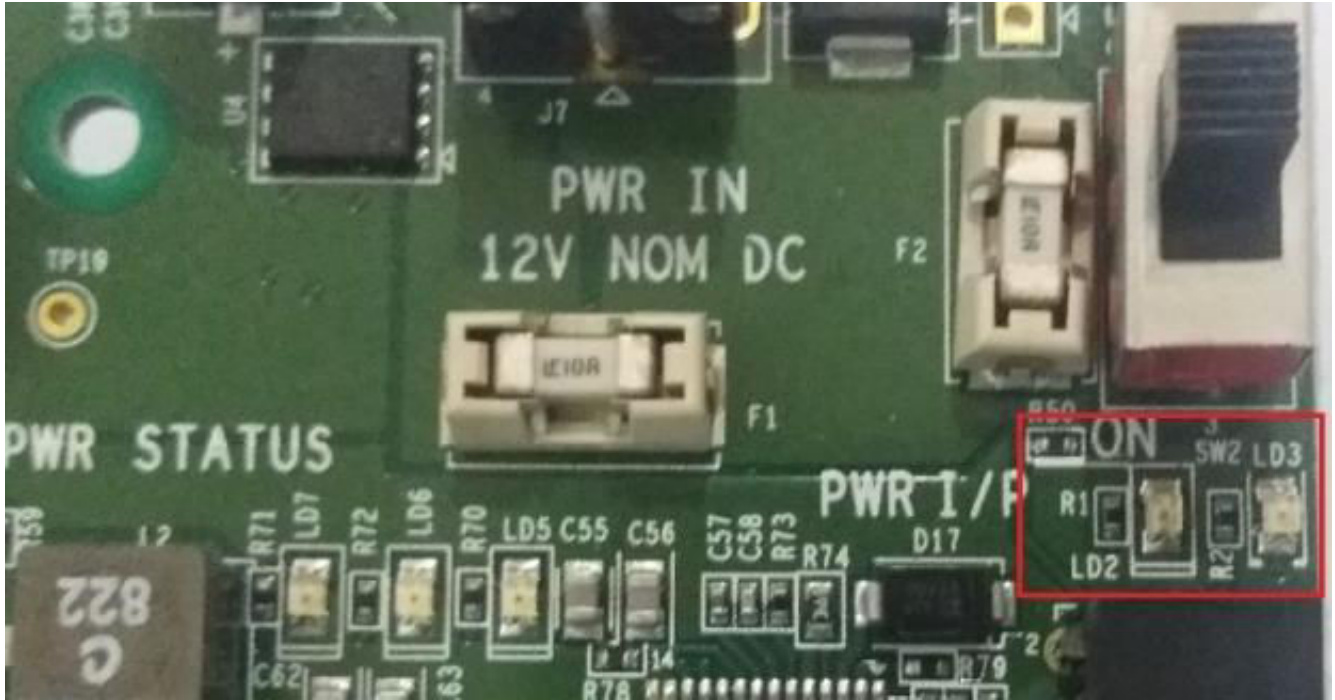


图 3-3. 电源开启/故障 LED

3.2.2 电源稳压器和电源状态 LED

处理器卡利用一系列直流/直流转换器为卡上的各种存储器、时钟和其他元件提供必要的电压和所需的功率。

双路降压控制器 LM5140-Q1 提供初级功率转换 (12V 至 5V/3.3V)。3.3V 和 5V 电压是 SoM 电源管理资源的主要电压。

降压/升压控制器 LM5175 和另一个降压控制器 LM5141 为扩展连接器提供 12V 和 3.3V 电源。这些电源稳压器的电源正常信号用于生成 SoC PORz。

板上提供了多个电源指示 LED，以使用户能够确认主要电源的输出状态。这些 LED 指示各个域中的电源。

表 3-3. 电源 LED

SI 编号	LED	电源状态	Sch 网名称
1	LD2	输入电源开启/关闭	VINPUT
2	LD7	稳压电源开启/关闭。	VSYS_3V3
3	LD5	SoC 主域开启/关闭	VSYS_IO_3V3
4	LD6	SoC MCU 域开启/关闭	VSYS_MCUIO_3V3

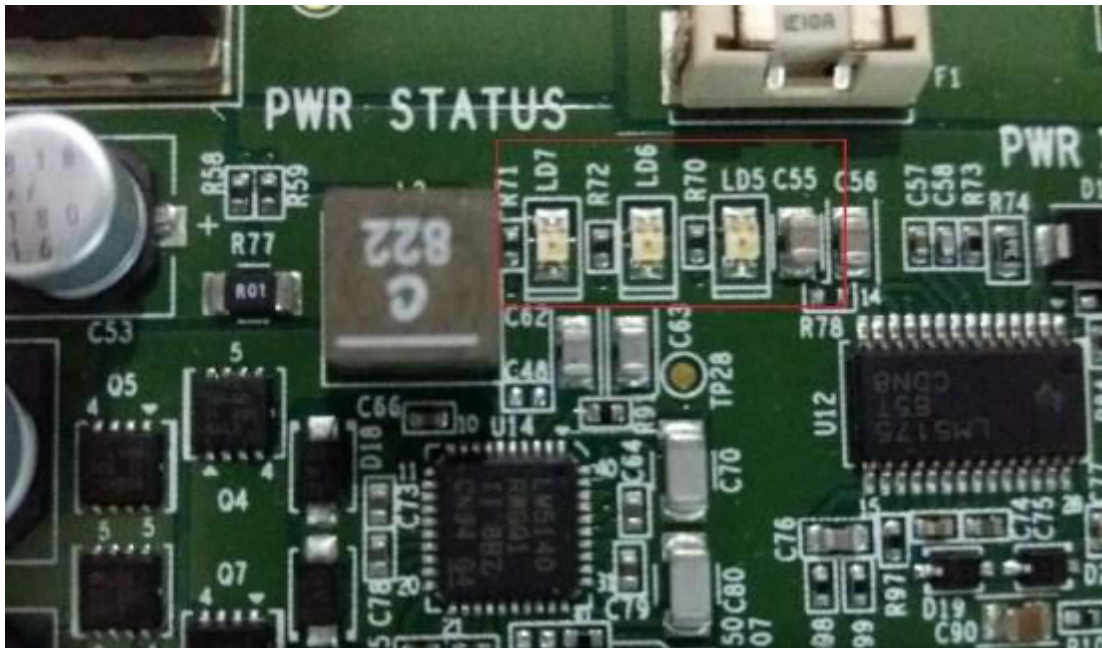


图 3-4. 电源状态 LED

通用处理器板 (CPB) 上提供了每个系统电源轨的测试点，如表 3-4 中所述。可以通过在装配图中搜索测试点参考编号来识别每个测试点的位置。

表 3-4. 电源测试点

电源	测试点	标称电压
VINPUT	TP20	12.0V
VSYS_3V3	TP130	3.3V
VCC_12V0	TP39	12.0V
VSYS_5V0	TP26	5.0V
EXP_3V3	TP43	3.3V
VDD_2V5	TP63	2.5V
VDD_1V0	TP59	1.0V
VCC_1V1	TP60	1.1V
VSYS_MCU_5V0	TP117	5.0V
VDD_SD_DV	TP44	3.3V
VSYS_MCUIO_3V3	TP113	3.3V
VSYS_IO_3V3	TP131	3.3V
VSYS_MCUIO_1V8	TP134	1.8V
VSYS_IO_1V8	TP132	1.8V
VDA_MCU_1V8	TP105	1.8V

3.3 EVM 复位/中断按钮

EVM 支持多个用户按钮，以向处理器提供复位输入和用户中断功能。

表 3-5 列出了位于通用处理器板顶部的按钮。

表 3-5. EVM 按钮

SI 编号	按钮	信号	功能
1	SW7	MCU_PORz	MCU 域上电复位输入
2	SW5	MCU_RESETh	MCU 域热复位输入
3	SW4	PORz	主域上电复位输入
4	SW6	RESET_REQz	主域热复位输入
5	SW10	SOC_EXTINTn	外部中断输入
6	SW11	SYS_IRQz	系统 IRQ 中断输入 (也用作 SYS_WAKE)
7	SW12	MCAN0_WAKE	CAN 唤醒输入

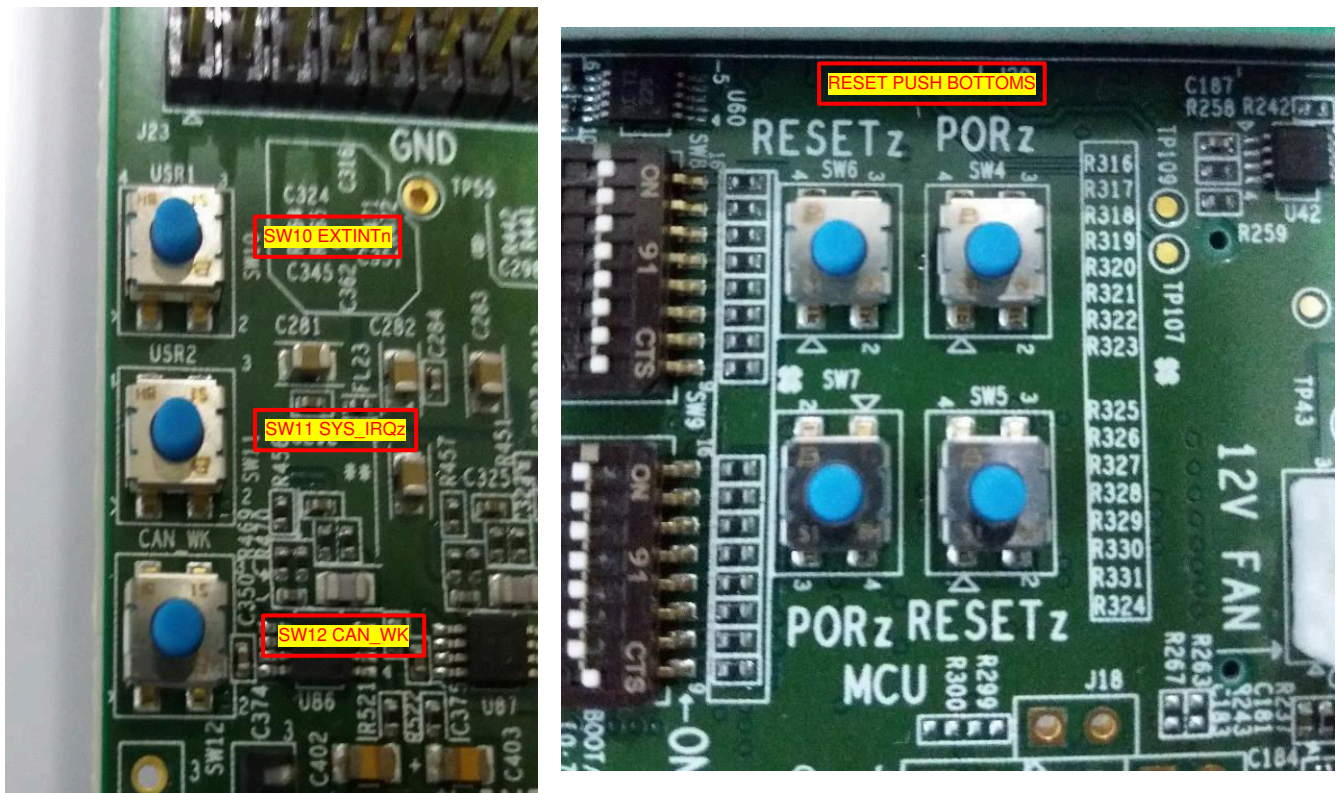


图 3-5. EVM 按钮

3.4 EVM DIP 开关

J721E EVM 支持用于 EVM 配置和 SoC 引导模式设置功能的用户 DIP 开关。

3.4.1 EVM 配置 DIP 开关

图 3-6 显示通用处理器板具有一个专用的 EVM 配置开关 (SW3) 来设置 EVM 外设的各种功能。一些配置用于 CPB 上的外设，而其他开关用于配置扩展板上的外设。对于这些设置，特定于器件的扩展板用户指南将定义开关功能。

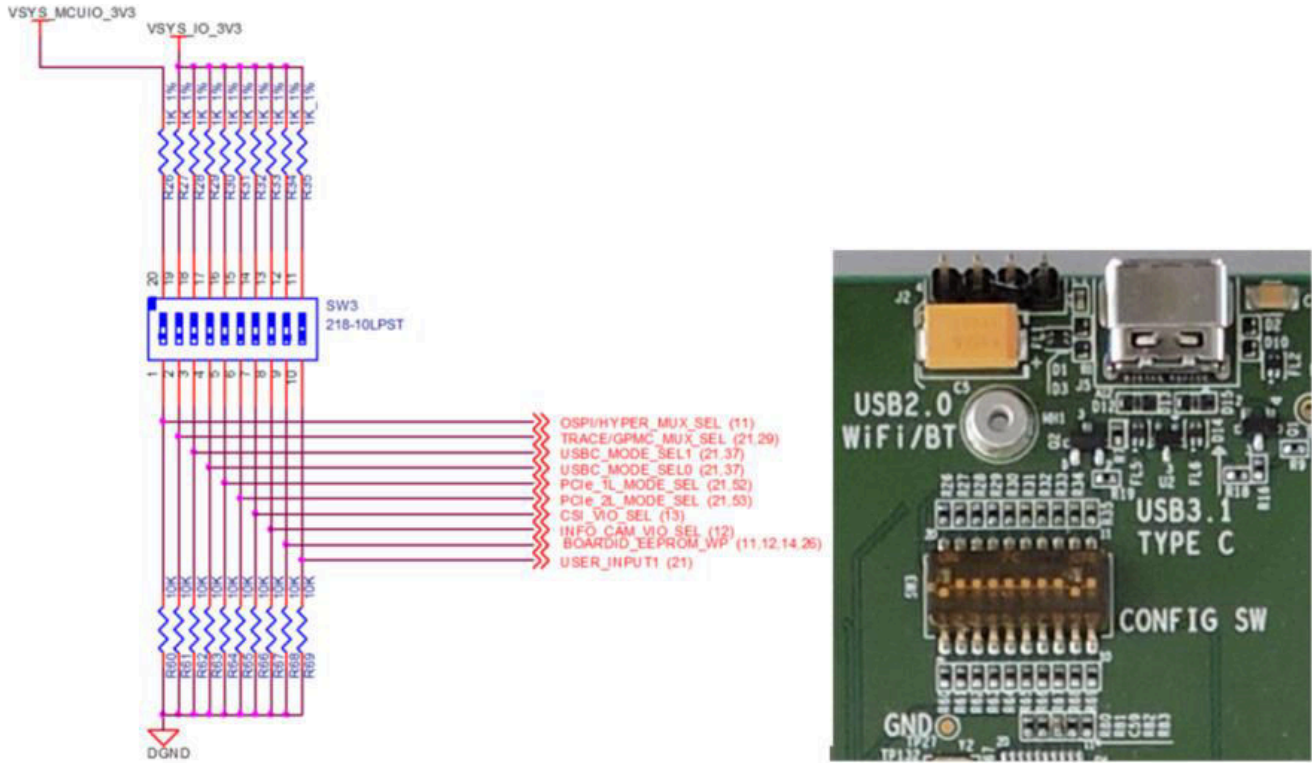


图 3-6. EVM 配置 DIP 开关

表 3-6. EVM 配置开关功能

开关名称	默认条件	信号	运行情况
SW3.1	关闭	OSPI/HYPER_MUX_SEL	通过多路复用器在非易失性存储器之间进行选择： “0”（关闭）= 连接至 MCU_OSPI0 接口的 OSPI 存储器 “1”（开启）= 连接至 MCU_OSPI0 接口的 HyperFlash + HyperRAM
SW3.2	打开	TRACE/GPMC_MUX_SEL	通过多路复用器选择用于调试的跟踪接口： “0”（关闭）= 选择的信号用于其他外设（非调试） “1”（开启）= 连接至 MIPI-60 仿真接口的调试/跟踪信号
SW3.3	关闭	USBC_MODE_SEL1	设置 USB Type C 接口 (USB0) 的模式： “00”（关闭/关闭）= DFP（下行端口）
SW3.4	关闭	USBC_MODE_SEL0	“01”（关闭/开启）= DRP（双角色端口） “1X”（开启，不用考虑）= UFP（上行端口）
SW3.5	关闭	PCIe_1L_MODE_SEL	PCIe 单通道接口模式选择（支持端口 PCIe0） “0”（关闭）= 根复合体 “1”（开启）= 端点
SW3.6	关闭	PCIe_2L_MODE_SEL	PCIe 双通道模式选择（支持端口 PCIe1） “0”（关闭）= 根复合体 “1”（开启）= 端点
SW3.7	打开	CSI_VIO_SEL	设置 CSI2 扩展接口的 I/O 电压（LVCMOS 信号） “0”（关闭）= 1.8V I/O 电压 “1”（开启）= 3.3V I/O 电压
SW3.8	打开	INFO_CAM_VIO_SEL	此开关用在扩展板上。关于定义，请参阅特定的扩展板用户指南。
SW3.9	打开	BOARDID_EEPROM_WP	设置 EVM 的配置 EEPROM 写保护 “0”（关闭）= 可以更新配置 EEPROM “1”（开启）= 无法更新配置 EEPROM，即对其进行保护
SW3.10	打开	USER_INPUT1	用户定义，映射到 I/O 扩展器输入 “0”（关闭）= 用户定义 “1”（开启）= 用户定义

3.4.2 SOM 配置 DIP 开关

表 3-7 显示了用于设置 SOM 各项功能的 J721E SOM 配置开关 (SW1-SW3)。

表 3-7. EVM 配置开关功能

开关名称	默认条件	信号	运行情况
SW1.1	打开	LPDDR4_IO_SEL	选择 LPDDR4 的 I/O 电压电平： “0” (关闭) = 为 LPDDR4X 选择 0.6V I/O “1” (开启) = 为 LPDDR4 选择 1.1V I/O
SW1.2	关闭	SEL_SOC_I2Cn	通过多路复用器选择用于 PMIC 的 I2C 接口： “0” (关闭) = PMIC I2C 至 SoC WKUP 接口 “1” (开启) = PMIC I2C 至外部接头 (仅限测试模式)
SW2.1	关闭	SEL_GPIO8_ALT	PMIC 看门狗计时器/GPIO8 选择： “0” (关闭) = 通过 SW2.2 设置 PMIC 看门狗计时器 “1” (开启) = 用于 GPIO8 的 PMIC I/O (测试点)
SW2.2	打开	LEOA_WDOG_DIS	PMIC 看门狗计时器的启用/禁用选择： “0” (关闭) = 启用 PMIC 看门狗计时器 “1” (开启) = 禁用 PMIC 看门狗计时器 (注意：需将 SW2.1 设置为关闭)
SW3.1	打开	SOC_SAFETY_ERRz	用于将 SOC_SAFETY_ERRz 与 MCU_SAFETY_ERR 和 PMIC 组合在一起的选项。 “0” (关闭) = SOC_SAFETY_ERRz (主域) 与 PMIC 相隔离。 “1” (开启) = SOC_SAFETY_ERRz (主域) 连接到 PMIC。
SW3.2	关闭	SOC_PWR_EN	启用 PMIC 的手动方法 “0” (关闭) = 由 EVM 系统启用 PMIC “1” (开启) = 手动启用 PMIC (仅限测试模式)

3.4.3 引导模式

处理器的引导模式由一组 DIP 开关 (SW8、SW9) 决定。所有引导模式引脚都具有若干弱下拉电阻器和一个能够连接到强上拉电阻器的开关, 如图 3-7 所示。请注意, “关闭” 设置提供低逻辑电平 (“0”), “开启” 设置提供高逻辑电平 (“1”) 。

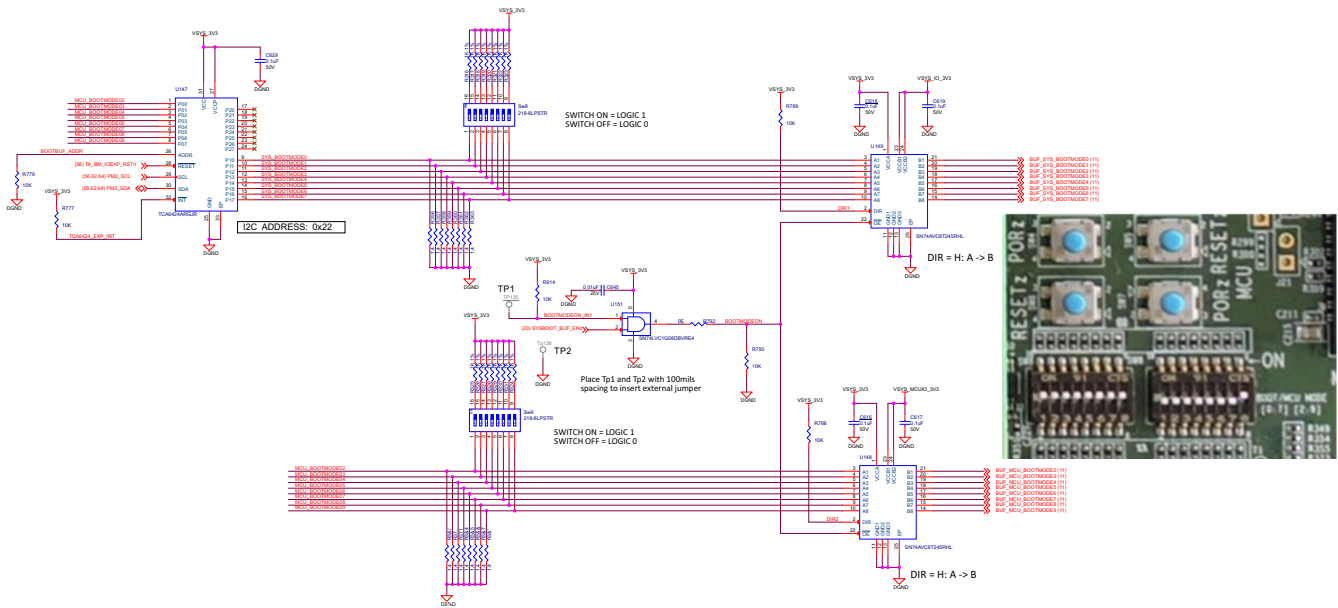


图 3-7. 在处理器卡上提供的引导开关

表 3-8 和表 3-9 提供了引导模式功能的开关映射。有关每个引导接口的具体设置, 请参阅 [DRA829/TDA4VM/AM752x 技术参考手册](#)。EVM 支持的可选引导接口包括: 八通道 SPI、四通道 SPI、HyperFlash、SD 卡、eMMC、PCIe (作为端点)、CPSW、USB、UFS、UART 和 EERPOM。

表 3-8. 唤醒引导模式开关 (SW9)

唤醒引导引脚映射								
0:1 (固定为 “00”)	2 (SW9.1 = 关闭)	3 (SW9.2)	4 (SW9.3)	5 (SW9.4)	6 (SW9.5)	7 (SW9.6)	8 (SW9.7)	9 (SW9.8)
PLL 配置 (固定为 19.2MHz)	主引导模式 A			仅 MCU		保留	保留 (不用于引导)	

表 3-9. 主引导模式开关 (SW8)

唤醒引导引脚映射								
0 (SW8.1)	1 (SW8.2)	2 (SW8.3)	3 (SW8.4)	4 (SW8.5)	5 (SW8.6)	6 (SW8.7)	7 (SW8.8)	
主引导模式 B		备份引导模式			主引导模式配置			备份引导模式配置

3.4.4 其他选择开关

USB2 端口端接到通用处理器板上的 USB 3.0 Micro AB 连接器。SoC 的主机和设备功能由 ID 引脚进行设置 (使用 DIP 开关 SW1)。

USB 连接器的 ID 和 VBUS 电源引脚与 DIP 开关 SW1 相连以配置工作模式。

如前所述, J721E SoM 不支持 USB2 端口、USB3.0 Micro AB 接口。

3.5 EVM UART/COM 端口映射

SoC 的四个主域 UART 端口与 FT4232H 相连以实现 UART 转 USB 功能, 并在 CPB 提供的 Micro B 连接器 (J44) 上进行端接。当使用提供的 USB 电缆将 EVM 连接到主机时, 计算机可以建立一个可与任何终端仿真应用一同使用的虚拟 Com 端口。FT4232H 由总线供电。可从 <https://www.ftdichip.com/Products/ICs/FT4232H.htm> 获取 FT4232H 的虚拟 Com 端口驱动程序。

在四个 UART 端口中, 一个 UART 端口 (UART0) 支持带硬件流控制功能的 RS232。

SoC 的 MCU 和 WKUP UART 端口与 FT2232H 相连以实现 UART 转 USB 功能, 并在 CPB 提供的 Micro B 连接器 (J43) 上进行端接。当使用提供的 USB 电缆将 EVM 连接到主机时, 计算机可以建立一个可与任何终端仿真应用一同使用的虚拟 Com 端口。FT2232H 由总线供电。可从 <https://www.ftdichip.com/Products/ICs/FT2232H.html> 获取 FT4232H 的虚拟 Com 端口驱动程序。

MCU UART0 支持 RS232 硬件控制性能。

FT2232H 和 FT4232H 电路均由 USB VBUS 供电。这些电路通过总线电源供电, 因此在移除 EVM 电源时与 COM 端口的连接不会中断。IO 电缆的最大长度要求小于 3 米。

表 3-10. UART 端口映射

UART 端口	FTDI 电桥	USB 连接器	COM 端口	备注
MAIN_UART0	FT4232H	J44	COM 1	支持硬件流控制
MAIN_UART1			COM 2	
MAIN_UART2			COM 3	
MAIN_UART4			COM 4	
MCU_UART0	FT2232H	J43	COM 5	支持硬件流控制
WKUP_UART0			COM 6	

FTDI 桥的 EEPROM 中编写了 CPB 序列号, 当一个或多个板连接到计算机时, 用户可以通过板序列号来识别连接的 COM 端口。

示例编程内容:

- FT4232H (主)
 - CPB 序列号: 14197900028
- FT4232H EEPROM 上编写的序列号: 141979000280A
 - FT2232H (MCU 和 WKUP)
- CPB 序列号: 14197900028
 - FT4232H EEPROM 上编写的序列号: 141979000280B

3.6 JTAG 仿真

通用处理器板包含会通过 Micro B 连接器 J3 进行的 XDS110 类板载仿真功能。该板还通过 MIPI 60 引脚接头 (J16) 支持外部仿真。当连接外部仿真器时，XDS110 仿真电路路径将自动断开。

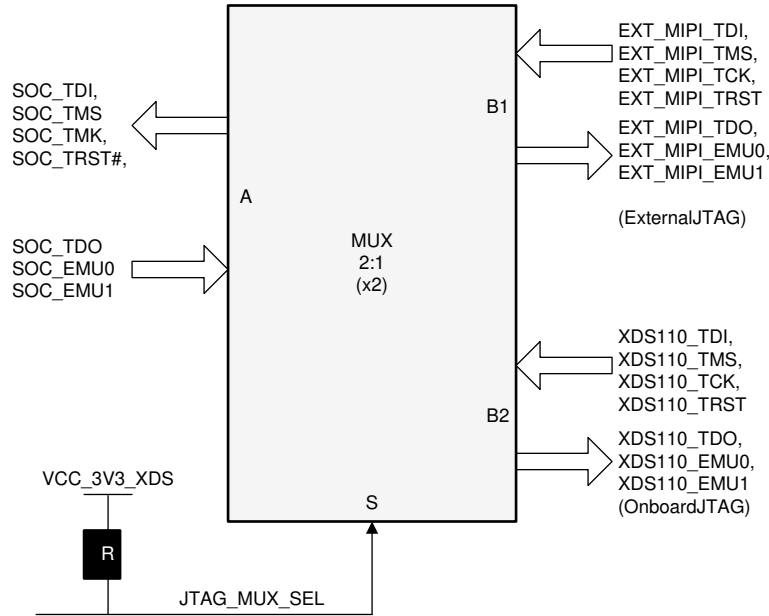


图 3-8. JTAG 多路复用器

表 3-11. JTAG 1:2 多路复用器选择

条件	MUX_SEL	函数
XDS110 由 USB 供电	高	A<->B2 端口 [板载仿真]
连接了外部仿真器	低	A<->B1 端口 [外部仿真]

如前所述，该设计包含一个 MIPI 60 引脚 (J16) 连接器，该连接器具有用于实现 JTAG 和跟踪功能的接头。跟踪引脚与其他功能 (McASP10、McASP11 和 GPMC0) 涉及多路复用，并使用板载多路复用器来选择不同的功能。该多路复用器默认为 MIPI 60 引脚连接器。该 1:3 多路复用器通过通用处理器板上的 I2C GPIO 扩展器 2 (I2C 地址：0x22；I2C Inst：I2C0) 的位进行控制。可选择使用 DIP 开关 SW3 位置 2 来设置状态，从而实现默认选择 GPMC 至扩展接口 (用于引导支持)。

表 3-12. TI 60 引脚连接器 (J16) 引脚排列

引脚编号	信号	引脚编号	信号
1	VSYS_IO_3V3	31	TRC_DATA6
2	MIPI_TMS	32	NC
3	MIPI_TCK	33	TRC_DATA7
4	MIPI_TDO	34	NC
5	MIPI_TDI	35	TRC_DATA8
6	MIPI_TGTRST#	36	NC
7	MIPI_RTCK	37	TRC_DATA9
8	MIPI_TRST_PD (EXT_MIPI_TRST#)	38	EXT_MIPI_EMU0
9	MIPI_nTRSTPU	39	TRC_DATA10
10	NC	40	EXT_MIPI_EMU1
11	NC	41	TRC_DATA11
12	VSYS_IO_3V3	42	NC
13	TRC_CLK	43	TRC_DATA12
14	NC	44	NC
15	DGND	45	TRC_DATA13
16	DGND	46	NC
17	TRC_CTL	47	TRC_DATA14
18	TRC_DATA19	48	NC
19	TRC_DATA0	49	TRC_DATA15
20	TRC_DATA20	50	NC
21	TRC_DATA1	51	TRC_DATA16
22	TRC_DATA21	52	NC
23	TRC_DATA2	53	TRC_DATA17
24	NC	54	NC
25	TRC_DATA3	55	TRC_DATA18
26	NC	56	NC
27	TRC_DATA4	57	DGND
28	NC	58	JTAG_MUX_SEL
29	TRC_DATA5	59	NC
30	NC	60	NC

EVM 通用处理器板套件包含两个 JTAG 转换器，一个用于将 MIPI 60 引脚转换为 TI14 引脚 JTAG 仿真器，另一个用于将 MIPI 60 引脚转换为 CTI20 引脚 JTAG。

表 3-13 所示为 TI14 引脚和 CTI 20 引脚 JTAG 转换器的引脚排列。

表 3-13. cTI20 引脚连接器 (J1-Refer PROC081E2 SCH) 引脚排列

引脚编号	信号	引脚编号	信号
1	MIPI_20_TMS	11	MIPI_20_TCK
2	MIPI_20_TRST	12	DGND
3	MIPI_20_TDI	13	MIPI_20_EMU0
4	MIPI_20_TDIS	14	MIPI_20_EMU1
5	MIPI_20_VTREF	15	SYSRST#
6	NC (键控)	16	DGND
7	MIPI_20_TDO	17	NC
8	20PJTAG_DET	18	NC
9	MIPI_20_RTCK	19	NC
10	数字接地 (DGND)	20	DGND

表 3-14. TI14 引脚连接器 (J2-Refer PROC081E2 SCH) 引脚排列

引脚编号	信号	引脚编号	信号
1	MIPI_14_TMS	8	14PJTAG_DET
2	MIPI_14_TRST	9	MIPI_14_RTCK
3	MIPI_14_TDI	10	数字接地 (DGND)
4	MIPI_14_TDIS	11	MIPI_14_TCK
5	MIPI_14_VTREF	12	DGND
6	NC (键控)	13	MIPI_14_EMU0
7	MIPI_14_TDO	14	MIPI_14_EMU1

4 J721E EVM 硬件架构

本节详细介绍了 J721E EVM 的硬件架构。

4.1 J721E EVM 硬件顶层图

图 4-1 显示了 J721E EVM 的功能方框图。

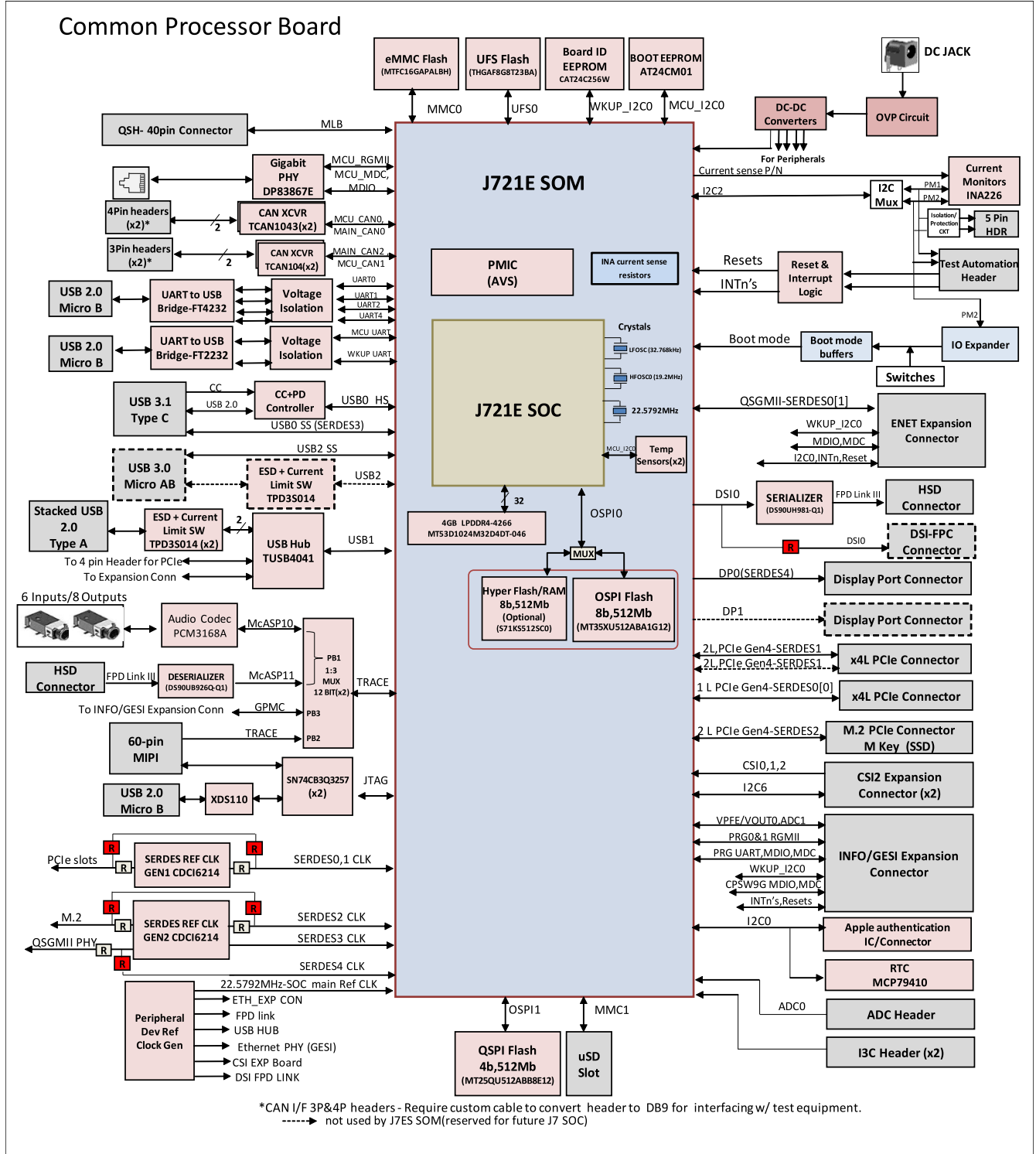


图 4-1. J721E EVM 功能方框图

图 4-2 显示了四端口以太网扩展板功能方框图。

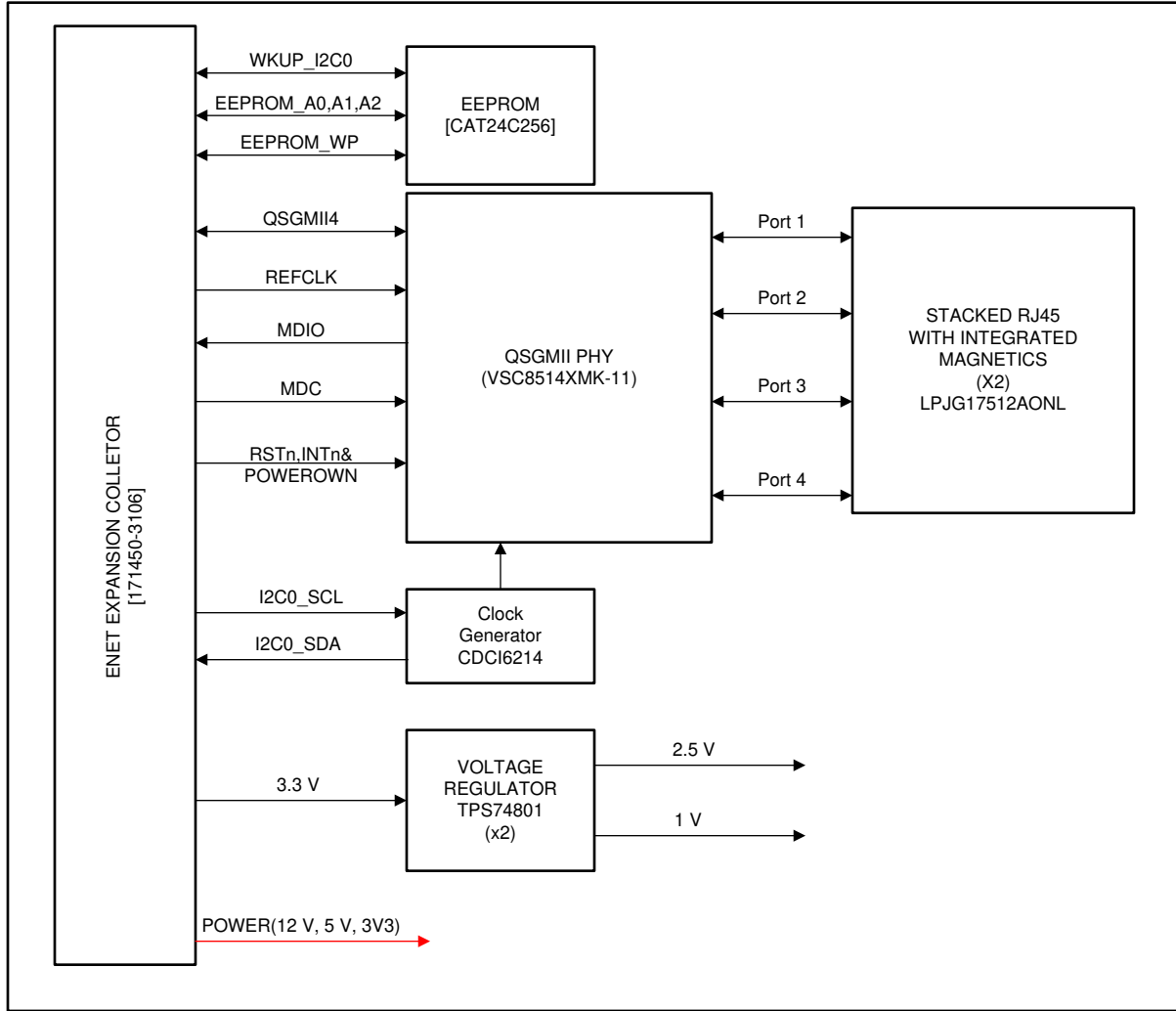


图 4-2. 四端口以太网扩展功能方框图

4.2 J721E EVM 接口映射

表 4-1 显示了 J721E EVM 接口映射表。

表 4-1. J721E EVM 接口映射

接口名称	SoC 上的端口	器件型号
存储器 - LPDDR4	DDR0	MT53D1024M32D4DT
存储器 - OSPI	MCU_OSPI0	MT35XU512ABA1G12-0SIT (1:2 多路复用器 TS3DDR3812RUAR 的通道 B)
存储器 - HyperFlash	MCU_OSPI0	S71KS512SC0BHV000 (1:2 多路复用器 TS3DDR3812RUAR 的通道 C)
存储器 - 四路 SPI	MCU_OSPI1	MT25QU512ABB8E12-0SIT
存储器 - eMMC	MMC0	MTFC16GAPALBH-AAT ES
存储器 - Micro SD 插槽	MMC1	DM3BT-DSF-PEJS
存储器 - UFS	UFS0	THGAF8G8T23BAIL
存储器 - 板 ID EEPROM	WKUP_I2C0 (用于 CSI 扩展的 I2C6)	CAT24C256WI-GT3 (用于 J721E SOM 的 CAV24C256WE-GT3)
存储器 - 引导 EEPROM	MCU_I2C0	AT24CM01
以太网 - RGMII	MCU_RGMII1	DP83867ERGZT
以太网 - 四路 SGMII	SERDES0 (SGMII2)	VSC8514XMK
USB - 3.1 Type C + PD + CC 控制器	SERDES3 (USB0)	2012670005 + PTPS25830QWRHBTQ1 + TUSB321RWBR
USB 2.0 (集线器)	USB1	TUSB4041IPAPR
显示端口	SERDES4 (DP0)	472720001
FPD-Link 面板串行器	DSI0	PDS90UB941ASRTDTQ1
FPD-Link 无线电调谐器	McASP11	DS90UB926QSQE
音频编解码器	McASP10	PCM3168APAP
PCIe - 4 通道插槽 (单通道)	SERDES0 (PCIe0)	10142333-10111MLF
PCI2 - 4 通道插槽 (双通道)	SERDES1 (PCIe1)	10142333-10111MLF
PCIe - M.2 插槽 (M-Key 2280)	SERDES2 (PCIe2)	MDT320M01001
MLB/MLBP 扩展	MLB0	QSH-020-01-L-D-DP-A-K
UART 端子 (UART 转 USB)	UART [0:2] 和 4	FT4232HL
UART 端子 (UART 转 USB)	WKUP_UART0 和 MCU_UART0	FT2232HL
CAN (4x)	MCU_MCAN0	TCAN1043-Q1 (具有唤醒功能)
	MCU_MCAN1	TCAN1042HGVD
	MCAN0	TCAN1043-Q1 (具有唤醒功能)
	MCAN2	TCAN1042HGVD
ADC 接头	MCU_ADC0	TSW-110-07-S-D

4.3 I2C 地址映射

表 4-2 所示为 EVM 上的完整 I2C 地址映射详情。

表 4-2. J721E EVM I2C 表

J721E EVM I2C 表				
板	I2C 端口	器件/功能	器件型号	I2C 地址
EVM/SoM	WKUP_I2C0	PMIC	O917A131TRGZTQ1	0x58-5B
EVM/SoM	WKUP_I2C0	PMIC	LP873200RHDTQ1	0x62
EVM/SoM	WKUP_I2C0	PMIC	LP87524BRNFTQ1	0x60
EVM/SoM	WKUP_I2C0	PMIC	LP87561IRNFTQ1	0x61
EVM/SoM	WKUP_I2C0	板 ID EEPROM	CAT24C256W	0x50
EVM/CPB	WKUP_I2C0	板 ID EEPROM	CAT24C256W	0x53
EXP/QSGMII	WKUP_I2C0	板 ID EEPROM	CAT24C256W	0x54
EVM/CPB	MCU_I2C0	引导 EEPROM	AT24CM01	0x50、51
EVM/SoM	MCU_I2C0	温度传感器 1	TMP100NA/3K	0x48
EVM/SoM	MCU_I2C0	温度传感器 2	TMP100NA/3K	0x49
EVM/CPB	SoC_I2C0	外设时钟发生器	CDCEL937-Q1	0x6D
EVM/CPB	SoC_I2C0	RTC 模块	MCP79410	0x57、6F
EVM/CPB	SoC_I2C0	Apple 认证接头/封装	2214BR - 10G	0x10、0x11
EVM/CPB	SoC_I2C0	SERDES 参考时钟发生器 2	CDCI6214	0x76
EVM/CPB	SoC_I2C0	16 位 I2C GPIO 扩展器 1	TCA6416ARTWR	0x20
EVM/CPB	SoC_I2C0	24 位 I2C GPIO 扩展器 2	TCA6424ARGJR	0x21
EVM/CPB	SoC_I2C0	双通道和单通道 PCIe 接口的 I2C 多路复用器	TCA9543APWR	0x70
EVM/CPB	SoC_I2C0	M.2 PCIe 连接器的 I2C 多路复用器 (2 L PCIe 第 4 代 SERDES2)	TCA9543APWR	0x71
EVM/CPB	SoC_I2C0	MLB 物理接口板	<连接器接口>	
EXP/QSGMII	SoC_I2C0	四端口 ENET 板上的时钟发生器	CDCI6214	待定 (TBD)
EVM/CPB	SoC_I2C1	8 位 I2C GPIO 扩展器 4	TCA6408ARGTR	0x20
EVM/CPB	SoC_I2C1	FPD-Link IV 串行器 (DSI)	DS90UH981-Q1	0x0E
EVM/CPB	SoC_I2C1	DSI FPC	连接器接口	待定 (TBD)
EVM/CPB	SoC_I2C2	电流监控器 1 (PM1_I2C)	INA226	0x40-0x4F
EVM/CPB	SoC_I2C2	电流监控器 2 (PM2_I2C)	INA226	0x40-0x4F
EVM/CPB	SoC_I2C2	测试自动化接头	<连接器接口>	
EVM/CPB	SoC_I2C3	8 位 I2C GPIO 扩展器 3	TCA6408ARGTR	0x20
EVM/CPB	SoC_I2C3	音频编解码器 1	PCM3168A-Q1	0x44
EVM/CPB	SoC_I2C3	FPD-Link III 解串器 (McASP)	DS90UB926Q-Q1	0x2C
EVM/CPB	SoC_I2C6	8 位 I2C GPIO 扩展器 5	TCA6408ARGTR	0x20

4.4 GPIO 映射

SoC 的通用 I/O (GPIO) 分为两大类：WKUP/MCU 域和主域。表 4-3 描述了 SoC 与 EVM 外设的详细 GPIO 映射。

表 4-3. J721E SoC - GPIO 映射表

J721E SoC - GPIO 映射表						
封装信号名称	GPIO	网络名称	输入/输出	默认	状态	备注
WKUP/MCU 域						
WKUP_GPIO0_0	WKUP_GPIO0_0	MCU_MCAN0_EN	输出	引导模式	高电平有效	MCU CAN0 启用
WKUP_GPIO0_1	WKUP_GPIO0_1	BOOT_EEPROM_WP	输出	引导模式	高电平有效	引导 EEPROM 写保护
WKUP_GPIO0_2	WKUP_GPIO0_2	MCU_CAN1_STB	输出	引导模式	高电平有效	MCU CAN1 待机
WKUP_GPIO0_3	WKUP_GPIO0_3	GPIO_MCU_RGMII1_RST#	输出	PU	低电平有效	MCU_RGMII1_Reset
WKUP_GPIO0_6	WKUP_GPIO0_6	WKUP_GPIO0_6	I/O	测试点	不适用	端接到测试点
WKUP_GPIO0_7	WKUP_GPIO0_7	SYS_IRQz	输入	PU	低电平有效	按钮中断，用户定义/唤醒 S2R (“0>1” - 中断待处理，“1” - 正常操作)
WKUP_GPIO0_8	WKUP_GPIO0_8	OSPI/HYPER_MUX_SEL	输出	DIP_SEL	不适用	闪存选择 (“0” - OSPI0，“1” - Hyperflash + HyperRam)
WKUP_GPIO0_9	WKUP_GPIO0_9	PMIC_MCU_INT#	输入	PU	低电平有效	从 PMIC 中断
WKUP_GPIO0_17	WKUP_GPIO0_17	MCU_OSPI0_ECC_FAIL	输出	不适用	高电平有效	OSPI_ECC_FAIL (带 HYPERBUS_CKn 的多路复用器选项)，MCU_OSPI0_ECC_FAIL 是 DNI 电阻器选项。
MCU_SPI0_CLK	WKUP_GPIO0_52	WKUP_GPIO0_52	I/O	引导模式	不适用	端接到测试点
MCU_SPI0_CS0	WKUP_GPIO0_55	MCU_RGMII1_INT#	输入	PU	低电平有效	MCU 以太网中断 (“0” - 中断待处理，“1” - 无中断)
MCU_SPI0_D0	WKUP_GPIO0_53	SYS_MCU_PWRDN	输出	PD	低电平有效	系统断电 (“0” - 正常运行，“1” - 系统断电)
MCU_SPI0_D1	WKUP_GPIO0_54	MCU_CAN0_STBz	输出	PD	低电平有效	MCU CAN0 待机
主域						
EXTINTN	GPIO0_0	SOC_EXTINTN	输入	PU	低电平有效	按钮中断，用户定义
RGMII6_RX_CTL	GPIO0_98	C_MCASPI0_AFSR	不适用	PU	低电平有效	I2C0 I/O 扩展器中断。(“0” - 中断待处理，“1” - 无中断)(I2C0_IOEXP_INT#) 注：仅跟踪/GPMC 多路复用器可以提供 GPIO
RGMII6_RD3	GPIO0_105	IMU_GPIO0	I/O	不适用	不适用	用作 IMU 传感器的 GPIO0
SPI1_CS1	GPIO0_117	DSI_UB981_INTB	输入	PU	低电平有效	DSI FPD-Link 串行器/面板中断。 注：带 CON_DSI0_INT# 的电阻器选项
UART1_CTSN	GPIO0_127	GPIO0_127/EQEP0_S/MLB0_MLBCLK	输出	PU	高电平有效	CP 板 - MCAN2_STB；GESI - Boosterpack_GPIO2
UART1_RTSN	GPIO1_0	GPIO1_0/EQEP0_I/MLB0_MLBDAT	输出	PD	不适用	CP 板 - PM I2C 多路复用器选择。(“0” - SOC_I2C2_SCL/SDA → PM1_SCL/SDA，“1” - SOC_I2C2_SCL/SDA → PM2_SCL/SDA) GESI - Boosterpack_GPIO1
MCAN1_RX	GPIO1_3	USBC_DIR	输入	PU	不适用	USB Type-C 电缆方向。Type-C 插头位置 2 (H)；Type-C 插头位置 1 (L)
ECAPO_IN_APWM_OUT	GPIO1_11	GPIO1_11/MAIN_I3C0_SDAPULLEN	输入	PU	高电平有效	显示 I/O 扩展器中断。(“0” - 中断待处理，“1” - 无中断)(IOEXP4_INT#)
EXT_REFCLK1	GPIO1_12	GPIO1_12/MLB0_REFCLK	输入	PD	不适用	CP 板音频解串器 UB926_GPIO1 (未使用调谐器的 GPIO)
MMC1_SDWP	GPIO1_22	ENET_EXP_INTB	输入	PU	低电平有效	以太网扩展中断。(“0” - 中断待处理，“1” - 无中断)
I3C0_SCL	GPIO1_5	H_I3C0_SCL	I/O	不适用	不适用	CP 板音频解串器 UB926_GPIO2
I3C0_SDA	GPIO1_6	H_I3C0_SDA	I/O	不适用	不适用	CP 板音频解串器 UB926_GPIO3

4.5 电源

图 4-3 所示为 SoM 的配电系统。SoM 的电源来自通用处理器板上的 12V 至 5.0V/3.3V 双路降压转换器。J721E 处理器由双 TPS6594x PMIC 解决方案供电，该解决方案针对 J721E 进行了优化，可支持各种用例。

双路负载开关 TPS22976-Q1 为 LPDDR4 I/O 电源 (1.1V/0.6V) 提供开关选项。

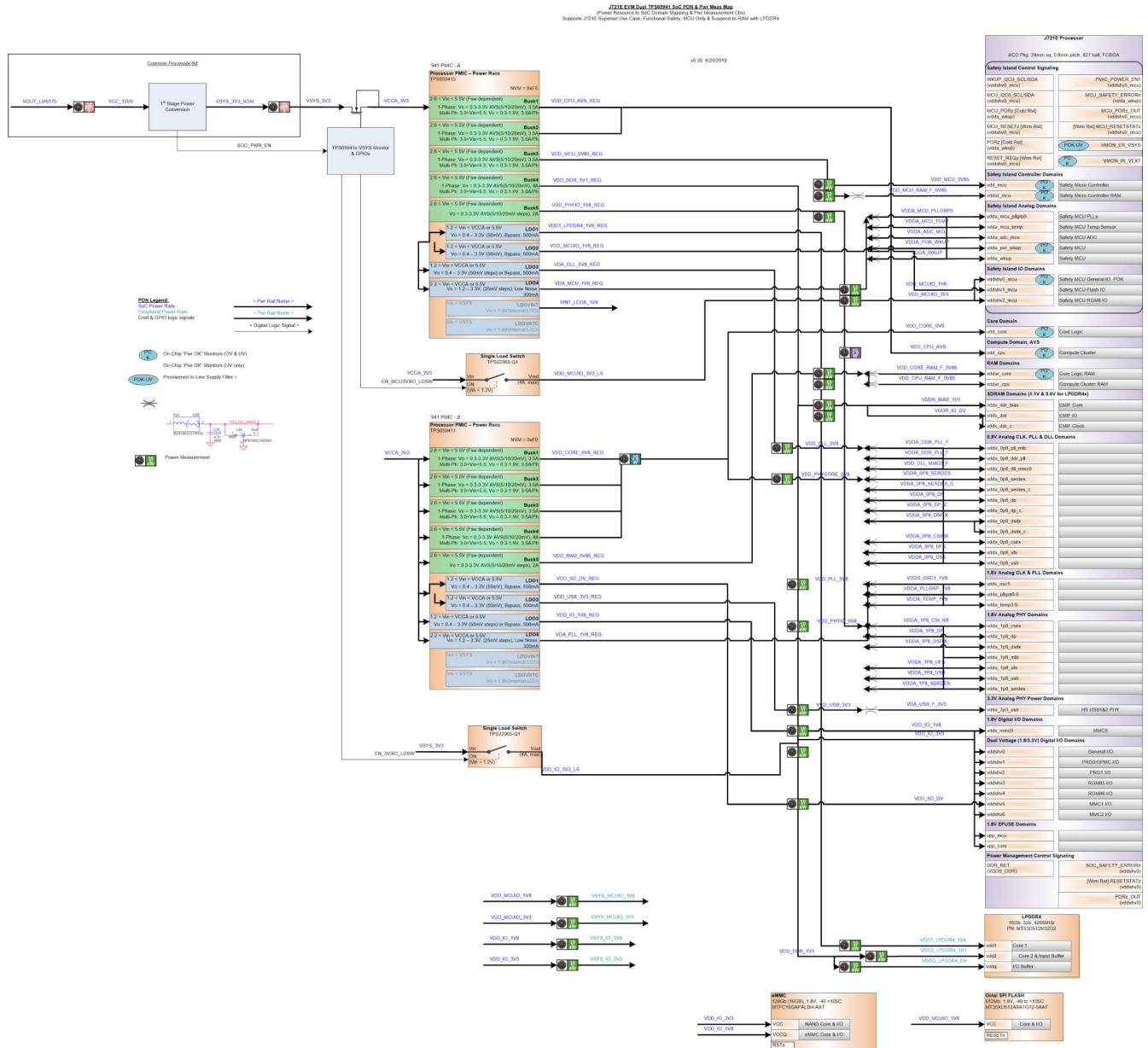


图 4-3. J721E SOM 配电方框图

4.5.1 电源时序

图 4-4 显示了处理器卡上所有电源的上电序列。注意：特定于处理器的电源由双 PMIC 提供，其特定的电源序列旨在满足处理器序列要求。特定于器件的处理器数据手册中介绍了该序列。图 4-4 说明了对所有其他系统电源的支持。

J721E_CP Board Power Sequencing

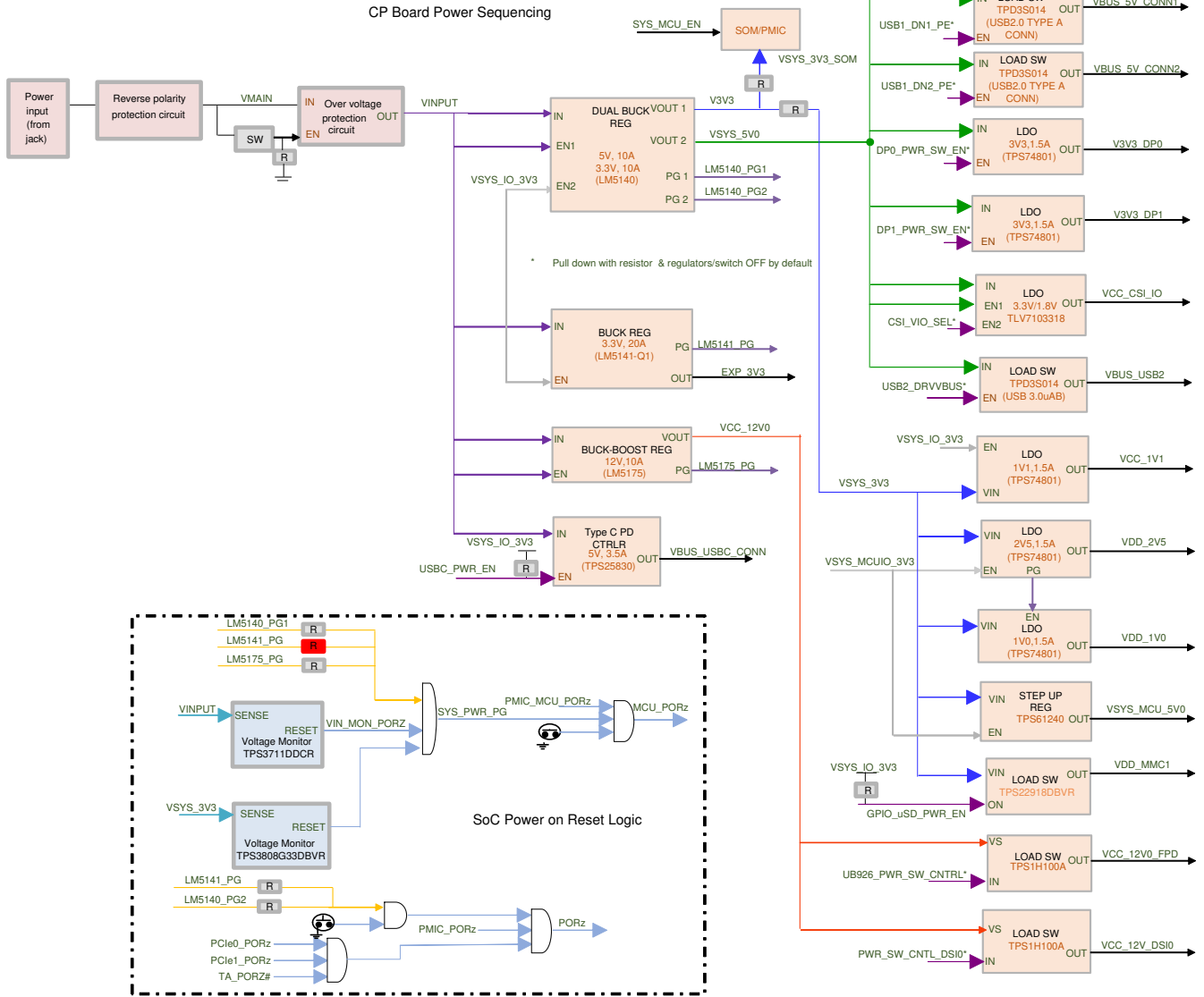


图 4-4. 加电时序

4.5.2 电压监控器

对电源轨进行监控以控制 SoC 的上电复位 (MCU_PORz)。提供了两个监控器器件来监控主电源输入和 VSYS_3V3。

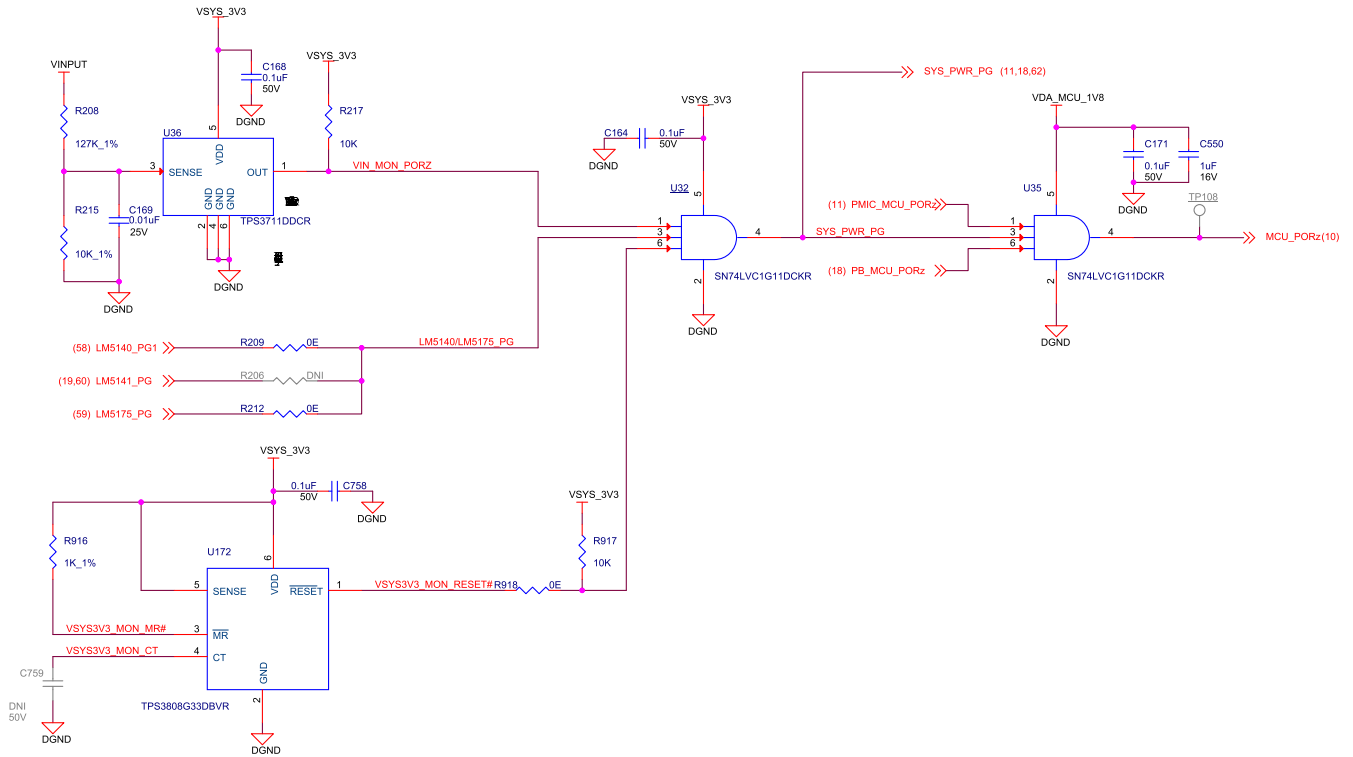


图 4-5. 电压监控器电路

4.5.3 DDR I/O 电压选择

J721E SoM 上提供了一个 DIP 开关，用于为 LPDDR4/LPDDR4x 选择 SoC 的 DDR 和 LPDDR4 存储器 I/O 电源电压。

目前 J721E 器件不支持 LPDDR4x。但以后可能会支持。如果向器件添加了该支持，EVM 即可支持此功能。

DIP 开关 SW1 位 1 提供了一个选项来更改 D 触发器 (U7) 的逻辑，该逻辑控制负载开关 TPS22965TDSGRQ1 和 TPS22976NDPUT 以决定 I/O 电源电压。

表 4-4. DDR I/O 电压选择

SW1 位 1	SDRAM_TYPE	选择的 DDR I/O 电压
低	LPDDR4X	0.6V
高	LPDDR4	1.1V

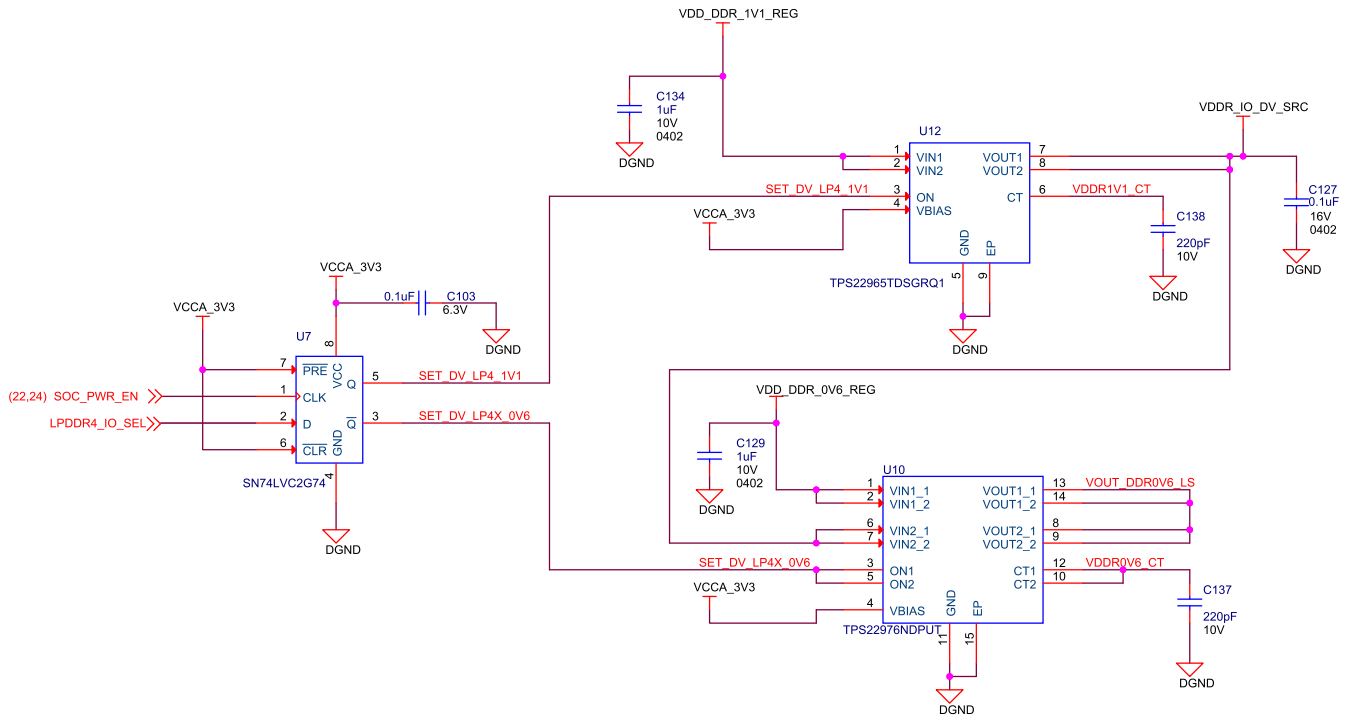


图 4-6. LPDDR4 IO 电压选择电路

4.5.3.1 J721E SoC S2R 逻辑流程图

EVM 支持被称为挂起至 RAM (或 S2R) 的低功耗状态。在该状态下，处理器 (也可以选择整个系统) 可以断电，同时 LPDDR4 存储器保持自刷新模式。通过 PMIC 来管理电源状态。表 4-5 显示了进入 S2R 状态所需执行的步骤：

表 4-5. J721E SoC S2R 逻辑流程

Leo PMIC 从有源模式到 S2R 模式的转换				
操作	地址	位	数据	寄存器/位名称
在 LeoA 上取消屏蔽 GPIO10_RISE-MASK (I2CID : 0x48)	0x51	[4]	0x0	GPIO10_RISE_MASK
进行读取和写入操作以清除 WKUP1 中断	0x63	[1]	0x1	GPIO10_INT
将 LeoA 的 GPIO4 重新配置为 LP_WKUP1	0x34	[7:0]	0xC8	GPIO4_CONFIG
进行读取和写入操作以清除 LP_WKUP1 中断	0x64	[4]	0x1	GPIO_INT
将 nSLEEP2b 和 nSLEEP1b 设置为 “00” 以进入 S2R 状态	0x86	[1:0]	0x0	NSLEEP2b、NSLEEP1b
进行读取和写入操作以清除 ENABLE_INT 中断	0x65	[1]	0x1	ENABLE_INT

通过按下 CAN_WAKEn 按钮 (SW12)，可以将 EVM 从低功耗状态唤醒。

4.5.3.2 仅 J721E SoC MCU 操作

表 4-6. J721E SoC S2R 逻辑流程

Leo PMIC 从有源模式到 S2R 模式的转换				
操作	地址	位	数据	寄存器/位名称
在 LeoA 上取消屏蔽 GPIO10_RISE-MASK (I2CID : 0x48)	0x51	[4]	0x0	GPIO10_RISE_MASK
进行读取和写入操作以清除 WKUP1 中断	0x63	[1]	0x1	GPIO10_INT
将 LeoA 的 GPIO4 重新配置为 LP_WKUP1	0x34	[7:0]	0xC8	GPIO4_CONFIG
进行读取和写入操作以清除 LP_WKUP1 中断	0x64	[4]	0x1	GPIO_INT
将 nSLEEP2b 和 nSLEEP1b 设置为 “10” 以进入 MCU_ONLY 状态	0x86	[1:0]	0x2	NSLEEP2b、NSLEEP1b
进行读取和写入操作以清除 ENABLE_INT 中断	0x65	[1]	0x1	ENABLE_INT

MCU 通过 I2C 向 PMIC 发出命令，可以将 EVM 从低功耗状态唤醒。

4.5.3.3 电源监控

INA226 电源监控器件用于监控 J721E 处理器各种电源轨的电流和电压。该器件通过 I2C 接口向 J721E 处理器报告电流、电压和功率。提供了四端子高精度分流电阻器，其值根据负载电流计算得出。

表 4-7. INA 器件 I2C 从器件地址

电源	电源网	I2C 总线	从器件地址 (以十六进制表示)	连接到电源轨的分流器的值
VDD_MCU_0V85_REG	VDD_MCU_0V85	SOC_I2C2/PM1	0x40	0.01E
VDD_MCU_RAM_0V85_REG	VDD_MCU_RAM_0V85	SOC_I2C2/PM1	0x41	0.01E
VDA_MCU_1V8_REG	VDA_MCU_1V8	SOC_I2C2/PM1	0x42	0.01E
VDD_MCUIO_3V3_LS	VDD_MCUIO_3V3	SOC_I2C2/PM1	0x43	0.01E
VDD_MCUIO_1V8_REG	VDD_MCUIO_1V8	SOC_I2C2/PM1	0x44	0.01E
VDD_CORE_0V8_REG	VDD_CORE_0V8	SOC_I2C2/PM1	0x45	0.01E
VDD_CORE_RAM_0V85_REG	VDD_CORE_RAM_0V85	SOC_I2C2/PM1	0x46	0.01E
VDD_CPU_RAM_0V85_REG	VDD_CPU_RAM_0V85	SOC_I2C2/PM1	0x47	0.01E
VDD_CPU_AVS_REG	VDD_CPU_AVS	SOC_I2C2/PM1	0x48	0.01E
V917_SMPS3_1V1	VDDR_BIAS_1V1	SOC_I2C2/PM1	0x49	0.01E
VDDR_IO_DV_SRC	VDDR_IO_DV	SOC_I2C2/PM1	0x4A	0.01E
VDD_CORE_0V8_REG	VDD_PHYCORE_0V8	SOC_I2C2/PM1	0x4B	0.01E
VDA_PLL_1V8_REG	VDA_PLL_1V8	SOC_I2C2/PM1	0x4C	0.01E
VDD_PHYIO_1V8_REG	VDD_PHYIO_1V8	SOC_I2C2/PM1	0x4D	0.01E
VDA_USB_3V3_REG	VDA_USB_3V3	SOC_I2C2/PM1	0x4E	0.01E
SPARE	不适用	SOC_I2C2/PM1	0x4F	不适用
VDD_MCUIO_1V8_REG	VDD_IO_1V8	SOC_I2C2/PM2	0x40	0.01E
VSYS_3V3	VDD_IO_3V3	SOC_I2C2/PM2	0x41	0.01E
VDD_SD_DV_REG	VDD_SD_DV	SOC_I2C2/PM2	0x42	0.01E
V917_LDO4_1V8	VDD1	SOC_I2C2/PM2	0x43	0.01E
V917_SMPS3_1V1	VDD2	SOC_I2C2/PM2	0x44	0.01E
VDDR_IO_DV_SRC	VDDQ_LPDDR4_DV	SOC_I2C2/PM2	0x45	0.01E
VDD_MCUIO_1V8_REG	VSYS_MCUIO_1V8	SOC_I2C2/PM2	0x46	0.01E
VSYS_3V3	VSYS_MCUIO_3V3	SOC_I2C2/PM2	0x47	0.01E
VDD_MCUIO_1V8_REG	VSYS_IO_1V8	SOC_I2C2/PM2	0x48	0.01E
VSYS_3V3	VSYS_IO_3V3	SOC_I2C2/PM2	0x49	0.01E
VCC_12V0	VCC_12V0	SOC_I2C2/PM2	0x4A	0.01E
VSYS_5V0	VSYS_5V0	SOC_I2C2/PM2	0x4B	0.01E
VSYS_3V3	VSYS_3V3	SOC_I2C2/PM2	0x4C	0.01E
VSYS_3V3	VSYS_3V3_SOM	SOC_I2C2/PM2	0x4D	0.01E
VDD_EXTLDO1_0V8	VDDA_DLL_0V8	SOC_I2C2/PM2	0x4E	0.01E
EXP_3V3	EXP_3V3	SOC_I2C2/PM2	0x4F	0.01E

可以通过主 I2C2 实例从处理器访问 INA 器件。此外，还可以选择使用外部 I2C 主器件来监控 SoC 和外设电源。通用处理器具有带隔离电路的五引脚接头 (J12)，用于将 INA 器件连接到外部 I2C 主器件。缓冲器 IC SN74CB3Q3125PWR (U69) 用于将外部 I2C 接头与 INA 器件相隔离。可通过 SYS_PWR_PG 提供该缓冲区的控制功能，该引脚在上电时默认启用。

外部电源监控器接头详细信息：

制造商器件型号 68002-205HL (CON HDR 1X5 2.54MM 间距 ST TH)

表 4-8. 外部电源监控器接头引脚排列

接头 (J12) 引脚编号	信号名称
1	CON_PM1_SCL
2	CON_PM1_SDA
3	数字接地(DGND)
4	CON_PM2_SDA
5	CON_PM2_SCL

通用处理器板上的测试自动化接头也可以从外部访问这些 INA 器件。

4.6 复位

图 4-7 显示了 J721E EVM 复位架构。

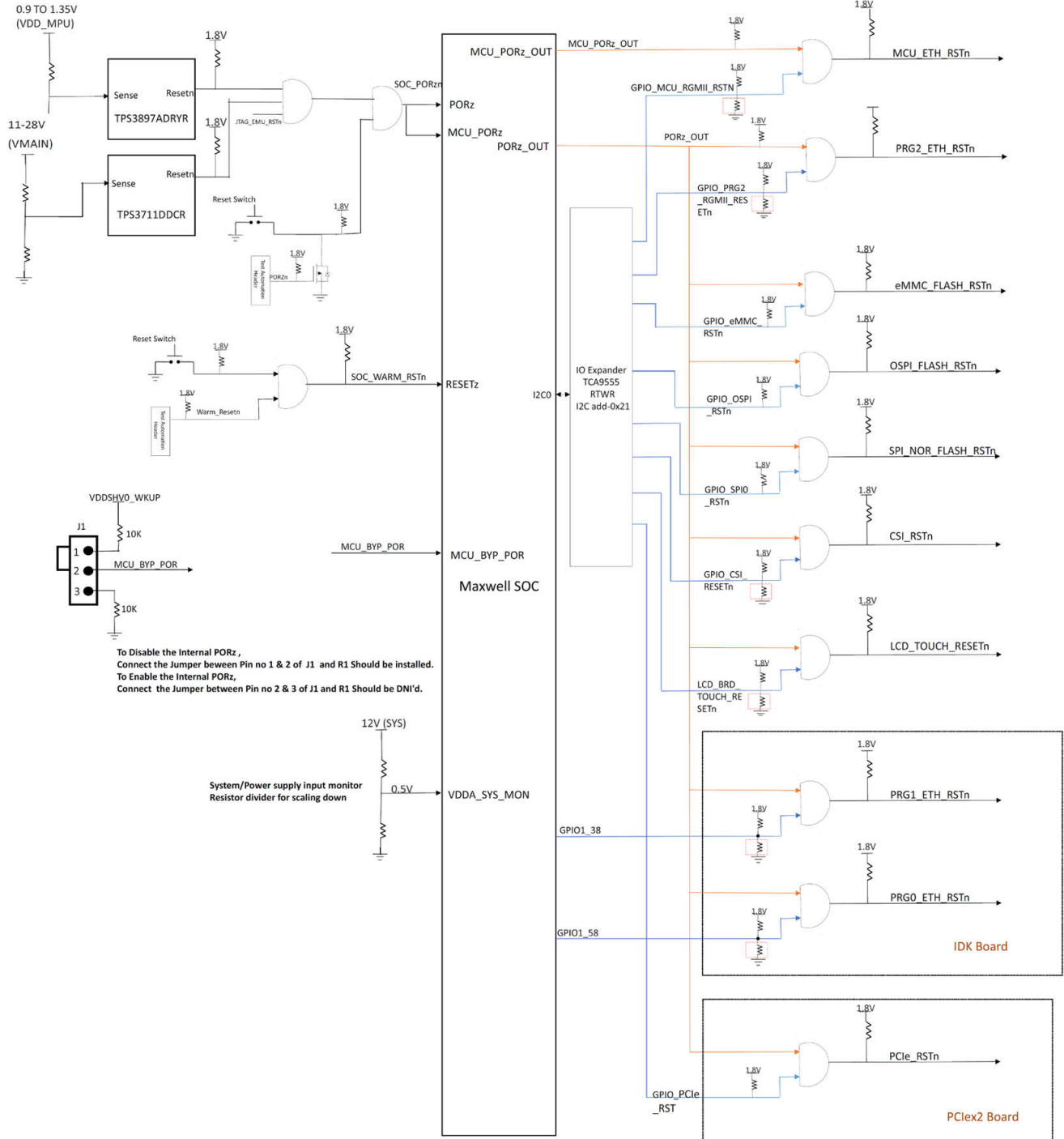


图 4-7. EVM 复位架构

4.7 时钟

图 4-8 所示为 J721E EVM 时钟架构。

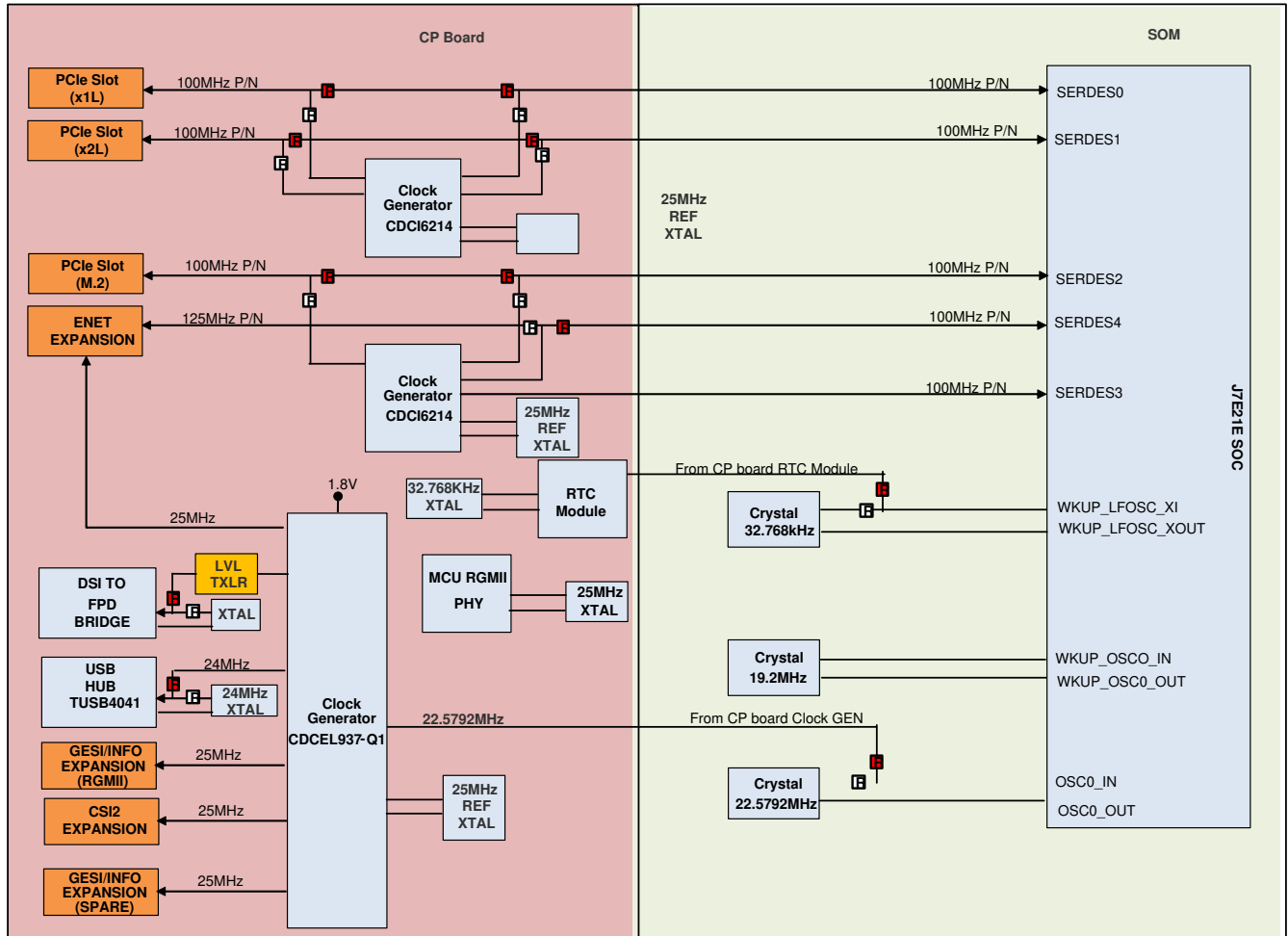


图 4-8. EVM 时钟架构

EVM 支持通过多个晶体和时钟发生器为 SoC 和 EVM 外设提供参考时钟输入。

4.7.1 处理器的主时钟

J721E 处理器连接了三个外部晶体，以提供 SoC 的主时钟 WKUP_LFOSC (32KHz)、WKUP_OSC0 (19.2MHz) 和 OSC1 (22.5792MHz)，如图 4-9 所示。

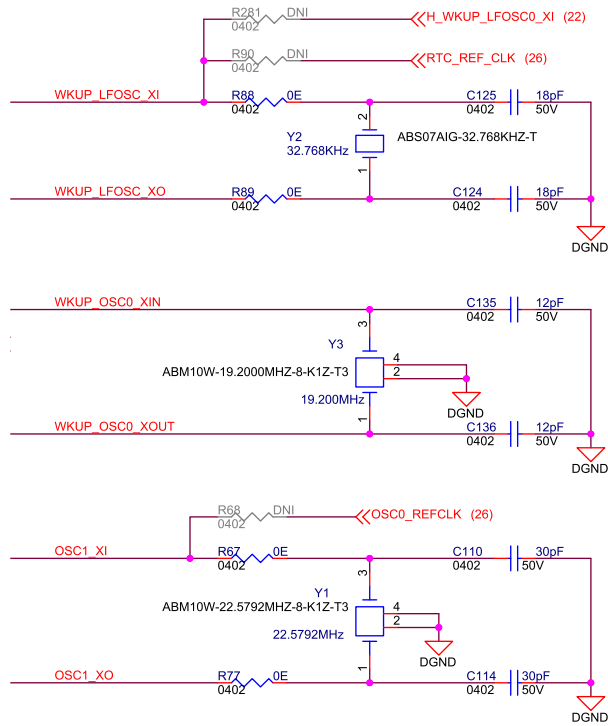


图 4-9. J721E SoC 主时钟

该处理器必需使用 WKUP_OSC0 时钟。WKUP_LFOSC 和 OSC1 都是可选时钟 (J721E 处理不需要这些时钟)。WKUP_LFOSC 可以来自板载晶体或 PMIC。OSC1 可以来自板载晶体或通用处理器板上的时钟发生器 (CDCEL937)。

4.7.2 处理器的辅助/SERDES 参考时钟

除了主时钟之外，SoC 的 SERDES 参考时钟来自通用处理器板上的时钟发生器 (CDCI6214)。所有这些时钟的频率均为 100MHz，具有 HCSL 电平，用于 SoC 的 SERDES 参考时钟输入。CDCI6214 芯片的编程是通过 J721E SoC 的 I2C0 端口完成的。

共有两个 CDCI6214 时钟发生器可用于将 SERDES 参考时钟提供给 SoC。CDCI1 (U22) 默认不与 I2C0 端口相连。CDCI1 (U22) 的时钟是通过工厂编程配置导出的。

仅需要对 CDCI2 (U17) 进行 I2C 编程，以获得每个通道所需的时钟输出。每个 CDCI 芯片都连接了一个 25MHz 晶体，用于其参考时钟输入。

表 4-9. 处理器的辅助/SERDES 参考时钟

信号/网络名称	探测点	时钟发生器/通道	说明	频率
CLKGEN_SERDES1_REFCLK_P/N	R176/R167	CDCI1/Y1	SoC SERDES1 的 100MHz HCSL 时钟	100MHz
CLKGEN_PCIE0_1L_REFCLK_P/N	R143/R142	CDCI1/Y2	PCIe0 x1 L 插槽的 100MHz HCSL 时钟	100MHz
CLKGEN_SERDES0_REFCLK_P/N	R145/R153	CDCI1/Y3	SoC SERDES0 的 100MHz HCSL 时钟	100MHz
CLKGEN_PCIE0_2L_REFCLK_P/N	R168/R177	CDCI1/Y4	PCIe0 x2 L 插槽的 100MHz HCSL 时钟	100MHz
CLKGEN_SERDES2_REFCLK_P/N	R158/R157	CDCI2/Y1	SoC SERDES2 的 100MHz HCSL 时钟	100MHz
CLKGEN_USB_REFCLK_P/N	R160/R159	CDCI2/Y2	SoC USB 的 100MHz HCSL 时钟	100MHz
QSGMII_PHY_REFCLK_P/N	C108/C109	CDCI2/Y3	以太网扩展板的 125MHz LVDS 时钟	125MHz
CLKGEN_PCIE2_2L_REFCLK_P/N	R123/R124	CDCI2/Y4	PCIe M.2 插槽的 100MHz HCSL 时钟	100MHz

PCIe x1、x2 和 M.2 插槽的 PCIe 参考时钟也来自 CDCI 时钟发生器。

4.7.3 EVM 外设参考时钟

EVM 外设的参考时钟来自通用处理器板上的时钟发生器 (CDCEL937PWR)，可通过处理器的 I2C0 端口对该时钟发生器进行编程。一个 24MHz 晶体连接到该时钟发生器以产生所需的时钟输出。

表 4-10. EVM 外设参考时钟

信号/网络名称	探测点	时钟发生器/通道	说明	频率
USB1_HUB_REFCLK	R80	CDCEL/Y1	USB 集线器的 24MHz 时钟 (默认不使用)	24MHz
DSI_REFCLK_1V8	R92	CDCEL/Y2	DSI 发送器 (941A) 的 25MHz 时钟	25MHz
QSGMII_REFCLK	R81	CDCEL/Y3	以太网扩展板的 25MHz 时钟	25MHz
RGMII_REFCLK	R100	CDCEL/Y4	扩展板的 25MHz 时钟	25MHz
CSI2_REFCLK	R101	CDCEL/Y5	CSI2 扩展板的 25MHz 时钟	25MHz
OSC0_REFCLK	R82	CDCEL/Y6	SoC 的 22.5782MHz 时钟 (默认不使用)	22.5782 MHz
EXP_REFCLK	R83	CDCEL/Y7	<当前未使用>	24MHz

备注

上述的探测点以通用处理器板为基准。

4.8 存储器接口

4.8.1 LPDDR4 接口

J721E SOM 使用排列在 32 位宽总线中的单个 32Gb x 8 位宽存储器器件，可实现 4GB LPDDR4。LPDDR4 接口能够以高达 3733Mb/s 的速度运行。LPDDR4 器件通过 T 分支布线进行连接，以连接到时钟和地址/命令线路，并实现数据总线的点对点连接。

SoM 上使用了 Micron 的 LPDDR4 存储器芯片 MT53D1024M32D4DT，该芯片针对内核 1 需要 1.8V 的电压 (VDD1)，针对内核 2 需要 1.1V 的电压 (VDD2)，针对 I/O 缓冲电源需要 1.1V 或 0.6V 的电压 (VDDQ)。可以使用 SoM 上的 DIP 开关 SW1 来选择 VDDQ 电源。如需更多详情，请参阅节 4.5.3。

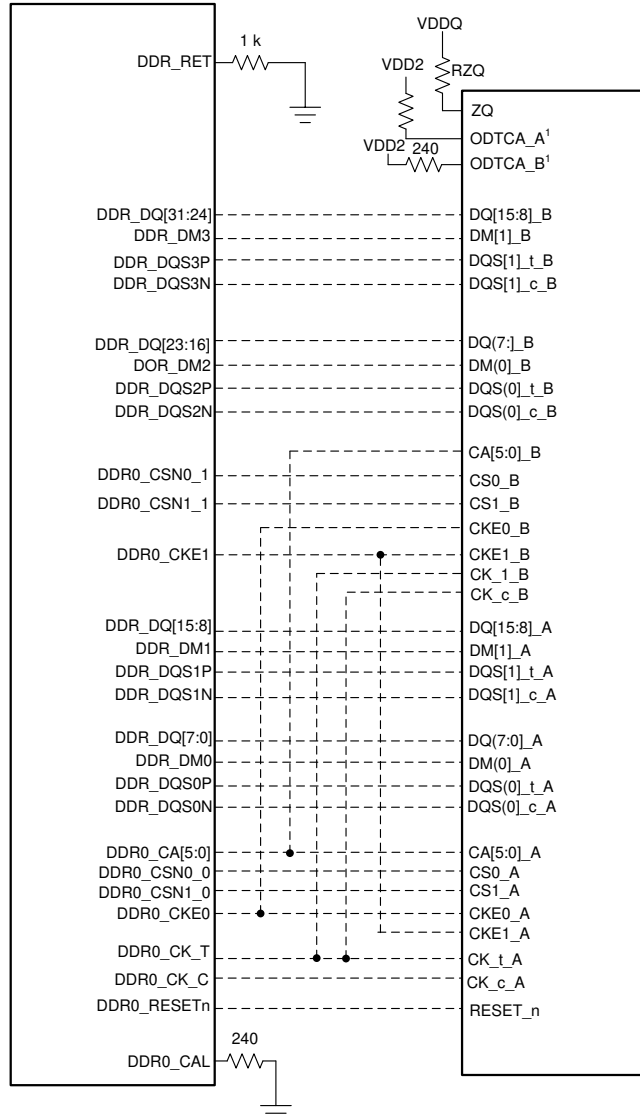


图 4-10. J721E SoM LPDDR4

4.8.2 OSPI 接口

J721E SOM 具有器件型号为 MT35XU512ABA1G12-0SIT 的 512Mbit OSPI 存储器器件，该器件与 J721E 处理器的 OSPI0 接口相连。OSPI 接口支持单倍和双倍数据速率，存储器速度高达 166MHz SDR 和 200MHz DDR。

SOM 板还可以支持包含 HyperFlash + HyperRAM (制造商器件型号为 S71KS512SC0)，即 512Mb 闪存 + 64Mb DRAM。此外，还提供了 12 位有源多路复用器 TS3DDR3812RUAR 以便选择 OSPI 或 HBMC 接口。使用在 CP 板上组装的 DIP (SW3) 开关可选择 OSPI 和 HyperFlash。如需更多信息，请参阅节 3.4.1。

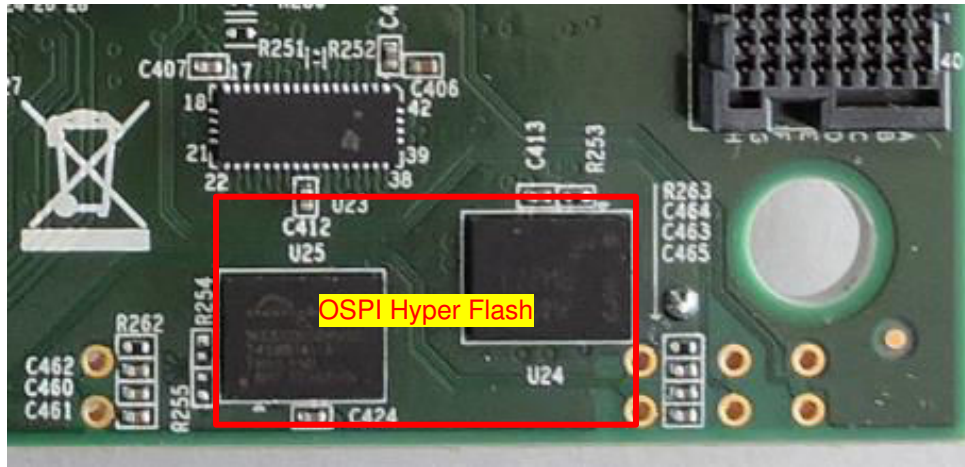


图 4-11. J721E SoM OSPI 和 HyperFlash

4.8.3 UFS 接口

通用处理器板上具有 32GB UFS 存储器件 (制造商器件型号为 THGAF8G8T23BAIL) , 并连接到 SoC 的 UFS0 端口。UFS 存储器支持 Gear3/双通道并支持 UFS 版本 2.1。

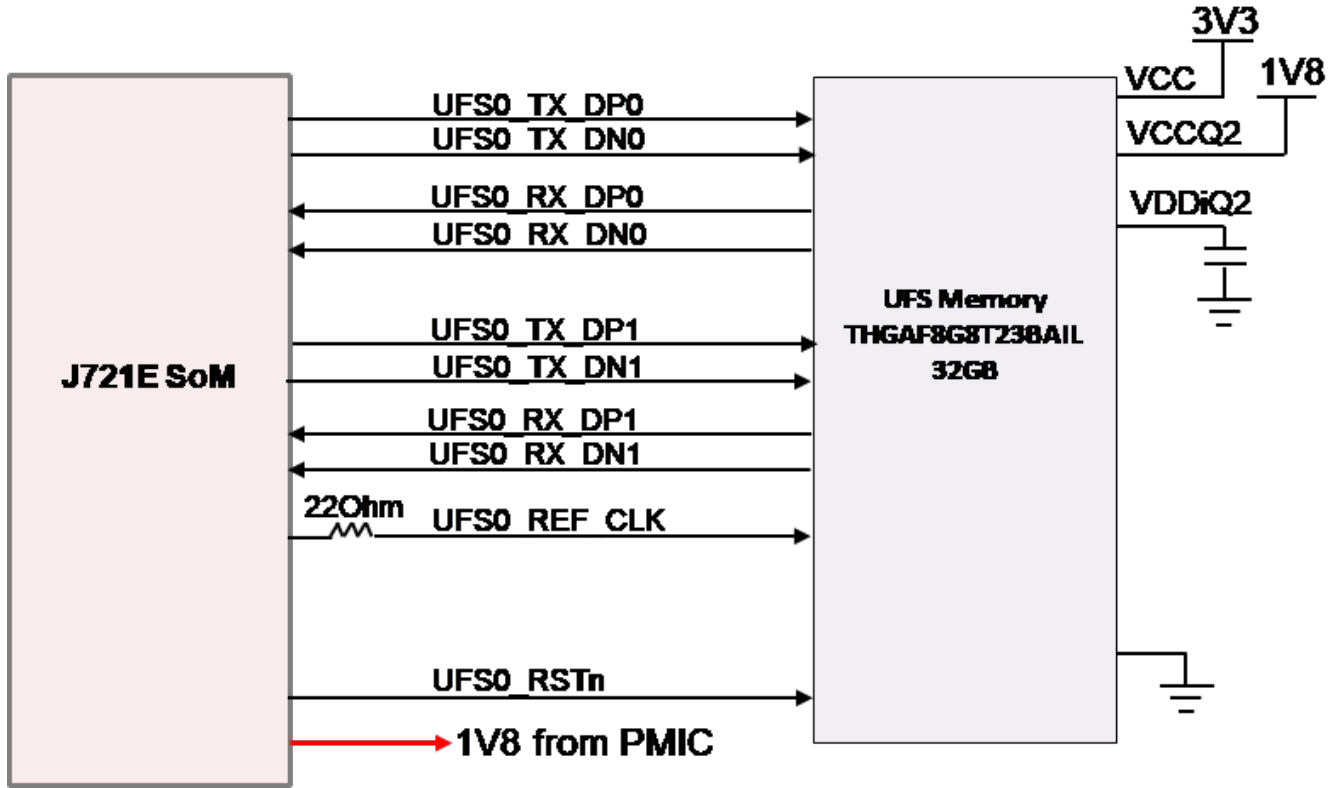


图 4-12. UFS 存储器方框图

4.8.4 MMC 接口

该处理器支持两个 MMC (MMC0 和 1) 端口。MMC0 连接到 eMMC 闪存，MMC1 连接到通用处理器板上的 Micro SD 插槽。

4.8.4.1 MMC0 - eMMC 接口

一个 16GB、符合 V5.1 标准的 eMMC 闪存 (制造商器件型号为 MTFC16GAPALBH-AAT ES) 连接到 J721E SoC 的 MMC0 端口。该闪存连接到 MMC0 接口的 8 个位，支持高达 200MHz 的 HS400 双倍数据速率。在数据 [7:0]、CMD 和复位信号上提供了 49.9K 的外部上拉电阻器，在数据选通信号上提供了下拉电阻器以防止总线悬空。

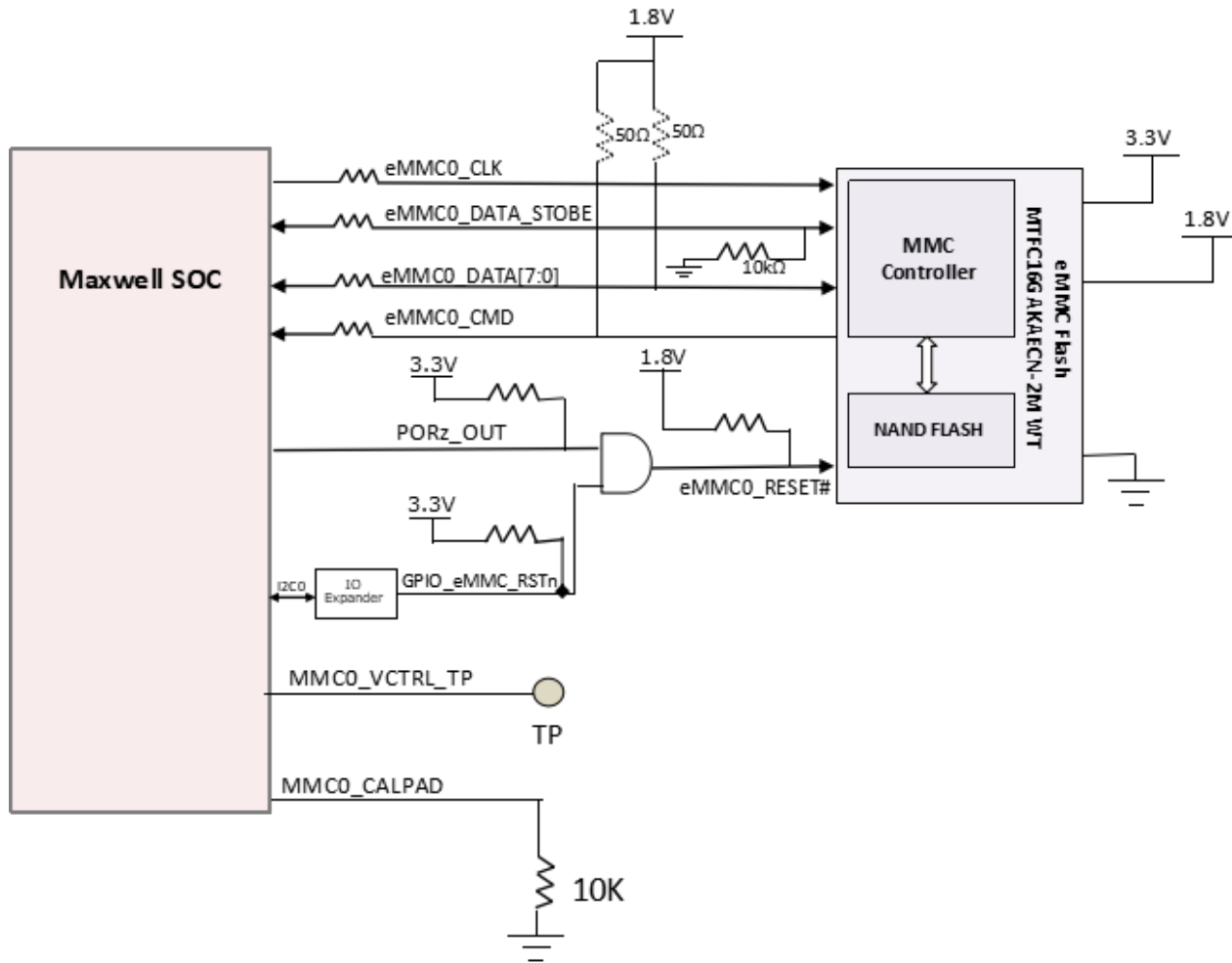


图 4-13. eMMC 存储器方框图

4.8.4.2 MMC1 - Micro SD 接口

EVM 支持与 SoC 的 MMC1 端口相连的 Micro SD 卡接口。Micro SD 卡插槽 (制造商器件型号为 DM3BT-DSF-PEJS) 连接到 SoC 的 MMC1 端口。这一连接方式支持 UHS1 操作，包括 1.8V 和 3.3V 下的 I/O 操作。Micro SD 卡接口默认设置为在 SD 模式下运行。

使用为 MMC1 端口提供 I/O 电压的 LDO 来控制 I/O 电压。使用负载开关提供 SD 卡电源，该开关由 I/O 扩展器的 GPIO 控制。控制信号“GPIO_uSD_PWR_EN”由 CP 板上的 I2C I/O 扩展器 U31 端口 02 驱动。该 I/O 扩展器由处理器的 I2C0 端口进行控制。该 I/O 扩展器的 I2C 地址为 0x22。

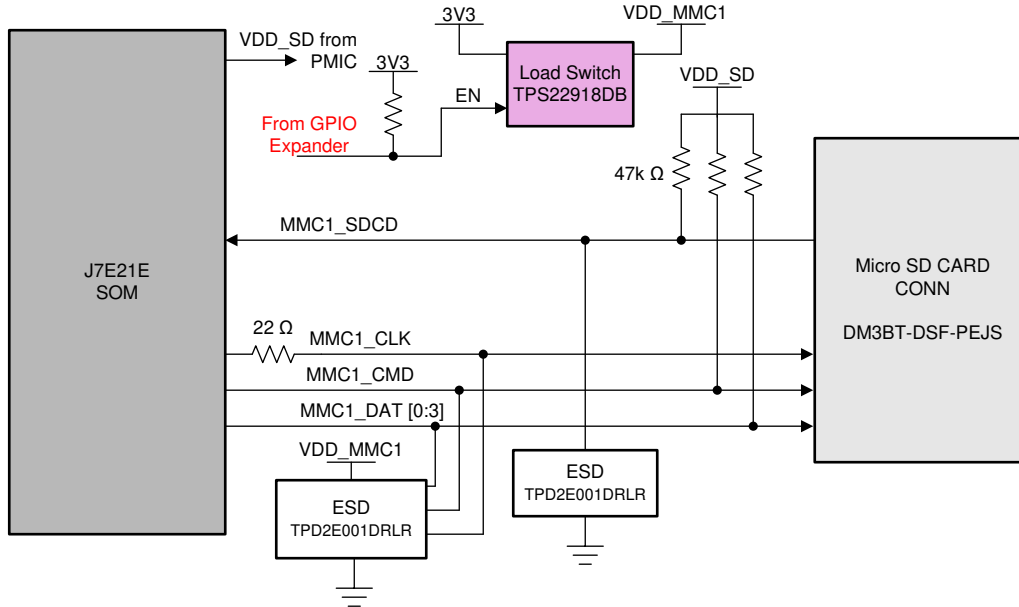


图 4-14. Micro SD 卡方框图

提供了针对数据、时钟、命令和卡检测信号的 ESD 保护器件 (制造商器件型号为 TPD2E001DRLR)。Micro SD 卡插槽的 CD (卡检测) 引脚被拉高并连接到 SoC 的 CD 引脚。在数据 [3:0] 和 CMD 信号上提供了一个外部上拉电阻器 (47K) 以避免悬空。

4.8.5 板 ID EEPROM 接口

J721E EVM 板由其版本和序列号进行标识，相关数据存储在板载 EEPROM 中。可以通过 J721E 处理器的 WKUP I2C0 端口来访问 EEPROM。

I2C 映射表中列出了各种板的板 ID EEPROM I2C 从器件地址。

J721E SoM 板包含一个 CAV24C256WEI2C EEPROM ID 存储器。使用每个板的标识信息对可寻址 EEPROM 存储器的前 259 个字节进行了预编程。剩余的 32509 个字节可供用户进行数据或代码存储。

表 4-11. 板 ID 存储器标头信息

标头	字段名称	大小 (字节)	注释
EE3355AA	MAGIC	4	幻数
	TYPE	1	定长可变位置板 ID 标头
		2	有效载荷大小
BRD_INFO	TYPE	1	有效载荷类型
	Length	2	下一个标头的偏移量
	Board_Name	16	板的名称
	Design_Rev	2	设计的版本号
	PROC_Nbr	4	PROC 号
	Variant	2	设计变体号
	PCB_Rev	2	PCB 的版本号
	SCHBOM_Rev	2	原理图的版本号
	SWR_Rev	2	第一个软件版本号
	VendorID	2	
	Build_Week	2	生产年份的第几周
	Build_Year	2	生产年份
	BoardID	6	
DDR_INFO	Serial_Nbr	4	递增板编号
	TYPE	1	
	Length	2	下一个标头的偏移量
MAC_ADDR	DDR control	2	DDR 控制字
	TYPE	1	有效载荷类型
	Length	2	有效载荷大小
	MAC control	2	MAC 标头控制字
END_LIST	MAC_adrs	192	
	TYPE	1	结尾标记

4.8.6 引导 EEPROM 接口

一个 1Mbit EEPROM 连接到 MCU_I2C0 用于引导 (I2C 地址设置为 0x50、0x51) 。

4.9 MCU 以太网接口

该 EVM 包含 DP83867ERGZT 千兆位以太网 PHY 和处理器的 MCU 域网络子系统 (NSS) 之间的 RGMII 连接。使用了带集成磁性元件 LPJG163144NL 的 RJ45 连接器 (J35)。

将使用一个晶体在板上为 DP83867ERGZT 生成 25MHz 的参考时钟。

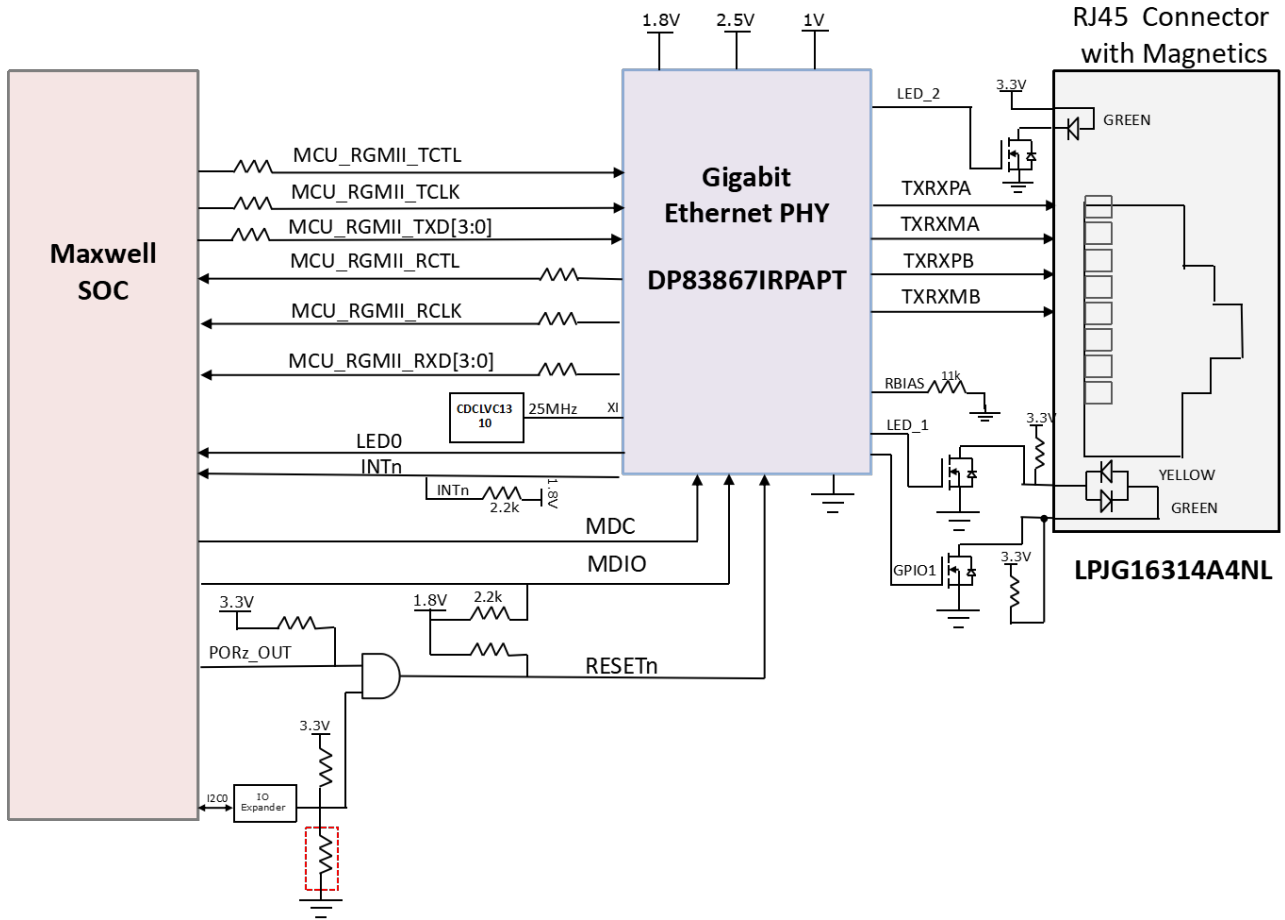


图 4-15. MCU 千兆位以太网块

通过选择电阻器 R445 和 R446 来设置以太网 PHY 的 I/O 电源，以支持 1.8V 和 3.3V I/O 电平。默认情况下，将 EVM 配置为向 MCU RGMII PHY I/O 信号提供 3.3V I/O 电源。

4.9.1 千兆位以太网 PHY 默认配置

DP83867 的默认配置是通过 PHY 特定引脚上的多个电阻器上拉和下拉值确定的。根据安装的值，可以使用提供的上拉和下拉选项将每个配置引脚设置为四种模式之一。EVM 采用 48 引脚 QFN 封装，以 RGZ 后缀指定，仅支持 RGMII 接口。

DP83867 PHY 使用基于电阻器搭接的四级配置，可生成四个不同的电压范围。电阻器与 RX 数据和控制引脚相连，这些引脚通常由 PHY 驱动，是处理器的输入。每种模式的电压范围如下所示：

- 模式 1 - 0V 至 0.3V
- 模式 2 - 0.462V 至 0.6303V
- 模式 3 - 0.7425V 至 0.9372V
- 模式 4 - 2.2902V 至 2.9304V

以下是为 MCU RGMII 设置的默认值。

- PHY 地址：00000
- Auto_neg：启用
- ANGsel 10/100/1000
- RGMII 时钟偏斜 Tx：0ns
- RGMII 时钟偏斜 Rx：2ns

图 4-16 显示了搭接电阻器。

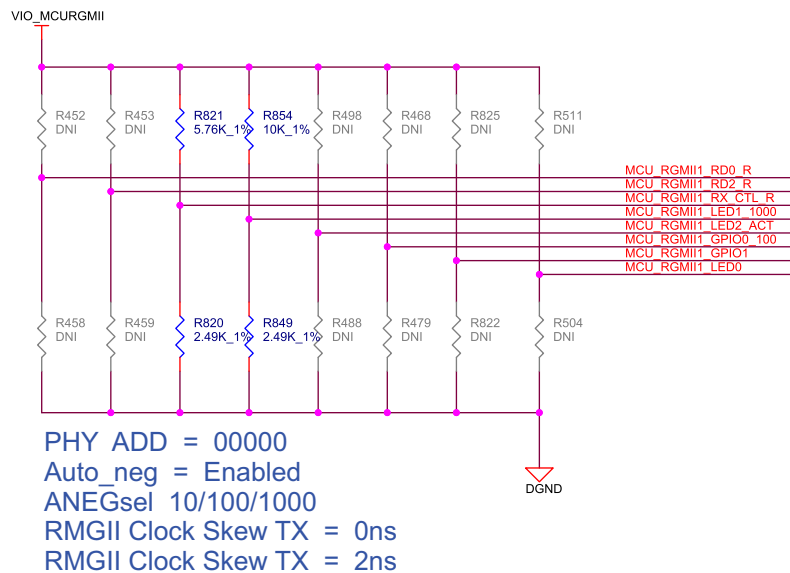


图 4-16. MCU 以太网 PHY 设置

4.10 QSGMII 以太网接口

J721E SoC 的 SERDES0 SGMII2 信号通过 CP 板连接到四端口以太网板上的四路 SGMII PHY VSC8514XMK-11，两个具有集成磁性元件的堆叠 RJ45 连接器（器件型号为 LPJG17512AONL）用于外部通信。

VC8514 器件包含三个外部 PHY 地址引脚 PHYADD [4:2]，以能够控制系统板上共享公共管理总线的多个 PHY 器件。这些引脚设置 PHY 地址端口映射的最高有效位。每个端口地址的低两位来自端口的物理地址（0 到 3）和寄存器 20E1 第 9 位中 PHY 地址反转位的设置。

默认情况下，PHY 的参考时钟由 CP 板上的 SERDES 时钟发生器 (CDCI2) 生成。也可以选择使用四端口以太网板上的时钟发生器通过电阻器选项向 PHY 提供时钟。

表 4-12. 时钟源选择

时钟源	安装	拆除
来自 CP 板（默认）	R1, R2	R3, R4
来自板载时钟发生器	R3, R4	R1, R2

时钟发生器的编程是通过 SoC 的 I2C0 端口完成的。发送到板载时钟发生器的 I2C 信号通过一个有源开关进行连接，并通过将 CDCI_I2C_SEL 信号拉低来断开路径。板载时钟发生器和 CP 板时钟发生器具有相同的 I2C 从器件地址，因此需要特别注意这些时钟发生器的编程。在对板载时钟发生器进行编程时，通用处理器板上的时钟发生器 (CDCI2) 需要处于复位状态。

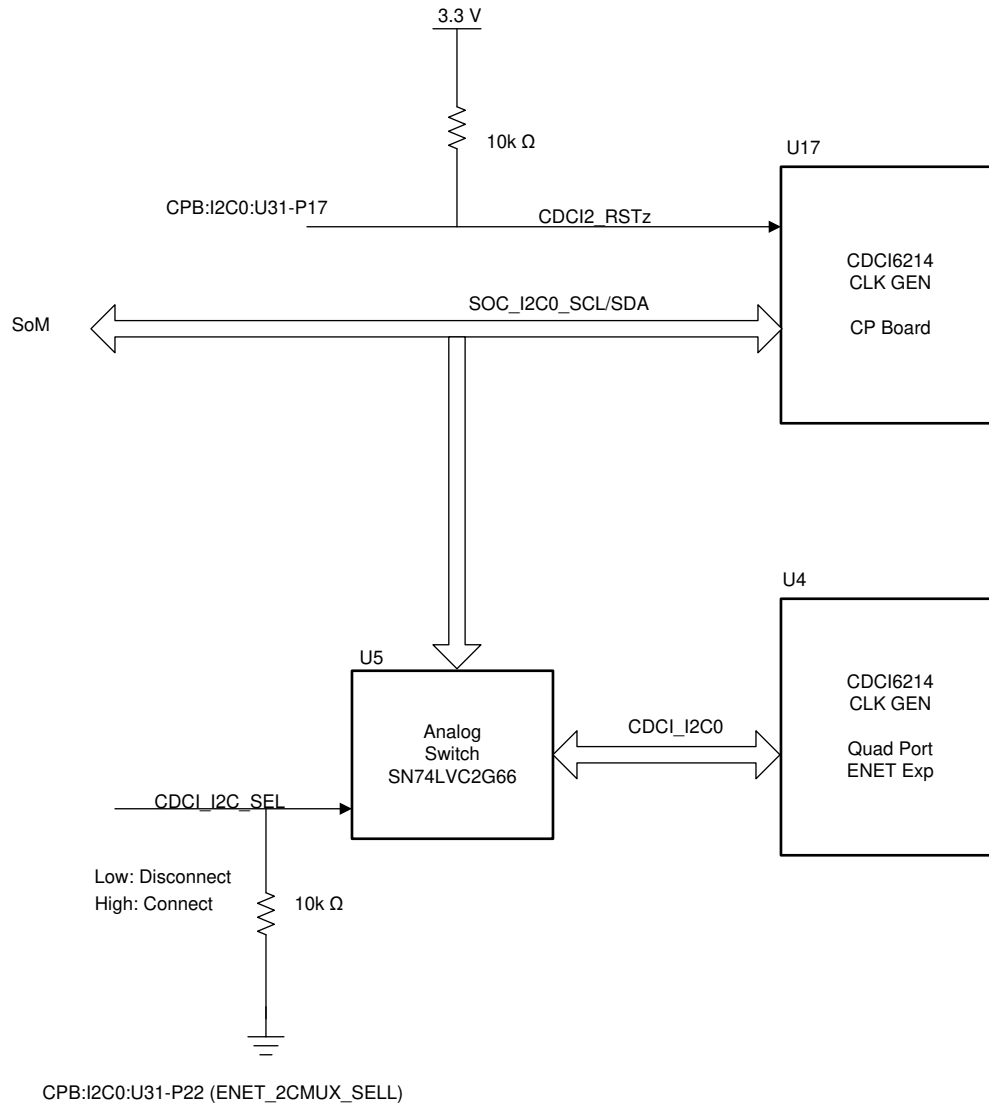


图 4-17. 四路 SGMII 板 I2C

在 QSGMII 数据信号在各个驱动器端以串联方式添加了耦合电容器 (0.1 μ F)。

地址和时钟配置如下所示：

- PHY0 : 10000 0X10
- PHY1 : 10001 0X11
- PHY2 : 10010 0X12
- PHY3 : 10011 0X13

图 4-18 显示了电阻器搭接选项。

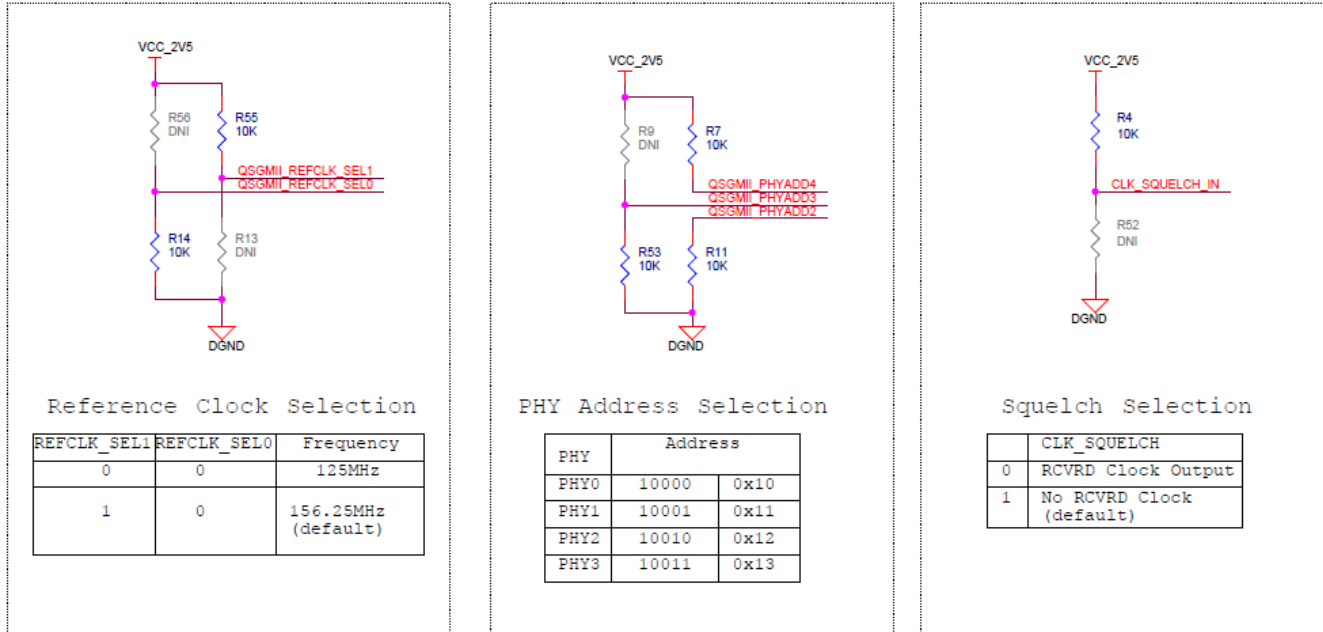


图 4-18. QSGMII 以太网 PHY 设置

4.11 PCIe 接口

通用处理器板支持两个 4 通道 (一个用于 x1L, 一个用于 x2L 接口) PCIe 连接器, 以接受 PCIe 外形尺寸子卡并支持 PCIe 第 4 代操作。EVM 还支持 PCIe M.2 插槽以连接 M 键控 PCIe M.2 外形模块, 这些模块不包含在 EVM 套件中。

4.11.1 单通道 PCIe 接口

单通道 PCIe 接口包含一个器件型号为 Amphenol 10142333-10111MLF 的 4 通道 PCIe 连接器, 该连接器支持第 4 代 PCIe 操作。该连接器的引脚排列符合 PCIe 标准。

J7 SoC 的 SERDES0 端口连接到单通道 PCIe 插槽以进行数据传输。PCIe0、USB0_SS 和 SGMII1、2 接口与该 SERDES0 端口进行引脚多路复用。

SoC 的 I2C0 用于控制目的, 并连接到该连接器上的 SMBUS。I2C0 端口通过多路复用器 TCA9543APWR 连接到单通道和双通道 PCIe 连接器。

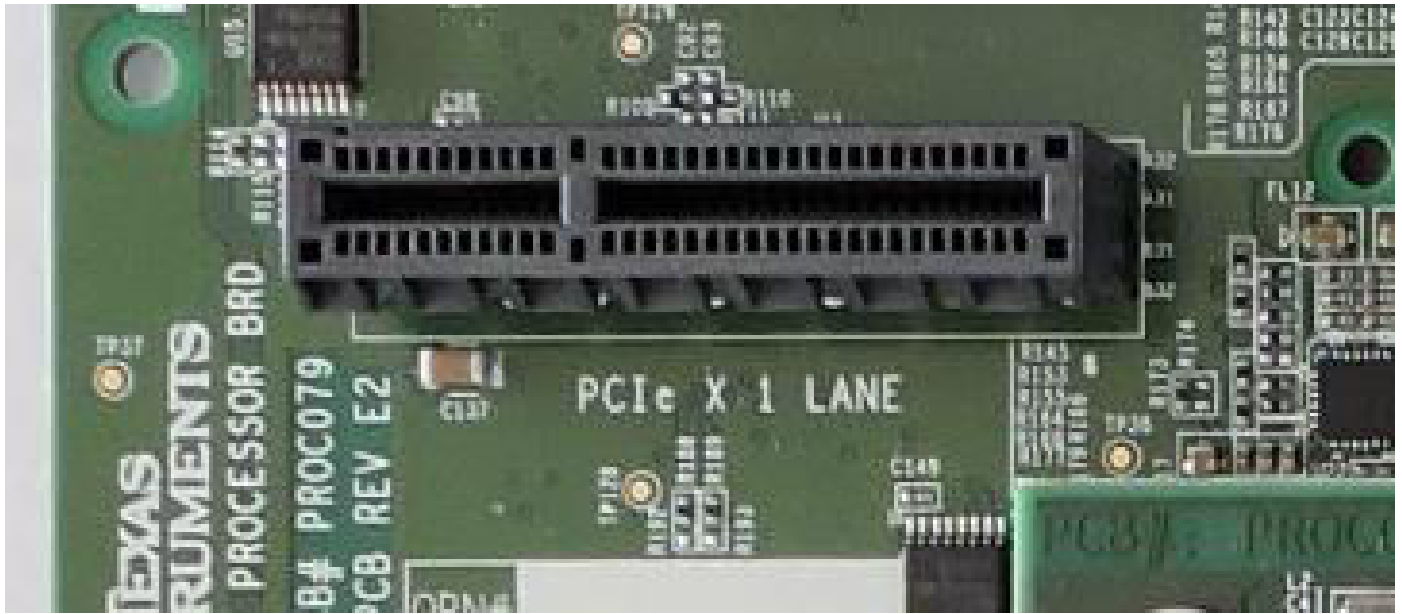


图 4-19. SERDES0 的 PCIe 接口

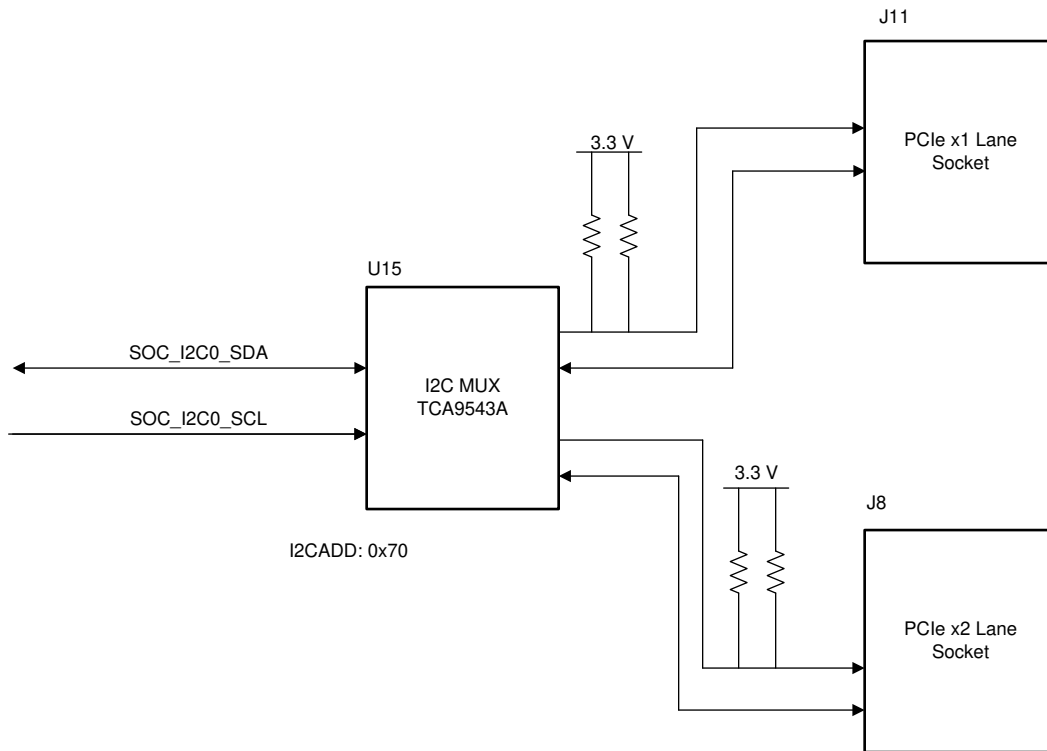


图 4-20. PCIe SMBUS 方框图

复位(SOC)保持置位,并置位S0C选择逻辑,端点PCIe操作PCIe复位信号。在GPIO模式被拉低,来自GPIO的复位信号和而在PCIe端点操作的情况下,CP板接收来自PCIe卡的复位信号。

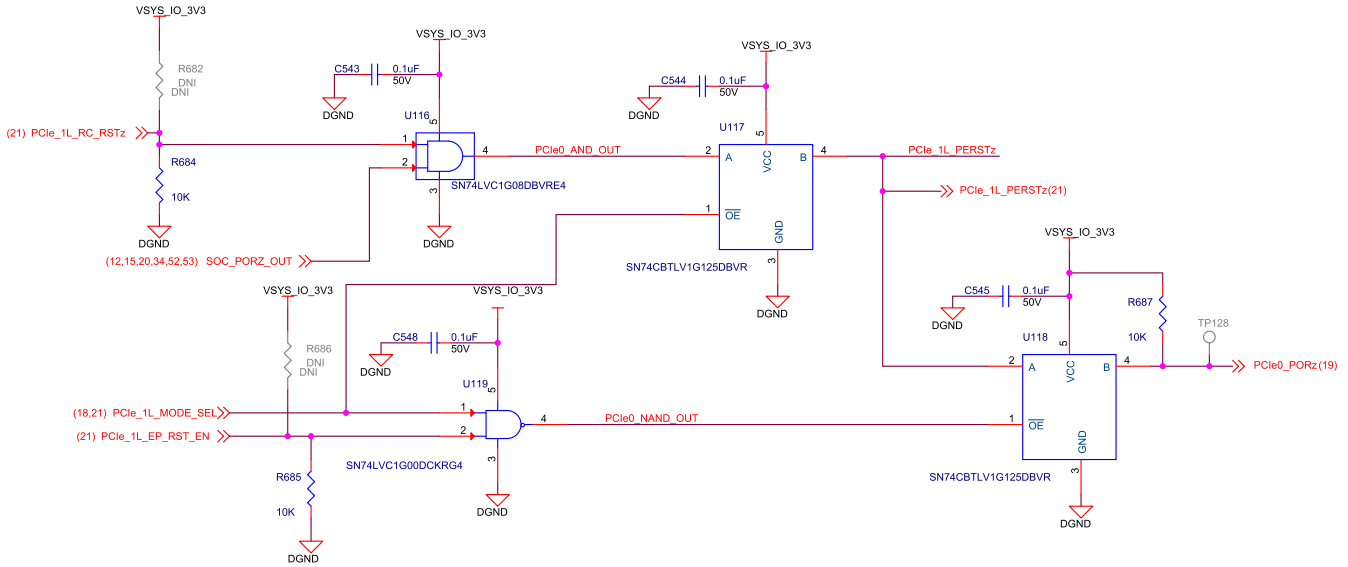


图 4-21. 1L-PCIe 根复合体/端点选择电路

时钟：提供了一个时钟发生器 (CDCI 1) 以驱动 PCIe 附加卡和 SoC 的 100MHz HCSL 时钟。提供了电阻器选项以选择主机和端点操作的时钟源。

对于 PCIe 主机操作：

- 附加卡可以具有由 SOC 或时钟发生器驱动的时钟。可以通过电阻器进行选择，如表 4-13 所示。

表 4-13. PCIe 主机操作的参考时钟选择

选择的时钟	安装	拆除
来自时钟发生器的 SOC 参考时钟	R194	R195、C92
	R198	R199、C93
来自 SOC 的 PCIe 连接器参考时钟	R195、C92	R194、R109
	R199、C93	R198、R110
来自时钟发生器的 PCIe 连接器参考时钟	R109	R195、C92
	R110	R199、C93

对于 PCIe 端点操作：

- SOC 可以具有由附加卡或时钟发生器驱动的时钟。可以通过电阻器进行选择，如表 4-14 所示。

表 4-14. PCIe 端点操作的参考时钟选择

选择的时钟	安装	拆除
来自时钟发生器的 SOC 参考时钟	R194	R195、C92
	R198	R199、C93
来自 PCIe 连接器的 SOC 参考时钟	R195、C92	R194、R109
	R199、C93	R198、R110

通过拔插 PRSN1# 和 PRSN2# 引脚被插板而在检测板中 PRSN1# 和 PRSN2# 信号都会被接入 GPIO 扩展器。为了选择 PCIe 卡的主机或设备操作，必须按照表 4-15 所述安装/拆除以下电阻器。

表 4-15. 用于选择 PCIe 卡主机或设备操作的电阻器

模式	安装	拆除
主机模式	R674	R675
	R679	
设备模式	R675	R674
		R679

附加选项：

外部 PCIe 附加卡支持可选的 MDIO 总线和 USB2.0 接口。

当基于网络 (以太网) 的附加卡插入 J11 时，SoC 主域 (CPSW9G0) MDIO 信号通过 0Ω 直插式电阻器 (R137 和 R136) 连接到 x1L PCIe 插槽 (J11)。默认情况下该路径处于断开状态。

此外，来自 USB 集线器下行端口的 USB2.0 数据信号连接到 4 引脚接头 (J2)，并通过负载开关提供 5V 电源。

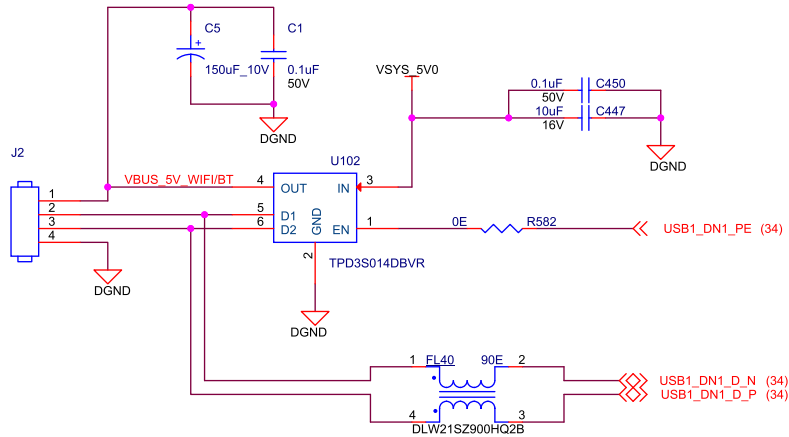


图 4-22. USB2.0 接头连接

4.11.2 双通道 PCIe 接口

双通道 PCIe 接口包含一个器件型号为 Amphenol 10142333-10111MLF 的 4 通道 PCIe 连接器，该连接器支持第 4 代 PCIe 操作。该连接器的引脚排列符合 PCIe 标准。

J7 SoC 的 SERDES1 端口连接到单通道 PCIe 插槽以进行数据传输。PCIe1、USB1_SS、PRG1_SGMII0、1 和 SGMII3、4 接口与该 SERDES1 端口进行引脚多路复用。

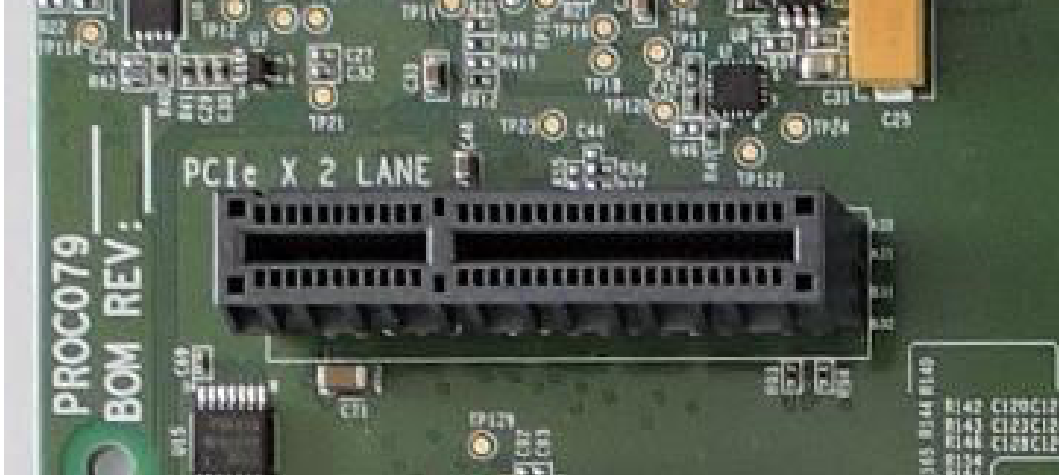


图 4-23. SERDES1 的 PCIe 接口

SoC 的 I2C0 用于控制目的，通过 I2C 开关连接到该连接器上的 SMBUS。来自单通道和双通道 PCIe 连接器的链路激活信号 (INT#) 端接至 I2C 开关。

复位：提供了一个 DIP 开关 (SW3) 以选择主机和端点 PCIe 操作的复位源。

在主机模式下，来自 GPIO 扩展器的信号和来自 SoC 的 PORz 信号进行“与”运算，输出连接到 PCIe 连接器。GPIO 信号被拉低以确保 PCIe 复位 (#PERST) 保持置位，直到 SoC 释放复位。

而在 PCIe 端点操作的情况下，CP 板接收来自 PCIe 卡的复位信号。

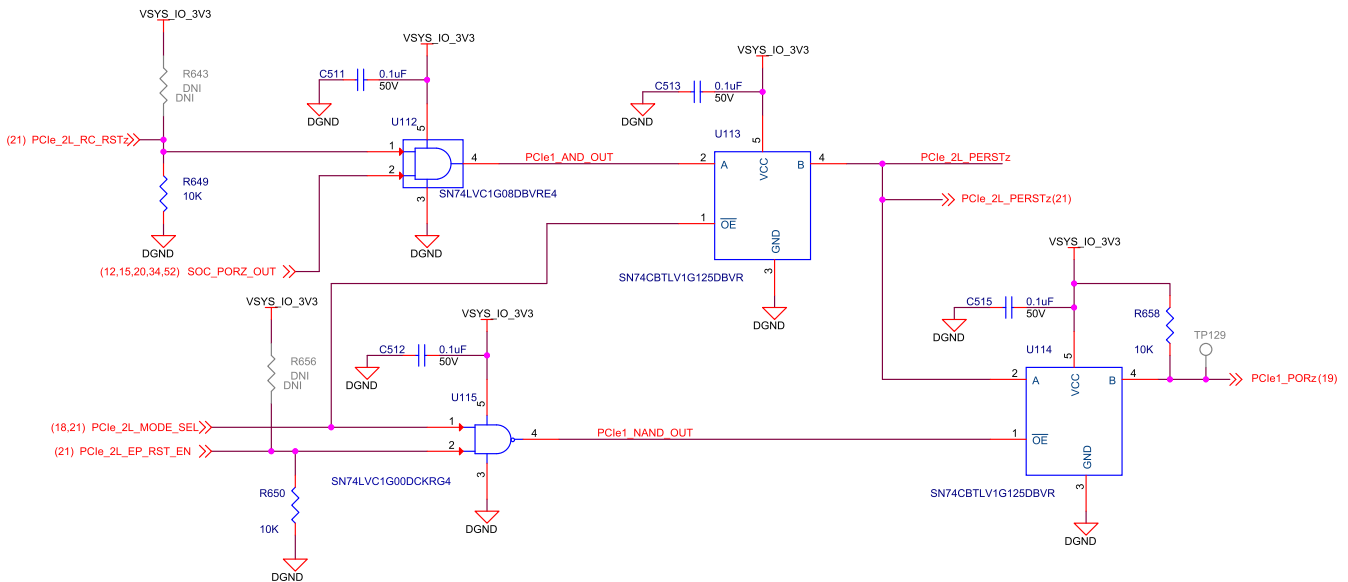


图 4-24. 2L-PCIe 根复合体/端点选择电路

时钟 项提供选择主机和端点操作器(CDC)源以驱动 PCIe 附加卡和 J721e SoC 的 100MHz HCSL 时钟。提供了电阻对于 PCIe 主机操作：

- 附加卡可以具有由 SoC 或时钟发生器驱动的时钟。可以通过电阻器进行选择，如表 4-16 所示。

表 4-16. PCIe 主机操作的参考时钟选择

选择的时钟	安装	拆除
来自时钟发生器的 SOC 参考时钟	R214	R211、C44
	R213	R210、C51
来自 SoC 的 PCIe 连接器参考时钟	R211、C44	R214、R54
	R210、C51	R213、R56
来自时钟发生器的 PCIe 连接器参考时钟	R54	R211、C44
	R56	R210、C51

对于 PCIe 端点操作：

- SoC 可以具有由附加卡或时钟发生器驱动的时钟。可以通过电阻器进行选择，如表 4-17 所示。

表 4-17. PCIe 端点操作的参考时钟选择

选择的时钟	安装	拆除
来自时钟发生器的 SOC 参考时钟	R214	R211、C44
	R213	R210、C51
来自 PCIe 连接器的 SOC 参考时钟	R211、C44	R214、R54
	R210、C51	R213、R56

热插拔：PRSENT1# 和 PRSENT2# 信号是热插拔存在检测信号。PRSENT1# 被拉高，PRSENT2# 与 GPIO 扩展器相连，这样当插入附加卡时，PRSENT1# 将被拉低，因为附加卡中的两个 PRSENT 信号都会被短接。提供了可选的电阻器来短接 PRSENT1# 和 PRSENT2#，以支持主机和设备模式。

为了选择 PCIe 卡的主机或设备操作，必须按照表 4-18 所述安装/拆除以下电阻器。

表 4-18. 用于选择 PCIe 卡主机或设备操作的电阻器

模式	安装	拆除
主机模式	R631	R630
	R638	
设备模式	R630	R631
		R638

4.11.3 M.2 PCIe 接口

通用处理器板支持双通道 PCIe M2.0 标准以连接外部 SSD 器件。

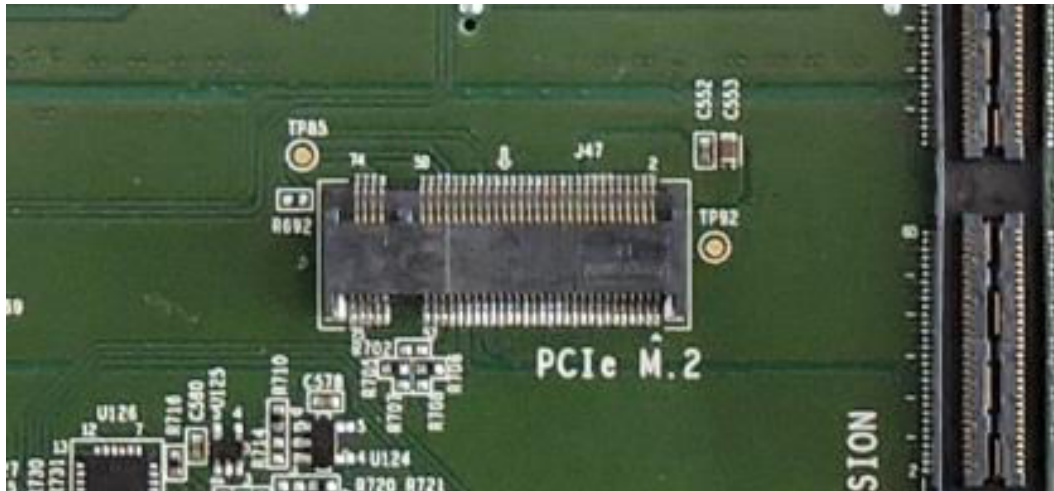


图 4-25. SERDES2 的 PCIe 接口

在通用处理器板上使用带键控的 M.2 系列插座 (制造商器件型号为 MDT320M01001) 来连接外部 SSD 器件。J721E SoC 的双通道 PCIe 接口信号 SERDES2 将端接到该插座。SoC_I2C0 用于 SMBUS 访问。电压电平转换器 (TCA9543APWR) 电路用于将 SMBUS 信号的 I/O 电平更改为 1.8V。来自 PCIe 连接器的链路激活信号 (WKUP) 端接到测试点 TP85。

复位： SSD/附加模块的复位信号由 GPIO 扩展器进行控制。默认使用一个 10K 电阻器将 GPIO 信号拉低以确保 PCIe 复位 (#PERST) 保持置位，直到 SoC 释放复位。

时钟： 提供了一个时钟发生器 (CDCI 2) 以驱动 PCIe 附加卡和 J721E SoC 的 100MHz HCSL 时钟。提供了电阻器选项以选择时钟源来自 SoC 或时钟发生器。

4.12 USB 接口

通用处理器板包含以下 USB 接口：

- 一个使用 TUSB321RWBR 和 PTPS25830QWRHBTQ1 PD 控制器的 USB 3.1 Type C 接口
- 四个使用 USB 集线器 (TUSB4041IPAPR) 的 USB 2.0 接口
- (J721E SoC 不支持) 一个 USB 3.0 Micro AB 连接器。保留该接口以供未来推出的 J7 系列器件使用。

4.12.1 USB 3.1 接口

来自 J7E21E SoC 的 SERDES3 端口的 USB SuperSpeed 信号连接至 USB Type C 连接器 (2012670005)。CC 和 PD 控制器 (制造商器件型号为 TUSB321RWBR 和 PTPS25830QWRHBTQ1) 用于 CC 检测和电力输送。该 CC 控制器支持双角色端口 (DRP)、下行端口 (DFP) 和上行端口 (UFP) 模式。在 CP 板中, 可以通过 EVM 配置 DIP 开关 (SW3) 来选择 DRP、DFP 和 UFP 模式。表 3-5 给出了 DIP 开关设置。

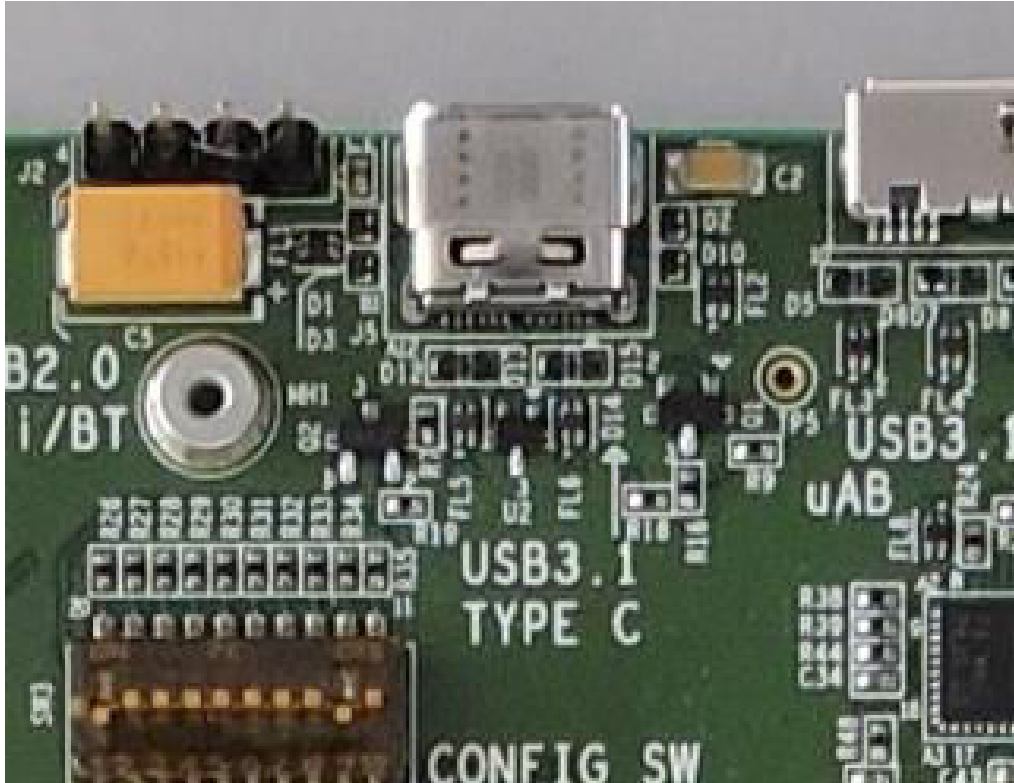


图 4-26. USB3.1 Type C 接口

SuperSpeed 信号的 TX 线路上提供了交流耦合电容器, 所有差分对中均使用共模滤波器 (MCZ1210DH900L2TA0G)。所有需要的 USB 信号上都提供了 ESD 保护二极管 (TPD1E05U06DPY 用于 SuperSpeed 信号, TPD2E2U06-Q1 用于 CC 引脚)。TUSB321 的电流模式引脚通过 499K 电阻器拉高, 以将最大电流 I_{out} 设置为 1.5A。

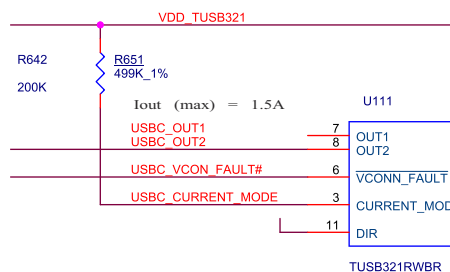


图 4-27. Type C 电力输送电流设置

断电和 VBUS 使能的控制信号分别通过 I2C GPIO 扩展器 2 (I2C 地址 : 0x22 - P03) 和 SoC DRVVBUS 提供。

4.12.2 USB 2.0 接口

J721E SoC 的 USB1 端口用于 J721E EVM 中的 USB 2.0 接口。USB1 信号连接到 USB 2.0 集线器 (TUSB4041IPAPR) 的上行端口。USB 集线器四个下行端口的连接方式如下所示：

- 2 个 USB 端口端接至 Type A 堆叠连接器 (AU-Y1008-2)
- 1 个 USB 端口连接至 4 引脚接头 (PCIe 卡 - WiFi/BT)
- 1 个 USB 端口连接至 EVM 扩展连接器

USB 集线器的参考时钟是通过 24MHz 晶体提供的，并且还可以使用电阻器多路复用器从外设时钟发生器提供可选的时钟输入。默认时钟源设置为晶体。

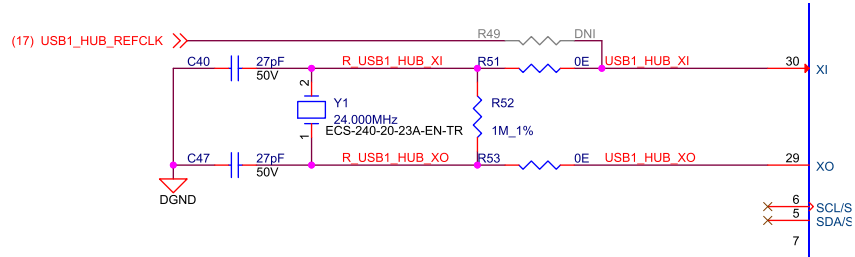
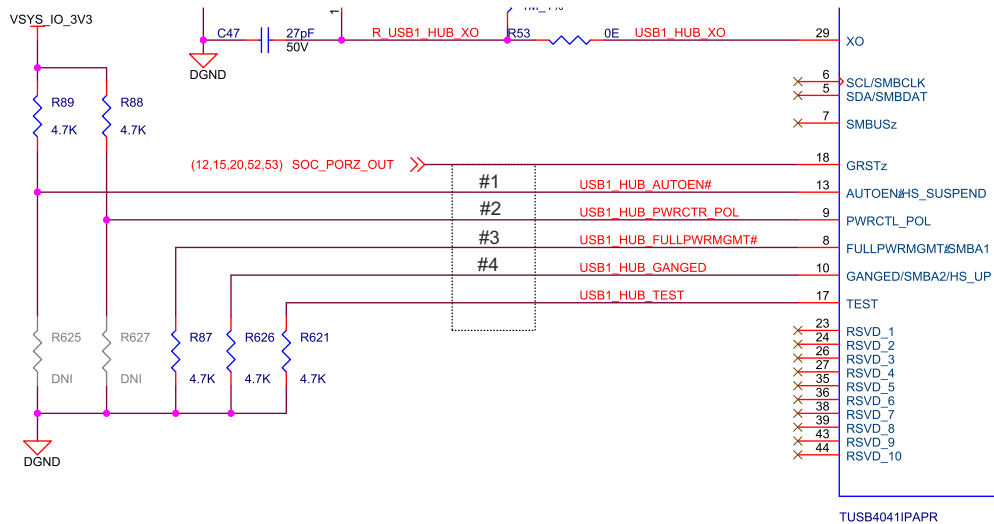


图 4-28. USB 集线器参考时钟电路

图 4-29 显示了 USB 集线器搭接选项。



NOTE:

- #1 Automatic Charge Mode Disabled
- #2 PWRCTL Polarity is Active High
- #3 Power Switching and Overcurrent Inputs Supported
- #4 Individual Power Control Enabled

图 4-29. USB 集线器设置电路

USB ID 引脚被拉低，以在主机模式下运行 SoC。

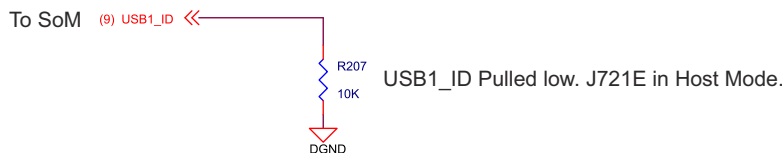


图 4-30. 集线器的 USB1 ID 设置

至 PCIe 卡 Wi-Fi/BT :

USB 集线器的下行端口 1 连接至 CP 板上的 Wi-Fi/BT 接头 (J2)。通过带集成 ESD 保护器件 TPD3S014DBVR 的限流负载开关来提供 WiFi 接头的电源。电源由 USB 集线器电源使能信号 USB1_DN1_PE 进行控制。

至堆叠连接器 :

USB 集线器的下行端口 2 和 3 连接至 CP 板上堆叠的 USB 2.0 Type-A 插座 AU-Y1008-2。通过每个端口带集成 ESD 保护器件 TPD3S014DBVR 的限流负载开关来为 USB Type-A 插座提供电源。电源由 USB 集线器电源使能信号 USB1_DN2_PE 和 USB1_DN3_PE 进行控制。

至扩展连接器 :

USB 集线器的下行端口 4 连接至 EVM 扩展连接器。当前版本的 EVM 在该端口上不支持任何外设。保留该端口以供将来开发之用。

4.12.3 USB 3.0 Micro AB 接口 (保留的端口)

这是仅为 J7 SoC 的未来版本提供的可选接口 ; J721E EVM 不支持该接口。

4.13 CAN 接口

通用处理器板支持 J721E SoC 的四个 CAN 端口 (MCU_MCAN0、MCU_MCAN1、MCAN0 和 MCAN2) , 如下所述。

MCU CAN0

J721E SoC 的 MCU CAN0 端口连接到支持唤醒功能的 CAN 收发器器件 TCAN1043-Q1。提供了一个用于用户探头选项的直插式 2 引脚接头 J29 (68002-202HLF)。

CAN 收发器的输出端接至一个 4 引脚接头 J30 (61300411121)。

信号 MCU_MCAN0_H 和 MCU_MCAN0_L 通过分裂终端路由为具有 120E 阻抗的差分信号。分裂终端可消除开始和结束消息传输时出现的总线共模电压波动, 从而改善网络的电磁辐射性能。

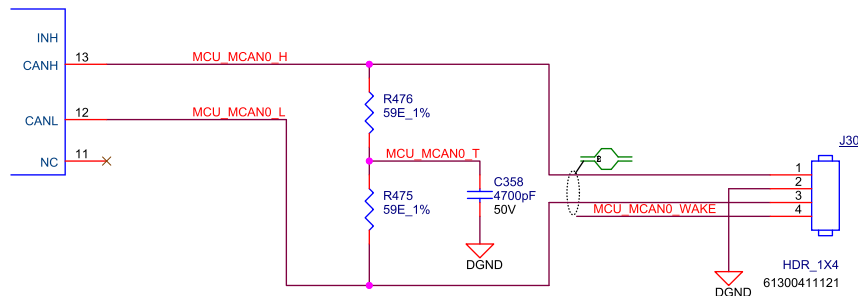


图 4-31. MCU CAN0 接口

CAN 收发器的 VSYS_MCU_5V0 是使用升压转换器 TPS61240DRV 通过将 VSYS_3V3 用作转换器的输入电源生成的。

STB 信号是低电平有效信号, 默认情况下使用集成下拉电阻器保持低电平。

通过通用处理器板左下角的按钮 SW12 来提供 CAN 接口的硬件 WAKEn 输入。不过, 默认情况下禁用 MCU_CAN0 唤醒功能 (电阻器组装)。仅支持来自主域的 CAN 唤醒。

MCU CAN1

J721E SoC 的 MCU CAN1 端口连接到 CAN 收发器 (制造商器件型号为 TCAN1042HGVD)。提供了一个用于用户探头选项的直插式 2 引脚接头 J34 (68002-202HLF)。该器件不支持唤醒功能。信号 MCU_MCAN1_H 和 MCU_MCAN1_L 通过 120E 分裂终端端接至一个 3 引脚接头 J31 (FCI: 68001-403HLF)。

STB 信号是高电平有效信号，默认情况下使用外部上拉电阻器保持高电平。由 MCU 域进行 GPIO 控制，以将线路拉低。

主域 CAN0 (支持唤醒功能)

J721E SoC 的主域 CAN0 端口连接到支持唤醒功能的 CAN 收发器器件 TCAN1043-Q1。提供了一个用于用户探头选项的直插式 2 引脚接头 J24 (68002-202HLF)。

CAN 收发器的输出端接至一个 4 引脚接头 J27 (61300411121)。

信号 MCAN0_H 和 MCAN0_L 通过分裂终端路由为具有 120E 阻抗的差分信号。STB 信号是低电平有效信号，默认情况下使用集成下拉电阻器保持低电平。

收发器的 VCC 电源 (5V) 由升压转换器提供。

通过按钮 SW12 来提供 CAN 接口的硬件 WAKEn 输入。

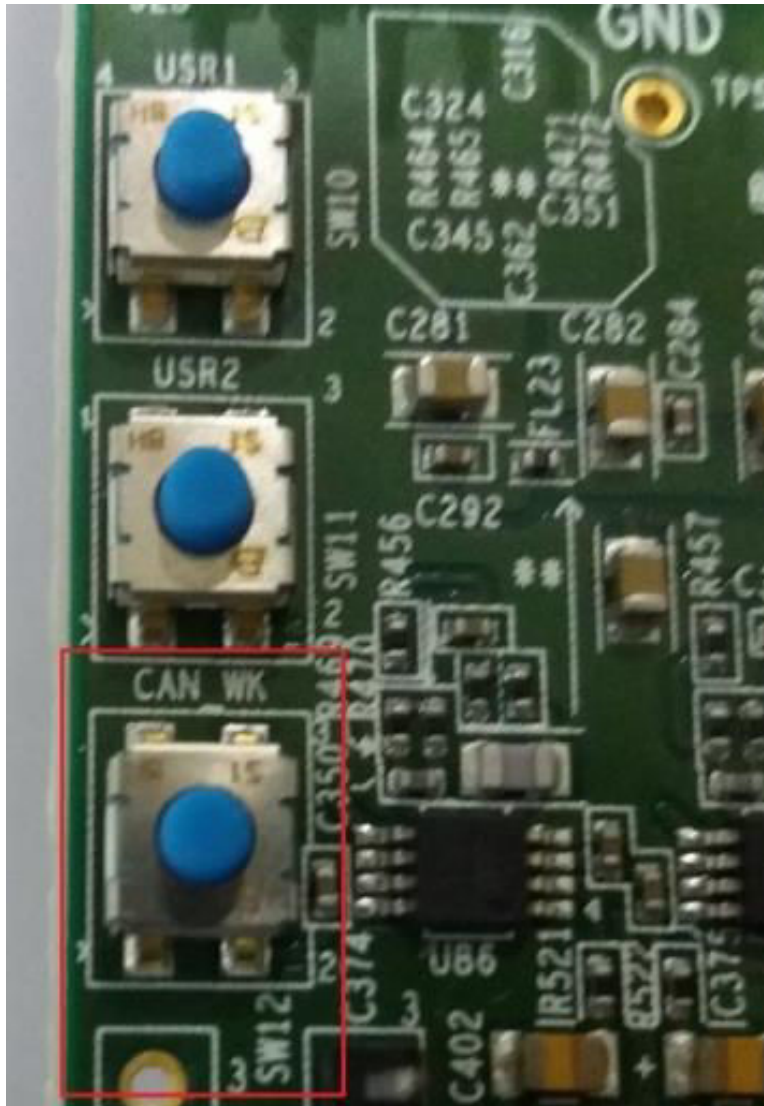


图 4-32. CAN 唤醒按钮

MCU CAN0 和主域 CAN0 收发器的 CAN 唤醒信号连接在一起，使用齐纳二极管将电压电平限制为 1.8V，并端接至 SOM-CP B2B 连接器。

主域 CAN2

J721E SoC 的主域 CAN2 端口连接到 CAN 收发器 (制造商器件型号为 TCAN1042HGVD)。提供了一个用于用户探头选项的直插式 2 引脚接头 J25 (68002-202HLF)。该器件不支持唤醒功能。信号 MCAN2_H 和 MCAN2_L 通过 120Ω 分裂终端端接至一个 3 引脚接头 J28 (68001-403HLF)。

STB 信号是高电平有效信号，默认情况下使用外部上拉电阻器保持高电平。由主域进行 GPIO 控制，以将线路拉低。

为了将这些 CAN 信号连接到测试系统，需要准备下面给出的定制转换器。

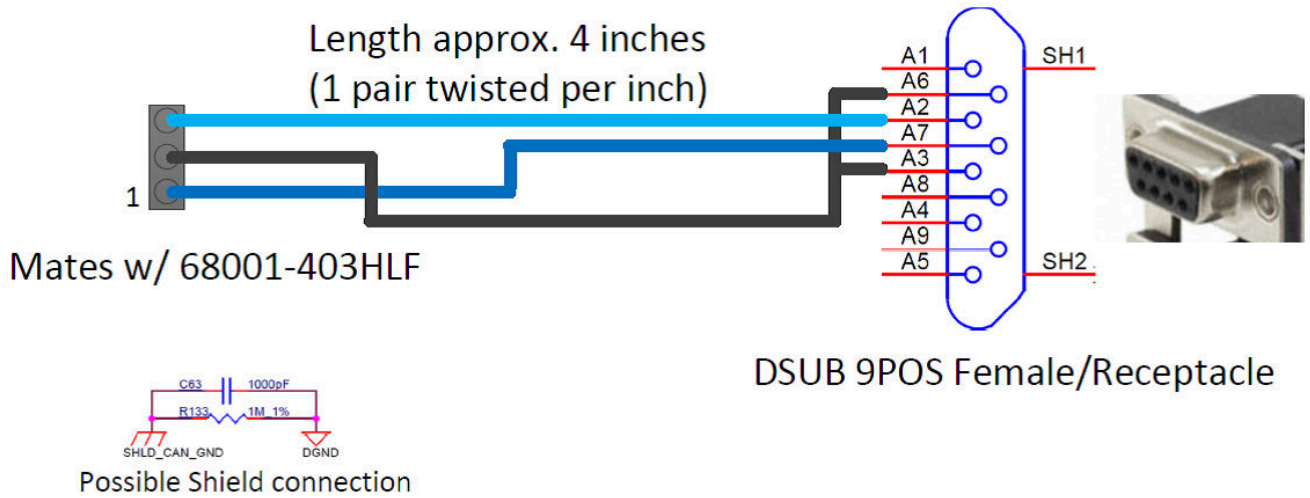


图 4-33. CAN 接头与 DB9/测试仪器的连接

4.14 FPD 接口 (音频解串器)

CP 板支持 TI 的 FPD-Link III 解串器 IC (制造商器件型号为 DS90UB926QSQE)，以使用 HSD 连接器 (制造商器件型号为 D4S20G-400A5-C) 恢复来自调谐器接口的音频信号。解串器将通过数字链路恢复多达八个数字音频通道和 I2C 通道。

该音频信号应通过 1:3 多路信号分离器 (SN74CBT16214CDGGR) 连接到 J721E SoC 的 McASP11 端口。GPIO 扩展器和 EVM 配置 DIP 开关 (SW3) 均支持通道选择。

J721E 的 I2C3 信号用于解串器控制。ID[X] 引脚上提供了一个 40.2KΩ 下拉电阻器，以将 7'b I2C 地址设置为 0x2C。

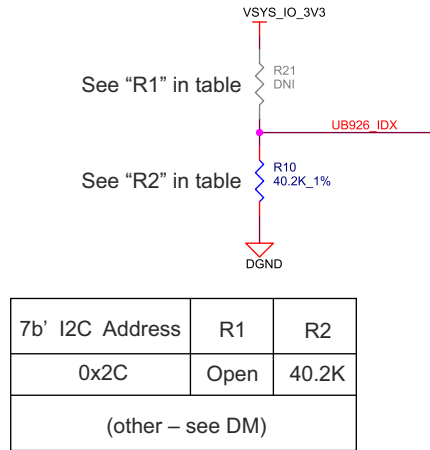


图 4-34. FPD-Link UB926 ID 设置电路

使用电源开关 TPS1H100AQPWPRQ1 为 HSD 连接器提供 +12V 电源，从而为 FPD Link-III 调谐器扩展板供电。电源开关通过 GPIO 扩展器信号 (UB926_PWR_SW_CNTRL) 进行控制。

图 4-35 显示了解串器的模式选择。

MODE Selection

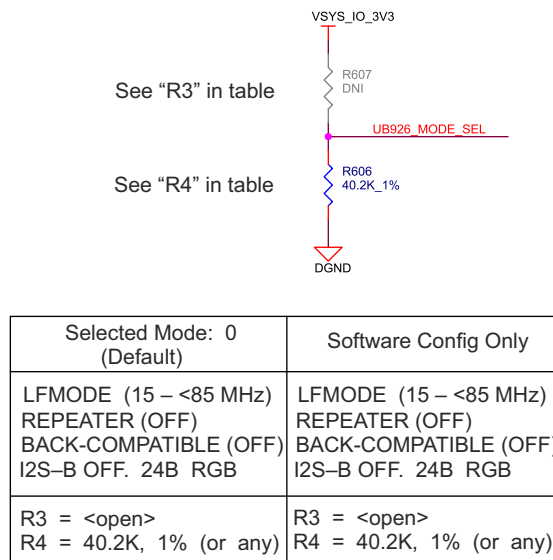


图 4-35. FPD-Link UB926 模式选择电路

表 4-19 列出了 HSD 连接器 J1 的引脚排列。

表 4-19. FPD 音频解串器 HSD 连接器引脚排列

引脚编号	信号
1	GND
2	RIN_N
3	电源 (12V)
4	RIN_P

4.15 FPD 面板接口 (DSI 视频串行器)

CP 板支持 TI 的 DSI 转 FPD-Link III 串行器 IC (制造商器件型号为 PDS90UB941ASRTDTQ1)。

J721E SOC 的 DSI0 端口应连接至 DSI 转 FPD-Link III 串行器桥，FPD-Link III 信号端接至 HSD 连接器 (制造商器件型号为 D4S20G-400A5-C) 以连接显示面板。

FPD 桥的参考时钟由外设时钟发生器 (CDCEL) 和板载时钟振荡器 ASDMB-25.000MHZ-XY-T (带电阻选项) 提供。已选择板载时钟振荡器作为默认时钟源。

J721E 的 I2C1 信号用于 FPD 桥控制。ID[X] 引脚上提供了一个 30.1K Ω 上拉电阻器和一个 61.9K Ω 下拉电阻器，以将 7'b I2C 地址设为 0x16。

器件别名 ID 和模式选择由硬件自举电阻器设置，如图 4-36 所示。

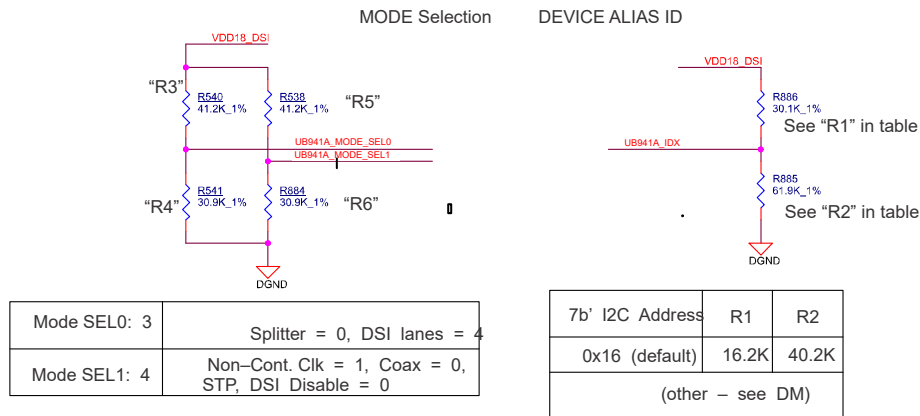


图 4-36. FPD-Link UB941A 器件设置电路

使用电源开关 TPS1H100AQPWPRQ1 为 HSD 连接器提供 +12V 电源，从而为显示面板供电。电源开关由 GPIO 扩展器信号 (PWR_SW_CNTL_DSI0) 进行控制。

表 4-20 列出了 HSD 连接器 J45 的引脚排列。

表 4-20. DSI 转 FPD 串行器 HSD 连接器引脚排列

引脚编号	信号
1	DOUT0_P
2	电源 (12V)
3	DOUT0_N
4	GND

4.16 显示串行接口 (DSI) FPC

通过使用 J721E DSI0 端口上的电阻器多路复用器，J721E EVM 可通过 FPC 连接器 52559-3652 支持 DSI 接口。默认情况下，将电阻器多路复用器设置为使 DSI0 信号路由到 FPD 串行器。DSI FPC 连接器支持电源 (12V 和 3.3V)、I2C1 接口和 GPIO 控制 (复位和 INTn)，以与外部显示面板相连。

4.17 音频接口

通用处理器板支持 TI 的音频编解码器 IC (制造商器件型号为 PCM3168APAP)，可连接到 J721E SoC McASP 端口 10。通过使用 1:3 多路信号分离器 (制造商器件型号为 SN74CBT16214CDGGR) 端口 B1 将 McASP 端口 10 连接到编解码器。端口选择由 I2C GPIO 扩展器和 EVM 配置开关进行控制。表 4-21 显示了多路复用器表。

表 4-21. MCASP/TRACE - 1:3 多路复用器：真值表

MUX_SEL2	MUX_SEL1	MUX_SEL0	函数	
高	高	低	端口 = B1 端口	(默认)
高	高	高	端口 = B2 端口	
高	低	高	端口 = B3 端口	

- 端口 B1：McASP10
- 端口 B2：追踪
- 端口 B3：组策略管理控制台 (GPMC)

编解码器器件的参考时钟 (SCKI) 来自处理器的 AUDIO_EXT_REFCLK2 (使用 1 路至 2 路扇出时钟缓冲器 SN74LVC2G125DCUR)，扇出缓冲器的辅助输出时钟被路由到 EVM 扩展连接器，以连接到信息娱乐音频编解码器器件。

模式引脚保持低电平以选择 I2C 作为控制接口。通过 I2C3 接口来配置编解码器。默认 I2C 地址设置为 0x44。器件复位由 I2C GPIO 扩展器进行控制 (使用 I2C3 主器件端口)。

线路输入端口：

来自音频插孔 J38 的单端立体声 1x 线路输入信号通过“具有抗混叠低通滤波器的单端至差分转换器”转换为差分信号，并与编解码器相连。

麦克风输入端口：

来自堆叠式音频插孔 J39 的单端立体声 2x 麦克风输入信号通过“具有抗混叠低通滤波器的单端至差分转换器”转换为差分信号，并与编解码器相连。前置放大器电路与 LPF 电路串联，以放大外部麦克风输入。

可以针对有源麦克风和无源麦克风来配置麦克风输入端口，也可以针对线路输入进行配置。配置可通过电阻器选项进行设置，如表 4-22 所示。

表 4-22. 配置表 (1)

		安装	拆除
无源麦克风 (默认)	偏置 + 前置放大器	R2, R3, R5, R6	R1, R4
有源麦克风	仅偏置	R1, R2, R4, R5	R3, R6
线路输入	无偏置/前置放大器	R1, R4	R2, R3, R5, R6

(1) 该表中提供的参考 Rx 表示原理图中提供的文本。

线路输出端口：

编解码器的 2x 数字输出被转换为单端信号，并通过“差分至单端”转换器线路输出电路端接至立体声音频插孔 J40 底部端口。

耳机端口：

编解码器的 6x 差分数字输出被转换为单端信号，并端接至立体声音频插孔 J40 顶部端口和带有耳机电路的堆叠式音频插孔 J41。

端口映射：

通用处理器板音频端口按照如下方式进行映射。

- 提供了 3x 标准 3.5mm 堆叠式立体声音频插孔 (制造商器件型号为 STX-4235-3/3-N) :
 - 2x - 麦克风输入, 1x - 线路输出, 3x - 耳机输出
- 提供了 1x 标准 3.5mm 立体声音频插孔 (制造商器件型号为 SJ-3524-SMT-TR) :
 - 1x - 线路输入接口

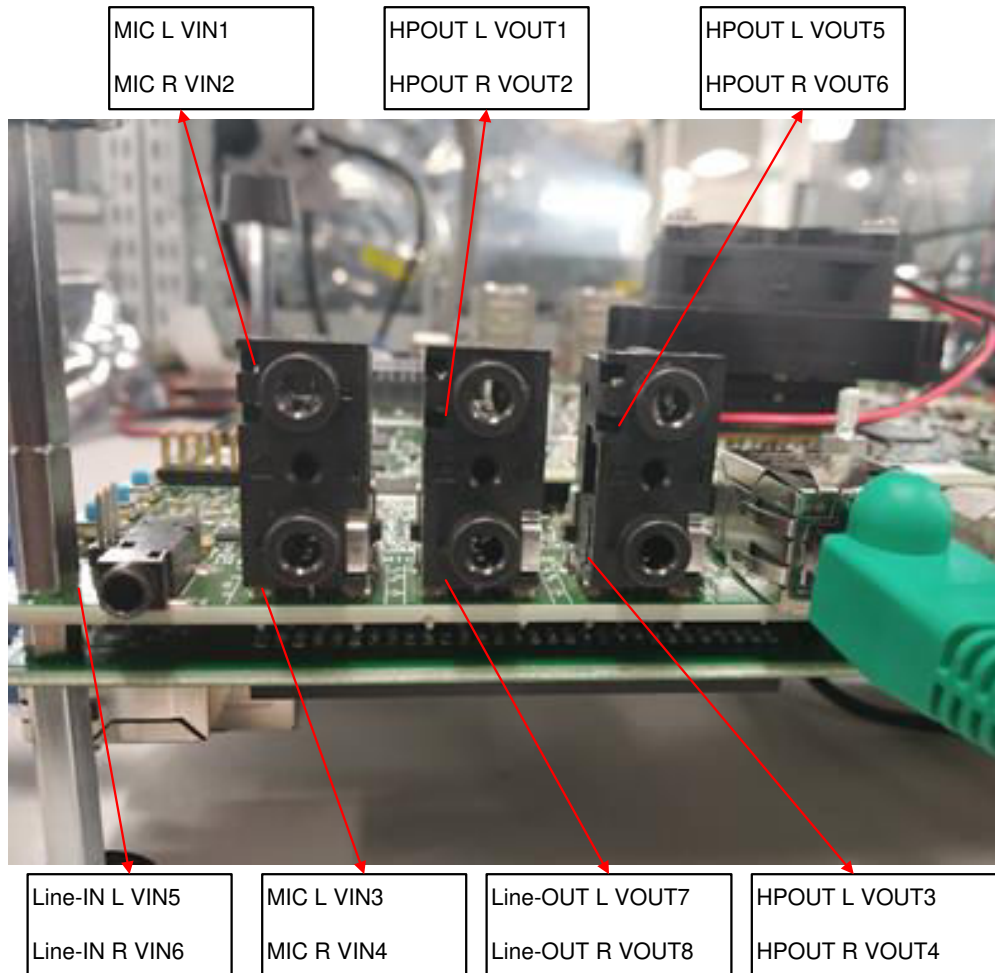


图 4-37. 音频端口接口分配

4.18 显示端口接口

通用处理器板支持两个显示端口接口，即 DP0 和 DP1。不过，J721E SoC 仅支持 DP0。CP 板上应提供 DP1 以支持未来推出的 J7 SoC。显示端口连接到 J721E SoC 内部的 Torrent SERDES (SERDES4)。4K UHD 显示器 (3840 x 2160) (120Hz, MST 多流支持)，CP 板显示端口接口最多可支持两个 4K UHD 显示器 (3840 x 2160) (60Hz, MST)。可以使用标准全尺寸 Molex 显示器连接器 (制造商器件型号为 472720001) 来连接显示器。

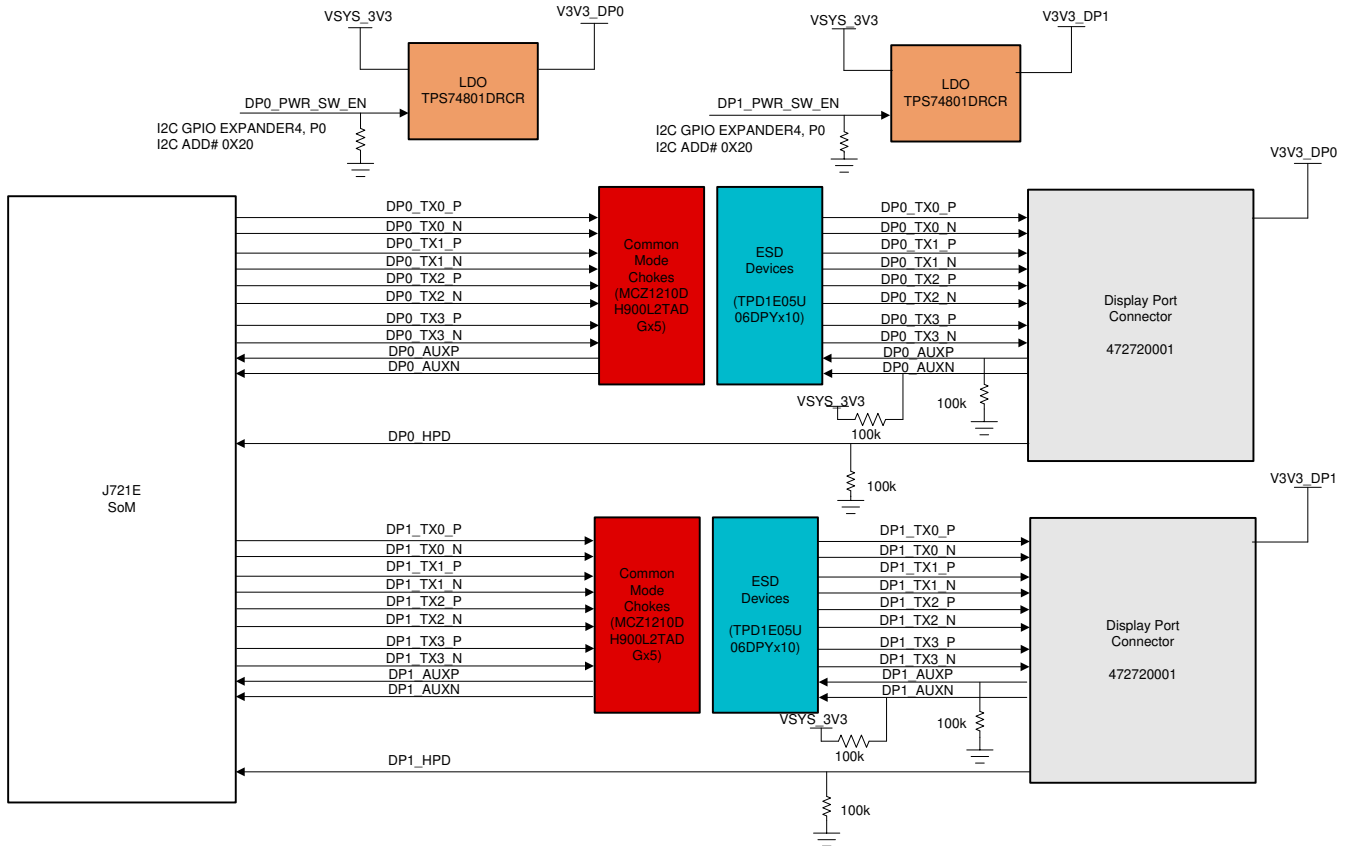


图 4-38. 显示端口方框图

为每个差分数据和辅助对中的主要数据通道和辅助数据通道以及共模滤波器 MCZ1210DH900L2TA0G 使用单独的 ESD 保护器件 (制造商器件型号为 TPD1E05U06DPY)。通过单独的 LDO (制造商器件型号为 TPS74801DRCR) 为每个连接器提供 3.3V、500mA 电源。LDO 具有高电平有效使能输入，默认情况下禁用。通过将 I/O 扩展器 4 (I2C 地址 0x20) 端口 0 和端口 1 的 GPIO 驱动为高电平，则能够为显示端口连接器提供电源。

4.19 MLB 接口

通用处理器板支持媒体本地总线 (MLB) 接口。

来自 J721E SoC 的差分 MLB 信号对被路由至 Samtec 接头 (制造商器件型号为 QSH-020-01-L-D-DP-A-K)。该接口是为与 MicroChip 的 MLB 物理接口板搭配使用而设计的。差分信号的路由特性阻抗为 100E，并且还分别为 N 和 P 信号提供了上拉和下拉选项。来自扩展器 (I2C 地址 0x22, I2C0) 的复位信号通过一个下拉电阻器来避免悬空，中断信号配备一个上拉电阻器并路由到 J721E SoM。

从 CP 板向连接器提供 12V 和 3.3V 的电压；从 J721E SoC 的 I2C0 端口向 MLB 接头提供 I2C 控制功能。



图 4-39. MLB 接口连接器

表 4-23 列出了 MLB 接头 J22 (QSH-020-01-L-D-DP-A) 的引脚排列。

表 4-23. MLB 接头引脚排列

引脚编号	信号	引脚编号	信号
1	MLB0_MLBSIG_N	2	H_MLB0_MLBCLK
3	MLB0_MLBSIG_P	4	NC
5	NC	6	H_MLB0_MLBSIG
7	NC	8	NC
9	MLB0_MLBDAT_N	10	H_MLB0_MLBDAT
11	MLB0_MLBDAT_P	12	NC
13	NC	14	NC
15	NC	16	H_MLB0_REFCLK
17	MLB0_MLBCLK_N	18	NC
19	MLB0_MLBCLK_P	20	NC
21	DGND	22	DGND
23	NC	24	MLB0_GPIO0
25	MLB_RSTz	26	NC
27	NC	28	NC
29	NC	30	NC
31	NC	32	NC
33	I2C0_SCL	34	MLB_INT#
35	I2C0_SDA	36	NC
37	VSYS_IO_3V3	38	VSYS_IO_3V3
39	VSYS_IO_3V3	40	VCC_12V0

4.20 I3C 接口

通用处理器板支持两个 I3C 接头，以验证 J721E SoC 的 MCU 和主域 I3C 接口。在两个 I3C 接头中，只有 MCU I3C 接头 J33 组装在 J721E EVM 中，默认情况下不组装主域 I3C 接头 J32。来自 SoC 的信号 MCU_I3C0_SDA 通过 1K 电阻器拉动 MCU_I3C0_SDA。

MAIN_I3C0_SCL 和 MAIN_I3C0_SDA 通过通用处理器板上的 2:1 多路信号分离器 IC U46 端接到 I3C 接头。默认情况下使用电阻器 R192 和 R193 断开信号路径。

多路复用器选择由 I2C GPIO 扩展器 2 (I2C 地址 0x22, I2C0) 端口 16 进行控制。

表 4-24 和表 4-25 列出了 I3C 接头引脚排列。

表 4-24. MCU I3C 接头 J33 引脚排列

引脚编号	信号
1	DGND
2	MCU_I3C0_SDA
3	MCU_I3C0_SCL

表 4-25. 主域 I3C 接头 J32 引脚排列

引脚编号	信号
1	DGND
2	MCU_I3C0_SDA
3	MCU_I3C0_SCL

4.21 ADC 接口

J721E SoC 的 MCU ADC0 端口连接到通用处理器板上的 2x10 接头 (制造商器件型号为 TSW-110-07-S-D)。ADC 输入 MCU_ADC0_AIN[7:0] 和外部触发器输入 MCU_ADC_EXT_TRIGGER0 通过 SoM 板连接到 J721E SoC。MCU_ADC0_REF_P 和 MCU_ADC0_REF_N 不路由到 J721E SoC，因为这些信号在 SoC 封装内部绑定。

备注

EVM 应用板 (GESI) 支持 J721E SoC 的 MCU ADC1 端口。



图 4-40. ADC 接口连接器

表 4-26. ADC 接头 J23 引脚排列

引脚编号	信号	引脚编号	信号
1	DGND	2	MCU_ADC0_AIN3
3	MCU_ADC0_AIN7	4	MCU_ADC0_AIN0
5	MCU_ADC0_AIN1	6	MCU_ADC0_AIN6
7	DGND	8	DGND
9	MCU_ADC0_AIN4	10	MCU_ADC0_REF_P
11	MCU_ADC0_AIN2	12	MCU_ADC0_REF_N
13	DGND	14	DGND
15	MCU_ADC0_AIN5	16	MCU_ADC_EXT_TRIGGER0
17	NC	18	NC
19	DGND	20	DGND

4.22 RTC 接口

一个实时时钟模块 (制造商器件型号为 MCP79410-I/SN) 连接到 J721E SoC 的 I2C0 接口。

RTC 器件由 3.3V 电源供电, 电池座 BC501SM 连接到 VBAT 引脚, 以提供外部电池电源选项 (未提供电池)。一个 32.768kHz 石英晶体用于为该器件提供时钟。

RTC 模块的 MFP 引脚用于为 SoC 的 WKUP_LFOSC 生成可选的参考时钟。

7 位 I2C 地址为 0x57 和 0x6F。

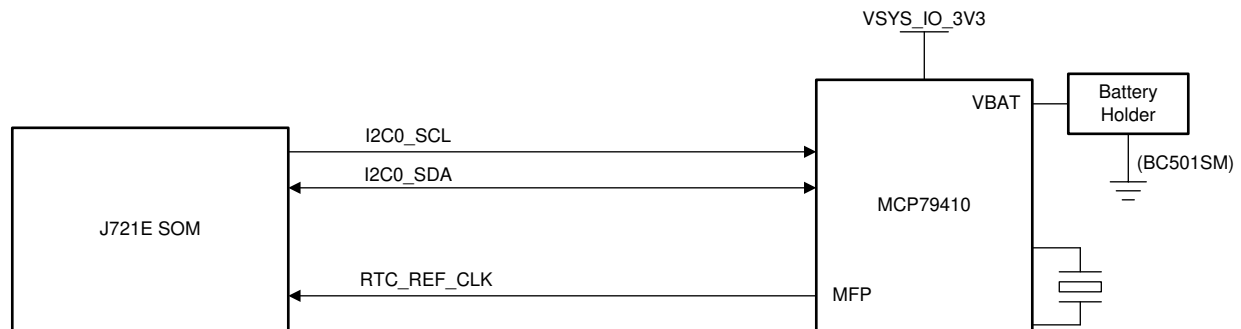


图 4-41. RTC 方框图

4.23 Apple 认证接头

通用处理器板具有支持 Apple 认证接口的配置。在 J721E EVM 中，可以通过两个选项将 Apple 认证板连接到 J721E SoC：一个是模块接口，另一个是器件接口。

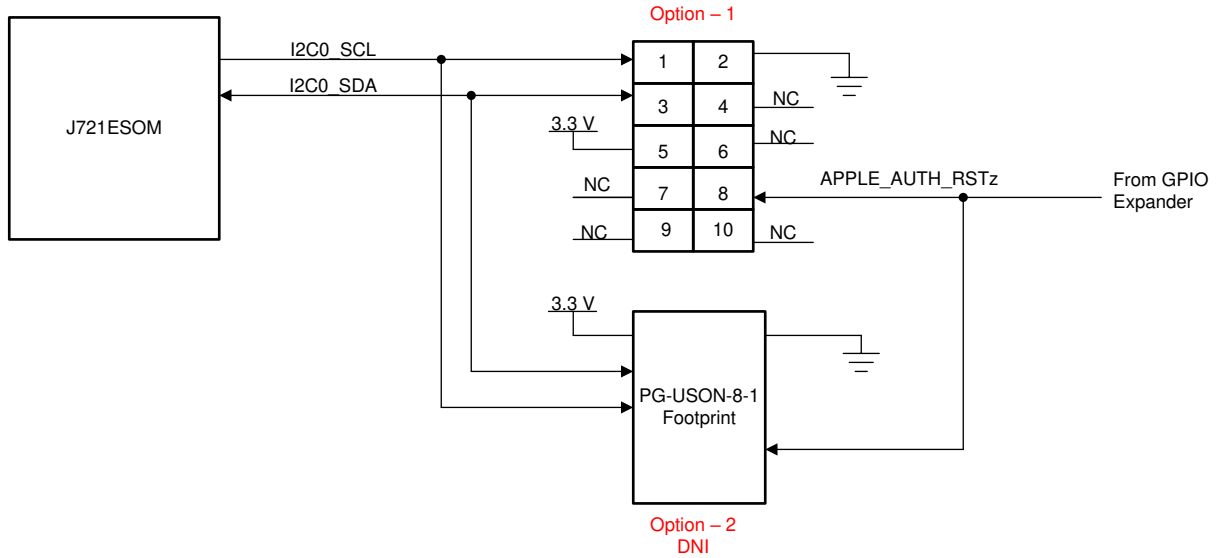


图 4-42. Apple 认证方框图

模块接口：

通用处理器板具有一个 2.54mm 双行 10 引脚插座（制造商器件型号为 2214BR - 10G）。

J721E SoC 的 I2C0 端口和 GPIO 扩展器的复位信号端接至该连接器。为连接器 J9 提供了 3.3V 电源。

表 4-27 提供了详细的信号和引脚说明。

表 4-27. Apple 认证接头 J9 引脚排列

引脚编号	信号	说明
1	I2C0_SCL	I2C 从器件接口，时钟接头
3	I2C0_SDA	I2C 从器件接口，数据接头
8	APPLE_AUTH_RSTz	复位，低电平有效
5	VSYS_IO_3V3	3.3V 电源
2	DGND	接地
4、6、7、9、10	NC	未连接

器件接口：

在该方法中，通用处理器 PCB 具有封装 PG-USON-8-1。默认情况下，不会在该封装中组装 Apple 认证器件。

J721E SoC 中所需的 I2C0、电源、复位和接地信号路由到该封装，如表 4-28 所示。

表 4-28. Apple 认证封装 U108 引脚排列

引脚编号	信号	说明
6	I2C0_SCL	I2C 从器件接口，时钟接头
2	I2C0_SDA	I2C 从器件接口，数据接头
7	APPLE_AUTH_RSTz	复位，低电平有效
8	VSYS_IO_3V3	3.3V 电源
1、9	DGND	接地
3、4、5	NC	未连接

4.24 EVM 扩展连接器

通用处理器板包含一个插接高度为 5mm 的 QSH-060-01-L-D-A-K 扩展连接器，从而能够在处理器板的下方堆叠多扩展板（信息娱乐或 GESI 扩展）。

可以一次性将信息娱乐或 GESI 扩展板插入多个 EVM 扩展连接器（J46 和 J51）。



图 4-43. 扩展板接口连接器

表 4-29 和表 4-30 列出了 EVM 扩展连接器引脚排列。

表 4-29. EVM 扩展连接器 J46 引脚排列

INFO/GESI 连接器接口 J46			
引脚编号	信号	引脚编号	信号
1	DGND	2	VCC_12V0
3	DGND	4	VCC_12V0
5	DGND	6	VCC_12V0
7	MCASP1_AXR3/PRG0_RGMII2_RXC	8	VOUT0_DATA15/PRG1_RGMII2_TX_CTL
9	PRG0_RGMII2_RD3	10	VOUT0_DATA14/PRG1_RGMII2_TD3
11	MCASP1_AXR2/PRG0_RGMII2_RX_CTL	12	VOUT0_HSYNC/PRG1_RGMII2_TXC
13	MCASP1_AXR0/PRG0_RGMII2_RD0	14	VOUT0_DATA11/PRG1_RGMII2_TD0
15	MCASP1_AXR1/PRG0_RGMII2_RD1	16	VOUT0_DATA13/PRG1_RGMII2_TD2
17	PRG0_RGMII2_RD2	18	VOUT0_DATA12/PRG1_RGMII2_TD1
19	DGND	20	DGND
21	VOUT0_EXTPCLKIN/MCAN6_TX	22	VPFE0_DATA6/MCAN5_TX
23	VOUT0_DATA5/MCAN6_RX	24	VPFE0_DATA7/MCAN5_RX
25	VOUT0_DATA7/MCAN7_TX	26	AUDIO_EXT_REFCLK1/MCAN4_TX
27	VOUT0_DATA8/MCAN7_RX	28	VOUT0_DATA22/MCAN4_RX
29	VOUT0_DATA9/PRG1_UART0_RXD	30	PRG1_UART0_RTS#
31	VOUT0_DATA10/PRG1_UART0_TXD	32	VOUT0_DATA23/SPI6_CS1
33	VOUT0_VSYNC/SPI6_D0	34	VOUT0_DE/SPI6_CLK
35	NC	36	VOUT0_PCLK/SPI6_D1
37	DGND	38	DGND
39	VOUT0_DATA0/PRG1_RGMII2_RD0	40	VOUT0_DATA19/PRG1_RGMII1_TD3
41	VOUT0_DATA2/PRG1_RGMII2_RD2	42	VOUT0_DATA16/PRG1_RGMII1_TD0
43	VOUT0_DATA1/PRG1_RGMII2_RD1	44	VOUT0_DATA20/PRG1_RGMII1_TX_CTL
45	VOUT0_DATA3/PRG1_RGMII2_RD3	46	VOUT0_DATA18/PRG1_RGMII1_TD2
47	VOUT0_DATA4/PRG1_RGMII2_RX_CTL	48	VOUT0_DATA21/PRG1_RGMII1_TXC
49	VOUT0_DATA6/PRG1_RGMII2_RXC	50	VOUT0_DATA17/PRG1_RGMII1_TD1
51	DGND	52	DGND
53	MCASP0_AXR5/MCAN9_TX	54	VPFE0_DATA12/PRG1_MDIO0_MDC
55	MCASP0_AXR6/MCAN9_RX	56	VPFE0_DATA11/PRG1_MDIO0_MDIO
57	MCASP0_ACLKX/SPI3_CS1	58	SPI3_CS0
59	MCASP0_AFSX/SPI3_CS2	60	MCASP1_AFSX/MCAN11_RX
61	McASP0_AXR3	62	NC
63	WKUP_I2C0_SDA	64	SOC_PORZ_OUT
65	WKUP_I2C0_SCL	66	PRG0_PWM0_TZ_OUT
67	DGND	68	DGND
69	MCASP0_AXR0/PRG0_RGMII1_RD0	70	MCASP0_AXR8/PRG0_RGMII1_TD1
71	MCASP0_AXR2/PRG0_RGMII1_RX_CTL	72	MCASP0_AXR7/PRG0_RGMII1_TD0
73	MCASP0_AXR4/PRG0_RGMII1_RXC	74	MCASP0_AXR11/PRG0_RGMII1_TX_CTL
75	PRG0_RGMII1_RD2	76	MCASP0_AXR10/PRG0_RGMII1_TD3
77	MCASP0_AXR1/PRG0_RGMII1_RD1	78	MCASP0_AXR9/PRG0_RGMII1_TD2
79	PRG0_RGMII1_RD3	80	MCASP0_AXR12/PRG0_RGMII1_TXC
81	DGND	82	DGND
83	MCASP1_AXR8/PRG0_RGMII2_TD1	84	MCASP6_ACLKX/PRG1_RGMII1_RD0
85	MCASP1_AXR7/PRG0_RGMII2_TD0	86	MCASP6_AFSR/PRG1_RGMII1_RXC
87	GPIO0_79/PRG0_RGMII2_TXC	88	MCASP6_AFSX/PRG1_RGMII1_RD1

表 4-29. EVM 扩展连接器 J46 引脚排列 (续)

INFO/GESI 连接器接口 J46			
引脚编号	信号	引脚编号	信号
89	PRG0_RGMII2_TD2	90	PRG1_RGMII1_RD3
91	PRG0_RGMII2_TX_CTL	92	MCASP6_ACLKR/PRG1_RGMII1_RX_CTL
93	MCASP2_AXR0/PRG0_RGMII2_TD3	94	MCASP6_AXR0/PRG1_RGMII1_RD2
95	DGND	96	DGND
97	MDIO0_MDC	98	PRG0_MDIO0_MDC/I2C5_SDA
99	MDIO0_MDIO	100	PRG0_MDIO0_MDIO/I2C5_SCL
101	SPI3_D0	102	MCASP0_AXR13/PRG0_PWM0_B2
103	SPI3_D1	104	NC
105	SPI3_CLK	106	RGMII_REFCLK
107	DGND	108	DGND
109	I2C0_SCL	110	MCASP1_ACLKX
111	I2C0_SDA	112	SOC_I2C2_SCL
113	I2C1_SCL	114	SOC_I2C2_SDA
115	I2C1_SDA	116	NC
117	NC	118	EXP_RSTz
119	DGND	120	DGND

表 4-30. EVM 扩展连接器 J51 引脚排列

INFO/GESI 连接器接口 J51			
引脚编号	信号	引脚编号	信号
1	DGND	2	EXP_3V3
3	DGND	4	EXP_3V3
5	DGND	6	EXP_3V3
7	MCASP1_AXR5/UART8_RXD	8	I2C3_SCL
9	MCASP1_AXR6/UART8_TXD	10	I2C3_SDA
11	EQEP0_A	12	EQEP0_I
13	EQEP0_B	14	EQEP0_S
15	GPIO1_23/UART9_RXD	16	EXP_CODEC_SCKI
17	GPIO1_24/UART9_TXD	18	NC
19	EXP_EEPROM_A0	20	INFO_CAM_VIO_SEL
21	EXP_EEPROM_A1	22	EXP_REFCLK
23	EXP_EEPROM_A2	24	NC
25	BOARDID_EEPROM_WP	26	PRG1_IEP0_EDIO_OUTVALID
27	GPIO0_6	28	PERIPH_RSTz
29	GPIO0_61	30	RESETSTATz
31	UB926_GPIO2	32	EXP_MUX1
33	UB926_GPIO3	34	EXP_MUX2
35	NC	36	EXP_MUX3
37	NC	38	NC
39	DGND	40	DGND
41	GPMC0_A1	42	GPMC0_A22
43	GPMC0_A2	44	GPMC0_DIR
45	GPMC0_A3	46	GPMC0_A17
47	GPMC0_A4	48	GPMC0_BE1#
49	GPMC0_A5	50	GPMC0_A16
51	GPMC0_A7	52	GPMC0_A21
53	GPMC0_A6	54	GPMC0_A15
55	GPMC0_A9	56	GPMC0_A20
57	GPMC0_A11	58	GPMC0_A14
59	GPMC0_A8	60	GPMC0_A18
61	GPMC0_A10	62	GPMC0_A19
63	GPMC0_A12	64	GPMC0_A13
65	NC	66	NC
67	DGND	68	DGND
69	NC	70	NC
71	NC	72	NC
73	NC	74	NC
75	NC	76	NC
77	DGND	78	VSYS_5V0
79	DGND	80	VSYS_5V0
81	DGND	82	VSYS_5V0
83	MCU_ADC1_AIN0	84	NC
85	MCU_ADC1_AIN1	86	NC
87	MCU_ADC1_AIN2	88	NC
89	MCU_ADC1_AIN3	90	NC

表 4-30. EVM 扩展连接器 J51 引脚排列 (续)

INFO/GESI 连接器接口 J51			
引脚编号	信号	引脚编号	信号
91	MCU_ADC1_AIN4	92	NC
93	MCU_ADC1_AIN5	94	NC
95	MCU_ADC1_AIN6	96	NC
97	MCU_ADC1_AIN7	98	NC
99	NC	100	VSYS_IO_3V3
101	NC	102	VSYS_IO_3V3
103	MCU_ADC_EXT_TRIGGER1	104	VSYS_IO_3V3
105	DGND	106	NC
107	I2C6_SCL	108	NC
109	I2C6_SDA	110	NC
111	NC	112	NC
113	USB1_DN4_PE	114	VSYS_IO_1V8
115	USB1_DN4_D_N	116	VSYS_IO_1V8
117	USB1_DN4_D_P	118	VSYS_IO_1V8
119	DGND	120	DGND

4.25 ENET 扩展连接器

通用处理器板包含一个插接高度为 5mm 的 171446-1109 扩展连接器，从而能够在处理器板的顶部堆叠 ENET 扩展板（四端口以太网扩展）。

本节概述了四端口以太网扩展板上的不同接口和电路。

4.25.1 电源要求

扩展卡通过扩展连接器对来自通用处理器板的电源加以利用，扩展卡有两个低压降电路，用于为四端口 SGMII PHY 提供必要的电压和所需的电源。

以太网扩展卡上具有为每个电源输出提供的测试点，表 4-31 中提及了这些测试点。

表 4-31. ENET 扩展板电源测试点

SI 编号	电源	测试点	电压	容差
卡正面				
1	VCC_12V0	C30.1	12V	
2	VSYS_5V0	C34.1	5V	
3	VCC_3V3	C33.1	3.3V	
4	VCC_2V5	TP2	2.5V	
5	VCC_1V	TP10	1V	

4.25.2 时钟

4.25.2.1 主时钟

PHY 的参考时钟由位于通用处理器 (CPU) 板上的 TI 时钟发生器 (制造商器件型号为 CDCI6214RGET) 生成。时钟输入应采用交流耦合方式且符合 LVDS 标准。可以通过 J721E SoC 的 I2C0 来配置该时钟发生器。该时钟发生器的 I2C 地址为 0x77。

4.25.2.2 可选时钟

可以选择由 SERDES 时钟发生器 (制造商器件型号 CDCI6214RGET) 来提供参考时钟, 该时钟发生器位于四端口以太网扩展板上, 可通过 J721E SOC 的 I2C0 进行配置。该时钟发生器的 I2C 地址为 0x77, 该地址与通用处理器板上的 CDCI 芯片相冲突。四端口以太网扩展板上的 I2C 开关用于通过连接任一时钟发生器来消除地址冲突。

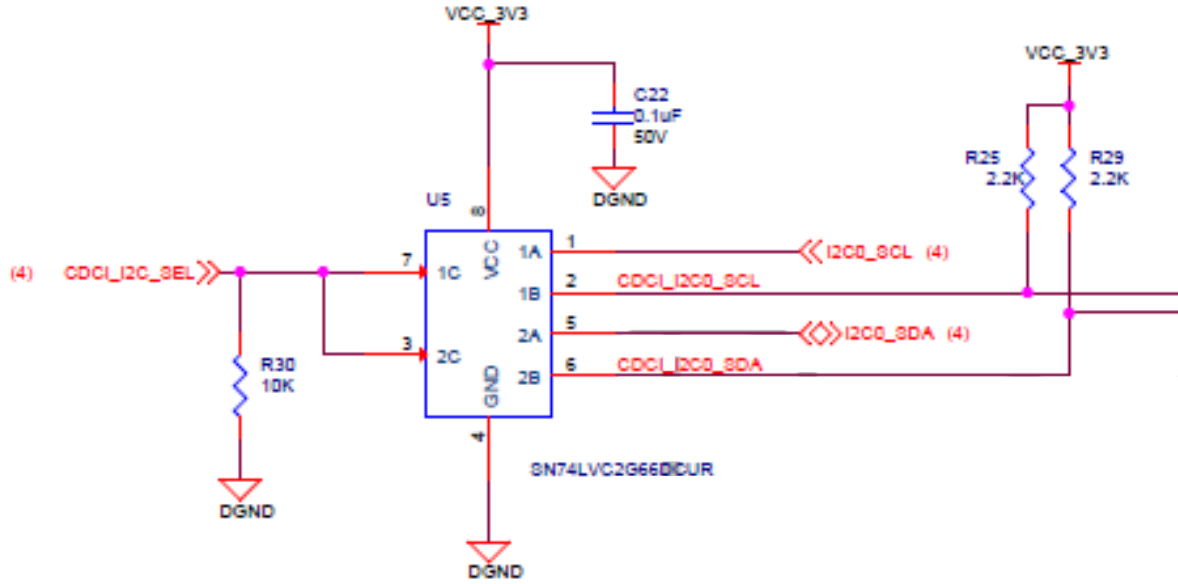


图 4-44. CDCI I2C 隔离电路

将 CDCI_I2C_SEL I/O EXP 位设置为高电平, 从而将 I2C 总线连接到 CDCI, 以便在四端口以太网扩展板上进行编程。在此期间, 通用处理器板上的 CDCI 器件 U17 应处于复位模式。

4.25.3 复位信号

QSGMII_RESEZ_z 是来自通用处理器板的复位信号。该信号用于复位板上的 QSGMII PHY。

QSGMII_RESEZ_z 是对 SOC_POR_z_out 和 ENET_EXP_RST_z 进行“与”运算的结果。ENET_EXP_RST_z 信号通过通用处理器板中的 I2C GPIO 扩展器 2 (I2C 地址 0x22, I2C0) 端口 21 进行置位。

表 4-32 列出了 ENET 扩展连接器引脚排列。

表 4-32. ENET 扩展连接器 J10 引脚排列

ENET 扩展连接器接口 J10	
引脚编号	信号
1	DGND
2	NC
3	NC
4	DGND
5	NC
6	NC
7	DGND
8	NC
9	NC
10	DGND
11	VSYS_IO_3V3
12	VSYS_IO_3V3
13	DGND
14	EEPROM_A0
15	EEPROM_A1
16	EEPROM_A2
17	DGND
18	EEPROM_WP
19	REFCLK_25MHZ
20	DGND
21	WKUP_I2C0_SCL
22	WKUP_I2C0_SDA
23	DGND
24	I2C0_SCL
25	I2C0_SDA
26	DGND
27	VCC_12V0
28	VCC_12V0
29	DGND
30	ENET_EXP_PWRDN
31	QSGMII_INTN
32	DGND
33	QSGMII4_TX_P
34	QSGMII4_TX_N
35	DGND
36	QSGMII4_RX_P
37	QSGMII4_RX_N
38	DGND
39	QSGMII_PHY_REFCLK_N

表 4-32. ENET 扩展连接器 J10 引脚排列 (续)

ENET 扩展连接器接口 J10	
引脚编号	信号
40	QSGMII_PHY_REFCLK_P
41	DGND
42	QSGMII_MDC
43	QSGMII_MDIO
44	DGND
45	QSGMII_RESETN
46	CDCI_I2C_SEL
47	ENET_EXP_SPARE
48	DGND
49	VSYS_5V0
50	VSYS_5V0
51	DGND
52	NC
53	NC
54	DGND
55	VCC_3V3
56	VCC_3V3
57	DGND
58	NC
59	NC
60	DGND
SH1	DGND
SH2	DGND

4.25.4 以太网接口

J721E EVM 包含 VSC8514XMK 四端口 SGMII PHY 和处理器的网络子系统 (NSS) 之间的 SGMII 连接。使用来自 J721E 处理器 SERDES 域的一个 SGMII 接口通道 (连接到堆叠的 RJ45 连接器 J1A 和 J1B、J2A 和 J2B)。

4.25.4.1 四端口 SGMII PHY 默认配置

J721E EVM 采用 138 引脚 QFN 封装，以 XMK 后缀指定，仅支持 SGMII 接口。

VC8514 器件包含三个外部 PHY 地址引脚 PHYADD [4:2]，以能够控制系统板上共享公共管理总线的多个 PHY 器件。这些引脚设置 PHY 地址端口映射的最高有效位。每个端口地址的低两位来自端口的物理地址 (0 到 3) 和寄存器 20E1 第 9 位中 PHY 地址反转位的设置。

4.25.5 板 ID EEPROM 接口

四端口以太网扩展板通过版本和序列号 (存储在板载 EEPROM 中) 进行标识。可以在地址 0x54 上访问 EEPROM。

使用每个板的标识信息对可寻址 EEPROM 存储器的前 259 个字节进行了预编程。剩余的 32509 个字节可供用户进行数据或代码存储。

4.26 CSI 扩展连接器

J721E EVM 支持不同的应用特定摄像头扩展板，其中包括：

- Fusion1 串行捕捉扩展
- Fusion2 串行捕捉扩展

通用处理器板支持使用 QSH-020-01-L-D-DP-A-K 连接器以 5mm 的插接高度连接这些 CSI 扩展板，以能够在处理器板的底部堆叠 CSI 扩展板。

J721E SoC 的摄像头串行接口 CSI0 和 CSI1 连接到 CP 板上的该 CSI 扩展连接器 J52。通用处理器板支持辅助 CSI 扩展连接器，这是为将在未来推出的 J7 SoC 的 CSI2 端口而保留的。

这些 CSI 扩展板的电源 (12V 和 3.3V)、控制 GPIO 和参考时钟由通用处理器板通过 CSI 扩展连接器提供。可以通过接线端子 (1757242) 使用外部电线从通用处理器板来提供可选的辅助 12V 电源。

可以使用 DIP 开关 SW3 位置 7 将这些 CSI 扩展板的 I/O 电源配置为 3.3V 和 1.8V。

CSI_VIO_SEL	设置 CSI2 扩展接口的 I/O 电压 (LVCMOS 信号) “0” (关闭) = 1.8V I/O 电压 “1” (开启) = 3.3V I/O 电压
-------------	--

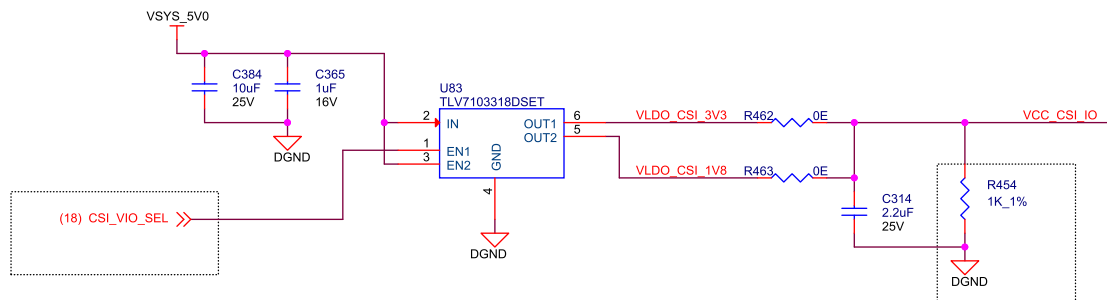


图 4-45. CSI 扩展接口的双 I/O 电压选择

表 4-33 和表 4-34 列出了 CSI 扩展连接器引脚排列。

表 4-33. CSI 扩展连接器 J52 引脚排列

CSI2 连接器接口 J52			
引脚编号	信号	引脚编号	信号
1	VCC_12V0	21	CSI0_RX3_P
2	CSI2_I2C_SCL_DV	22	CSI2_A_GPIO4_DV
3	VCC_12V0	23	CSI0_RX3_N
4	CSI2_I2C_SDA_DV	24	DGND
5	CSI0_RXCLK_P	25	CSI1_RXCLK_P
6	CSI2_A_GPIO0_DV	26	CSI1_RX3_P
7	CSI0_RXCLK_N	27	CSI1_RXCLK_N
8	CSI2_A_GPIO1_DV	28	CSI1_RX3_N
9	CSI0_RX0_P	29	CSI1_RX0_P
10	CSI2_A_REFCLK_DV	30	EXP_3V3
11	CSI0_RX0_N	31	CSI1_RX0_N
12	DGND	32	EXP_3V3
13	CSI0_RX1_P	33	CSI1_RX1_P
14	CSI2_RSTZ_DV	34	EXP_3V3
15	CSI0_RX1_N	35	CSI1_RX1_N
16	DGND	36	EXP_3V3
17	CSI0_RX2_P	37	CSI1_RX2_P
18	CSI2_A_GPIO2_DV	38	VCC_CSI_IO
19	CSI0_RX2_N	39	CSI1_RX2_N
20	CSI2_A_GPIO3_DV	40	VCC_CSI_IO

表 4-34. CSI 扩展连接器 J48 引脚排列

CSI2 连接器接口 J48			
引脚编号	信号	引脚编号	信号
1	VCC_12V0	21	CSI2_RX3_P
2	CSI2_I2C_SCL_DV	22	CSI2_B_GPIO4_DV
3	VCC_12V0	23	CSI2_RX3_N
4	CSI2_I2C_SDA_DV	24	DGND
5	CSI2_RXCLK_P	25	NC
6	NC	26	NC
7	CSI2_RXCLK_N	27	NC
8	CSI2_B_GPIO1_DV	28	NC
9	CSI2_RX0_P	29	NC
10	CSI2_B_REFCLK_DV	30	EXP_3V3
11	CSI2_RX0_N	31	NC
12	DGND	32	EXP_3V3
13	CSI2_RX1_P	33	NC
14	CSI2_RSTZ_DV	34	EXP_3V3
15	CSI2_RX1_N	35	NC
16	DGND	36	EXP_3V3
17	CSI2_RX2_P	37	NC
18	CSI2_B_GPIO2_DV	38	VCC_CSI_IO
19	CSI2_RX2_N	39	NC

表 4-34. CSI 扩展连接器 J48 引脚排列 (续)

CSI2 连接器接口 J48			
引脚编号	信号	引脚编号	信号
20	CSI2_B_GPIO3_DV	40	VCC_CSI_IO

5 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision D (March 2022) to Revision E (January 2024)	Page
• 更新了 节 3.5 。	23

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024，德州仪器 (TI) 公司