TLV321x 和 TLV322x 具有轨到轨输入的汽车级 40ns 高速比较器

1 特性

- 传播延迟：40ns
- 低电源电流：每通道 40µA
- 输入失调电压：±1mV（最大值）
- 内部迟滞：1.8mV
- 输入电压范围超过电源轨 200mV
- 用于已知启动的上电复位 (POR)
- 推挽输出选项 (TLV321x)
- 开漏输出选项 (TLV322x)

2 应用

- 电机驱动器
- 电器
- 电网基础设施
- 工厂自动化和控制
- 牵引逆变器

3 说明

TLV321x 和 TLV322x 是 5V 单通道、双通道和四通道高速比较器系列，具有推挽或开漏输出选项。该系列具有出色的速度功率组合，传播延迟为 40ns，整个电源电压范围为 1.8V 至 5.5V，每个通道的静态电源电流仅为 40 µ A。

这些特性配合快速响应时间、轨到轨输入、低失调电压和大输出驱动电流，使该系列比较器特别适用于电流检测、过零检测以及速度至关重要的各种其他应用。

该系列还包含上电复位 (POR) 特性，可确保输出处于已知状态，直到达到最小电源电压，从而防止系统上电和断电期间出现输出瞬变。

TLV321x 具有推挽式输出级，能够灌入和拉取大电流，实现对称上升和下降时间，快速驱动 MOSFET 栅极等容性负载。

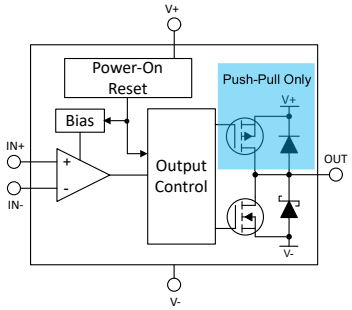
TLV322x 具备漏极开路输出，可以在低于或高于电源电压的情况下上拉。这些器件专为低压逻辑转换器或组合“或”运算逻辑线路而设计。

所有器件可在 -40°C 至 125°C 的宽工作温度范围内运行。

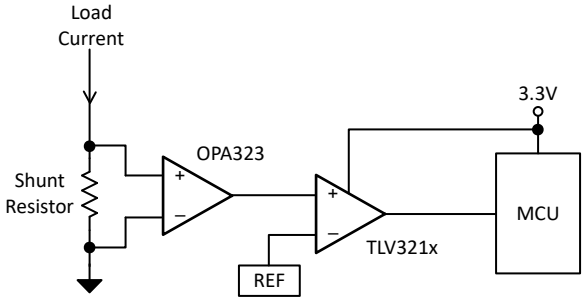
封装信息

器件型号	封装 (1)	封装尺寸(2)
TLV3211、TLV3221（单通道）	DCK（SOT-SC70，5）	2mm × 2.1mm
	DBV（SOT-23，5）	2.9mm × 2.8mm
TLV3212、TLV3222（双通道）	D（SOIC，8）(3)	4.9mm × 6mm
	DGK（VSSOP，8）	3.0mm × 4.9mm
	DSG (WSON, 8)(3)	2mm × 2mm
TLV3214（四通道）	PW（TSSOP，14）	5mm × 6.4mm
	RTE (WQFN, 16)(3)	3mm × 3mm

(1) 有关更多信息，请参阅节 10。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。
(3) 预发布信息（非量产数据）。



方框图



低侧电流检测

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

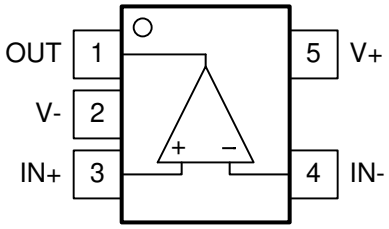
内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
4.1 引脚配置：TLV3211、TLV3221 3
4.2 引脚配置：TLV3212、TLV3222 4
4.3 引脚配置：TLV3214 5
5 规格 6
5.1 绝对最大额定值 6
5.2 ESD 等级 6
5.3 建议运行条件 6
5.4 热性能信息 - 单通道 7
5.5 热性能信息 - 双通道 7
5.6 热性能信息 - 四通道 7
5.7 电气特性 8
5.8 开关特性 9
5.9 典型特性 10
6 详细说明 18
6.1 概述 18
6.2 功能方框图 18
6.3 特性说明 18
6.4 器件功能模式 18
7 应用和实施 21
7.1 应用信息 21
7.2 典型应用 24
7.3 电源相关建议 25
7.4 布局 26
8 器件和文档支持 27
8.1 文档支持 27
8.2 接收文档更新通知 27
8.3 支持资源 27
8.4 商标 27
8.5 静电放电警告 27
8.6 术语表 27
9 修订历史记录 27
10 机械、封装和可订购信息 27

Copyright © 2026 Texas Instruments Incorporated

4 引脚配置和功能

4.1 引脚配置：TLV3211、TLV3221



DCK、DBV 封装
SC70，SOT-23-5
顶视图
（西北引脚排列）

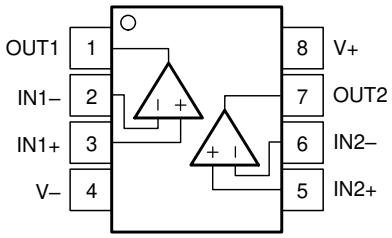
表 4-1. 引脚功能：TLV3211、TLV3221

引脚		类型(1)	说明
名称	编号		
OUT	1	O	输出
V-	2	—	负电源电压
IN+	3	I	同相 (+) 输入
IN-	4	I	反相 (-) 输入
V+	5	-	正电源电压

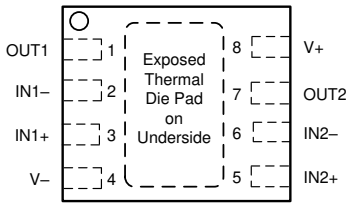
(1) I = 输入，O = 输出

Copyright © 2026 Texas Instruments Incorporated

4.2 引脚配置：TLV3212、TLV3222



D、DGK 封装
8 引脚 SOIC、VSSOP
顶视图



注意：将外露散热焊盘直接连接到 V- 引脚。

DSG 封装
8 引脚 WSON（带有外露散热焊盘）
顶视图

表 4-2. 引脚功能：TLV3212、TLV3222

引脚		类型(1)	说明
名称	编号		
OUT1	1	O	比较器 1 的输出引脚
IN1 –	2	I	比较器 1 的反相输入引脚
IN1+	3	I	比较器 1 的同相输入引脚
V-	4	—	负电源电压
IN2+	5	I	比较器 2 的同相输入引脚
IN2 –	6	I	比较器 2 的反相输入引脚
OUT2	7	O	比较器 2 的输出引脚
V+	8	—	正电源电压
散热焊盘	—	—	直接连接到 V- 引脚

(1) I = 输入，O = 输出

Copyright © 2026 Texas Instruments Incorporated

4.3 引脚配置：TLV3214

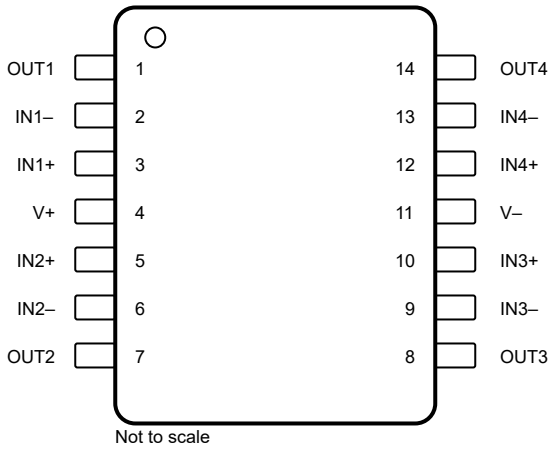
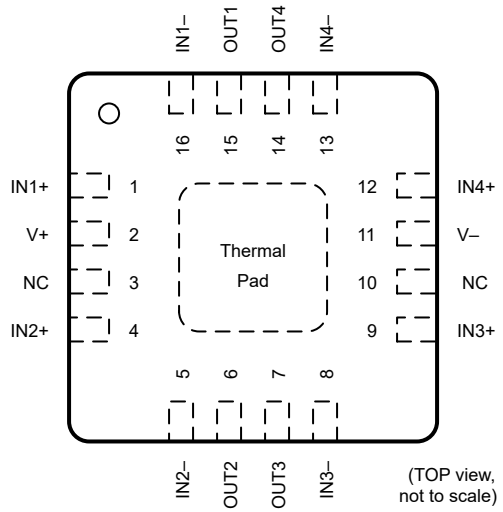


图 4-1. PW 封装
14 引脚 TSSOP
俯视图



注意：将外露散热焊盘直接连接到 V- 引脚。

图 4-2. RTE 封装
16 引脚 WQFN（带有外露散热焊盘）
顶视图

表 4-3. 引脚功能：TLV3214

引脚			类型(1)	说明
名称	TSSOP	WQFN		
IN1–	2	16	I	反相输入，通道 A
IN1+	3	1	I	同相输入，通道 A
IN2–	6	5	I	反相输入，通道 B
IN2+	5	4	I	同相输入，通道 B
IN3–	9	8	I	反相输入，通道 C
IN3+	10	9	I	同相输入，通道 C
IN4–	13	13	I	反相输入，通道 D
IN4+	12	12	I	同相输入，通道 D
NC	—	3、10	—	无内部连接
OUT1	1	15	O	输出，通道 A
OUT2	7	6	O	输出，通道 B
OUT3	8	7	O	输出，通道 C
OUT4	14	14	O	输出，通道 D
V-	11	11	—	负（最低）电源或接地（对于单电源供电）
V+	4	2	—	正（最高）电源
散热焊盘	—	Pad	—	散热焊盘 — 直接连接至 V-

(1) I = 输入，O = 输出

Copyright © 2026 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

	最小值	最大值	单位
电源电压 V_S = (V+) - (V–)		6.5	V
差分输入电压 VID	-6	6	V
(V-) 的输入引脚 (IN+、IN–)(2)	–0.5	(V+) + 0.5	V
进入输入引脚（IN+、IN–）的电流	-10	10	mA
来自 (V-) 的输出 (OUT)	–0.5	(V+) + 0.5	V
输出短路电流	– 100	100	mA
输出短路持续时间		10	s
结温，T_J		150	°C
存储温度，T_{stg}	-65	150	°C

(1) 应力超出*绝对最大额定值*下列出的值可能会对器件造成永久损坏。这些值仅为应力额定值，并不意味着器件在这些条件下、或是在超出*建议运行条件*的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 输入端子被二极管钳制至 (V–) 和 (V+)。对于摆幅可能超过电源轨 0.5V 的输入信号，必须将其电流限制为 10mA 或者更低。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±2000	V
$V_{(ESD)}$	静电放电	充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101(2)	±1000	V

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

	最小值	最大值	单位
电源电压 V_S = (V+) - (V–)	1.8	5.5	V
输入电压范围	(V-) - 0.2	(V+) + 0.2	V
环境温度，T_A	-40	125	°C

Copyright © 2026 Texas Instruments Incorporated

5.4 热性能信息 - 单通道

热指标 (1)		TLV3211、TLV3221		单位
		DCK (SC70)	DBV (SOT-23)	
		5 引脚	5 引脚	
$R_{\theta JA}$	结至环境热阻	222.0	203.0	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	126.2	96.8	°C/W
$R_{\theta JB}$	结至电路板热阻	56.1	62.4	°C/W
Ψ_{JT}	结至顶部特征参数	29.6	32.2	°C/W
Ψ_{JB}	结至电路板特征参数	56.0	62.0	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	–	–	°C/W

(1) 更多有关新旧热指标的信息，请参阅半导体和 IC 封装热指标报告。

5.5 热性能信息 - 双通道

热指标 (1)		TLV3212、TLV3222			单位
		DGK (VSSOP)	DSG (WSON)	D (SOIC)	
		8 引脚	8 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	141.7	–	132.0	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	59.9	–	69.8	°C/W
$R_{\theta JB}$	结至电路板热阻	78.8	–	75.2	°C/W
Ψ_{JT}	结至顶部特征参数	6.0	–	20.3	°C/W
Ψ_{JB}	结至电路板特征参数	78.1	–	74.6	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	–	–	–	°C/W

(1) 更多有关新旧热指标的信息，请参阅半导体和 IC 封装热指标报告。

5.6 热性能信息 - 四通道

热指标(1)		TLV3214		单位
		PW (TSSOP)	RTE (WQFN)	
		14 引脚	16 引脚	
$R_{\theta JA}$	结至环境热阻	114.8	–	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	49.9	–	°C/W
$R_{\theta JB}$	结至电路板热阻	70.7	–	°C/W
Ψ_{JT}	结至顶部特征参数	5.8	–	°C/W
Ψ_{JB}	结至电路板特征参数	70.0	–	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	–	–	°C/W

(1) 更多有关新旧热指标的信息，请参阅半导体和 IC 封装热指标报告。

Copyright © 2026 Texas Instruments Incorporated

5.7 电气特性

V_S = 1.8V 至 5V，V_{CM} = V_S/2；T_A = 25°C（除非另有说明）。T_A = 25°C 时的典型值。

参数		测试条件	最小值	典型值	最大值	单位
直流输入特性						
V_{IO}	输入失调电压	V_S = 5V，V_{CM} = V_S / 2 T_A = -40℃ 至 125℃		±1	±6	mV
dV_{OS}/dT	输入失调电压漂移	V_S = 5V，V_{CM} = V_S/2，T_A = -40℃ 至 125℃		1		µV/°C
V_{HYS}	磁滞	V_S = 5V，V_{CM} = V_S/2		1.8		mV
V_{HYS}	磁滞	V_S = 5V，V_{CM} = V_S/2，T_A = -40℃ 至 125℃			4	mV
V_{CM}	共模电压范围		(V-)- 0.2		(V+) + 0.2	V
I_B	输入偏置电流	V_S = 5V，V_{CM} = V_S/2		1	5	pA
I_B	输入偏置电流	V_S = 5V，V_{CM} = V_S/2，T_A = -40℃ 至 125℃			1200	pA
I_{OS}	输入偏移电流	V_S = 5V，V_{CM} = V_S/2		0.1	2.5	pA
I_{OS}	输入偏移电流	V_S = 5V，V_{CM} = V_S/2，T_A = -40℃ 至 125℃			250	pA
C_{IN}	输入电容			1.5		pF
R_{DM}	输入差分模式电阻			1600		GΩ
R_{CM}	输入共模电阻			550		GΩ
CMRR	共模抑制比	V_{CM} = (V-) - 0.2 至 (V+) + 0.2		76		dB
DC 输出特性						
V_{OH}	(V+) 的电压摆幅	V_S = 5V，I_{Source} = 4mA（仅推挽）		135	165	mV
V_{OH}	(V+) 的电压摆幅	V_S = 5V，I_{Source} = 4mA，-40 至 125C（仅推挽）			200	mV
V_{OL}	(V－) 的电压摆幅	V_S = 5V，I_{Sink} = 4mA		120	160	mV
V_{OL}	(V－) 的电压摆幅	V_S = 5V，I_{Sink} = 4mA，-40 至 125C			180	mV
I_{SC}	短路电流	V_S = 5V，拉取		87		mA
		V_S = 5V，拉取，-40 至 125C			110	
I_{SC}	短路电流	V_S = 5V，灌入		96		mA
		V_S = 5V，灌入，-40 至 125C			120	
I_{LKG}	开漏输出漏电流	V_{PULLUP} = V_S（仅开漏）		50		pA
电源						
I_Q	每通道电源电流（单通道和双通道）	V_S = 2.7V 和 5V，无负载，V_{ID} = －0.1V（输出低电平），-40 至 125C		42	53	uA
I_Q	每通道电源电流（四通道）	V_S = 2.7V 和 5V，无负载，V_{ID} = －0.1V（输出低电平），-40 至 125C		42	48	uA
I_Q	每通道电源电流（单通道）	V_S = 2.7V 和 5V，无负载，V_{ID} = +0.1V（输出高电平），T_A = -40℃ 至 125℃		48	60	uA
I_Q	每通道电源电流（双通道和四通道）	V_S = 2.7V 和 5V，无负载，V_{ID} = +0.1V（输出高电平），T_A = -40℃ 至 125℃		44	60	uA
$V_{POR\ (postive)}$	上电复位电压			1.65		V
PSRR	电源抑制比	V_S = 1.8V 至 5.5V，无负载，V_{ID} = +0.1 V，T_A = -40℃ 至 125℃		77		dB

Copyright © 2026 Texas Instruments Incorporated

5.8 开关特性

V_S = 5V，V_{CM} = V_S/2；C_L = 15pF，T_A = 25°C（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
t_{PHL}	传播延迟时间，高电平到低电平	输入中点至输出中点，V_{OD} = 20mV		56		ns
t_{PHL}	传播延迟时间，高电平到低电平	输入中点至输出中，V_{OD} = 20mV（R_P = 2.5kΩ 仅开漏）		56		ns
t_{PHL}	传播延迟时间，高电平到低电平	输入中点至输出中点，V_{OD} = 50mV		42		ns
t_{PHL}	传播延迟时间，高电平到低电平	输入中点至输出中点，V_{OD} = 50mV（R_P = 2.5kΩ 仅开漏）		42		ns
t_{PHL}	传播延迟时间，高电平到低电平	输入中点至输出中点，V_{OD} = 100mV		34	40	ns
t_{PHL}	传播延迟时间，高电平到低电平	输入中点至输出中，V_{OD} = 100mV（R_P = 2.5kΩ 仅开漏）		34	40	ns
t_{PHL}	传播延迟时间，高电平到低电平	输入中点至输出中点，V_{OD} = 100mV，-40℃ 至 125℃			50	ns
t_{PLH}	传播延迟时间，从低电平到高电平	输入中点至输出中点，V_{OD} = 20mV（仅推挽）		54		ns
t_{PLH}	传播延迟时间，从低电平到高电平	输入中点至输出中点，V_{OD} = 50mV（仅推挽）		39		ns
t_{PLH}	传播延迟时间，从低电平到高电平	输入中点至输出中点，V_{OD} = 100mV（仅推挽）		32	39	ns
t_{PLH}	传播延迟时间，从低电平到高电平	输入中点至输出中点，V_{OD} = 100mV，-40℃ 至 125℃（仅推挽）			50	ns
t_{PD} 偏斜	传播延迟偏斜	以 tPDLH 和 tPDHL 之间的绝对差值形式测量，V_{OD} = 100mV（仅推挽）		3.5		ns
t_{PD} 通道间偏斜	通道间传播延迟偏斜（仅双通道和四通道）	V_{CM} = V_S/2，$V_{OVERDRIVE}$ = $V_{UNDERDRIVE}$ = 50mV，10MHz 方波		1.3		ns
f_{TOGGLE}	输入切换频率	V_{IN} = 200mV_{PP} 正弦波，当输出高电平达到 (V+) - (V-) 的 90% 或输出低电平达到 (V+) - (V-) 的 10% 时		12		MHz
t_R	上升时间	在 20% 至 80% 范围内测得（仅推挽）		1.5		ns
t_F	下降时间	在 20% 至 80% 时测量		1.5		ns
t_{ON}	上电时间	上电期间，(V+)必须超过 1.65V 且持续 32μs，输出才能反映输入情况		32		μs

Copyright © 2026 Texas Instruments Incorporated

5.9 典型特性

T_A = 25°C，V_S = 5V，C_L = 15pF，V_{CM} = V_S/2V，$V_{UNDERDRIVE}$ = 50mV，$V_{OVERDRIVE}$ = 50mV（除非另有说明）。

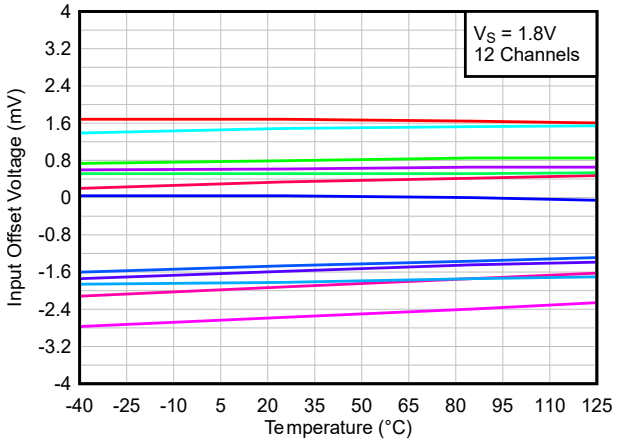


图 5-1. 失调电压与温度间的关系，1.8V

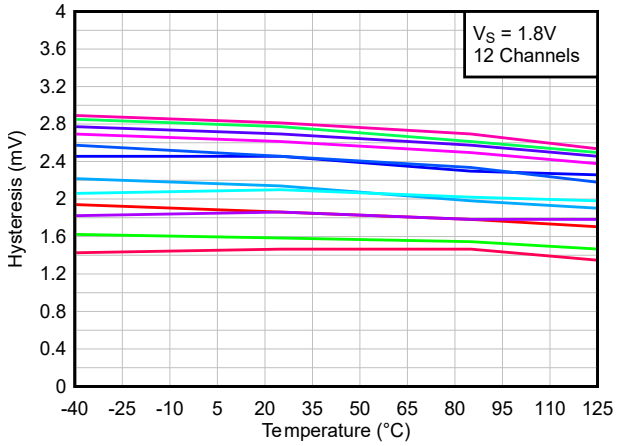


图 5-2. 迟滞与温度间的关系，1.8V

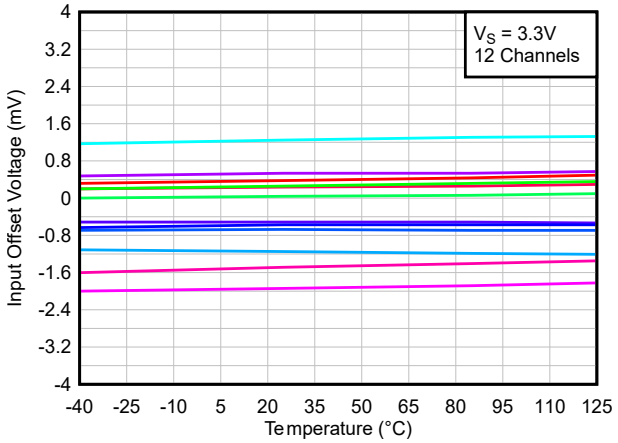


图 5-3. 失调电压与温度间的关系，3.3V

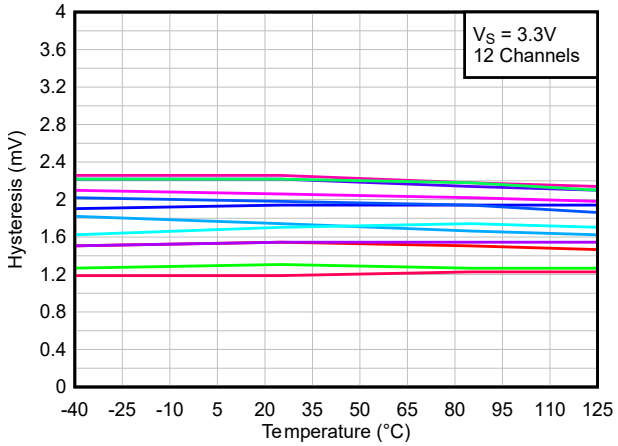


图 5-4. 迟滞与温度间的关系，3.3V

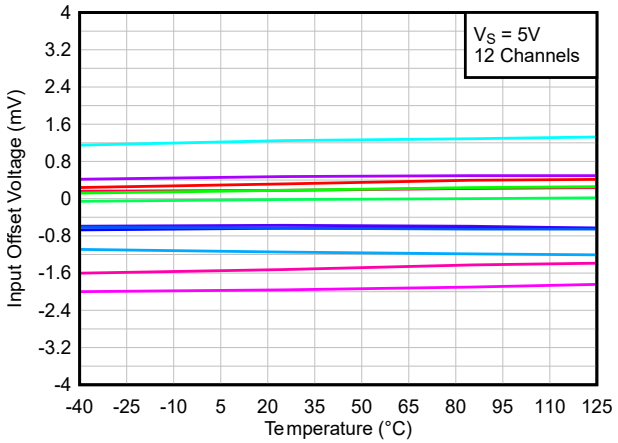


图 5-5. 失调电压与温度间的关系，5V

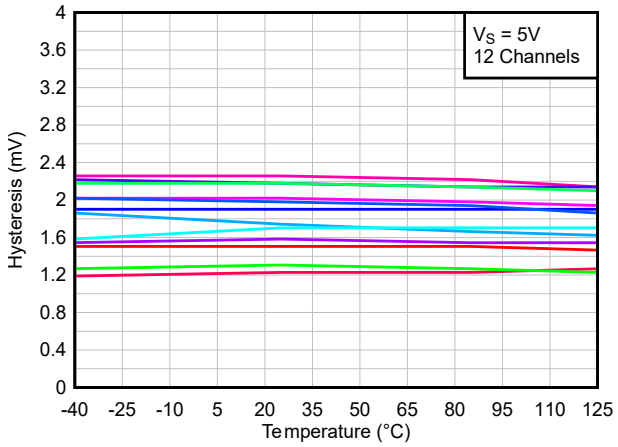


图 5-6. 迟滞与温度间的关系，5V

Copyright © 2026 Texas Instruments Incorporated

5.9 典型特性 (续)

T_A = 25°C，V_S = 5V，C_L = 15pF，V_{CM} = V_S/2V，$V_{UNDERDRIVE}$ = 50mV，$V_{OVERDRIVE}$ = 50mV（除非另有说明）。

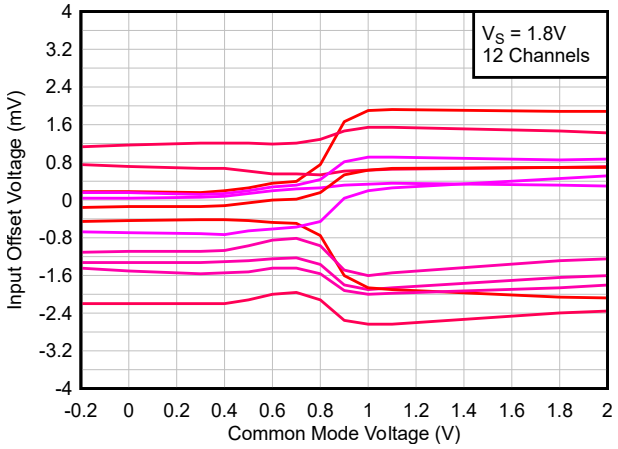


图 5-7. 失调电压与共模电压间的关系，1.8V

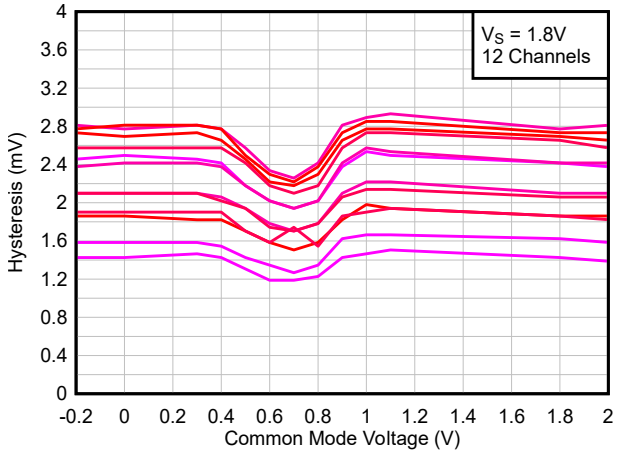


图 5-8. 迟滞与共模电压间的关系，1.8V

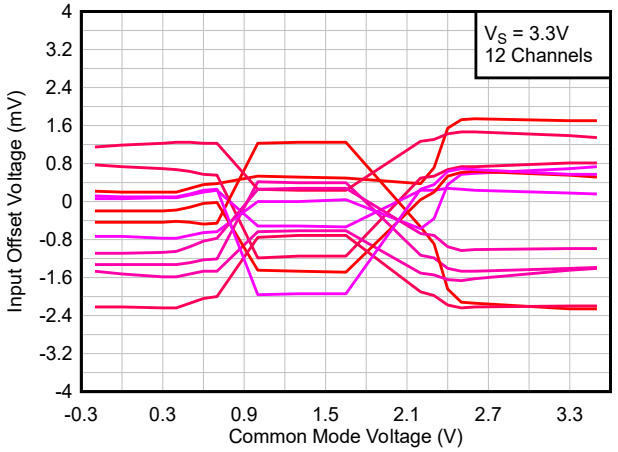


图 5-9. 失调电压与共模电压间的关系，3.3V

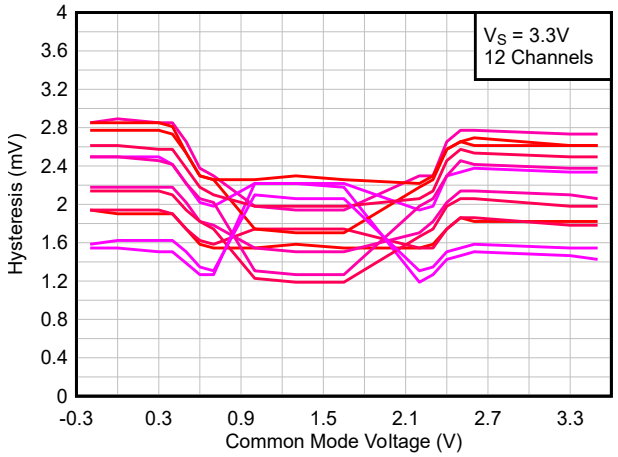


图 5-10. 迟滞与共模电压间的关系，3.3V

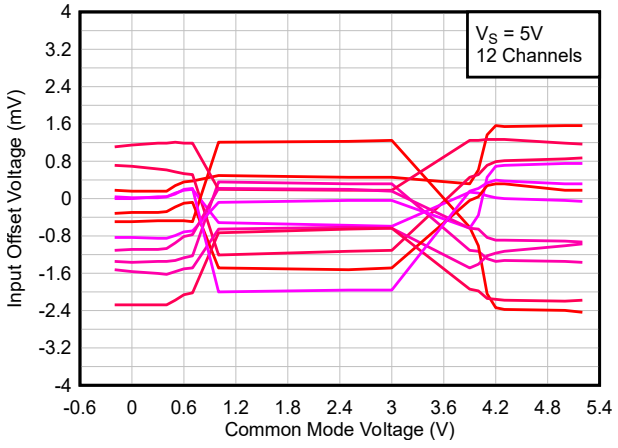


图 5-11. 失调电压与共模电压间的关系，5V

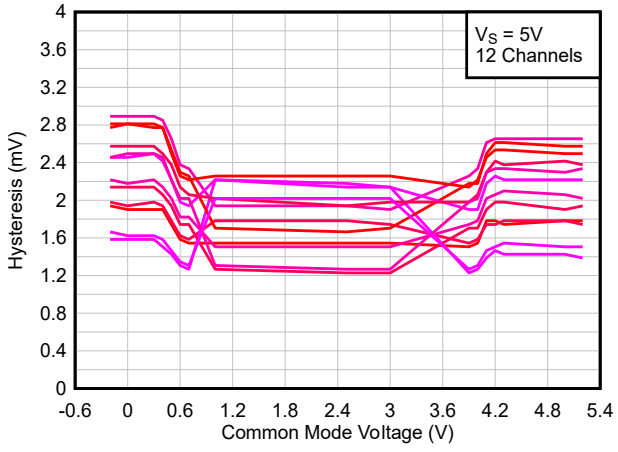


图 5-12. 迟滞与共模电压间的关系，5V

Copyright © 2026 Texas Instruments Incorporated

5.9 典型特性 (续)

T_A = 25°C，V_S = 5V，C_L = 15pF，V_{CM} = V_S/2V，$V_{UNDERDRIVE}$ = 50mV，$V_{OVERDRIVE}$ = 50mV（除非另有说明）。

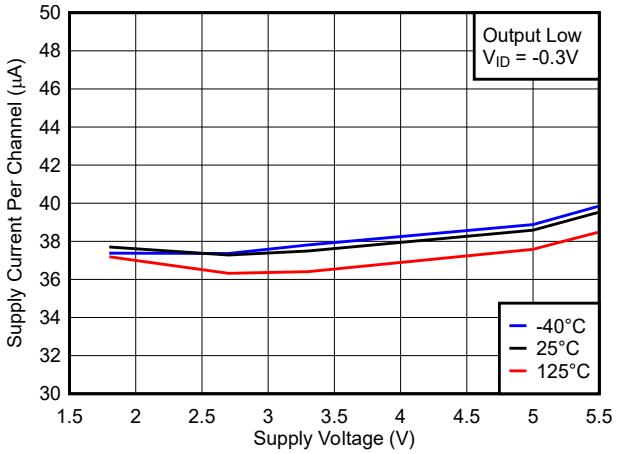


图 5-13. 电源电流与
电源电压间的关系（输出低电平）

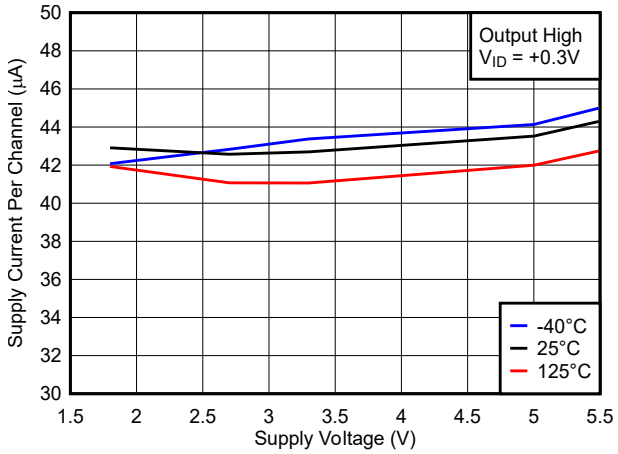


图 5-14. 电源电流与
电源电压间的关系（输出高电平）

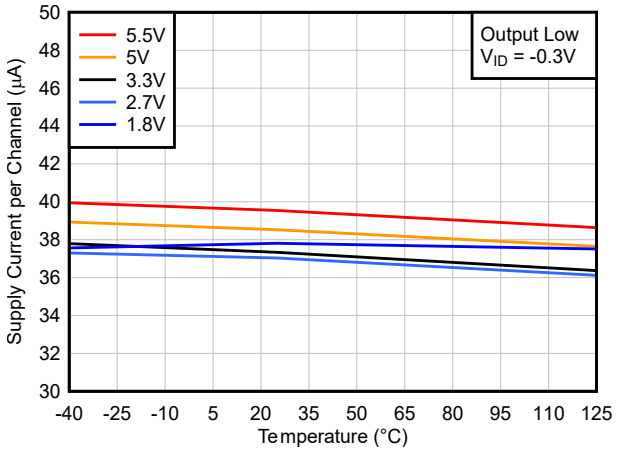


图 5-15. 电源电流与
温度间的关系（输出低电平）

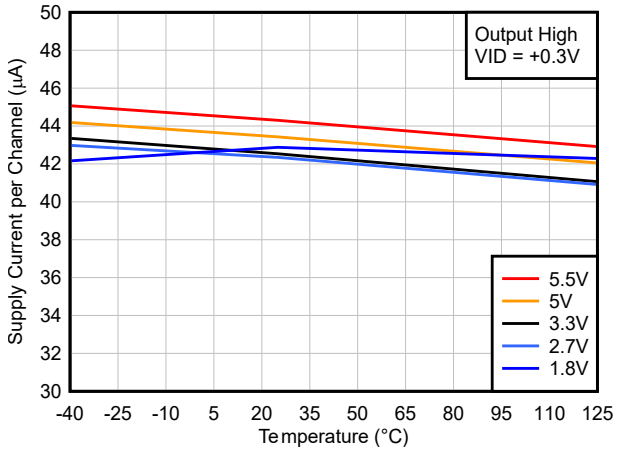


图 5-16. 电源电流与
温度间的关系（输出高电平）

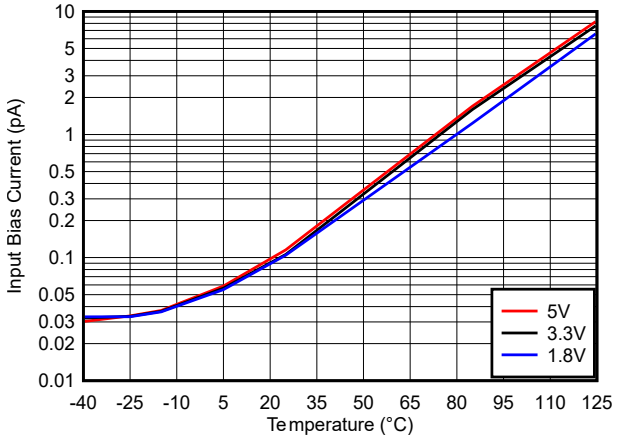


图 5-17. 输入偏置电流与
温度间的关系

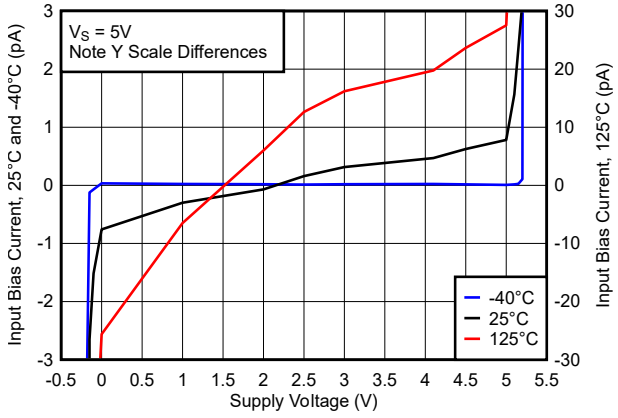


图 5-18. 输入偏置电流与
共模电压之间的关系，5V

Copyright © 2026 Texas Instruments Incorporated

5.9 典型特性 (续)

T_A = 25°C，V_S = 5V，C_L = 15pF，V_{CM} = V_S/2V，$V_{UNDERDRIVE}$ = 50mV，$V_{OVERDRIVE}$ = 50mV（除非另有说明）。

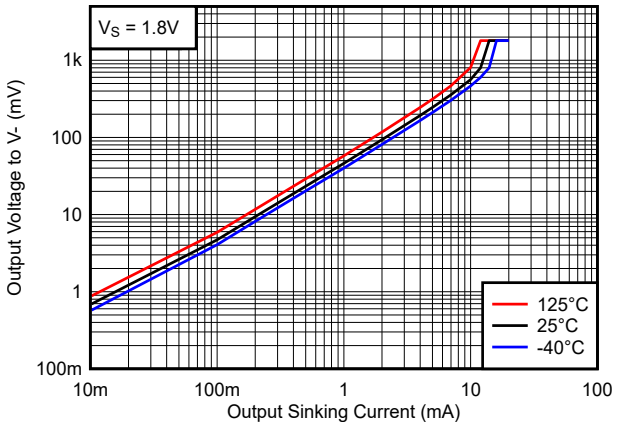


图 5-19. 输出电压与输出灌电流间的关系，1.8V

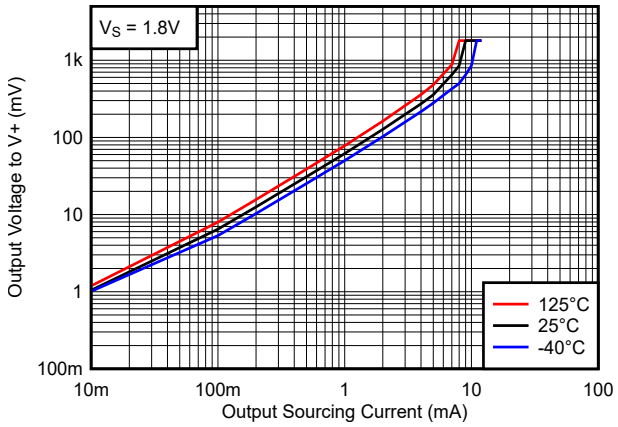


图 5-20. 输出电压与输出拉电流间的关系（仅推挽），1.8V

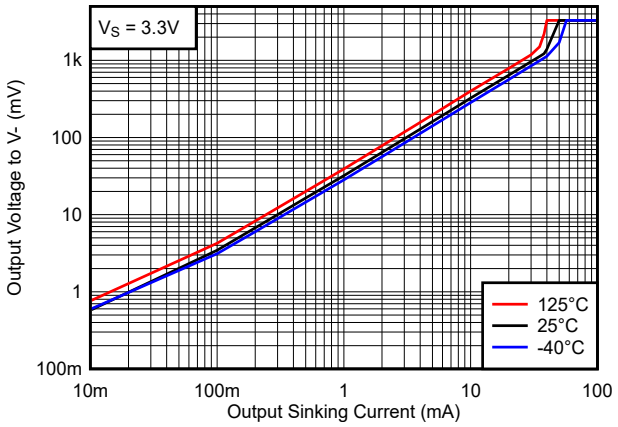


图 5-21. 输出电压与输出灌电流间的关系，3.3V

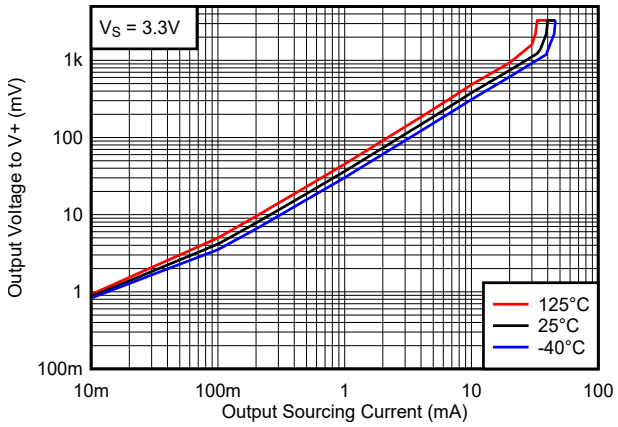


图 5-22. 输出电压与输出拉电流间的关系（仅推挽），3.3V

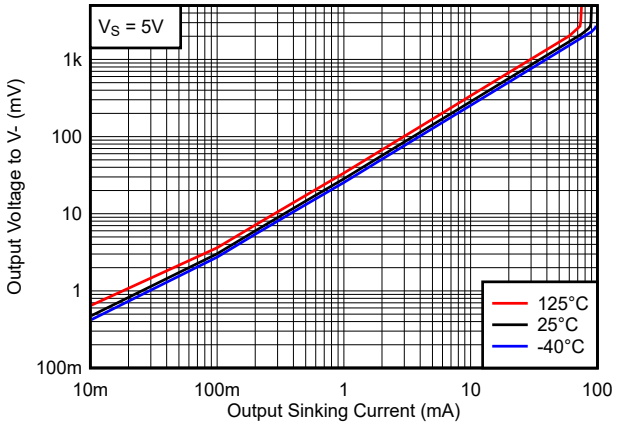


图 5-23. 输出电压与输出灌电流间的关系，5V

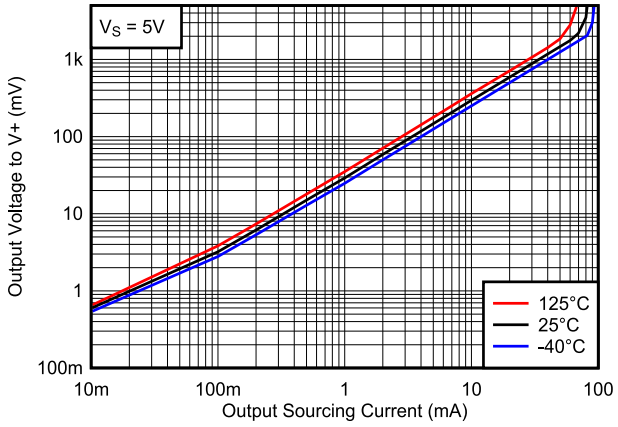


图 5-24. 输出电压与输出拉电流间的关系（仅推挽），5V

Copyright © 2026 Texas Instruments Incorporated

5.9 典型特性 (续)

T_A = 25°C，V_S = 5V，C_L = 15pF，V_{CM} = V_S/2V，$V_{UNDERDRIVE}$ = 50mV，$V_{OVERDRIVE}$ = 50mV（除非另有说明）。

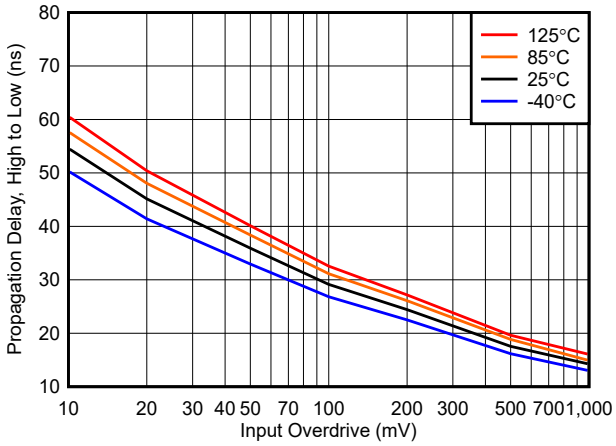


图 5-25. 在 1.8V 时高电平到低电平的传播延迟与过驱间的关系

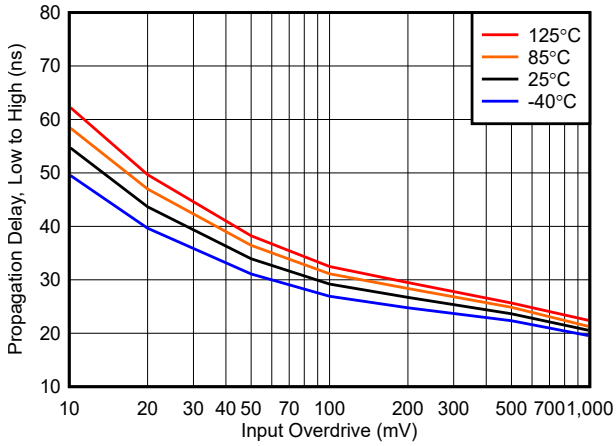


图 5-26. 在 1.8V 时低电平到高电平的传播延迟与过驱间的关系

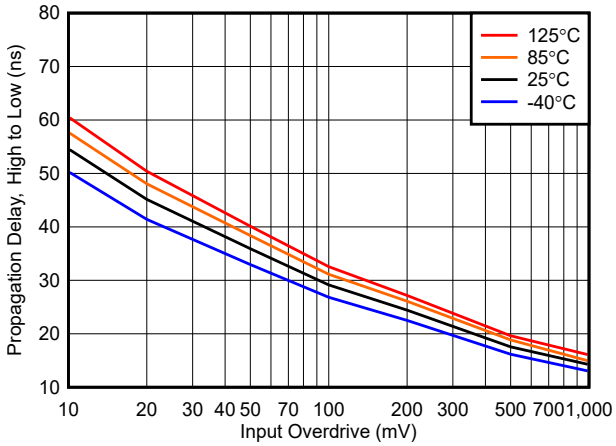


图 5-27. 在 1.8V 时高电平到低电平的传播延迟与过驱间的关系

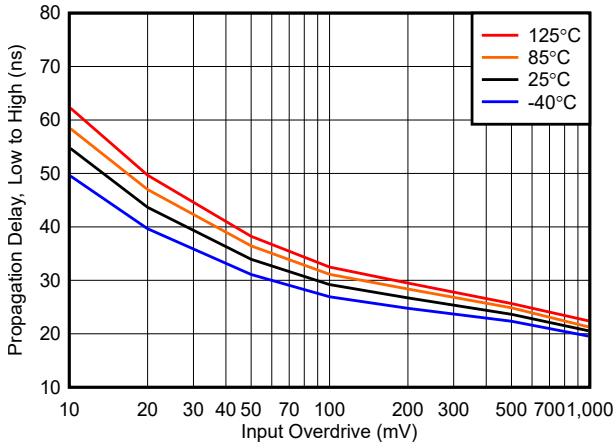


图 5-28. 在 1.8V 时低电平到高电平的传播延迟与过驱间的关系

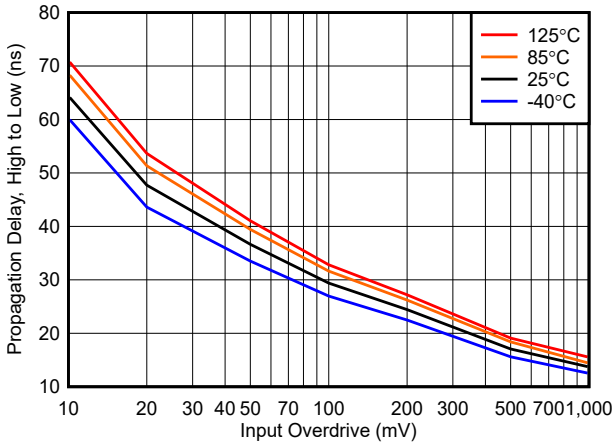


图 5-29. 在 1.8V 时高电平到低电平的传播延迟与过驱间的关系

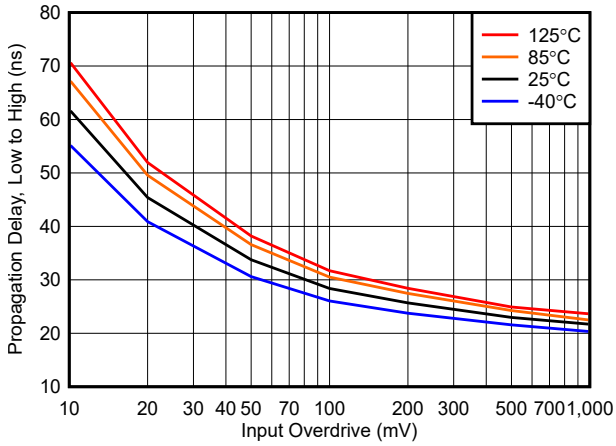


图 5-30. 在 1.8V 时低电平到高电平的传播延迟与过驱间的关系

Copyright © 2026 Texas Instruments Incorporated

5.9 典型特性 (续)

T_A = 25°C，V_S = 5V，C_L = 15pF，V_{CM} = V_S/2V，$V_{UNDERDRIVE}$ = 50mV，$V_{OVERDRIVE}$ = 50mV（除非另有说明）。

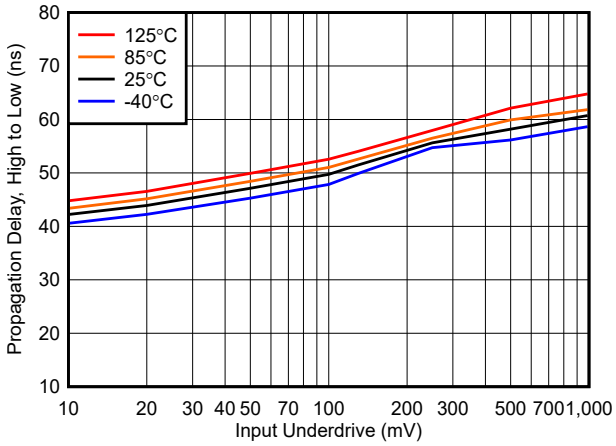


图 5-31. 在 1.8V 时高电平到低电平的传播延迟与欠驱间的关系

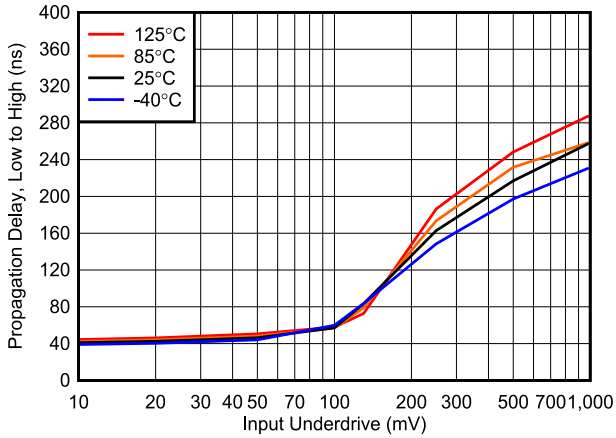


图 5-32. 在 1.8V 时低电平到高电平的传播延迟与欠驱间的关系

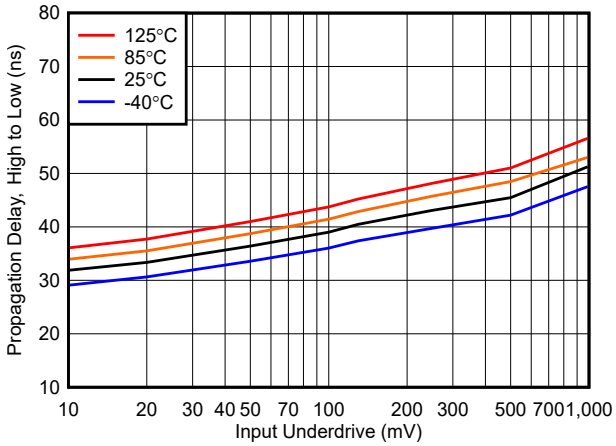


图 5-33. 在 1.8V 时高电平到低电平的传播延迟与欠驱间的关系

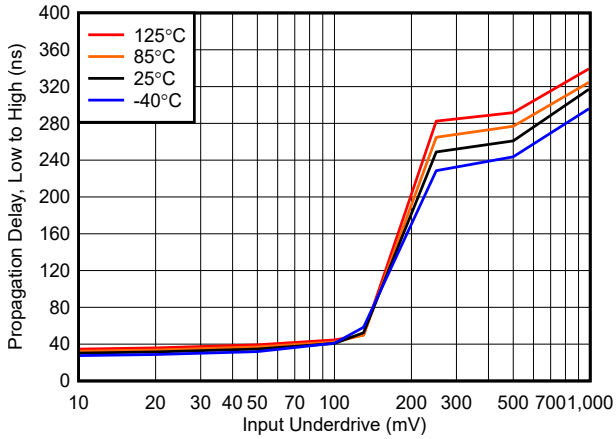


图 5-34. 在 1.8V 时低电平到高电平的传播延迟与欠驱间的关系

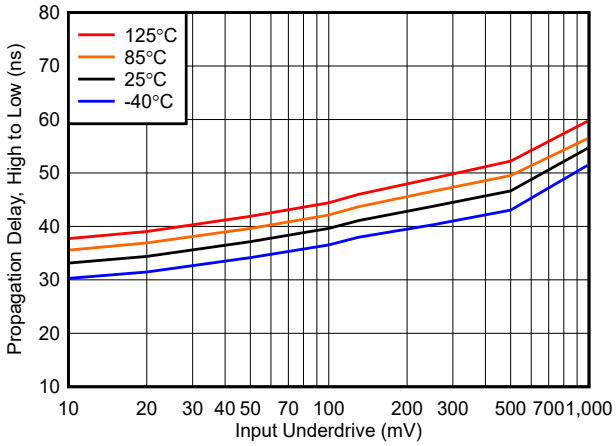


图 5-35. 在 1.8V 时高电平到低电平的传播延迟与欠驱间的关系

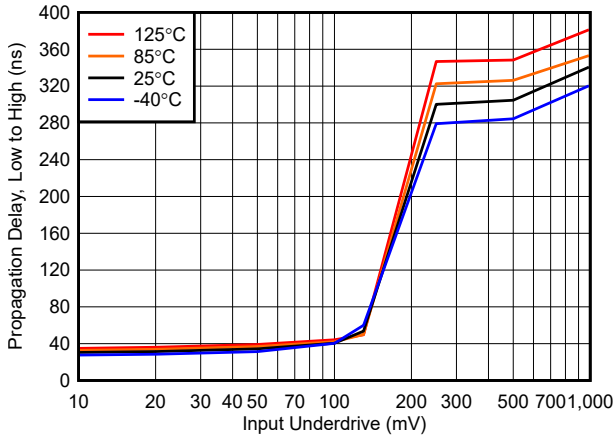


图 5-36. 在 1.8V 时低电平到高电平的传播延迟与欠驱间的关系

Copyright © 2026 Texas Instruments Incorporated

5.9 典型特性 (续)

T_A = 25°C，V_S = 5V，C_L = 15pF，V_{CM} = V_S/2V，$V_{UNDERDRIVE}$ = 50mV，$V_{OVERDRIVE}$ = 50mV（除非另有说明）。

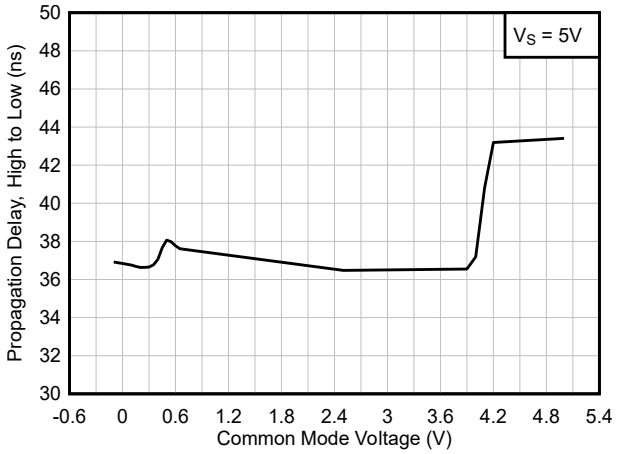


图 5-37. 在 1.8V 时高电平到低电平的传播延迟与共模电压间的关系

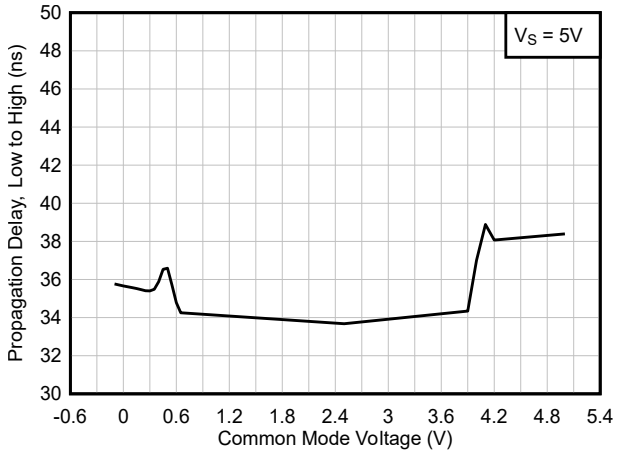


图 5-38. 在 1.8V 时低电平到高电平的传播延迟与共模电压间的关系

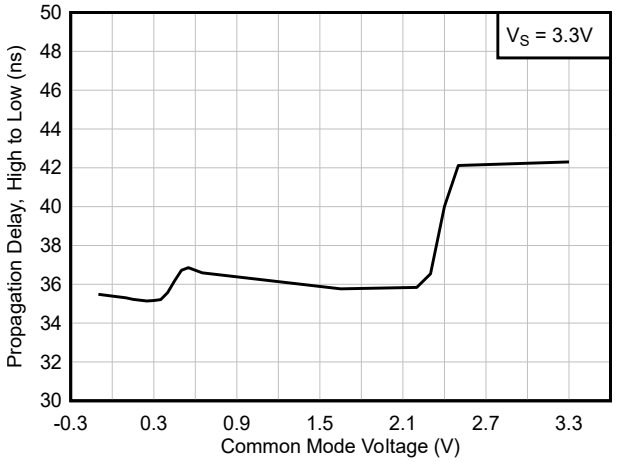


图 5-39. 在 1.8V 时高电平到低电平的传播延迟与共模电压间的关系

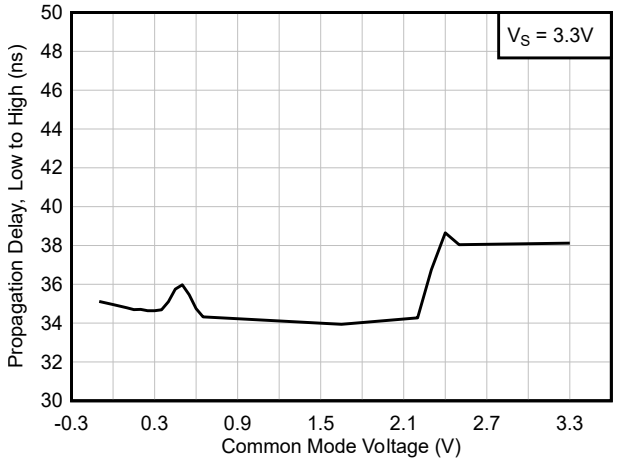


图 5-40. 在 3.3V 时低电平到高电平的传播延迟与共模电压间的关系

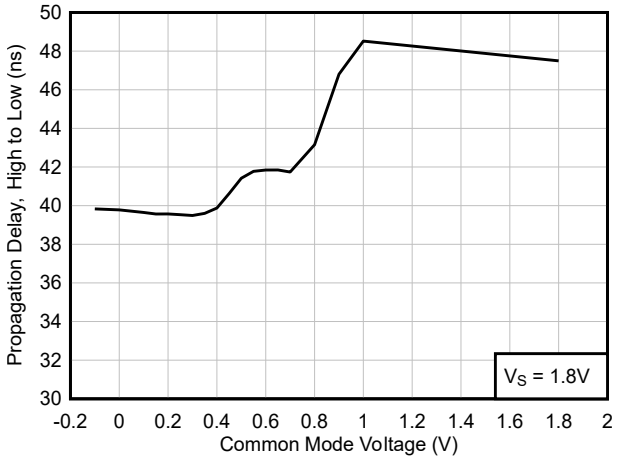


图 5-41. 在 1.8V 时高电平到低电平的传播延迟与共模电压间的关系

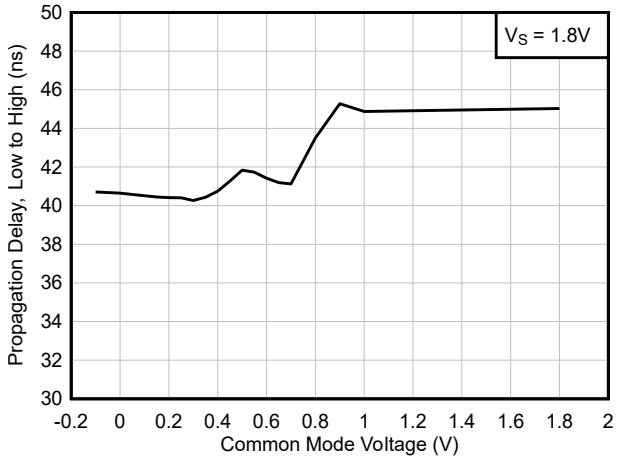


图 5-42. 在 1.8V 时低电平到高电平的传播延迟与共模电压间的关系

Copyright © 2026 Texas Instruments Incorporated

5.9 典型特性 (续)

T_A = 25°C，V_S = 5V，C_L = 15pF，V_{CM} = V_S/2V，$V_{UNDERDRIVE}$ = 50mV，$V_{OVERDRIVE}$ = 50mV（除非另有说明）。

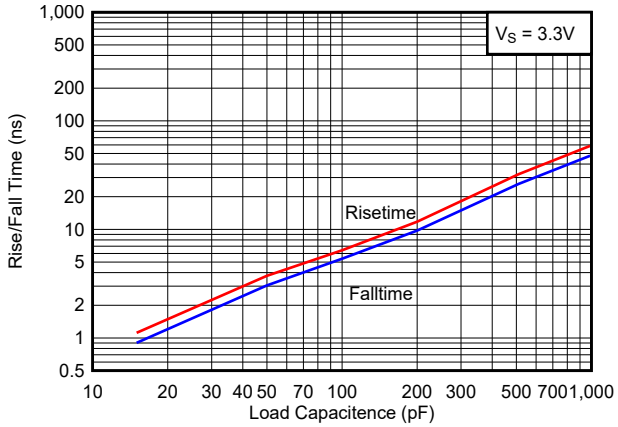


图 5-43. 上升和下降时间与容性负载间的关系

6 详细说明

6.1 概述

TLV321x 器件是具有推挽输出的 40ns 比较器。

6.2 功能方框图

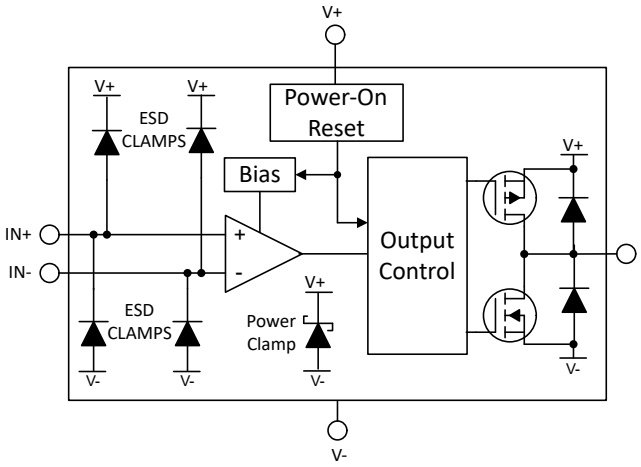


图 6-1. TLV321x 推挽方框图

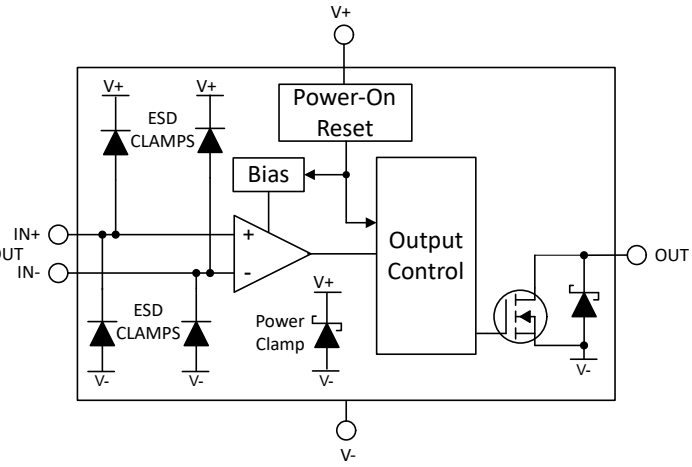


图 6-2. TLV322x 开漏方框图

6.3 特性说明

TLV321/2x 每通道仅消耗 40uA 的电流，传播延迟为 40ns，可检测快速电压和电流瞬态，同时保持低功耗。

TLV321/2x 系列有两个输出选项：

TLV321x 具有**推挽**（灌-拉）输出。

TLV322x 具有**开漏**（仅灌电流）输出，能够上拉至任何高达 5.5V 的电压，而不受比较器电源电压的影响。

6.4 器件功能模式

6.4.1 輸入

TLV32xx 的输入电压范围为从 (V-) - 200mV 到 (V+) + 200mV。差分输入电压 (V_{ID}) 可以是上述范围内的任何电压。当输入电压保持在指定范围内时，比较器输出不会发生相位转换。

轨到轨输入有连接 V+ 电源线路的 ESD 钳位，因此输入电压不得超出电源电压 200mV 以上。TI 建议不要在没有电源电压的情况下向输入施加信号。

将电流限制为 10mA 或更低。TI 建议添加与输入串联的电阻来限制瞬态或故障期间的电流。输入端的电阻分压器或网络均可构成该串联电阻的组成部分。

6.4.1.1 未使用的输入

如果不使用通道，请勿将输入端连接在一起。由于存在高等效带宽和低偏移电压，将输入端直接连接在一起可导致高频率抖动，因为器件会触发其自身的内部宽带噪声。必须将输入端连接到处于指定输入电压范围内并提供至少 50mV 差分电压的任何可用电压。例如，可以将一个输入端接地，而将另一个输入端连接到基准电压，甚至连接到 V+（只要该输入端直接连接到 V+ 引脚以避免瞬变）。

6.4.2 内部迟滞

TLV32xx 系列包含 1.8mV 的内部迟滞。

Copyright © 2026 Texas Instruments Incorporated

器件迟滞传递曲线如下所示。该曲线是一个涉及三个分量的函数：V_{TH}、V_{OS} 和 V_{HYST}：

- V_{TH} 是实际设定电压或阈值跳变电压。
- V_{OS} 是 V_{IN+} 和 V_{IN-} 之间的内部失调电压。该电压与 V_{TH} 相加以形成实际跳变点，比较器必须响应该跳变点以改变输出状态。
- V_{HYST} 是旨在降低比较器对噪声敏感性的内部迟滞（或跳变窗口）。

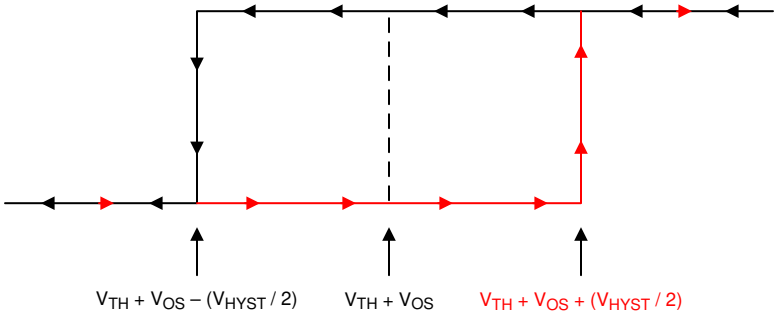


图 6-3. 迟滞传递曲线

6.4.3 输出

TLV321/2x 系列提供推挽和开漏输出选项。

必须将输出视为高速数字器件，建议使用适当的高速数字 PCB 布局和布线技术。

6.4.3.1 TLV321x 推挽输出

TLV321x 具有推挽输出级，既能灌入电流，也能拉出电流。这允许快速对称驱动 MOSFET 栅极等负载，同时无需使用耗电的外部上拉电阻器。推挽输出绝不能连接到另一个输出端。

直接将输出与相对的电源轨短接（当输出为“低电平”时为 V+，当输出为“高电平”时为 V-）会导致热失控，最终导致器件损坏。如果可能发生输出短路，建议使用一个串联限流电阻器来限制功率耗散。

未使用的推挽输出必须保持悬空，绝不能连接到电源、地面或其他输出端。

6.4.3.2 TLV322x 开漏输出

TLV322x 具有一个仅灌入的开漏（通常也被称为集电极开路）输出级，可将输出逻辑电平上拉至一个外部电压（0V 至 5.5V），而不受比较器电源电压 (V+) 的影响。该开漏输出允许对多个开漏输出进行逻辑或运算和逻辑电平转换。

TI 建议将上拉电阻器电流设置为 100uA 至 1mA。较低的上拉电阻值有助于增加上升沿的上升时间，但代价是增加 V_{OL} 和功耗。上升时间将取决于总上拉电阻和总负载电容的时间常数。大阻值上拉电阻 (>1MΩ) 将在输出 RC 时间常数的影响下产生指数上升沿并增加上升时间。

直接将输出与电压源短接会导致热失控，最终导致器件损坏。如果可能发生输出短路，建议使用一个串联限流电阻器来限制功率耗散。

未使用的开漏输出可保持悬空，如果不允许使用悬空引脚，也可以连接到 V- 引脚。

6.4.4 ESD 保护

输入和输出包含针对 (V+) 和 (V-) 的内部 ESD 保护电路。

输入上的电压限制为比电源轨高 0.2V。如果输入端要连接到低阻抗源（如电源或缓冲基准线），TI 建议添加一个与输入端串联的限流电阻，以限制钳位导通时的任何瞬态电流。将电流限制为 10mA 或更低。

Copyright © 2026 Texas Instruments Incorporated

6.4.5 上电复位 (POR)

TLV321x 器件具有内部上电复位 (POR) 电路，用于已知的启动条件。当电源电压 (V+) 逐渐上升时，在超过 1.65V 的 V_{POR} 后，激活 POR 电路并持续长达 32us。当电源电压大于等于最小电源电压时，经过延迟周期后，比较器输出将反映差分输入的状态 (V_{ID})。

输出在 POR 期间 (t_{on}) 保持低电平。开漏和推挽输出选项均支持此功能。

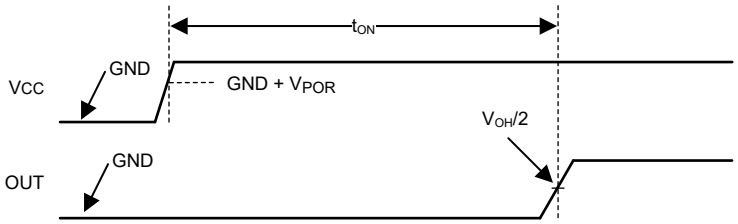


图 6-4. 上电复位时序图

Copyright © 2026 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

7.1 应用信息

7.1.1 基本的比较器定义

7.1.1.1 运行

基本比较器将一个输入端上的输入电压 (V_{IN}) 与另一输入端上的基准电压 (V_{REF}) 进行比较。在下面的 图 7-1 示例中，如果 V_{IN} 小于 V_{REF}，则输出电压 (V_O) 为逻辑低电平 (V_{OL})。如果 V_{IN} 大于 V_{REF}，则输出电压 (V_O) 为逻辑高电平 (V_{OH})。表 7-1 总结了输出条件。只需交换输入引脚，即可反转输出逻辑。

表 7-1. 输出条件

输入条件	输出
IN+ > IN-	高 (V_{OH})
IN+ = IN-	不确定（抖动 - 请参阅迟滞）
IN+ < IN-	低 (V_{OL})

7.1.1.2 传播延迟

在输入超过基准电压和输出响应之间存在一定的延迟，这种延迟称为传播延迟。输入从高电平转换为低电平和从低电平转换为高电平时，传播延迟可能不同。如 图 7-1 中的 t_{pLH} 和 t_{pHL} 所示，从输入的中点到输出的中点进行测量。

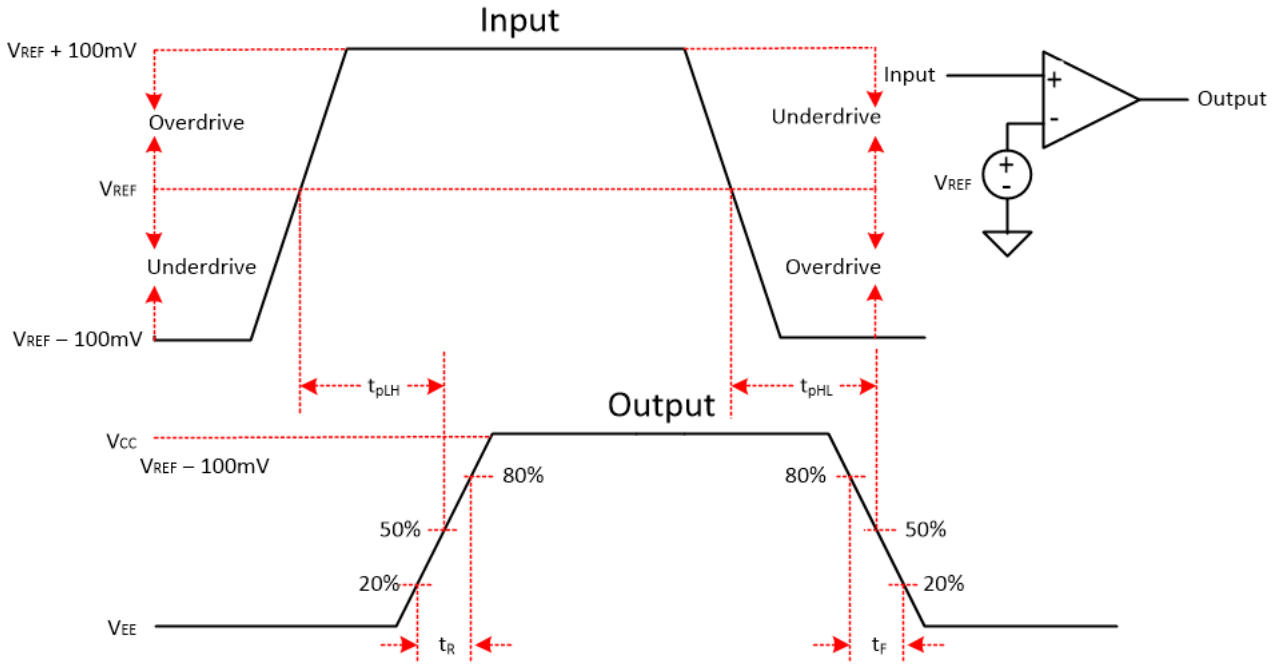


图 7-1. 比较器时序图

7.1.1.3 过驱电压

过驱电压 V_{OD} 是输入电压超出基准电压的部分（而不是总输入峰值间电压）。过驱电压会影响传播延迟 (t_p)。过驱电压越小，传播延迟越长，尤其在 < 100mV 时。如果需要非常快的速度，使用尽可能大的过驱电压。

上升时间 (t_r) 和下降时间 (t_f) 是从输出波形的 20% 和 80% 点开始的时间。

7.1.2 外部迟滞

如果所施加的差分输入电压接近比较器的失调电压，则基本比较器配置会产生有噪声的“抖动”输出。该情况通常在输入信号非常缓慢地超过比较器的开关阈值时发生。向比较器添加外部迟滞可防止出现这个问题。

TLV321x 器件仅具有 1.8mV 的内部迟滞，因此可以通过正反馈环路形式施加外部迟滞，根据电流输出状态调整比较器的跳变点。外部迟滞会增加内部迟滞。

图 7-2 所示为迟滞传递曲线。该曲线是一个涉及三个分量的函数：V_{TH}、V_{OS} 和 V_{HYST}：

- V_{TH} 是实际设定电压或阈值跳变电压。
- V_{OS} 是 V_{IN+} 和 V_{IN-} 之间的内部失调电压。该电压与 V_{TH} 相加以形成实际跳变点，比较器必须响应该跳变点以改变输出状态。
- V_{HYST} 是旨在降低比较器对噪声敏感性的迟滞（或跳变窗口）。

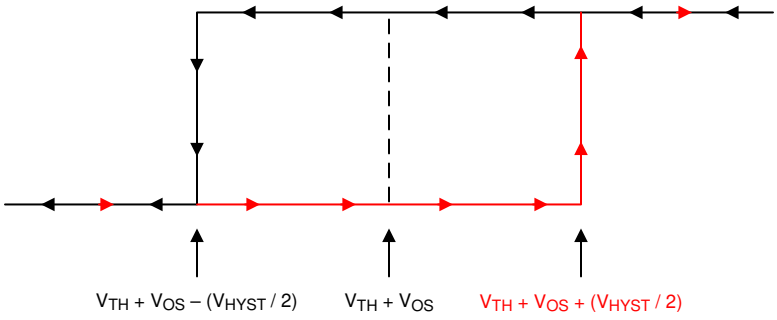


图 7-2. 迟滞传递曲线

有关更多信息，请参阅*具有/不具有迟滞功能的比较器电路*应用手册。

7.1.2.1 具有迟滞功能的反相比较器

具有迟滞功能的反相比较器需要一个以比较器电源电压 (V_{CC}) 为基准的三电阻器网络，如图 7-3 所示。

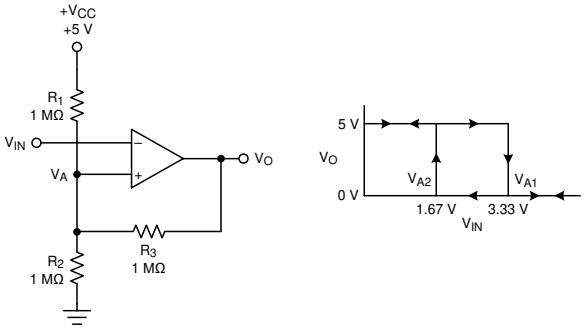


图 7-3. 采用反相配置且具有迟滞功能的 TLV321x

输出为高电平和低电平时的等效电阻器网络如图 7-3 所示。

Copyright © 2026 Texas Instruments Incorporated

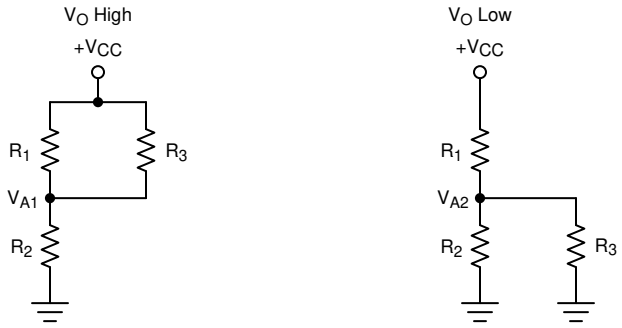


图 7-4. 反相配置电阻器等效网络

当 V_{IN} 小于 V_A 时，输出电压为高电平（为简单起见，假设 V_O 切换至与 V_{CC} 一样高）。三电阻器网络可以表示为 R1 || R3 与 R2 串联，如图 7-4 所示。

下面的方程式 1 定义了从高电平转换到低电平的跳变电压 (V_{A1})。

$$V_{A1} = V_{CC} \times \frac{R2}{(R1 \parallel R3) + R2} \tag{1}$$

当 V_{IN} 大于 V_A 时，输出电压较低。在这种情况下，三电阻器网络可以表示为 R2 || R3 与 R1 串联，如方程式 2 所示。

使用方程式 2 定义从低电平转换到高电平的跳变电压 (V_{A2})。

$$V_{A2} = V_{CC} \times \frac{R2 \parallel R3}{R1 + (R2 \parallel R3)} \tag{2}$$

方程式 3 定义了网络提供的总迟滞。

$$\Delta V_A = V_{A1} - V_{A2} \tag{3}$$

7.1.2.2 具有迟滞功能的同相比较器

具有迟滞功能的同相比较器需要一个双电阻器网络和反相输入端的电压基准 (V_{REF})，如图 7-5 所示。

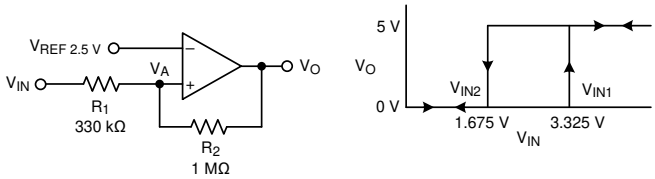


图 7-5. 采用非反相配置、具有迟滞功能的 TLV321x

输出为高电平和低电平时的等效电阻器网络如图 7-6 所示。

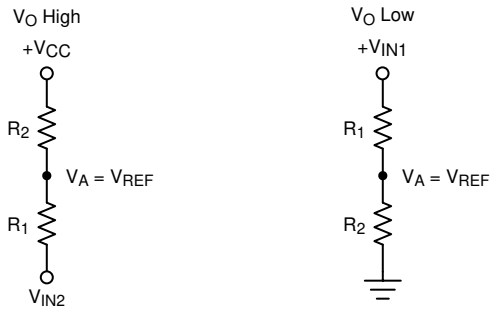


图 7-6. 同相配置电阻器网络

当 V_{IN} 小于 V_{REF} 时，输出为低电平。若要使输出从低电平切换到高电平，V_{IN} 必须高于 V_{IN1} 阈值。请使用方程式 4 来计算 V_{IN1}。

$$V_{IN1} = R1 \times \frac{V_{REF}}{R2} + V_{REF} \tag{4}$$

当 V_{IN} 大于 V_{REF} 时，输出为高电平。若要使比较器切换回低电平状态，V_{IN} 必须降至 V_{IN2} 以下。请使用方程式 5 来计算 V_{IN2}。

$$V_{IN2} = \frac{V_{REF}\,(R1 + R2) - V_{CC} \times R1}{R2} \tag{5}$$

在此电路中，迟滞是 V_{IN1} 和 V_{IN2} 之间的差值，如方程式 6 所示。

$$\Delta V_{IN} = V_{CC} \times \frac{R1}{R2} \tag{6}$$

有关更多信息，请参阅*具有磁滞功能的反相比较器电路*应用手册和*具有磁滞功能的非反相比较器电路*应用手册。

7.2 典型应用

7.2.1 低侧电流检测

图 7-7 显示了一个使用放大器和高速比较器的简单低侧电流检测电路。放大器用于放大分流电阻器上的压降。当输出端的电压达到临界过流阈值时，比较器输出会改变状态。

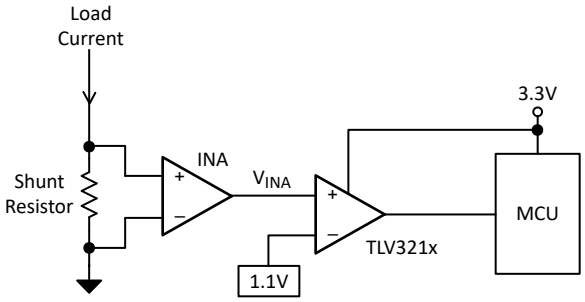


图 7-7. 电流检测

Copyright © 2026 Texas Instruments Incorporated

7.2.1.1 设计要求

对于此设计，请遵循以下设计要求：

- 当放大器输出高于 1.1V 时发出警报（逻辑高电平输出）
- 警报信号为高电平有效
- 使用 3.3V 电源供电

7.2.1.2 详细设计过程

如图 7-7 所示配置电路。

7.2.1.3 应用曲线

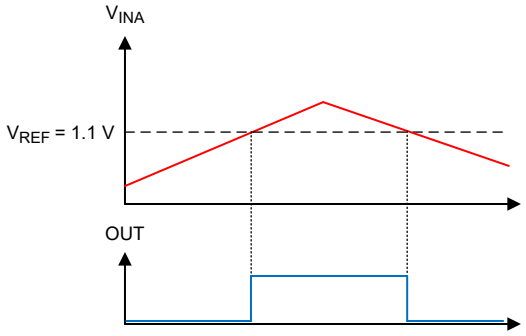


图 7-8. 过流结果

7.3 电源相关建议

由于存在快速输出边沿，务必在电源引脚上安装旁路电容器以防止电源发生振铃和误触发以及振荡。在 (V+) 引脚和接地引脚之间直接放一个低 ESR 0.1µF 陶瓷旁路电容器，直接在*每个*器件上实现电源旁路。输出转换期间会汲取窄峰值电流，特别是对于推挽输出器件而言。这些窄脉冲会导致电源线未被旁路和不良的接地振铃，可能会导致输入电压范围发生变化并产生不准确的比较，甚至造成振荡。

该器件可由“双”电源（(V+) 和 (V-)）或“单”电源（(V+) 和 GND，GND 连接 (V-) 引脚）供电。对于任一类型，输入信号必须保持在建议的输入范围内。请注意，使用“双”电源时，输出现在将“低电平” (V_{OL}) 摆动到 (V-) 电位而不是摆动到 GND。

Copyright © 2026 Texas Instruments Incorporated

7.4 布局

7.4.1 布局指南

对于精确比较器应用，保持电源稳定且将噪声和干扰降至更低至关重要。输出上升和下降时间为几十纳秒，必须被视为高速逻辑器件。旁路电容器必须尽可能靠近电源引脚放置并连接到实心接地层，最好直接放在 (V+) 与 GND 引脚之间。

尽量减少输出和输入之间的耦合，以防止输出振荡。除非输出之间存在 (V+) 或 GND 布线，否则请勿并行布置输出和输入布线，以减少耦合。向输入端添加串联电阻时，将电阻器放在靠近器件的位置。还可以在输出端串联一个低阻值 (<100Ω) 电阻，以抑制非阻抗控制的长迹线上出现任何振铃或反射。为获得理想边缘形状，在进行长距离布线时可以使用带有反向终端的受控阻抗布线。

7.4.2 布局示例

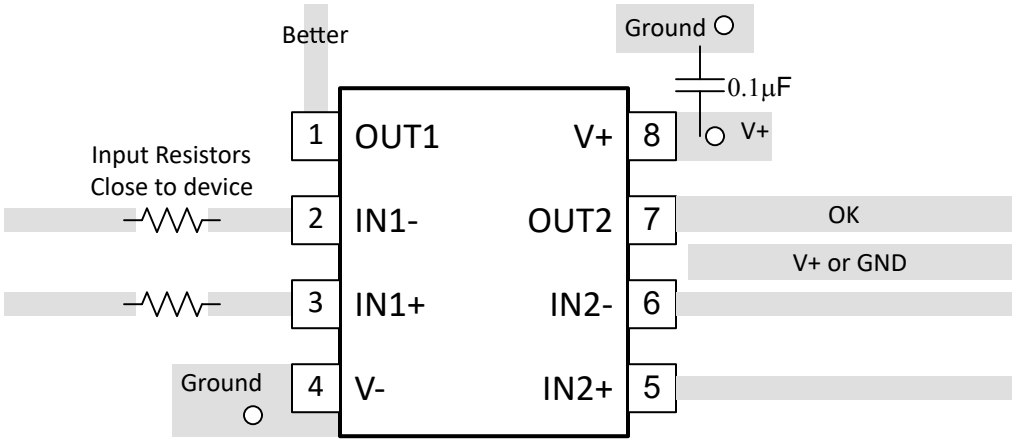


图 7-9. 双通道布局示例

Copyright © 2026 Texas Instruments Incorporated

8 器件和文档支持

8.1 文档支持

8.1.1 相关文档

- 德州仪器 (TI)，*模拟工程师电路设计指导手册：放大器*（请参阅“比较器”一节）- SLYY137
- 德州仪器 (TI)，*精密设计，具有迟滞功能的比较器参考设计* — TIDU020
- 德州仪器 (TI)，*具有和没有磁滞功能的比较器电路* - SBOA219
- 德州仪器 (TI)，*具有迟滞功能的反相比较器电路* - SNOA997
- 德州仪器 (TI)，*具有迟滞功能的非反相比较器电路* - SBOA313

8.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

8.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision B (December 2025) to Revision C (September 2026)	Page
• 删除了 TLV3221（DCK 和 DBV 封装）的“预发布”状态	1
• 删除了 TLV3222（DGK 封装）的“预发布”状态	1

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLV3211DBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	46XF
TLV3211DCKR	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	POST-PLAT AG SPOT	Level-1-260C-UNLIM	-40 to 125	1ZW
TLV3212DGKR	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3WOS
TLV3214PWR	Active	Production	TSSOP (PW) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TLV3214
TLV3221DCKR	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	POST-PLAT AG SPOT	Level-1-260C-UNLIM	-40 to 125	1ZZ
TLV3222DGKR	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3WQS

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TLV3211, TLV3212, TLV3214, TLV3221, TLV3222 :

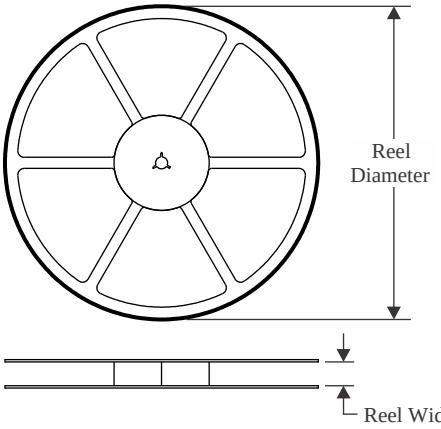
- Automotive : TLV3211-Q1, TLV3212-Q1, TLV3214-Q1, TLV3221-Q1, TLV3222-Q1

NOTE: Qualified Version Definitions:

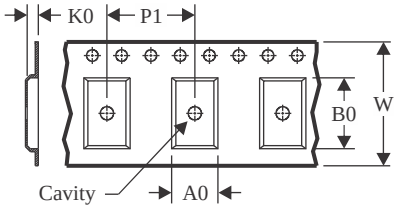
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

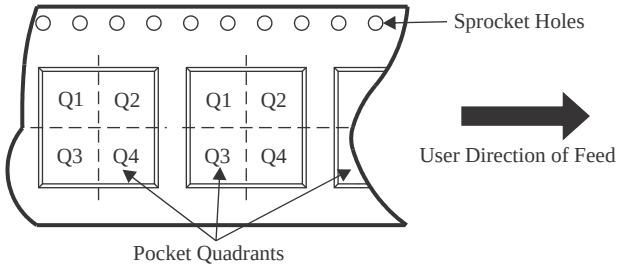


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

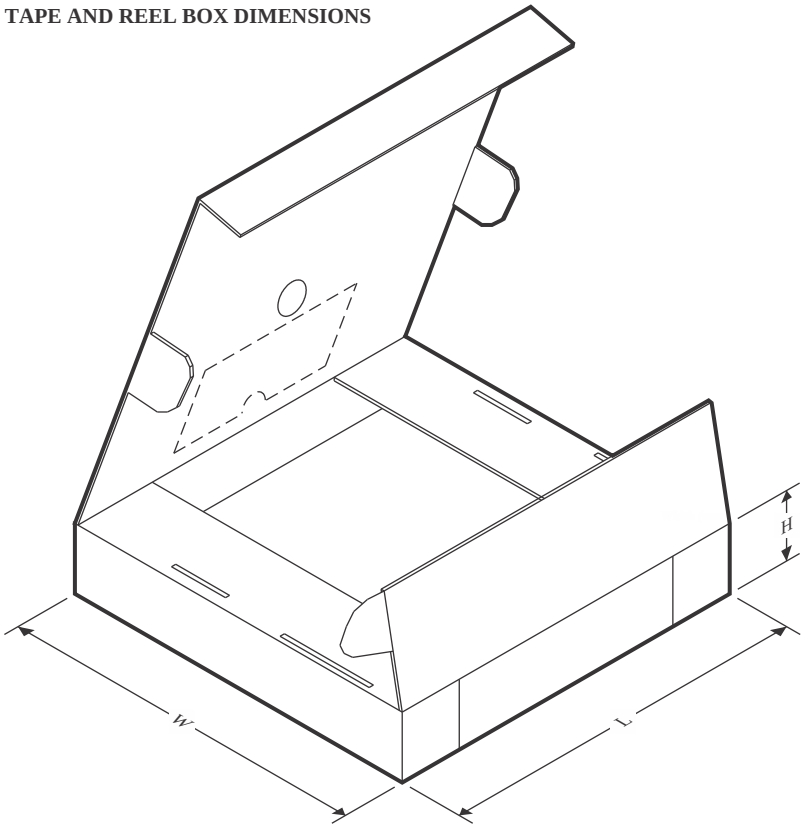
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV3211DCKR	SC70	DCK	5	3000	180.0	8.4	2.3	2.55	1.2	4.0	8.0	Q3
TLV3212DGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TLV3214PWR	TSSOP	PW	14	3000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
TLV3221DCKR	SC70	DCK	5	3000	180.0	8.4	2.3	2.55	1.2	4.0	8.0	Q3
TLV3222DGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

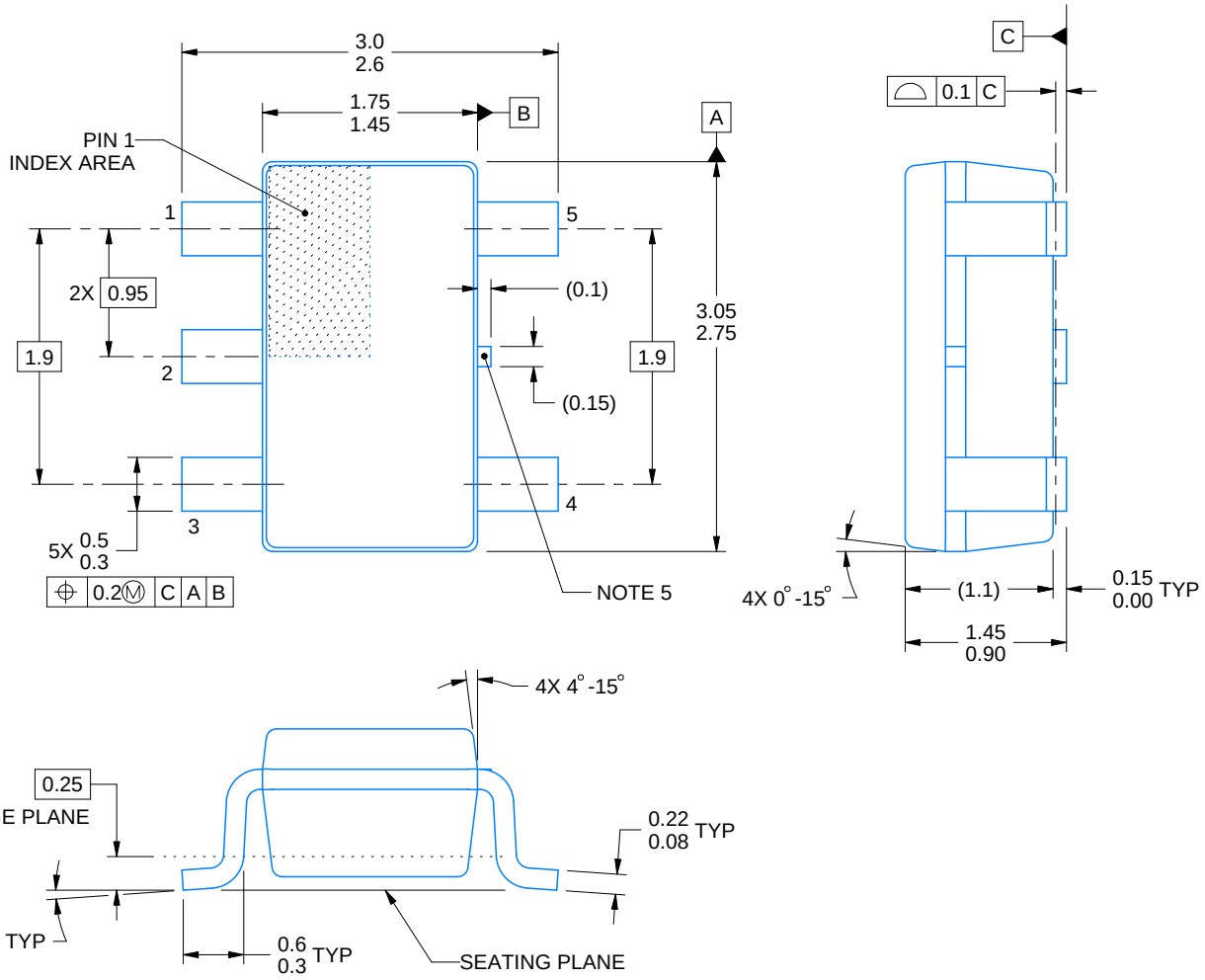
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV3211DCKR	SC70	DCK	5	3000	210.0	185.0	35.0
TLV3212DGKR	VSSOP	DGK	8	2500	353.0	353.0	32.0
TLV3214PWR	TSSOP	PW	14	3000	353.0	353.0	32.0
TLV3221DCKR	SC70	DCK	5	3000	210.0	185.0	35.0
TLV3222DGKR	VSSOP	DGK	8	2500	353.0	353.0	32.0

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

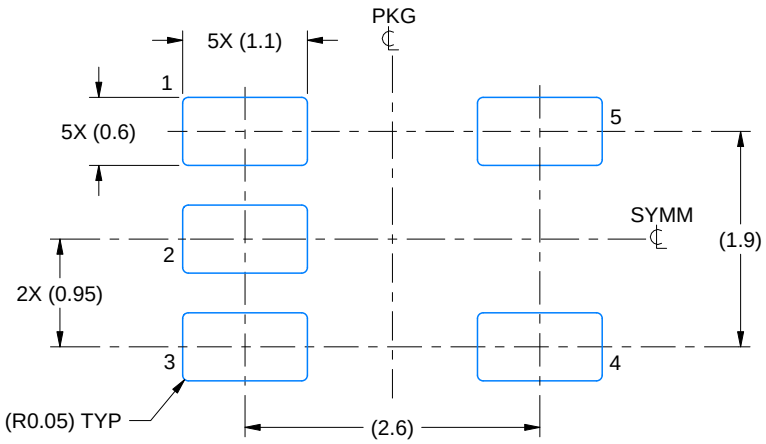
SMALL OUTLINE TRANSISTOR



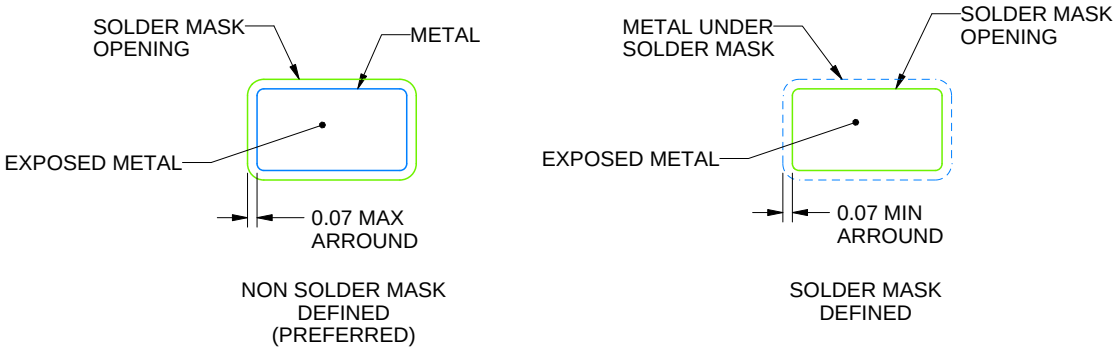
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

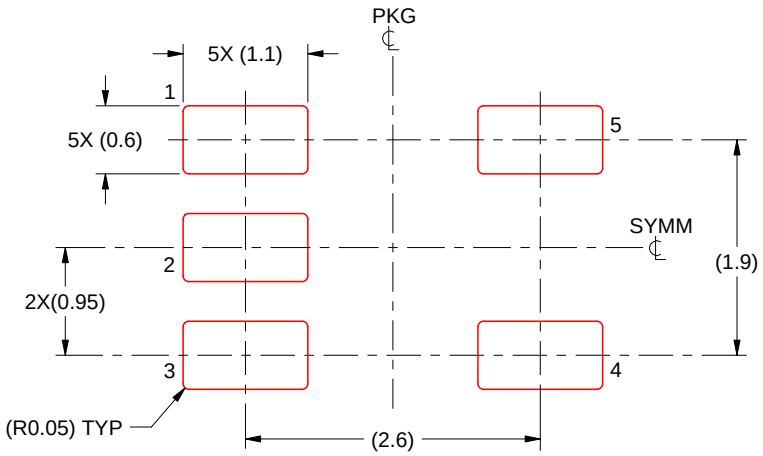


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

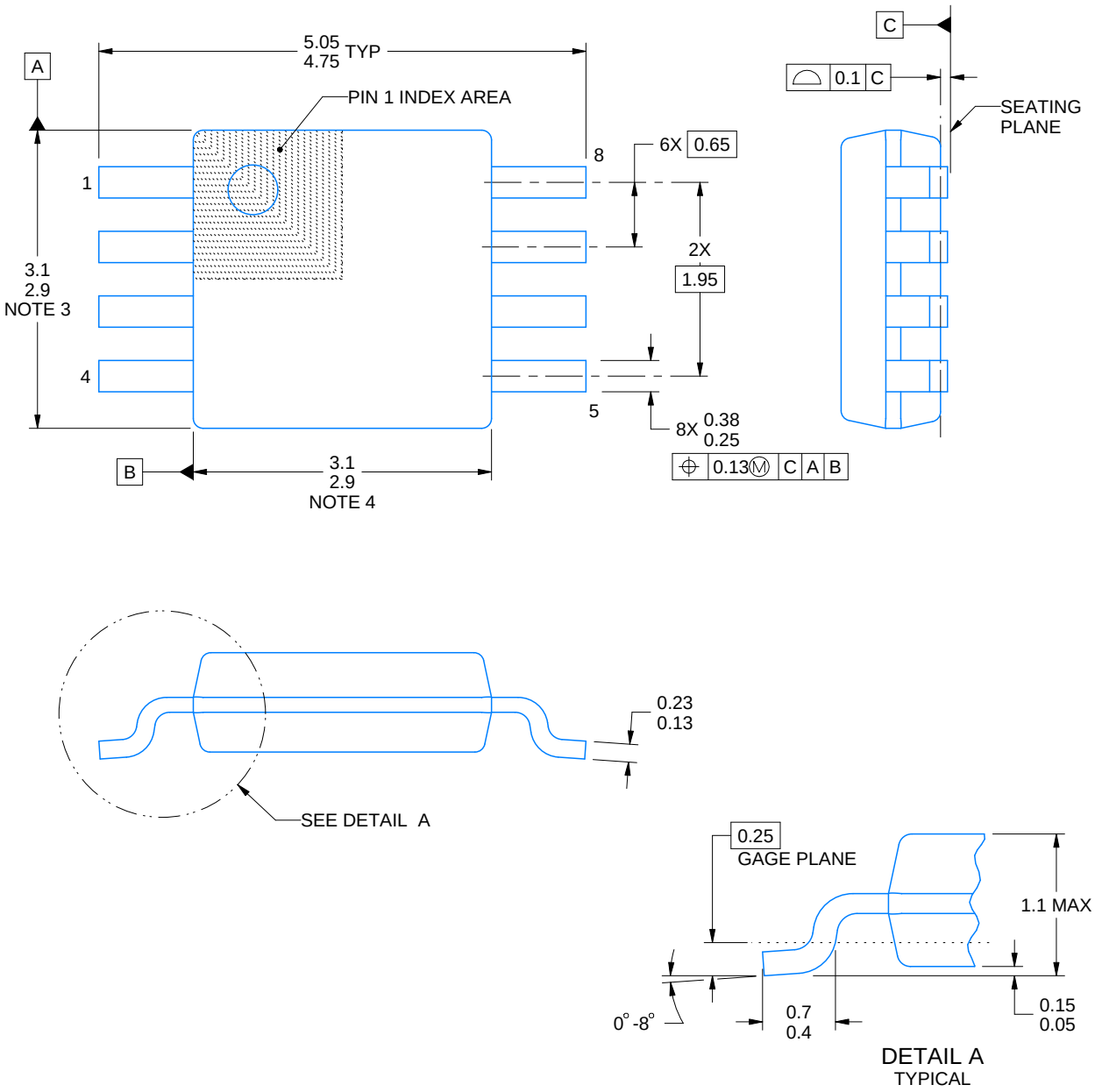
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DGK0008A

VSSOP - 1.1 mm max height

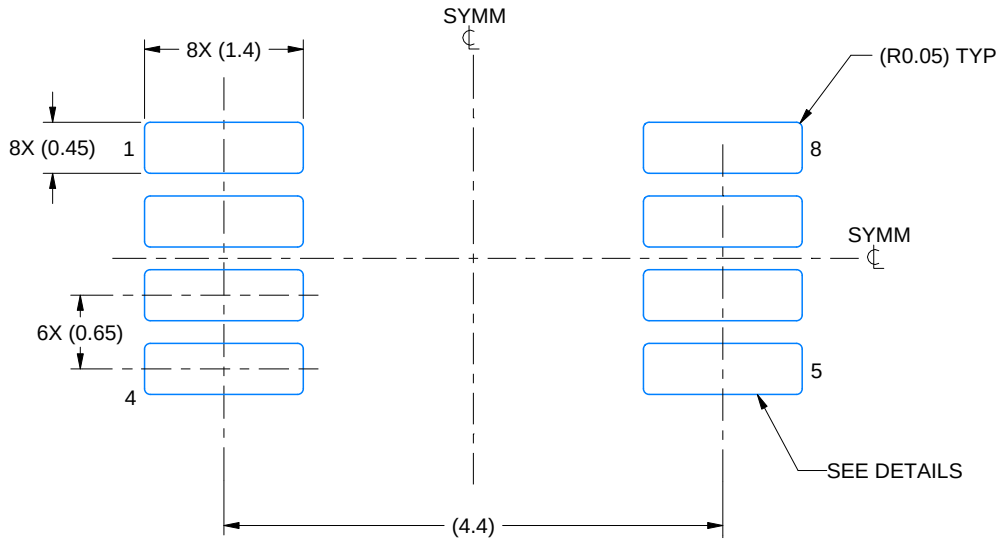
SMALL OUTLINE PACKAGE



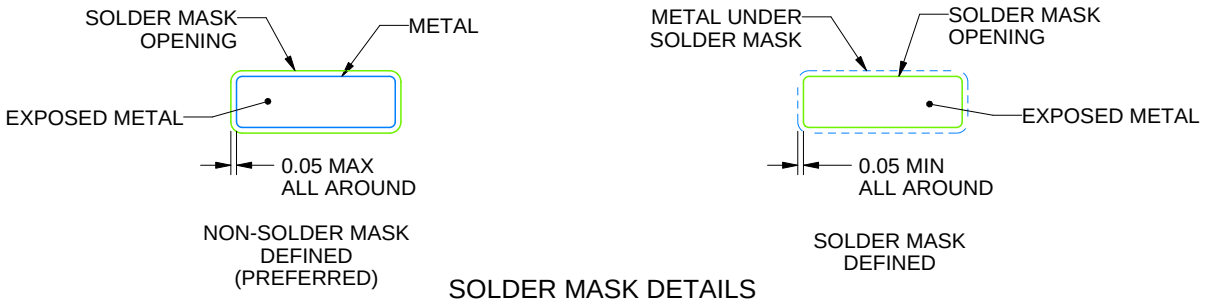
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

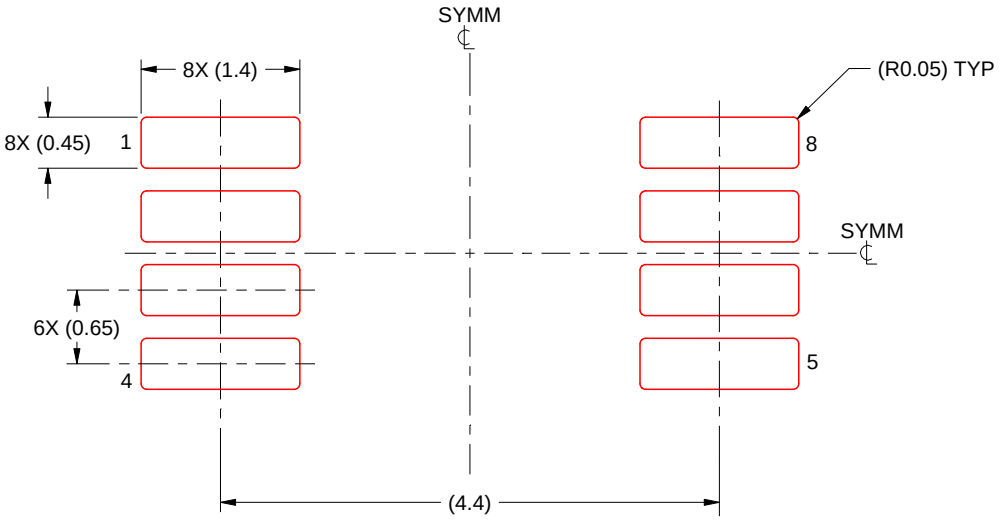


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

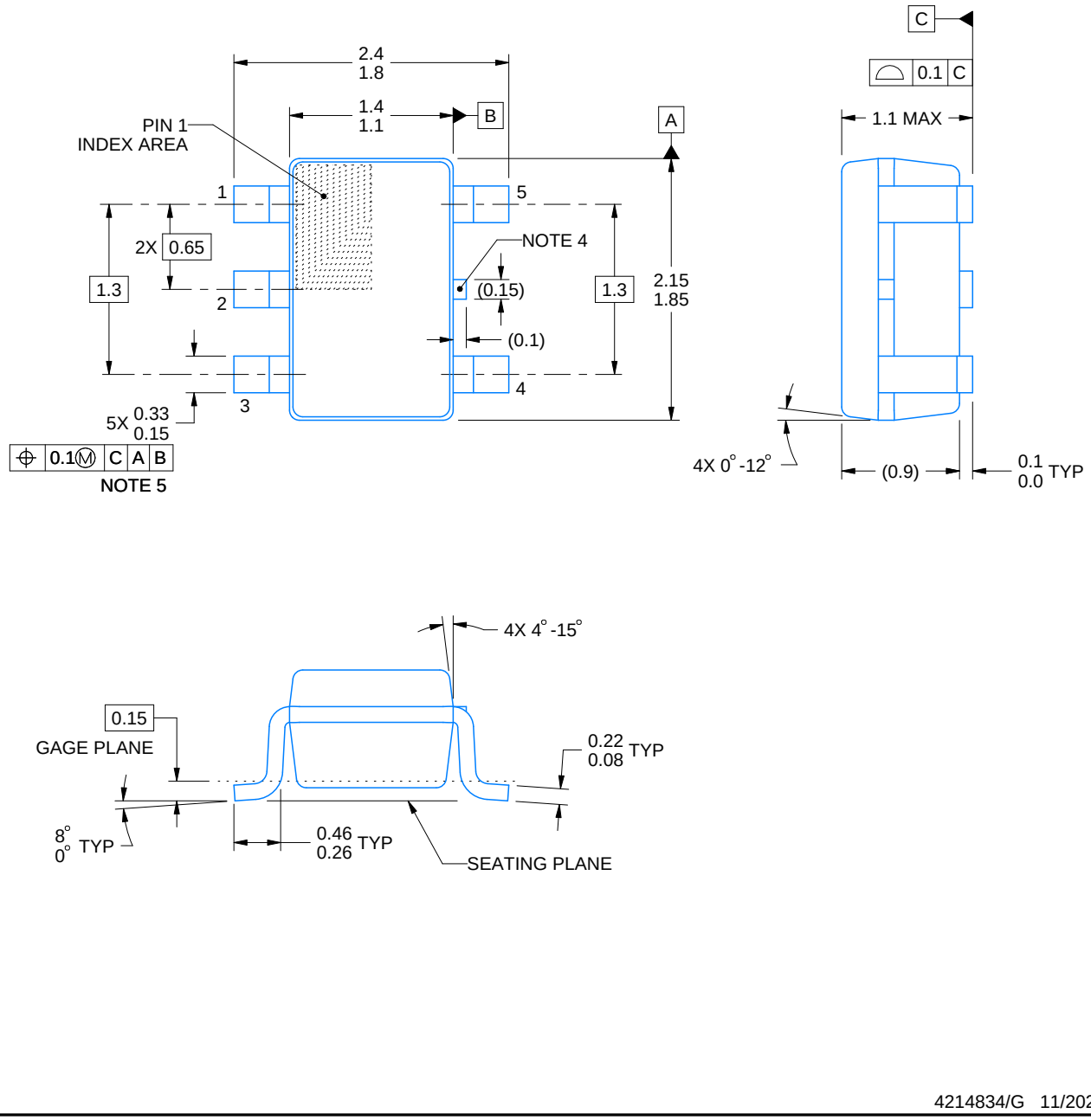
11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DCK0005A

SOT - 1.1 max height

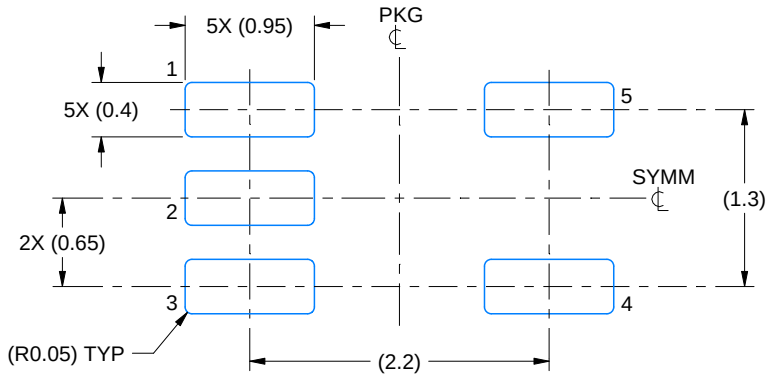
SMALL OUTLINE TRANSISTOR



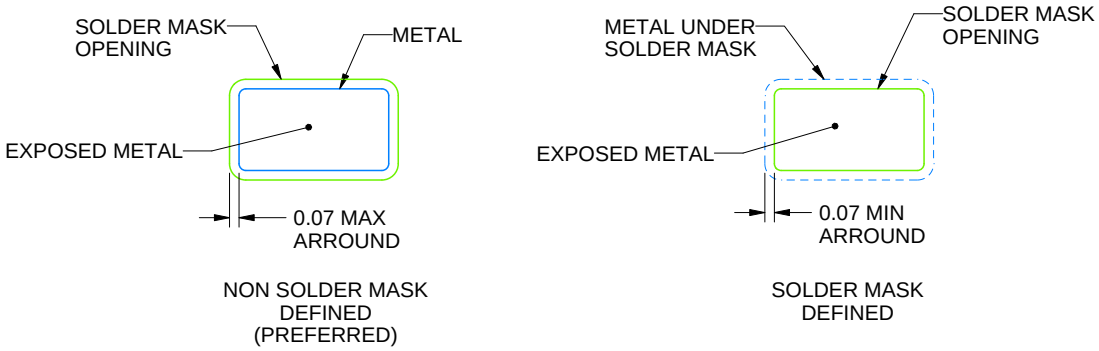
4214834/G 11/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.
6. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

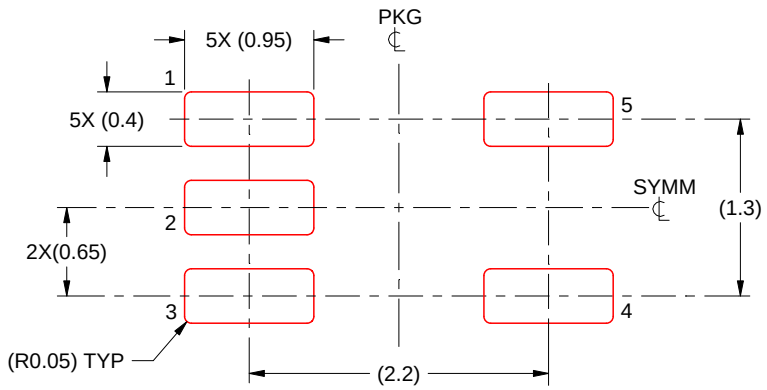


SOLDER MASK DETAILS

4214834/G 11/2024

NOTES: (continued)

7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214834/G 11/2024

NOTES: (continued)

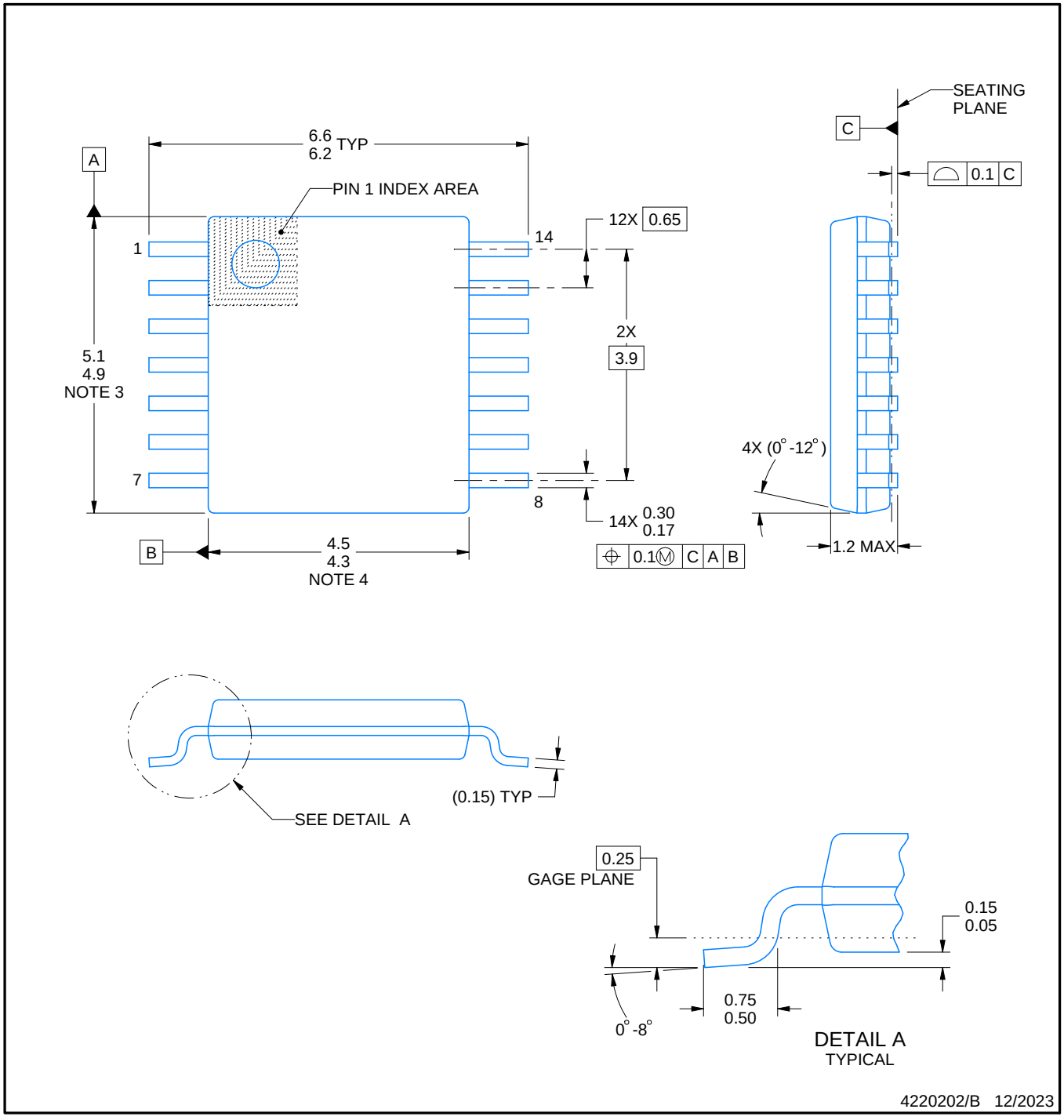
9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

PW0014A

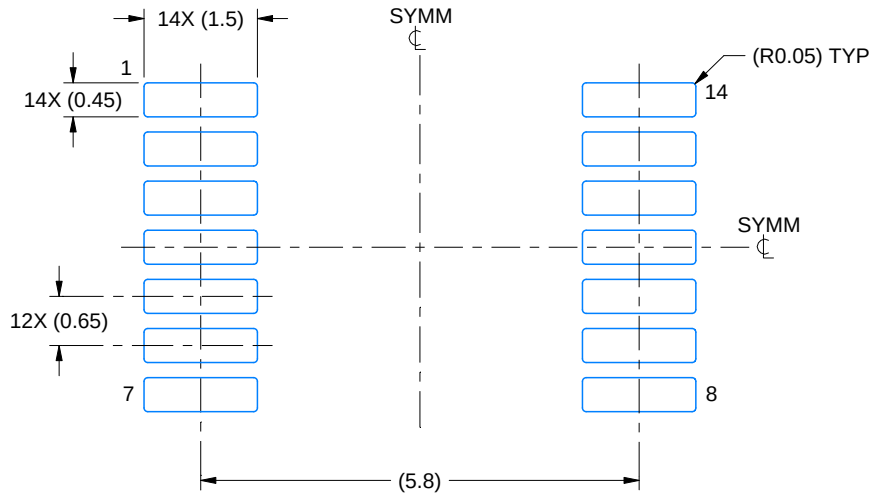
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

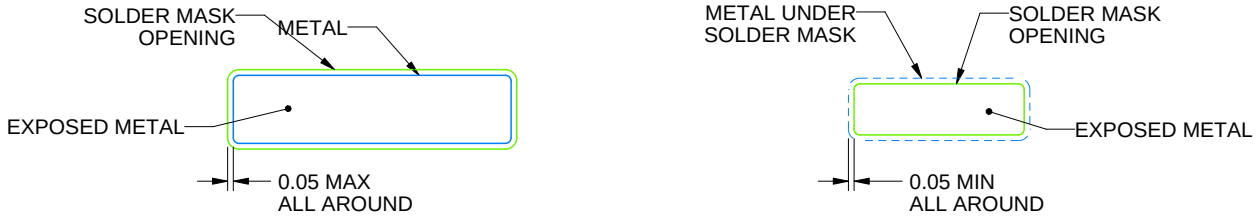


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

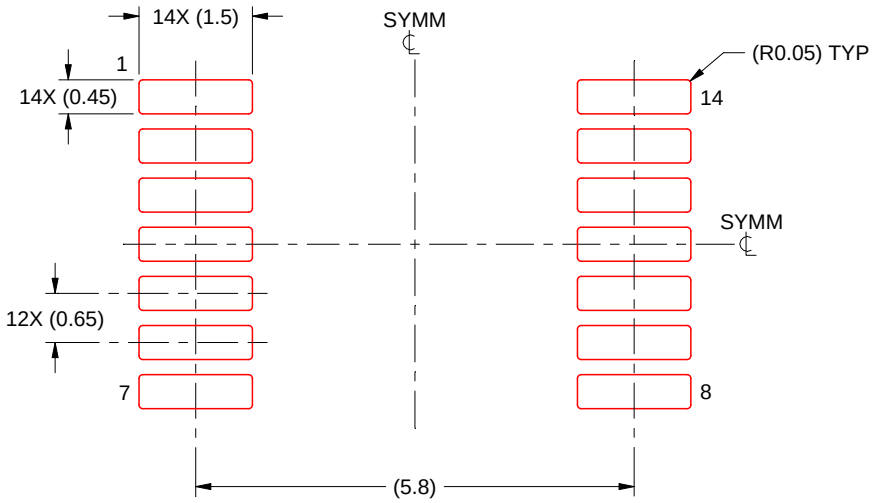


SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月