TPS7H410x-SP 和 TPS7H410x-SEP 抗辐射、3V 至 7V 输入、每通道 3A、多通道同步降压转换器

1 特性

- 电离辐射总剂量 (TID) 特性
  - 提供不超过 100krad(Si) 的耐辐射加固保障 (RHA)
- 确定了单粒子效应 (SEE)
  - 单粒子闩锁 (SEL)、单粒子烧毁 (SEB) 和单粒子栅穿 (SEGR) 在线性能量转移 (LET) = 75MeV-cm^2/mg 以内免疫（测试条件和完整信息请参见 TPS7H4104 SEE 和 TPS7H4102 SEE 辐射报告）
  - 单粒子功能中断 (SEFI) 和单粒子瞬态 (SET) 已在 LET = 75MeV-cm^2/mg 以内表征（测试条件和完整信息请参见 TPS7H4104 SEE 和 TPS7H4102 SEE 辐射报告）
- 输入电压范围：3V 至 7V
- 单通道最大输出电流 3A，多通道并联时可提供更高的电流
- 典型效率 91.1%（典型值），条件为 VIN = 5V、V_{OUT} = 1.8V、I_{OUT} = 1A、f_{SW} = 500kHz
- 集成 62mΩ（高侧）和 55mΩ（低侧）MOSFET（V_{IN} = 5V 时典型值）
- 灵活的开关频率：
  - 100kHz 至 1MHz 内部振荡器
  - 外部同步功能
- 599.48mV ± 1% 的精确电压基准，适用于线路、温度以及 TID
- 单调启动进入预偏压输出
- 每通道 (CHx)
  - 可调斜坡补偿 (RSCx)
  - 可调软启动时间 (SS_TRx)
  - 欠压与过压的电源正常输出监控器 (PWRGDx)
  - 输入使能 (ENx)
- 利用 EN_SEQ 时的上升序列与反向下降序列（仅对 TPS7H4104 有效）
- 通过符合 ASTM E595 标准的塑料封装废气测试
- 可用于军用温度范围（-55°C 至 125°C）

2 应用

- 太空卫星负载点电源
- 卫星电力系统 (EPS)
- 耐辐射电源

3 说明

TPS7H4104 和 TPS7H4102 是针对空间敏感型应用进行优化设计的 7V、每通道 3A 的多通道峰值电流模式同步降压转换器。该器件集成了可独立用于将电源输入电压降压至每相不超过 3A 的不同电压，或通过交错配置将输出电流提升至 12A（TPS7H4104）或 6A（TPS7H4102）的四个（TPS7H4104）或两个（TPS7H4102）相同通道。

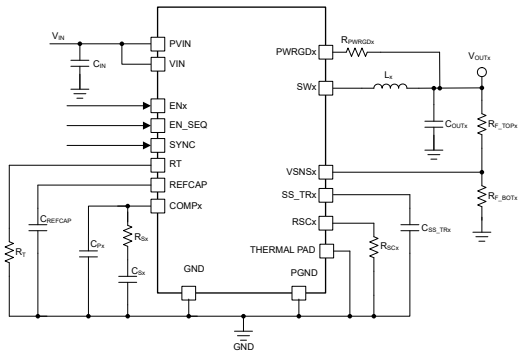
每个通道集成了具备可编程软启动功能与斜率补偿的高侧与低侧功率 MOSFET。此外，每个通道还提供了电源正常标志与使能信号。TPS7H4104 还包括一个 EN_SEQ 输入，可实现顺序加电和反向断电。

还包括多种电流限制机制，能够在故障条件下实现稳健的电流限制。当芯片温度超过热限值时，热关断会禁用该器件。

封装信息

器件型号(1)	等级	封装(2)
5962R2320801PYE	QMLP-RHA	64 引脚塑料 10mm × 10mm 质量 = 283mg
5962R2320802PYE		
TPS7H4104MPAPTSEP	SEP	
TPS7H4102MPAPTSEP		

(1) 有关详细信息，请参阅器件比较表。
(2) 质量为标称值，本体尺寸（长 × 宽）为标称值，不包括引脚。



注释：EN_SEQ 仅适用于 TPS7H4104

简化版原理图

本资源的原文使用英文撰写。为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 器件比较表.....3
5 引脚配置和功能.....4
6 规格.....7
6.1 绝对最大额定值.....7
6.2 ESD 等级.....7
6.3 建议运行条件.....8
6.4 热性能信息.....8
6.5 电气特性.....9
6.6 质量合格检验.....12
6.7 典型特性.....13
7 参数测量信息.....27
8 详细说明.....30
8.1 概述.....30
8.2 功能方框图.....31
8.3 特性说明.....32
8.4 器件功能模式.....52
9 应用和实施.....53
9.1 应用信息.....53
9.2 典型应用.....53
9.3 并行运行.....62
9.4 未使用通道的端接指南.....65
9.5 电源相关建议.....65
9.6 布局.....66
10 器件和文档支持.....71
10.1 文档支持.....71
10.2 接收文档更新通知.....71
10.3 支持资源.....71
10.4 商标.....71
10.5 静电放电警告.....71
10.6 术语表.....71
11 修订历史记录.....72
12 机械、封装和可订购信息.....72

Copyright © 2026 Texas Instruments Incorporated

4 器件比较表

表 4-1. 器件选项

通用器件型号	通道数量	辐射等级(1)	等级(2)	封装	可订购器件型号
TPS7H4104-SP	4	TID 为 100krad(Si) RLAT，不考虑 DSEE 的影响为 75MeV-cm²/mg	QMLP-RHA	64 引脚 HTQFP PAP	5962R2320801PYE
TPS7H4104-SEP		TID 为 50krad(Si) RLAT，不考虑 DSEE 的影响为 43MeV-cm²/mg	增强型航天塑料		TPS7H4104MPAPTSEP
TPS7H4102-SP	2	TID 为 100krad(Si) RLAT，不考虑 DSEE 的影响为 75MeV-cm²/mg	QMLP-RHA		5962R2320802PYE
TPS7H4102-SEP		TID 为 50krad(Si) RLAT，不考虑 DSEE 的影响为 43MeV-cm²/mg	增强型航天塑料		TPS7H4102MPAPTSEP

(1) TID 是总电离剂量，DSEE 是破坏性单粒子效应。每个产品的关联 TID 报告和 SEE 报告中提供了额外信息。
(2) 有关器件等级的其他信息，请查看 TI 器件等级

Copyright © 2026 Texas Instruments Incorporated

5 引脚配置和功能

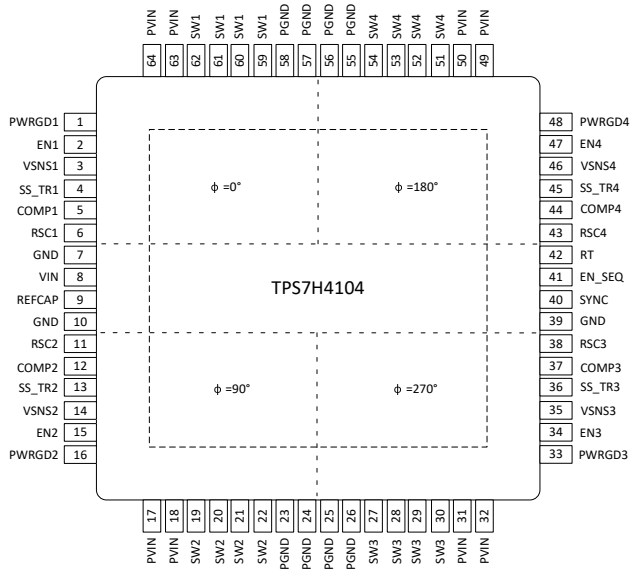


图 5-1. TPS7H4104
PAP 封装
64 引脚 HTQFP
(顶视图)

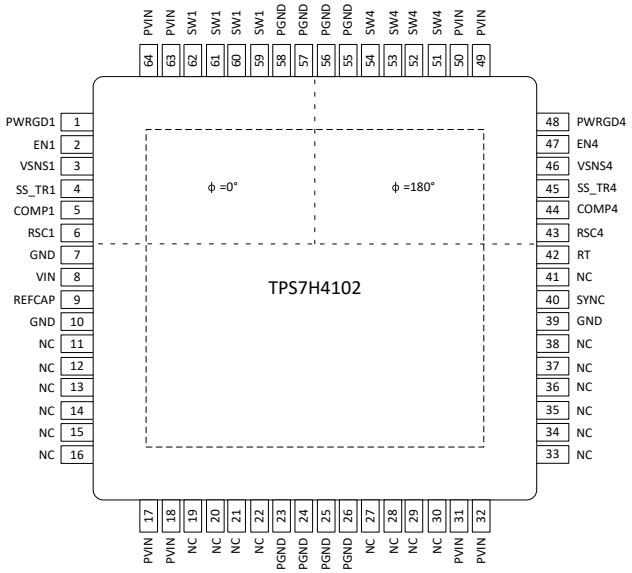


图 5-2. TPS7H4102
PAP 封装
64 引脚 HTQFP
(顶视图)

表 5-1. 引脚功能

引脚			类型(1)	说明
名称	TPS7H4104	TPS7H4102		
COMP1	5		I/O	通道 1 的补偿引脚。通道 1 的跨导误差放大器输出与内部电流环路比较器输入。将通道 1 的频率补偿元件连接至该引脚。
COMP2	12	—	I/O	通道 2 的补偿引脚。通道 2 的跨导误差放大器输出与内部电流环路比较器输入。将通道 2 的频率补偿元件连接至该引脚。
COMP3	37	—	I/O	通道 3 的补偿引脚。通道 3 的跨导误差放大器输出与内部电流环路比较器输入。将通道 3 的频率补偿元件连接至该引脚。
COMP4	44		I/O	通道 4 的补偿引脚。通道 4 的跨导误差放大器输出与内部电流环路比较器输入。将通道 4 的频率补偿元件连接至该引脚。
EN_SEQ	41	—	I	启用序列将该引脚拉至高电平 [$V_{EN_SEQ_RISING\ (MAX)}$]，以便启动从通道 1 到通道 4 的上升序列。要启动一个从通道 4 到通道 1 的反向下降序列，将该引脚拉至低电平 [< $V_{EN_SEQ_FALLING\ (MIN)}$]。当未使用序列发生器特性 (EN_SEQ = 开路) 且 SYNC 由外部驱动时，需要在 EN_SEQ 和 GND 之间使用 470nF 电容。
EN1	2		I	启用通道 1。将该引脚拉至高电平 [> $V_{ENx_RISING\ (MAX)}$]，以便启用通道 1。将该引脚拉至低电平 [< $V_{ENx_FALLING\ (MIN)}$]，以便禁用通道 1。在 VIN 与 GND 之间使用分压器，以便根据需要调整通道 1 的导通电压电平。
EN2	15	—	I	启用通道 2。将该引脚拉至高电平 [> $V_{ENx_RISING\ (MAX)}$]，以便启用通道 2。将该引脚拉至低电平 [< $V_{ENx_FALLING\ (MIN)}$]，以便禁用通道 2。在 VIN 与 GND 之间使用分压器，以便根据需要调整通道 2 的导通电压电平。
EN3	34	—	I	启用通道 3。将该引脚拉至高电平 [> $V_{ENx_RISING\ (MAX)}$]，以便启用通道 3。将该引脚拉至低电平 [< $V_{ENx_FALLING\ (MIN)}$]，以便禁用通道 3。在 VIN 与 GND 之间使用分压器，以便根据需要调整通道 3 的导通电压电平。

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚功能（续）

引脚			类型(1)	说明
名称	TPS7H4104	TPS7H4102		
EN4	47		I	启用通道 4。将该引脚拉至高电平 [> $V_{ENx_RISING\ (MAX)}$]，以便启用通道 4。将该引脚拉至低电平 [< $V_{ENx_FALLING\ (MIN)}$]，以便禁用通道 4。在 VIN 与 GND 之间使用分压器，以便根据需要调整通道 4 的导通电压电平。
GND	7、10、39		—	接地。所有内部控制电路的回路。将该引脚连接至 PGND，以便确保能够正常运行。
NC	—	11-16、19-22、27-30、33-38、41	—	无连接。这些引脚未在内部连接。建议用户将这些引脚连接至 GND 以防止电荷积聚；但是，这些引脚也可以保持断开或连接至 GND 和 VIN 之间的任何电压。
PGND	23-26、55-58		—	通道 1 至通道 4 的功率级接地。通道 1 至通道 4 的低侧功率 MOSFET 电源的回路。将所有 PGND 与 GND 连接在一起。
PVIN	17、18、31、32、49、50.63、64		I	通道 1 至通道 4 的功率级输入电压。通道 1 至通道 4 的功率级电源。在每组 PVIN 引脚附近连接局部输入电容器。
PWRGD1	1		O	通道 1 的“电源正常”引脚。这是一个开漏输出引脚。通过一个上拉电阻器，将该引脚连接至所需逻辑电平 (≤7V)。当 V_{OUT1} 处于编程值 6%（典型值）以内时，PWRGD1 置为有效。当 V_{OUT1} 超出编程值 9%（典型值）或在故障条件（例如：热关断）期间时，PWRGD1 置为无效。
PWRGD2	16	—	O	通道 2 的“电源正常”引脚。这是一个开漏输出引脚。通过一个上拉电阻器，将该引脚连接至所需逻辑电平 (≤7V)。当 V_{OUT2} 处于编程值 6%（典型值）以内时，PWRGD2 置为有效。当 V_{OUT2} 超出编程值 9%（典型值）或在故障条件（例如：热关断）期间时，PWRGD2 置为无效。
PWRGD3	33	—	O	通道 3 的“电源正常”引脚。这是一个开漏输出引脚。通过一个上拉电阻器，将该引脚连接至所需逻辑电平 (≤7V)。当 V_{OUT3} 处于编程值 6%（典型值）以内时，PWRGD3 置为有效。当 V_{OUT3} 超出编程值 9%（典型值）或在故障条件（例如：热关断）期间时，PWRGD3 置为无效。
PWRGD4	48		O	通道 4 的“电源正常”引脚。这是一个开漏输出引脚。通过一个上拉电阻器，将该引脚连接至所需逻辑电平 (≤7V)。当 V_{OUT4} 处于编程值 6%（典型值）以内时，PWRGD4 置为有效。当 V_{OUT4} 超出编程值 9%（典型值）或在故障条件（例如：热关断）期间时，PWRGD4 置为无效。
REFCAP	9		O	基准电容引脚。内部带隙基准需要 470nF 的外部电容器。该引脚上存在 1.235V（典型值）的电压。请勿为该引脚连接任何外部电路。
RSC1	6		I/O	通道 1 引脚的斜率补偿。可通过 RSC1 到 GND 之间的电阻器，设置通道 1 的斜率补偿。
RSC2	11	—	I/O	通道 2 引脚的斜率补偿。可通过 RSC2 到 GND 之间的电阻器，设置通道 2 的斜率补偿。
RSC3	38	—	I/O	通道 3 引脚的斜率补偿。可通过 RSC3 到 GND 之间的电阻器，设置通道 3 的斜率补偿。
RSC4	43		I/O	通道 4 引脚的斜率补偿。可通过 RSC4 到 GND 之间的电阻器，设置通道 4 的斜率补偿。
RT	42		I/O	通过 RT 与 GND 之间连接的电阻器，可以设置转换器的开关频率。开关频率范围为 100kHz 至 1MHz。使用外部时钟时，必须选择 RT，以便确保设定的开关频率与外部施加的时钟的频率相一致。如果时钟丢失，器件会以编程频率切换至内部时钟。
SS_TR1	4		I/O	通道 1 的软启动与跟踪。连接一个外部电容器，以便控制启动期间 V_{OUT1} 的上升时间（或浪涌电流）。该引脚还可以用于跟踪与时序控制。
SS_TR2	13	—	I/O	通道 2 的软启动与跟踪。连接一个外部电容器，以便控制启动期间 V_{OUT2} 的上升时间（或浪涌电流）。该引脚还可以用于跟踪与时序控制。
SS_TR3	36	—	I/O	通道 3 的软启动与跟踪。连接一个外部电容器，以便控制启动期间 V_{OUT3} 的上升时间（或浪涌电流）。该引脚还可以用于跟踪与时序控制。
SS_TR4	45		I/O	通道 4 的软启动与跟踪。连接一个外部电容器，以便控制启动期间 V_{OUT4} 的上升时间（或浪涌电流）。该引脚还可以用于跟踪与时序控制。
SW1	59-62		O	开关节点引脚 1。通道 1 的开关相位节点输出。将该引脚连接至 V_{OUT1} 的 LC 滤波器。CH1 的相对相位为 0°。
SW2	19-22	—	O	开关节点引脚 2。通道 2 的开关相位节点输出。将该引脚连接至 V_{OUT2} 的 LC 滤波器。SW2 的相对相位为 90°。

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚功能（续）

引脚			类型(1)	说明
名称	TPS7H4104	TPS7H4102		
SW3	27-30	—	O	开关节点引脚 3。通道 3 的开关相位节点输出。将该引脚连接至 V_{OUT3} 的 LC 滤波器。SW3 的相对相位为 270°。
SW4	51-54		O	开关节点引脚 4。通道 4 的开关相位节点输出。将该引脚连接至 V_{OUT4} 的 LC 滤波器。CH4 的相对相位为 180°。
SYNC	40		I	SYNC 是外部时钟的输入。外部时钟频率应与通过 RT 和 GND 之间的电阻器设置的开关频率保持 4 倍关系。(f_{SYNC} = 4x f_{SW})
VIN	8		I	输入电压。为通道 1 至通道 4 的所有内部控制电路供电的电源。建议电压与 PVIN 的电压相同，因此建议从外部连接到 PVIN。在尽可能靠近该引脚的位置，放置一个去耦电容器。
VSNS1	3		I	通道 1 的 gm 误差放大器的反相输入。通过一个分压器，在尽可能接近负载的位置连接该引脚，以便设定通道 1 所需输出电压。
VSNS2	14	—	I	通道 2 的 gm 误差放大器的反相输入。通过一个分压器，在尽可能接近负载的位置连接该引脚，以便设定通道 2 所需输出电压。
VSNS3	35	—	I	通道 3 的 gm 误差放大器的反相输入。通过一个分压器，在尽可能接近负载的位置连接该引脚，以便设定通道 3 所需输出电压。
VSNS4	46		I	通道 4 的 gm 误差放大器的反相输入。通过一个分压器，在尽可能接近负载的位置连接该引脚，以便设定通道 4 所需输出电压。

(1) I = 输入；O = 输出；I/O = 输入或输出；— = 其他

Copyright © 2026 Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在工作温度范围内测得（除非另有说明）(1) (2)

		最小值	最大值	单位
输入电压	VIN、PVINx、ENx、PWRGDx、SYNC、EN_SEQ	-0.3	7.5	V
	RT, RSCx, COMPx, VSNSx, SS_TRx	-0.3	3.6	
输出电压	SWx	-1	7.5	V
	SWx， 10ns 瞬态	-3	7.5	
	REFCAP	-0.3	2	
Vdiff	GND 至外露散热焊盘	-0.2	0.2	V
拉电流	SWx		电流限制	A
	PVINx		电流限制	
	PGNDx		电流限制	
	RT	-200	200	μA
灌电流	SWx		电流限制	A
	PGNDx		电流限制	
	COMPx	-220	220	μA
	PWRGDx	-0.1	5	mA
工作结温		-55	150	°C
存储温度，T_{stg}		-65	150	

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。“绝对最大额定值”并不表示器件在这些条件下或在“建议运行条件”以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) 所有电压值均以 GND 为基准。

6.2 ESD 等级

			值	单位
V_{ESD}	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚(1)	±1000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准，所有引脚(2)	±250	

(1) JEDEC 文档 JEP155 指出：500V HBM 能够在标准 ESD 控制流程下安全地进行生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 能够在标准 ESD 控制流程下安全生产。

Copyright © 2026 Texas Instruments Incorporated

6.3 建议运行条件

在工作温度范围内（除非另有说明）(1)

		最小值	标称值	最大值	单位
输入电压	VIN, PVINx(2)	3		7	V
	ENx、PWRGDx、SYNC、EN_SEQ	0		7	
	RSCx, COMPx, RTx, SS_TRx	0		3.3	
	VSNSx	0	0.6	1	
输出电压	SWx	0		7	V
	SS_TRx	0	1.5	1.7	
	COMPx	0		2.1	
输出电流	HSx_{AVG}	0		2.18	A
	LSx_{AVG}	0		2.5	
	SWx_{AVG}	0		3	
	RT	-100		100	µA
输入电流	PWRGD	0		2	mA
工作结温	T_J	-55		125	°C

(1) 所有电压值均以 GND 为基准。
(2) VIN 必须等于 PVIN 并同时启动。通常，这是通过将它们连接到同一电压轨来实现的。

6.4 热性能信息

热指标(1)		TPS7H410x QFP PAP 64 引脚	单位
$R_{\theta JA}$	结至环境热阻	19	℃/W
$R_{\theta JC_TOP}$	结至外壳（顶部）热阻	6.2	
$R_{\theta JC_BOT}$	结至外壳（底部）热阻	0.27	
$R_{\theta JB}$	结至电路板热阻	4.6	
Ψ_{JT}	结至顶部特征参数	0.1	
Ψ_{JB}	结至电路板特征参数	4.5	

(1) 有关新旧热指标的更多信息，请参阅“半导体和 IC 封装热指标”应用报告 (SPRA953)。

Copyright © 2026 Texas Instruments Incorporated

6.5 电气特性

在 3V ≤ VIN ≤ 7V，PVIN = VIN 情况下，采用开环配置。工作温度范围 T_A = -55°C 至 125°C 情况下，典型值为 T_A = 25°C，适用于所有相位，除非另有说明；如果存在子组编号，则包括 T_A = 25°C 时的 RLAT。

参数		测试条件		子组(1)	最小值	典型值	最大值	单位
电源和电流								
V_{UVLOR_VIN}	VIN 内部 UVLO 上升阈值	I_{OUTx} = 0A, V_{ENx} = 1V, PVIN = 5V		1、2、3	2.63	2.7	2.83	V
V_{UVLOF_VIN}	VIN 内部 UVLO 下降阈值	I_{OUTx} = 0A, V_{ENx} = 1V, PVIN = 5V		1、2、3	2.47	2.52	2.6	
V_{UVLOR_PVIN}	PVIN 内部 UVLO 上升阈值	I_{OUTx} = 0A, V_{ENx} = 1V, VIN = 5V		1、2、3	2.37	2.44	2.58	V
V_{UVLOF_PVIN}	PVIN 内部 UVLO 下降阈值	I_{OUTx} = 0A, V_{ENx} = 1V, VIN = 5V		1、2、3	1.96	2	2.11	
I_{SHDN_VIN}	VIN 关断电源电流	V_{ENx} = 0V		1、2、3		6	8.5	mA
I_{SHDN_PVIN}	PVIN 关断电源电流	V_{ENx} = 0V		1、2、3		2.3	4.3	
I_{Q_VIN}	VIN 静态工作电流（非开关）	V_{ENx} = 7V, VSNSx = 1V		1、2、3		6.7	15	
I_{Q_PVIN}	PVIN 静态工作电流（非开关）	V_{ENx} = 7V, VSNSx = 1V		1、2、3		2.1	3.7	
使能与 EN_SEQ								
V_{ENx_RISING}	使能上升阈值（导通）	PVINx = VIN = 5V		1、2、3	0.573	0.606	0.645	V
$V_{ENx_FALLING}$	使能下降阈值（关断）	PVINx = VIN = 5V		1、2、3	0.473	0.5	0.532	
$V_{EN_SEQ_RISING}$	使能序列上升阈值（序列上升）	上升时间 ≥ 100ns(2)	请参阅图 8-3	1、2、3		71%	80%	× VIN
$V_{EN_SEQ_FALLING}$	使能序列下降阈值（序列下降）	下降时间 ≥ 100ns(2)		1、2、3	17%	25%		
V_{CHx_ON}	序列上升视为良好电压	请参阅图 8-3(2)				87.4%		× V_{REFx}
V_{CHx_OFF}	序列下降视为无效电压					15.4%		
$t_{ENx_VIN_RISING_PD}$	ENx 与 VIN 连接在一起时，启用传播延迟	VIN = ENx 高电平至 SW 高电平	请参阅图 7-2	1、2、3		0.85	1.7	ms
$t_{ENx_RISING_PD}$	启用传播延迟	当 VIN > V_{UVLOR_VIN} 至少 1.7ms 时，ENx 高电平变为 SW 高电平	请参阅图 7-3	1、2、3		50	100	µs
$t_{ENx_FALLING_PD}$	禁用传播延迟	ENx 低电平至 SW 高阻抗	请参阅图 7-4	1、2、3		9.5	35	
I_{ENx_LKG}	使能输入漏电流	V_{ENx} = 7V		1、2、3		0.05	154	nA
电压基准								
V_{REFx}	内部电压基准（包括：误差放大器 V_{IOx}）	请参阅(3)		1、2、3	591.5	599.48	603.5	mV
V_{REFCAP}	REFCAP 电压			1、2、3	1.2	1.235	1.248	V
误差放大器								
I_{VSNSx_LKG}	VSNSx 输入泄漏电流	VSNSx = 600mV, V_{COMP} = 1V		1、2、3			30	nA
gm_{EAx}	误差放大器跨导	-10 µA < I_{COMP} < 10 µA, V_{COMP} = 1V	T_A = -55℃	11	1257	1913	2630	µS
			T_A = 25℃	9	1153	1672	2191	
			T_A = 125℃	10	1029	1343	1657	
$EA_{x_DC\text{-}GAIN}$	误差放大器直流增益	VSNSx = 600mV				16000		V/V
EA_{x_ISRC}	误差放大器拉电流	V_{COMP} = 1V，100mV 输入过驱		1、2、3	88	137	200	µA
EA_{x_ISNK}	误差放大器灌电流				87	135	200	
EA_{x_RO}	误差放大器输出电阻					10.8		MΩ
EA_{x_BW}	误差放大器带宽					9.57		MHz
gm_{PSx}	功率级跨导	V_{COMPx} = 500mV		1、2、3	5.78	8.35	10.46	S
$gm_{PSx_MATCHING}$	所有相位上的功率级跨导匹配	V_{COMPx} = 500mV				1%		

Copyright © 2026 Texas Instruments Incorporated

6.5 电气特性（续）

在 3V ≤ VIN ≤ 7V，PVIN = VIN 情况下，采用开环配置。工作温度范围 T_A = -55°C 至 125°C 情况下，典型值为 T_A = 25°C，适用于所有相位，除非另有说明；如果存在子组编号，则包括 T_A = 25°C 时的 RLAT。

参数		测试条件		子组(1)	最小值	典型值	最大值	单位
过流保护								
I_{OC_HSx}	高侧开关过流阈值	压摆率 = 25mA/µs		1、2、3	5.0	5.6	6.3	A
$I_{OC_LS_SOURCINGx}$	低侧开关过流拉电流阈值			1、2、3	4.2	6	7.8	A
$I_{OC_LS_SINKINGx}$	低侧开关过流灌电流阈值			1、2、3	1.5	2.55	3.9	A
$COMPx_{CLAMP}$	COMP 电压钳位			1、2、3	1.7	1.9	2.13	V
软启动和跟踪								
I_{SS_TRx}	软启动充电电流	V_{SS_TRx} ⩾ 90mV		1、2、3	1.4	2.28	2.83	µA
$R_{SS_TRx_DISCHARGE}$	软启动放电下拉电阻	V_{SS_TRx} = 110mV		1、2、3	230	364	513	Ω
$SS_TRx_{START_UP}$	SS 上启动前的最大电压(4)			1、2、3		22	50	mV
斜率补偿								
SCx	斜率补偿	f_{SW} = 100kHz	R_{SCx} = 1.02MΩ			-0.26		A/µs
		f_{SW} = 500kHz	R_{SCx} = 634kΩ			-0.36		A/µs
			R_{SCx} = 213kΩ			-1.26		A/µs
			R_{SCx} = 147kΩ			-1.81		A/µs
		f_{SW} = 1000kHz	R_{SCx} = 97.6kΩ			-2.8		A/µs
最短导通、关断与死区时间								
t_{ONx_MIN}	最短导通时间	V_{SWx} 上升沿的 10% 至下降沿的 90%，I_{OUT} = 400mA	VIN = 3V	9、10、11		163	260	ns
			VIN = 5V	9、10、11		182	270	
			VIN = 7V	9、10、11		216	320	
t_{OFFx_MIN}	最短关断时间	V_{SWx} 下降沿的 90% 至上升沿的 10%				216		ns
t_{DEADx}	死区时间					33		ns
开关频率和同步								
f_{SW}	RT 编程的开关频率	R_{RT} = 511kΩ		4、5、6	97	103	120	kHz
		R_{RT} = 90.9kΩ		4、5、6	446	502	564	
		R_{RT} = 37.4kΩ		4、5、6	812	1040	1280	
t_{SYNC_DLY}	SYNC 至 SW 延迟	V_{IN} = 3V	请参阅图 7-5	9、10、11		221	314	ns
		V_{IN} = 5V		9、10、11		194	240	
		V_{IN} = 7V		9、10、11		184	238	
V_{SYNC_VIH}	SYNC 输入高电平	V_{IN} = 3V		1、2、3	1.4			V
		V_{IN} = 5V		1、2、3	1.8			
		V_{IN} = 7V		1、2、3	2			
V_{SYNC_VIL}	SYNC 输入低电平			1、2、3			0.8	V
f_{SYNC}	SYNC 输入频率范围			4、5、6	400		4000	kHz
D_{SYNC}	SYNC 输入占空比范围	外部时钟占空比		4、5、6	40%		60%	
$t_{CLK_I_E}$	内部时钟到外部时钟的检测时间	RT 已安装	请参阅图 8-9	9、10、11		1	3	× T_{SW}
$t_{CLK_E_I}$	外部时钟到内部时钟的检测时间	RT 已安装	请参阅图 8-10	9、10、11		2	6	× T_{SYNC}

Copyright © 2026 Texas Instruments Incorporated

6.5 电气特性（续）

在 3V ≤ VIN ≤ 7V，PVIN = VIN 情况下，采用开环配置。工作温度范围 T_A = -55°C 至 125°C 情况下，典型值为 T_A = 25°C，适用于所有相位，除非另有说明；如果存在子组编号，则包括 T_A = 25°C 时的 RLAT。

参数		测试条件		子组(1)	最小值	典型值	最大值	单位
电源正常								
$PWRGDx_{UV_FAULT}$	VSNSx 下降阈值（故障）	请参阅图 8-4		1、2、3	89%	91%	92%	
$PWRGDx_{UV_GOOD}$	VSNSx 上升阈值（正常）			1、2、3	92%	94%	96%	
$PWRGDx_{OV_FAULT}$	VSNSx 上升阈值（故障）	请参阅图 8-5		1、2、3	107%	109%	111%	
$PWRGDx_{OV_GOOD}$	VSNSx 下降阈值（正常）			1、2、3	103%	106%	109%	
I_{PWRGDx_LKG}	输出开路高电平漏电流	V_{SENSEx} = V_{REFx}，V_{PWRGD} = 7V		1、2、3		2	520	nA
V_{PWRGDx_VOL}	电源正常状态输出低电平	I_{PWRGD_SINK} ≤ 2mA		1、2、3		310	400	mV
VIN_{MIN_PWRGDx}	有效 PWRGD 输出所需的最小 VIN	在 100 µA 下，V_{PWRGD} ≤ 0.5V 时测量，参阅图 8-6		1、2、3		0.6	1	V
热关断								
T_{SD_ENTER}	热关断进入温度	I_{OUTx} = 0A				163		°C
T_{SD_EXIT}	热关断退出温度	I_{OUTx} = 0A				134		
T_{SD_HYS}	热关断迟滞	I_{OUTx} = 0A				29		
MOSFET								
$R_{DS_ON_HSx}$	高侧开关电阻	PVIN = VIN = 3V, I_{OUTx} = 500mA	T_A = -55°C	3		54	71	mΩ
			T_A = 25°C	1		70	88	
			T_A = 125°C	2		89	103	
		PVIN = VIN = 5V, I_{OUTx} = 500mA	T_A = -55°C	3		49	63	
			T_A = 25°C	1		62	80	
			T_A = 125°C	2		78	92	
		PVIN = VIN = 7V, I_{OUTx} = 500mA	T_A = -55°C	3		47	60	
			T_A = 25°C	1		59	76	
			T_A = 125°C	2		74	88	
$R_{DS_ON_LSx}$	低侧开关电阻	PVIN = VIN = 3V, I_{OUTx} = 500mA	T_A = -55°C	3		44	55	mΩ
			T_A = 25°C	1		58	68	
			T_A = 125°C	2		75	85	
		PVIN = VIN = 5V, I_{OUTx} = 500mA	T_A = -55°C	3		42	51	
			T_A = 25°C	1		55	64	
			T_A = 125°C	2		71	80	
		PVIN = VIN = 7V, I_{OUTx}= 500mA	T_A = -55°C	3		41	50	
			T_A = 25°C	1		54	63	
			T_A = 125°C	2		69	79	

(1) 子组适用于 QML 器件。如需了解子组定义，可参阅“质量合格检验”表。
(2) 仅对 TPS7H4104 有效
(3) 利用该 V_{REFx} 值，设置输出电压。在非开关配置中测量，如图 7-1 所示。
(4) 为让软启动功能正常运行，在 SS 上的电压放电至 $SS_TRx_{START_UP}$ 以下以前，该器件不会开始启动

Copyright © 2026 Texas Instruments Incorporated

6.6 质量合格检验

MIL-STD-883，方法 5005 - 组 A

子组	说明	温度 (°C)
1	静态测试	25
2	静态测试	125
3	静态测试	-55
4	动态测试	25
5	动态测试	125
6	动态测试	-55
7	功能测试	25
8A	功能测试	125
8B	功能测试	-55
9	开关测试	25
10	开关测试	125
11	开关测试	-55

Copyright © 2026 Texas Instruments Incorporated

6.7 典型特性

PVIN = VIN，REFCAP = 470nF，L=3.3 μ H（型号：MPX1D1250L3R3），除非另有说明。

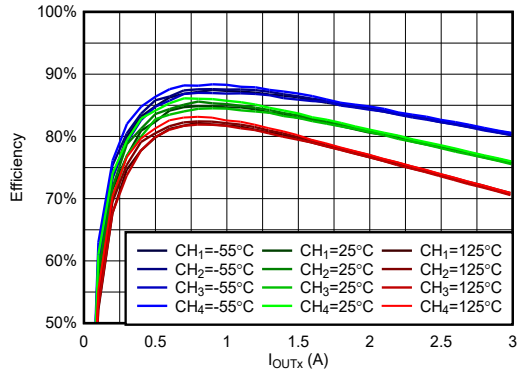


图 6-1. VIN = 3.3V，V_{OUTx} = 0.8V，f_{SW} = 100kHz 时，效率与负载间的关系

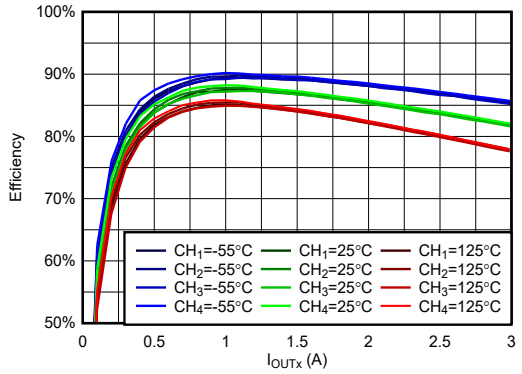


图 6-2. VIN = 3.3V，V_{OUTx} = 1.2V，f_{SW} = 100kHz 时，效率与负载间的关系

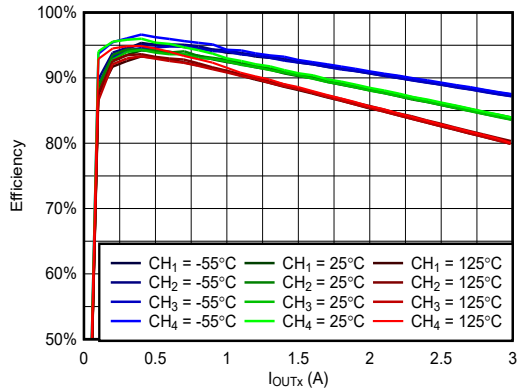


图 6-3. VIN = 3.3V，V_{OUTx} = 1.5V，f_{SW} = 100kHz 时，效率与负载间的关系

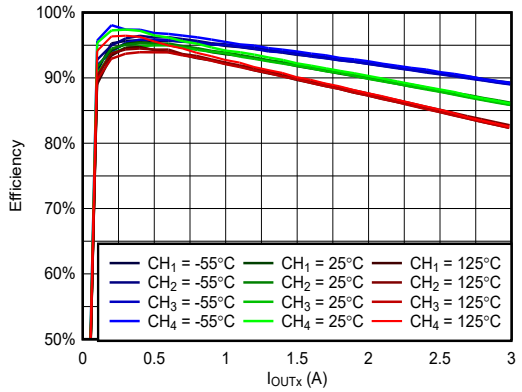


图 6-4. VIN = 3.3V，V_{OUTx} = 1.8V，f_{SW} = 100kHz 时，效率与负载间的关系

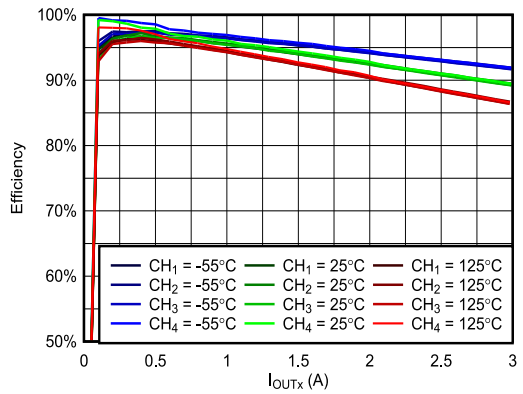


图 6-5. VIN = 3.3V，V_{OUTx} = 2.5V，f_{SW} = 100kHz 时，效率与负载间的关系

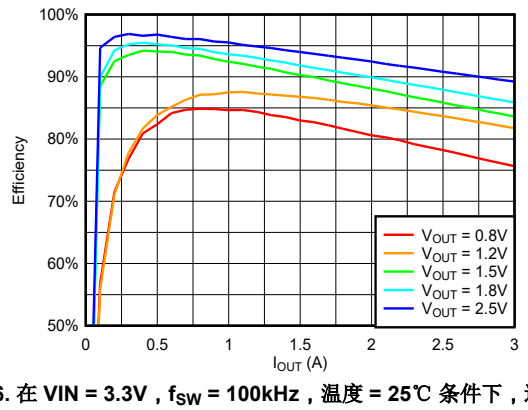


图 6-6. 在 VIN = 3.3V，f_{SW} = 100kHz，温度 = 25℃ 条件下，通道 1 在不同 V_{OUT} 下的效率与负载间的关系

Copyright © 2026 Texas Instruments Incorporated

6.7 典型特性 (续)

PVIN = VIN，REFCAP = 470nF，L=3.3 μ H (型号：MPX1D1250L3R3) ，除非另有说明。

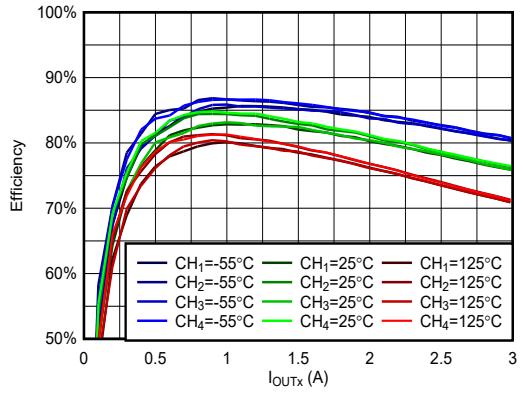


图 6-7. VIN = 5V，V_{OUTx} = 0.8V，f_{SW} = 100kHz 时，效率与负载间的关系

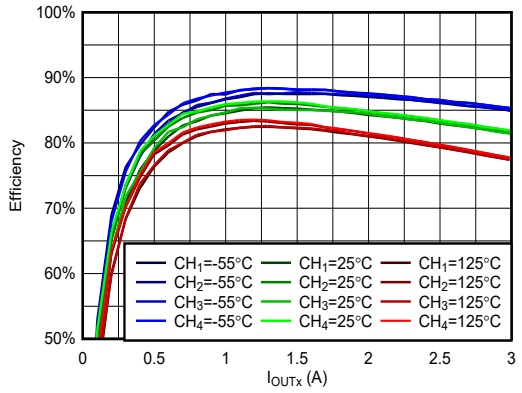


图 6-8. VIN = 5V，V_{OUTx} = 1.2V，f_{SW} = 100kHz 时，效率与负载间的关系

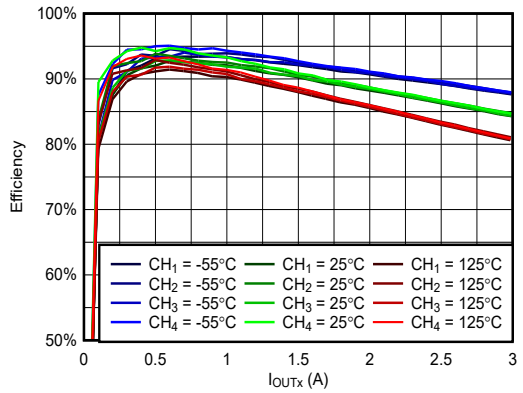


图 6-9. VIN = 5V，V_{OUTx} = 1.5V，f_{SW} = 100kHz 时，效率与负载间的关系

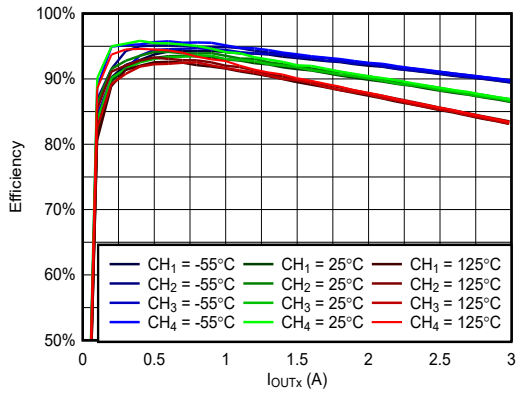


图 6-10. VIN = 5V，V_{OUTx} = 1.8V，f_{SW} = 100kHz 时，效率与负载间的关系

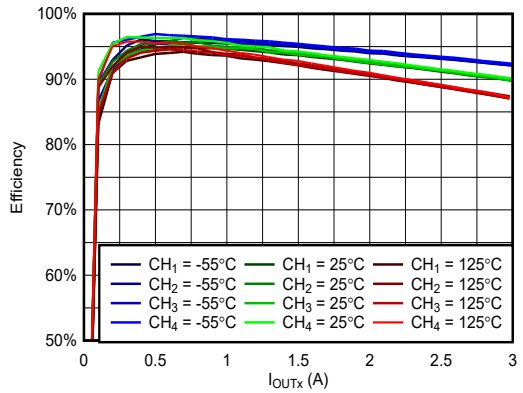


图 6-11. VIN = 5V，V_{OUTx} = 2.5V，f_{SW} = 100kHz 时，效率与负载间的关系

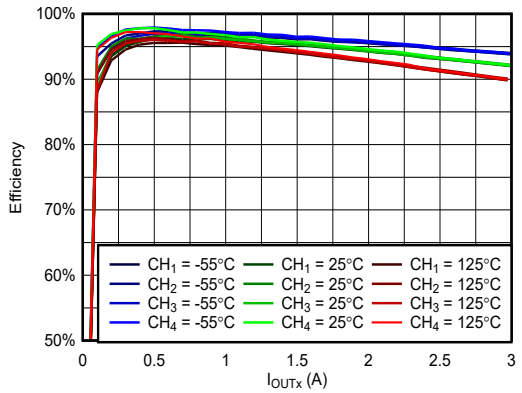


图 6-12. VIN = 5V，V_{OUTx} = 3.3V，f_{SW} = 100kHz 时，效率与负载间的关系

Copyright © 2026 Texas Instruments Incorporated

6.7 典型特性 (续)

PVIN = VIN，REFCAP = 470nF，L=3.3 μ H（型号：MPX1D1250L3R3），除非另有说明。

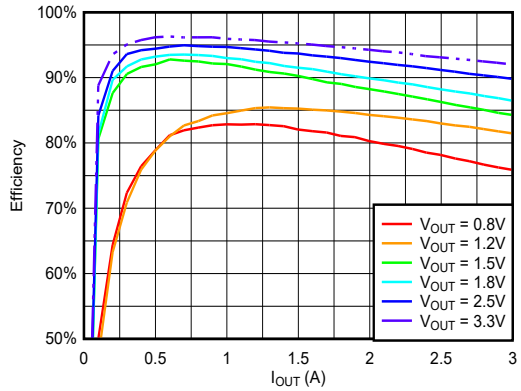


图 6-13. 在 VIN = 5V，f_{SW} = 100kHz，温度 = 25℃ 条件下，通道 1 在不同 V_{OUT} 下的效率与负载间的关系

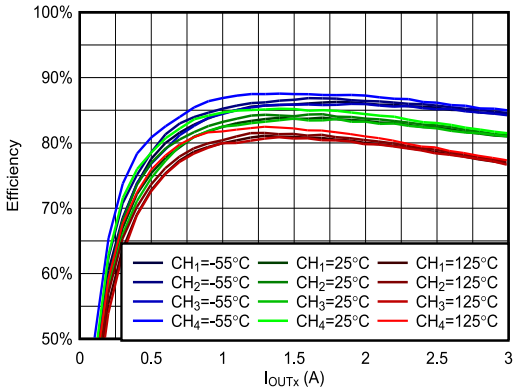


图 6-14. VIN = 7V，V_{OUTx} = 1.2V，f_{SW} = 100kHz 时，效率与负载间的关系

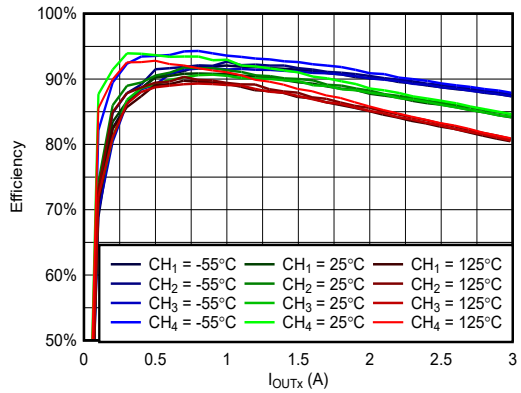


图 6-15. VIN = 7V，V_{OUTx} = 1.5V，f_{SW} = 100kHz 时，效率与负载间的关系

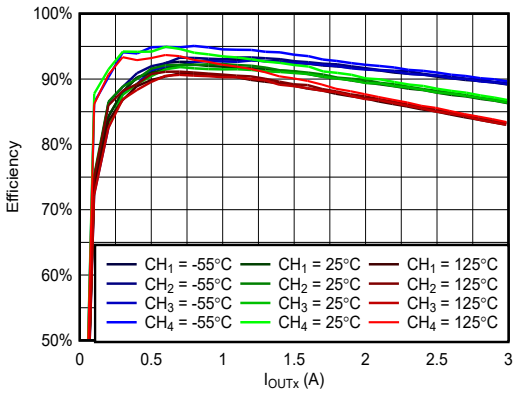


图 6-16. VIN = 7V，V_{OUTx} = 1.8V，f_{SW} = 100kHz 时，效率与负载间的关系

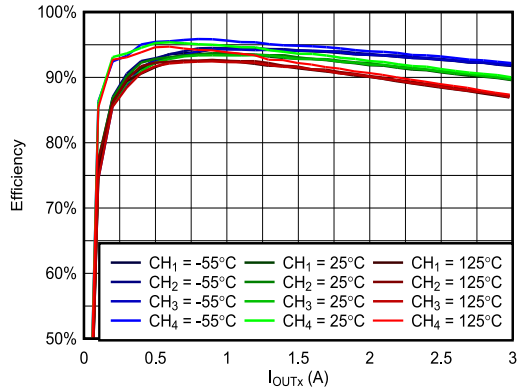


图 6-17. VIN = 7V，V_{OUTx} = 2.5V，f_{SW} = 100kHz 时，效率与负载间的关系

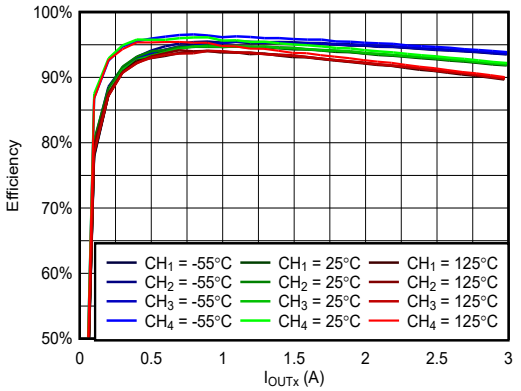


图 6-18. VIN = 7V，V_{OUTx} = 3.3V，f_{SW} = 100kHz 时，效率与负载间的关系

Copyright © 2026 Texas Instruments Incorporated

6.7 典型特性 (续)

PVIN = VIN，REFCAP = 470nF，L=3.3 μ H（型号：MPX1D1250L3R3），除非另有说明。

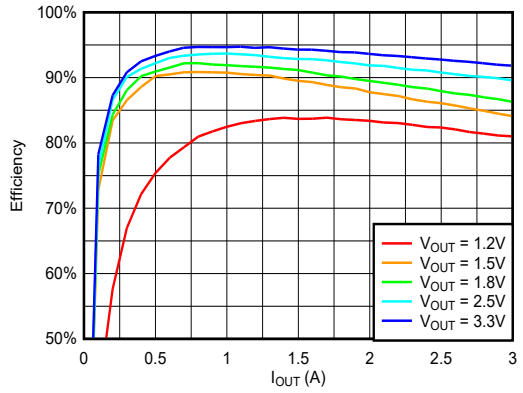


图 6-19. 在 VIN = 7V，f_{SW} = 100kHz，温度 = 25℃ 条件下，通道 1 在不同 V_{OUT} 下的效率与负载间的关系

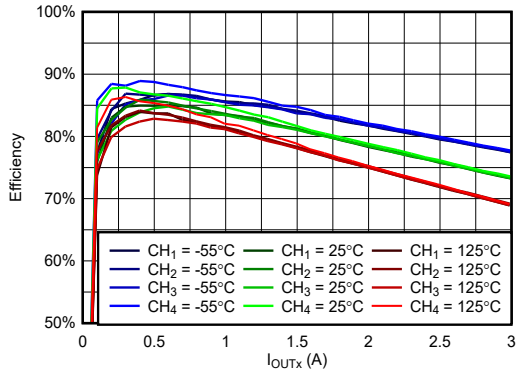


图 6-20. VIN = 3.3V，V_{OUTx} = 0.8V，f_{SW} = 500kHz 时，效率与负载间的关系

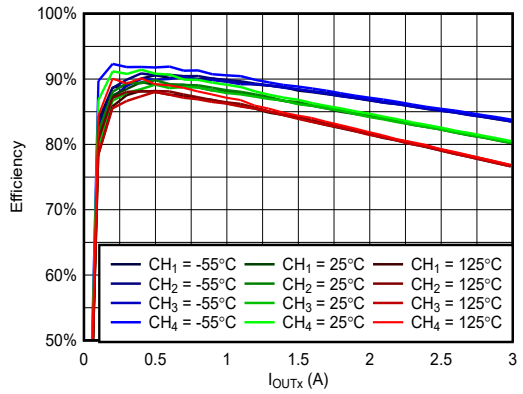


图 6-21. VIN = 3.3V，V_{OUTx} = 1.2V，f_{SW} = 500kHz 时，效率与负载间的关系

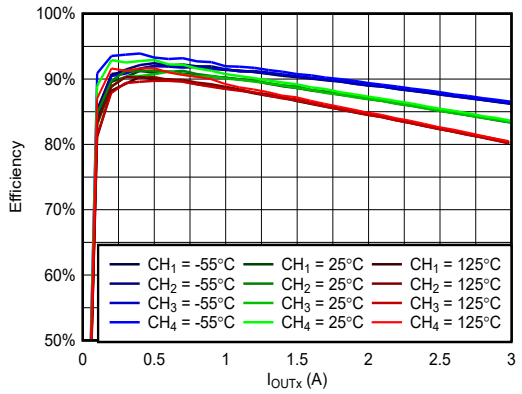


图 6-22. VIN = 3.3V，V_{OUTx} = 1.5V，f_{SW} = 500kHz 时，效率与负载间的关系

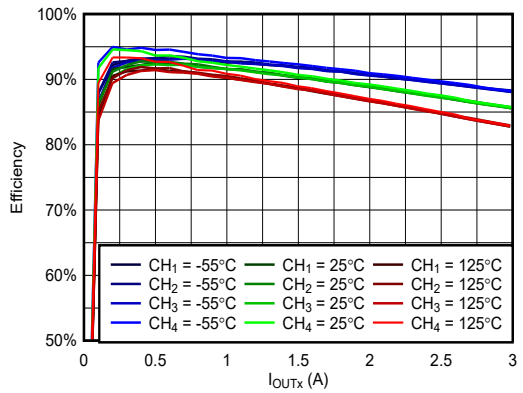


图 6-23. VIN = 3.3V，V_{OUTx} = 1.8V，f_{SW} = 500kHz 时，效率与负载间的关系

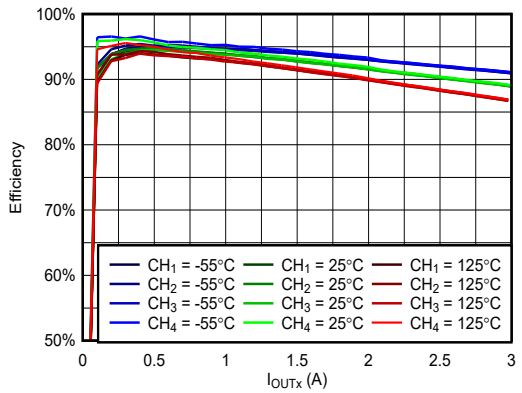


图 6-24. VIN = 3.3V，V_{OUTx} = 2.5V，f_{SW} = 500kHz 时，效率与负载间的关系

Copyright © 2026 Texas Instruments Incorporated

6.7 典型特性 (续)

PVIN = VIN，REFCAP = 470nF，L=3.3 μ H (型号：MPX1D1250L3R3) ，除非另有说明。

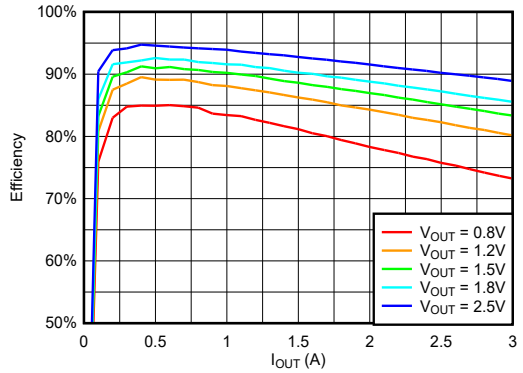


图 6-25. 在 VIN = 3.3V，f_{SW} = 500kHz，温度 = 25℃ 条件下，通道 1 在不同 V_{OUT} 下的效率与负载间的关系

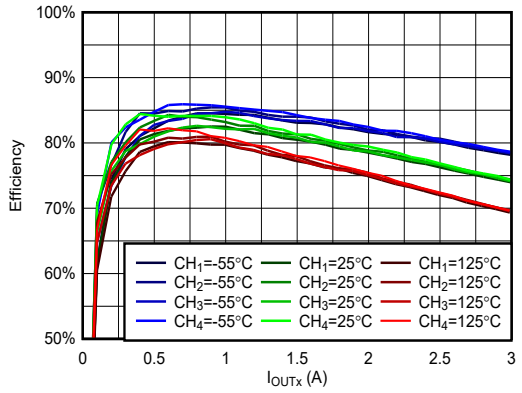


图 6-26. VIN = 5V，V_{OUTx} = 0.8V，f_{SW} = 500kHz 时，效率与负载间的关系

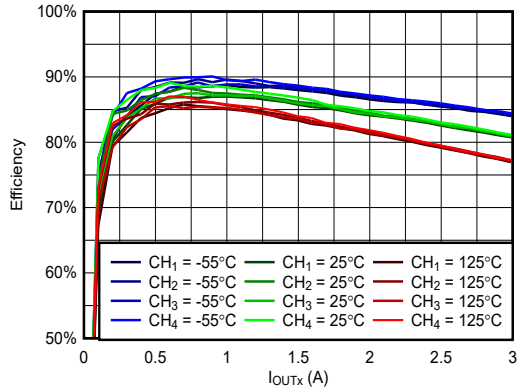


图 6-27. VIN = 5V，V_{OUTx} = 1.2V，f_{SW} = 500kHz 时，效率与负载间的关系

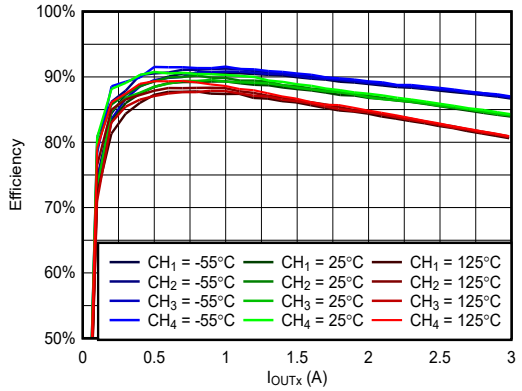


图 6-28. VIN = 5V，V_{OUTx} = 1.5V，f_{SW} = 500kHz 时，效率与负载间的关系

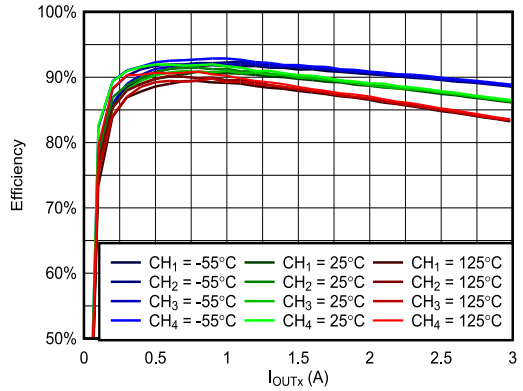


图 6-29. VIN = 5V，V_{OUTx} = 1.8V，f_{SW} = 500kHz 时，效率与负载间的关系

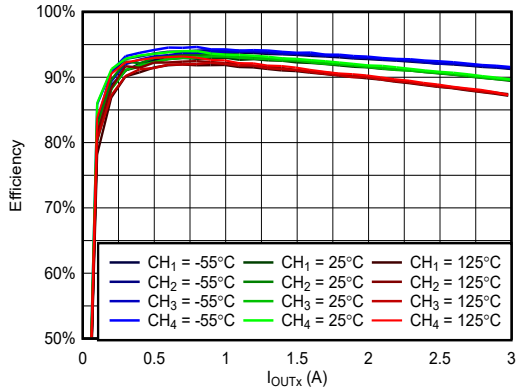


图 6-30. VIN = 5V，V_{OUTx} = 2.5V，f_{SW} = 500kHz 时，效率与负载间的关系

Copyright © 2026 Texas Instruments Incorporated

6.7 典型特性 (续)

PVIN = VIN，REFCAP = 470nF，L=3.3 μ H (型号：MPX1D1250L3R3) ，除非另有说明。

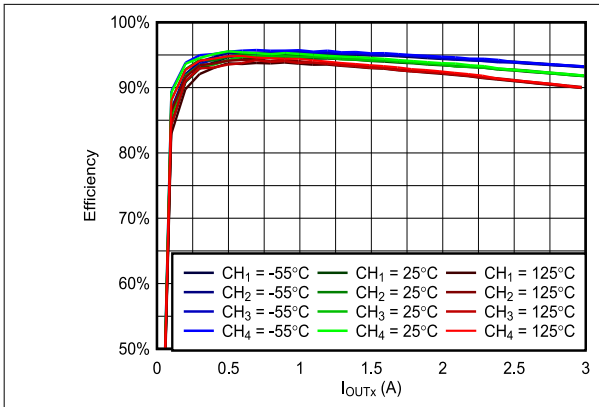


图 6-31. VIN = 5V，V_{OUTx} = 3.3V，f_{SW} = 500kHz 时，效率与负载间的关系

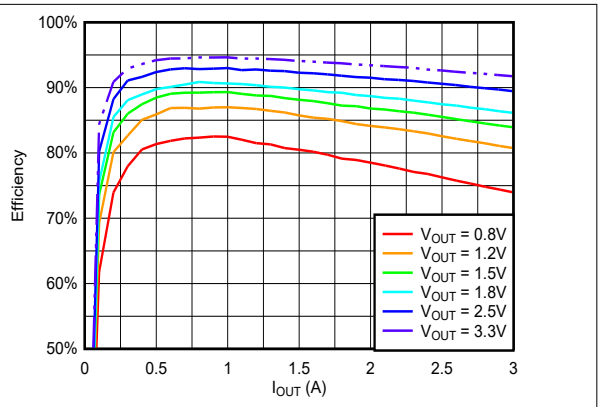


图 6-32. 在 VIN = 5V，f_{SW} = 500kHz，温度 = 25℃ 条件下，通道 1 在不同 V_{OUT} 下的效率与负载间的关系

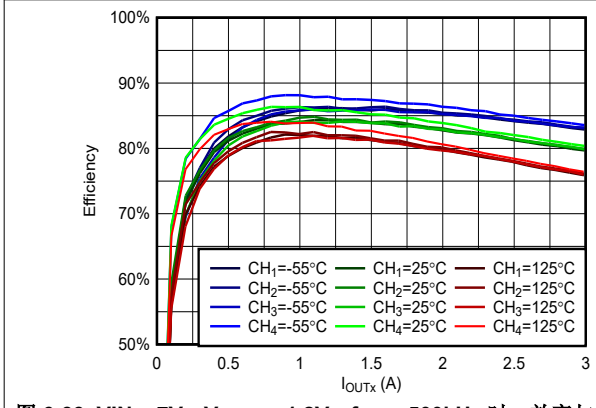


图 6-33. VIN = 7V，V_{OUTx} = 1.2V，f_{SW} = 500kHz 时，效率与负载间的关系

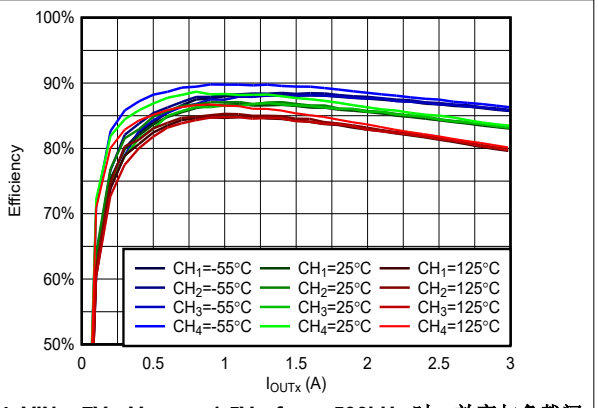


图 6-34. VIN = 7V，V_{OUTx} = 1.5V，f_{SW} = 500kHz 时，效率与负载间的关系

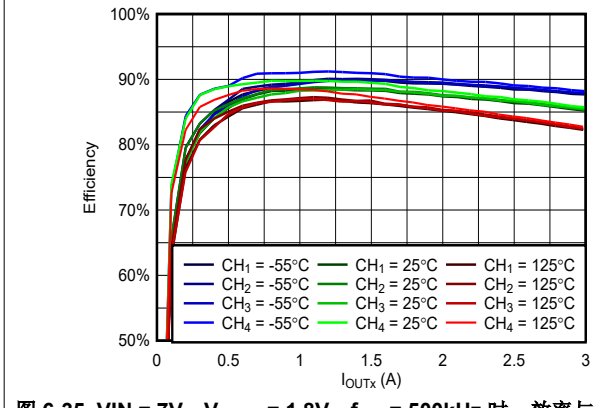


图 6-35. VIN = 7V，V_{OUTx} = 1.8V，f_{SW} = 500kHz 时，效率与负载间的关系

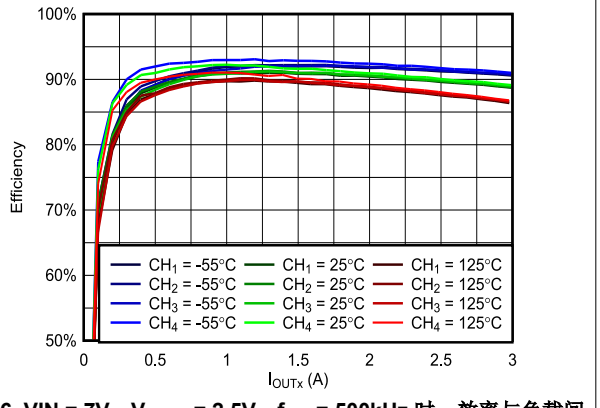


图 6-36. VIN = 7V，V_{OUTx} = 2.5V，f_{SW} = 500kHz 时，效率与负载间的关系

Copyright © 2026 Texas Instruments Incorporated

6.7 典型特性 (续)

PVIN = VIN，REFCAP = 470nF，L=3.3 μ H (型号：MPX1D1250L3R3) ，除非另有说明。

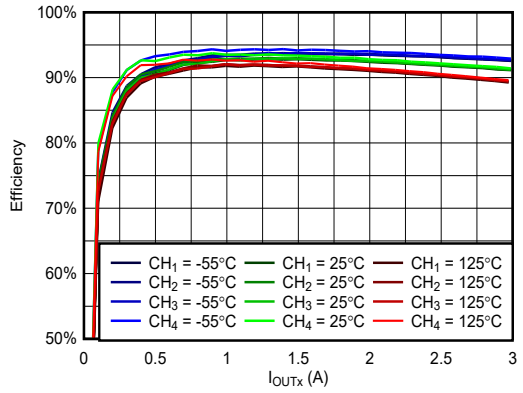


图 6-37. VIN = 7V，V_{OUTx} = 3.3V，f_{SW} = 500kHz 时，效率与负载间的关系

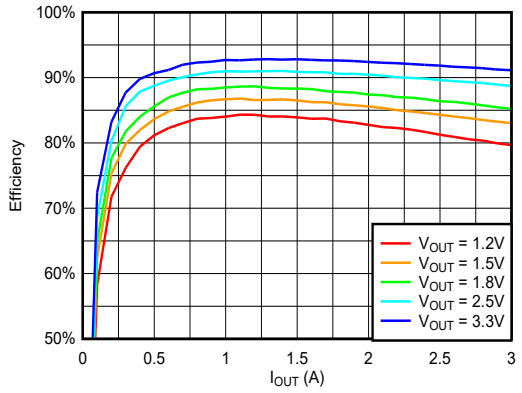


图 6-38. 在 VIN = 7V，f_{SW} = 500kHz，温度 = 25℃ 条件下，通道 1 在不同 V_{OUT} 下的效率与负载间的关系

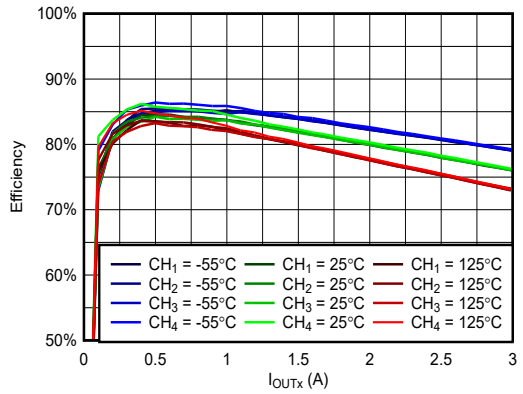


图 6-39. VIN = 3.3V，V_{OUTx} = 1.2V，f_{SW} = 1MHz 时，效率与负载间的关系

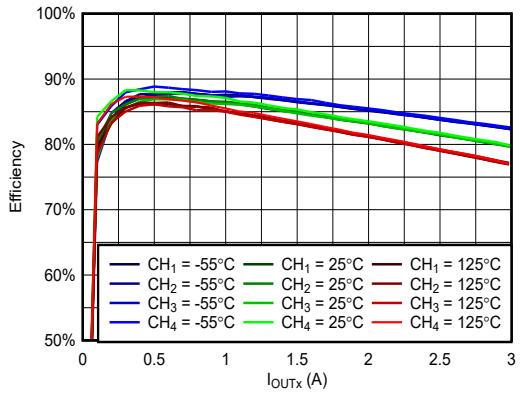


图 6-40. VIN = 3.3V，V_{OUTx} = 1.5V，f_{SW} = 1MHz 时，效率与负载间的关系

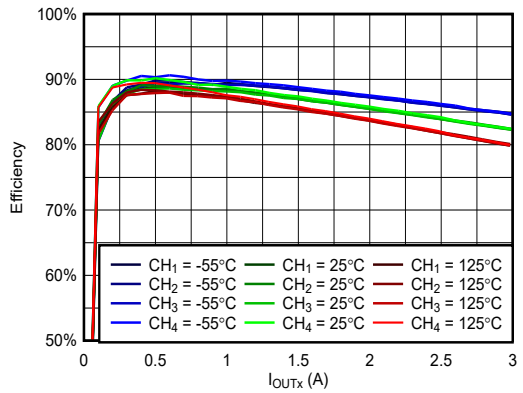


图 6-41. VIN = 3.3V，V_{OUTx} = 1.8V，f_{SW} = 1MHz 时，效率与负载间的关系

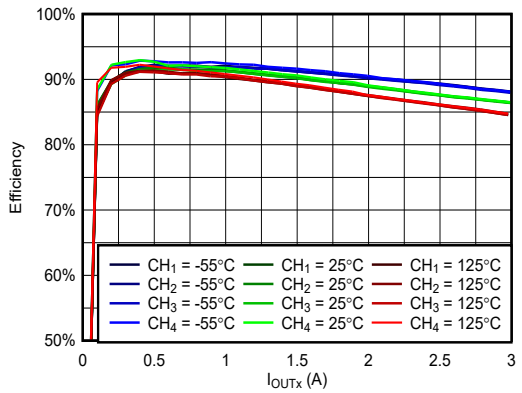


图 6-42. VIN = 3.3V，V_{OUTx} = 2.5V，f_{SW} = 1MHz 时，效率与负载间的关系

Copyright © 2026 Texas Instruments Incorporated

6.7 典型特性 (续)

PVIN = VIN，REFCAP = 470nF，L=3.3 µ H (型号：MPX1D1250L3R3) ，除非另有说明。

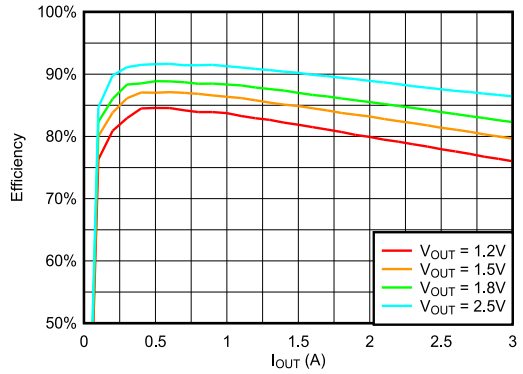


图 6-43. 在 VIN = 3.3V，f_{SW} = 1MHz，温度 = 25℃ 条件下，通道 1 在不同 V_{OUT} 下的效率与负载间的关系

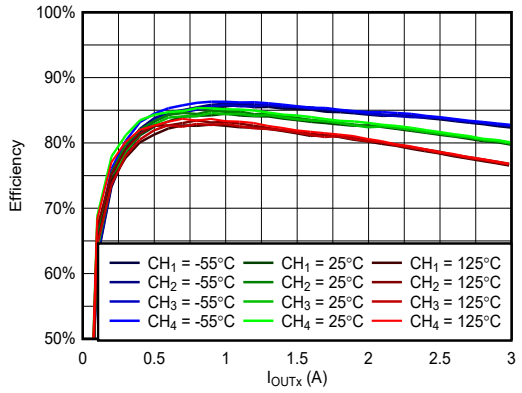


图 6-44. VIN = 5V，V_{OUTx} = 1.5V，f_{SW} = 1MHz 时，效率与负载间的关系

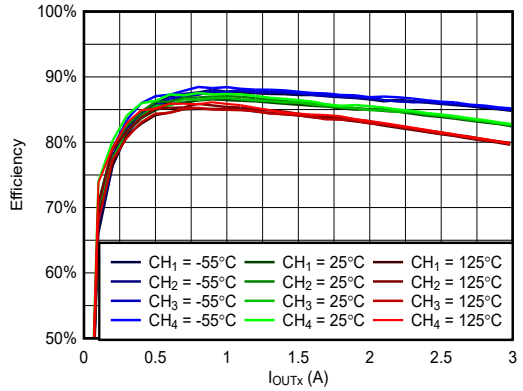


图 6-45. VIN = 5V，V_{OUTx} = 1.8V，f_{SW} = 1MHz 时，效率与负载间的关系

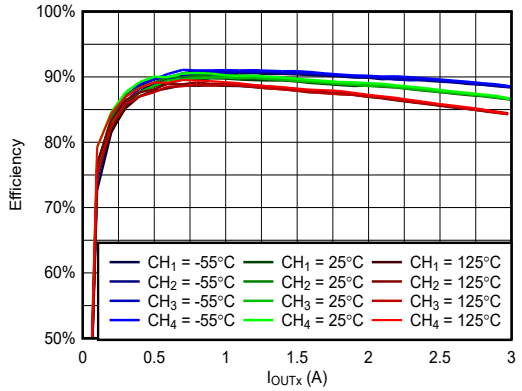


图 6-46. VIN = 5V，V_{OUTx} = 2.5V，f_{SW} = 1MHz 时，效率与负载间的关系

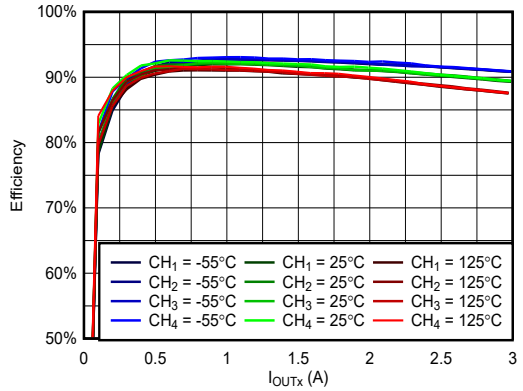


图 6-47. VIN = 5V，V_{OUTx} = 3.3V，f_{SW} = 1MHz 时，效率与负载间的关系

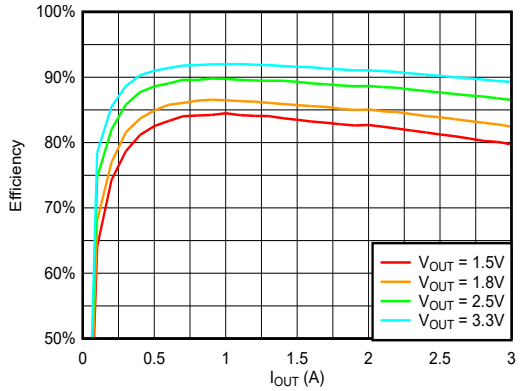


图 6-48. 在 VIN = 5V，f_{SW} = 1MHz，温度 = 25℃ 条件下，通道 1 在不同 V_{OUT} 下的效率与负载间的关系

Copyright © 2026 Texas Instruments Incorporated

6.7 典型特性 (续)

PVIN = VIN，REFCAP = 470nF，L=3.3 μ H (型号：MPX1D1250L3R3) ，除非另有说明。

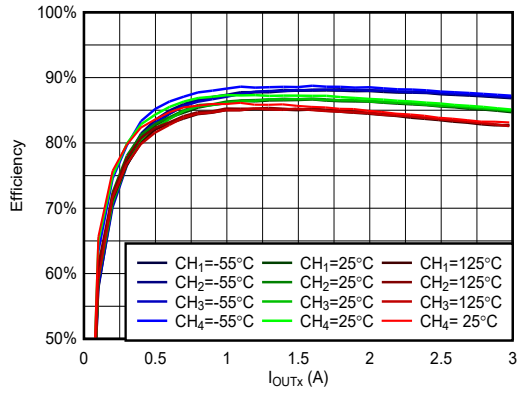


图 6-49. VIN = 7V，V_{OUTx} = 2.5V，f_{SW} = 1MHz 时，效率与负载间的关系

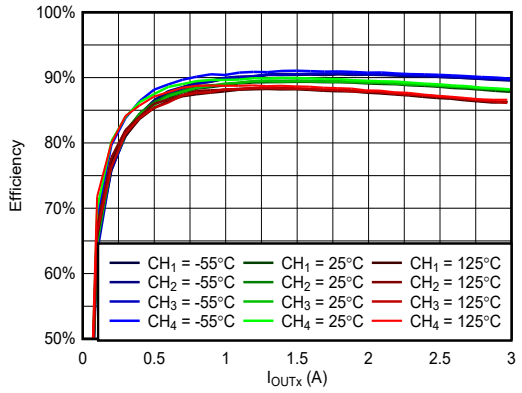


图 6-50. VIN = 7V，V_{OUTx} = 3.3V，f_{SW} = 1MHz 时，效率与负载间的关系

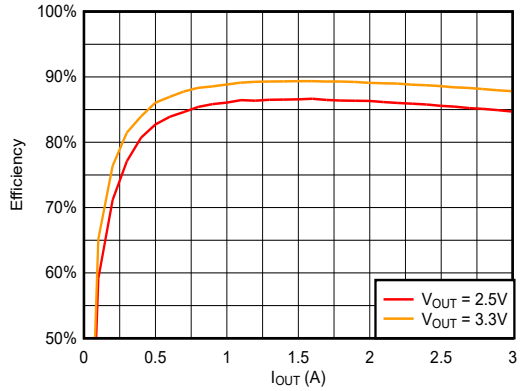


图 6-51. 在 VIN = 7V，f_{SW} = 1MHz，温度 = 25℃ 条件下，通道 1 在不同 V_{OUT} 下的效率与负载间的关系

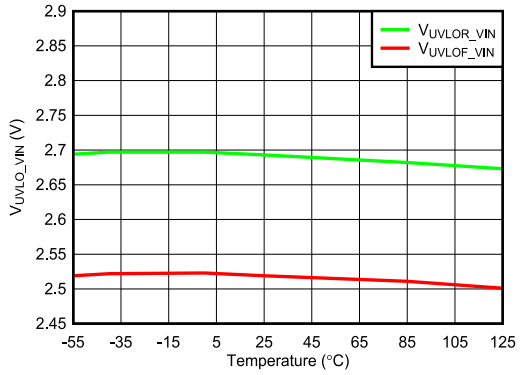


图 6-52. 上升与下降 VIN UVLO 阈值与温度之间的关系

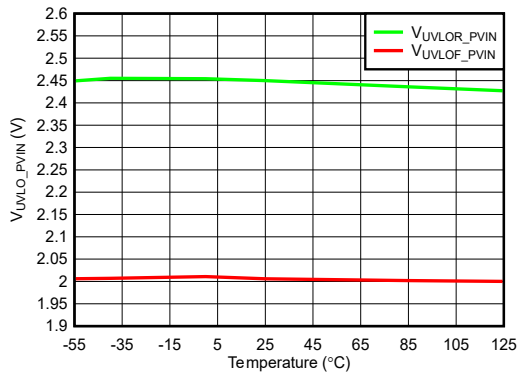


图 6-53. 上升与下降 PVIN UVLO 与温度之间的关系

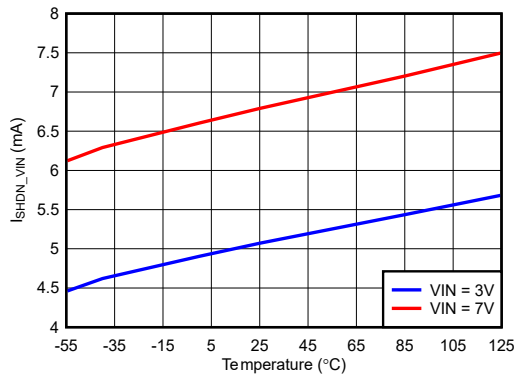


图 6-54. VIN 关断电流与温度间的关系

Copyright © 2026 Texas Instruments Incorporated

6.7 典型特性 (续)

PVIN = VIN，REFCAP = 470nF，L=3.3 μ H（型号：MPX1D1250L3R3），除非另有说明。

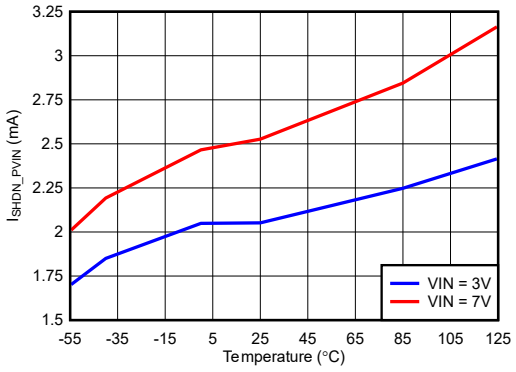


图 6-55. PVIN 关断电流与温度间的关系

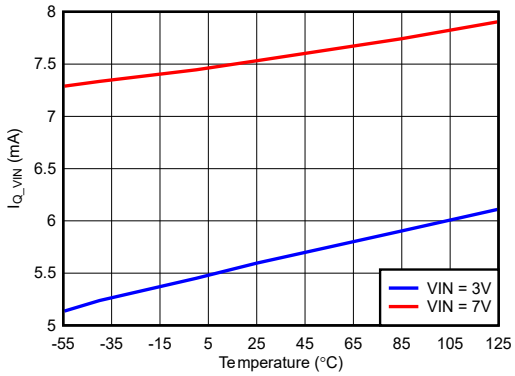


图 6-56. VIN 静态电流与温度间的关系

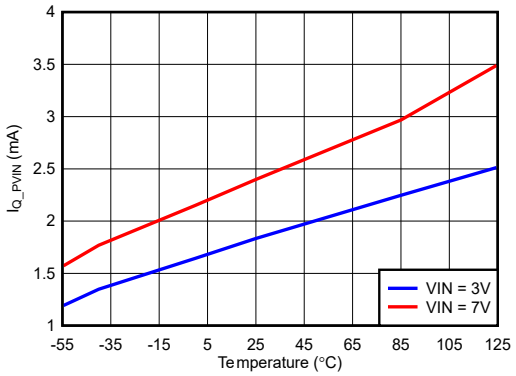


图 6-57. PVIN 关断电流与温度间的关系

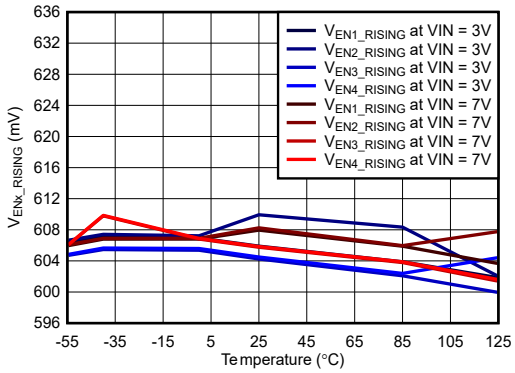


图 6-58. EN 上升阈值与温度之间的关系

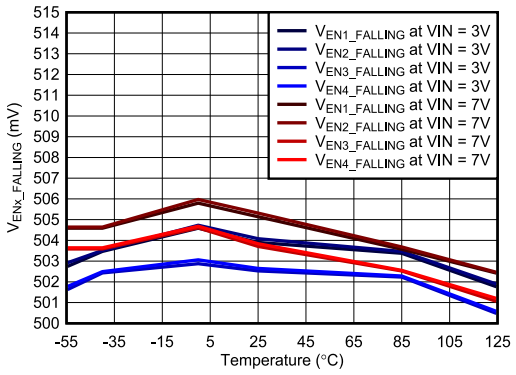


图 6-59. EN 下降阈值与温度之间的关系

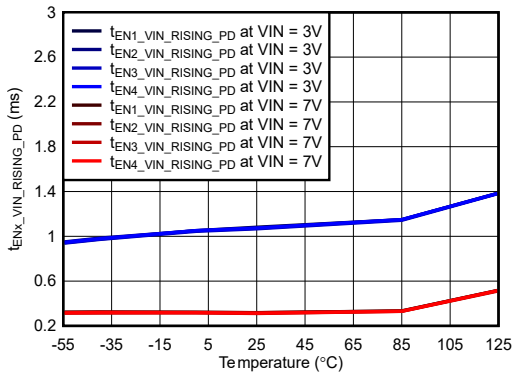


图 6-60. EN 连接 VIN 时，EN 上升电压传播延迟与温度之间的关系

Copyright © 2026 Texas Instruments Incorporated

6.7 典型特性 (续)

PVIN = VIN，REFCAP = 470nF，L=3.3 μ H（型号：MPX1D1250L3R3），除非另有说明。

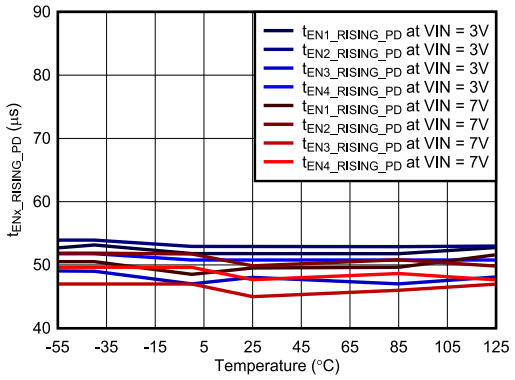


图 6-61. EN 上升电压传播延迟与温度之间的关系

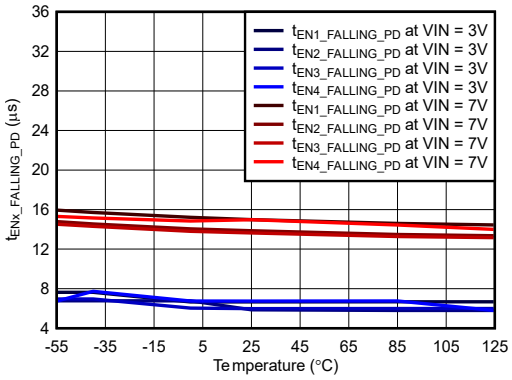


图 6-62. EN 下降电压传播延迟与温度之间的关系

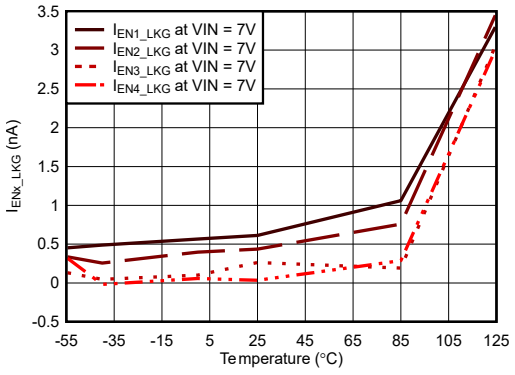


图 6-63. EN 漏电流与温度间的关系

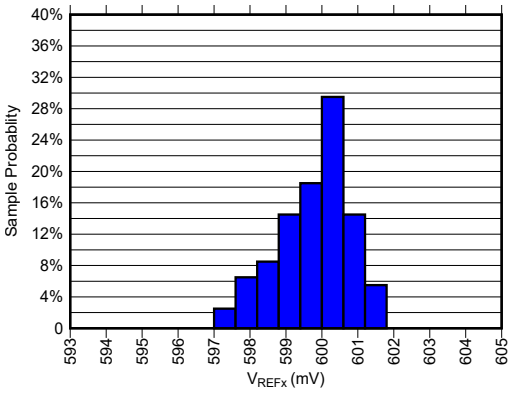


图 6-64. 温度为 –55°C 时的 VREFx 电压分布

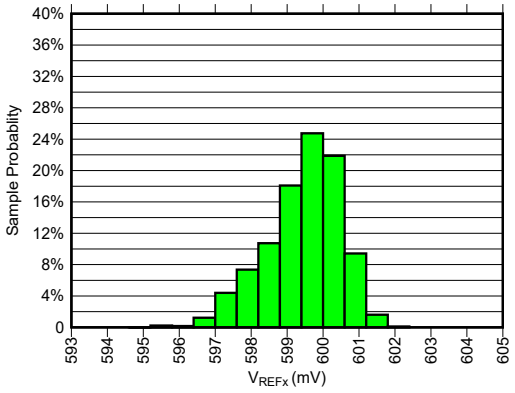


图 6-65. 温度为 25°C 时的 VREFx 电压分布

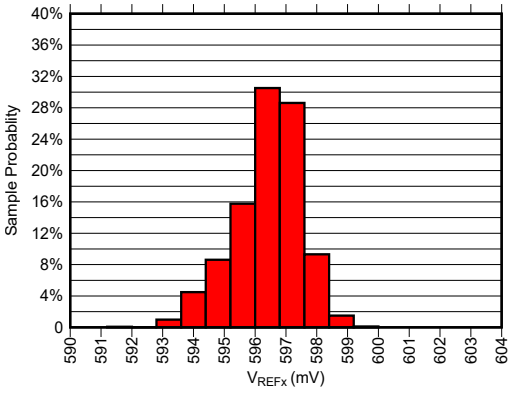


图 6-66. 温度为 125°C 时的 VREFx 电压分布

Copyright © 2026 Texas Instruments Incorporated

6.7 典型特性 (续)

PVIN = VIN，REFCAP = 470nF，L=3.3 μ H（型号：MPX1D1250L3R3），除非另有说明。

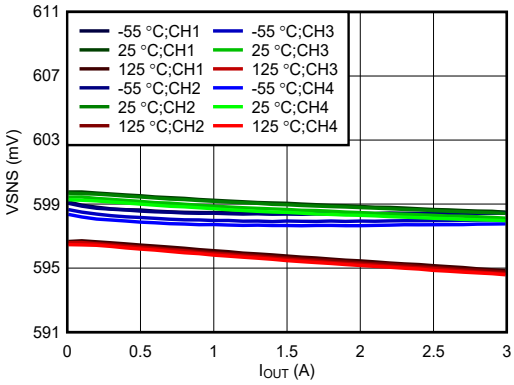


图 6-67. f_{SW} = 500kHz 时 VSNS 与负载间的关系

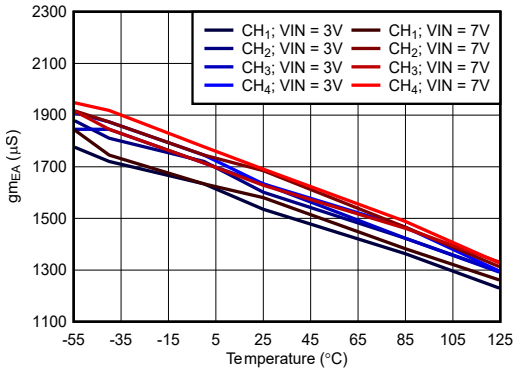


图 6-68. 误差放大器跨导与温度间的关系

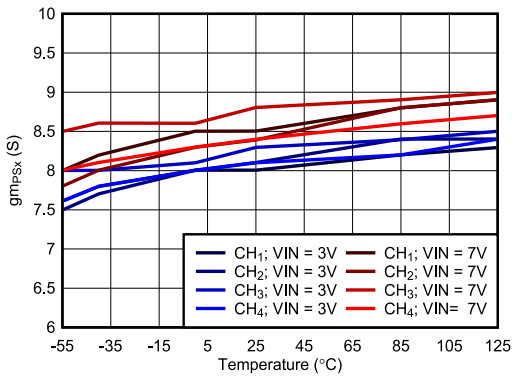


图 6-69. 功率级跨导与温度间的关系

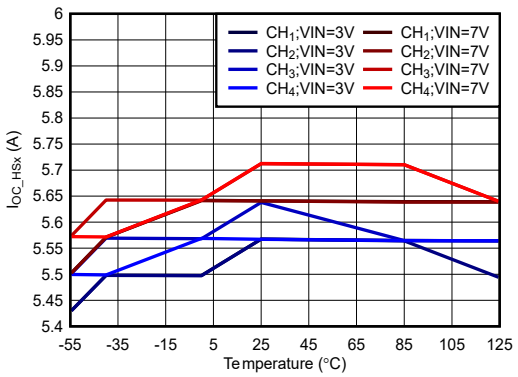


图 6-70. 高侧开关过流阈值与温度间的关系

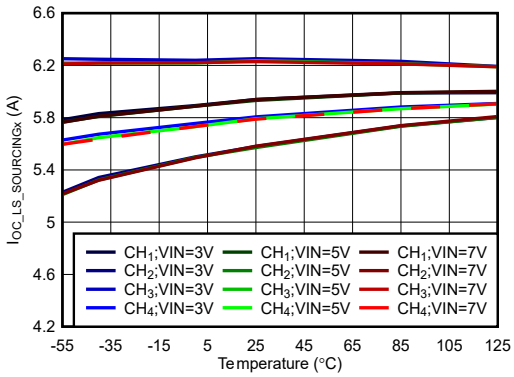


图 6-71. 低侧拉电流开关过流阈值与温度间的关系

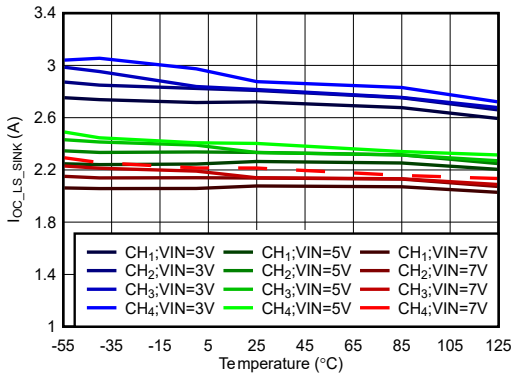


图 6-72. 低侧灌电流开关过流阈值与温度间的关系

Copyright © 2026 Texas Instruments Incorporated

6.7 典型特性 (续)

PVIN = VIN，REFCAP = 470nF，L=3.3 μ H（型号：MPX1D1250L3R3），除非另有说明。

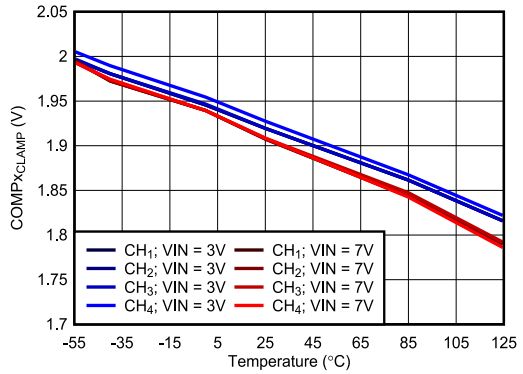


图 6-73. COMPx 钳位电压与温度间的关系

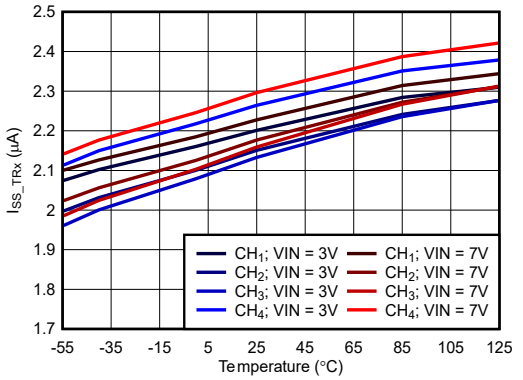


图 6-74. 软启动充电电流与温度间的关系

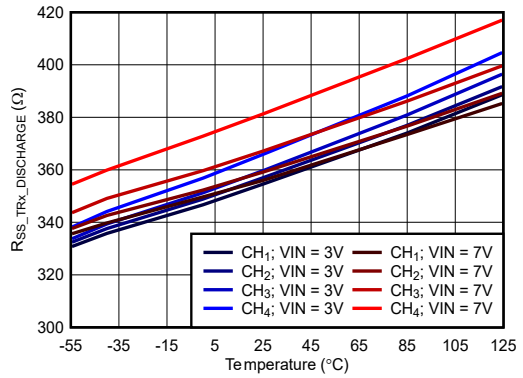


图 6-75. 软启动放电下拉电阻器与温度间的关系

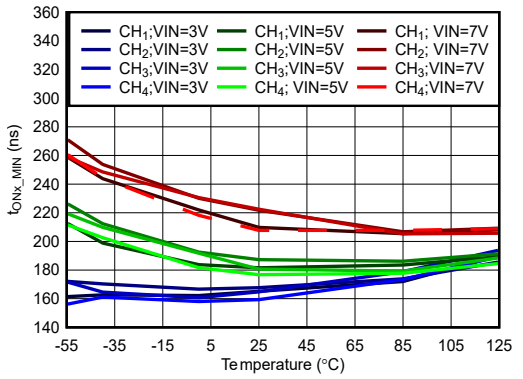


图 6-76. 最短导通时间与温度间的关系

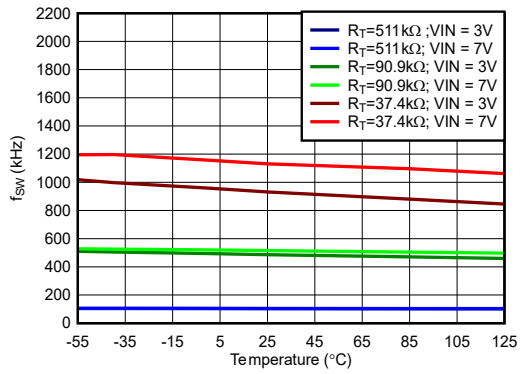


图 6-77. RT 编程的开关频率

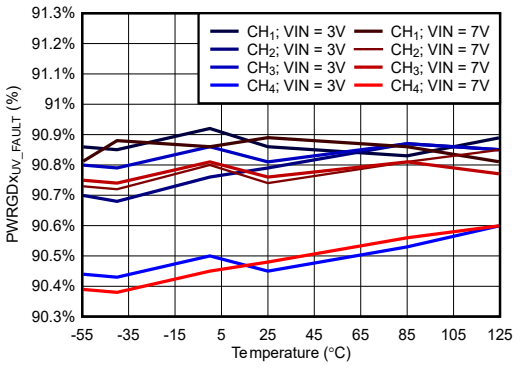


图 6-78. PWRGD 故障状态下 VSNSx 下降阈值与温度间的关系

Copyright © 2026 Texas Instruments Incorporated

6.7 典型特性 (续)

PVIN = VIN，REFCAP = 470nF，L=3.3 μ H（型号：MPX1D1250L3R3），除非另有说明。

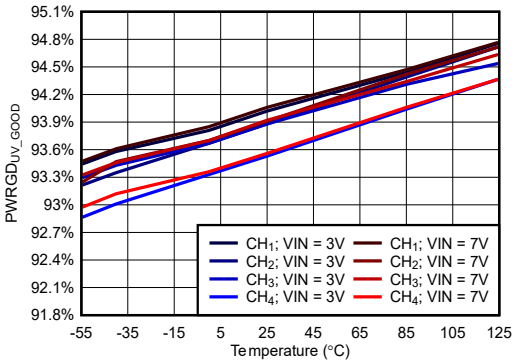


图 6-79. PWRGD 正常状态下 VSNSx 上升阈值与温度间的关系

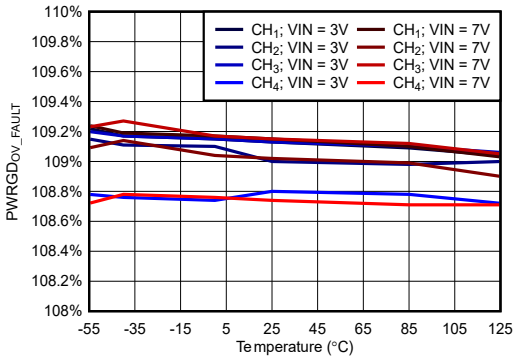


图 6-80. PWRGD 故障状态下 VSNSx 上升阈值与温度间的关系

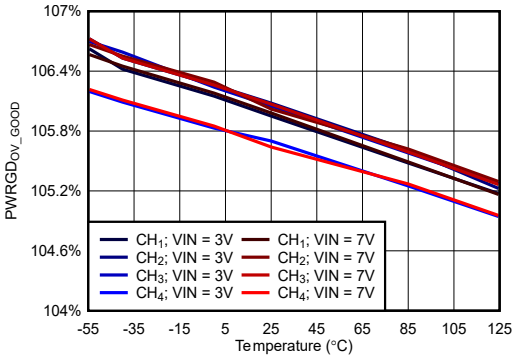


图 6-81. PWRGD 正常状态下 VSNSx 下降阈值与温度间的关系

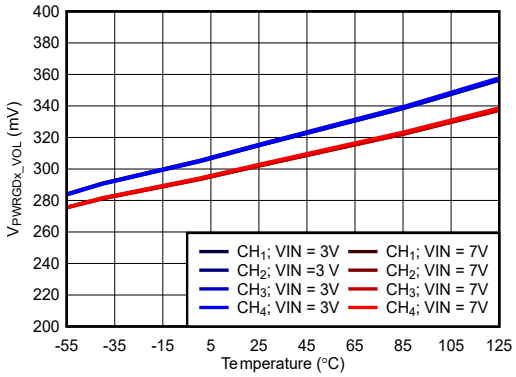
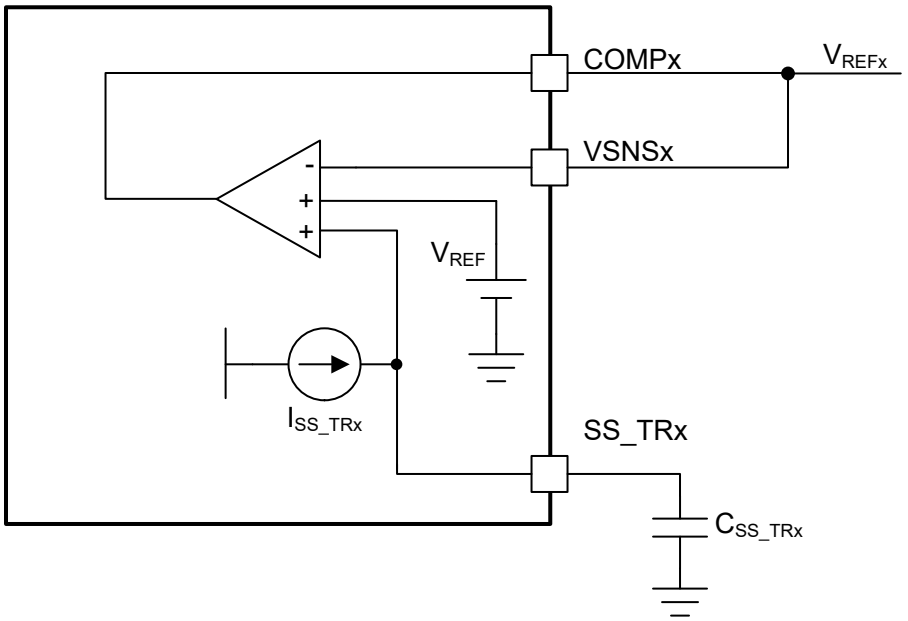


图 6-82. 电源正常输出低电压与温度间的关系

Copyright © 2026 Texas Instruments Incorporated

7 参数测量信息



A. 这一精确的基准电压值包括误差放大器偏移量 V_{IOx}。使用该值来设置输出电压。可在全部四个通道上进行该测量。

图 7-1. 基准电压测量 (V_{REFx})

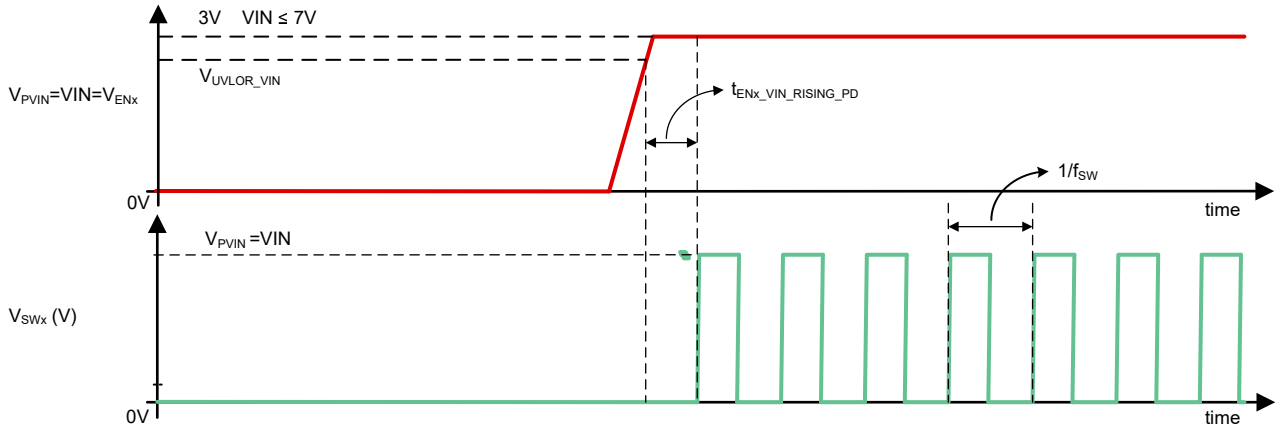


图 7-2. ENx 连接 PVIN = VIN 时的上升使能传播延迟 ($t_{ENx_VIN_RISING_PD}$)

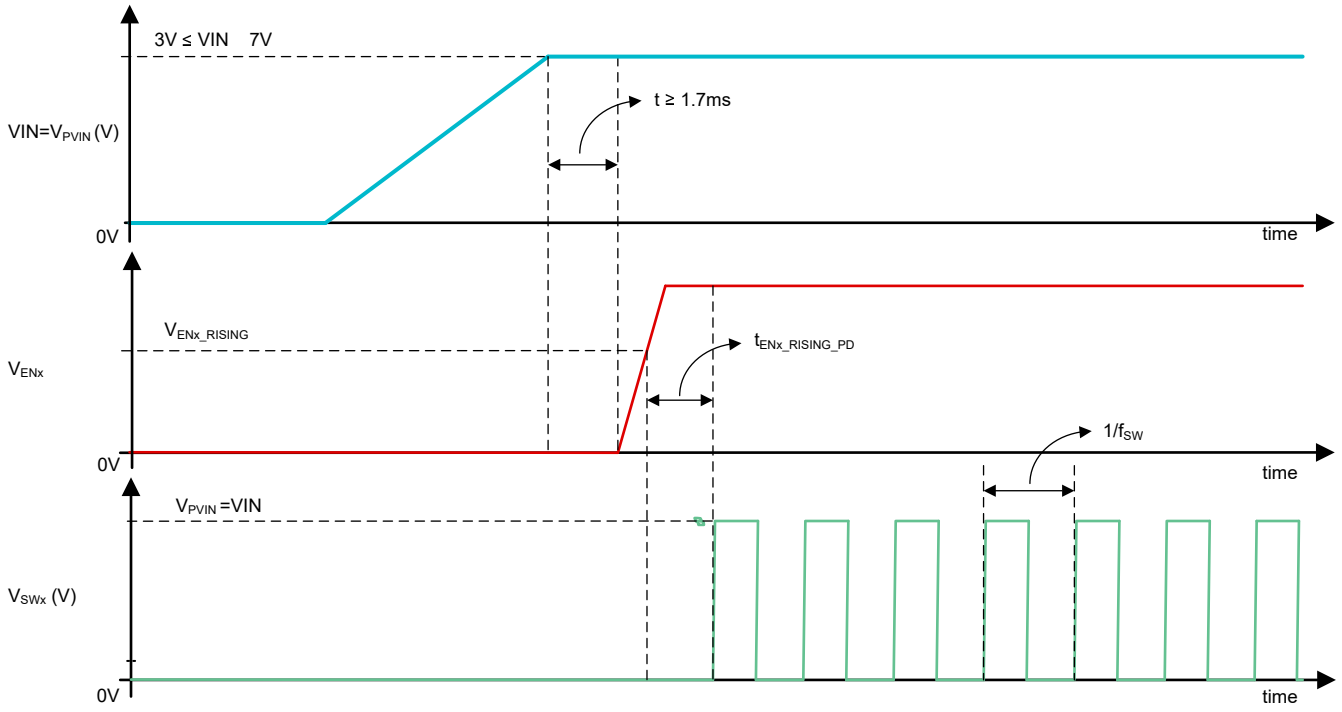


图 7-3. ENx 独立于 PVIN = VIN 驱动时的上升使能传播延迟 ($t_{ENx_RISING_PD}$)

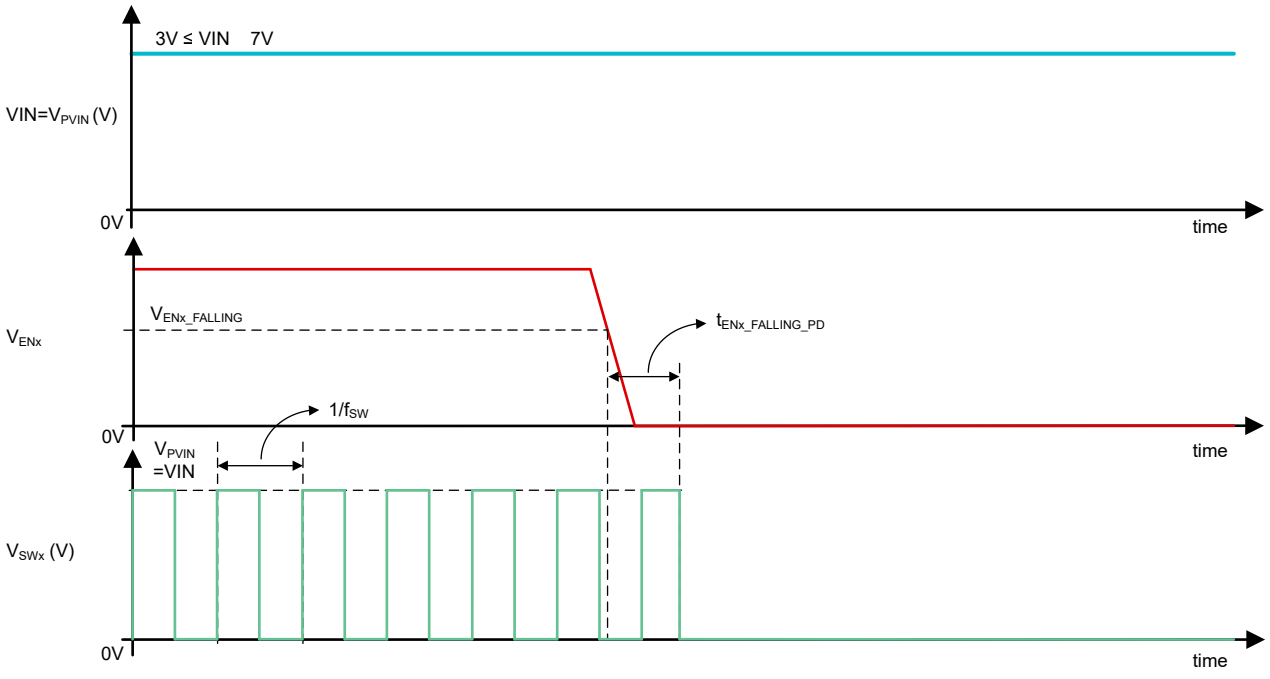


图 7-4. 下降使能传播延迟 ($t_{ENx_FALLING_PD}$)

Copyright © 2026 Texas Instruments Incorporated

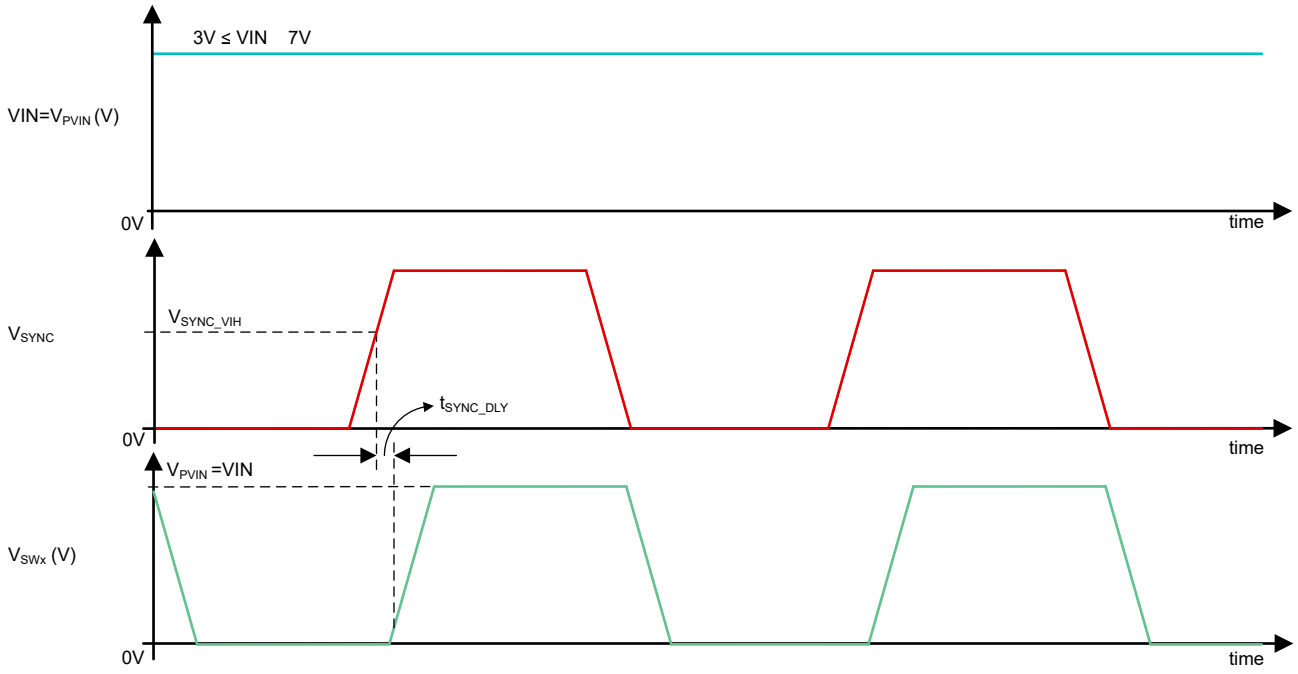


图 7-5. SYNC 到 SWITCH 延迟 (t_{SYNC_DLY})

8 详细说明

8.1 概述

TPS7H4104 和 TPS7H4102 器件是：3V 至 7V，每通道 3A，四通道/双通道同步降压转换器。每个通道集成了两个 MOSFET，一个为 PMOS，用于高侧，一个为 NMOS，用于低侧。每个通道还有独立的：

- 电源正常标志 (PWRGDx)
- 可编程斜率补偿 (RSCx)
- 可编程软启动 (SSx)
- 低逻辑兼容使能输入 (ENx)

每个通道均可独立使用，也可交错使用，以便满足大于 3A 的负载需求，TPS7H4104 最高可达 12A，TPS7H4102 最高可达 6A。每个相位在内部均以 90 度的相对固定相移运行。顶部与底部的通道之间有 180 度的相移，以便实现 6A 的双通道/单通道交错。

备注

在本文档中，信号名称末尾的 x 用于概括信号的所有可能取值，x 的取值范围为 1 至 4（用于指定讨论的通道）。如果一个信号的末尾没有 x 或给定值（1 至 4 之间），则该信号属于所有通道的共用（或全局）信号。例如以下信号：VIN、PVIN、RT、SYNC、EN_SEQ（仅适用于 TPS7H4104），GND、PGND 以及 REFCAP 是所有通道的共用信号。

为了提高线路与负载瞬态期间的性能，该器件采用恒频峰值电流模式控制，也简化了外部频率补偿。选择输出滤波器元件 (L_x 和 C_{OUTx}) 时，宽开关频率范围（100kHz 至 1MHz）能够实现效率与尺寸优化。MOSFET 的尺寸经过优化，可在较低占空比应用中实现高效率。

该器件专为安全单调启动预偏置负载而设计。默认启动时间为 VIN 大于 2.7V（典型值）时。每个通道包含一个独立的使能信号(ENx)。该引脚连接至具有磁滞（典型值 106mV）的电压比较器的非反相输入端。TPS7H4104 的最大组合 (VIN + PVIN) 工作电流为 12mA（禁用所有通道）和 18.7mA（启用所有通道且不进行开关）。

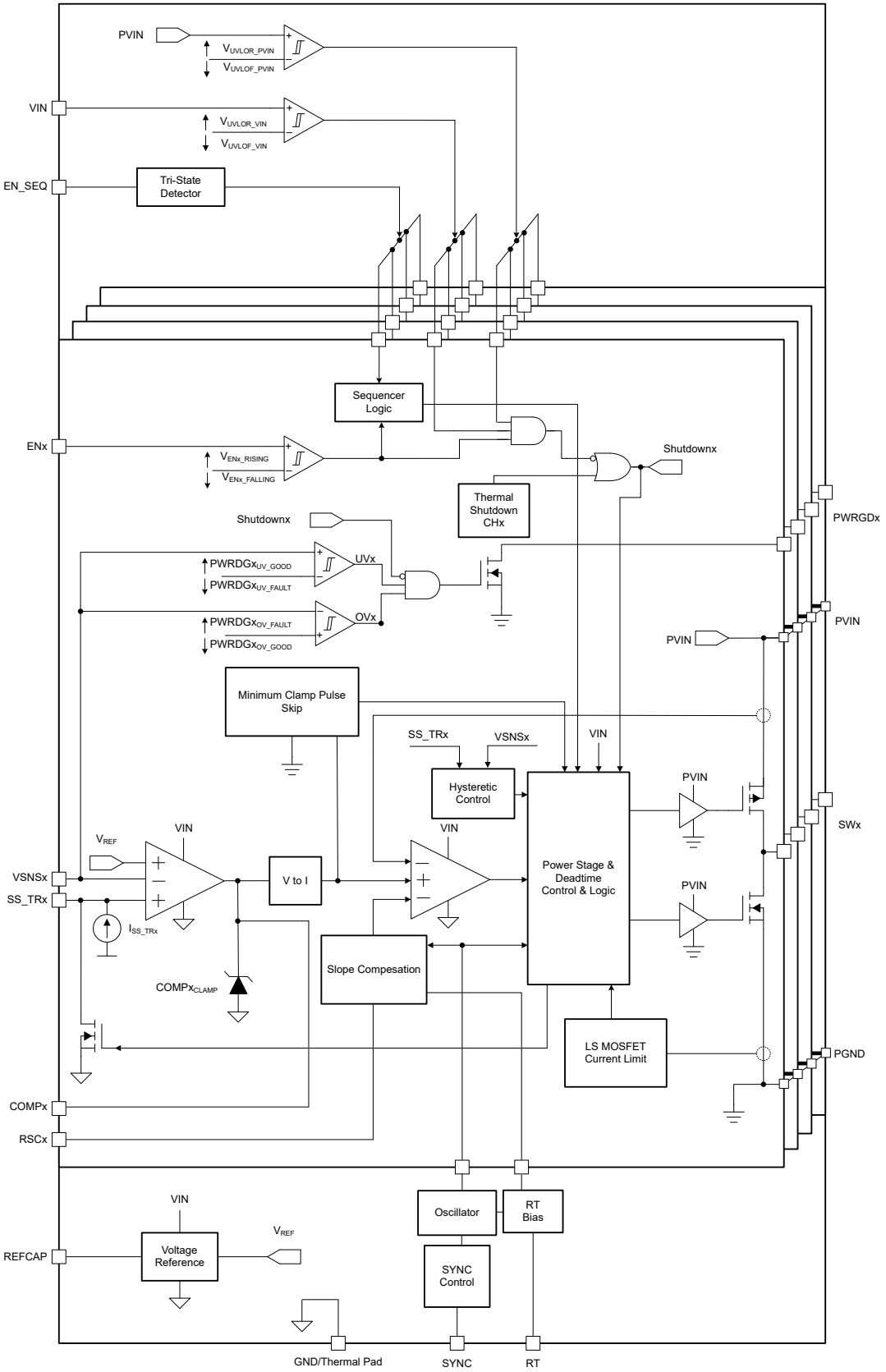
该器件集成了一个带磁滞功能的电源正常比较器 (PWRGDx)，可通过 VSNSx （或反馈）引脚监测输出电压。PWRGDx 引脚是一个漏极开路 NMOS MOSFET，当 VSNSx 引脚电压低于内部基准电压 (V_{REFx}) 的 91%（典型值）或高于内部基准电压的 109%（典型值）时，该引脚被拉至低电平；当 VSNSx 引脚电压为 V_{REFx}（典型值）的 94% 至 106% 时，PWRGDx 引脚被置为高电平。

SS_TRx（软启动/跟踪）引脚可用于最大限度降低浪涌电流（启动期间，C_{OUTx} 放电时）或在上电期间提供电源时序控制。可将低值电容器或电阻分压器连接至该引脚，以满足软启动或关键电源时序要求。启动期间，如果 VSNSx 高于 SS_TRx 处的电压，器件就会进入脉冲跳跃模式。这是由最短导通时间（VIN = 5V 时，t_{ONx_MIN} = 182ns（典型值））导致的。

该器件具有输出过压、过载以及热故障保护功能。该器件可利用电源正常比较器中的过压电路，最大限度降低过高的输出过压瞬态。过压比较器激活后，在 VSNSx 引脚电压低于 V_{REFx} 的 106% 以前，会关闭并且禁止导通高侧 MOSFET。该器件可实现高侧 MOSFET 过载保护和双向低侧 MOSFET 过载保护，有助于控制电感器电流并避免电流失控。如果任何通道的结温高于热关断跳闸点（通常为 163°C），也会关闭相应器件。当结温降低至比热关断跳闸点低 29°C（典型值）时，器件会在软启动电路的控制下自动重新启动。

Copyright © 2026 Texas Instruments Incorporated

8.2 功能方框图


PVIN
VUVLOR_PVIN
VUVLOF_PVIN
VIN
VUVLOR_VIN
VUVLOF_VIN
EN_SEQ
Tri-State Detector
Sequencer Logic
ENx
VENx_RISING
VENx_FALLING
Shutdownx
Thermal Shutdown CHx
PWRGDx
PWRDGxUV_GOOD
PWRDGxUV_FAULT
UVx
PWRDGxOV_FAULT
PWRDGxOV_GOOD
OVx
PVIN
Minimum Clamp Pulse Skip
SS_TRx
VSNSx
VIN
Hysteretic Control
PVIN
SWx
VREF
VIN
VIN
VSNSx
SS_TRx
V to I
Power Stage & Deadtime Control & Logic
PVIN
ISS_TRx
COMPxCLAMP
Slope Compesation
LS MOSFET Current Limit
PGND
COMPx
RSCx
VIN
Oscillator
RT Bias
VREF
REFCAP
Voltage Reference
SYNC Control
GND/Thermal Pad
SYNC
RT

8.3 特性说明

8.3.1 VIN 和功率 VIN 引脚（VIN 和 PVIN）

VIN 引脚为内部控制电路供电。PVIN 引脚为所有内部半桥（通道 1 至 通道 4）提供输入电压（并且为负载供电）。两个引脚都有 3V 至 7V 的输入电压范围。该等引脚必须具有相同的标称电压，并且必须同时上电与断电。通常，这是通过由同一电压源为这些引脚供电（连接在一起）来实现的。

VIN 和 PVIN 各自具有独立的 UVLO（欠压锁定）上升阈值，分别为 V_{UVLOR_VIN}（典型值 2.7V）和 V_{UVLOR_PVIN}（典型值 2.44V）。这是为了确保器件内部偏置足以保证正常运行。此外，VIN 和 PVIN 各自具有独立的 UVLO 下降阈值，分别为 V_{UVLOF_VIN}（典型值 2V）和 V_{UVLOF_PVIN}（典型值 2.52V）。如果电压下降并达到这些值，器件将关断。由于应用中 PVIN 与 VIN 连接在一起，因此器件（或 I.C.）的主要 UVLO 为 VIN UVLO，因为在电压上升与下降期间，VIN UVLO 的阈值更高。

如果需要，用户可利用 VIN 与 ENx 之间连接的外部电阻分压器调整有效 UVLO。如需了解更多详情，请参阅节 8.3.4.1。

备注

在 TPS7H4102 中，PVIN 引脚 17、18、31 以及 32 的导通电流不大，最大值为 2.27mA。因此，不需要将该等引脚连接至平面，仅需走线即可满足需求。

8.3.2 电压基准

该器件会产生一个内部标称 1.235V 的带隙基准电压 V_{REFCAP}。这是稳态运行期间 REFCAP 引脚上存在的电压。REFCAP 引脚需要 470nF 接地电容器，以确保器件的电气运行正常以及 SET 性能稳健。该带隙电压用于推导误差放大器的基准电压，与四个误差放大器共用。

馈入误差放大器的基准电压用于设置输出电压。然而，误差放大器具有固有失调电压，会影响总体精度误差。V_{REFx} 在单位增益下通过误差放大器进行测量，因此测量包括偏移误差。25°C 时，V_{REFx} 的典型值为 599.48mV，并且设计为在线路（输入电压）、温度以及 TID 范围内保持 ± 1% 的精度。由于 V_{REFx} 是在开环配置中测得的，因此开关频率与负载的影响未纳入规格中。然而，与已考虑的影响相比，该等影响微乎其微。

8.3.3 设置 V_{OUTx}

输出电压通过电阻分压器设置。在输出电压节点 (V_{OUTx}) 到 VSNSx 引脚之间，连接一个顶部电阻器，在 VSNSx 到 GND 之间连接一个底部电阻器。如需了解更多连接配置，可参阅 图 8-1。德州仪器 (TI) 建议使用容差为 0.1% 的电阻器。

从 10kΩ 的 R_{F_TOPx} 开始，并且利用 方程式 1，计算底部反馈电阻 (R_{F_BOTx})。为了提高轻载时的效率，可考虑使用具有更大值的电阻器。如果值太大，稳压器更容易受到噪声和 VSNSx 输入电流中输出电压误差的影响。

$$R_{F_BOTx} = \left(\frac{V_{REFx}}{V_{OUTx_TARGET} - V_{REFx}}\right) \times R_{F_TOPx} \quad (1)$$

其中：

- V_{REFx} = 599.48mV（25°C 典型值）
  - 如需了解有关 V_{REFx} 的更多详细信息，可参阅 节 6.5 的 *“电压基准”* 部分
  - 如果需要最大限度降低整个温度范围内的输出电压误差，可以将基准重新定位为：

$$V_{REFx} = \frac{V_{REFx(MIN)} + V_{REFx(MAX)}}{2} = 597.5mV \quad (2)$$

Copyright © 2026 Texas Instruments Incorporated

- V_{OUTx_TARGET} 是所需的额定输出电压
- R_{F_TOPx} 是电阻分压器的所选顶部电阻器

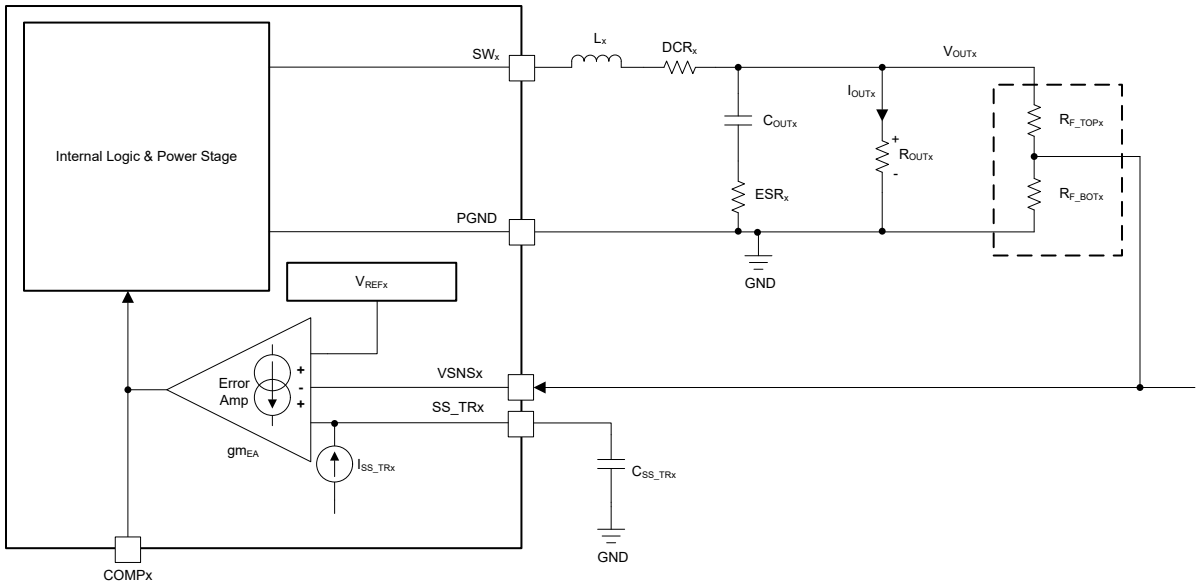


图 8-1. 利用电阻分压器进行 V_{OUTx} 编程

8.3.3.1 带误差的 V_{OUTx}

一旦知道顶部和底部电阻，就可以使用 方程式 3 计算预期的标称输出电压。由于基准值和电阻值与标称值存在偏差（或不确定性），设计人员可利用 方程式 4 计算期望的输出电压误差。方程式 4 是通过导数法计算得到的，此外，还假定误差变量互不相关，两个电阻器（R_{F_TOPx} 与 R_{F_BOTx}）具有相同容差。实际输出电压范围可通过 方程式 5 进行计算：

$$V_{OUTx_NOMINAL} = \left(1 + \frac{R_{F_TOPx}}{R_{F_BOTx}}\right) \times V_{REFx} \tag{3}$$

$$V_{OUTx_ERROR}\ (V) = \pm \sqrt{\frac{V_{REFx}^2 \times \left[\left(2 \times R_{TOL}^2 \times R_{F_TOPx}^2\right) + \left(V_{REFx_ACC}^2 \times \left(R_{F_TOPx} + R_{F_BOTx}\right)^2\right)\right]}{R_{F_BOTx}^2}} \tag{4}$$

$$V_{OUTx_REAL} = V_{OUTx_NOMINAL} \pm V_{OUTx_ERROR} \tag{5}$$

其中：

- R_{F_TOPx} 是为电阻分压器选择的顶部电阻器，单位为欧姆（Ω）。
- R_{F_BOTx} 是为电阻分压器的选择的底部电阻器，单位为欧姆（Ω）。
- V_{REFx} = 599.48mV（25°C 下的典型值）或 598.39mV（温度范围内的中心值）。
- V_{REFx_ACC} 是以数值 (0.01) 表示的基准精度。电压与温度范围内的精度为 ± 1%，如需了解更多详细信息，可参阅 节 6.5 中 *“电压基准”* 部分。
- R_{TOL} 是以数值表示的电阻器容差（顶部与底部电阻器的容差相同）。例如，对于容差为 0.1% 的电阻器，可使用 0.001。

8.3.3.2 最小输出电压

由于存在内部前沿消隐时间、内部电路传播延迟以及内部基准电压 (V_{REFx})，存在能够实现的最小输出电压 (V_{OUTx})。最小输出电压计算公式如下：

Copyright © 2026 Texas Instruments Incorporated

$$V_{OUTx_MIN} \cong \begin{cases} V_{IN} \times t_{ONx_MIN} \times f_{SW}, if \geq V_{REFx} \\ V_{REFx}, Otherwise \end{cases} \quad (6)$$

其中：

- V_{OUTx_MIN} 是最小可实现输出电压
- V_{IN} 是 I.C. 的输入电压（与 PVIN 相同）
- t_{ONx_MIN} 是最短导通时间
  - 如需了解更多详细信息，可参阅 节 6.5 的 *“最短导通、关断与死区时间”* 部分。
- f_{SW} 为开关频率
  - 如需了解更多详细信息，可参阅 节 6.5 的 *“开关频率和同步”* 部分。
- V_{REFx} 是内部基准电压
  - 如需了解更多详细信息，可参阅 节 6.5 中 *“故障响应”* 部分。

表 8-1 显示在选定 V_{IN} 与 f_{SW} 情况下计算得到的最小输出电压。

表 8-1. 计算得出的最小输出电压

f_{SW} (kHz)	V_{IN} (V) (4)	V_{OUTx_MIN} (V)
100 (1)	3	V_{REFx} (5)
	5	
	7	
500 (2)	3	
	5	0.761
	7	1.263
1000 (3)	3	0.983
	5	1.701
	7	2.822

(1) 计算使用了 R_{RT} = 511kΩ 的最大开关频率值。
(2) 计算使用了 R_{RT} = 90.9kΩ 的最大开关频率值。
(3) 计算使用了 R_{RT} = 37.4kΩ 的最大开关频率值。
(4) 计算使用了指定电压下 t_{ONx_MIN} 的最大值。
(5) V_{REFx} 是内部基准电压。

8.3.3.3 最大输出电压

受最短关断时间 t_{OFFx_MIN} 所限，TPS7H410x 器件具有最大输出电压。该最短关断时间并非是 NMOS/NMOS 降压稳压器中自举电容器的再充电率导致的。相反，最短关断时间是为了确保开关噪声和内部电路行为不会导致过大的占空比抖动。方程式 7 近似计算了最大输出电压

$$V_{OUTx_MAX} \cong V_{IN} \times \left[1 - \left(t_{OFF_{MIN}} \times f_{SW}\right)\right] \quad (7)$$

其中：

- V_{OUTx_MAX} 是能够达到的最大输出电压
- V_{IN} 是 I.C. 的输入电压（与 PVIN 相同）
- t_{OFFx_MIN} 是最短关断时间
  - 如需了解更多详细信息，可参阅 节 6.5 的 *“最短导通、关断与死区时间”* 部分。
- f_{SW} 为开关频率
  - 如需了解更多详细信息，可参阅 节 6.5 的 *“开关频率和同步”* 部分。

表 8-2 显示在 V_{IN} 与 f_{SW} 的选定情况下计算得到的最大输出电压。

Copyright © 2026 Texas Instruments Incorporated

表 8-2. 计算得出的最大输出电压

f_{SW} (kHz)	V_{IN} (V) (4)	V_{OUTx_MAX} (V)
100 (1)	3	2.922
	5	4.870
	7	6.819
500 (2)	3	2.635
	5	4.391
	7	6.147
1000 (3)	3	2.184
	5	3.639
	7	5.095

(1) 计算使用了 R_{RT} = 511kΩ 的最大开关频率值。
(2) 计算使用了 R_{RT} = 90.9kΩ 的最大开关频率值。
(3) 计算使用了 R_{RT} = 37.4kΩ 的最大开关频率值。
(4) 计算使用了 t_{OFFx_MIN} = 216ns 的典型值

8.3.4 使能与 EN_SEQ

8.3.4.1 ENx 与外部 UVLO

ENx 引脚能够为每个 CHx（或 V_{OUTx}）提供电气开关控制。ENx 引脚连接到具有磁滞（典型值 106mV）的比较器的非反相输入端。当使能引脚处于低电平 [$V_{ENx} < V_{ENx_FALLING\ (MIN)}$] 时，器件会进入关断模式，不会对选定通道 (x) 的输出电压 (V_{OUTx}) 进行调节。如果需要开启特定通道，需强制将使能引脚置为高电平 [$V_{ENx} > V_{ENx_RISING\ (MAX)}$]。各 ENx 引脚相互独立，仅控制指定的 CHx (或 V_{OUTx})。

如有需要，用户可通过在 VIN 与 GND 之间连接一个电阻分压器，将其接入 ENx 引脚（如图 8-2 所示）的方式，单独调整各通道的开启电压。可适当调整电阻器大小，以确保能够在达到期望的预设输入电压时导通器件。

备注

用户可以设置上升电压 UVLO，下降电压取决于比较器磁滞。所选上升电压 UVLO 必须大于 2.83V 的最大 V_{UVLOR_VIN} 规格。

如果需要为所需通道 (CHx) 设置外部 UVLO，请按照下面步骤操作：

1. 选择所需上升电压 UVLO ($V_{UVLO_CHx_TARGET}$)
2. 选择电阻分压器的顶部电阻器 (R_{ENx_TOP})。
   - 10kΩ 是一个不错的起始值。为了最大限度降低功耗，应用中可使用较大的电阻值。但是，这会导致噪声敏感度上升，与 ENx 泄漏电流 (I_{ENx_LKG}) 有关的误差也会更加明显。
3. 利用 方程式 8，计算电阻分压器 (R_{ENx_BOT}) 的底部电阻。
4. 选择最接近的值，以便最大限度减小误差。
5. 利用 方程式 9 与 方程式 10 计算所需通道的额定上升与下降 UVLO。

$$R_{ENx_BOT_CALCULATED} = \left(\frac{V_{ENx_RISING}}{V_{UVLO_CHx_TARGET} - V_{ENx_RISING}}\right) \times R_{ENx_TOP} \quad (8)$$

$$V_{UVLO_CHx_RISING} = \left(1 + \frac{R_{ENx_TOP}}{R_{ENx_BOT}}\right) \times V_{ENx_RISING} \quad (9)$$

$$V_{UVLO_CHx_FALLING} = \left(1 + \frac{R_{ENx_TOP}}{R_{ENx_BOT}}\right) \times V_{ENx_FALLING} \quad (10)$$

其中：

- $R_{ENx_BOT_CALCULATED}$ 是计算得到的底部电阻器，用于设置在 $V_{UVLO_CHx_TARGET}$ 下的外部 UVLO。
- $V_{UVLO_CHx_RISING}$ 是标称的外部编程上升输入电压 UVLO。

Copyright © 2026 Texas Instruments Incorporated

- V_{ENx_RISING} = 0.606V（典型值）
- $V_{UVLO_CHx_FALLING}$ 是标称的外部编程下降输入电压 UVLO。
- $V_{ENx_FALLING}$ = 0.5V（典型值）
- R_{ENx_TOP} 是从 VIN 连接 ENx 的所选顶部电阻器。
- R_{ENx_BOT} 是从 ENx 连接 GND 的所选底部电阻器。

此外，也可以通过微控制器或 FPGA 直接驱动 ENx 引脚。使能引脚的低电压阈值有助于支持 1.1V、1.8V、2.5V 和 3.3V 逻辑电平。

如有需要，可以在 ENx 与 GND 之间并联一个小电容，如图 8-2 所示。该电容器可用于：

- 最大限度降低 ENx 电压中的噪声。
- 过滤可能导致通道开启/关闭的快速瞬变。
- 延迟通道 (CHx) 开启。

如有需要，设计人员可利用 方程式 11，计算为延迟特定通道 (x)开启所需要的电容器。

$$C_{EN_DELAY}\left(F\right) = \frac{t_{DELAY}(s)}{R_{TH}\left(\Omega\right) \times \ln\left(-\frac{V_{TH}(V)}{V_{ENx_RISING} - V_{TH}(V)}\right)} \tag{11}$$

其中：

- t_{DELAY} 是以秒为单位的所需延迟时间
- R_{TH} 为戴维南等效电阻，此处为 R_{ENx_TOP} 与 R_{ENx_BOT} 的并联值，单位为欧姆 (Ω)
  - $$R_{TH}\left(\Omega\right) = \frac{R_{ENx_TOP}(\Omega) \times R_{ENx_BOT}(\Omega)}{R_{ENx_TOP}(\Omega) + R_{ENx_BOT}(\Omega)} \tag{12}$$
- V_{TH} 为戴维南等效电压，此处为稳态工作期间 V_{ENx} 处的电压，单位为伏特 (V)
  - $$V_{TH}\left(V\right) = \left(\frac{R_{ENx_BOT}(\Omega)}{R_{ENx_TOP}(\Omega) + R_{ENx_BOT}(\Omega)}\right) \times VIN\left(V\right) \tag{13}$$
- V_{ENx_RISING} 为使能器件的 ENx 上升阈值

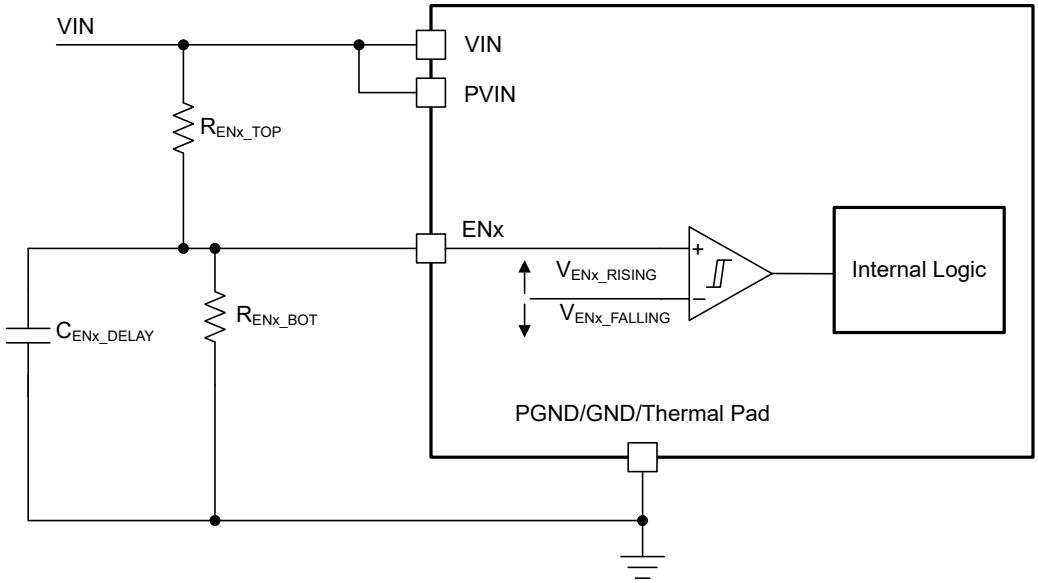


图 8-2. 利用 ENx 与电阻分压器进行外部 UVLO

Copyright © 2026 Texas Instruments Incorporated

8.3.4.2 序列上升/下降 (EN_SEQ)

在多通道稳压器系统中，通常需要对通道进行定序上电和反向下电。TPS7H4104 包括定序上电（从 CH1 至 CH4）和反向断电（CH4 至 CH1），具有固定的导通/关断阈值，以便于使用。*序列上升与序列下降仅在所用通道独立运行情况下方属有效*。这意味着，该等通道无法交错，以便进行适当的序列上升与序列下降操作。

备注

TPS7H4102 不提供序列上升/下降功能。

导通阈值通常为 V_{REFx} 的 87.4%（VSNSx 为 524mV），关断阈值通常为 V_{REFx} 的 15.4%（VSNSx 为 92.28mV）。

备注

用 V_{REFx} 的百分比（或比例）表示开启/关闭电压，但当反馈环路关闭时，V_{OUTx} 是 V_{REFX} 的放大版本。因此，该比例与 V_{OUTx} 的百分比相等效。

所有通道（ENx = 逻辑高电平）的典型序列上升/下降如 图 8-3 所示。序列上升/下降期间，会跳过 ENx 逻辑低电平的通道。由于内部序列上升/下降逻辑利用 ENx 处的逻辑电压电平来确定时序控制期间是否使用相应通道，因此，在 EN_SEQ 引脚发送逻辑序列命令之前，务必确保该等引脚具有稳定的逻辑值。EN_SEQ 的逻辑电平是输入电压 (VIN) 的函数，如下所示：

- $V_{EN_SEQ_RISING}$ (V) >80% x VIN (V)
- $V_{EN_SEQ_FALLING}$ (V) < 17% x VIN (V)
- 开路 = 不进行时序控制
  - 这种情况下，CHx 的开启/关闭遵循单独的 ENx 逻辑电平。

表 8-3 展示了 SEQ_EN 的逻辑真值表。

备注

为确保正常运行，V_{EN_SEQ} 上升时间与下降时间必须大于或等于 100ns。当未使用 EN_SEQ（EN_SEQ = 开路）且 SYNC 由外部驱动时，需要在 EN_SEQ 和 GND 之间使用至少 100pF 电容。在内部，EN_SEQ 使用两个 200kΩ（典型值）的电阻分压器进行偏置并进行串联。该阻抗与电容会产生延迟，从而可能影响系统启动时间。有关更多详细信息，请参阅图 8-4。可以使用 方程式 14 计算由于该电容器造成的延迟

定序器逻辑与本地故障不同步。故障可分类成：

1. 局部故障：仅影响特定通道 (x) 的故障或信号，例如：
   - ENx
   - 过流
   - 过压
   - 欠压
2. 全局故障：同时影响所有通道的故障，例如：
   - 热关断
   - PVIN UVLO
   - VIN UVLO

某个通道 (x) 检测到局部故障后，该通道会做出相应反应，不会影响其他任何通道。例如，在一个完整的顺序上升过程中，通道 1 检测到硬短路（或过流事件），这时，V_{OUT1} 会降至稳压范围以外，短路情况消除以后，会恢复相应电压调节。该行为不会与任何其他通道耦合。

全局故障期间，所有通道均处于禁用状态，开关节点进入高阻抗模式。故障排除后，并且假定 EN_SEQ 与所有所需 ENx 均为逻辑高电平状态，期间会启动序列上升。

Copyright © 2026 Texas Instruments Incorporated

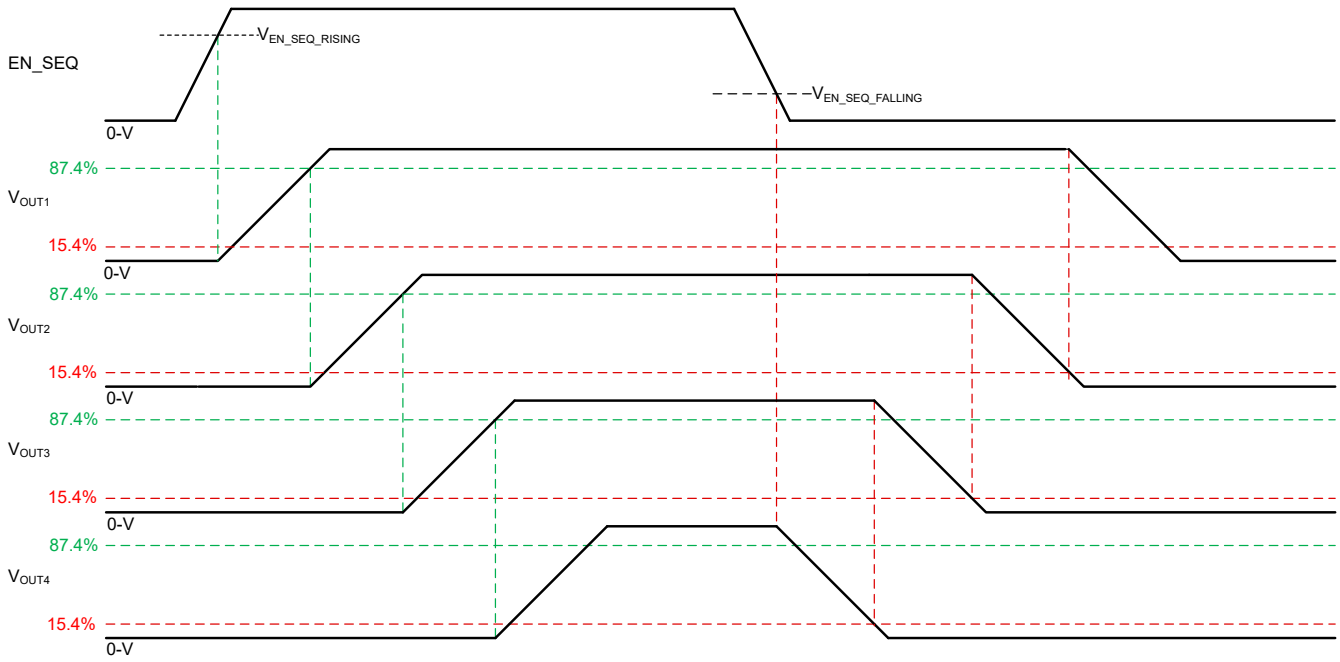


图 8-3. 序列上升/下降

A. 在该图中，假定在发送 EN_SEQ 逻辑命令以前，所有 ENx 均为逻辑高电平 ($V_{ENx} > V_{ENx_RISING(MAX)}$)。

表 8-3. EN_SEQ 真值表

情形编号	EN_SEQ(1)	EN1(2)	EN2(2)	EN3(2)	EN4(2)	序列上升顺序	序列下降顺序
1	开路(3)	本地	本地	本地	本地	无	无
2	↑ ↓ (4)(5)	0	0	1	1	3→4	4→3
3	↑ ↓ (4)(5)	0	1	0	1	2→4	4→2
4	↑ ↓ (4)(5)	0	1	1	0	2→3	3→2
5	↑ ↓ (4)(5)	0	1	1	1	2→3→4	4→3→2
6	↑ ↓ (4)(5)	1	0	0	1	1→4	4→1
7	↑ ↓ (4)(5)	1	0	1	0	1→3	3→1
8	↑ ↓ (4)(5)	1	0	1	1	1→3→4	4→3→1
9	↑ ↓ (4)(5)	1	1	0	0	1→2	2→1
10	↑ ↓ (4)(5)	1	1	0	1	1→2→4	4→2→1
11	↑ ↓ (4)(5)	1	1	1	0	1→2→3	3→2→1
12	↑ ↓ (4)(5)	1	1	1	1	1→2→3→4	4→3→2→1

(1) 0 = $V_{EN_SEQ} < V_{EN_SEQ_FALLING(MIN)}$; 1 = $V_{EN_SEQ} > V_{EN_SEQ_RISING(MAX)}$
(2) 0 = $V_{ENx} < V_{ENx_FALLING(MIN)}$; 1 = $V_{ENx} > V_{ENx_RISING(MAX)}$
(3) 当 EN_SEQ 为高阻抗时，所有通道会根据本地 ENx 逻辑输入电压开启/关闭。
(4) 为确保正常运行，建议在 EN_SEQ 引脚发送逻辑序列命令以前，ENx 具有稳定的逻辑值。
(5) 规定 V_{SEQ_EN} 的上升和下降时间 ≥100ns。

Copyright © 2026 Texas Instruments Incorporated

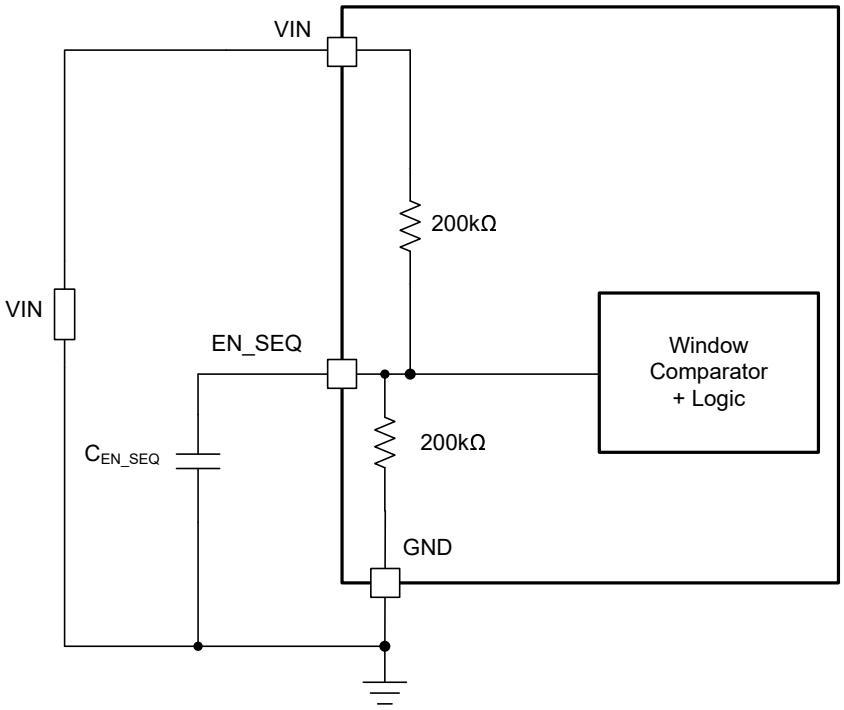


图 8-4. EN_SEQ 上的内部标称阻抗

$$t_{DELAY}\,(s) \approx 100k\Omega \times C_{EN_SEQ}(F) \times 1.61 \quad (14)$$

8.3.5 电源正常 (PWRGDx)

PWRGDx 是一个开漏输出引脚，当输出电压 (V_{OUTx}) 达到适当范围时，该引脚置为有效。通过比较 VSNSx 引脚上的电压与内部基准电压 (V_{REFx})，可实现这一点。PWRGDx 引脚通过电阻器从外部上拉至具有所需逻辑电平（通常为 V_{OUTx}）的电压源。PWRGDx 引脚的最大上拉电压为 7V。选择上拉电阻值时，可将 PWRGDx 灌入的最大电流保持在建议运行条件下的最大电流 2mA。通常，10kΩ 的上拉电阻就足够了。采用较大阻值的电阻器，能够最大限度降低功耗，但是，由于上拉电阻“较弱”，开关噪声可能耦合到 PWRGDx 信号中。

PWRGDx 信号的逻辑状态为：

1. 置为有效（高阻抗或逻辑高电平）：*当* V_{OUTx} 电压占最终（额定）值的百分比处于以下区间时：
   - 电压上升期间（从欠压或上电状态恢复）：92% 至 96%。
   - 电压下降期间（从过压状态恢复）：104% 至 108%。
2. 置为无效（低阻抗或逻辑低电平）*当* V_{OUTx} 电压占最终（额定）值的百分比处于以下区间时：
   - 电压下降期间（或欠压状态）：89% 至 92%。
   - 电压上升期间（从过压状态恢复）：107% 至 111%。

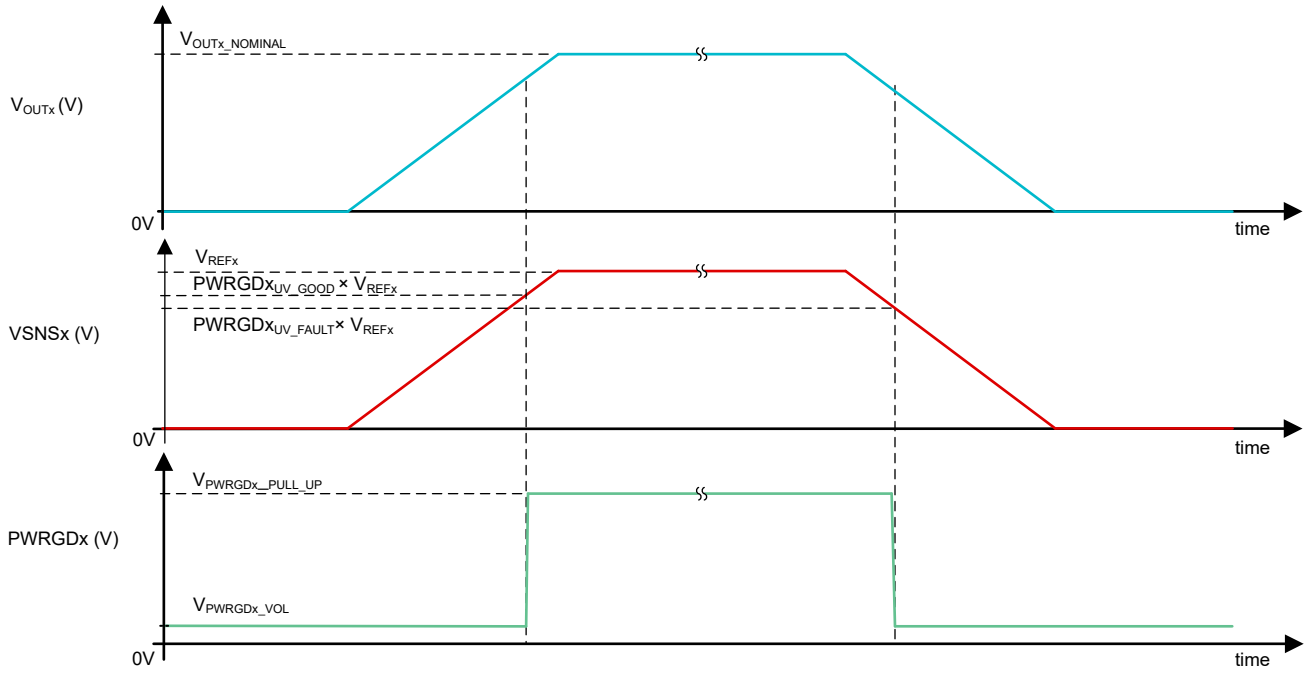
PWRGDx 对 UV_GOOD 与 UV_FAULT 的响应如 图 8-5 所示，而其对 OV_FAULT 与 OV_GOOD 的响应如 图 8-6 所示。VIN 输入电压大于 1V 时，PWRGDx 处于确定状态，但此时电流灌入能力减弱（参阅图 8-7）。当 VIN 达到 3V 时，PWRGD 实现了全电流吸收能力。如需了解有关 VIN_{MIN_PWRGDx} 的更多详细信息，可参阅 节 6.5 的 *“电源正常”* 部分。

除了上述 PWRGDx 说明以外，PWRGDx 在其他会导致调节停止的条件下置为无效，例如：

- VIN UVLO
- PVIN UVLO
- 器件处于热关断状态
- 器件 ENx 引脚为逻辑低电平（或禁用）

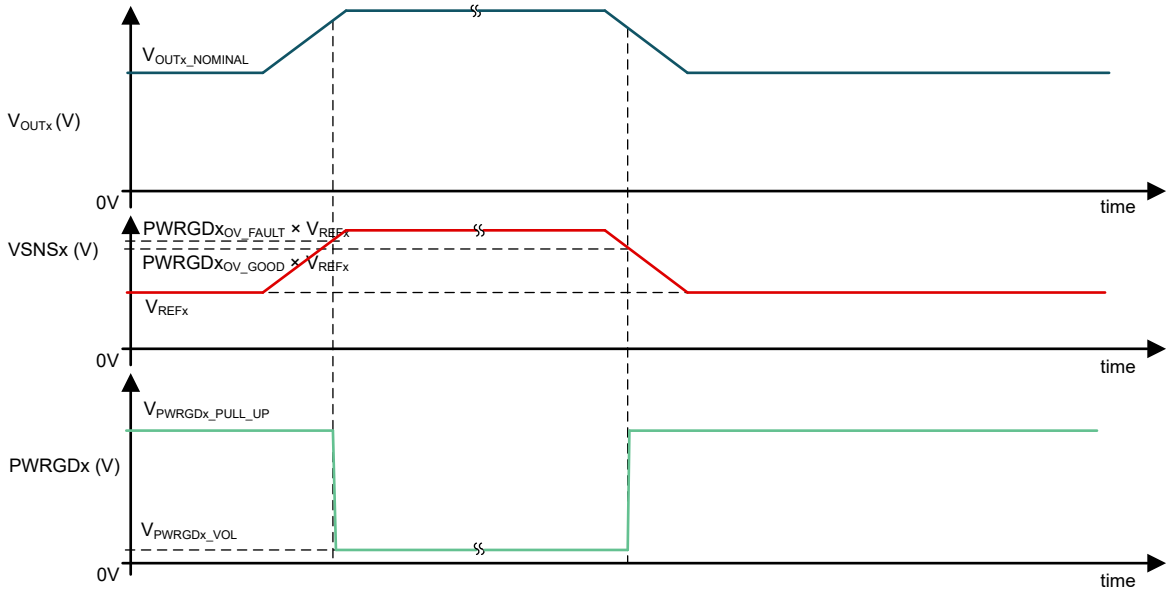
Copyright © 2026 Texas Instruments Incorporated

- COMPx 引脚达到 $COMPx_{CLAMP}$ 阈值电压（典型值为 1.9V）
  - $COMPx_{CLAMP}$ 强制 V_{OUTx} 重新启动



A. 在该图中，假定 VIN 处于 3V 至 7V 的有效范围，并且 ENx 引脚收到有效的上升沿（↑）电压信号。

图 8-5. PWRGDx 欠压 (UV) 阈值



A. 在该图中，假定 VIN 处于 3V 至 7V 的有效范围。

图 8-6. PWRGDx 过压 (OV) 阈值

Copyright © 2026 Texas Instruments Incorporated

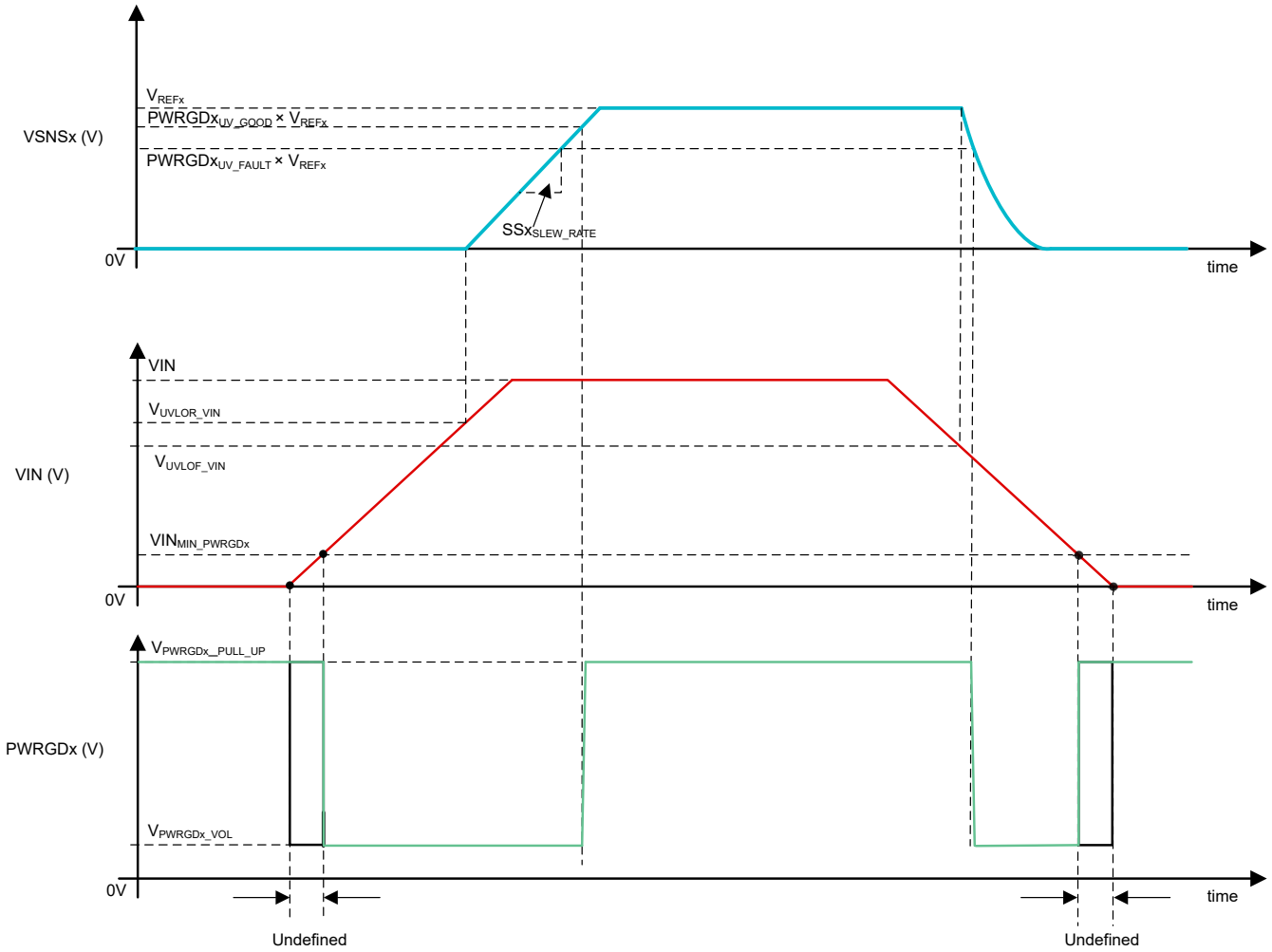


图 8-7. 在 VIN > VIN_{MIN_PWRGDx} 后，处于有效状态的 PWRGDx

8.3.6 可调开关频率、同步 (SYNC) 与相对相移

TPS7H410x 有两种时钟模式可供选择：

1. 内部时钟
2. 外部时钟

对于两种模式的 RT 与 SYNC 条件，详细说明见 表 8-4 。

表 8-4. 时钟模式

模式	时钟	时钟的输入配置
	SYNC INPUT	RT
内部时钟	无时钟（或高阻抗）	RT 与 GND 之间的电阻器
外部时钟	频率为 f_{SW} 4 倍的时钟 (f_{SYNC}= 4 × f_{SW})	

备注

如果未连接 RT 电阻器，器件会停止开关。

8.3.6.1 内部时钟模式

内部时钟模式（又称“内部振荡器模式”）下，在 RT 引脚与 GND 之间连接一个 RT 电阻器，用于配置器件的开关频率 f_{SW}。开关频率可以在 100kHz 至 1MHz 之间调节，具体取决于 RT 电阻器的值，可通过 方程式 15 计算。图 8-8 显示了 RT 电阻值和可配置开关频率范围之间的关系曲线。

$$RT\ (k\Omega) = 54{,}462\left(\frac{1}{f_{SW}(kHz)}\right) - 17 \quad (15)$$

其中：

- RT 以 kΩ 为单位
- f_{SW}（以 kHz 为单位）

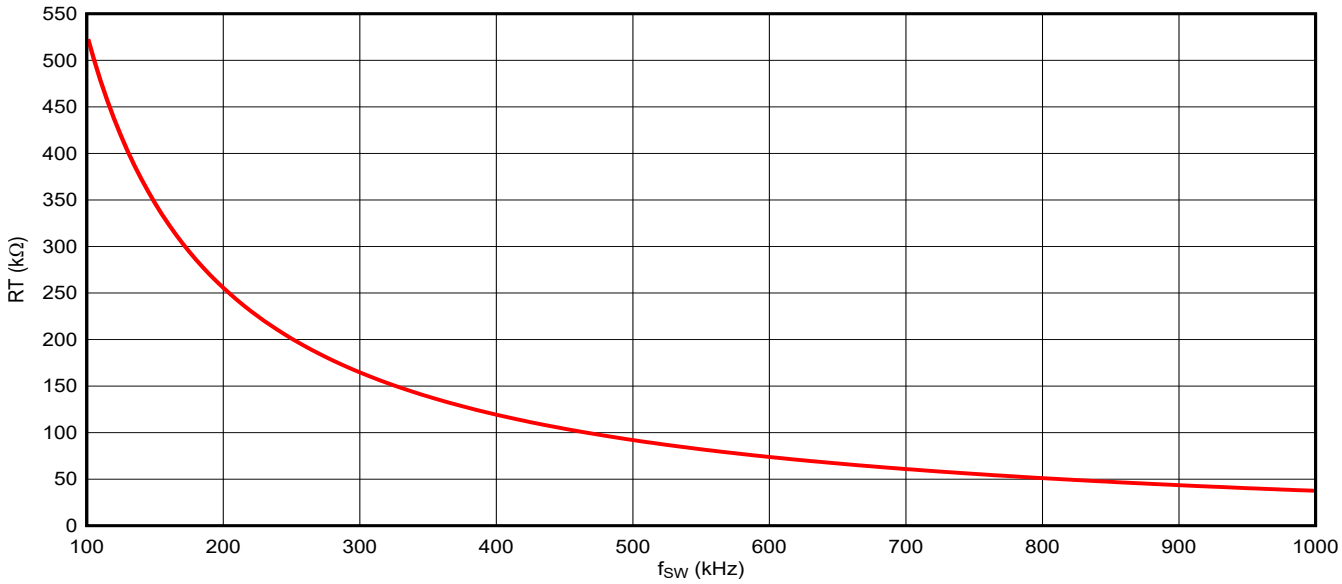


图 8-8. 标称 RT 与开关频率间的关系

8.3.6.2 外部时钟模式与切换

外部时钟模式下（又称“外部振荡器模式”），需要在 RT 引脚与 GND 之间连接一个电阻，以便设定目标开关频率，可利用方程式 15 计算得到该电阻值。SYNC 输入需要一个占空比介于 40% 与 60% 之间，频率等于 RT 设定开关频率 4 倍的切换信号 (CLK) (f_{SYNC} = 4 x f_{SW})。

TPS7H410x 具有内部时钟检测器，在检测到 $t_{CLK_I_E}$ 时钟（通常为内部振荡器的 1 个时钟周期）以后，器件会过渡到外部时钟。如果 SYNC 时钟丢失，器件会在 $t_{CLK_E_I}$（通常为外部振荡器的 2 个时钟周期）以后过渡到内部时钟。可通过 图 8-9 与 图 8-10 观察到这一点。SYNC 时钟的最小高电平电压是输入 VIN 电压的函数，如 节 6.5 中 *“开关频率和同步”* 部分 V_{SYNC_VIH} 参数所述。对于外部时钟的低电平电压，能够正确解释任何 ≤ 0.8V 的电压。外部时钟可由振荡器、FPGA 或其他器件提供。

Copyright © 2026 Texas Instruments Incorporated

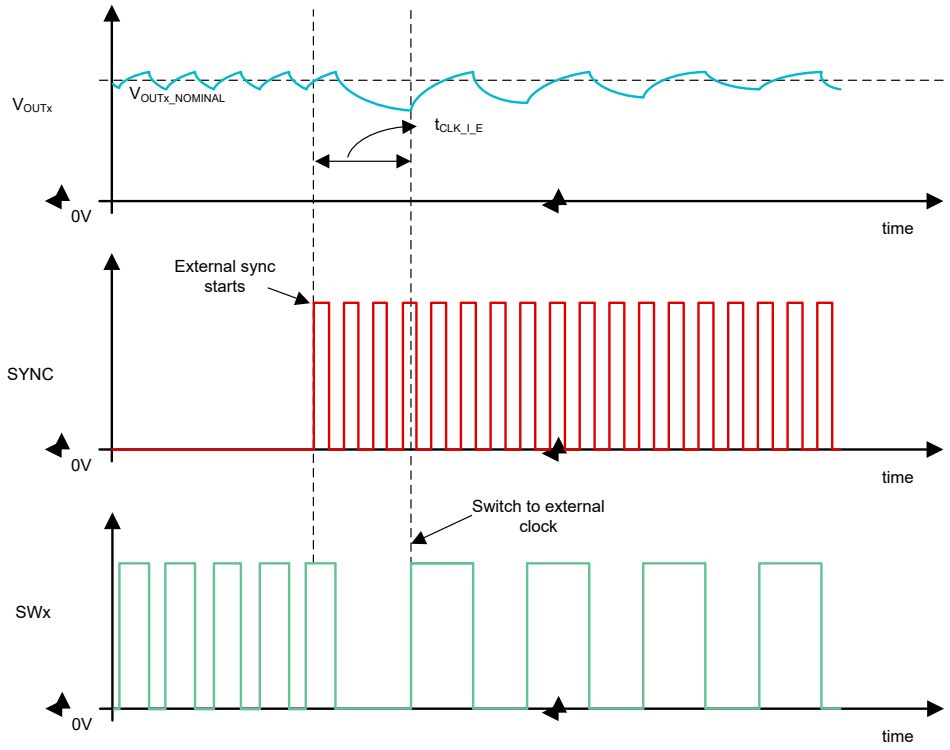


图 8-9. 内部至外部时钟转换

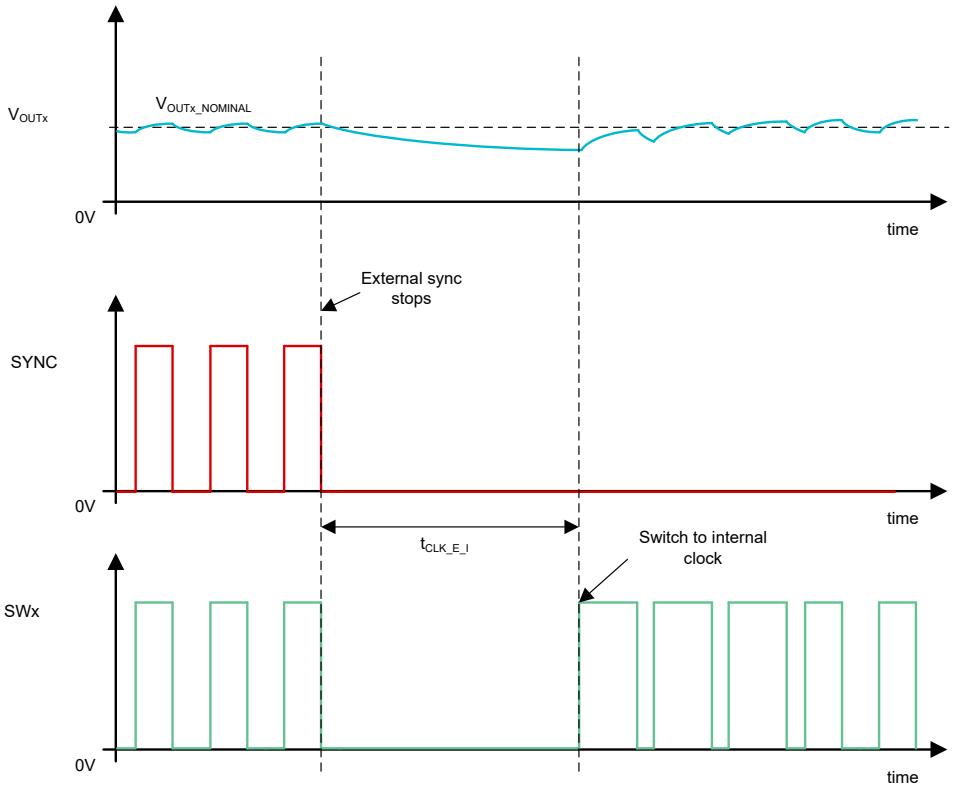


图 8-10. 外部至内部时钟转换

8.3.6.3 相对相移

TPS7H410x 能够在内部为每个通道（或 SWx）创建 90° 的相对相移。这有助于实现全部四个相位的交错，形成一个 12A 通道。顶部（SW1 和 SW4）与底部（SW2 和 SW3）通道具有 180° 的相对相移，有助于实现该等通道交错，形成两个 6A 通道。将 SWx 设置为 90° 异相的另一个优点是，能够降低适用于给定总负载电流 (ΣI_{OUTx}) 的输入电容（或 rms 输入电流）。

每个通道的相移为：

1. 通道 1：0° 的相对相移 (Φ)。
2. 通道 2：90° 的相对相移 (Φ)。
3. 通道 3：270° 的相对相移 (Φ)。
4. 通道 4：180° 的相对相移 (Φ)。

每个通道的相移如 引脚配置和功能 所示。

8.3.7 导通行为

8.3.7.1 启动期间的脉冲跳跃

如果在启动期间 VSNSx 电压高于 SS_TRx 引脚电压 (VSNSx > V_{SS_TRx})，器件就会进入脉冲跳跃模式（磁滞模式）。在此期间，在 VSNSx 再次降至低于 SS_TR 处(VSNSx < V_{SS_TRx})的电压以前，高侧开关保持关断状态，低侧开关保持导通状态。

这是因为，所需输出电压低于最小导通时间 (t_{ONx_MIN}) 支持的理论值。因此，瞬时输出脉冲会高于或低于所需电压。在高频与高 VIN 下运行时，这种行为非常明显。如需了解更多详细信息，可参阅 SLVA866。

当最小导通脉冲大于最短可控导通时间时，在启动时通常不会观察到脉冲跳跃行为。

8.3.7.2 软启动 (SS_TRx)

启动期间，该器件将 V_{SS_TRx} 作为跟踪基准。SS_TRx 引脚与 GND 之间连接的 C_{SS_TRx} 电容器能够通过提供一个“缓慢”的斜坡跟踪基准，实现软启动时间。方程式 16 是计算标称软启动时间 ($t_{SS_TRx_NOMINAL}$) 的公式。这是 V_{OUTx} 达到编程电压所花需要的时间。电压基准 (V_{REFx}) 为 599.48mV（25°C 下的典型值），软启动充电电流 (I_{SS_TRx}) 通常为 2.28 μA。计算软启动时间 t_{SS_TRx} 时，请考虑 C_{SS_TRx}、V_{REFx} 以及 I_{SS_TRx} 参数的变化，这是因为该等参数可能导致 $t_{SS_TRx_NOMINAL}$ 偏离实际应用中的额定值。可通过 方程式 17 计算与额定值的误差（偏差）。可通过 方程式 18 计算软启动时间的范围。

$$t_{SS_TRx_NOMINAL}(ms) = \frac{V_{REFx}(V) \times C_{SS_TRx}(nF)}{I_{SS_TRx}(\mu A)} \tag{16}$$

$$t_{SS_TRx_ERROR}(ms) = \pm \sqrt{\frac{C_{SS_TRx}^{2}(nF) \times V_{REFx}^{2}(V) \times \left(C_{SS_TRx_TOL}^{2} + I_{SS_TRx_ACC}^{2} + V_{REFx_ACC}^{2}\right)}{I_{SS_TRx}(\mu A)}} \tag{17}$$

$$t_{SS_TRx}(ms) = t_{SS_TRx_NOMINAL}(ms) \pm t_{SS_TRx_ERROR}(ms) \tag{18}$$

其中：

- $C_{SS_TRx_TOL}$ 是以数值表示的 C_{SS_TRx} 电容器容差。例如，容差为 10% 的电容器为 0.1。
- $I_{SS_TRx_Acc}$ 是软启动电流精度，如需了解更多详细信息，可参阅 节 6.5 的 *“软启动和跟踪”*
- V_{REFx_Acc} 是基准精度。由于基准电压精度为 1%，因此使用 0.01。

启动期间，输出电容组放电情况下，需要一个较大的浪涌电流对电容组快速充电。如果未能将该电流控制在拉电流限值以下，那么受器件保护功能影响，可能出现非线性现象。如果需要为给定的输出电容器选择软启动电容器，设计人员可使用 方程式 19 与 方程式 20。

$$t_{SS_TRx_NOMINAL}(s) = \frac{C_{OUTx}(F)}{4.2A - I_{OUTx}(A)} \times V_{OUTx}(V) \tag{19}$$

Copyright © 2026 Texas Instruments Incorporated

其中：

- C_{OUTx} 是以法拉 (F) 为单位的输出电容器，单位为法拉 (F)。
- 在本例中，4.39A 是拉电流限值的最小值，即：$I_{OC_LS_SOURCINGx}$ 的最小值。
- I_{OUTx} 是以安培 (A) 为单位的给定通道最大预期负载。单个通道的最大可能负载（或上限）为 3A。
- V_{OUTx} 是以伏特 (V) 为单位的标称输出电压

$$C_{SS_TRx_NOMINAL}\left(nF\right) = \frac{t_{SS_TRx_NOMINAL}(ms) \times I_{SS_TRx}\left(\mu A\right)}{V_{REFx}(V)} \quad (20)$$

其中：

- $t_{SS_TRx_NOMINAL}$ 是以毫秒 (ms) 为单位的标称软启动时间。
- I_{SS_TRx} (2.28 μA) 是以微安（μA）为单位的标称软启动电流。
  - 如需了解有关 I_{SS_TRx} 的更多详细信息，可参阅 节 6.5 的 *“软启动和跟踪”* 部分。
  - 如果需要最大限度降低整个温度范围内的软启动电容器误差，可以将电流重新定位为：

$$I_{SS_TRx} = \frac{I_{SS_TRx(MIN)} + I_{SS_TRx(MAX)}}{2} = 2.115\mu A \quad (21)$$

- I_{OUTx} 是以安培 (A) 为单位的给定通道最大预期负载。单个通道的最大可能负载（或上限）为 3A。
- V_{OUTx} 是以伏特 (V) 为单位的标称输出电压

出现下述四种情况之一时，SS_TRx 引脚通过内部 $R_{SS_TRx_DISCHARGE}$ 下拉电阻器（通常为 364 Ω）放电：

- 触发输入 UVLO (VIN < V_{UVLOF_VIN})。
- ENx 引脚电压为逻辑低电平 (V_{ENx} < $V_{ENx_FALLING}$)。
- 序列下降期间，内部 EN_SEQ 逻辑会关闭 CHx。
- COMPx 引脚达到 $COMPx_{CLAMP}$ 阈值。
- 发生热关断事件。

SS_TR 引脚放电时，为实现正常的软启动行为，在该引脚放电至低于 $SS_TRx_{START_UP}$（通常为 22mV）以前，器件无法重新启动。

8.3.7.3 安全启动至预偏置输出

该器件能够防止低侧 MOSFET 对预偏置输出电压持续放电。可通过以下方式实现该功能：在启动阶段，确保器件始终导通高侧 (PMOS) 以便启动开关动作，同时结合脉冲跳跃（磁滞）模式控制。

8.3.7.4 跟踪和时序控制 (SS_TRx)

除了内部顺序上升/下降（使用 EN_SEQ）以外，还可以利用 SS_TRx、ENx 以及 PWRGDx 引脚，实现下述典型顺序上升方法。

备注

下述时序控制方法支持向上控制，但系统配置无法提供许多应用中需要的向下反向排序。要实现顺序上电与逆序下电，可使用 序列上升/下降 (EN_SEQ) 部分所述 EN_SEQ 输入。要实现更全面的时序控制，设计人员可使用 3V 至 14V 的航天级定序器 TPS7H3014。

序列方法如 图 8-11 所示。本示例中，采用 TPS7H4104 通道 1 与通道 2。尽管利用所述方法，该图可扩展至任意 CHx（或其他负载点转换器），但为简化说明，图中仅展示 2 个通道（本例中，为 CH1 与 CH2）。第一个通道的 PWRGD1 引脚与第二个通道的 EN2 引脚耦合，这样，能够在主电源达到稳压（V_{OUTx} 电压上升期间，通常为 94%）以后启用第二个电源。如果需要在第一个通道与第二个通道之间增加延迟，还可以在 PWRGD1 上安装一个可选的 C_{PWRGD1} 电容器。这会导致 RC 延迟，具体情况视所用电源正常上拉电阻器与电容器的数值而定。

Copyright © 2026 Texas Instruments Incorporated

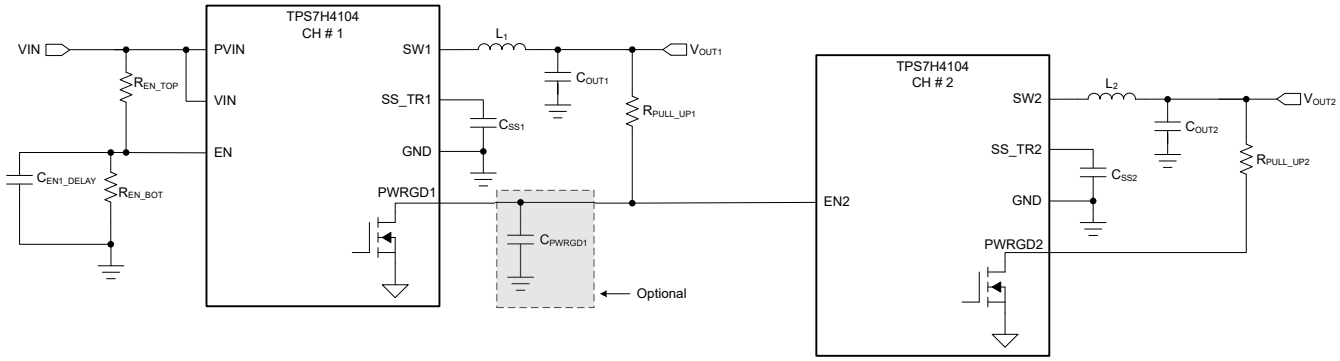


图 8-11. 连续启动序列

图 8-12 显示了通过将两个通道（本例中为通道 1 与通道 2）的 SS_TR1 与 SS_TR2 引脚连接在一起的方式实现比例式时序控制的方法。稳压器输出（V_{OUT1} 与 V_{OUT2}）同时斜升并且达到稳压值。

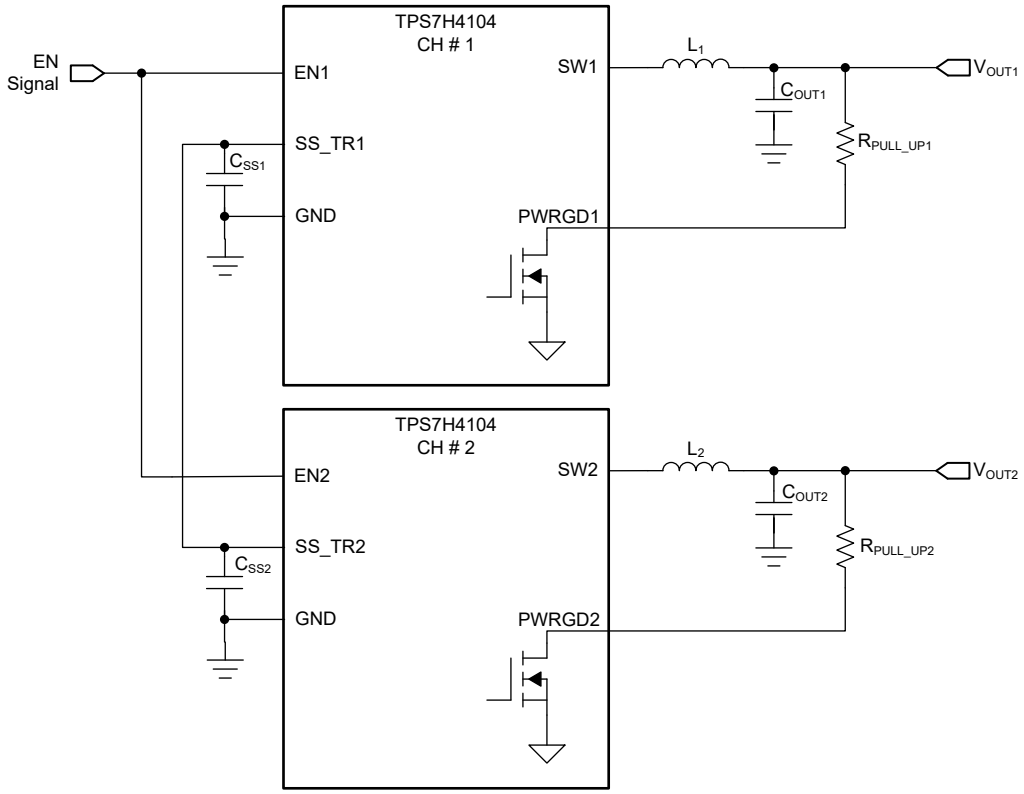


图 8-12. 比例式启动序列

通过将 R_1 与 R_2 电阻器网络（如 比例式与同步启动序列 所示）连接到必须跟踪的电源输出端或另一个电压基准源，可以实现比例式与同步电源时序控制。利用 方程式 22 与 方程式 23，可计算出跟踪电阻，以便设定 V_{OUT2} 稍早于、稍晚于或同步于 V_{OUT1} 启动。方程式 24 是 V_{OUT1} 与 V_{OUT2} 之间的电压差。

如果需要设计一种比例式启动方式（通过该方式，可确保在 V_{OUT2} 达到稳压值时，V_{OUT2} 电压略高于 V_{OUT1} 电压），可在 方程式 22 与 方程式 23 中对 ΔV 取负值。如果需要在 V_{OUT2} 达到稳压值时，V_{OUT2} 电压略低于 V_{OUT1}，方程式 24 可以取正值。

Copyright © 2026 Texas Instruments Incorporated

同步排序时，ΔV 变量为 0V。为了最大限度降低软启动电路中的固有 SS_TRx 至 VSNSx 偏移（$SS_TRx_{START_UP}$ = 22mV（典型值））的影响，以及上拉电流源（I_{SS_TRx} = 2.28 µA 典型值）与跟踪电阻器产生的偏移，可将 $SS_TRx_{START_UP}$ 与 I_{SS_TRx} 作为变量纳入公式。

为让器件正常工作，方程式 22 中的 R_1 计算值必须大于 方程式 25 中的计算值。

$$R_1 = \frac{V_{OUT2} + \Delta V}{V_{REFx}} \times \frac{SS_TRx_{START_UP}}{I_{SS_TRx}} \tag{22}$$

$$R_2 = \frac{V_{REFx} \times R_1}{V_{OUT2} + \Delta V - V_{REFx}} \tag{23}$$

$$\Delta V = V_{OUT1} - V_{OUT2} \tag{24}$$

$$R_1 > (2800 \times V_{OUT1}) - (180 \times \Delta V) \tag{25}$$

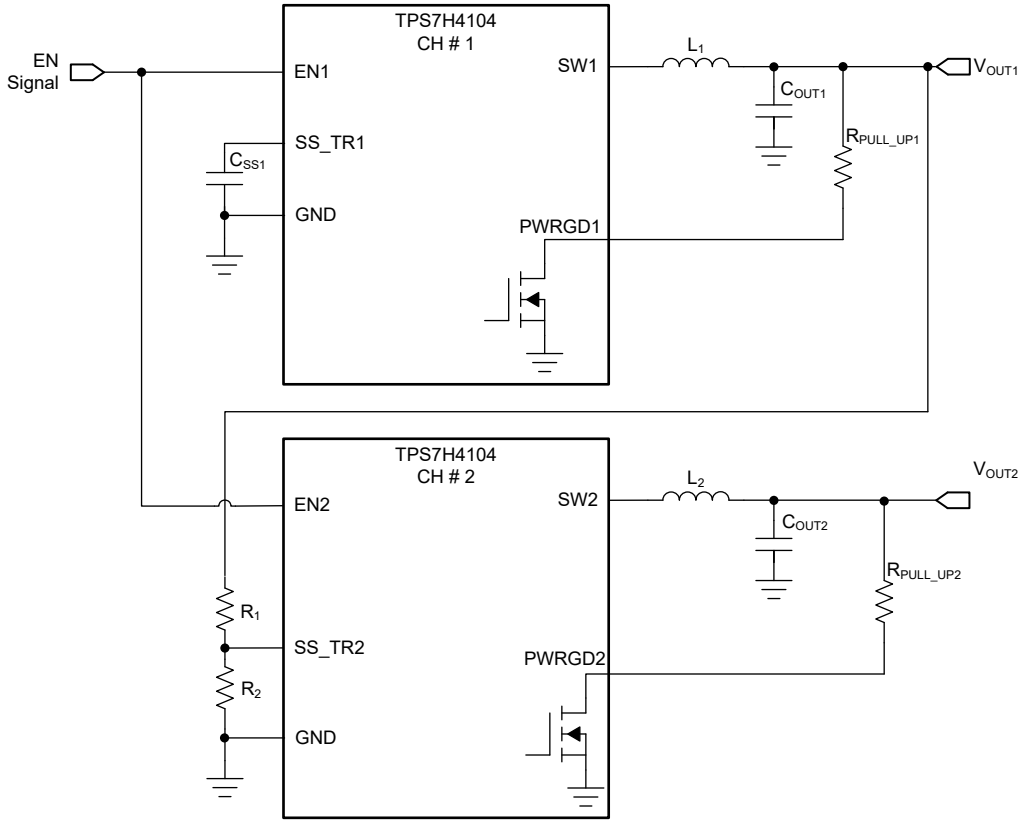


图 8-13. 比例式与同步启动序列

8.3.8 保护模式

以下各节详细介绍了以下保护模式：

- 过流保护：节 8.3.8.1
  - 高侧过流保护：高侧逐周期过流保护 (I_{OC_HSx})
  - 低侧过流拉电流与灌电流保护：低侧过流拉电流与灌电流保护
- 输出过压保护 (OVP)：节 8.3.8.2
- 热关断：节 8.3.8.3

Copyright © 2026 Texas Instruments Incorporated

8.3.8.1 过流保护

TPS7H410x 器件采用多种过流保护机制。该器件主要通过以下方提供过流保护：

1. 高侧逐周期电流限值 (I_{OC_HSx})。
2. 低侧拉电流限值 ($I_{OC_LS_SOURCINGx}$)
3. $COMPx_{CLAMP}$ 关断。
4. 低侧灌电流限值。

对于该等电流保护机制，后续章节将会详细介绍。

8.3.8.1.1 高侧逐周期过流保护 (I_{OC_HSx})

该器件实现了电流模式控制，可利用 COMPx 引脚电压，逐周期控制高侧 MOSFET 关断与低侧 MOSFET 导通。在每个周期内，都会将开关电流与 COMPx 引脚电压产生的电流基准进行比较。峰值开关电流达到编程的高侧电流 I_{OC_HSx} 后，高侧开关会立即关断（尽管高侧至少会在最短导通时间 t_{ONx_MIN} 内保持导通状态）。

I_{OC_HSx} 是利用 COMPx 电压实现的。当器件接近 I_{OC_HSx} 时，COMPx 增大，导致器件 gm_{PSx} 接近零。因此，当 COMPx 值足够高时，输出电流基本会被钳位在内部限值以内。该功能如 图 8-14 简化波形所示。

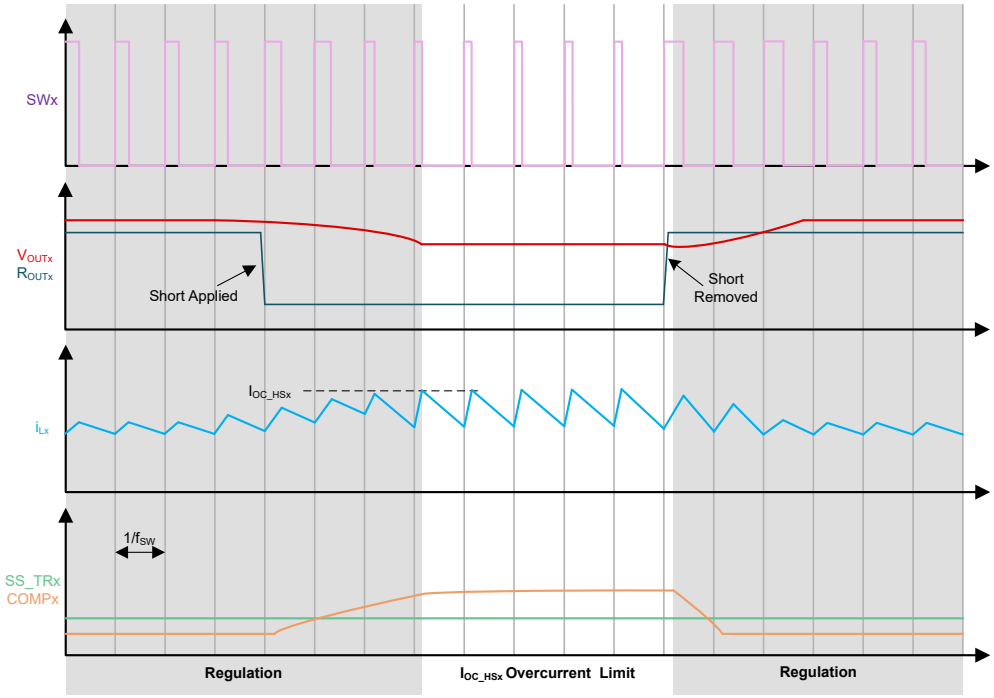


图 8-14. 高侧逐周期过流保护 (I_{OC_HSx})

8.3.8.1.2 低侧拉电流过流保护 ($I_{OC_LS_SOURCINGx}$)

有时，I_{OC_HSx} 电流限值不足以保护器件。例如，短路情况可能非常严重，即使高侧仅在最短导通时间 (t_{ONx_MIN}) 内开启，电流也可能会继续上升。为缓解这一风险，TPS7H410x 采用低侧拉电流限值 ($I_{OC_LS_SOURCINGx}$) 形式的次级过流保护机制。当通过高侧 MOSFET 的电流达到或超过 $I_{OC_LS_SOURCINGx}$ 时，能够达到 $I_{OC_LS_SOURCINGx}$ 电流限值。为防止电流持续变大，在通过低侧 FET 的电流回落至 $I_{OC_LS_SOURCINGx}$ 阈值以下以前，禁止导通高侧。图 8-15 展示了此操作的简化波形。

Copyright © 2026 Texas Instruments Incorporated

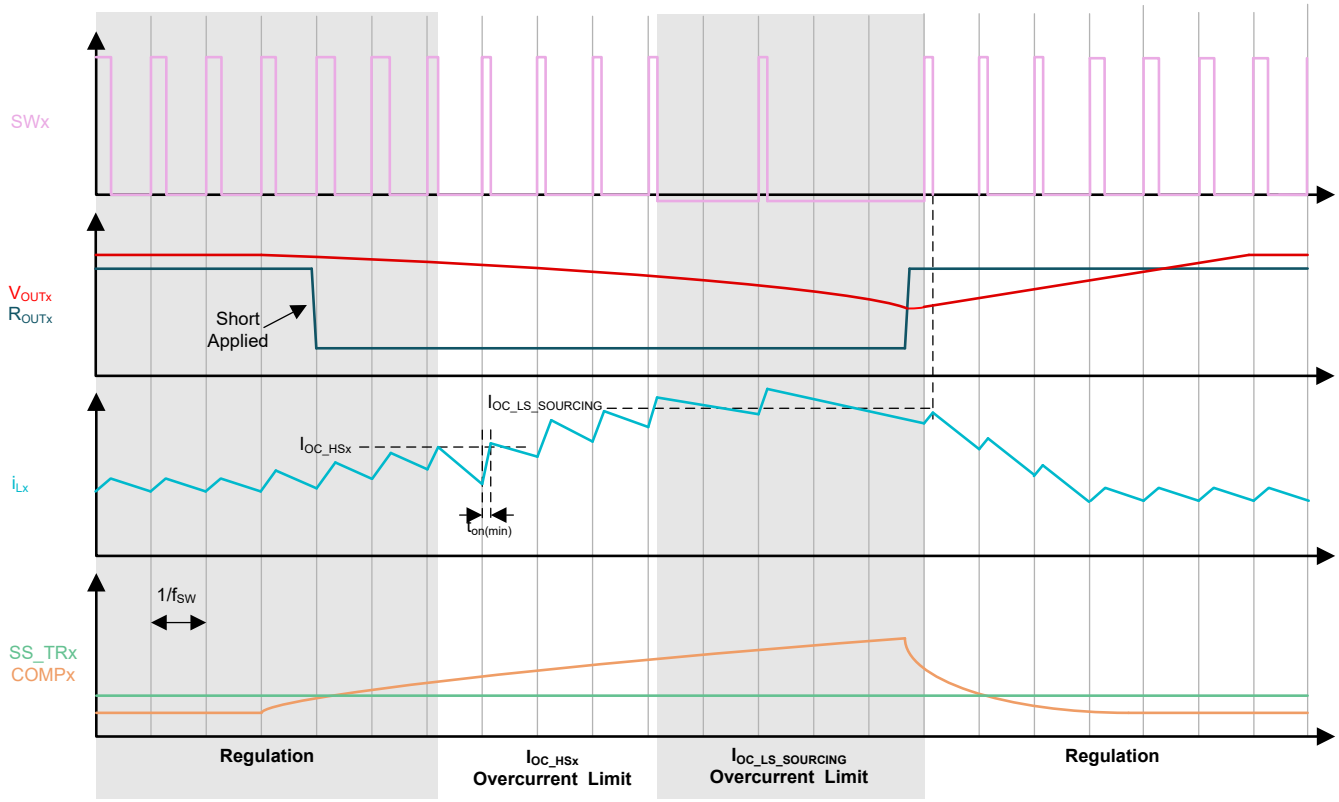


图 8-15. 低侧拉电流过流保护 ($I_{OC_LS_SOURCINGx}$)

8.3.8.1.3 COMPx 钳位关断（$COMPx_{CLAMP}$）

由于 COMPx 引脚上的电压与器件输出电流成正比，因此钳制 COMPx 电压可实现另一种保护器件免受过流事件影响的方法。具体来说，如果 COMPx 上升至超过 $COMPx_{CLAMP}$（通常为 1.9V），器件就会关断。该功能是对 I_{OC_HSx} 和 $I_{OC_LS_SOURCINGx}$ 电流限值的补充。由于 COMPx 的转换率受到整体环路带宽与误差放大器驱动强度的限制，因此，对于 COMPx 在故障期间达到 $COMPx_{CLAMP}$ 所需要的时间，取决于环路补偿与指定的故障类型。在大多数故障期间，COMPx 在达到 $COMPx_{CLAMP}$ 以前会达到 I_{OC_HSx}。一般情况下，在 COMPx 达到 $COMPx_{CLAMP}$ 以前会达到 $I_{OC_LS_SOURCINGx}$；不过，根据故障类型，COMPx 可能会在达到 $I_{OC_LS_SOURCINGx}$ 以前达到 $COMPx_{CLAMP}$ 并禁用器件。因此，可将 $COMPx_{CLAMP}$ 视为失效防护类型。COMPx 达到 $COMPx_{CLAMP}$ 以后，器件会停止开关，并且开始通过下拉电阻器 $R_{SS_TRx_DISCHARGE}$（通常为 364Ω）对 SS_TRx 引脚放电。在 SS_TRx 放电至 $SS_TRx_{START_UP}$ 启动值（典型值 22mV）之前，器件不会尝试重新启动。这为 TPS7H410x 提供了冷却时间。请注意，这一放电时间直接取决于软启动电容 C_{SS_TRx} 的值。图 8-16 的简化波形显示了 COMP 关断功能的示例。

Copyright © 2026 Texas Instruments Incorporated

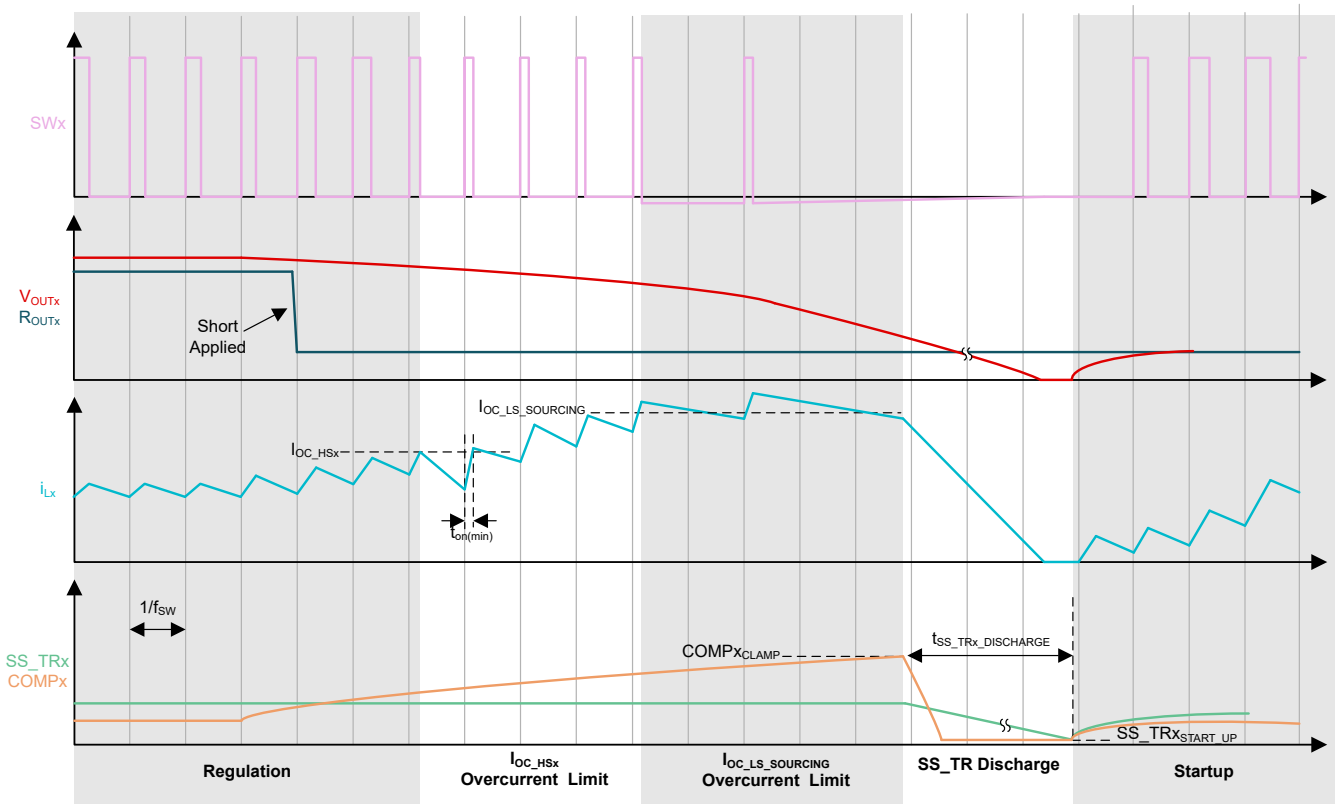


图 8-16. COMPx 钳位关断（$COMPx_{CLAMP}$）

此外，如果对输出负载施加较强的负载阶跃，并且利用高环路带宽，COMPx 能够达到 $COMPx_{CLAMP}$。这是因为，该等情况下，COMPx 压摆速度可能快于负载响应速度。这可以通过一个针对最坏情况负载阶跃设计的补偿网络来避免。

8.3.8.1.4 低侧过流拉电流与灌电流保护

低侧 MOSFET 可能从负载中灌入电流（例如：在轻负载运行期间）。在某些情况下（例如，高电流负载突然移除或 VOUT 升高到设置点以上），低侧灌电流可能会过大。因此，提供了低侧过流灌电流保护。如果超出低侧灌电流限值，则低侧 MOSFET 会立即关闭并在该时钟周期的剩余时间内保持这一状态。在这种情况下，两个 MOSFET 都会关闭，直到下一个周期开始为止。当低侧 MOSFET 关断时，开关节点电压升高并正向偏置高侧 MOSFET 并联体二极管（在此阶段，高侧 MOSFET 仍处于关断状态）。

8.3.8.2 输出过压保护 (OVP)

该器件包含一个输出过压保护 (OVP) 电路，以便更大限度地减少输出电压过冲。当 VSNSx ≥ ($PWRGDx_{OV_FAULT\%}$ × V_{REFx}) 时，接合 OVP 电路。一般情况下，这意味着当 V_{OUTx} 上升至标称值的 109% 以上时，OVP 电路会接合。当 OVP 激活时，高侧 FET 保持关断状态，低侧 FET 保持导通状态，以便使 V_{OUTx} 快速放电。

可能导致过压情况的一个示例是电源输出在一段持续的时间内过载。因此，误差放大器会将实际输出电压与内部基准电压进行比较。如果 VSNSx 引脚电压长时间低于内部基准电压，误差放大器的输出将需要最大输出电流。该条件消除后，稳压器输出上升，误差放大器输出转换至稳态电压。在一些输出电容较小的应用中，电源输出电压的响应速度可以快于误差放大器。这会导致输出过冲的可能性。OVP 功能可更大限度地减少该过冲。

如果 VSNSx 引脚电压高于 OVP 阈值，高侧 MOSFET 会关断，避免电流流入输出以及最大限度降低输出过冲。VSNSx 电压降至 OVP 阈值以下以后，高侧 MOSFET 可以在下一时钟周期导通。

Copyright © 2026 Texas Instruments Incorporated

8.3.8.3 热关断

如果结温超过 163°C（典型值），内部热关断电路会强制器件停止开关。而当结温降至 134°C（典型值）以下时，器件会重新启动上电序列。保持较低的热关断电压与较大的磁滞，旨在确保器件能够在故障条件期间保持尽可能低的温度。

8.3.9 误差放大器和环路响应

图 8-17 显示了器件控制环路的简化模型。使用该模型有助于确定降压稳压器系统的频率响应和瞬态响应。该简化模型由运算跨导误差放大器 (OTA)、功率级、外部反馈和外部补偿组成。这个模型中并未显示斜率补偿的影响。有关误差放大器和功率级的更多信息，请参阅后续部分（节 8.3.9.1 和 节 8.3.9.2）。

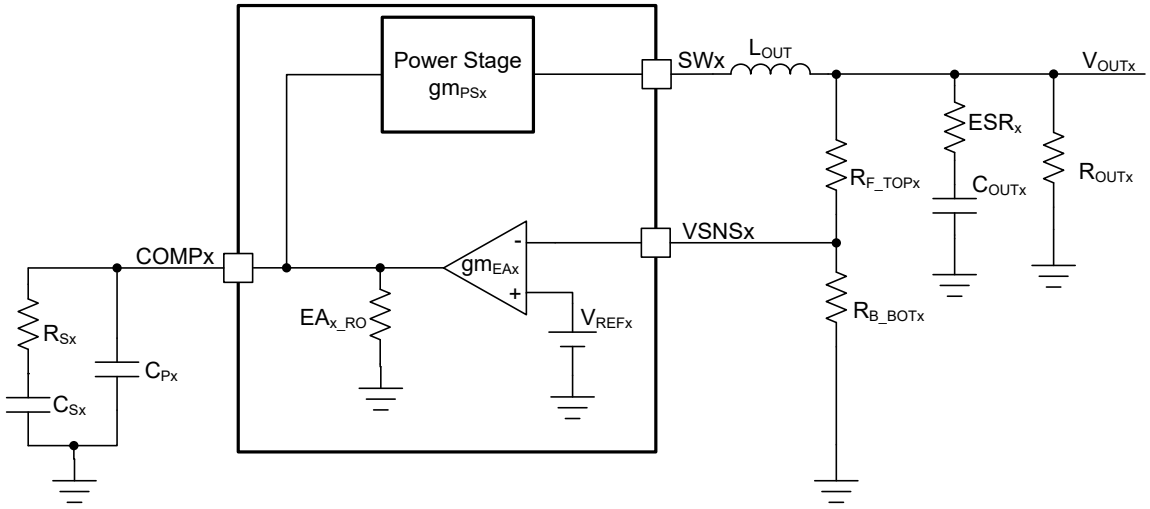


图 8-17. 闭环响应的简化小信号模型

8.3.9.1 误差放大器

TPS7H410x 器件利用跨导误差放大器。误差放大器会对 VSNSx 电压与内部 V_{REFx} 基准电压进行比较。误差放大器的跨导为 1,672 µ S（典型值）。频率补偿元件连接在 COMPx 引脚与地之间连接频率补偿网络。误差放大器直流增益通常为 16,000V/V（或 84dB）。误差放大器输出电阻为 9.57MΩ（典型值）。

8.3.9.2 功率级跨导

TPS7H410x 的功率级跨导 (gm_{PSx}) 通常为 8.35S（或 A/V）。如需了解更多详细信息，可参阅 节 6.5 的 *"误差放大器"* 部分。gm_{PSx} 与负载电流呈反比关系。这意味着 gm_{PSx} 随着负载电流的增加而递减。可以在图 8-18 上观察到这一点。

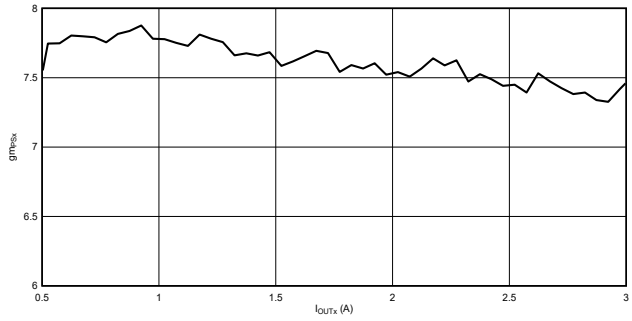


图 8-18. PVIN = VIN = 5V 且 T_A = 25℃ 时 gm_{PSx} 与 I_{OUTx} 间的关系

Copyright © 2026 Texas Instruments Incorporated

8.3.9.3 斜率补偿

可以利用 RSCx 引脚与 GND 之间的电阻器，配置所需斜率补偿 SCx。TPS7H410x 器件在所有占空比条件下都向开关电流信号添加了补偿斜坡。在 节 6.5 中的 *“斜率补偿”* 部分，列举了不同的 RSCx 典型值以及对应的斜率补偿量。方程式 26 提供了用于估算实现所需斜率补偿 (SCx) 所需要的 RSCx 值。

$$\mathrm{RSCx\ (k\Omega)} = -20245 \cdot \frac{1}{\mathrm{f_{SW}(kHz)}} + 428\frac{1}{\mathrm{SCx}\left(\frac{\mathrm{A}}{\mu\mathrm{s}}\right)} - 51.1 \tag{26}$$

其中：

- RSCx 是实现所需斜率补偿（SCx，单位：A/μs）所需要的建议电阻值（单位：kΩ）。
- f_{SW} 为开关频率，以 kHz 为单位。
- SCx 是所需的斜率补偿（绝对值，单位：A/μs）。（注：在 节 6.5 中的 *“斜率补偿”* 部分，以负值形式给出该参数）

斜率补偿的常用建议值定义为输出电压除以电感值，如 方程式 27 所示。

$$\mathrm{SC_{IDEAL}} = \frac{\mathrm{V_{OUTx}}}{\mathrm{L_x}} \tag{27}$$

8.3.9.4 频率补偿

TPS7H410x 需要外部频率补偿。可以使用多种行业方法来补偿直流/直流稳压器。对于 TPS7H410x，通常建议采用 2A 型补偿，但其他方法也是可以接受的。有关具体示例，请参阅应用部分中的节 9.2.2.9。

8.4 器件功能模式

该器件采用固定频率峰值电流模式控制。作为同步降压转换器，该器件通常在所有负载条件下以连续电流模式工作。通过外部电阻器，对输出电压向下分压，并且通过误差放大器，将 VSNSx 与内部基准电压进行对比，从而驱动 COMPx 引脚。内部振荡器开启高侧开关管。误差放大器输出转换为电流基准，与高侧电源开关电流进行比较。当电源开关电流达到 COMPx 电压电平产生的基准电流时，会关断高侧电源开关，导通低侧电源开关。

Copyright © 2026 Texas Instruments Incorporated

9 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

9.1 应用信息

TPS7H410x 是一款抗辐射同步降压转换器。该器件用于将较高的直流输入电压转换为较低的直流输出电压，每通道最大电流为 3A。该器件应在 3V 至 7V 的输入电压范围内使用。

9.2 典型应用

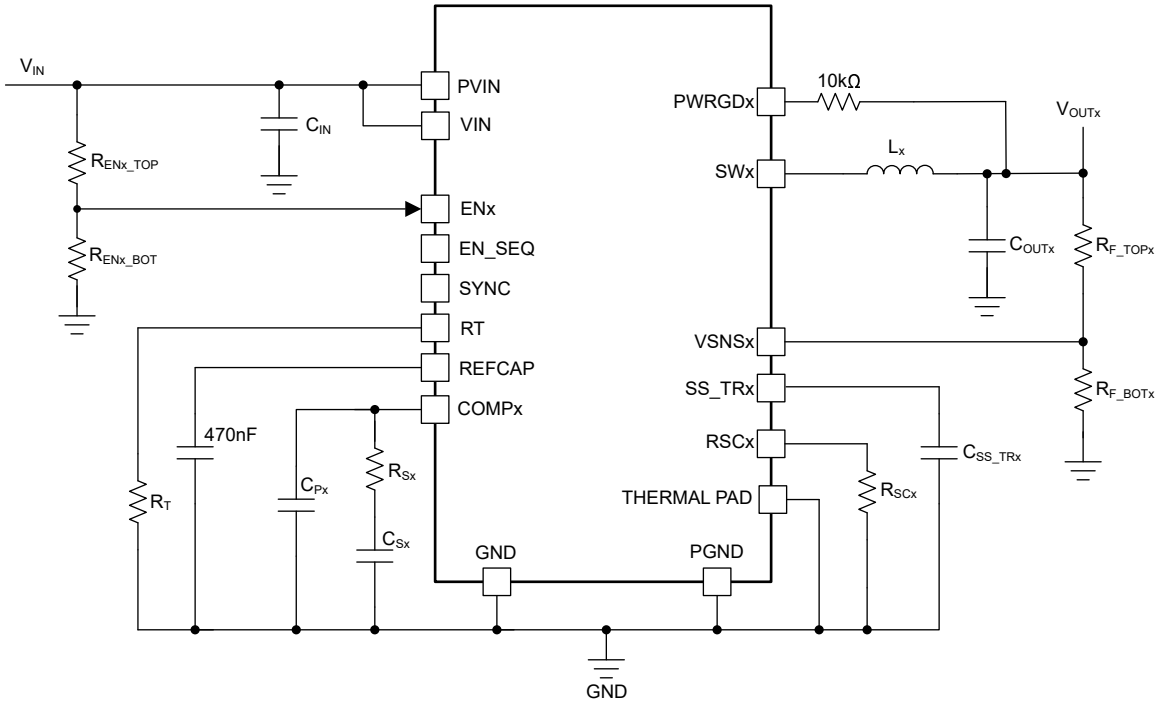


图 9-1. 典型应用原理图

9.2.1 设计要求

表 9-1. 设计参数

设计参数	示例值
输入电压	5V ±10%
通道 1 的标称输出电压 (V_{OUT1})	0.8V
通道 2 的标称输出电压 (V_{OUT2})	1.2V
通道 3 的标称输出电压 (V_{OUT3})	1.5V
通道 4 的标称输出电压 (V_{OUT4})	1.8V
最大输出电流（每个通道）	3A
满负载 (3A) 负载阶跃的瞬态响应	$\Delta V_{OUTx} \leq$ 3.5%
输出电压纹波	$\leq V_{OUTx}$ 的 0.8%
启动输入电压（V_{IN} 上升）	3V
开关频率 (f_{SW})	500kHz

备注

本部分显示的计算值四舍五入到小数点后 3 位。

9.2.2 详细设计过程

9.2.2.1 运行频率

第一步是确定稳压器开关频率。需要在更高和更低的开关频率之间进行权衡。与以较低频率切换的电源相比，较高的开关频率可以使用值较低的电感器和较小的输出电容器实现较小的尺寸。不过，较高的开关频率会导致额外的开关损耗，进而影响转换器的效率与热性能。在本设计中，选择的开关频率为 500kHz。使用方程式 15，计算出 RT 电阻器阻值为 92.42kΩ。本示例选择的元件为 90.9kΩ 电阻器。

9.2.2.2 输出电感器选型

要计算输出电感器的最小值，请使用方程式 28。K_{Lx} 是一个表征电感器纹波电流值与最大输出电流 I_{OUTx} 之比的系数，如 方程式 29 所示。由于输出电容器的纹波电流额定值必须大于或等于电感器纹波电流，因此选择高电感器纹波电流会影响输出电容器的选择。一般而言，设计人员可以根据特定系统需求自行决定电感纹波值。K_{Lx} 的典型值范围为 10% 至 50%。对于低输出电流，可增大 K_{Lx} 数值，以便尽量减少过度的开关 (SWx) 抖动以及减小输出电感器的值。

$$L \geq \left(\frac{V_{IN_MAX} - V_{OUTx}}{I_{OUTx} \times K_{Lx}}\right) \times \left(\frac{V_{OUTx}}{V_{IN_MAX} \times f_{SW}}\right) \quad (28)$$

$$K_{Lx} = \frac{\Delta i_{Lx}}{I_{OUTx}} \quad (29)$$

在本设计示例中，采用 K_{Lx} = 40% 与 V_{IN_MAX} = 5.5V (5V + 10%)。确定（或选定）电感值后，可分别利用 方程式 30、方程式 31 以及 方程式 32，计算实际的纹波电流 (Δi_{Lx})、RMS 以及峰值电流。电感器设计详细信息如 表 9-2 所示。

Copyright © 2026 Texas Instruments Incorporated

$$\Delta i_{Lx} = \left(\frac{V_{IN_MAX} - V_{OUTx}}{Lx}\right) \times \left(\frac{V_{OUTx}}{V_{IN_MAX} \times f_{SW}}\right) \quad (30)$$

$$i_{L_RMSx} = \sqrt{I_{OUTx}^{2} + \frac{1}{12} \times \left(\frac{V_{OUTx} \times (V_{IN_MAX} - V_{OUTx})}{V_{IN_MAx} \times Lx \times f_{SW}}\right)^{2}} \quad (31)$$

$$i_{L_PEAK} = I_{OUTx} + \frac{\Delta i_{Lx}}{2} \quad (32)$$

表 9-2. 电感器设计计算

V_{OUTx} (V)	计算得到的电感值 (µH)	选用的电感值 (µH)	电感器纹波电流 (A)	电感器 RMS 电流 (A)	电感器峰值电流 (A)
0.8	1.14	1.8	0.76	3.01	3.38
1.2	1.56	1.8	1.04	3.02	3.52
1.5	1.82	1.8	1.21	3.02	3.61
1.8	2.02	2.2	1.10	3.02	3.55

流经电感器的电流为电感纹波电流外加输出电流。在上电、故障或瞬态负载条件下，电感器电流可能会增加到之前计算的峰值电感器电流水平以上。在瞬态条件下，电感电流可升至器件的开关电流限值。为此，最为保守的方法是规定电感的额定饱和电流（而非峰值电感电流）大于等于器件的最大开关电流限值。

对于 TPS7H410x，电流限值的最大值由 $I_{OC_LS_SOURCINGx}$ 主导，为 7.6A。所选电感器型号、饱和电流以及 RMS 如 表 9-2 所示。

表 9-3. 所选电感器详细信息

电感值 (µH)	电感器器件型号	电感器 I_{SAT} 额定值 (A)	电感器 I_{RMS} 额定值 (A)
1.8	XGL6030-182MEC	9.4	9.5
2.2	XGL6030-222MEC	8.7	8.5

9.2.2.3 输出电容器选型

确定输出电容值时，需要考虑三点：输出电容器选择主要受以下因素影响：

1. 功率级自然开关动作驱动的期望输出电压纹波。
2. 负载电流大幅突变（负载阶跃）导致的容许电压偏差。

应根据这两项标准中更严格的一项来选择输出电容（参见 方程式 33）。在选择这些电容器时，注意选择具有足够额定电压和额定温度的电容器，并考虑由于直流偏置效应而导致的任何有效电容变化。需要注意的是，输出电容的值直接影响转换器频率响应的调制器极点，如节 9.2.2.9 中所述。

$$C_{OUTx}(F) \geq \max\left(C_{OUTx_LOAD_STEP}(F), C_{OUTx_RIPPLE}(F)\right) \quad (33)$$

要考虑的第一个标准是所需的负载阶跃响应。当稳压器在负载电流需求大幅快速增加期间暂时无法提供足够的输出电流时，通常会发生这种情况。处理器等动态负载从空载变为满负载期间，可能出现这一情况。选择输出电容值时应将以下注意事项纳入考量范围：输出电容器在控制环路响应负载变化前需要向负载额外提供电流。方程式 34 从电气角度显示了实现该目的所需的最小输出电容。这是一个一阶近似值，并未考虑输出电容器的 ESR 与 ESL。对于陶瓷电容器，其 ESR 足够小，在计算过程中可以忽略不计。但是，对于航天应用和大电容值电容器，通常使用钽电容器，此类电容器将某个 ESR 值纳入考量范围。

$$C_{OUTx_LOAD_STEP}(F) = \frac{2 \times \Delta I_{OUTx}(A)}{f_{SW}(Hz) \times \Delta V_{OUTx_LOAD_STEP}(V)} \quad (34)$$

其中：

Copyright © 2026 Texas Instruments Incorporated

- ΔI_{OUTx} 是应用中负载电流（负载阶跃）的最坏情况变化，以安培（A）为单位。在本例中，设计的满负载阶跃为每相 3A。
- f_{SW} 是转换器的开关频率（单位：Hz）。在本例中，所选开关频率为 500kHz。
- $\Delta V_{OUTx_LOAD_STEP}$ 是负载阶跃导致的输出电压允许变化量。在本例中，目标是确保额定输出电压变化不超过 3.5%。

下一个标准是利用 方程式 35 计算所需电容，以便满足输出电压纹波要求。在本设计中，最大期望输出电压纹波小于 V_{OUTx} 的 0.8%。

$$C_{OUTx_RIPPLE}(F) = \frac{\Delta i_{Lx}(A)}{8 \times f_{SW}(Hz) \times \Delta V_{OUTx_RIPPLE}(V)} \quad (35)$$

其中：

1. Δi_{Lx} 是纹波电流（单位：安培(A)）。如需了解每个通道的值，可参阅表 9-3。
2. f_{SW} 是转换器的开关频率（单位：Hz）。在本例中，所选开关频率为 500kHz。
3. ΔV_{OUTx_RIPPLE} 是转换器开关特性导致的目标输出电压纹波。在本设计中，目标是不超过额定输出电压的 0.8%。

最后，在满足输出电压纹波要求时，必须将电容器的 ESR 纳入考量范围。可通过 方程式 36 计算 ESR 的上限。输出电容器设计计算 展示了各通道的结果。

$$ESRx \leq \frac{\Delta V_{OUTx_RIPPLE}(V)}{\Delta i_{Lx}(A)} \quad (36)$$

表 9-4. 输出电容器设计计算

V_{OUTx} (V)	$C_{OUTx_LOAD_STEP}$ (µF)	C_{OUTx_RIPPLE} (µF)	最大 ESR (mΩ)
0.8	428.57	29.67	8.43
1.2	285.71	27.15	9.21
1.5	228.57	25.25	9.90
1.8	190.48	19.11	13.08

因老化、温度及直流偏置而产生的附加电容降额纳入考量范围，所需输出电容的最小值在上述情况下会有所提升。电容器一般将纹波电流量限制在其处理电流时不会导致故障或过热的范围内。对于所选输出电容器组，必须能够处理通过 方程式 30 计算出的纹波电流。表 9-2 展示了每种情况下所选电感、标称输出电压及纹波电流。

对于这一特定设计，考虑到上述所有要求，为每个通道选择一个 470µF 的 T55 钽电容器。所选电容器的最大 ESR 为 7mΩ，最大 RMS 电流额定值为 5.66A。此外，还并联了一个用于高频滤波的 0.1µF 陶瓷电容器。这样可得到总电容为 470.1µF。使用 方程式 37 计算各通道的预期纹波电压；表 9-5 展示了结果。

$$\Delta V_{OUTx_RIPPLE} = \frac{\Delta i_{Lx}(A)}{8 \times f_{SW}(Hz) \times C_{OUTx}(F)} + [ESR(\Omega) \times \Delta i_{Lx}(A)] \quad (37)$$

Copyright © 2026 Texas Instruments Incorporated

表 9-5. 预期输出电压纹波

V_{OUTx} (V)	ΔV_{OUTx_RIPPLE} (mV)	ΔV_{OUTx_RIPPLE} 占 V_{OUTx} 的百分比
0.8	5.72	0.72
1.2	7.85	0.65
1.5	9.13	0.61
1.8	8.29	0.46

9.2.2.4 输入电容器选型

必须通过足够的电容器旁路对 TPS7H410x 的输入电源进行良好调节，以实现适当的电气性能。虽然要求在 PVIN 和 VIN 输入附近使用一个最小有效电容值至少为 4.7 µF 的陶瓷电容器，但是通常需要额外的大容量电容来处理高输入电流。与输出电容器选型类似，在选择输入电容器时，应选择具有足够额定电压和额定温度的电容器，并考虑由于直流偏置效应而导致的任何有效电容变化。电容器的纹波电流额定值也必须大于使用方程式 38 计算得出的最大输入电流纹波。

$$i_{CIN_RMSx}(A) = I_{OUTx}(A) \times \sqrt{\left(\frac{V_{OUTx}(V) \times [V_{IN_MIN}(V) - V_{OUTx}(V)]}{V_{IN_MIN}(V)^2}\right)} \quad (38)$$

然后，可通过利用 方程式 39 以及选择所需最大输入纹波电压 ΔV_{IN_RIPPLE} 的方式，计算最小输入电容。在本设计中，选择不超过最小输入电压 VIN (4.5V) 的 0.1% 的输入纹波电压 (ΔV_{IN_RIPPLE} = 4.5mV)。

$$C_{INx}(F) \geq \frac{0.25 \times I_{OUTx}(A)}{\Delta V_{IN_RIPPLE}(V) \times f_{SW}(Hz)} \quad (39)$$

输入电容器设计计算如 表 9-6 所示。

表 9-6. 输入电容器设计计算

V_{OUTx} (V)	i_{CIN_RMSx} (A)	C_{INx} 的下限值 (µF)
0.8	1.15	333.33
1.2	1.33	
1.5	1.41	
1.8	1.47	

但请注意，方程式 39 不包括 ESR 对输入纹波电压的影响。因此，需使用额外的电容。具体而言，可将 330 µF 的钽电容器、22µF 的陶瓷电容器与 0.1 µF 的陶瓷电容器搭配使用，实现 352.1 µF 的总输入电容。这是为每个相位 (或通道) 选择的输入电容器。将每组电容器放在靠近每个相位的 PVIN 引脚位置。

9.2.2.5 软启动电容器选型

软启动电容器 C_{SS_TRx} 决定上电期间输出电压达到标称编程值所花的时间。如果负载需要受控的电压压摆率，这很有用。如果输出电容很大 (航天级降压转换器的典型情况是如此) ，则也会使用此电容器，这需要很大的电流才能快速将电容器充电至输出电压电平。为电容器充电所需的大电流可能会使 TPS7H410x 达到电流限值，从输入电源汲取过多电流，或导致输入电压导轨下降。限制输出电压的压摆率可以解决这些问题。可以使用 方程式 19 和 方程式 20 计算软启动电容值。表 9-7 列出了计算值以及所选用的值。对于 V_{REFx} 与 I_{SS_TRx} 的计算，采用温度与电压范围内的中心值，具体如下：方程式 2， 方程式 21。

Copyright © 2026 Texas Instruments Incorporated

表 9-7. 软启动电容器设计计算

V_{OUTx} (V)	$t_{SS_TRx_NOMINAL}$ (ms)	$C_{SS_TRx_NOMINAL}$ (nF)	$C_{SS_TRx_SELECTED}$ (nF)
0.8	0.31	1.11	1.2
1.2	0.47	1.66	1.8
1.5	0.59	2.08	2.2
1.8	0.71	2.5	2.7

9.2.2.6 欠压锁定 (UVLO) 设定点

当达到所需的预设输入电压时，可使用 VIN 和 GND 之间的外部电阻分压器来启用 TPS7H410x。实际上，这起到了可调节 UVLO 的作用。首先，选择 3V 作为所需导通电压 ($V_{UVLO_CHx_TARGET}$)。然后，选择 10kΩ 的 R_{ENx_TOP}，该阻值能够在（足以最大限度降低功耗的）足够大电阻与（足以避免过高噪声耦合至高阻抗节点）的足够低电阻之间实现合理权衡。然后，利用 方程式 8，计算 R_{ENx_BOT}，计算得到 2.53kΩ。选择值为 2.61kΩ。利用 方程式 9 与 方程式 10，可以分别计算实际的上升与下降 UVLO。$V_{UVLO_CHx_RISING}$ 为 2.93V，$V_{UVLO_CHx_FALLING}$ 为 2.42V。

9.2.2.7 输出电压反馈电阻器选择

电阻分压器网络 R_{FB_TOPx} 与 R_{FB_BOTx} 用于设置输出电压。在本设计中，R_{FB_TOPx} 选用 10kΩ 电阻器。此外，将一个 20Ω 的电阻器与 $_{FB_TOPx}$ 串联，协助进行控制环路测量。利用 10.02kΩ 的组合值与 方程式 1，可以计算出底部电阻器值。利用最接近计算值（利用 0.1% 的容差）的电阻值，选择实际（或选定）电阻器。为了最大限度降低基准电压 (V_{REFx}) 引入误差，计算时采用温度范围内的中心值（而非典型值），如 方程式 2 所示。

通过使用实际（或选定）值，利用 方程式 3 与 方程式 4 计算期望的额定值与误差。结果如 表 9-8 所示。

表 9-8. 反馈电阻与具有误差的期望 V_{OUTx}

VOUTx (V)	R_{FB_BOTx} 计算值 (kΩ)	R_{FB_BOTx} 选定值 (kΩ)	V_{OUTx} 实际值 (V)	V_{OUTx} 误差 (mV)
0.8	29.57	29.4	0.802	8.02
1.2	9.94	9.88	1.204	12.07
1.5	6.63	6.57	1.509	15.15
1.8	4.98	4.93	1.812	18.2

同样，也可以加入寿命漂移数据。C 组数据可用于帮助进行此计算。对于这个示例，假定与其他误差源相比，寿命漂移最小，因此未添加。

9.2.2.8 斜率补偿要求

虽然用户可以为不同的应用选择不同的斜率补偿值，但通常建议的斜率补偿值定义为输出电压除以电感器尺寸，如方程式 27 所示。计算出斜坡补偿以后，就可以利用 方程式 26，计算必要的 RSC 电阻。

表 9-9. 斜率补偿设计计算

VOUTx (V)	SC_{IDEAL} (A/μs)	RSC 计算值 (kΩ)	RSC 选择值 (kΩ)
0.8	0.44	871.41	499
1.2	0.67	550.41	360
1.5	0.83	422.01	294
1.8	0.82	431.52	294

在这一特定应用示例中，采用了比建议值更大的斜率补偿，这样能够提供额外的裕量和质量，适用不同配置测试，因此 RSC 电阻器的计算值与选择值之间存在差异

9.2.2.9 补偿元件选择

节 8.3.9 介绍了 TPS7H410x 的控制环路。用于补偿此器件的元件选择如下所示。还可接受其他用于补偿峰值电流模式控制降压稳压器的业界通用方法。

Copyright © 2026 Texas Instruments Incorporated

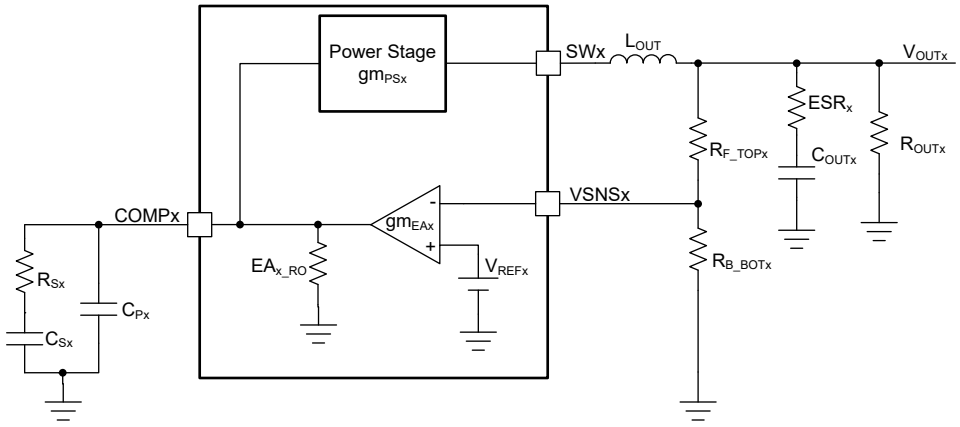


图 9-2. 具有简化环路的 II 型补偿

1. 确定所需（或目标）交叉频率 f_{COx_TARGET}。一种不错的初始设置方法是将交叉频率设定在开关频率的 10% (1/10) 到 20% (1/5) 之间。这通常会提供良好的瞬态响应并确保调制器极点不会降低相位裕度。在本设计中，25kHz 是所选的目标交叉频率。
2. 使用方程式 40 确定补偿误差放大器所需的增益：

$$A_{VMx} = \frac{2\pi \times f_{COx_TARGET} \times C_{OUTx}}{gm_{PSx}} \tag{40}$$

其中，gm_{PSx} 为功率级跨导。（25°C 时典型值为 8.35S）

3. 使用 方程式 41 确定 R_{Sx}：

$$R_{Sx} = \frac{A_{VM}}{gm_{EAx}} \times \frac{V_{OUTx}}{V_{REFx}} \tag{41}$$

其中，gm_{EAx} 是误差放大器的跨导（25°C 时，典型值为 1672 µS），V_{REF} 是基准电压（如 方程式 2 所示，为 597.5V）。

4. 计算功率级主导极点（根据 方程式 42 确定）：

$$f_{P_PSx} = \frac{I_{OUTx}}{2\pi \times C_{OUTx} \times V_{OUTx}} \tag{42}$$

5. 通过选择 C_{Sx}，在主导极点放置一个补偿零点（根据方程式 43 确定）：

$$C_{Sx} = \frac{1}{2\pi \times f_{P_PSx} \times R_{Sx}} \tag{43}$$

6. 根据方程式 44 计算输出电容器组的 ESR 零点：

$$f_{Z_ESRx} = \frac{1}{2\pi \times ESRx \times C_{OUTx}} \tag{44}$$

7. C_{Px} 用于抵消输出电容器 C_{OUT} 的等效串联电阻 (ESR) 的零点，其计算公式见 方程式 45：

$$C_{Px} = \frac{1}{R_{Sx} \times 2\pi \times f_{Z_ESRx}} \tag{45}$$

注意，如果 ESR 零点高于开关频率的一半，则使用一半的开关频率，而非方程式 45 中的 ESR 零点。

Copyright © 2026 Texas Instruments Incorporated

表 9-10. 补偿元件计算

V_{OUTx} (V)	A_{VMx} (V/V)	R_{Sx} (kΩ)	f_{P_PSx}(kHz)	C_{SX} (nF)	f_{Z_ESRx} (kHz)	C_{Sx} (pF)
0.8	8.84	7.08	1.27	17.7	48.37	464.67
1.2		10.62	0.85			309.78
1.5		13.28	0.68			247.83
1.8		15.93	0.56			206.52

表 9-11. 所选补偿元件

V_{OUTx} (V)	R_{Sx} (kΩ)	C_{Sx}(nF)	C_{Px} (pF)
0.8	6.98	18	470
1.2	10.5		330
1.5	13.3		220
1.8	16.2		220

请注意，在设计中，使用这些公式选择的元件通常仅为初始值。可以在实验室测试后进行优化，以进一步改善频率响应并实现确保与所需交叉频率更接近。

9.2.3 应用曲线

TPS7H4104 评估模块用于采集如下所示波形。测试条件为：

- VIN = PVIN = 5V
- 开关频率 (f_{SW}) = 500kHz
- V_{OUT1} = 0.8V，V_{OUT2} = 1.2V，V_{OUT3} = 1.5V 以及 V_{OUT4} = 1.8V
- I_{OUTx}=3A

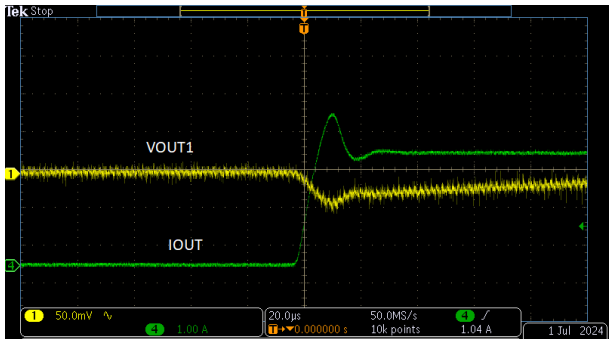


图 9-3. V_{OUT1} 满负载阶跃上升

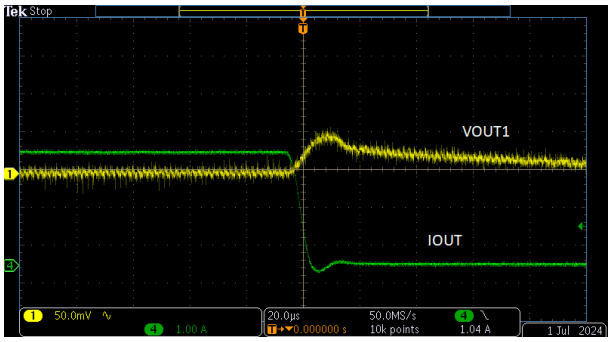


图 9-4. V_{OUT1} 满负载阶跃下降

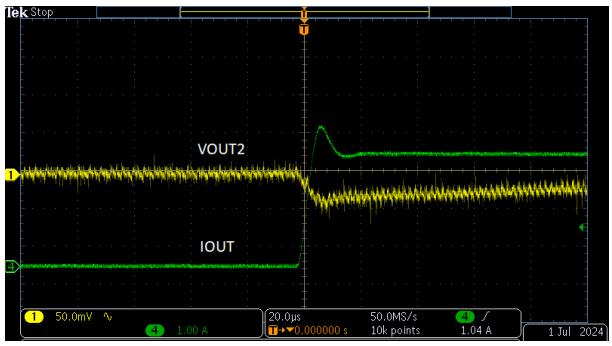


图 9-5. V_{OUT2} 满负载阶跃上升

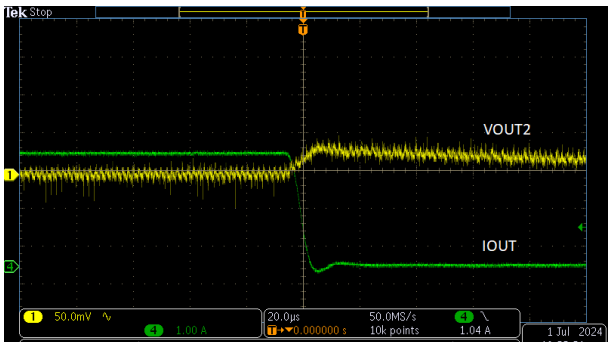


图 9-6. V_{OUT2} 满负载阶跃下降

Copyright © 2026 Texas Instruments Incorporated

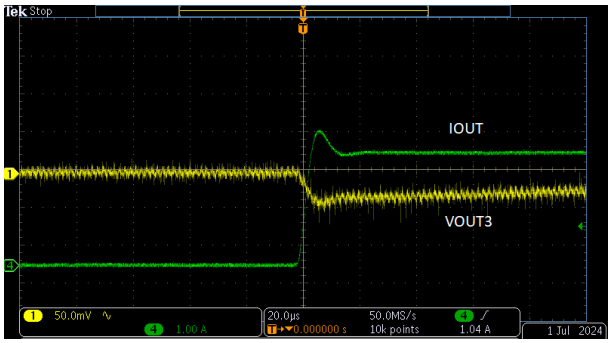


图 9-7. V_{OUT3} 满负载阶跃上升

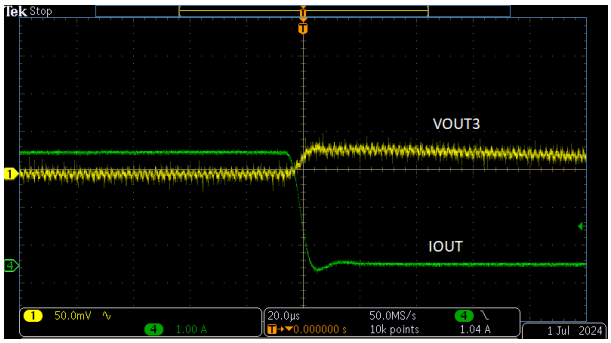


图 9-8. V_{OUT3} 满负载阶跃下降

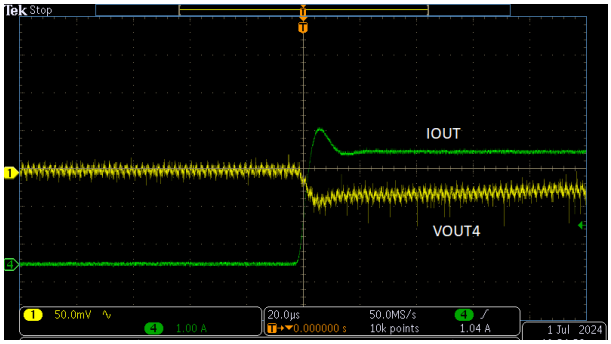


图 9-9. V_{OUT4} 满负载阶跃上升

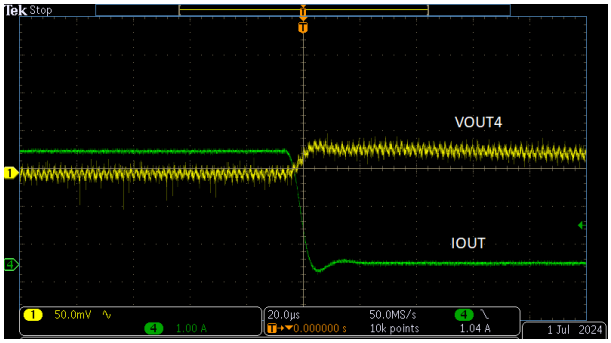
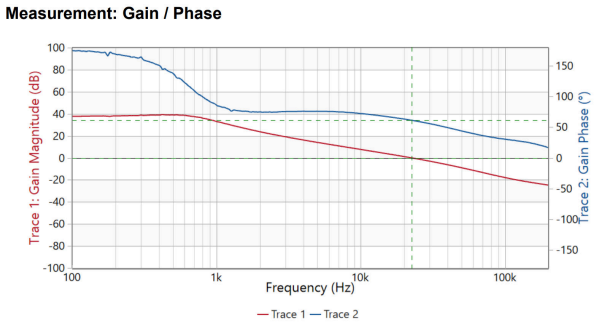
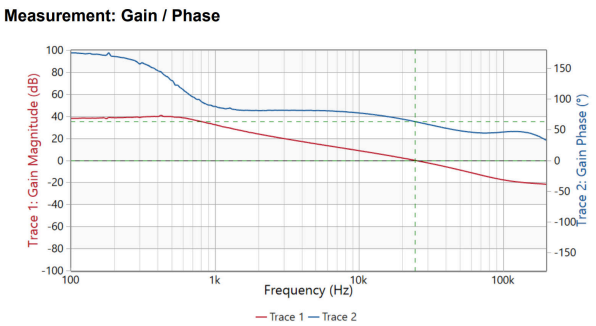


图 9-10. V_{OUT4} 满负载阶跃下降



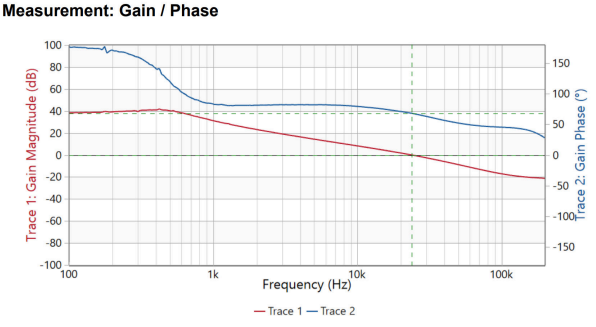
测得的交叉频率为 22.5kHz，相位裕度为 61.4 度。

图 9-11. V_{OUT1} 完整环路波德图



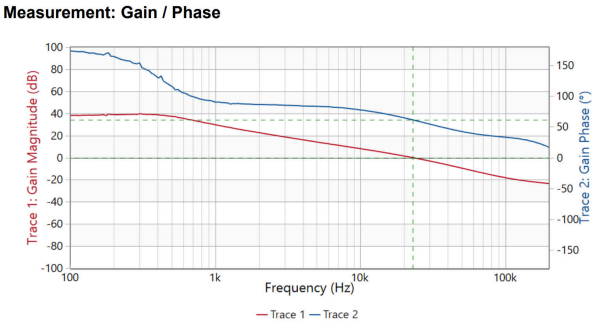
测得的交叉频率为 24.5kHz，相位裕度为 63.3 度。

图 9-12. V_{OUT2} 完整环路波德图



测得的交叉频率为 23.9kHz，相位裕度为 68.2 度。

图 9-13. V_{OUT3} 完整环路波德图



测得的交叉频率为 23kHz，相位裕度为 61.4 度。

图 9-14. V_{OUT4} 完整环路波德图

Copyright © 2026 Texas Instruments Incorporated

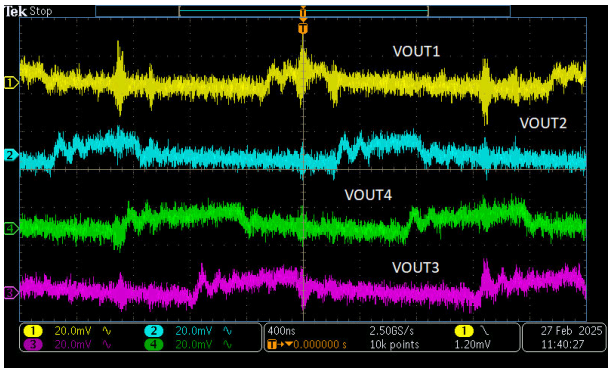


图 9-15. V_{OUTx} 输出电压纹波

9.3 并行运行

TPS7H410x 可采用并联配置。以便通过 TPS7H4104 型号提供 12A 的最大输出电流。或通过 TPS7H4102 型号提供 6A 的最大输出电流。表 9-12 展示了各通道和各器件的相移。顶部（CH1 和 CH4）和底部（CH2 和 CH3）通道具有 180 度的相对相移，以便通道更容易并联。

通道 1 和通道 4 的并联连接如图 9-16 所示，此处假设两个通道并联以提供高达 6A 的电流。但是，连接可以扩展到 2 个以上的并联相位。流经 n 个并联器件中每个器件的电流标称值为 1/N，其中 N 是并联相位的数量。

在并联模式中，因为误差放大器 (COMPx) 的输出都电连接在一起，所以更大限度地减少了因误差放大器 gm_{EAx} 差异而导致的电流失配。因此，电流失配主要由各个功率级 gm_{PSx} 值的失配决定。此参数在电气特性表中针对温度、电压及 TID 指定。

表 9-12. TPS7H410x 的相对按通道相移

器件	通道编号	相对相移 (°)
TPS7H4104	1	0
	2	90
	3	270
	4	180
TPS7H4102	1	0
	4	180

在并行模式下，有两种方法可以补偿 TPS7H410x：

1. 使用总输出电容 C_{OUTx} 及负载电流 (I_{OUTx}) 补偿整个系统。使用图 9-16 作为参考，$C_{OUTx} = C_{OUT1} + C_{OUT2}$ 并且 $I_{OUTx} = I_{OUT1} + I_{OUT2}$。使用节 9.2.2.9 中所示的相同过程，但使用方程式 46 计算 R_{Sx} 除外。
2. 按照节 9.2.2.9 中的步骤分别补偿每个通道。在这种情况下，C_{OUTx} 和 I_{OUTx} 必须按 1/N 缩放，并且 R_{Sx} 公式没有变化。这种方法的缺点是元件数量增加，但优点是它可以减少由于每个器件附近物理上靠近的补偿元件而注入 COMP 引脚的噪声。

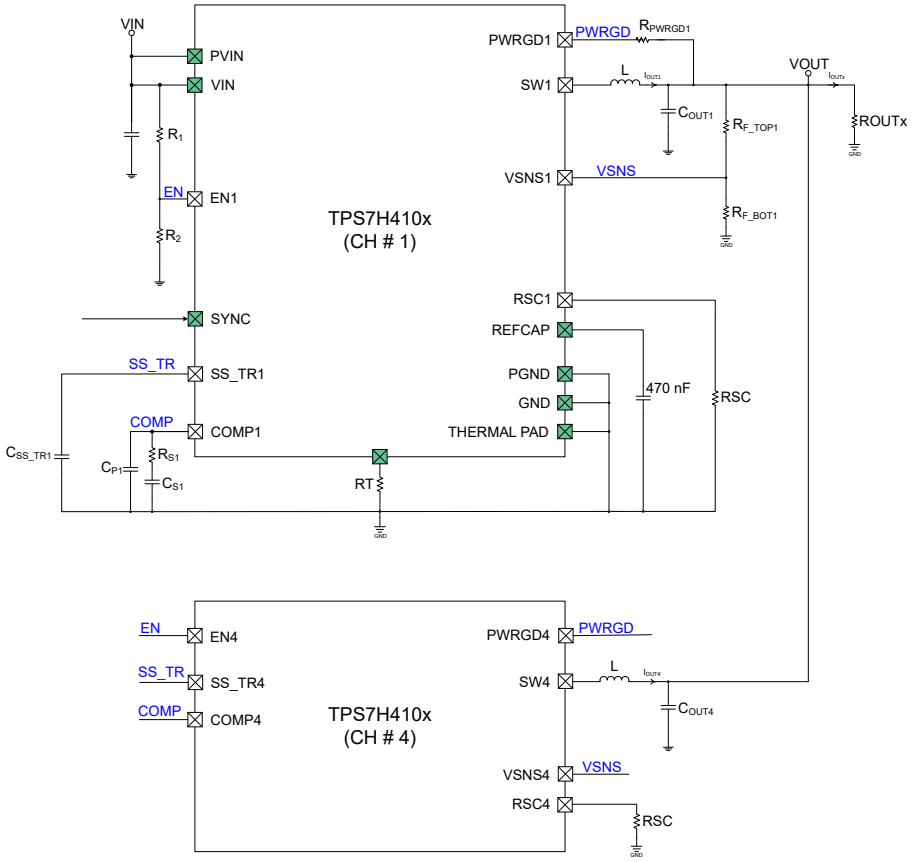
$$R_{Sx_PARALLEL} = \frac{1}{N^2} \times \frac{A_{VMx}}{gm_{EAx}} \times \frac{V_{OUTx}}{V_{REFx}} \quad (46)$$

除了补偿过程发生变化外，还必须调整软启动电容，因为现在的软启动电流为：$I_{SS_TRx_PARALLEL}=I_{SS_TRX}$ x N。使用该值计算 方程式 16 中的软启动电容。

备注

每个相位的斜率补偿电阻必须具有相同的值，并且每个相位都存在该电阻。

Copyright © 2026 Texas Instruments Incorporated



绿色引脚是适用于 TPS7H410x 所有通道的设置，SYNC 是可选输入。

图 9-16. 并联配置显示了单个 TPS7H410x 器件上的通道 1 及 4

TPS7H410x N 相并联的过程如下：

- 仅使用单个反馈网络，通过将所有 VSNS 节点连接在一起来配置输出电压。
- 在所有 SSx 引脚连接（或短接）在一起的情况下，只需要一个软启动电容器。
  - 软启动电流按相位数 (N) 递增。
- 使用单个电阻分压器设置外部 UVLO，并将所有 ENx 引脚连接在一起。
- 将所有 PWRGD 引脚连接在一起并使用单个上拉电阻器，以便获得“线或”(wired-OR) 电源正常信号。
- 如上所述，将所有 COMPx 引脚连接在一起并相应地补偿环路。

9.3.1 输入和输出电容降低

与单相和相同总负载相比，并联多个相位的优势之一是可以降低输入和输出电容以满足稳态要求。

备注

当相位之间的相移等于 360/N 度（其中 N 是相位数）时，本节中讨论的公式有效。当特定通道并行运行（例如通道 1 和 4、通道 2 和 3 或所有通道 1 至 4）时，这较适用。这种降低在稳态条件下是有效的，通常情况下，输入和输出电容值主要由负载瞬态的特性决定。

9.3.1.1 输出电容减小

当多个相位同时工作时，各相位会根据其活动状态在不同的时间对输出电容进行充电和放电。这导致总电流（所有相电流之和）具有较小峰峰值。由于此总电流的交流分量是被输出电容 (C_{OUTx}) 吸收的分量，因此较小的纹波电流会直接导致较低的输出电压纹波。有关此效果的视觉表示，请参阅图 9-17。

Copyright © 2026 Texas Instruments Incorporated

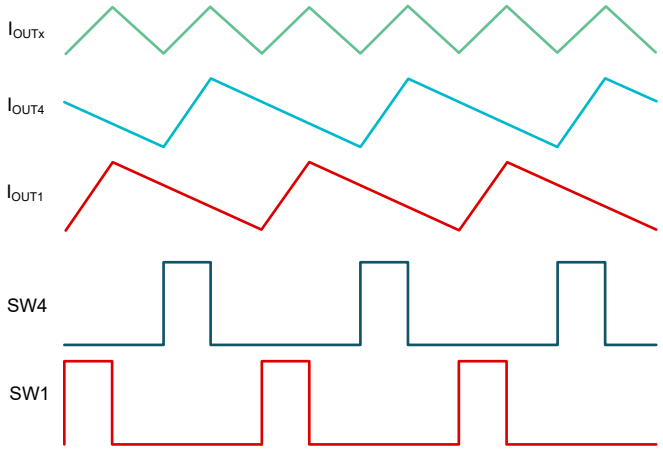


图 9-17. SW1 和 SW4 并联时的电感器纹波电流

使用 方程式 47 计算降额后的纹波输出电流系数。该系数在 图 9-18 中给出了 2 个和 4 个通道（或相位）并联时的情况。该系数适用于 方程式 30 以计算 I_{OUTx} 纹波电流。

$$\Delta i_{L_PARALLEL_FACTOR} = \frac{N}{D \times (1-D)} \times \left(D - \frac{m}{N}\right) \times \left(\frac{1+m}{N} - D\right) \quad (47)$$

其中：

- D 是以数值表示的占空比（0 至 1）
- N 为平行相位数
- m = floor (N × D)

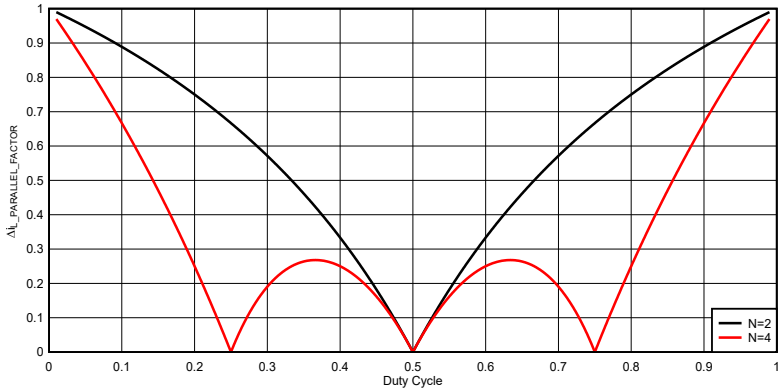


图 9-18. $\Delta i_{L_PARALLEL_FACTOR}$ 与占空比间的关系

9.3.1.2 输入电容减小

在多相系统中，与具有相同总负载 (I_{OUTx}) 的单相系统相比，输入 RMS 电流更低。这种减小允许使用更小的输入电容，同时满足相同的输入纹波规格。另一个优势在于减少了由于流经电容器等效串联电阻 (ESR) 的电流较低而导致的自发热。图 9-19 显示了与单相（虚线）相比，CH1 和 CH4 并联的简化输入电流波形。输入电流 RMS 降低可以根据方程式 48 进行计算。该系数适用于根据方程式 38 计算得出的单相 RMS 电流。图 9-20 展示了 $i_{CIN_RMS_PARALLEL_FACTOR}$ 与占空比间的关系。

Copyright © 2026 Texas Instruments Incorporated

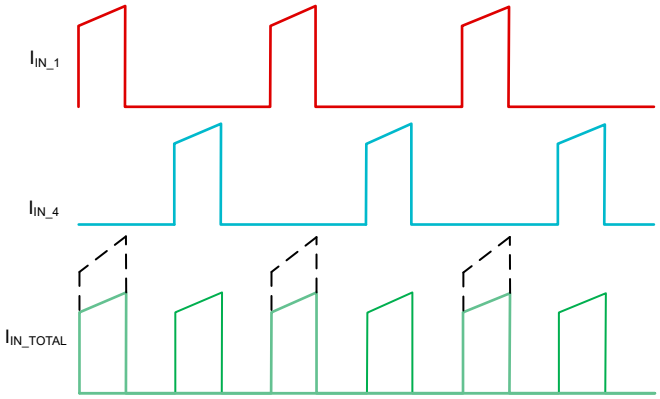


图 9-19. SW1 及 SW4 并联的输入电流波形

$$i_{CIN_RMS_PARALLEL_FACTOR} = \sqrt{\left(D - \frac{m}{N}\right) \times \left(\frac{1+m}{N} - D\right)} \quad (48)$$

其中：

- D 是以数值表示的占空比（0 至 1）。
- N 为平行相位数。
- m = floor (N × D)

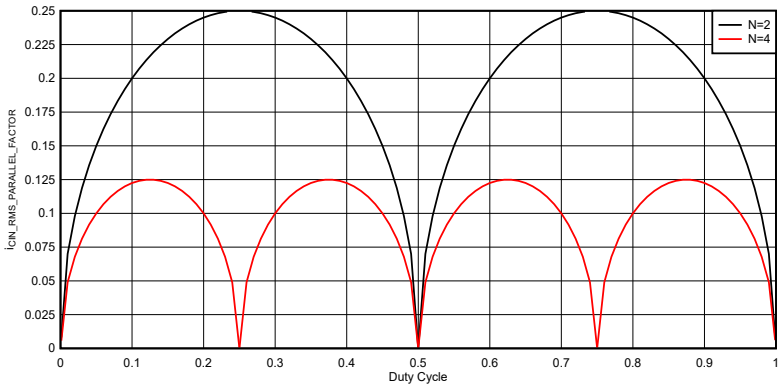


图 9-20. $i_{CIN_RMS_PARALLEL_FACTOR}$ 与占空比之间的关系

9.4 未使用通道的端接指南

当应用中并未使用（或需要）所有通道时，建议按如下所述端接未使用的通道引脚以避免节点悬空：

1. ENx ≥ 10kΩ 下拉至 GND。
2. 当 $V_{ENx} \leq V_{EN_FALLING}$（或 ENx = 低电平）时，COMPx 在内部下拉至 GND
   - 如果需要外部下拉电阻，则连接一个 ≥ 10kΩ 的电阻。
3. RSCx ≥ 10kΩ 下拉至 GND。
4. SS_TRx 通过 364Ω（典型值）在内部下拉至 GND。
5. VSNSx ≥ 10kΩ 下拉至 GND。
6. SWx ≥ 10kΩ 下拉至 GND。
7. PWRGDx ≥ 10kΩ 下拉至 GND。

9.5 电源相关建议

TPS7H410x 设计为可在 3V 至 7V 的输入电源电压范围内运行。该输入电源必须经过良好调节。电源必须合理旁路，以获得适当的电气性能。这包括从 PVIN 到 GND 的至少一个 4.7μF（降额后）（每对 PVIN 引脚上一个，每

Copyright © 2026 Texas Instruments Incorporated

个 SWx 旁边一个），以及从 VIN 到 GND 的一个 1 µF 的陶瓷电容器，X7R 型或更好。PVIN 和 VIN 必须具有相同的电压，建议用户从外部连接 PVIN 和 VIN。在具有较小输入纹波规格的系统中，可能需要额外的本地陶瓷旁路电容器，如果 TPS7H410x 器件距离其输入电源超过几英寸，则还需要额外的大容量电容。将旁路电容尽可能靠近输入引脚放置，并使其到 GND 的路径具有低阻抗。输出端具有更大的旁路电容值，可以改善对辐射引起的瞬态的响应。

9.6 布局

9.6.1 布局指南

- 好的布局是衡量电源设计的一个重要部分。有关 PCB 布局示例，请参阅 节 9.6.2。
- 建议用户涵盖一大块顶部接地区域。顶层接地区域可使用输入旁路电容器、输出滤波电容器以及 TPS7H410x 器件正下方的过孔连接到内部接地层，以便提供从外露散热焊盘到接地端的热路径。顶部接地区域与内部接地平面必须提供足够的散热面积。
- 建议用户利用过孔将 TPS7H410x 下方的散热焊盘连接至内部接地层的 GND。无需直接将顶层的散热焊盘接地以在散热焊盘接地和顶部 PGND 之间提供噪声隔离，这么做可能会有噪声。
- 有几条信号路径会传导快速变化的电流或电压，它们可能与杂散电感或寄生电容相互作用，从而产生噪声或降低电源性能。为了协助消除上述问题，可通过采用 X7R 电介质的低 ESR 陶瓷旁路电容器使 PVIN 引脚避开接地端。
- 注意尽量减小旁路电容连接、PVIN 引脚和地连接所形成的环路面积。
- 此外，还必须通过采用 X7R 电介质的低 ESR 陶瓷电容器将 VIN 引脚旁路至接地。确保将此电容器连接到更安静的模拟接地布线（如果使用），而不是 PVIN 旁路电容器的电源接地布线。
- 由于 SW 连接是开关节点，输出电感器可尽量靠近 SW 引脚放置，PCB 导体面积也应尽可能缩减，避免电容过度耦合。
- 输出滤波电容器接地端可使用与 PVIN 输入旁路电容器相同的电源接地端。尽量减小该导体长度，同时保持足够的宽度。
- 使反馈布线远离电感器 EMI 和其他噪声源。尽量使反馈布线远离电感器、开关 (SW) 节点和噪声电源布线。如果可能，应避免将该布线直接布置在输出电感器下方。如果做不到，请确保将布线布置在另一层上，并使用接地层隔离布线和电感器。
- 确保用于产生 VSNSx 电压的电阻分压器尽可能靠近器件引脚，以便降低噪声干扰。
- RT 和 COMP 引脚对噪声很敏感，因此这些引脚周期的元件可尽可能靠近 IC 并且尽可能减小其路由布线长度。
- 确保所有电源（大电流）布线尽可能短、直且宽。
- 用户可以使用替代 PCB 布局获得可接受的性能。

Copyright © 2026 Texas Instruments Incorporated

9.6.2 布局示例

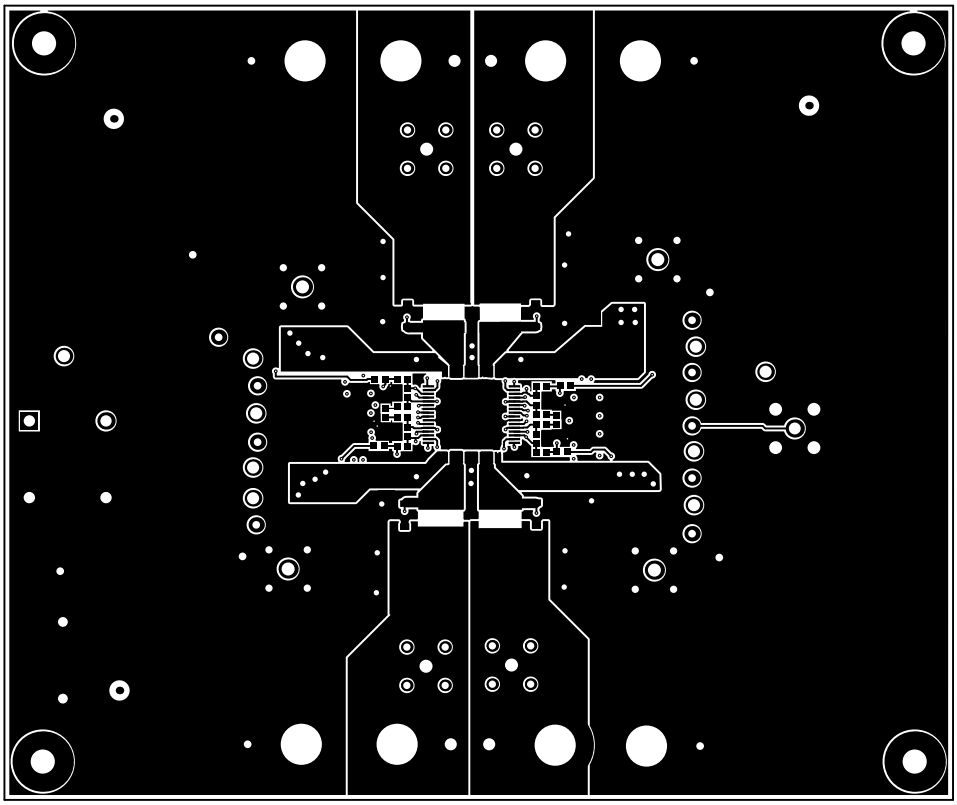


图 9-21. PCB 布局示例（顶层）

Copyright © 2026 Texas Instruments Incorporated

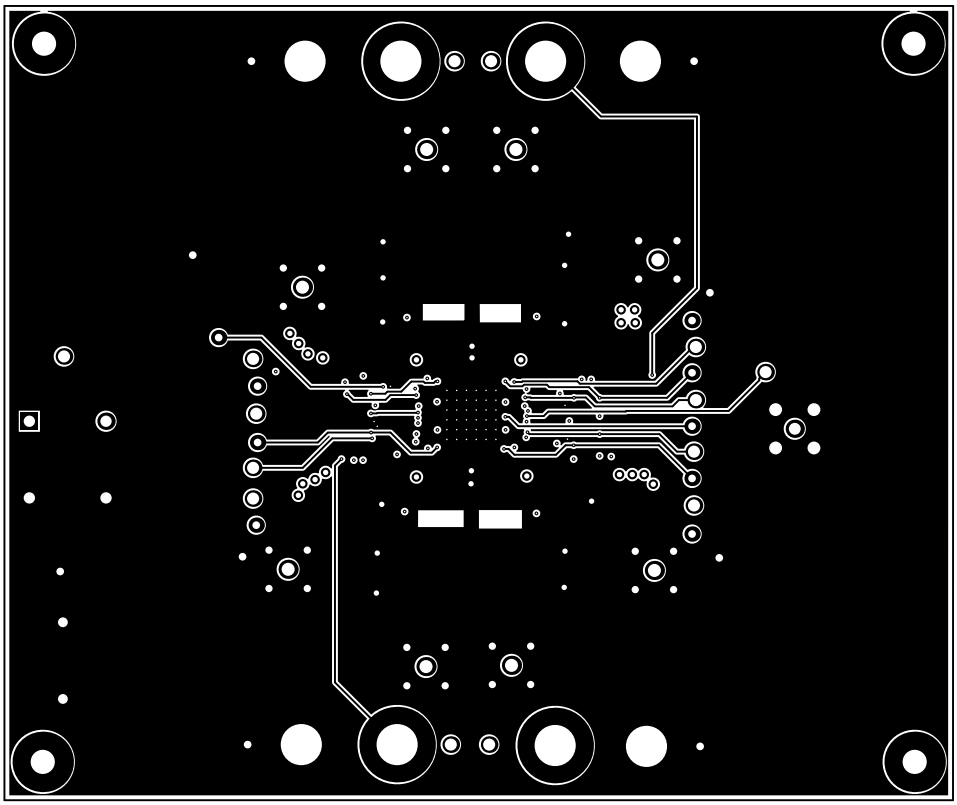


图 9-22. PCB 布局示例（内层）1

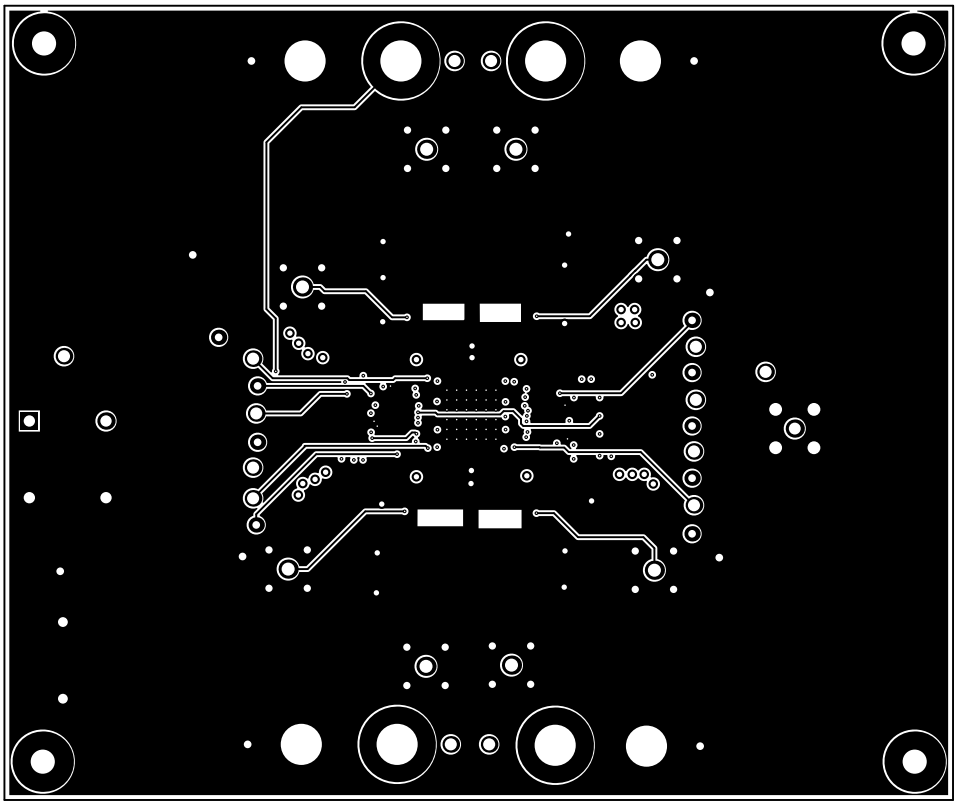


图 9-23. PCB 布局示例（内层）2

Copyright © 2026 Texas Instruments Incorporated

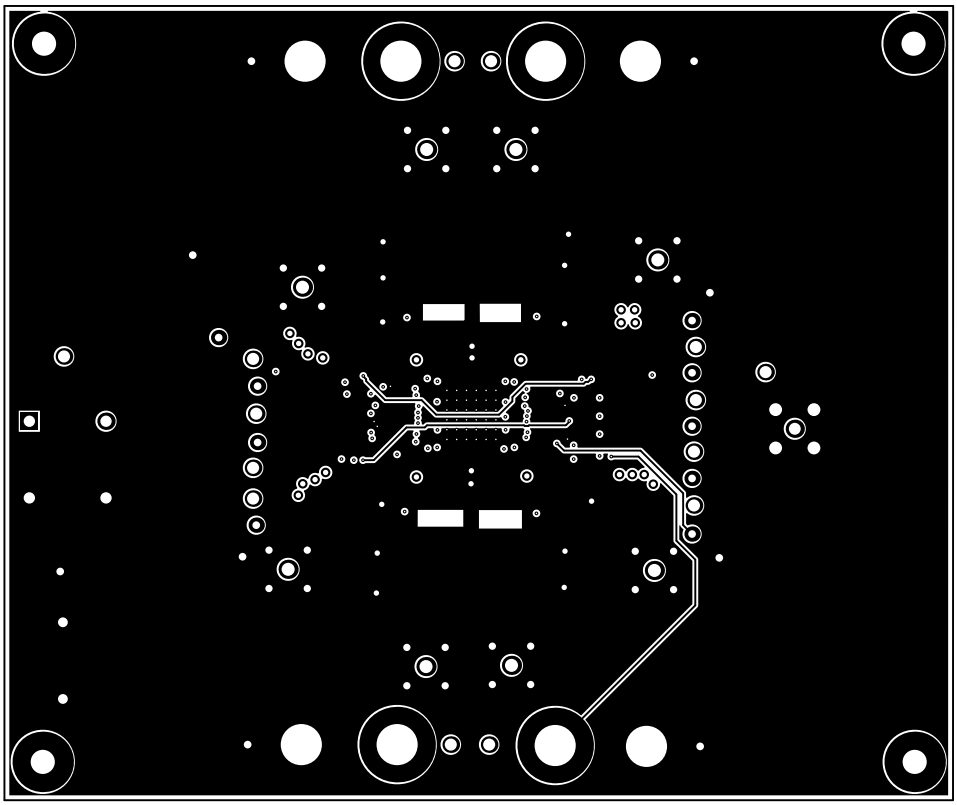


图 9-24. PCB 布局示例（内层）3

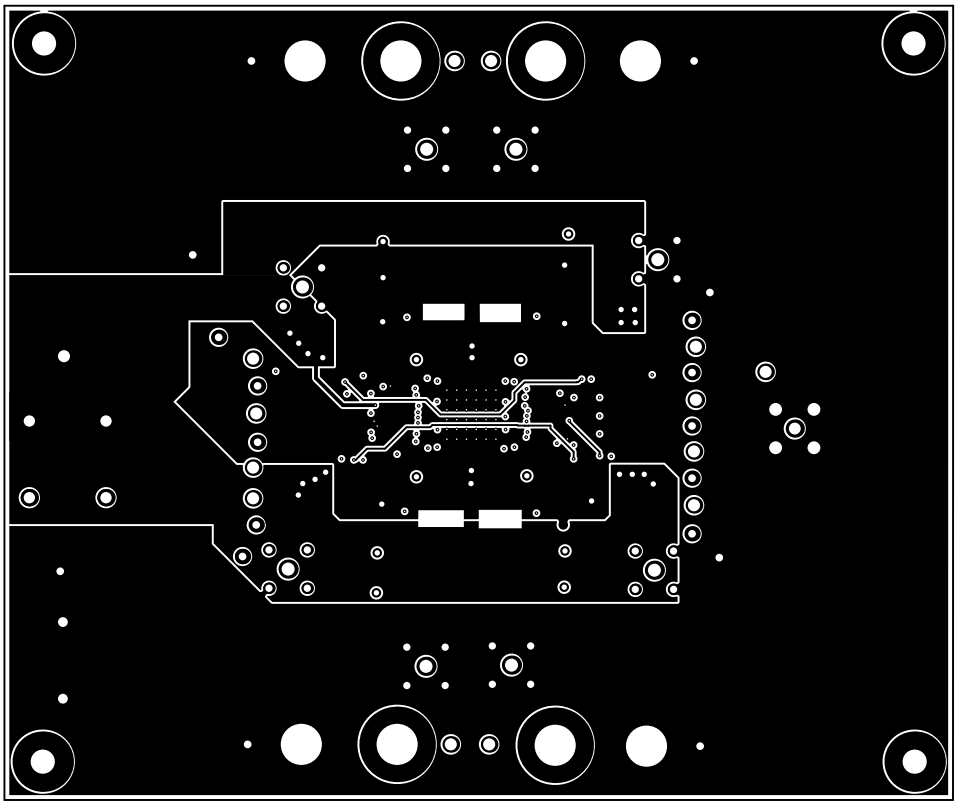


图 9-25. PCB 布局示例（内层）4

Copyright © 2026 Texas Instruments Incorporated

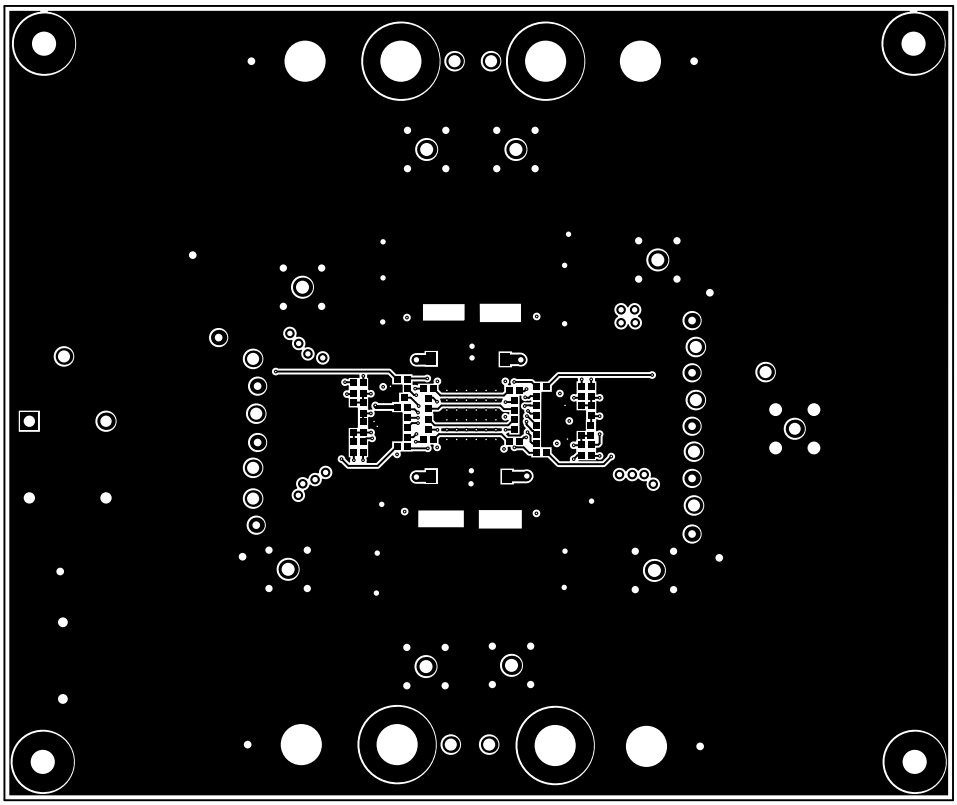


图 9-26. PCB 布局示例（底层）

Copyright © 2026 Texas Instruments Incorporated

10 器件和文档支持

10.1 文档支持

10.1.1 相关文档

- 德州仪器 (TI)，*《TPS7H4104 评估模块 (EVM)》*（用户指南）
- 德州仪器 (TI)，*《TPS7H4102 评估模块 (EVM)》*（用户指南）
- 德州仪器 (TI)，*TPS7H4104-SEP 电离辐射总剂量 (TID) 报告*
- 德州仪器 (TI)，*TPS7H4102-SEP 电离辐射总剂量 (TID) 报告*
- 德州仪器 (TI)，*TPS7H4104-SEP 和 TPS7H4104-SP QMLP Neutron 位移损伤 (NDD) 表征报告*
- 德州仪器 (TI)，*TPS7H4102-SEP 和 TPS7H4102-SP QMLP Neutron 位移损伤 (NDD) 表征报告*
- 德州仪器 (TI)，*TPS7H4104-SEP 单个事件效应 (SEE) 报告*
- 德州仪器 (TI)，*TPS7H4102-SEP 单个事件效应 (SEE) 报告*
- 供应商项目图

10.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

10.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

10.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

Copyright © 2026 Texas Instruments Incorporated

11 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision D (September 2026) to Revision E (November 2026)	Page
• 将 5962R2320802PYE 从“产品预发布”更改为“量产数据”，并添加了封装信息	1
• 更改了 NC 引脚列表，以移除错误包含的 PVIN 引脚 17、18、31 和 32	4
• 将交叉参考中的错误图表标签从图 8-8 更改为图 8-9	9
• 将交叉参考中的错误图表标签从图 8-9 更改为图 8-10	9

Changes from Revision C (November 2025) to Revision D (September 2026)	Page
• 将 5962R2320801PYE 从“产品预发布”更改为“量产数据”	1
• 将引脚功能表改为按引脚名称字母顺序排列	4

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
5962R2320801PYE	Active	Production	HTQFP (PAP) | 64	250 | SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	5962R2320801PYE
TPS7H4102MPAPTSEP	Active	Production	HTQFP (PAP) | 64	250 | SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	TPS7H4102MPAPSEP
TPS7H4104MPAPTSEP	Active	Production	HTQFP (PAP) | 64	250 | SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	TPS7H4104MPAPSEP
V62/25661-01XE	Active	Production	HTQFP (PAP) | 64	250 | SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	TPS7H4104MPAPSEP
V62/25661-02XE	Active	Production	HTQFP (PAP) | 64	250 | SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	TPS7H4102MPAPSEP

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TPS7H4104-SEP, TPS7H4104-SP :

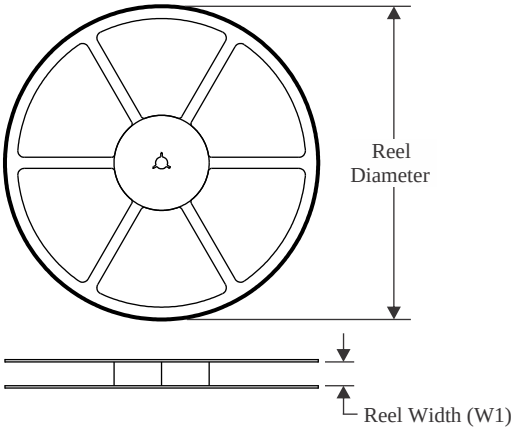
- Catalog : TPS7H4104-SEP
- Space : TPS7H4104-SP

NOTE: Qualified Version Definitions:

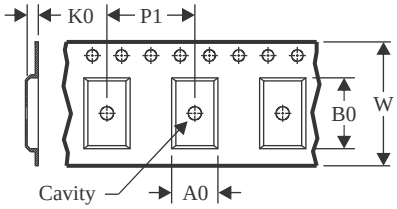
- Catalog - TI's standard catalog product
- Space - Radiation tolerant, ceramic packaging and qualified for use in Space-based application

TAPE AND REEL INFORMATION

REEL DIMENSIONS

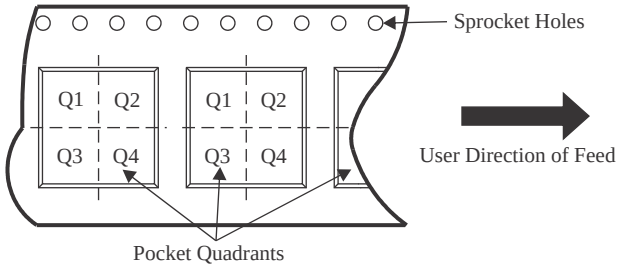


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

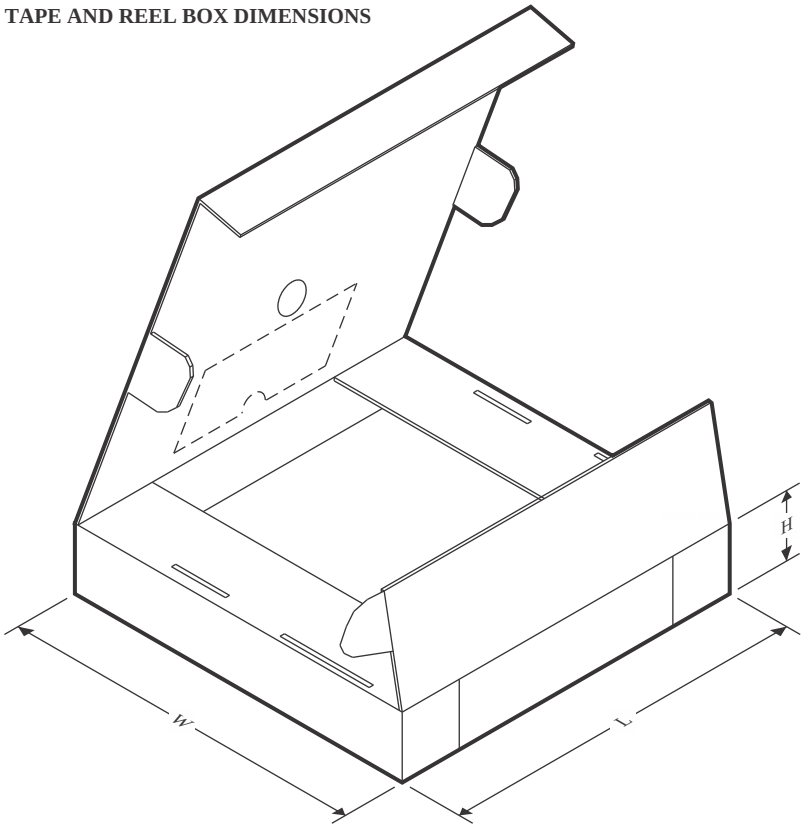
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
5962R2320801PYE	HTQFP	PAP	64	250	330.0	24.4	13.0	13.0	1.5	16.0	24.0	Q2
TPS7H4102MPAPTSEP	HTQFP	PAP	64	250	330.0	24.4	13.0	13.0	1.5	16.0	24.0	Q2
TPS7H4104MPAPTSEP	HTQFP	PAP	64	250	330.0	24.4	13.0	13.0	1.5	16.0	24.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
5962R2320801PYE	HTQFP	PAP	64	250	367.0	367.0	55.0
TPS7H4102MPAPTSEP	HTQFP	PAP	64	250	367.0	367.0	55.0
TPS7H4104MPAPTSEP	HTQFP	PAP	64	250	367.0	367.0	55.0

GENERIC PACKAGE VIEW

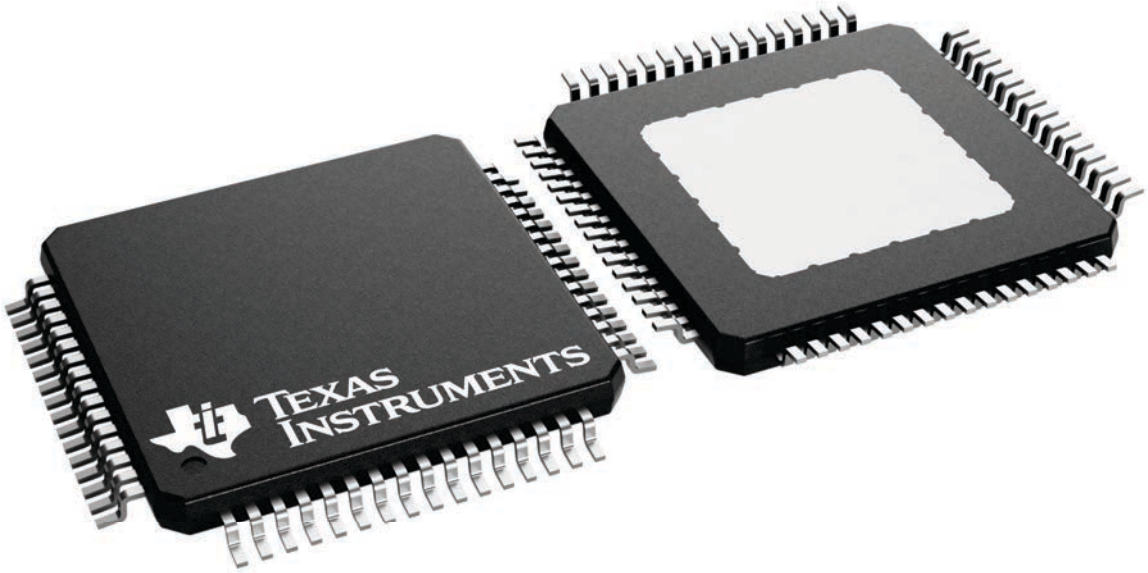
PAP 64

HTQFP - 1.2 mm max height

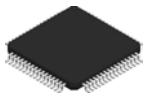
10 x 10, 0.5 mm pitch

QUAD FLATPACK

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4226442/A

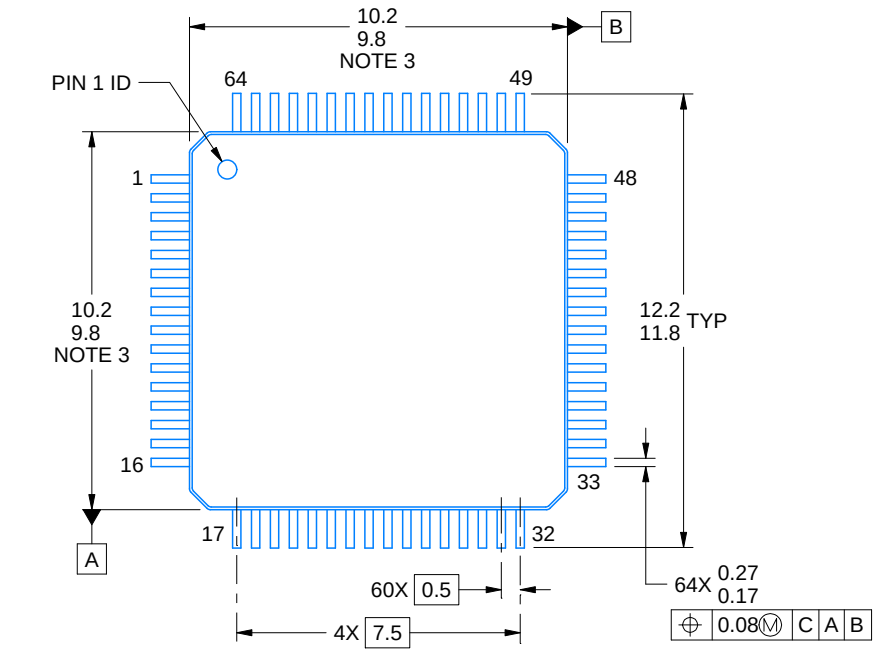


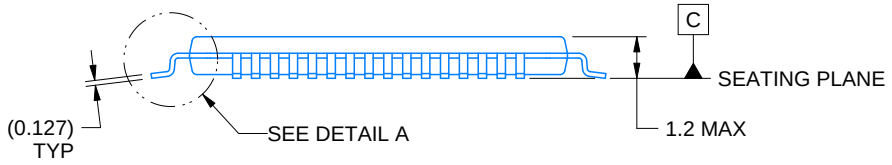
PACKAGE OUTLINE

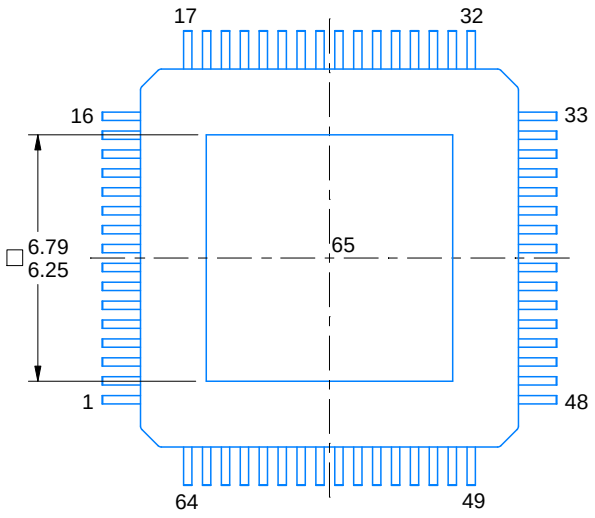
PAP0064R

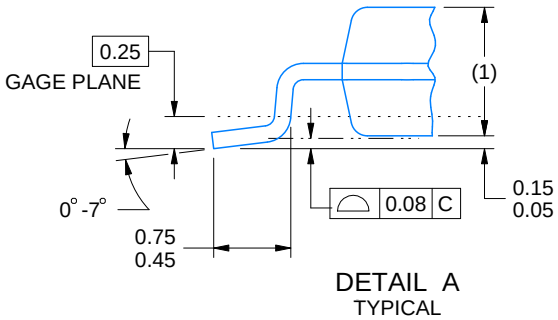
PowerPAD™ TQFP - 1.2 mm max height

PLASTIC QUAD FLATPACK







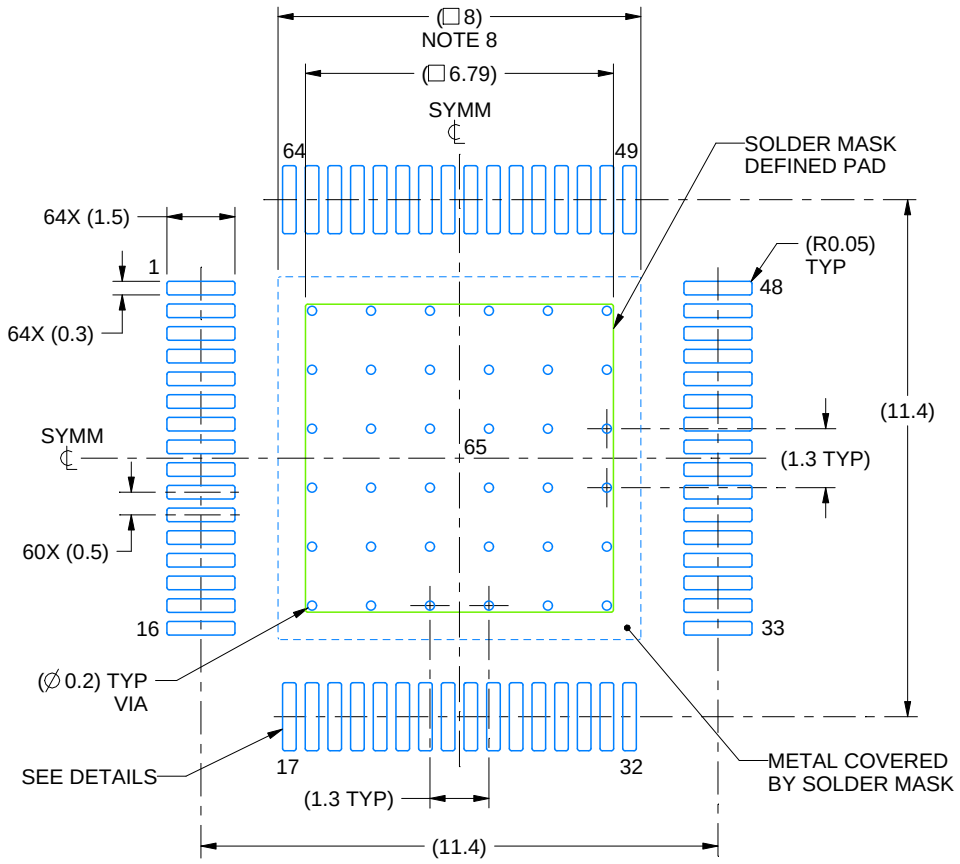


4230159/B 08/2024

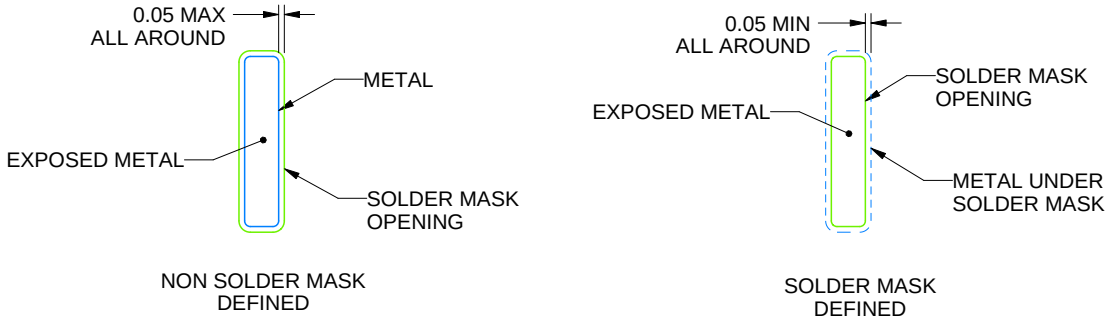
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs.
4. Strap features may not be present.
5. Reference JEDEC registration MS-026.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:6X



SOLDER MASK DETAILS

4230159/B 08/2024

NOTES: (continued)

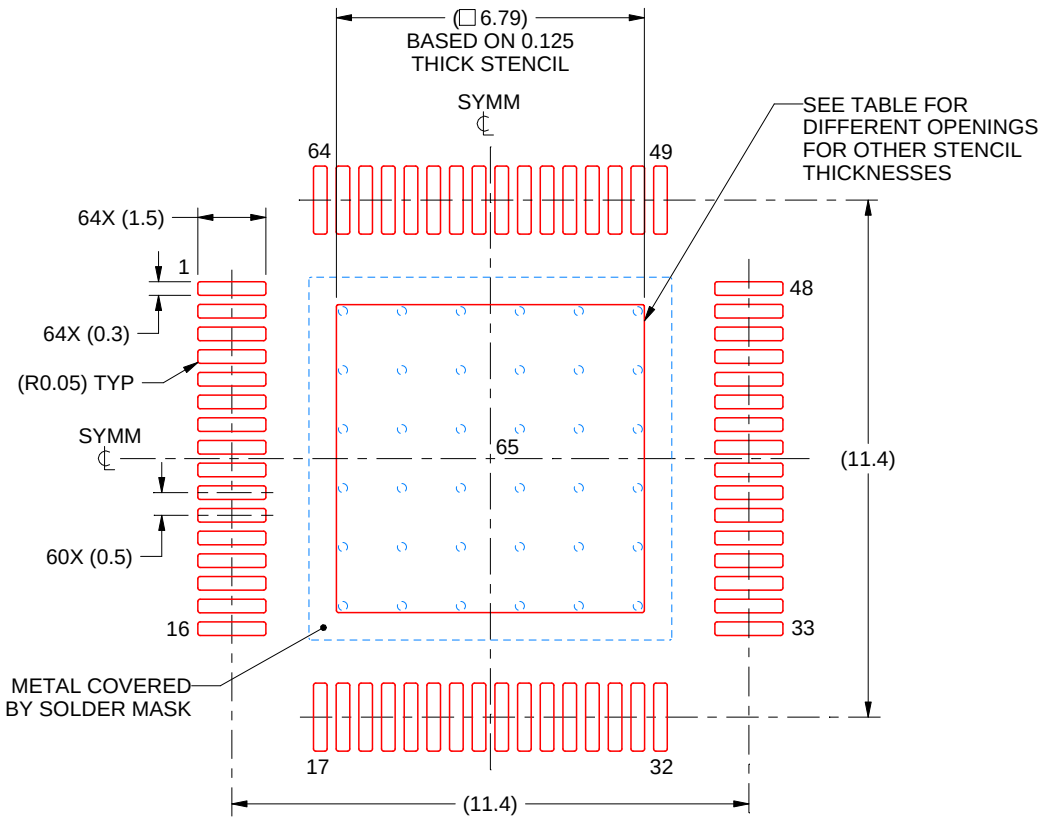
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. See technical brief, Powerpad thermally enhanced package, Texas Instruments Literature No. SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.
10. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

PAP0064R

PowerPAD™ TQFP - 1.2 mm max height

PLASTIC QUAD FLATPACK



SOLDER PASTE EXAMPLE
EXPOSED PAD
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:6X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	7.59 X 7.59
0.125	6.79 X 6.79 (SHOWN)
0.15	6.20 X 6.20
0.175	5.74 X 5.74

4230159/B 08/2024

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月