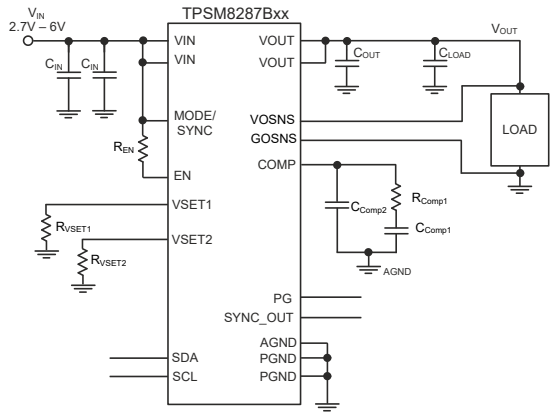
TPSM8287Bxx 具有 I²C 接口和遥感功能并采用 MagPack™ 封装的 2.7V 至 6V 输入、15A、20A、25A 和 30A 可并联降压电源模块

1 特性

- ±0.8% 的输出电压精度
- 差分遥感
- 可并联实现多相运行
- 可通过 VSETx 引脚选择启动输出电压和 I²C 地址：
  - 0.4V 至 0.775V（步长为 25mV）
  - 0.8V 至 1.55V（步长为 50mV）
- 输出电压 I²C 可调，步长为 1.25mV
- 可调节外部补偿，用于宽输出电容器范围和优化的瞬态响应
- 专为满足低 EMI 要求而设计
  - 采用 MagPack 技术屏蔽电感器和 IC
  - 无键合线封装
  - 可选择内部输入和输出电容器
  - 通过并行输入路径简化了布局
  - 可选择与外部时钟或展频运行同步
- 可通过 I²C 选择压降补偿
- 节电模式或强制 PWM 运行
- 精密使能输入阈值
- 具有窗口比较器的电源正常输出
- 有源输出放电
- 优异的热性能
- -40°C 至 125°C 工作温度范围
- 间距为 0.5mm 的 3.75mm × 8.0mm QFN 封装
- 66mm² 设计尺寸

2 应用

- FPGA、ASIC 和 SoC 数字内核电源
- 光纤网络
- 测试和测量设备
- 传感器、成像和雷达



TPSM8287Bxx 简化原理图

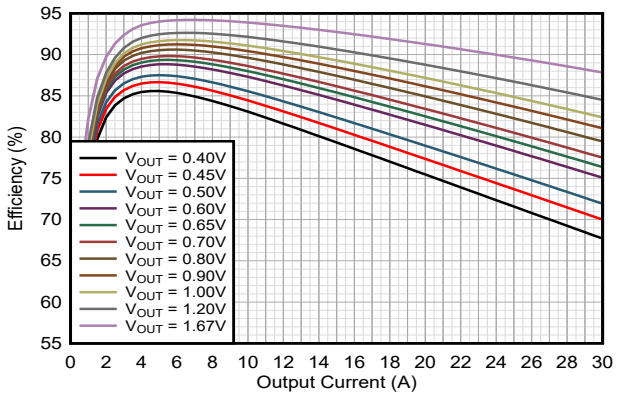
3 说明

TPSM8287Bxx 是具有差分遥感和 I²C 接口的引脚对引脚兼容直流/直流降压电源模块系列。这些电源模块使用 TI 的 MagPack 技术来集成同步降压转换器、电感器、输入和输出电容器，可简化设计、减少外部元件并节省 PCB 面积。该设计采用紧凑的薄型封装，旨在通过标准表面贴装设备进行组装。TPSM8287Bxx 系列实现了可支持快速瞬变的增强型控制方案。TPSM8287Bxx 可以在固定频率或省电模式下工作。遥感功能可优化负载点的电压调节，并且该器件可在整个温度范围内实现 ±0.8% 的直流电压精度。这些器件可在堆叠、并联模式下运行，以提供更高的输出电流或将功耗分散到多个器件上。I²C 兼容接口提供多种控制、监控和警告功能。可通过 VSETx 引脚选择启动电压，以便在没有实际 I²C 通信的情况下实现上电。

器件信息

器件型号(2)	电流额定值	封装(1)	封装高度
TPSM8287B15x	15A	VCH（VQFN，37）	1.95mm（最大 2.0mm）
TPSM8287B20x	20A		
TPSM8287B25x	25A		
TPSM8287B30x	30A		

(1) 有关更多信息，请参阅节 12。
(2) 有关可用的器件，请参阅*器件选项*表。



效率 TPSM8287B30x（V_{IN} = 3.3V；FPWM）

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性 1
2 应用 1
3 说明 1
4 器件选项 3
5 引脚配置和功能 4
6 规格 6
6.1 绝对最大额定值 6
6.2 ESD 等级 6
6.3 建议运行条件 6
6.4 热性能信息 7
6.5 电气特性 7
6.6 I²C 接口时序要求 10
6.7 典型特性 12
7 详细说明 13
7.1 概述 13
7.2 功能方框图 13
7.3 特性说明 14
7.4 器件功能模式 29
7.5 编程 30
8 器件寄存器 34
9 应用和实施 40
9.1 应用信息 40
9.2 典型应用 40
9.3 使用两个 TPSM8287B30x 并联运行的典型应用 52
9.4 电源相关建议 59
9.5 布局 59
10 器件和文档支持 62
10.1 器件支持 62
10.2 文档支持 62
10.3 接收文档更新通知 62
10.4 支持资源 62
10.5 商标 62
10.6 静电放电警告 62
10.7 术语表 62
11 修订历史记录 63
12 机械、封装和可订购信息 64

Copyright © 2026 Texas Instruments Incorporated

4 器件选项

表 4-1. 具有 I²C 接口的器件

可订购器件型号(1)	输出电流	通过 VSETx 引脚选择启动电压	集成电容器	标称电感	默认工作频率
TPSM8287B15LAPVCHR(2)	15A	0.4V 至 0.775V（跃阶为 25mV）	C_{IN} = 4 × 22nF C_{OUT} = 2 × 22nF + 2 × 10µF	50nH ± 20%	1.5MHz
TPSM8287B15HAPVCHR(2)	15A	0.8V 至 1.55V（阶跃为 50mV）			
TPSM8287B20LAPVCHR(2)	20A	0.4V 至 0.775V（跃阶为 25mV）			
TPSM8287B20HAPVCHR(2)	20A	0.8V 至 1.55V（阶跃为 50mV）			
TPSM8287B25LAPVCHR(2)	25A	0.4V 至 0.775V（跃阶为 25mV）			
TPSM8287B25HAPVCHR(2)	25A	0.8V 至 1.55V（阶跃为 50mV）			
TPSM8287B30LAPVCHR(3)	30A	0.4V 至 0.775V（跃阶为 25mV）			
TPSM8287B30HAPVCHR(2)	30A	0.8V 至 1.55V（阶跃为 50mV）			
TPSM8287B15LANVCHR	15A	0.4V 至 0.775V（跃阶为 25mV）	无电容器		
TPSM8287B15HANVCHR	15A	0.8V 至 1.55V（阶跃为 50mV）			
TPSM8287B20LANVCHR	20A	0.4V 至 0.775V（跃阶为 25mV）			
TPSM8287B20HANVCHR	20A	0.8V 至 1.55V（阶跃为 50mV）			
TPSM8287B25LANVCHR	25A	0.4V 至 0.775V（跃阶为 25mV）			
TPSM8287B25HANVCHR	25A	0.8V 至 1.55V（阶跃为 50mV）			
TPSM8287B30LANVCHR	30A	0.4V 至 0.775V（跃阶为 25mV）			
TPSM8287B30HANVCHR	30A	0.8V 至 1.55V（阶跃为 50mV）			

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。
(2) 预发布信息（非量产数据）。
(3) 预告信息（非“量产数据”）。

Copyright © 2026 Texas Instruments Incorporated

5 引脚配置和功能

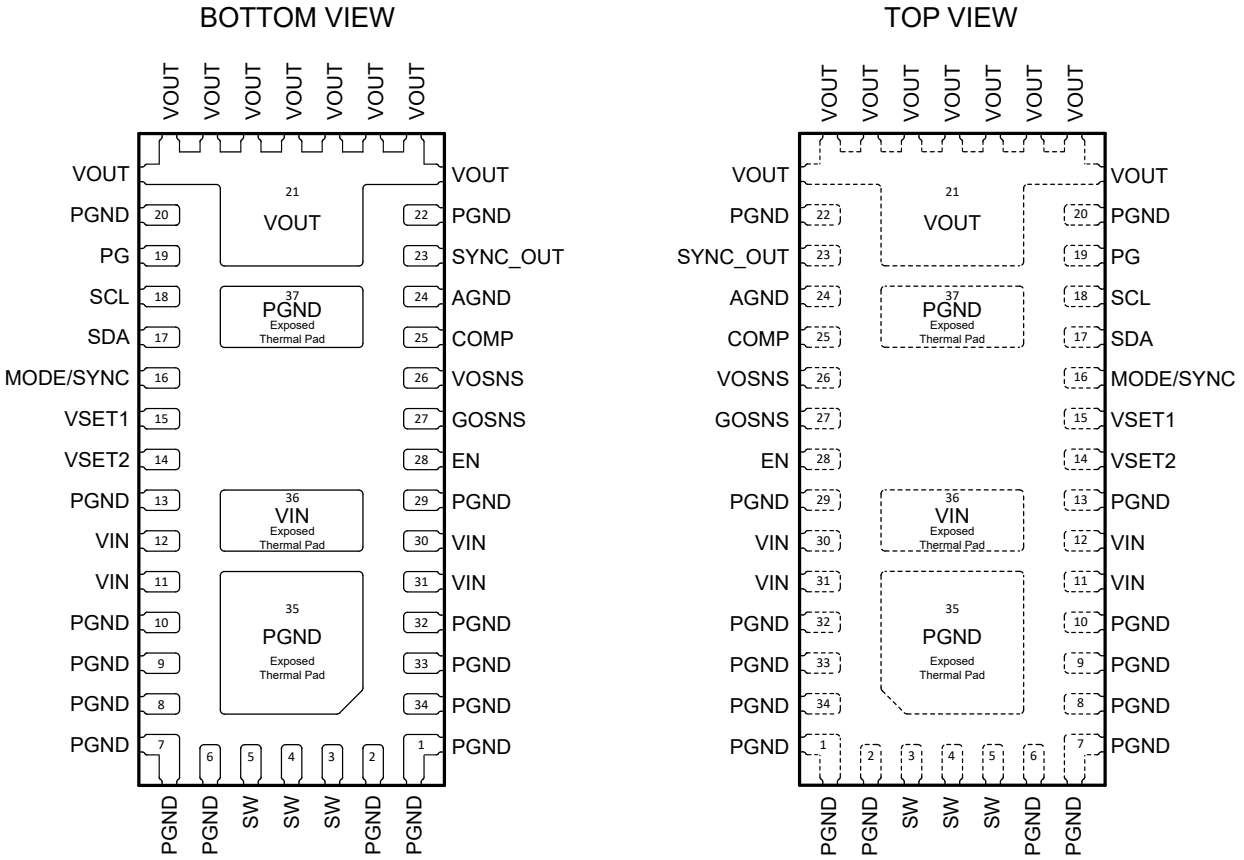


图 5-1. TPSM8287Bxx VCH 封装、VQFN 37 引脚

表 5-1. 引脚功能

引脚		类型(1)	说明
编号	名称		
27	GOSNS	I	输出接地检测（差分输出电压检测）。在负载处连接。
26	VOSNS	I	输出电压检测（差分输出电压检测）。在负载处连接。
28	EN	I/O	该引脚是器件的使能引脚。您必须使用至少 15kΩ 的串联电阻器连接到该引脚。该引脚上的逻辑低电平将禁用器件，该引脚上的逻辑高电平将启用器件。 对于堆叠运行，将所有堆叠器件的 EN 引脚连接在一起并连接至电源电压或处理器的 GPIO 上的电阻器。有关详细说明，请参阅*堆叠运行*。
11、12、30、31	VIN	P	电源输入。将输入电容器连接在尽可能靠近 VIN 引脚与 PGND 引脚之间的位置上（在封装的两侧）。
1、2、6 – 10、13、20、22、29、32 – 34	PGND	GND	接地引脚
21	VOUT	P	输出电压引脚
3 - 5	SW	O	该引脚是转换器的开关引脚，连接到内部功率 MOSFET。此引脚可保持悬空。

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚功能（续）

引脚		类型(1)	说明
编号	名称		
19	PG	I/O	具有窗口比较器的开漏电源正常输出。当 VOUT 超出电源正常阈值时，该引脚被拉至 GND。当不用于单器件运行时，该引脚可以保持开路或连接到 GND。上拉电阻器可以连接到任何不大于 6.5V 的电压。 在堆叠运行中，将所有堆叠器件的 PG 引脚连接在一起。在堆叠运行中，只有主转换器的 PG 引脚是开漏输出。对于在堆叠模式下定义为辅助转换器的器件，该引脚是输入引脚。有关详细说明，请参阅*堆叠运行*。
16	MODE/SYNC	I	当该引脚被拉至低电平时，器件在省电模式下运行。如果该引脚被拉至高电平，则器件在强制 PWM 模式下运行。如果未使用，该引脚可保持悬空并且内部下拉电阻器会将该引脚拉至低电平。该引脚还可用于将器件与外部时钟进行同步。有关详细说明，请参阅节 7.3.7。
17	SDA	I/O	I^2C 串行数据引脚。不保持悬空。将一个上拉电阻器连接至逻辑高电平。 对于以堆叠方式运行的辅助器件，或者如果未使用 I^2C 接口，请将该引脚连接到 GND。
18	SCL	I	I^2C 串行时钟引脚。不要将这个引脚悬空。将一个上拉电阻器连接至逻辑高电平。 对于以堆叠方式运行的辅助器件，或者如果未使用 I^2C 接口，请将该引脚连接到 GND。
23	SYNC_OUT	I/O	用于在堆叠模式下实现同步的内部时钟输出引脚。对于单器件运行，将该引脚悬空。在堆叠运行中，将该引脚连接到菊花链中下一个器件的 MODE/SYNC 引脚。*请勿使用该引脚连接非 TPSM8287Bxx 器件。* 在启动期间，该引脚用于确定器件是否必须在堆叠运行中作为辅助转换器运行。在该引脚和 GND 之间连接一个 47kΩ 电阻器，以定义堆叠运行中的辅助转换器。有关详细说明，请参阅*堆叠运行*。
15	VSET1	I/O	启动输出电压和 I^2C 地址选择引脚。通过电阻器连接至或短路至 GND 或 V_{IN} 可定义所选的输出电压和 I^2C 地址。请参阅表 7-2。
14	VSET2	I/O	
25	COMP	I/O	器件补偿输入。该引脚和 AGND 之间连接的电阻器和电容器定义控制环路的补偿。 在堆叠运行中，将所有堆叠器件的 COMP 引脚连接在一起，并在公共 COMP 节点和 AGND 之间连接一个电阻器和电容器。
35、37	PGND 外露散热焊盘	GND	必须将散热焊盘焊接到 GND，以获得适当的热阻和机械稳定性。
36	VIN 外露散热焊盘	P	必须将散热焊盘焊接到 VIN，以获得适当的热阻和机械稳定性。
24	AGND	GND	模拟接地。连接至 GND。

(1) I = 输入，O = 输出，P = 电源，GND = 地

Copyright © 2026 Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在工作温度范围内（除非另有说明）(1)

		最小值	最大值	单位
电压(2)	VSET1、VSET2、EN、MODE/SYNC、PG、VIN	-0.3	6.5	V
	SW（直流）	-0.3	V_{IN} + 0.3	
	SW（交流，小于 10ns）(3)	-3	10	
	COMP	-0.3	5.0V 或 V_{IN}(4)	
	VOUT	-0.3	2.5	
	VOSNS	-0.3	1.8	
	SCL，SDA	-0.3	5.5	
	SYNC_OUT	-0.3	2	
	GOSNS	-0.3	0.3	
电流	COMP	-1	1	mA
	SYNC_OUT	-1	1	
	EN		2.5	
	SDA		9	
	PG		10	
电感	寄生输入环路阻抗		1.2	nH
T_J	结温	-40	125	°C
T_{stg}	贮存温度	-40	125	

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。“绝对最大额定值”并不表示器件在这些条件下或在“建议运行条件”以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) 所有电压值都相对于网络接地端而言。
(3) 打开开关时。
(4) 以较低值为准

6.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模式 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚(1)	±2000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准，所有引脚(2)	±500	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

		最小值	标称值	最大值	单位
V_{IN}	输入电压范围	2.7		6	V
V_{OUT}	输出电压范围	0.4		1.675V 或 (V_{IN} – 1.5V)(1)	V
V_{SCL}、V_{SDA}	引脚 SDA 和 SCL 上的标称上拉电压	1.2		5	V
C_{IN}	有效输入电容（请参阅选择输入电容器）	20			µF
C_{OUT}	有效输出电容	47		(2)	µF

Copyright © 2026 Texas Instruments Incorporated

6.3 建议运行条件（续）

		最小值	标称值	最大值	单位
C_{PAR}	VSET1、VSET2 引脚上的寄生电容			100	pF
C_{PAR}	SYNC_OUT 引脚上的寄生电容			20	pF
R_{EN}	EN 引脚上的上拉电阻	15			kΩ
R_{VSET1}、R_{VSET2}	VSETx 上的电阻（如果未直接连接至 GND 或 VIN）	37.6	47	56.4	kΩ
R_{SYNC_OUT}	电阻器值	37.6	47	56.4	kΩ
I_{SINK_PG}	PG 引脚上的灌电流	0		1	mA
T_J	工作结温	-40		125	°C

(1) 以较低的 V_{OUT} 值为准。
(2) 建议的最大输出电容取决于应用的具体工作条件。输出电容值通常可能高达几毫法。

6.4 热性能信息

热指标(1)		TPSM8287Bxx VCH（37 引脚）		单位
		JEDEC 51-5	EVM	
$R_{\theta JA}$	结至环境热阻	24.8	11.9	°C/W
$R_{\theta JB}$	结至电路板热阻	7.2	不适用(2)	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	18.4	不适用(2)	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	4.0	不适用(2)	°C/W
Ψ_{JT}	结至顶部特征参数	1.2	0.7	°C/W
Ψ_{JB}	结至电路板特征参数	7.2	5.5	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用手册。
(2) 不适用于 EVM。

6.5 电气特性

在工作结温范围（T_J = –40°C 至 +125°C）内且 V_{IN} = 2.7V 至 6V。典型值是在 V_{IN} = 5V 且 T_J = 25°C 的条件下测得（除非另有说明）。

参数		测试条件	最小值	典型值	最大值	单位
电源						
I_Q	静态电流	EN = 高电平，I_{OUT} = 0mA，器件未开关；MODE/SYNC = 低电平；FPWMEN = 0；SINGLE = 1		2	4.6	mA
I_{SD}	关断电流	EN = 低电平，V_{VOUT} = 0V		18	450	µA
$V_{IT+(UVLO)}$	正向 UVLO 阈值电压 (VIN)		2.5	2.6	2.7	V
$V_{IT-(UVLO)}$	负向 UVLO 阈值电压 (VIN)		2.4	2.5	2.6	V
$V_{hys(UVLO)}$	UVLO 迟滞电压 (VIN)		80			mV
$V_{IT+(OVLO)}$	正向 OVLO 阈值电压 (VIN)		6.1	6.3	6.5	V
$V_{IT-(OVLO)}$	负向 OVLO 阈值电压 (VIN)		6.0	6.2	6.4	V
$V_{hys(OVLO)}$	OVLO 迟滞电压 (VIN)		80			mV
$V_{IT-(POR)}$	负向上电复位阈值电压 (VIN)		1.4			V

Copyright © 2026 Texas Instruments Incorporated

6.5 电气特性（续）

在工作结温范围（T_J = –40°C 至 +125°C）内且 V_{IN} = 2.7V 至 6V。典型值是在 V_{IN} = 5V 且 T_J = 25°C 的条件下测得（除非另有说明）。

参数		测试条件	最小值	典型值	最大值	单位
T_{SD}	热关断阈值温度	T_J 上升		170		°C
	热关断迟滞			20		°C
T_W	热警告阈值温度	T_J 上升		150		°C
	热警告迟滞			20		°C
控制和接口						
V_{IT+}	正向输入阈值电压 (EN)		0.97	1.0	1.03	V
V_{IT-}	负向输入阈值电压 (EN)		0.87	0.9	0.93	V
V_{hys}	迟滞电压 (EN)		95			mV
I_{IH}	高电平输入电流 (EN)	SINGLE = 1			3	µA
I_{IL}	低电平输入电流 (EN)	SINGLE = 1	-200			nA
V_{IH}	高电平输入电压（MODE/SYNC、VSET1、VSET2、SYNC_OUT、PG）		0.8			V
V_{IH}	高电平输入电压（SDA、SCL）		0.95			V
V_{IL}	低电平输入电压（MODE/SYNC、VSET1、VSET2、SYNC_OUT、PG）				0.4	V
V_{IL}	低电平输入电压（SDA、SCL）				0.5	V
R_{IN}	MODE/SYNC、EN 和 PG 引脚上连接至 GND 的输入电阻		2	3	4	MΩ
V_{OL}	低电平输出电压 (SDA)	I_{OL} = 9mA			0.4	V
V_{OL}	低电平输出电压 (SDA)	I_{OL} = 5mA			0.2	V
$C_{IO(SDA/SCL)}$	SDA/SCL 引脚电容			10		pF
I_{LKG}	流入 SDA、SCL 的输入漏电流	V_{OH} = 3.3V			200	nA
I_{IL}	低电平输入电流 (MODE/SYNC)		-100		100	nA
I_{IH}	高电平输入电流 (MODE/SYNC)				3	µA
$t_{d(EN)1}$	EN 连接至 V_{IN} 时的启用延迟时间	测量从 EN 变为高电平至器件开始开关的时间，SR_{VIN} = 1V/µs		200	600	µs
$t_{d(EN)2}$	已施加 V_{IN} 时的启用延迟时间	测量从 EN 变为高电平至器件开始开关的时间		40	100	µs
$t_{d(Ramp_PG)}$	SSTIME = 00 时的输出电压斜坡时间	测量从器件开始开关至 PG 上升沿的时间 ($t_{d(Ramp)}$ + $t_{d(PG)}$)	0.38	0.54	0.7	ms
	SSTIME = 01 时的输出电压斜坡时间		0.57	0.81	1.05	ms
	SSTIME = 10（默认值）时的输出电压斜坡时间		0.73	1.04	1.35	ms
	SSTIME = 11 时的输出电压斜坡时间		1.43	2.04	2.65	ms
$f_{(SYNC)}$	同步时钟频率范围 (MODE/SYNC)	$f_{(SW)nom}$ = 1.5MHz，$D_{(MODE/SYNC)}$ = 45%...55%	1.2		1.8	MHz
$D_{(MODE/SYNC)}$	同步时钟频率的占空比 (MODE/SYNC)		45		55	%
	锁定到外部频率所需的时间			50		µs
	以内部时钟或外部时钟为基准的 SYNC_OUT 相移	SYNC_OUT_PHASE = 0		120		°
	以内部时钟或外部时钟为基准的 SYNC_OUT 相移	SYNC_OUT_PHASE = 1（默认值）		180		°
$V_{T+(UVP)}$	正向电源正常阈值电压（输出欠压）		94	96	98	%

Copyright © 2026 Texas Instruments Incorporated

6.5 电气特性（续）

在工作结温范围（T_J = –40°C 至 +125°C）内且 V_{IN} = 2.7V 至 6V。典型值是在 V_{IN} = 5V 且 T_J = 25°C 的条件下测得（除非另有说明）。

参数		测试条件	最小值	典型值	最大值	单位
$V_{T-(UVP)}$	负向电源正常阈值电压（输出欠压）		92	94	96	%
$V_{T+(OVP)}$	正向电源正常阈值电压（输出过压）		104	106	108	%
$V_{T-(OVP)}$	负向电源正常阈值电压（输出过压）		102	104	106	%
V_{OL}	低电平输出电压 (PG)	I_{OL} = 1mA		0.012	0.3	V
I_{OH}	高电平输出电流 (PG)	V_{OH} = 5V			3	μA
I_{IH}	高电平输入电流 (PG)	以堆叠方式运行时配置为辅助器件的器件			3	μA
I_{IL}	低电平输入电流 (PG)	以堆叠方式运行时配置为辅助器件的器件	-1			μA
$t_{d(PG)}$	抗尖峰脉冲时间 (PG)	PG 引脚上的高电平到低电平或低电平到高电平转换	34	40	46	μs
输出						
ΔV_{OUT}	输出电压精度	$V_{IN} \geq V_{OUT}$ + 1.6V，DROOPEN = 0	-0.8		0.8	%
ΔV_{OUT}	从无电流到额定电流的输出电压变化	DROOPEN = 1		±12		mV
	压降补偿电压的精度；TPSM8287B15xx	器件处于强制 PWM 模式	-3.75		3.75	mV
	压降补偿电压的精度；TPSM8287B20xx	器件处于强制 PWM 模式	-3.5		3.5	mV
	压降补偿电压的精度；TPSM8287B25xx、TPSM8287B30xx	器件处于强制 PWM 模式	-3		3	mV
I_{IB}	输入偏置电流 (GOSNS)	EN = 高电平；$V_{(GOSNS)}$ = –100mV 至 100mV	-60		3	μA
I_{IB}	输入偏置电流 (VOSNS)	$V_{(VOSNS)}$ = 1.675V，V_{IN} = 6V，DROOPEN = 0	-5.5		5.5	μA
I_{IB}	输入偏置电流 (VOSNS)	$V_{(VOSNS)}$ = 1.675V，V_{IN} = 6V，DROOPEN = 1	-13.2		13.2	μA
V_{ICR}	输入共模范围 (GOSNS)		-100		100	mV
R_{DIS}	输出放电电阻	$V_{OUT} \leq$ 1V		2.7	9.2	Ω
f_{SW}	开关频率 (SW)	设置 = 1.5MHz，PWM 运行	1.35	1.5	1.65	MHz
f_{SSC}	调制频率	SSCEN = 1		fsw/2048		kHz
Δf_{SW}	展频运行期间的开关频率变化	SSCEN = 1	f_{SW} – 10%		f_{SW} + 10%	
gm	COMP 引脚上 OTA 的跨导			1.5		mS
τ	仿真电流时间常数		11.87	12.5	13.2	μs
ILIM	高侧 FET 正向开关电流限制，直流	TPSM8287B15xx	19	22.5	26	A
ILIM	高侧 FET 正向开关电流限制，直流	TPSM8287B20xx	24	28.5	32	A
ILIM	高侧 FET 正向开关电流限制，直流	TPSM8287B25xx	29	34	39	A
ILIM	高侧 FET 正向开关电流限制，直流	TPSM8287B30xx	34	39	44	A
ILIM	低侧 FET 正向开关电流限制，直流	TPSM8287B15xx	15	20	24	A
ILIM	低侧 FET 正向开关电流限制，直流	TPSM8287B20xx	20	24.5	29	A
ILIM	低侧 FET 正向开关电流限制，直流	TPSM8287B25xx	24.5	29	33	A
ILIM	低侧 FET 正向开关电流限制，直流	TPSM8287B30xx	29.5	33.5	38	A
ILIM	低侧 FET 负电流限制，直流			-10	-7.5	A
$t_{on, min}$	HS FET 的最短导通时间	V_{IN} = 3.3V		45		ns
$t_{on, min}$	HS FET 的最短导通时间	V_{IN} = 5V		35		ns

Copyright © 2026 Texas Instruments Incorporated

6.5 电气特性（续）

在工作结温范围（T_J = –40°C 至 +125°C）内且 V_{IN} = 2.7V 至 6V。典型值是在 V_{IN} = 5V 且 T_J = 25°C 的条件下测得（除非另有说明）。

参数		测试条件	最小值	典型值	最大值	单位
	功率级的最大占空比	仅适用于 TPSM8287B25xx 的直流操作，T_J = 125°C		40		%
	功率级的最大占空比	仅适用于 TPSM8287B30xx 的直流操作，T_J = 125°C		25		%

6.6 I²C 接口时序要求

参数		测试条件	最小值	典型值	最大值	单位
f_{SCL}	SCL 时钟频率	标准模式			100	kHz
		快速模式			400	kHz
		快速模式 +			1	MHz
		高速模式（写入操作），CB – 最大 100pF			3.4	MHz
		高速模式（读取操作），CB – 最大 100pF			3.4	MHz
		高速模式（写入操作），CB – 最大 400pF			1.7	MHz
		高速模式（读取操作），CB – 最大 400pF			1.7	MHz
t_{HD}、t_{STA}	（重复）START 条件后的保持时间	标准模式	4			µs
		快速模式	0.6			µs
		快速模式 +	0.26			µs
		高速模式	0.16			µs
t_{LOW}	SCL 时钟的低电平周期	标准模式	4.7			µs
		快速模式	1.3			µs
		快速模式 +	0.5			µs
		高速模式，CB – 最大 100pF	0.16			µs
		高速模式，CB – 最大 400pF	0.32			µs
t_{HIGH}	SCL 时钟的高电平周期	标准模式	4			µs
		快速模式	0.6			µs
		快速模式 +	0.26			µs
		高速模式，CB – 最大 100pF	0.06			µs
		高速模式，CB – 最大 400pF	0.12			µs
t_{SU}、t_{STA}	重复 START 条件的建立时间	标准模式	4.7			µs
		快速模式	0.6			µs
		快速模式 +	0.26			µs
		高速模式	0.16			µs
t_{SU}、t_{DAT}	数据设置时间	标准模式	250			ns
		快速模式	100			ns
		快速模式 +	50			ns
		高速模式，CB – 最大 100pF	10			ns

Copyright © 2026 Texas Instruments Incorporated

6.6 I²C 接口时序要求（续）

参数		测试条件	最小值	典型值	最大值	单位
t_{HD}、t_{DAT}	数据保持时间	标准模式	0		3.45	µs
		快速模式	0		0.9	µs
		快速模式 +	0			µs
		高速模式，CB – 最大 100pF	0		70	ns
		高速模式，CB – 最大 400pF	0		150	ns
t_{RCL}	SDA 和 SCL 信号的上升时间	标准模式			1000	ns
		快速模式	20		300	ns
		快速模式 +			120	ns
		高速模式，CB – 最大 100pF	10		40	ns
		高速模式，CB – 最大 400pF	20		80	ns
t_{FCL}	SDA 和 SCL 信号的下降时间 (1)	标准模式			300	ns
		快速模式	20 × V_{DD}/5.5V		300	ns
		快速模式 +	20 × V_{DD}/5.5V		120	ns
		高速模式，CB – 最大 100pF	10		40	ns
		高速模式，CB – 最大 400pF	20		80	ns
t_{SU}、t_{STO}	停止条件的建立时间	标准模式	4			µs
		快速模式	0.6			µs
		快速模式 +	0.26			µs
		高速模式	0.16			µs
CB	SDA 和 SCL 的容性负载	标准模式			400	pF
		快速模式			400	pF
		快速模式 +			550	pF
		高速模式			400	pF
t_{BUF}	停止和启动条件之间的总线空闲时间	标准模式	4.7			µs
		快速模式	1.3			µs
		快速模式 +	0.5			µs

(1) V_{DD} 是 SDA 和 SCL 的上拉电压。

Copyright © 2026 Texas Instruments Incorporated

6.7 典型特性

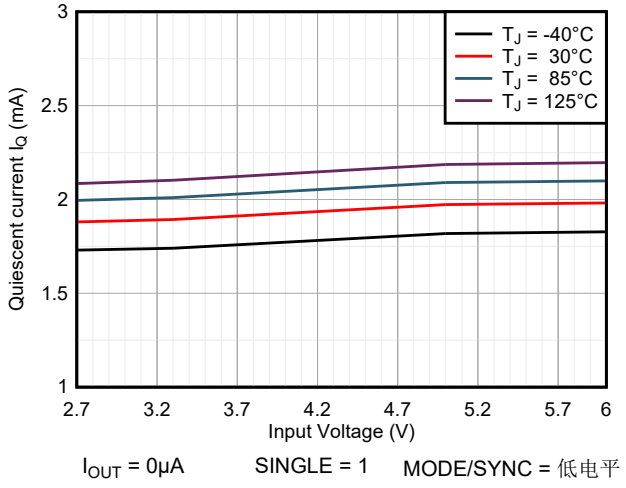


图 6-1. 工作电源电流（节能模式）

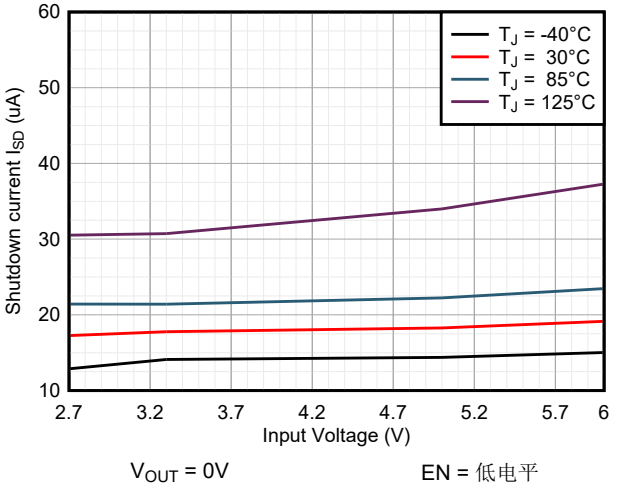


图 6-2. 关断电流

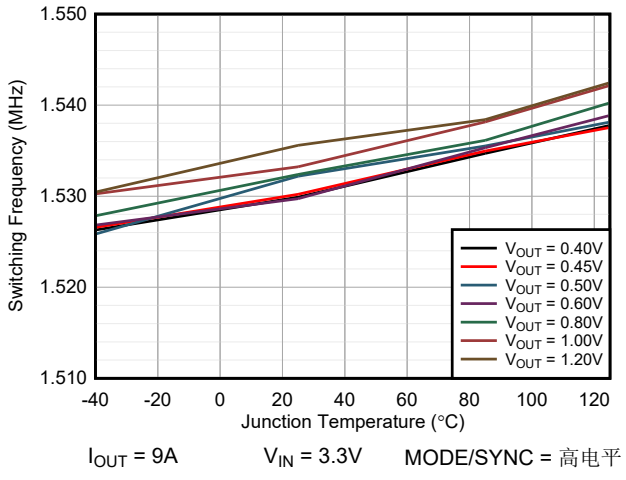


图 6-3. TPSM8287Bxx 开关频率与 T_J 间的关系

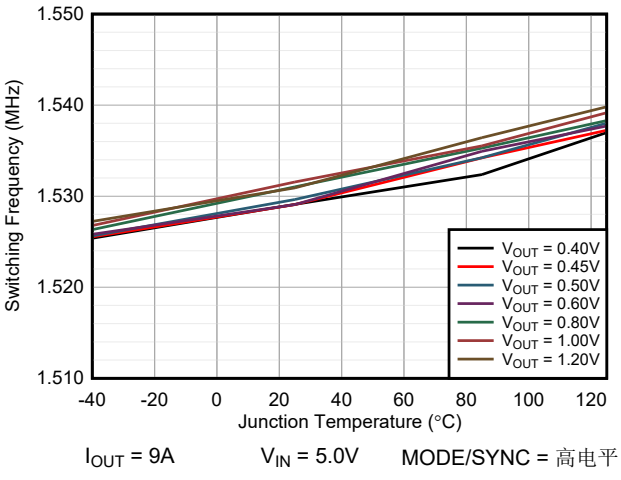


图 6-4. TPSM8287Bxx 开关频率与 T_J 间的关系

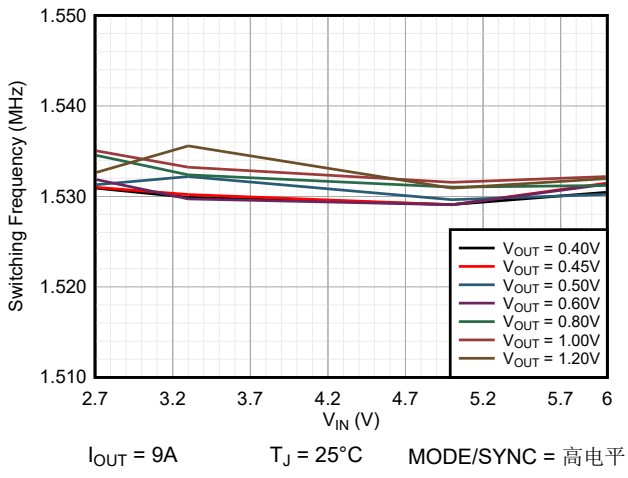


图 6-5. TPSM8287Bxx 开关频率与 V_{IN} 间的关系

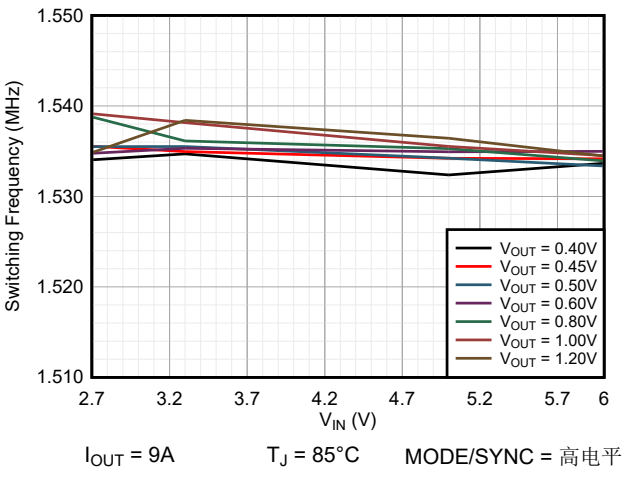


图 6-6. TPSM8287Bxx 开关频率与 V_{IN} 间的关系

Copyright © 2026 Texas Instruments Incorporated

7 详细说明

7.1 概述

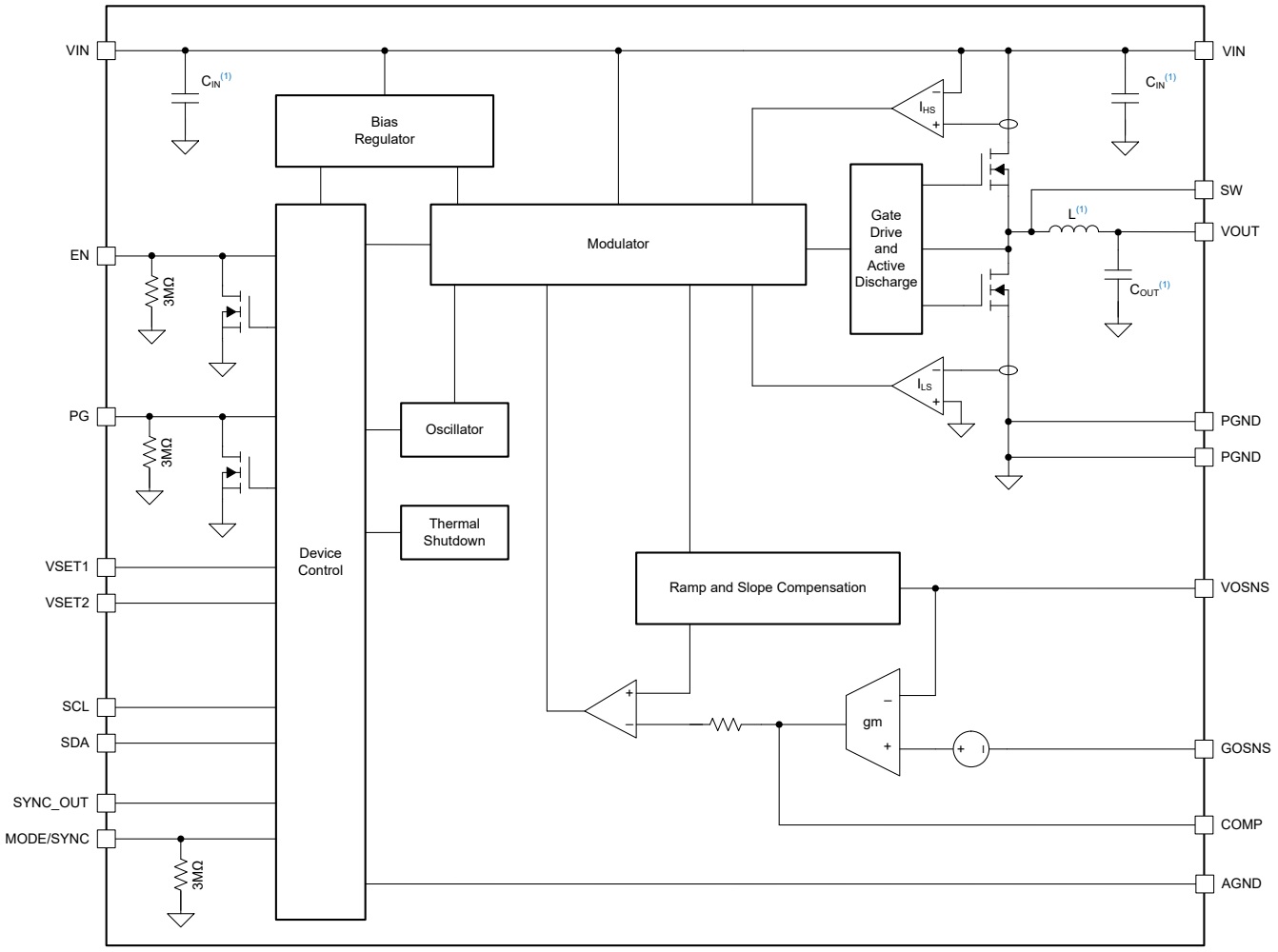
TPSM8287Bxx 同步降压转换器电源模块采用固定频率的 DCS-Control 拓扑，可在负载阶跃期间实现快速瞬态响应，并在正常运行期间以固定频率进行开关。该控制拓扑以及低输出电压纹波、高直流精度和差分遥感功能，使这些器件可以为具有严格稳压要求的现代高性能处理器内核或其他电压轨供电。

随着负载电流降低，转换器可以基于 MODE/SYNC 引脚进入省电模式，降低开关频率并进入 DCM，从而在整个负载电流范围内实现高效率。

此引脚对引脚兼容的模块系列包括 15A、20A、25A 和 30A 型号。为了进一步提高输出电流能力，可以在一个*堆栈*中组合多个器件。例如，并联四个 30A 器件可提供高达 120A 的电流。

TPSM8287Bxx 使用 MagPack 技术，实现了超高性能的电源模块设计。借助专有的集成磁性元件 MagPack 封装技术，这些电源模块可提供业界卓越的功率密度、高效率、良好的热性能、易用性以及更低的 EMI 辐射。

7.2 功能方框图



(1) 有关集成无源器件，请参阅 节 4。

7.3 特性说明

7.3.1 固定频率 DCS 控制拓扑

图 7-1 展示了 TPSM8287Bxx 器件中使用的固定频率 DCS-Control 拓扑的简化方框图。该拓扑包含一个内部仿真电流环路和一个外部电压调节环路。差动遥感可在负载处实现精确的电压调节。利用外部补偿，可以微调负载瞬态响应，以满足广泛的输出电容和负载瞬态要求。

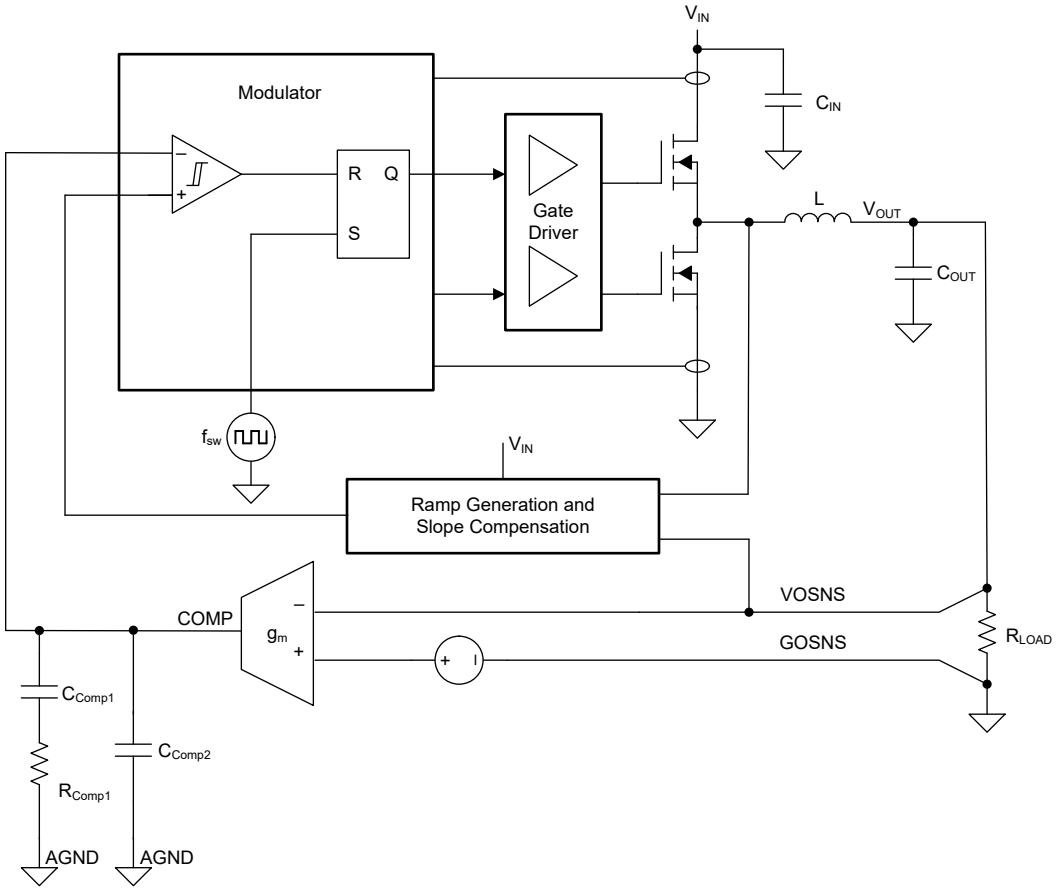


图 7-1. 固定频率 DCS-Control 拓扑（简化版）

7.3.2 强制 PWM 和省电模式

该器件可以通过三种不同的方法控制电感器电流以调节输出：

- 具有连续电感器电流的脉宽调制 (PWM-CCM)
- 具有非连续电感器电流的脉宽调制 (PWM-DCM)
- 具有不连续电感器电流和脉冲跳跃的脉冲频率调制 (PFM-DCM)

PWM-CCM 模式下的导通时间由方程式 1 给出。对于非常小的输出电压，最短导通时间 ($t_{on,\ min}$) 可将开关频率从设定值降低。即使达到最短导通时间，器件也会通过延长关断时间来保持适当的输出电压调节。

$$t_{ON} = \frac{V_{OUT}}{V_{IN} \times f_{SW}} \quad (1)$$

在 PWM-CCM 运行期间，器件以恒定频率进行开关，电感器电流是连续的（请参阅图 7-2）。PWM 运行实现了超低输出电压纹波和理想瞬态性能。

Copyright © 2026 Texas Instruments Incorporated

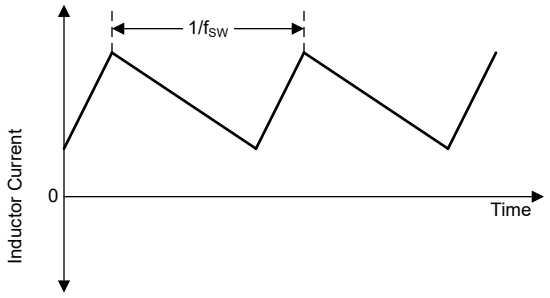


图 7-2. 连续导通模式 (PWM-CCM) 电流波形

在 PWM-DCM 运行期间，该器件以恒定频率进行开关，电感器电流是不连续的（请参阅图 7-3）。在此模式下，该器件会控制峰值电感器电流以保持选定的开关频率，同时仍能够调节输出。

方程式 2 计算器件从 PWM-CCM 变为 PWM-DCM 的输出电流阈值：

$$I_{OUT(\mathrm{CCM-DCM})} = \frac{V_{IN} \times t_{ON}}{2} \times \frac{1 - \frac{V_{OUT}}{V_{IN}}}{L} \quad (2)$$

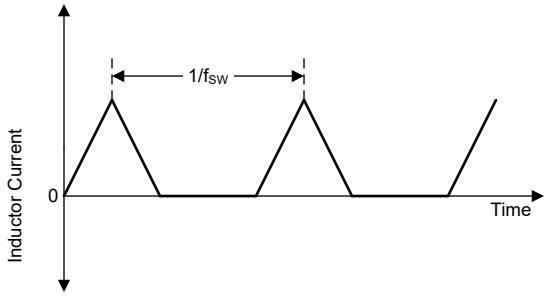


图 7-3. 不连续导通模式 (PWM-DCM) 电流波形

在 PFM-DCM 运行期间，该器件使峰值电感器电流保持恒定（处于与转换器的最短导通时间 ($t_{on,\ min}$) 相对应的电平）并跳过脉冲以调节输出（请参阅图 7-4）。PFM-DCM 运行期间发生的开关脉冲与内部时钟同步。

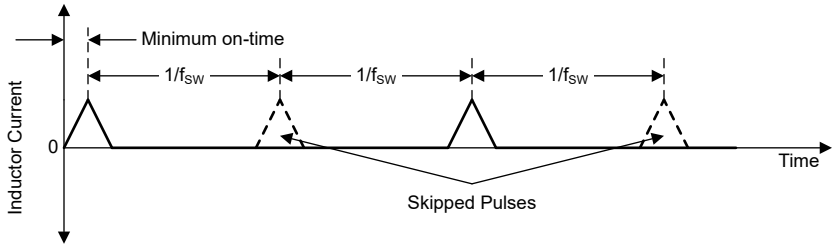


图 7-4. 不连续导通模式 (PFM-DCM) 电流波形

方程式 3 计算器件从 PWM-DCM 变为 PFM-DCM 的输出电流阈值：

$$I_{OUT(PFM-entry)} = \frac{V_{IN} \times \ ton, \ min}{2} \times \frac{1 - \frac{V_{OUT}}{V_{IN}}}{L} \quad (3)$$

图 7-5 显示了 PWM-DCM 到 PFM-DCM 阈值通常如何随 V_{IN} 和 V_{OUT} 的变化而变化。

Copyright © 2026 Texas Instruments Incorporated

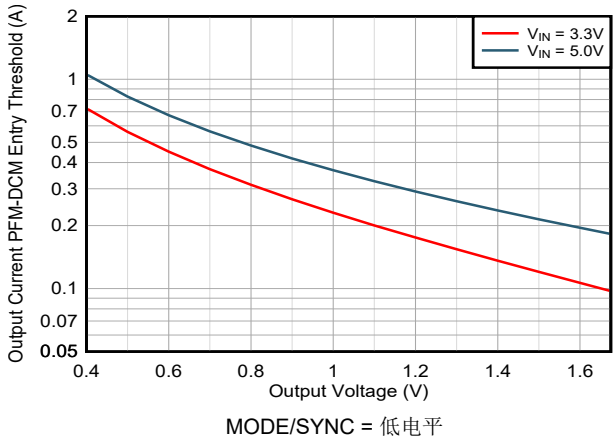


图 7-5. TPSM8287Bxx 的 PFM-DCM 进入阈值

将器件配置为使用强制 PWM 模式 (FPWM) 或省电模式 (PSM)：

- 在强制 PWM 模式下，器件始终使用 PWM-CCM。
- 在省电模式下，器件在中高负载下使用 PWM-CCM，在低负载下使用 PWM-DCM，在极低负载下使用 PFM-DCM。不同工作模式之间的转换是无缝的。

下表展示了 MODE/SYNC 引脚的功能表以及控制器件工作模式的 CONTROL1 寄存器中的 FPWMEN 位。

表 7-1. FPWM 模式和省电模式选择

SSCEN 位	FPWMEN 位	MODE/SYNC 引脚	工作模式	备注
0	0	低	PSM	请勿在堆叠配置中使用
1	0	低	PSM	
0	1	X	FPWM	
0	X	高	FPWM	
X	X	同步时钟	FPWM	请参阅节 7.3.7
1	1	X	FPWM	请参阅节 7.3.8
1	X	高	FPWM	

7.3.3 精密使能

使能 (EN) 引脚是双向引脚，具有两项功能。请参阅 图 7-6：

- 作为输入，该引脚启用和禁用器件中的直流/直流转换器。
- 在堆叠配置中，该引脚是输出引脚，并向其他器件提供 SYSTEM_READY 信号。

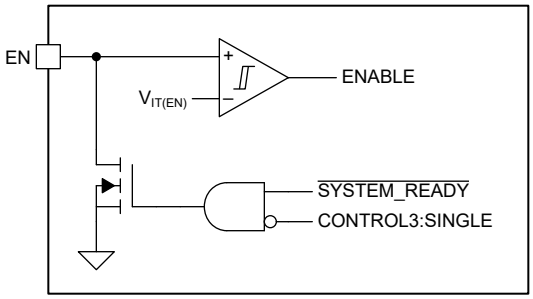


图 7-6. 使能功能方框图

Copyright © 2026 Texas Instruments Incorporated

由于 EN 引脚连接有一个内部开漏晶体管，因此请勿直接从低阻抗源驱动该引脚。应使用一个 15kΩ 以上的电阻器来限制流入 EN 引脚的电流。

当 VIN 引脚首次通电时，器件会将 EN 引脚拉至低电平，直到其从非易失性存储器加载默认寄存器设置并读取 VSETx 和 SYNC_OUT 引脚的状态。只有当输入电压低于 POR（上电复位）阈值时，器件才会重新初始化。如果发生热关断或过压锁定等故障，该器件还会将 EN 拉至低电平。在堆叠配置中，所有器件共享一个公共使能信号，这意味着只有在堆栈中的*所有*器件完成初始化后堆栈中的直流/直流转换器才能开始开关。同样，堆栈中的一个或多个器件发生故障会禁用栈中的*所有*转换器（请参阅节 7.3.16）。

在独立（非堆叠）应用中，在 CONTROL3 寄存器中设置 SINGLE = 1 以禁用 EN 引脚的有源下拉。当 SINGLE = 1 时，故障状态对 EN 引脚没有影响。（请注意，EN 引脚在器件初始化期间*始终*被下拉。）在堆叠应用中，请确保 SINGLE = 0。设置 SINGLE = 1 也会禁用 SYNC_OUT 引脚。

当内部 $\overline{\text{SYSTEM_READY}}$ 信号为低电平（即初始化完成且无故障情况）时，内部开漏晶体管处于高阻态，EN 引脚的功能与标准输入类似：EN 引脚上的高电平启用器件中的直流/直流转换器，低电平则禁用该直流/直流转换器。（I^2C 接口在器件完成初始化后立即启用，并且不受内部 ENABLE 或 $\overline{\text{SYSTEM_READY}}$ 信号状态的影响。）

EN 引脚上的低电平强制器件关断。在关断期间，功率级中的 MOSFET 关闭，内部控制电路被禁用，器件仅消耗不到 18μA（典型值）的电流。请勿将 EN 引脚悬空。

精密使能输入支持通过在 EN 引脚的输入端添加电阻分压器来提供用户可编程的欠压锁定。精密使能输入还使您能够通过缓慢变化的电压来驱动引脚，并允许使用外部 RC 网络来实现精密加电延迟。有关更多详细信息，请参阅*使用带有精密使能引脚阈值的直流/直流转换器实现零噪声启动*模拟设计期刊。

7.3.4 启动

当 VIN 引脚上的电压超过正向 UVLO 阈值时，该器件将进行如下初始化：

- 器件将 EN 引脚拉至低电平
- 器件启用内部基准电压
- 器件读取 VSETx 和 SYNC_OUT 引脚的状态
- 器件将默认值加载到器件寄存器中

初始化完成后，器件启用 I^2C 通信并释放 EN 引脚。控制 EN 引脚的外部电路现在决定了器件的行为：

- 当 EN 引脚为低电平时，器件将被禁用：
  - 您可以对器件寄存器进行写入和读取
  - 功率级不运行（高阻抗）。
- 当 EN 引脚为高电平时，器件将被启用：
  - 您可以对器件寄存器进行写入和读取
  - 在经过短暂的延迟后，功率级开始开关
  - 转换器使输出电压斜升

图 7-7 展示了 EN 引脚通过一个电阻器上拉至 V_{IN} 时的启动序列。

Copyright © 2026 Texas Instruments Incorporated

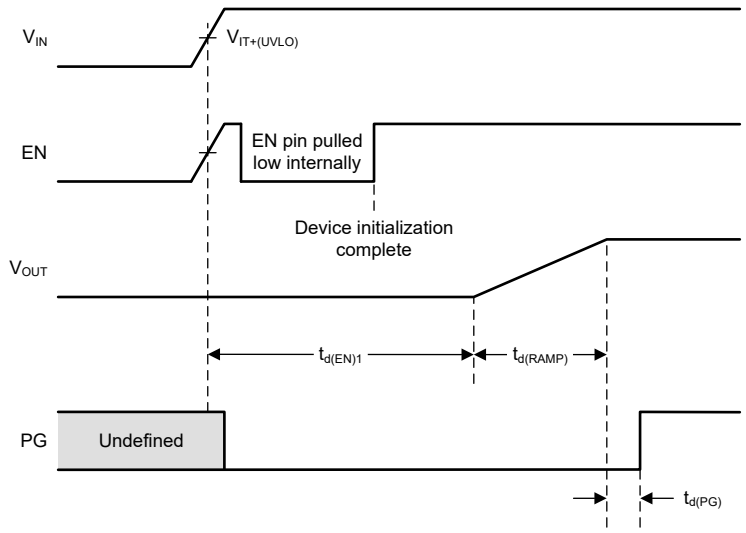


图 7-7. EN 上拉至 V_{IN} 时的启动时序

图 7-8 展示了外部信号连接到 EN 引脚时的启动序列。

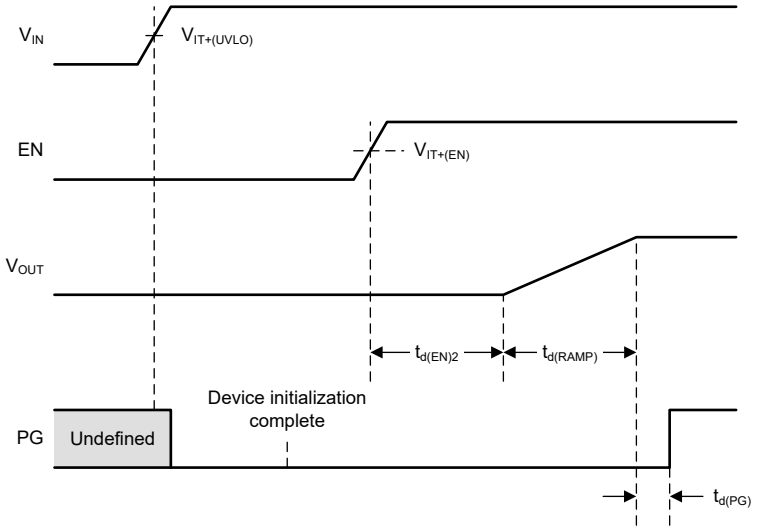


图 7-8. 外部信号连接到 EN 引脚时的启动时序

CONTROL2 寄存器中的 SSTIME[1:0] 位选择软启动斜坡的持续时间：

- $t_{d(Ramp)}$ = 500 µ s
- $t_{d(Ramp)}$ = 0.77ms
- $t_{d(Ramp)}$ = 1ms（默认值）
- $t_{d(Ramp)}$ = 2ms

器件在软启动序列期间忽略以下参数的新值：

- 输出电压设定点 (VSET[7:0])
- 输出电压范围 (VRANGE[1:0])
- 软启动 (SSTIME[1:0])

如果您在软启动期间更改了 VSET[7:0] 的值，则器件将首先斜升至软启动序列开始时的 VSET[7:0] 的值。软启动完成后，器件才会斜升或斜降至新值。

Copyright © 2026 Texas Instruments Incorporated

在启动期间，器件不会灌入电流，以确保输出电压遵循配置的斜坡速率升至目标输出电压。这样，器件可能在启动时产生预偏置输出。在这种情况下，从外部只能看到内部电压斜坡的一部分（请参阅图 7-9）。

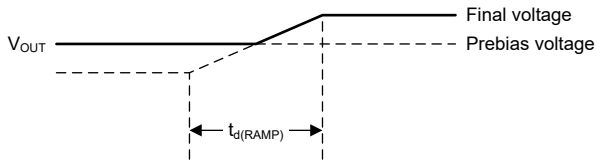


图 7-9. 启动时产生预偏置输出

7.3.5 输出电压设置

7.3.5.1 输出电压设定点

在初始化过程中，器件会读取 VSETx 引脚的状态，并根据 表 7-2 选择默认输出电压。请注意，VSETx 引脚还会选择器件的 I²C 目标地址以及寄存器 CONTROL2 中的 VRANGE 位设置。只能在 VIN 下电上电期间或通过 I²C 接口设置 RESET = 1 来读取 VSETx 引脚。在 VIN 出现后更改配置不会影响寄存器内容或 I²C 地址。请确保没有杂散电流路径连接到 VSETx 引脚，并且 VSETx 引脚与 GND 之间的寄生电容小于 100pF。为确保正常运行，输入电压需要至少比所选输出电压高 1.5V。

表 7-2. 启动输出电压和 I²C 地址

VSET1	VSET2	I²C 地址	TPSM8287BxxL VOUT 电压(1)	TPSM8287BxxH VOUT 电压(2)
GND	GND	0x45	400mV	800mV
GND	47kΩ 至 GND	0x44	425mV	850mV
GND	47kΩ 至 VIN	0x47	450mV	900mV
GND	VIN	0x46	475mV	950mV
47kΩ 至 GND	GND	0x45	500mV	1000mV
47kΩ 至 GND	47kΩ 至 GND	0x44	525mV	1050mV
47kΩ 至 GND	47kΩ 至 VIN	0x47	550mV	1100mV
47kΩ 至 GND	VIN	0x46	575mV	1150mV
47kΩ 至 VIN	GND	0x45	600mV	1200mV
47kΩ 至 VIN	47kΩ 至 GND	0x44	625mV	1250mV
47kΩ 至 VIN	47kΩ 至 VIN	0x47	650mV	1300mV
47kΩ 至 VIN	VIN	0x46	675mV	1350mV
VIN	GND	0x45	700mV	1400mV
VIN	47kΩ 至 GND	0x44	725mV	1450mV
VIN	47kΩ 至 VIN	0x47	750mV	1500mV
VIN	VIN	0x46	775mV	1550mV

(1) 器件设置 VRANGE = 01b。
(2) 器件设置 VRANGE = 10b。

如果您在器件已经开始软启动序列时对新的输出电压设定点 (VOUT[7:0])、输出电压范围 (VRANGE[1:0]) 或软启动时间 (SSTIME[1:0]) 设置进行编程，则在软启动序列完成之前，器件会忽略新值。输出电压先增大至 VSETx 引脚设置的目标值，然后再增大或减小至通过 I²C 接口编程至器件的任何新值。如果您在 EN 引脚为低电平时更改 VOUT[7:0]、VRAMP[1:0] 或 SSTIME[1:0]，则器件会在您下次启用时使用新值。

7.3.5.2 输出电压范围

该器件具有四个不同的输出电压范围。CONTROL2 寄存器中的 VRANGE[1:0] 位控制哪个范围有效（请参阅表 7-3）。默认输出电压范围由 VSETx 引脚决定。

Copyright © 2026 Texas Instruments Incorporated

表 7-3. 电压范围

VRANGE[1:0]	电压范围
0b00	0.4V 至 0.71875V（步长为 1.25mV）
0b01	0.4V 至 1.0375V（步长为 2.5mV）
0b10	0.4V 至 1.675V（步长为 5mV）
0b11	0.4V 至 1.675V（步长为 5mV）

每次更改 VRANGE[1:0] 位后都必须对 VSET 寄存器进行写入 – 即使 VSET[7:0] 位的值未变化也是如此。该序列是器件开始使用新电压范围所必需的。

7.3.5.3 非默认输出电压设定点

如果 表 7-2 中没有适合应用的输出电压设定点，则您可以*在启用器件之前* 通过 I²C 更改输出电压。EN 引脚被拉至高电平后，器件启动并斜升至 VSET 寄存器中设置的所需输出电压。器件斜升或斜降期间通过 I²C 对器件设置所做的更改只有在初始斜坡完成后才会被执行。无法在器件非易失性存储器中存储这些新的器件设置。

7.3.5.4 动态电压调节 (DVS)

如果您在器件运行时更改输出电压设定值，则器件会以受控的方式上升或下降至新的电压设置。

CONTROL1 寄存器中的 VRAMP[1:0] 位设置 DVS 期间器件从一个电压变化为另一个电压时的压摆率（请参阅表 7-4）。斜坡速率与 VRANGE[1:0] 位的设置无关。

表 7-4. 动态电压调节压摆率

VRAMP[1:0]	DVS 压摆率
0b00（默认值）	10mV/μs
0b01	5mV/μs
0b10	1.25mV/μs
0b11	0.5mV/μs

如果 MODE/SYNC 引脚为低电平且 FPWMEN = 0，则在低输出电流下压摆率可以更小，因为器件不会主动将能量从输出电容器传回到输入端。在更高的负载电流下，器件通过将能量传输到输出端来控制压摆率。

请注意，将输出增大至更高的电压需要额外的输出电流，因此在 DVS 期间，转换器必须产生由以下公式给出的总输出电流：

$$I_{OUT} = I_{OUT(DC)} + C_{OUT} \times \frac{dV_{OUT}}{dt} \quad (4)$$

其中：

- I_{OUT} 是在增大至更高电压的过程中转换器必须产生的总电流
- $I_{OUT(DC)}$ 是电流负载电流
- C_{OUT} 是总输出电容
- dV_{OUT}/dt 是输出电压的压摆率（可在 0.5mV/μs 至 10mV/μs 的范围内进行编程）

为确保正常运行，请确保 DVS 期间的总输出电流不超过器件的额定电流。

7.3.5.5 压降补偿

压降补偿根据输出电流调整标称输出电压。这样做是为了在没有输出电流时将输出电压设置为较高的值，在最大输出电流的情况下将输出电压设置为低于标称值的值。因此，压降补偿在负载瞬态期间提供了更高的裕度，并有助于在重负载阶跃或负载释放时将输出电压保持在一定的容差范围内，或者允许使用较低的输出电容以满足相同的容差范围。电压调节与输出电流间的关系取决于器件的输出电流版本。图 7-10 显示该行为。通过 CONTROL3 寄存器中的 DROOPEN 位启用压降补偿。必须在器件禁用时启用压降补偿，否则可能会出现瞬态输出电压偏差。

Copyright © 2026 Texas Instruments Incorporated

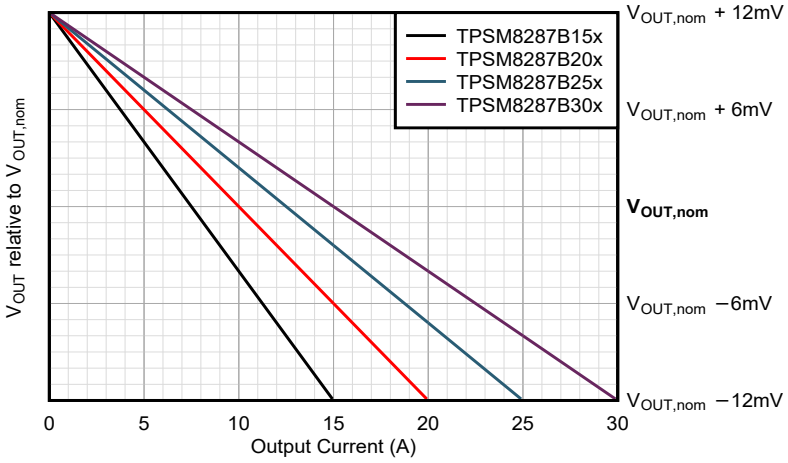


图 7-10. 电压随输出电流的调节

7.3.6 补偿 (COMP)

COMP 引脚是外部补偿网络的连接点。以串联方式连接到 AGND 的电阻器和电容器足以满足典型应用的需要，并提供足够的范围来优化各种工作条件下的环路响应。

在堆叠配置中使用多个器件时，所有器件共享一个公共的补偿网络，COMP 引脚确保这些器件之间实现均等的电流共享（请参阅节 7.3.16）。

7.3.7 模式选择/时钟同步 (MODE/SYNC)

MODE/SYNC 引脚上的高电平选择强制 PWM 运行。MODE/SYNC 引脚上的低电平选择省电运行，在该模式下，器件会根据负载条件自动在 PWM 和 PFM 之间转换。

如果将有效时钟信号施加到 MODE/SYNC 引脚，器件会将开关周期与外部时钟同步，并自动选择强制 PWM 运行。在 MODE/SYNC 引脚上应用调频时钟时，器件也遵循此操作。此操作在转换器必须遵循外部展频调制的应用中非常有用。

MODE/SYNC 引脚与 CONTROL1 寄存器中的 FPWMEN 位进行逻辑或运算。将其中一个设为高电平将启用 FPWM（请参阅 节 7.3.2）。

当在堆叠、并联配置中使用多个器件以增加输出电流时，主器件的时钟信号必须以菊花链配置级联到所有器件。前一个器件的 SYNC_OUT 引脚必须连接到链中下一个器件的 MODE/SYNC 引脚（请参阅 节 7.3.16）。

7.3.8 展频时钟 (SSC)

该器件具有展频时钟功能，可以降低电磁干扰 (EMI)。当 SSC 功能有效时，器件将开关频率调制为大约标称值的 ±10%。频率调制具有三角形特征（请参阅图 7-11）。

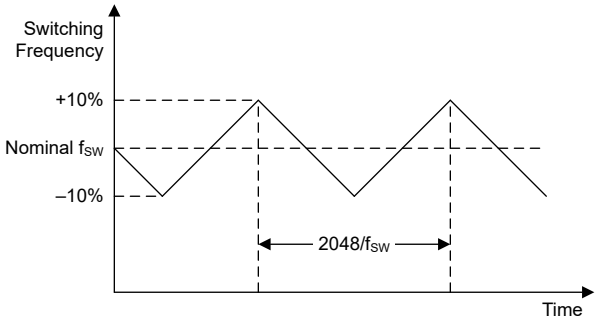


图 7-11. 展频时钟行为

Copyright © 2026 Texas Instruments Incorporated

要使用 SSC 功能，请确保：

- CONTROL1 寄存器中的 SSCEN = 1
- 器件未与外部时钟同步

TI 建议在使用 SSC 时使用 FPWM 运行模式，但 PSM 运行模式也支持 SSC。要禁用 SSC 功能，请确保 CONTROL1 寄存器中的 SCCEN = 0。

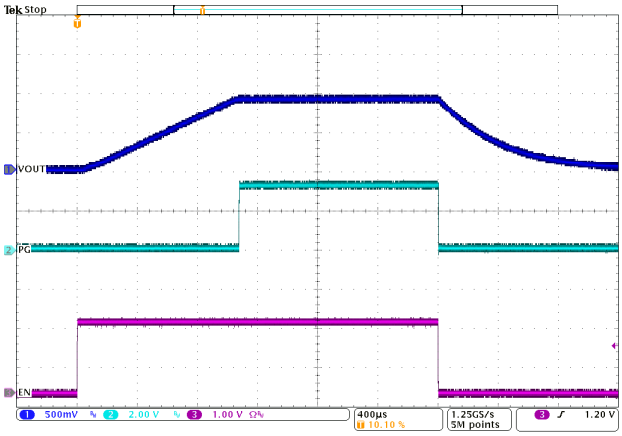
7.3.9 输出放电

该器件具有输出放电功能，可确保在该器件被禁用时输出电压按照既定斜坡进行斜降。输出放电后，放电会保持开启状态。当 CONTROL1 寄存器中的 DISCHEN = 1 时，启用输出放电功能。

如果启用输出放电功能，器件将在以下条件下对输出进行放电：

- EN 引脚上施加了低电平
- CONTROL1 寄存器中的 SWEN = 0
- 发生热关断事件
- 发生 UVLO 事件
- 发生 OVLO 事件

放电电阻器的电阻约为 2.7Ohm（典型值）。图 7-12 显示了典型放电行为的示例。



V_{IN} = 5.0V；R_{Load} = 9.1 Ω；VOUT = 0.9V 放电至 0V

图 7-12. 输出放电

施加 VIN 后至少启用一次器件后，输出放电功能才可用。输出放电会持续直到 VIN 下降至大约 1.8V。

在堆叠配置中，辅助器件中的放电始终处于有效状态。请参阅表 7-6。

7.3.10 欠压锁定 (UVLO)

该器件具有欠压锁定功能，如果电源电压过低而无法正常运行，该功能会禁用器件。UVLO 功能的负向阈值为 2.5V（典型值）。如果电源电压降低至该值以下，器件将停止开关，如果 CONTROL1 寄存器中的 DISCHEN = 1，则会开启输出放电功能。此外，EN 引脚被拉至低电平，这会禁用堆栈中的所有其他器件。

当电源电压高于 2.6V（典型值）时，器件会自动再次开始开关 – 开始新的软启动序列。

7.3.11 过压锁定 (OVLO)

该器件具有过压锁定功能，如果电源电压过高而无法正常运行，该功能会禁用直流/直流转换器。OVLO 功能的正向阈值为 6.3V（典型值）。如果电源电压增加到该值以上，器件将停止开关，并会设置 STATUS 寄存器中的

Copyright © 2026 Texas Instruments Incorporated

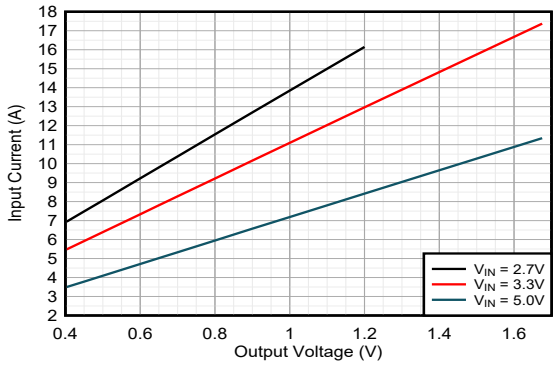
PBOV 位，如果 CONTROL1 寄存器中的 DISCHEN = 1，则会开启输出放电功能。此外，EN 引脚被拉至低电平，这会禁用堆栈中的所有其他器件。

当电源电压降至 6.2V（典型值）以下时，器件会自动再次开始开关 – 开始新的软启动序列。

7.3.12 过流保护

7.3.12.1 逐周期电流限制

TPSM8287Bxx 模块具有过载和短路保护功能。如果电感器电流超过高侧电流限值，高侧 MOSFET 将关断，低侧 MOSFET 将导通，以便降低电感器电流。仅当低侧 MOSFET 中的电流降至低侧电流限值以下时，高侧 MOSFET 才会再次导通。这些电流限制旨在防止电感器达到饱和状态。图 7-13 显示了电流限制中的典型输入电流。



T_A = 25°C；HICCUP = 0

图 7-13. TPSM8287B30x 电流限制中的输入电流

低侧 MOSFET 还包含负电流限值，以防止过大的电流通过电感器流回输入端。如果超过低侧灌电流限制，低侧 MOSFET 将关闭。在这种情况下，两个 MOSFET 都会关闭，直到下一个周期开始为止。负电流限制仅在强制 PWM 模式下有效。

7.3.12.2 断续模式

断续模式可以降低过载事件期间的功率耗散。要启用断续运行，请确保 CONTROL1 寄存器中的 HICCUPEN = 1。如果启用了断续运行并且高侧开关电流在连续 32 个开关周期内达到高侧电流限制阈值，则器件：

- 停止开关 128µs，之后自动再次开始开关（启动新的软启动序列）
- 设置 STATUS 寄存器中的 HICCUP 位
- 将 PG 引脚拉至低电平。PG 引脚保持低电平，直到过载情况消失并且器件可以启动并调节输出电压。PG 引脚具有 40µs（典型值）抗尖峰脉冲时间，该时间会对电源正常信号的上升沿进行延迟。

只要输出过载条件存在，断续运行就会继续 – 以 32 个电流限制周期的重复序列进行，然后暂停 128µs，然后尝试软启动。

在过载条件不再存在时，读取 STATUS 寄存器会清除 HICCUP 位。图 7-14 展示了三个断续运行周期。在此期间，过载被移除并且器件继续正常运行。

Copyright © 2026 Texas Instruments Incorporated

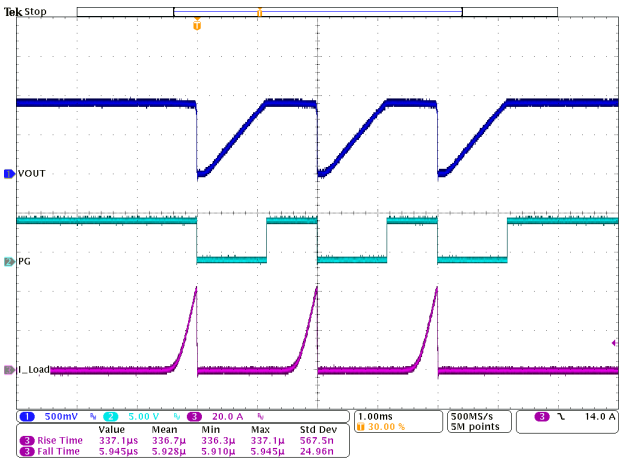


图 7-14. 断续电流限制

7.3.12.3 限流模式

要启用限流模式，请确保 CONTROL1 寄存器中的 HICCUPEN = 0。

启用电流限制操作后，只要存在过载情况，器件就会逐周期限制高侧开关电流。如果器件在四个或更多连续开关周期内限制高侧开关电流，则会在 STATUS 寄存器中设置 ILIM = 1。

在过载条件不再存在时，读取 STATUS 寄存器会清除 ILIM 位。

7.3.13 电源正常 (PG)

电源正常 (PG) 引脚是双向引脚，具有两项功能：

- 在独立配置和堆叠配置的主器件中，PG 引脚是一个开漏输出，用于指示转换器或堆栈的状态。
- 在堆叠配置的辅助器件中，PG 引脚是检测软启动序列何时完成的输入端。

7.3.13.1 电源正常独立、主器件行为

PG 引脚的主要用途是指示输出电压是否处于稳压状态，但该引脚也指示器件是否处于热关断或禁用状态。下表总结了独立器件或主器件中 PG 引脚的行为。

表 7-5. 电源正常状态指示功能表

V_{IN}	EN	V_{OUT}	软启动	PGBLNKDVS	T_J	PG
V_{IN} < 2V	X	X	X	X	X	未定义
$V_{IT-(UVLO)} \geqslant V_{IN} \geqslant$ 2V	X	X	X	X	X	低
$V_{IT-(OVLO)} > V_{IN} > V_{IT+(UVLO)}$	L	X	X	X	X	低
	H	X	有效	X	X	低
		$V_{OUT} > V_{T+(OVP)}$ 或 $V_{OUT} < V_{T-(UVP)}$	无效	0	X	低
				1（DVS 未激活）	X	低
		X		1（DVS 激活）	$T_J < T_{SD}$	高阻态
		$V_{T-(OVP)} > V_{OUT} > V_{T+(UVP)}$		X		高阻态
		X	X	X	$T_J > T_{SD}$	低
$V_{IN} > V_{IT+(OVLO)}$	X	X	X	X	X	低

图 7-16 展示了独立器件或主器件中电源正常状态指示功能的功能方框图。窗口比较器监视输出电压，如果输出电压小于标称输出电压的 94%（典型值）或大于标称输出电压的 106%（典型值），则比较器的输出变为高电平。

Copyright © 2026 Texas Instruments Incorporated

窗口比较器的输出经过抗尖峰脉冲处理（典型的抗尖峰脉冲时间为 40µs）（请参阅图 7-15），然后用于驱动开漏 PG 引脚。

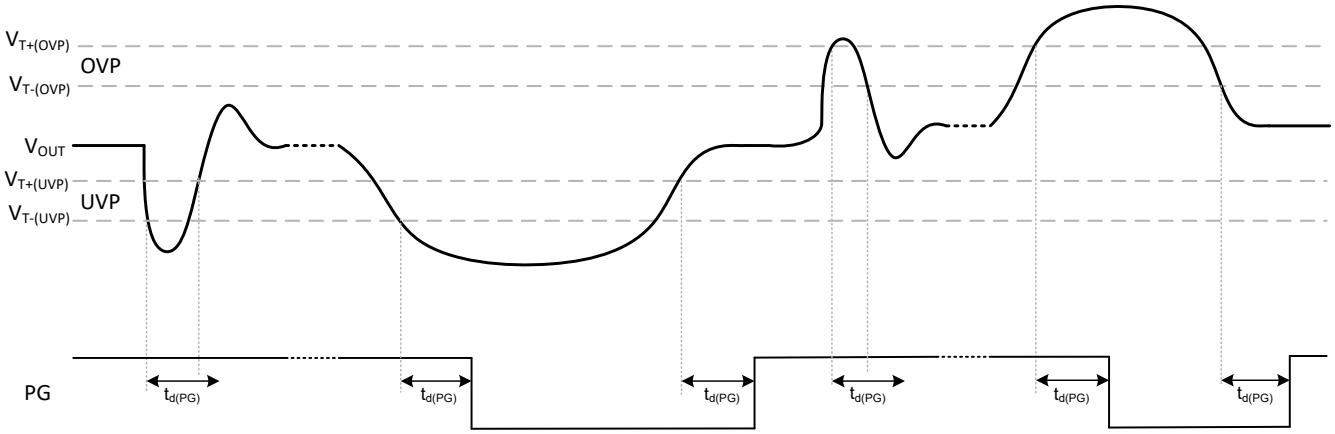


图 7-15. 电源正常瞬态和延迟行为

如果发生输出欠压或过压事件，器件会分别在 STATUS 寄存器中设置 PBUV 或 PBOV 位。当电源不良条件不再出现时，如果您读取 STATUS 寄存器，会发现器件已清除 PBOV 和 PBUV 位。

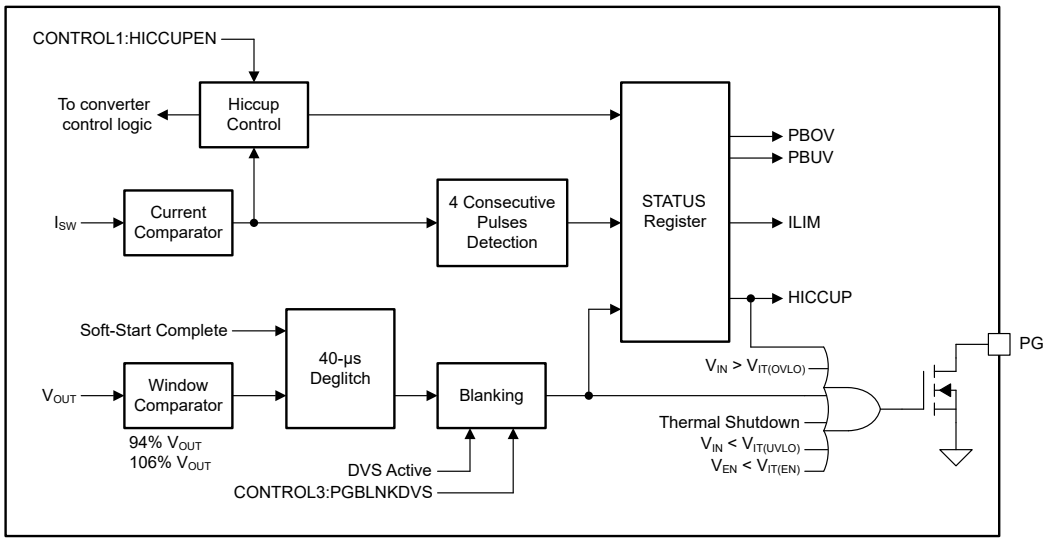


图 7-16. 电源正常状态指示功能方框图（独立/主器件）

在 DVS 工作期间，窗口比较器的电压基准会跟随斜坡输出电压设定点变化。在 FPWM 模式下启用 DVS 时、PG 通常不会变为低电平，因为该器件会主动向上或向下驱动输出电压以跟随 DVS 斜坡变化。在省电模式下，如果没有足够的负载来足够快地下拉输出电压以保持在窗口比较器的限制范围内，PG 会在斜降时变为低电平。在 FPWM 和省电模式下，设置 CONTROL3 寄存器中的 PGBLNKDVS = 1 会强制器件在 DVS 斜升时间（由 CONTROL1 寄存器中的 VRAMP[1:0] 位设置）内忽略电源正常窗口比较器的输出，从而使 PG 引脚保持高阻抗。DVS 时间过后，PG 会再次反映窗口比较器的输出。

请注意，在以下情况下，无论窗口比较器的输出如何，PG 引脚始终处于低电平：

- 器件处于热关断状态
- 器件处于断续模式
- 器件被禁用
- 器件处于欠压或过压锁定（UVLO 或 OVLO）状态

Copyright © 2026 Texas Instruments Incorporated

- 器件处于软启动状态

7.3.13.2 电源正常辅助器件行为

在堆叠、并联配置中，PG 信号用于器件之间的通信。在器件初始化期间，堆栈中的所有器件都会将 PG 信号拉至低电平。每个器件完成初始化后，只有主器件会控制 PG 信号并将 PG 信号保持在低电平，直到软启动完成。

辅助器件则监测 PG 信号的电压电平。当 PG 信号为低电平时，在主器件释放 PG 信号之前，辅助器件无法灌入电流。外部上拉电阻器会将 PG 引脚拉至高电平，自此辅助器件会以 FPWM 模式运行。

如果发生故障，辅助器件不会驱动 PG 信号，而是使用 EN 引脚停用整个堆栈。在这种情况下，主转换器会将 PG 信号拉至低电平。相关详细信息，请参阅 表 7-6。

7.3.14 遥感

该器件具有 VOSNS 和 GOSNS 两个引脚，用于遥感输出电压。遥感使转换器能够直接检测负载点的输出电压，并提高输出电压调节的精度。这些检测线路必须平行布线，并远离噪声信号。将这些检测线路连接到输出总线上的最低阻抗点，该点必须是最靠近负载的输出电容器组的中心。

在堆叠配置中，所有辅助器件的 VOSNS 和 GOSNS 可以连接到本地输出电容或 AGND 引脚。有关更多详细信息，请参阅 节 7.3.16。

7.3.15 热警告和热关断

该器件具有两级过热检测功能。

如果结温升至 150°C（典型值）热警告阈值以上，器件会设置 STATUS 寄存器中的 TWARN 位。如果您在结温降至 130°C（典型值）TWARN 阈值以下后读取 STATUS 寄存器，会发现器件已清除 TWARN 位。

如果结温升至 170°C（典型值）热关断阈值以上，则器件：

- 停止开关
- 下拉 EN 引脚（如果 CONTROL3 寄存器中的 SINGLE = 0）
- 启用输出放电（如果 CONTROL1 寄存器中的 DISCHEN = 1）
- 设置 STATUS 寄存器中的 TSHUT 位
- 将 PG 引脚拉至低电平

如果结温随后降至 150°C（典型值）热关断阈值以下，则器件：

- 从新的软启动序列开始再次开始开关
- 释放 EN 引脚（高阻抗）
- 释放 PG 引脚（高阻抗）

如果您在结温降至 150°C（典型值）TSHUT 阈值以下后读取 STATUS 寄存器，会发现器件已清除 TSHUT 位。

在所有器件共享公共使能信号的堆叠配置中，一个器件中的热关断状态会禁用整个堆栈。当过热的器件冷却下来后，整个堆栈会自动再次开始开关。

7.3.16 堆叠操作

您可以在“堆栈”中并联多个器件，以提高输出电流能力，从而降低器件结温或输出电压纹波。例如，并联四个 30A 器件可提供高达 120A 的电流。只要 PCB 布局保持模块之间共享信号的完整性，您就可以堆叠更多器件。

一个堆栈包含一个*主*器件和一个或多个*辅助*器件。在初始化期间，每个器件都会监视 SYNC_OUT 引脚，以确定其必须作为主器件还是辅助器件运行：

- 如果 SYNC_OUT 引脚和接地端之间有一个 47kΩ 电阻器，则该器件作为辅助器件运行。
- 如果 SYNC_OUT 引脚处于高阻抗状态，则该器件作为主器件运行。

下图展示了包含两个 TPSM8287Bxx 器件的堆栈中的建议互连。

Copyright © 2026 Texas Instruments Incorporated

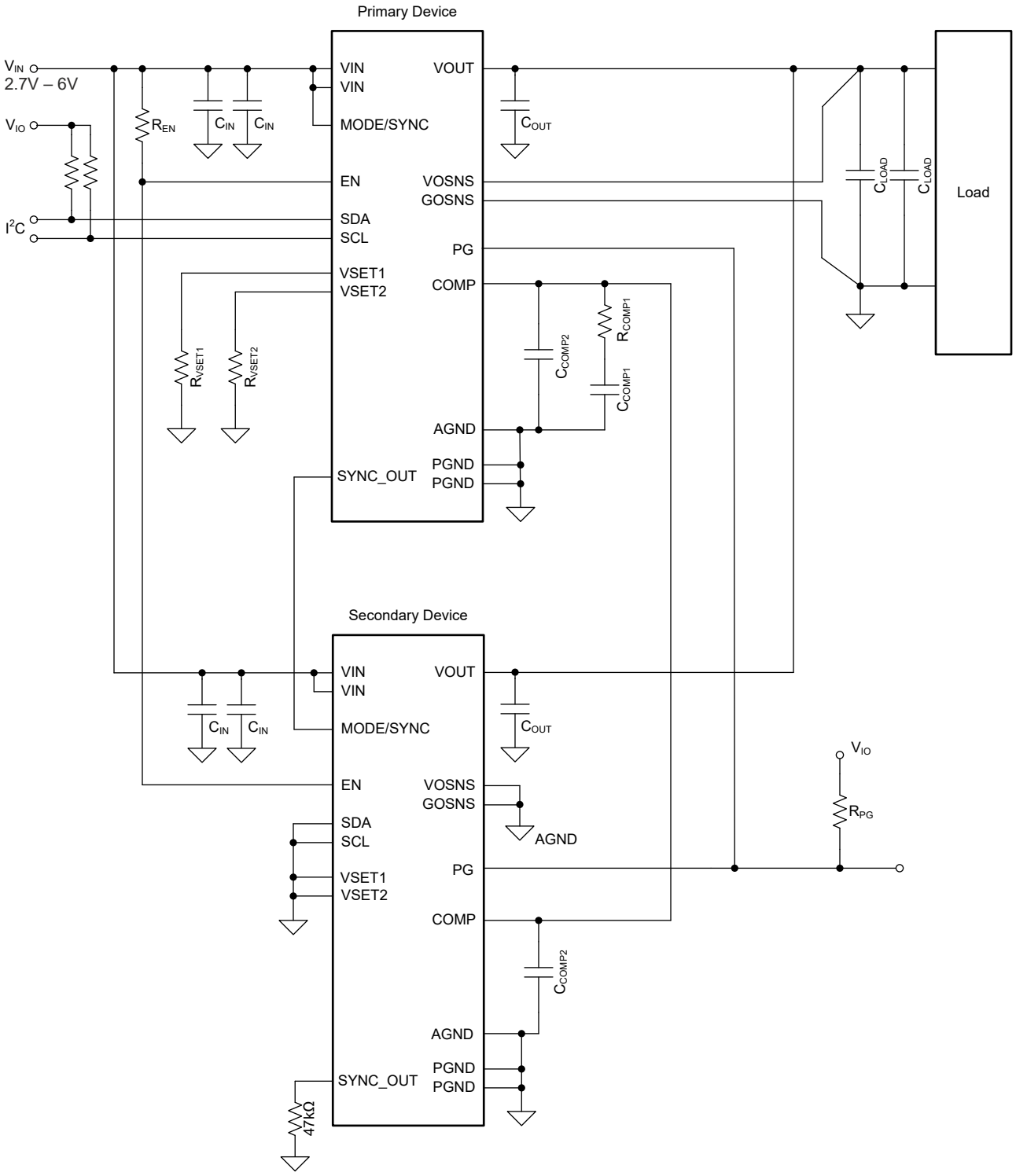


图 7-17. 堆叠配置中的两个 TPSM8287Bxx 器件

需要注意的关键点包括：

- 堆栈中的所有器件共享一个公共使能信号，必须使用至少 15kΩ 的电阻上拉该信号。
- 所有辅助器件必须在 SYNC_OUT 引脚和接地端之间连接一个 47kΩ 电阻器。
- 堆栈中的所有器件共享一个公共电源正常信号，必须使用电阻上拉该信号至逻辑高电平。

Copyright © 2026 Texas Instruments Incorporated

- 堆栈中的所有器件共享一个公共补偿信号。
- 如果许多器件堆叠在一起，COMP 布线的寄生电容会影响环路性能。要将该布线电容从主器件和补偿网络进行去耦合，可在主器件和所有辅助器件之间使用单位增益缓冲器。
- 主器件的 VOSNS 和 GOSNS 必须连接到负载处的电容器。
- 辅助器件的 VOSNS 和 GOSNS 可连接到器件的输出电容器，或者两个引脚都可以连接到 AGND。请勿将这些引脚悬空。
- 将每个器件的 AGND 引脚连接到本地 GND 网络，然后将每个本地 GND 网络连接到公共 GND 平面。
- 堆栈中的所有器件必须使用相同的器件型号（输出电流相同）。
- 主器件必须配置为强制 PWM 运行（辅助器件自动配置为强制 PWM 运行）。
- 堆叠配置可以支持与外部时钟或展频时钟的同步。
- 只有主器件的 VSETx 引脚用于设置默认输出电压。辅助器件的 VSETx 引脚未使用，必须接地。
- 辅助器件的 SDA 和 SCL 引脚未使用，必须接地。
- 堆叠配置使用菊花链时钟信号，其中每个器件以相对于菊花链中的前一个器件相位偏移进行开关。此相位偏移可通过 CONTROL2 寄存器中的 SYNC_OUT_PHASE 位配置为约 180°（默认）或 120°。要以菊花链方式连接时钟信号，请将主器件的 SYNC_OUT 引脚连接到第一个辅助器件的 MODE/SYNC 引脚。将第一个辅助器件的 SYNC_OUT 引脚连接到第二个辅助器件的 MODE/SYNC 引脚。继续对堆栈中的所有器件使用该连接方案，将其以菊花链方式连接在一起。
- 不得在堆叠配置中使用断续过流保护功能。
- 对于大于等于 1.2V 的输出电压，将每相最大输出电流降低 1A，以解决电流平衡不准确的问题。

在堆叠配置中，公共使能信号还用作 SYSTEM_READY 信号（请参阅节 7.3.3）。堆栈中的每个器件都可以在器件启动期间或发生故障时将 EN 引脚拉至低电平。因此，只有当所有器件都完成启动序列并且无故障时，堆栈才会启用。任何一个器件出现故障都会禁用整个堆栈（只要故障条件存在）。

在启动期间，只要使能信号 (SYSTEM_READY) 为低电平，主器件就会将 COMP 引脚拉至低电平。当使能信号变为高电平时，主器件主动控制 COMP 引脚，堆栈中的所有转换器都与 COMP 电压保持一致。在启动期间，堆栈中的每个器件在初始化时将 PG 引脚拉至低电平。初始化完成后，堆栈中的每个辅助器件将 PG 引脚设置为高阻抗，主器件单独控制 PG 信号的状态。当堆栈完成启动斜坡并且输出电压处于电源正常窗口内时，PG 引脚变为高电平。堆栈中的辅助转换器检测电源正常信号的上升沿，并切换至 FPWM 运行。堆栈成功启动后，主器件按照正常方式控制电源良好信号。

堆叠运行期间的功能

某些器件功能在堆叠运行期间不可用，或者仅在主转换器中可用。表 7-6 总结了堆叠运行期间的可用功能。

Copyright © 2026 Texas Instruments Incorporated

表 7-6. 堆叠运行期间的功能

功能	主器件	辅助器件	备注
UVLO	有	有	公共使能信号
OVLO	有	有	公共使能信号
OCP - 电流限制	有	有	单个设备
OCP - 断续 OCP	否	否	请勿在堆叠运行期间使用
热关断	有	有	公共使能信号
电源正常（窗口比较器）	有	否	仅主器件
I^2C 接口	有	否	仅主器件
DVS	通过 I^2C	否	电压环路仅由主器件控制
SSC	通过 I^2C	是，通过主器件	以菊花链形式从主器件连接到辅助器件
SYNC	有	是，通过主器件	同步时钟应用于主器件，并以菊花链形式从主器件连接到辅助器件
精密使能	否	否	仅二进制使能
输出放电	通过 I^2C	有	始终在辅助器件中启用

堆叠运行期间的故障处理

在堆叠配置中，有些故障仅影响单个器件，而另一些故障则影响所有器件。例如，如果一个器件进入电流限制状态，则只有该器件受到影响。但是，一个器件中的热关断或欠压锁定事件会通过共享的使能 (SYSTEM_READY) 信号禁用所有器件。表 7-7 总结了堆叠运行期间的故障处理。

表 7-7. 堆叠运行期间的故障处理

故障条件	器件响应	系统响应
UVLO	使能信号被拉至低电平	新的软启动
OVLO		
热关断		
电流限制	使能信号保持高电平	误差放大器被钳位
向 MODE/SYNC 施加的外部时钟发生故障	SYNC_OUT 和功率级切换至内部振荡器	默认开关频率下的正常运行。辅助器件保持正确的相移。

7.4 器件功能模式

7.4.1 上电复位 (POR)

当电源电压低于 POR 阈值 ($V_{IT-(POR)}$) 时，器件在 POR 模式下运行。

在 POR 模式下，不提供任何功能，并且器件将寄存器重置为默认值。

当电源电压增加到 POR 阈值以上时，器件退出 POR 模式并进入 UVLO 模式。

7.4.2 欠压锁定

当电源电压介于 POR 和 UVLO 阈值之间时，器件在 UVLO 模式下运行。

如果器件从 POR 模式进入 UVLO 模式，则没有任何功能可用。如果器件从待机模式进入 UVLO 模式，则输出放电功能可用。I^2C 接口在 UVLO 模式下不可用。

当电源电压降至 POR 阈值以下时，器件退出 UVLO 模式并进入 POR 模式。当电源电压增至 UVLO 阈值以上时，器件退出 UVLO 模式并进入待机模式。

Copyright © 2026 Texas Instruments Incorporated

7.4.3 待机

当电源电压大于 UVLO 阈值并且满足以下任何条件时，器件完成了初始化且器件在待机模式下运行：

- EN 引脚上施加了低电平
- CONTROL1 寄存器中的 SWEN = 0
- 器件结温大于热关断阈值
- 电源电压大于 OVLO 阈值

在待机模式下提供以下功能：

- I^2C 接口
- 输出放电
- 电源正常状态指示

当电源电压降至 UVLO 阈值以下时，器件退出待机模式并进入 UVLO 模式。当满足以下所有条件时，器件退出待机模式并进入导通模式：

- EN 引脚上施加了高电平
- CONTROL1 寄存器中的 SWEN = 1
- 器件结温低于热关断阈值
- 电源电压低于 OVLO 阈值

7.4.4 开启

当电源电压大于 UVLO 阈值并且满足以下所有条件时，器件在导通模式下运行：

- EN 引脚上施加了高电平
- CONTROL1 寄存器中的 SWEN = 1
- 器件结温低于热关断阈值
- 电源电压低于 OVLO 阈值
- 器件已完成初始化

在导通模式下所有功能均可用。

当电源电压降至 UVLO 阈值以下时，器件退出导通模式并进入 UVLO 模式。当满足以下任一条件时，器件退出导通模式并进入待机模式：

- EN 引脚上施加了低电平
- CONTROL1 寄存器中的 SWEN = 0
- 器件结温大于热关断阈值
- 电源电压大于 OVLO 阈值

7.5 编程

7.5.1 串行接口说明

I^2C 是由 Philips Semiconductor（现为 NXP Semiconductors）开发的 2 线制串行接口（请参阅 I^2C 总线规范和用户手册，修订版 6，2014 年 4 月 4 日）。总线由数据线 (SDA) 和时钟线 (SCL) 以及上拉结构组成。当总线 *空闲* 时，SDA 和 SCL 线都被拉至高电平。所有与 I^2C 兼容的器件通过漏极开路 I/O 引脚、SDA 和 SCL 连接到 I^2C 总线。*控制器*（通常是微控制器或数字信号处理器）控制总线。控制器负责产生 SCL 信号和器件地址。控制器还会产生指示数据传输开始和停止的特定条件。*目标* 在控制器的控制下通过总线接收或发送数据。

TPSM8287Bxx 器件作为目标运行，支持 I^2C 总线规范中定义的以下数据传输 *模式*：标准模式 (100kbps)、快速模式 (400kbps)、快速+ 模式 (1Mbps) 和高速模式 (3.4Mbps)。该接口增加了电源设计的灵活性，使大多数功能都能够根据瞬时应用要求编程为新值。只要输入电压保持在 $V_{IT-(POR)}$ 以上，寄存器内容就会保持不变。

标准模式和快速模式的数据传输协议完全相同；因此，本文档中将这两种模式称为 F/S 模式。高速模式的协议与 F/S 模式不同，前者称为 HS 模式。该器件支持 7 位寻址；不支持通用调用地址。

上电期间 VSETx 引脚的状态定义了设备的 I^2C 目标地址（请参阅 表 7-2）。

Copyright © 2026 Texas Instruments Incorporated

TI 建议在 SDA 和 SCL 上拉电压初始上电后，I²C 控制器在 I²C 总线上启动停止条件，以便确保 I²C 引擎复位。

7.5.2 标准模式、快速模式、快速+ 模式协议

控制器通过产生启动条件来启动数据传输。启动条件是当 SCL 为高电平时在 SDA 线上发生从高电平到低电平的转换，如图 7-18 所示。所有与 I²C 兼容的器件都必须识别启动条件。

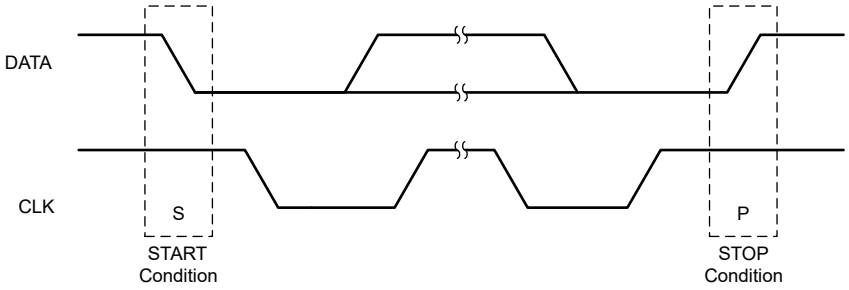


图 7-18. 启动条件和停止条件

控制器随后产生 SCL 脉冲，并在 SDA 线上发送 7 位地址和读取/写入方向位 (R/$\overline{W}$)。在所有传输期间，控制器确保数据有效。有效数据条件要求 SDA 线在时钟脉冲的整个高电平期间保持稳定（请参阅图 7-19）。所有器件都识别控制器发送的地址，并将该地址与内部固定地址进行比较。只有具有匹配地址的目标才会通过在第九个 SCL 周期的整个高电平期间将 SDA 线拉至低电平来生成响应（请参阅图 7-20）。在检测到该确认时，控制器便知道已建立与目标器件的通信链路。

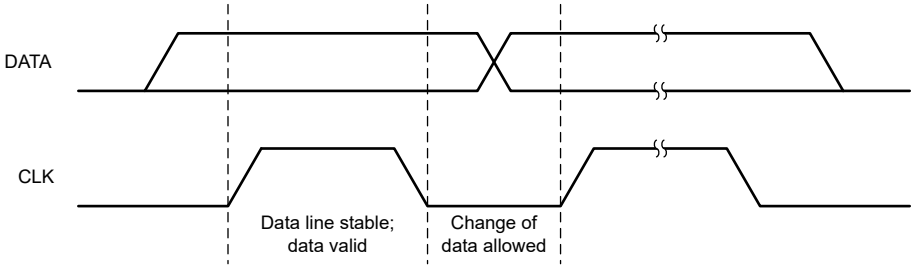


图 7-19. 串行接口上的位传输

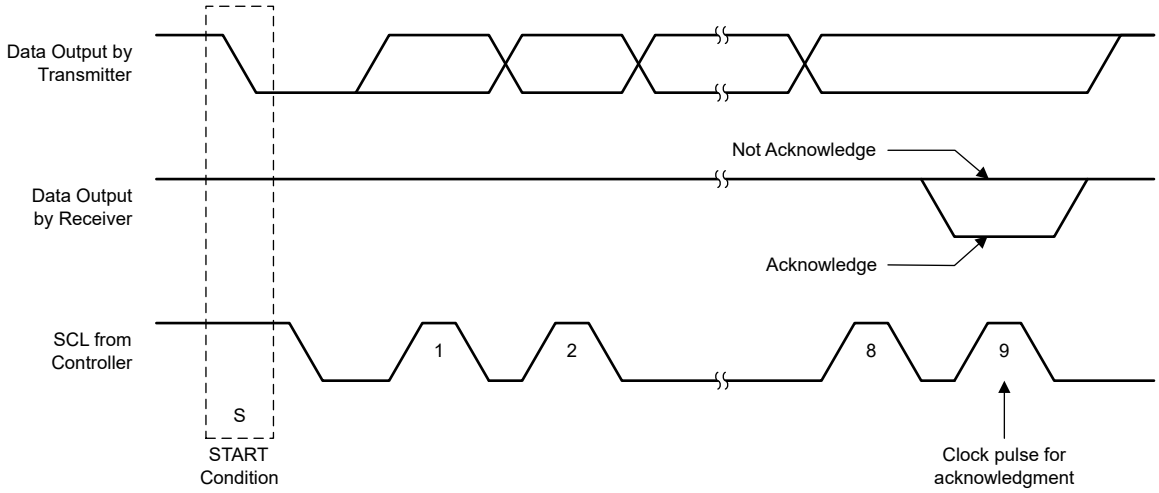


图 7-20. I²C 总线上的确认

控制器产生更多的 SCL 周期，以便向目标器件发送数据（R/$\overline{W}$ 位为 0）或从目标器件接收数据（R/$\overline{W}$ 位为 1）。在任一种情况下，目标都必须确认控制器发送的数据。因此，响应信号可由控制器或目标产生，具体取决于哪个是接收器。9 位有效数据序列包含 8 个数据位和 1 个确认位，可根据需要继续（请参阅图 7-21）。

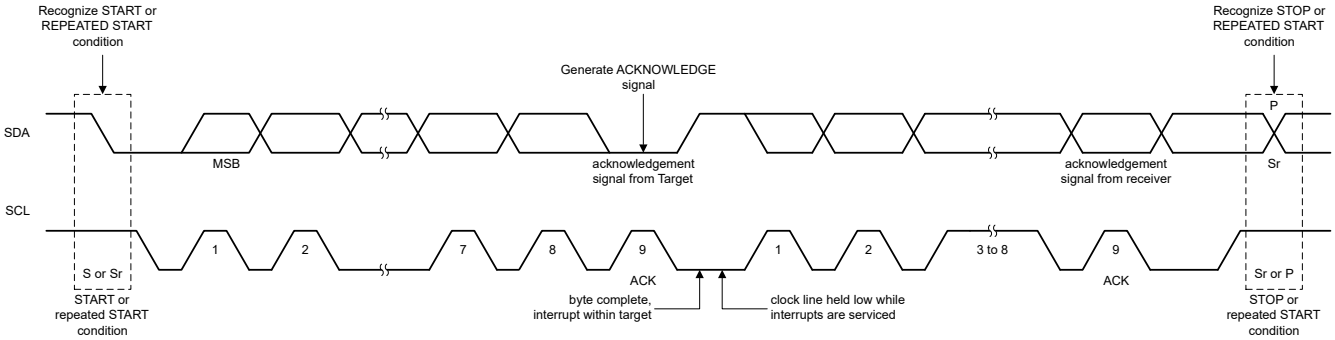


图 7-21. 总线协议

为了用信号指示数据传输结束，控制器通过在 SCL 线处于高电平期间将 SDA 线从高电平拉至低电平来产生停止条件（请参阅图 7-18）。此操作将释放总线并停止与寻址的目标器件之间的通信链路。所有与 I²C 兼容的器件都必须识别停止条件。在收到停止条件后，所有器件都知道总线已释放，并等待启动条件，接着是匹配的地址。

尝试从本节中未列出的寄存器地址读取数据会导致读出 0x00。

7.5.3 I²C HS 模式协议

控制器生成一个启动条件，后跟一个有效的串行字节，其中包含 HS 控制器代码 00001XXX。该传输以 F/S 模式进行，速率不超过 400kbps。任何器件都不允许确认 HS 控制器代码，但所有器件都必须识别该 HS 控制器代码并切换内部设置以支持 3.4Mbps 运行。

然后，控制器生成重复启动条件（重复启动条件与启动条件具有相同的时序）。在这个重复的启动条件之后，协议与 F/S 模式一致，除非允许高达 3.4Mbps 的传输速度。停止条件结束 HS 模式并切换目标器件的所有内部设置以支持 F/S 模式。必须使用重复启动条件来确保总线处于 HS 模式，而不是使用停止条件。

尝试从本节中未列出的寄存器地址读取数据会导致读出 0x00。

7.5.4 I²C 更新序列

需要一个启动条件、一个有效的 I²C 地址、一个寄存器地址字节和一个用于单次更新的数据字节。在收到每个字节之后，接收器件通过在单个时钟脉冲的高电平周期内将 SDA 线拉至低电平来进行确认。一个有效的 I²C 地址字节选择目标。该目标在 LSB 字节之后的确认信号下降沿执行更新。



图 7-22. 标准模式、快速模式和快速+ 模式下的*写入* 数据传输格式

Copyright © 2026 Texas Instruments Incorporated

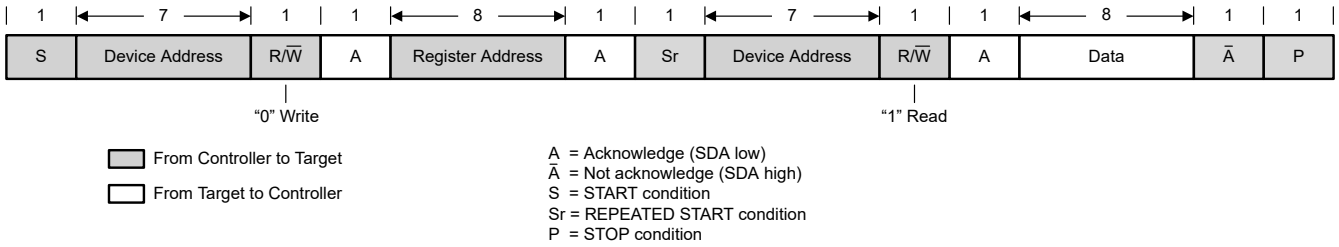


图 7-23. 标准模式、快速模式、快速+ 模式下的*读取*数据传输格式

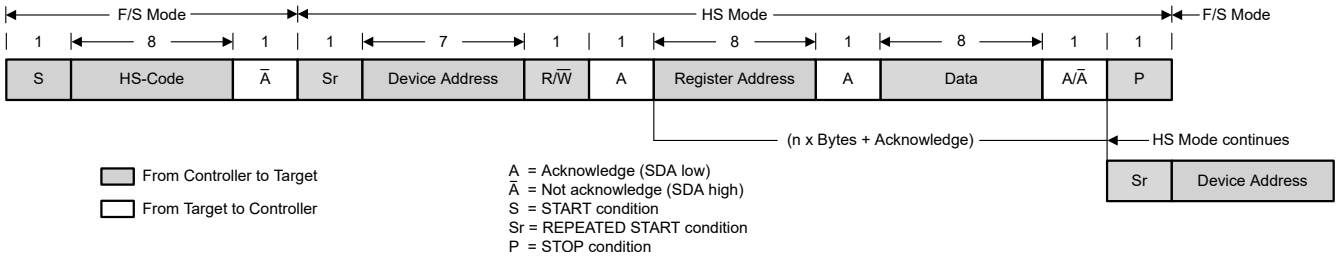


图 7-24. HS 模式下的数据传输格式

7.5.5 I²C 寄存器复位

I²C 寄存器可通过以下方式复位：

- 将输入电压拉至 $V_{IT-(POR)}$ 以下（请参阅 节 7.4.1）。
- 设置 CONTROL 寄存器中的 RESET 位。当 RESET = 1 时，所有寄存器均复位为默认值，并立即开始新的启动。经过 $t_{d(EN)2}$ 时间之后，可以再次访问 I²C 寄存器。

8 器件寄存器

表 8-1 列出了器件寄存器的存储器映射寄存器。表 8-1 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 8-1. 器件寄存器

偏移	首字母缩写词	寄存器名称	部分
0h	VSET	输出电压设定点	节 8.1
1h	CONTROL1	控制 1	节 8.2
2h	CONTROL2	控制 2	节 8.3
3h	CONTROL3	控制 3	节 8.4
4h	状态	状态	节 8.5

复杂的位访问类型经过编码可适应小型表单元。表 8-2 展示了适用于此部分中访问类型的代码。

表 8-2. 器件访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
写入类型		
W	W	写入
复位或默认值		
-n		复位后的值或默认值

Copyright © 2026 Texas Instruments Incorporated

8.1 VSET 寄存器（偏移 = 0h）[复位 = XXh]

图 8-1 展示了 VSET，表 8-3 中对此进行了介绍。

返回到汇总表。

该寄存器控制输出电压设定点

图 8-1. VSET 寄存器

7	6	5	4	3	2	1	0
VSET							
R/W-xxxxxxxxb							

表 8-3. VSET 寄存器字段说明

位	字段	类型	复位	说明
7-0	VSET	R/W	xxxxxxxxb	输出电压设定点（另请参阅 CONTROL2 寄存器中的范围设置位）。 范围 1：输出电压设定点 = 0.4V + VSET[7:0] × 1.25mV 范围 2：输出电压设定点 = 0.4V + VSET[7:0] × 2.5mV 范围 3：输出电压设定点 = 0.4V + VSET[7:0] × 5mV 上电期间 VSETx 引脚的状态决定了复位值。

Copyright © 2026 Texas Instruments Incorporated

8.2 CONTROL1 寄存器（偏移 = 1h）[复位 = 28h]

图 8-2 示出了 CONTROL1，表 8-4 中对此进行了介绍。

返回到汇总表。

该寄存器控制各种器件配置选项

图 8-2. CONTROL1 寄存器

7	6	5	4	3	2	1	0
复位	SSCEN	SWEN	FPWMEN	DISCHEN	HICCUPEN	VRAMP	
R/W-0b	R/W-0b	R/W-1b	R/W-0b	R/W-1b	R/W-0b	R/W-00b	

表 8-4. CONTROL1 寄存器字段说明

位	字段	类型	复位	说明
7	复位	R/W	0b	复位器件。 0b = 无影响 1b = 将所有寄存器复位为默认值。器件随后执行另一个初始化。 读取该位始终返回 0。
6	SSCEN	R/W	0b	启用展频时钟。 0b = 禁用 SSC 操作 1b = 启用 SSC 操作
5	SWEN	R/W	1b	启用软件。 0b = 禁用开关（保留寄存器值） 1b = 启用开关（无使能延迟）
4	FPWMEN	R/W	0b	启用强制 PWM。 0b = 启用省电运行 1b = 启用强制 PWM 运行 该位与 MODE/SYNC 引脚进行逻辑或运算：如果向 MODE/SYNC 引脚施加高电平或同步时钟，则无论该位的状态如何，器件都会以强制 PWM 模式运行。
3	DISCHEN	R/W	1b	启用输出放电。 0b = 禁用输出放电。 1b = 启用输出放电。
2	HICCUPEN	R/W	0b	启用断续运行。 0b = 禁用断续运行 1b = 启用断续运行。请勿在堆叠运行期间启用断续运行
1-0	VRAMP	R/W	00b	从一个输出电压设置切换到另一个输出电压设置时的输出电压变化速度。 00b = 10 mV/µs 01b = 5 mV/µs 10b = 1.25 mV/µs 11b = 0.5 mV/µs

Copyright © 2026 Texas Instruments Incorporated

8.3 CONTROL2 寄存器（偏移 = 2h）[复位 = 1Xh]

图 8-3 示出了 CONTROL2，表 8-5 中对此进行了介绍。

返回到汇总表。

该寄存器控制各种器件配置选项

图 8-3. CONTROL2 寄存器

7	6	5	4	3	2	1	0
RESERVED			SYNC_OUT_PHASE	VRANGE		SSTIME	
R-0b			R/W-1b	R/W-xxb		R/W-10b	

表 8-5. CONTROL2 寄存器字段说明

位	字段	类型	复位	说明
7-5	RESERVED	R	0b	保留供将来使用。为了确保与未来器件型号兼容，请将这些位编程为 0。
4	SYNC_OUT_PHASE	R/W	1b	以在 MODE/SYNC 上应用的内部时钟或外部时钟为基准的 SYNC_OUT 相移。 0b = SYNC_OUT 相移 120° 1b = SYNC_OUT 相移 180°。180° 的相位关系仅针对从初级转换器到第一个辅助转换器有效。
3-2	VRANGE	R/W	xxb	输出电压范围。 00b = 0.4V 至 0.71875V（阶跃为 1.25mV） 01b = 0.4V 至 1.0375V（阶跃为 2.5mV） 10b = 0.4V 至 1.675V（阶跃为 5mV） 11b = 0.4V 至 1.675V（阶跃为 5mV） 上电期间 VSETx 引脚的状态决定了复位值。
1-0	SSTIME	R/W	10b	软启动斜坡时间。 00b = 0.5ms 01b = 0.77ms 10b = 1ms 11b = 2ms

Copyright © 2026 Texas Instruments Incorporated

8.4 CONTROL3 寄存器（偏移 = 3h）[复位 = 00h]

图 8-4 示出了 CONTROL3，表 8-6 中对此进行了介绍。

返回到汇总表。

该寄存器控制各种器件配置选项

图 8-4. CONTROL3 寄存器

7	6	5	4	3	2	1	0
RESERVED					DROOPEN	SINGLE	PGBLNKDVS
R-0b					R/W-0b	R/W-0b	R/W-0b

表 8-6. CONTROL3 寄存器字段说明

位	字段	类型	复位	说明
7-3	RESERVED	R	0b	保留供将来使用。为了确保与未来器件型号兼容，请将这些位编程为 0。
2	DROOPEN	R/W	0b	启用压降补偿。 0b = 禁用压降补偿 1b = 启用压降补偿
1	SINGLE	R/W	0b	单器件运行。该位控制内部 EN 下拉和 SYNCOUT 功能。 0b = 启用 EN 引脚下拉和 SYNC_OUT。将 I_Q 增加为 600 µA（典型值）。 1b = 禁用 EN 引脚下拉和 SYNC_OUT。请勿在堆叠运行期间设置
0	PGBLNKDVS	R/W	0b	DVS 期间的电源正常状态消隐。 0b = PG 引脚反映窗口比较器的输出 1b = PG 引脚在 DVS 期间为高阻抗

Copyright © 2026 Texas Instruments Incorporated

8.5 STATUS 寄存器（偏移 = 4h）[复位 = 02h]

图 8-5 展示了 STATUS，表 8-7 中对此进行了介绍。

返回到汇总表。

该寄存器返回器件状态标志

图 8-5. STATUS 寄存器

7	6	5	4	3	2	1	0
RESERVED		断续	ILIM	TWARN	TSHUT	PBUV	PBOV
R-0b		R-0b	R-0b	R-0b	R-0b	R-1b	R-0b

表 8-7. 状态寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R	0b	保留供将来使用。为确保与未来器件型号兼容，请忽略这些位。
5	断续	R	0b	断续。该位报告自上次读取 STATUS 寄存器以来是否发生断续事件。 0b = 未发生断续事件 1b = 发生了断续事件
4	ILIM	R	0b	电流限制。该位报告自上次读取 STATUS 寄存器以来是否发生电流限制事件。 0b = 未发生电流限制事件 1b = 发生了电流限制事件
3	TWARN	R	0b	热警告。该位报告自上次读取 STATUS 寄存器以来是否发生热警告事件。 0b = 未发生热警告事件 1b = 发生了热警告事件
2	TSHUT	R	0b	热关断。该位报告自上次读取 STATUS 寄存器以来是否发生关断事件。 0b = 未发生热关断事件 1b = 发生了热关断事件
1	PBUV	R	1b	电源不良欠压。该位报告自上次读取 STATUS 寄存器以来是否发生了电源不良事件（输出电压过低）。 0b = 未发生电源不良欠压事件 1b = 发生了电源不良欠压事件
0	PBOV	R	0b	电源不良过压。该位报告自上次读取 STATUS 寄存器以来是否发生了电源不良事件（输出电压过高）。 0b = 未发生电源不良过压事件 1b = 发生了电源不良过压事件

Copyright © 2026 Texas Instruments Incorporated

9 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

9.1 应用信息

下一节讨论如何选择外部元件来完成典型应用的电源设计。本节为进一步调整设计以改善瞬态性能或减少输出电容器以满足应用要求提供了一个良好的起点。在这种优化过程中，必须考虑配电网络仿真以及寄生元件。请参阅 *TPSM8287B-COMPONENT-CALCULATOR*，以了解包含以下计算的电子表格组件计算器。

使用压降补偿功能可进一步降低所需的输出电容或在负载阶跃期间缩小输出电压窗口。相关详细信息，请参阅节 7.3.5.5。

所需的功率电感器集成在 TPSM8287Bxx 内部，如方框图所示。有关集成屏蔽式电感器的电感和容差，请参阅 节 4。TPSM8287Bxx 的所有版本都具有引脚到引脚和 BOM 到 BOM 兼容。

9.2 典型应用

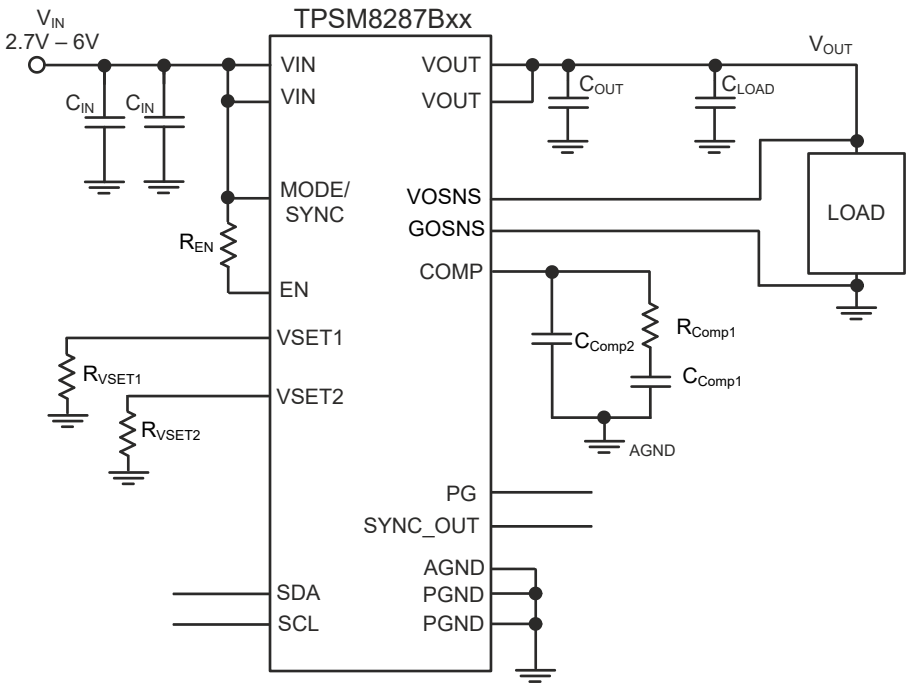


图 9-1. 典型应用原理图

Copyright © 2026 Texas Instruments Incorporated

表 9-1. 元件列表

基准	值	说明	器件型号	制造商(1)
C_{Comp1}	15nF	陶瓷电容器，X7R	Std	Std
C_{OUT}	2 × 22µF	陶瓷电容器，6.3V，X6S，尺寸 0603	GRM188C80J226ME01D	Murata
C_{LOAD}	2 × 10µF	陶瓷电容器，4V，X6S，尺寸 0402	GRM155C80G106ME18D	Murata
C_{LOAD}	2 × 22µF	陶瓷电容器，6.3V，X6S，尺寸 0603	GRM188C80J226ME01D	Murata
C_{LOAD}	47µF	陶瓷电容器，4V，X6S，尺寸 0603	GRM188C80G476ME01D	Murata
C_{IN}	4 × 22µF	陶瓷电容器，10V，X6S，尺寸 0603	GRM188C81A226ME01D	Murata
R_{Comp1}	301Ω	电阻器 1%，0.1W	Std	Std
R_{VSET1}、R_{VSET2}	按照 表 7-2 设置	电阻器 5%，0.1W	Std	Std
R_{EN}	15kΩ	电阻器 5%，0.1W	Std	Std

(1) 请参阅*第三方产品免责声明*。

9.2.1 设计要求

下表列出了 TPSM8287B30LAPx 器件应用示例的运行参数。

表 9-2. 设计参数

符号	参数	值
V_{IN}	输入电压	2.7V 至 6.0V
V_{OUT}	输出电压	0.60V
TOL_{VOUT}	应用允许的输出电压容差	±5.0%
TOL_{DC}	TPSM8287Bxx（直流精度）的输出电压容差	±0.8%
$\Delta I_{OUT(step)}$	输出电流负载阶跃	±3.0A
t_t	负载步长跃变时间	1µs
f_{SW}	开关频率	1.5MHz
L	集成电感器	50nH
TOL_{IND}	集成电感器容差	±20%
g_m	误差放大器跨导	1.5mS
τ	仿真电流时间常数	12.5µs
BW_τ	目标环路带宽	200kHz
N_Φ	并联器件数量（相位）	1

初步计算

电源的最大允许偏差为 ±5.0%。TPSM8287Bxx 的直流精度指定为 ±0.8%，因此瞬态期间的最大输出电压变化可以通过以下方式进行计算：

$$\Delta V_{OUT} = \pm V_{OUT} \times (TOL_{VOUT} - TOL_{DC}) \quad (5)$$

$$\Delta V_{OUT} = \pm 0.6 \times (5.0\% - 0.8\%) = \pm 25.2mV \quad (6)$$

方程式 7 计算峰峰值电感器电流纹波，它在最大输入电压时达到最大值：

$$I_{L(PP)} = \frac{V_{OUT}}{V_{IN(max)}}\left(\frac{V_{IN(max)} - V_{OUT}}{L \times f_{sw} \times N\Phi}\right) \quad (7)$$

$$I_{L(PP)} = \frac{0.6}{6.0}\left(\frac{6.0 - 0.6}{50 \times 10^{-9} \times 1.5 \times 10^{6} \times 1}\right) = 7.2A \quad (8)$$

Copyright © 2026 Texas Instruments Incorporated

当应用的负载阶跃与电感器纹波电流的峰值（或谷值）完全同时发生时，就会出现最大负载阶跃，其值由下公式给出：

$$\Delta I_{OUT(max)} = \Delta I_{OUT(step)} + \frac{\Delta I_{L(PP)}}{2} \quad (9)$$

$$\Delta I_{OUT(max)} = 3.0 + \frac{7.2}{2} = 6.6A \quad (10)$$

9.2.2 详细设计过程

以下各节介绍如何计算满足给定应用的指定瞬态要求所需的外部元件。计算包括元件的最坏情况变化，并使用 RMS 方法合并不相关参数的变化。

请参阅 *TPSM8287B-COMPONENT-CALCULATOR*，以了解包含以下计算的电子表格组件计算器。

9.2.2.1 选择输入电容器

输入电容器可缓冲瞬态事件的输入电压，并将转换器与电源去耦。TI 建议使用 X7R 多层陶瓷电容器 (MLCC) 以实现出色滤波效果，并必须将其放置在 VIN 和 PGND 引脚之间尽可能靠近这些引脚的位置。对于环境温度低于 85°C 的应用，可以使用具有 X5R 电介质的电容器。陶瓷电容器具有直流偏置效应，会对最终的有效电容产生很大影响。结合考虑封装尺寸和额定电压，仔细选择合适的电容器。根据器件版本，模块内部最多包含四个高频输入电容器，以降低 EMI、缩小整体设计尺寸并简化电路板布局。由于这些集成电容器以高频率为目标，因此还需要四个额外外部电容器，每个电容器的有效电容至少为 5µF。对于没有集成输入电容器的器件版本、TI 建议将高频电容器放置在尽可能靠近模块的位置，以减少输入环路的寄生电感。有关哪些器件版本具有集成输入电容器的详细信息，请参阅节 4。选择输入电容器时，请确保模块的总输入环路阻抗低于 1.2nH。

TPSM8287Bxx 器件采用*蝶形*或并联布局，两对 VIN 和 PGND 引脚位于封装的两个相对侧。这使得输入电容器可以对称地放置在 PCB 上，以使电磁场相互抵消，从而降低 EMI。此外，通过该引脚排列，输入电容器与 IC 之间的寄生环路电感也会降低。

转换器的占空比由以下公式给出：

$$D = \frac{V_{OUT}}{\eta \times V_{IN}} \quad (11)$$

其中：

- V_{IN} 是输入电压。
- V_{OUT} 是输出电压。
- η 是效率。

$$D = \frac{0.60}{0.75 \times 2.7} = 0.296 \quad (12)$$

方程式 13 显示满足任何系统级输入电压纹波要求所需的输入电容值。本示例使用了最低输入电压和最高负载电流来生成输入电压纹波高达 100mV 的最坏情况。

$$C_{IN} = \frac{D \times (1 - D) \times I_{OUT}}{V_{IN(PP)} \times f_{sw}} \quad (13)$$

其中：

- D 为占空比。
- f_{SW} 为开关频率。
- I_{OUT} 是输出电流。

$$C_{IN} = \frac{0.296 \times (1 - 0.296) \times 30.0}{0.1 \times 1.5 \times 10^{6}} = 42\mu F \quad (14)$$

Copyright © 2026 Texas Instruments Incorporated

通过方程式 13 计算得出的 C_{IN} 值是考虑所有降额、容差和老化影响后的*有效*电容。

9.2.2.2 选择目标环路带宽

控制环路带宽用于测量器件对输出电压变化的响应速度。利用 TPSM8287Bxx 外部补偿，可以调节环路带宽以便在快速响应与稳定性和振铃之间实现平衡。R_{Comp1} 电阻器和输出电容是调整环路带宽的主要方式。

对于简单的设计，TI 建议将目标环路带宽设置为 200kHz。如果应用中需要强负载瞬态，则可以将目标带宽设置为高达开关频率的 ¼。本设计示例使用的目标带宽为 200kHz。

9.2.2.3 选择补偿电阻器

使用方程式 15 来计算补偿电阻器 R_{Comp1} 的建议阻值：

$$R_{Comp1} = \frac{1}{g_m}\left(\frac{\pi \times \Delta I_{OUT(step)} \times L}{4 \times \tau \times \Delta V_{OUT} \times N\phi}\right)(1 + TOL_{IND}) \quad (15)$$

$$R_{Comp1} = \frac{1}{1.5 \times 10^{-3}}\left(\frac{\pi \times 3.0 \times 50 \times 10^{-9}}{4 \times 12.5 \times 10^{-6} \times 25.2 \times 10^{-3} \times 1}\right)(1 + 20\%) = 299.2\Omega \quad (16)$$

选择一个高于计算值的标准元件，本示例中选择了一个 301 Ω 电阻器。所选值必须用于后续计算。

9.2.2.4 选择输出电容器

实际上，总输出电容通常包括不同电容器的组合，其中较大的电容器在较低频率下提供负载电流，而较小的电容器在较高频率下提供负载电流，以满足负载阻抗要求。输出电容器的容值、类型和位置通常由负载定义。TI 建议使用 X7R 多层陶瓷电容器 (MLCC) 以实现出色滤波效果，并必须将其放置在 VOUT 和 PGND 之间尽可能靠近这些引脚的位置。对于环境温度低于 85°C 的应用，可以使用具有 X5R 电介质的电容器。陶瓷电容器具有直流偏置效应，会对最终的有效电容产生很大影响。结合考虑封装尺寸和额定电压，谨慎选择合适的电容器。以下计算使用总输出电容的有效值。

TPSM8287Bxx 器件采用*蝶形*或*并联*布局，VOUT 和 PGND 引脚位于封装的两个相对侧。这使得输出电容器可以对称地放置在 PCB 上，以使电磁场相互抵消，从而降低 EMI。此外，TPSM8287Bxx 的部分器件型号还集成了两个高频电容器和两个大容量输出电容器，可进一步减小输出环路的面积，并降低所需的外部电容。可以认为，两个集成大容量电容器的最小有效电容均为 7µF。有关哪些器件版本具有集成输出电容器的详细信息，请参阅节 4。

TPSM8287Bxx 器件经过优化，可支持恶劣的负载瞬态。器件外部环路补偿可使用给定的输出电容将环路响应调整为所需的响应。以下计算可创建符合 表 9-2 中指定的负载阶跃的设计。这些计算所得的总输出电容通常为几百微法。

当 TPSM8287Bxx 器件、输出电容器和负载彼此非常靠近时，也就是将器件和负载之间的距离和增加的电感保持在尽量小的值时，可以实现出色的输出电压调节。

如果无法实现这种放置，则必须将总电容的大部分放置于负载处，只将两个电容器放置在 TPSM8287Bxx 器件处。TI 建议位于负载处的电容等于位于器件处的电容的。

如果应用中没有恶劣的负载瞬态，则可以使用较小的输出电容值。不要使用低于*建议运行条件*中最小值的输出电容。

转换器的瞬态响应由以下两个标准之一定义：

- 流经电感器的电流的压摆率，在这种情况下，转换器的反馈环路饱和。
- 环路带宽，其中转换器保持在稳定状态并且环路不饱和 ($BW_\tau < f_{SW}/4$)。

上述哪个标准适用于任何给定的应用取决于运行条件和所使用的元件值。计算这两种情况的输出电容，并选择两个值中较大的一个。

如果转换器保持在稳压状态，则所需的最小输出电容由以下公式给出：

Copyright © 2026 Texas Instruments Incorporated

$$C_{OUT(min)(reg)} = \left(\frac{\tau \times g_m \times R_{Comp1}}{2 \times \pi \times \frac{L}{N\Phi} \times BW_\tau}\right)\left(1 + \sqrt{TOL_{IND}{}^2 + TOL_{fSW}{}^2}\right) \quad (17)$$

$$C_{OUT(min)(reg)} = \left(\frac{12.5 \times 10^{-6} \times 1.5 \times 10^{-3} \times 301}{2 \times \pi \times \frac{50 \times 10^{-9}}{1} \times 200 \times 10^{3}}\right)\left(1 + \sqrt{20\%^2 + 10\%^2}\right) = 110\mu F \quad (18)$$

如果转换器环路饱和，则最小输出电容由以下公式给出：

$$C_{OUT(min)(sat)} = \frac{1}{\Delta V_{OUT}}\left(\frac{L \times \Delta I_{OUT(max)}{}^2}{2 \times V_{OUT} \times N\Phi} - \frac{\Delta I_{OUT(step)} \times t_t}{2}\right)(1 + TOL_{IND}) \quad (19)$$

$$C_{OUT(min)(sat)} = \frac{1}{25 \times 10^{-3}}\left(\frac{50 \times 10^{-9} \times 6.6^2}{2 \times 0.6 \times 1} - \frac{3.0 \times 1 \times 10^{-6}}{2}\right)(1 + 20\%) = 15\mu F \quad (20)$$

在本例中，选择 $C_{OUT(min)(reg)}$ = 110µF，即两个输出电容值中的较大者。

表 9-1 列出了选择的输出电容器。将 2 × 22µF 电容器靠近 IC 放置，每个可提供约 15µF 的最小有效电容。2 × 10µF、2 × 22µF 和 1 × 47µF 电容器组合放置在负载附近，为负载瞬态和低输出电压纹波提供低阻抗。这些电容器产生大约 99µF 的有效电容。模块内部集成电容器的器件型号会提供额外 14µF 有效电容。这些有效电容总计 113µF，非常接近前文计算得出的所需最小值。对于进一步的计算，使用 C_{OUT_eff} = 113µF。

方程式 21 检查是否大多数输出电容都放置在负载处。如果比率小于 1，请增加负载处的电容，或将器件、输出电容和负载彼此相邻地放置，以便输出电容之间没有隔离。

$$\frac{C_{LOAD_eff}}{C_{Converter_eff} + C_{Integrated_eff}} > 1 \quad (21)$$

$$\frac{69 \times 10^{-6}}{2 \times 15 \times 10^{-6} + 14 \times 10^{-6}} > 1 = \text{True} \quad (22)$$

方程式 23 根据有效输出电容值计算输出电压纹波。

$$V_{OUT(p-p)} = \frac{I_{L(PP)}}{8 \times C_{OUT_eff} \times f_{sw}} \quad (23)$$

$$V_{OUT(p-p)} = \frac{7.2}{8 \times 113 \times 10^{-6} \times 1.5 \times 10^{6}} = 5.3mV \quad (24)$$

由于输出电容器中的 ESR 和 ESL 以及应用板寄生效应，应用中的纹波可能略高。

9.2.2.5 选择补偿电容器 C_{Comp1}

首先，使用方程式 25 计算环路的带宽：

$$BW = \frac{\tau \times g_m \times R_{Comp1}}{2\pi \times \frac{L}{N\Phi} \times C_{OUT_eff}} \quad (25)$$

$$BW = \frac{12.5 \times 10^{-6} \times 1.5 \times 10^{-3} \times 301}{2\pi \times \frac{50 \times 10^{-9}}{1} \times 113 \times 10^{-6}} = 159kHz \quad (26)$$

使用 方程式 27 计算 C_{Comp1} 的建议容值。

Copyright © 2026 Texas Instruments Incorporated

$$C_{Comp1} = \frac{2}{\pi \times BW \times R_{Comp1}} \quad (27)$$

$$C_{Comp1} = \frac{2}{\pi \times 159 \times 10^{3} \times 301} = 13.3nF \quad (28)$$

最接近的标准值是 15nF。

9.2.2.6 选择补偿电容器 C_{Comp2}

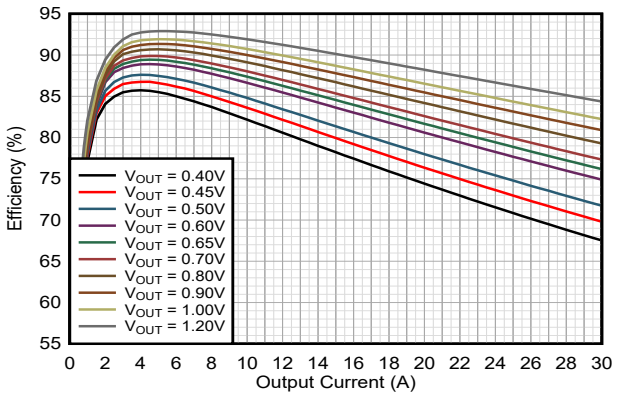
补偿电容器 C_{Comp2} 是一个可选电容器，我们建议您使用该电容器来旁路来自 COMP 引脚的高频噪声。该电容器的容值并不重要；我们建议将 10pF 或 22pF 电容器用于典型应用。

可以增大该电容器，以抑制系统输出电压布线和去耦网络中出现的高频零点或谐振。以下公式用于计算 C_{Comp2} 生成的极点。

$$f_{pole} = \frac{1}{2 \times \pi \times R_{Comp1} \times C_{Comp2}} \quad (29)$$

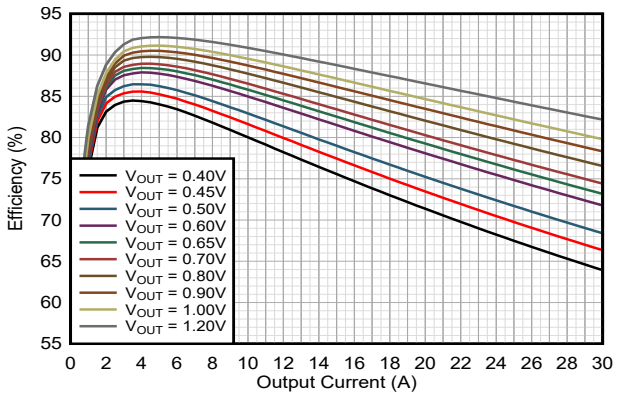
9.2.3 应用曲线

V_{IN} = 5.0V，V_{OUT} = 0.9V，T_A = 25°C，BOM = 表 9-1（除非另有说明）。



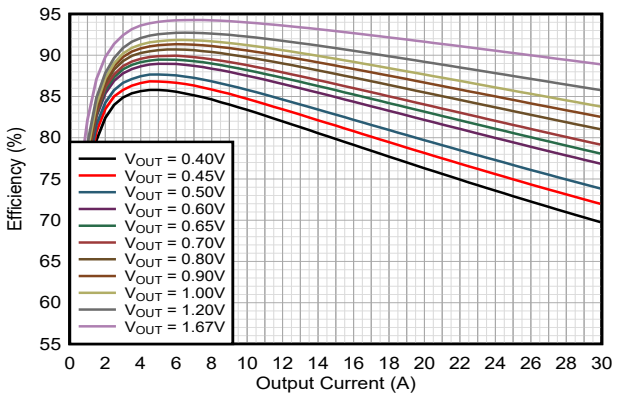
V_{IN} = 2.7V　　F_{SW} = 1.5MHz　　T_J = 25°C

图 9-2. 效率 TPSM8287B30xx FPWM



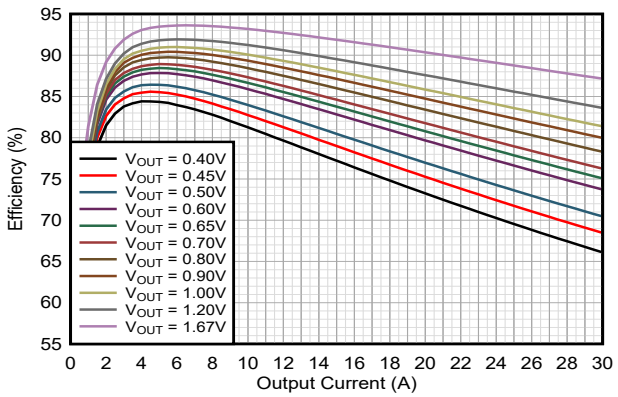
V_{IN} = 2.7V　　F_{SW} = 1.5MHz　　T_J = 85°C

图 9-3. 效率 TPSM8287B30xx FPWM



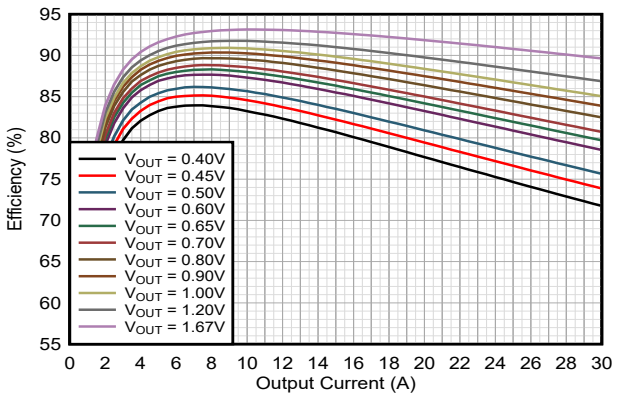
V_{IN} = 3.3V　　F_{SW} = 1.5MHz　　T_J = 25°C

图 9-4. 效率 TPSM8287B30xx FPWM



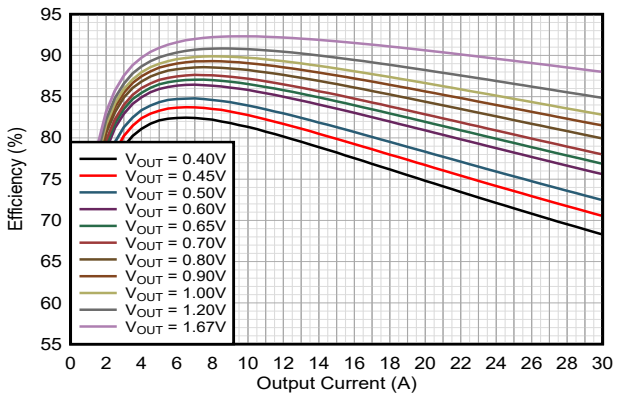
V_{IN} = 3.3V　　F_{SW} = 1.5MHz　　T_J = 85°C

图 9-5. 效率 TPSM8287B30xx FPWM



V_{IN} = 5.0V　　F_{SW} = 1.5MHz　　T_J = 25°C

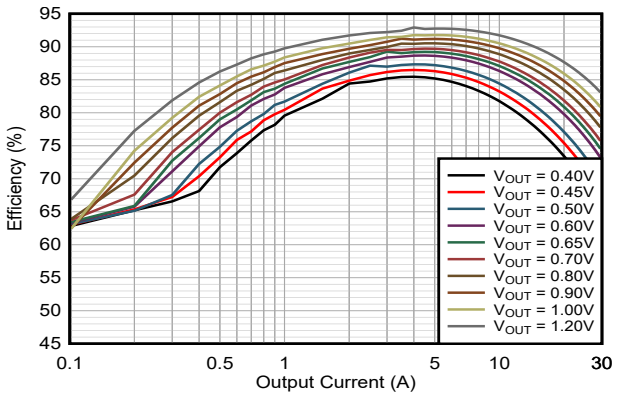
图 9-6. 效率 TPSM8287B30xx FPWM



V_{IN} = 5.0V　　F_{SW} = 1.5MHz　　T_J = 85°C

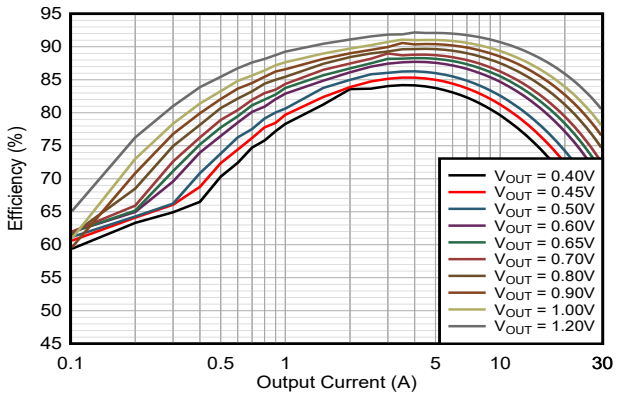
图 9-7. 效率 TPSM8287B30xx FPWM

Copyright © 2026 Texas Instruments Incorporated



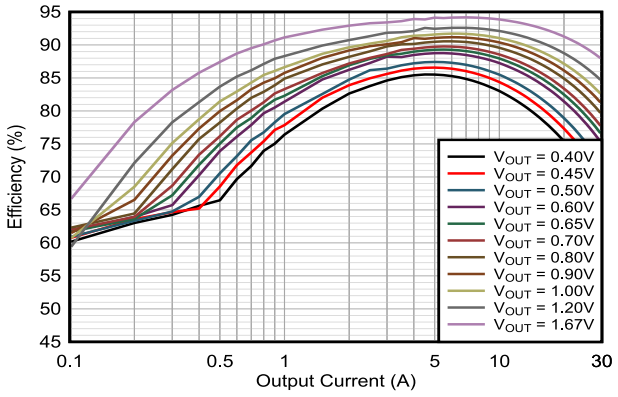
V_{IN} = 2.7V F_{SW} = 1.5MHz T_A = 25°C

图 9-8. 效率 TPSM8287B30xx PSM



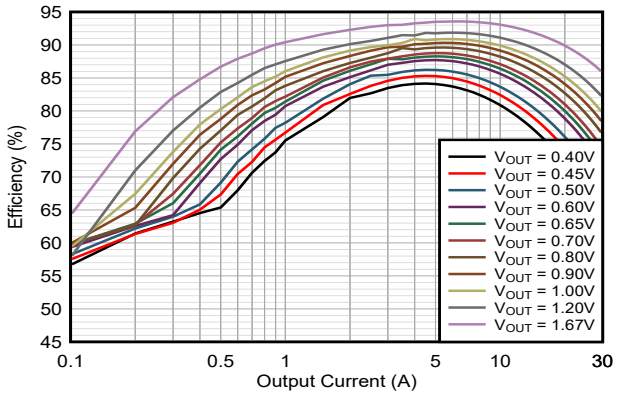
V_{IN} = 2.7V F_{SW} = 1.5MHz T_A = 85°C

图 9-9. 效率 TPSM8287B30xx PSM



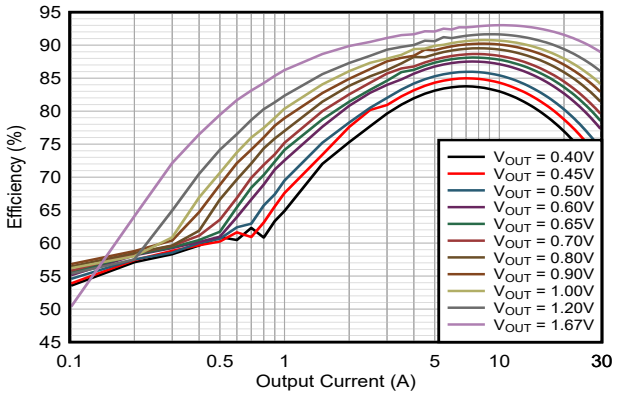
V_{IN} = 3.3V F_{SW} = 1.5MHz T_A = 25°C

图 9-10. 效率 TPSM8287B30xx PSM



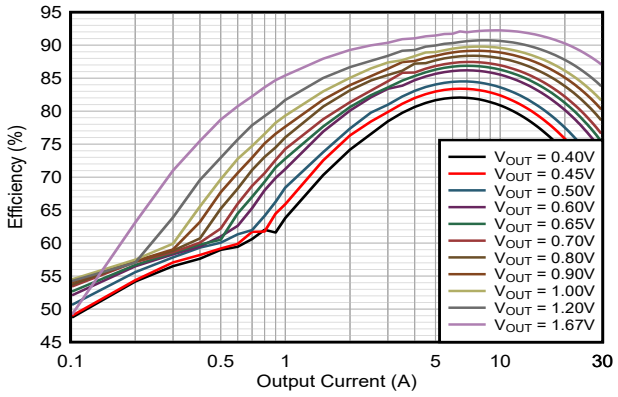
V_{IN} = 3.3V F_{SW} = 1.5MHz T_A = 85°C

图 9-11. 效率 TPSM8287B30xx PSM



V_{IN} = 5.0V F_{SW} = 1.5MHz T_A = 25°C

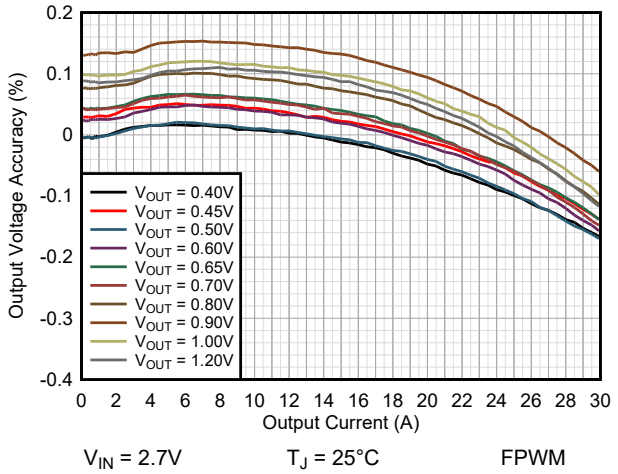
图 9-12. 效率 TPSM8287B30xx PSM



V_{IN} = 5.0V F_{SW} = 1.5MHz T_A = 85°C

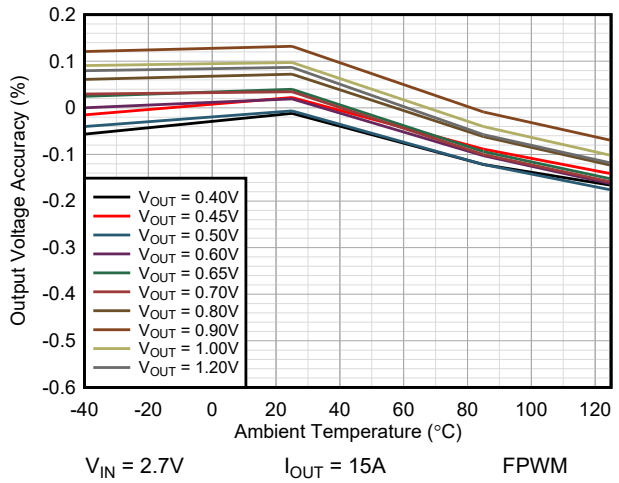
图 9-13. 效率 TPSM8287B30xx PSM

Copyright © 2026 Texas Instruments Incorporated



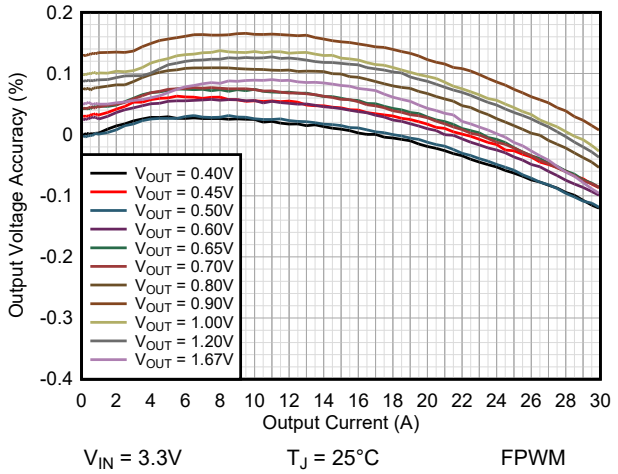
V_{IN} = 2.7V T_J = 25°C FPWM

图 9-14. TPSM8287B30xx 负载调整率



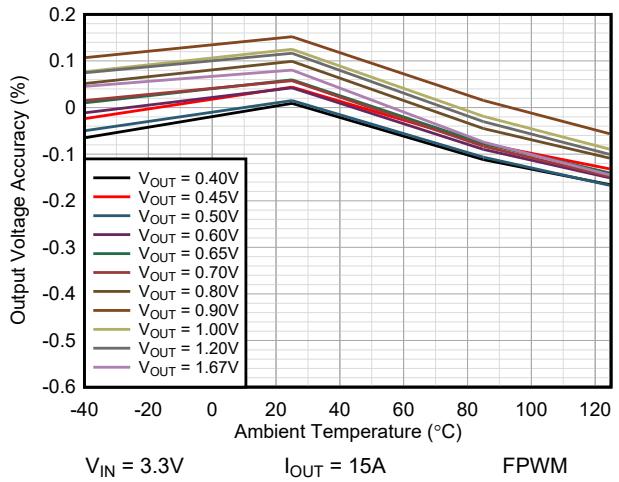
V_{IN} = 2.7V I_{OUT} = 15A FPWM

图 9-15. TPSM8287B30xx Vout 精度与温度间的关系



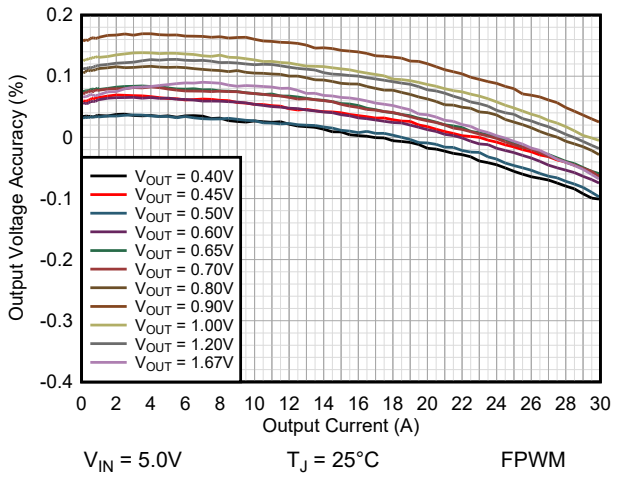
V_{IN} = 3.3V T_J = 25°C FPWM

图 9-16. TPSM8287B30xx 负载调整率



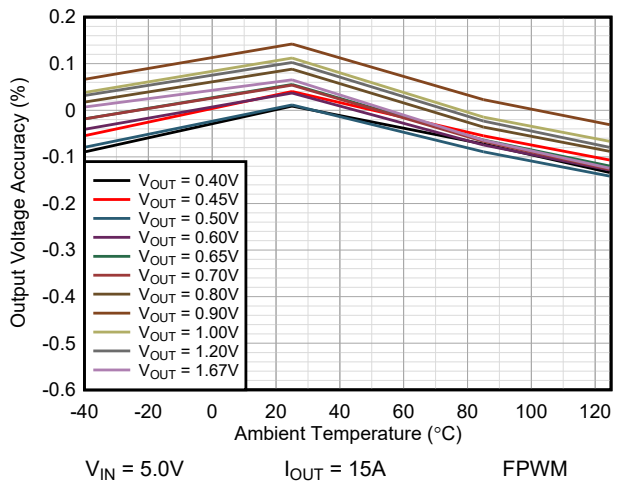
V_{IN} = 3.3V I_{OUT} = 15A FPWM

图 9-17. TPSM8287B30xx Vout 精度与温度间的关系



V_{IN} = 5.0V T_J = 25°C FPWM

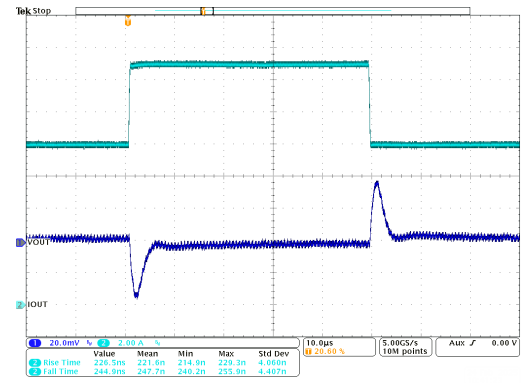
图 9-18. TPSM8287B30xx 负载调整率



V_{IN} = 5.0V I_{OUT} = 15A FPWM

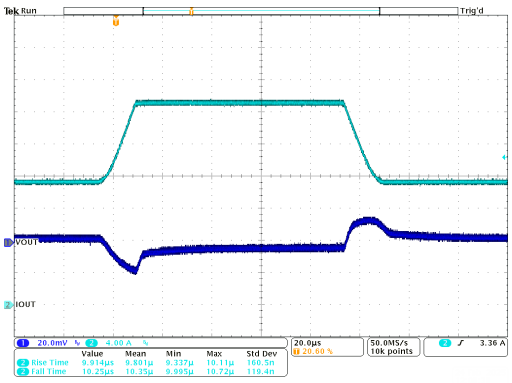
图 9-19. TPSM8287B30xx Vout 精度与温度间的关系

Copyright © 2026 Texas Instruments Incorporated



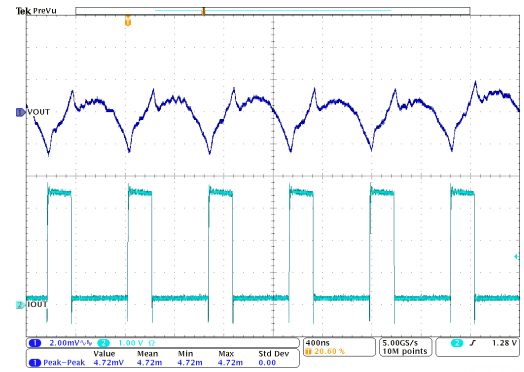
Vout=0.9V $C_{OUT(eff)}$ = 100µF Iout=10A→15A→10A (22A/µs)

图 9-20. 负载瞬态 TPSM8287B30HAPx



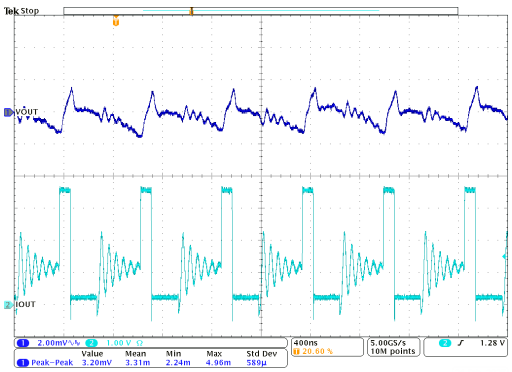
Vout=0.9V $C_{OUT(eff)}$ = 100µF Iout=15A→25A→15A (1A/µs)

图 9-21. 负载瞬态 TPSM8287B30HAPx



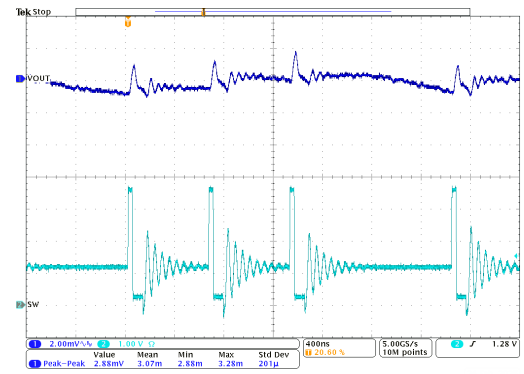
Vout = 0.9V I_{OUT} = 15A

图 9-22. TPSM8287B30HAPx PWM-CCM 运行



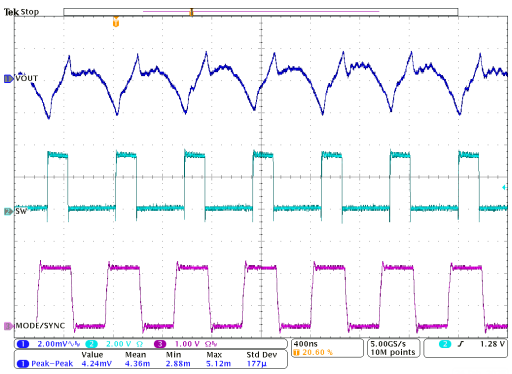
Vout = 0.9V I_{OUT} = 1A

图 9-23. TPSM8287B30HAPx PWM-DCM 运行



Vout = 0.9V I_{OUT} = 100mA

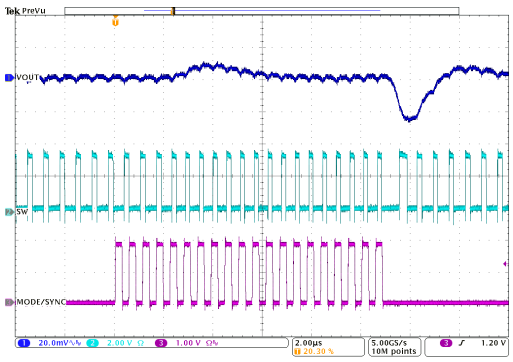
图 9-24. TPSM8287B30HAPx PFM-DCM 运行



I_{OUT} = 15A $f_{(SYNC)}$ = 1.8MHz

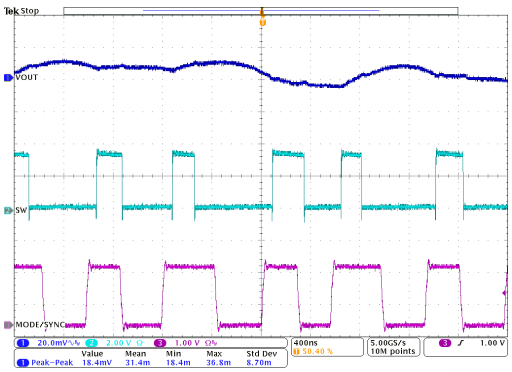
图 9-25. TPSM8287B30HAPx 与外部时钟保持同步

Copyright © 2026 Texas Instruments Incorporated



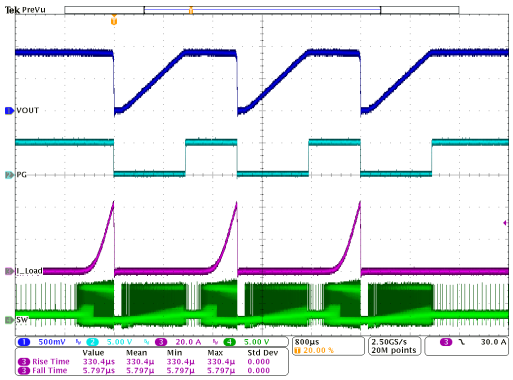
I_{OUT} = 15A V_{OUT} = 0.9V $f_{(SYNC)}$ = 1.8MHz

图 9-26. TPSM8287B30HAPx 添加和移除外部时钟



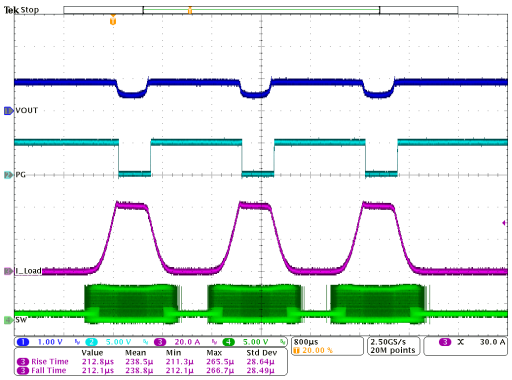
I_{OUT} = 15A V_{OUT} = 0.9V $f_{(SYNC)}$ = 1.2 至 1.8MHz（随机）

图 9-27. TPSM8287B30HAPx 与随机外部时钟同步



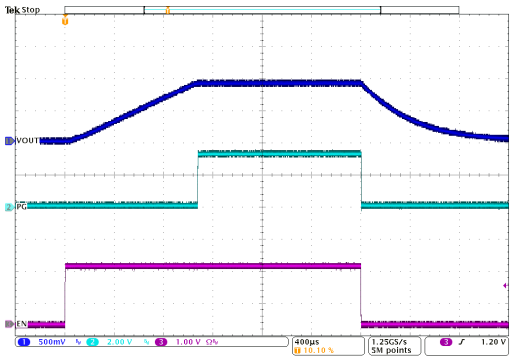
V_{IN} = 5.0V

图 9-28. 电流限制（断续 = 1）



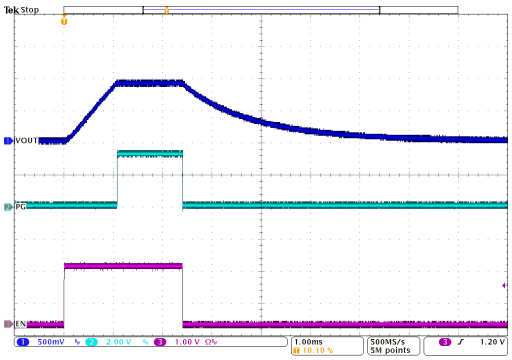
V_{IN} = 5.0V

图 9-29. 电流限制（断续 = 0）



V_{OUT} = 0.9V 负载 = 9.1 Ω

图 9-30. 使用 EN 引脚启动和关断 (DISCHEN = 1)



V_{OUT} = 0.9V 负载 = 9.1 Ω

图 9-31. 使用 EN 引脚启动和关断 (DISCHEN = 0)

Copyright © 2026 Texas Instruments Incorporated

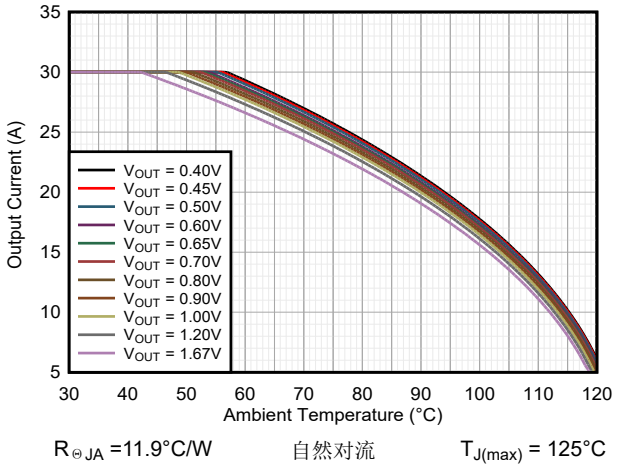


图 9-32. TPSM8287B30xx 安全工作区，V_{IN} = 3.3V

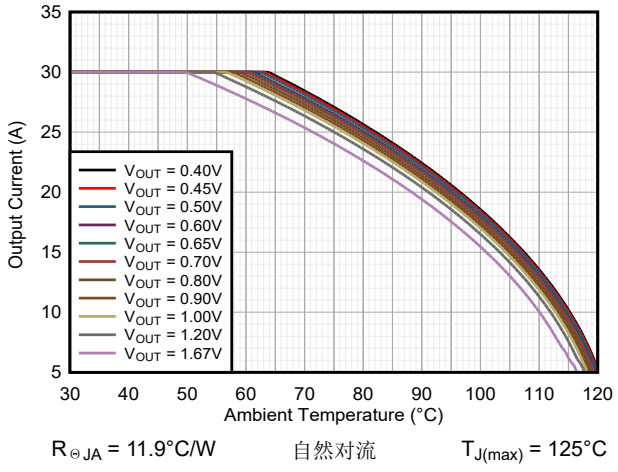


图 9-33. TPSM8287B30xx 安全工作区，V_{IN} = 5.0V

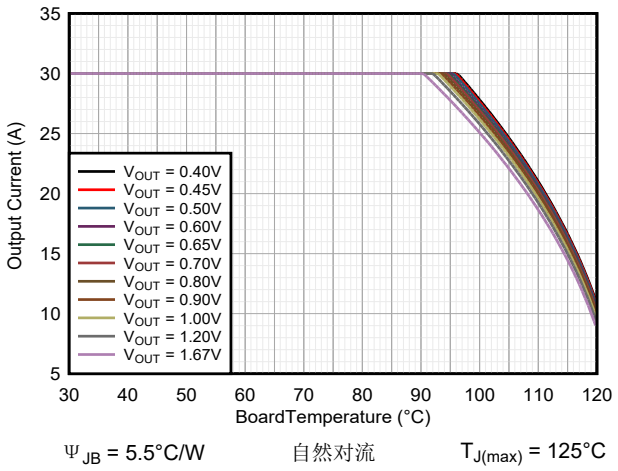


图 9-34. TPSM8287B30xx 安全工作区，V_{IN} = 3.3V

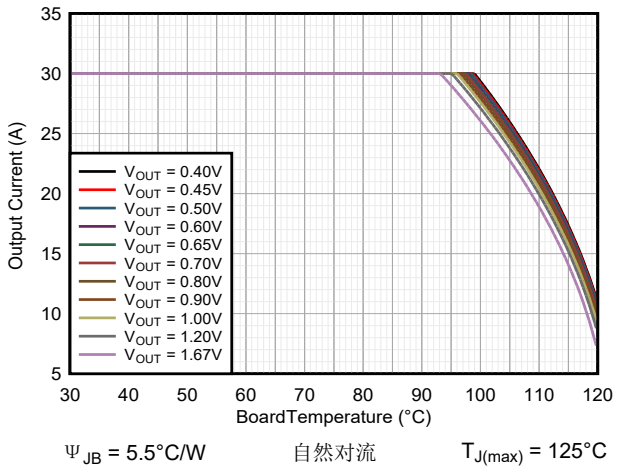


图 9-35. TPSM8287B30xx 安全工作区，V_{IN} = 5.0V

Copyright © 2026 Texas Instruments Incorporated

9.3 使用两个 TPSM8287B30x 并联运行的典型应用

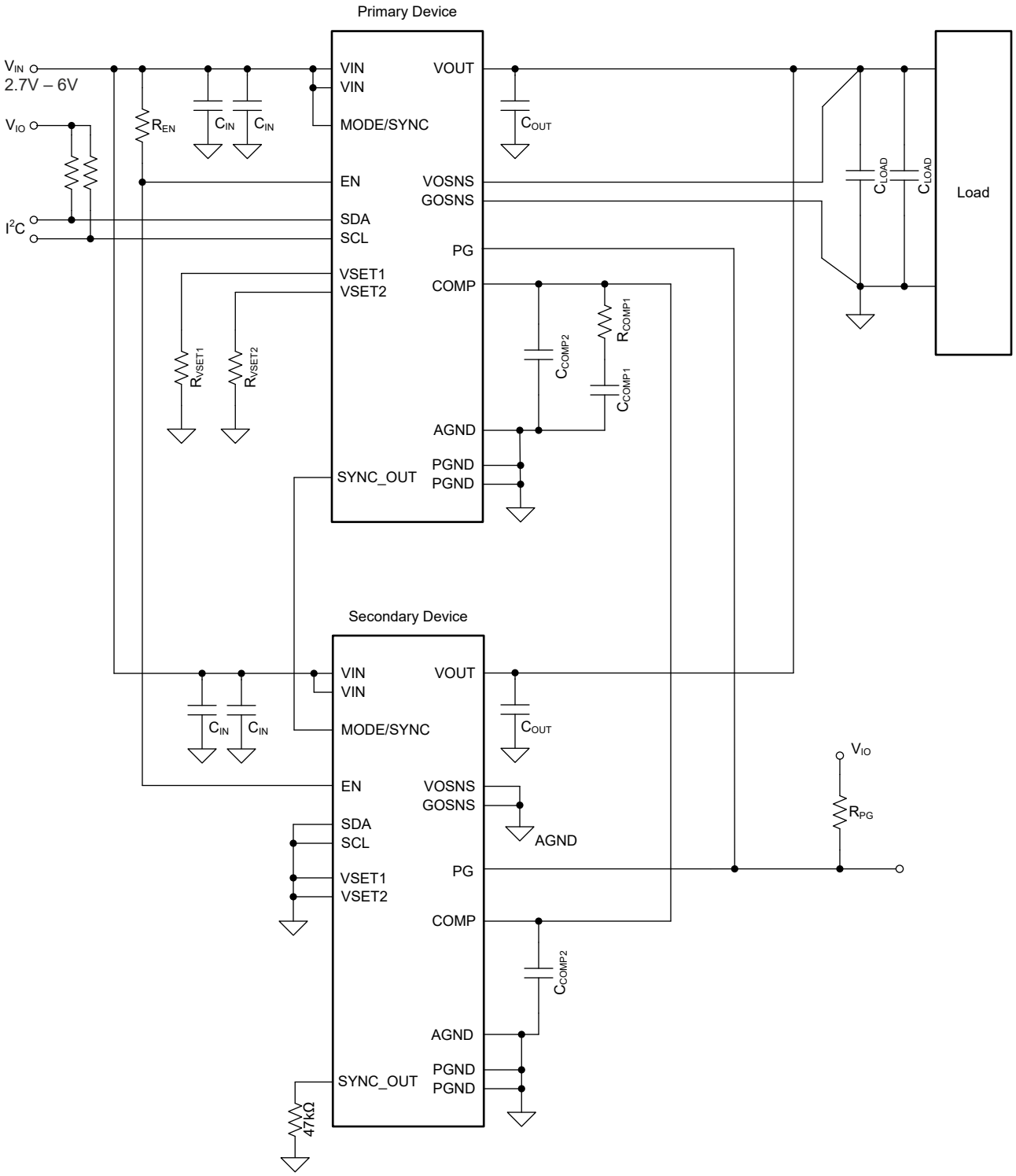


图 9-36. 典型应用原理图

Copyright © 2026 Texas Instruments Incorporated

表 9-3. 元件列表

基准	值	说明	器件型号	制造商(1)
C_{Comp1}	3.9nF	陶瓷电容器，X7R	Std	Std
C_{OUT}	4 × 22µF	陶瓷电容器，6.3V，X6S，尺寸 0603	GRM188C80J226ME01D	Murata
C_{LOAD}	6 × 47µF	陶瓷电容器，4V，X6S，尺寸 0603	GRM188C80G476ME01D	Murata
C_{LOAD}	4 × 10µF	陶瓷电容器，4V，X6S，尺寸 0402	GRM155C80G106ME18D	Murata
C_{IN}	8 × 22µF	陶瓷电容器，10V，X6S，尺寸 0603	GRM188C81A226ME01D	Murata
R_{Comp1}	604 Ω	电阻器 1%，0.1W	Std	Std
R_{VSET1}、R_{VSET2}	按照 表 7-2 设置	电阻器 5%，0.1W	Std	Std
R_{EN}	15k Ω	电阻器 5%，0.1W	Std	Std
R_{SYNC_OUT}	47k Ω	电阻器 5%，0.1W	Std	Std

9.3.1 设计要求

下表列出了此应用示例的运行参数，其中两个 TPSM8287Bxx 器件并联工作以增大输出电流。

表 9-4. 设计参数

符号	参数	值
V_{IN}	输入电压	2.7V 至 6.0V
V_{OUT}	输出电压	0.60V
TOL_{VOUT}	应用允许的输出电压容差	±5.0%
TOL_{DC}	TPSM8287Bxx（直流精度）的输出电压容差	±0.8%
$\Delta I_{OUT(step)}$	输出电流负载阶跃	±12.0A
t_t	负载步长跃变时间	1 µs
f_{SW}	开关频率	1.5MHz
L	集成电感器	50nH
TOL_{IND}	集成电感器容差	±20%
g_m	误差放大器跨导	1.5mS
τ	仿真电流时间常数	12.5 µs
BW_τ	目标环路带宽	375kHz
N_Φ	并联器件数量（相位）	2

初步计算

电源的最大允许偏差为 ±5.0%。TPSM8287Bxx 的直流精度指定为 ±0.8%，因此瞬态期间的最大输出电压变化可以通过以下方式进行计算：

$$\Delta V_{OUT} = \pm V_{OUT} \times (TOL_{VOUT} - TOL_{DC}) \quad (30)$$

$$\Delta V_{OUT} = \pm V_{OUT} \times (5.0\% - 0.8\%) = \pm 25.2mV \quad (31)$$

方程式 32 计算峰峰值电感器电流纹波，它在最大输入电压时达到最大值：

$$I_{L(PP)} = \frac{V_{OUT}}{V_{IN(max)}}\left(\frac{V_{IN(max)} - V_{OUT}}{L \times f_{sw} \times N\Phi}\right) \quad (32)$$

$$I_{L(PP)} = \frac{0.6}{6.0}\left(\frac{6.0 - 0.6}{50 \times 10^{-9} \times 1.5 \times 10^{6} \times 2}\right) = 3.6A \quad (33)$$

Copyright © 2026 Texas Instruments Incorporated

当应用的负载阶跃与电感器纹波电流的峰值（或谷值）完全同时发生时，就会出现最大负载阶跃，其值由下公式给出：

$$\Delta I_{OUT(max)} = \Delta I_{OUT(step)} + \frac{\Delta I_{L(PP)}}{2} \quad (34)$$

$$\Delta I_{OUT(max)} = 12.0 + \frac{3.6}{2} = 13.8A \quad (35)$$

9.3.2 详细设计过程

以下各节介绍如何计算满足给定应用的指定瞬态要求所需的外部元件。计算包括元件的最坏情况变化，并使用 RMS 方法合并不相关参数的变化。

9.3.2.1 选择输入电容器

TPSM8287Bxx 器件采用*蝶形*或并联布局，两对 VIN 和 PGND 引脚位于封装的两个相对侧。

转换器的占空比由以下公式给出：

$$D = \frac{V_{OUT}}{\eta \times V_{IN}} \quad (36)$$

$$D = \frac{0.60}{0.75 \times 2.7} = 0.296 \quad (37)$$

方程式 38 显示满足任何系统级输入电压纹波要求所需的输入电容值。本示例使用了最低输入电压和最高负载电流来生成输入电压纹波高达 100mV 的最坏情况。

$$C_{IN} = \frac{D \times (1 - D) \times I_{OUT}}{V_{IN(PP)} \times f_{sw}} \quad (38)$$

$$C_{IN} = \frac{0.296 \times (1 - 0.296) \times 60.0}{0.1 \times 1.5 \times 10^{6}} = 83.4\mu F \quad (39)$$

通过方程式 38 计算得出的 C_{IN} 值是考虑所有降额、容差和老化影响后的*有效*电容。在这种并联配置中，将计算出的输入电容平均分配到所有相位非常重要。

9.3.2.2 选择目标环路带宽

控制环路带宽用于测量器件对输出电压变化的响应速度。利用 TPSM8287Bxx 外部补偿，可以调节环路带宽以便在快速响应与稳定性和振铃之间实现平衡。R_{Comp1} 电阻器和输出电容是调整环路带宽的主要方式。

对于简单的设计，TI 建议将目标环路带宽设置为 200kHz。如果应用中需要强负载瞬态，则可以将目标带宽设置为高达开关频率的 ¼。本设计示例使用的目标带宽为 375kHz。

9.3.2.3 选择补偿电阻器

使用方程式 40 来计算补偿电阻器 R_{Comp1} 的建议阻值：

$$R_{Comp1} = \frac{1}{g_m}\left(\frac{\pi \times \Delta I_{OUT(step)} \times L}{4 \times \tau \times \Delta V_{OUT} \times N\Phi} - 1\right)(1 + TOL_{IND}) \quad (40)$$

$$R_{Comp1} = \frac{1}{1.5 \times 10^{-3}}\left(\frac{\pi \times 12.0 \times 50 \times 10^{-9}}{4 \times 12.5 \times 10^{-6} \times 25.2 \times 10^{-3} \times 2} - 1\right)(1 + 20\%) = 598.4\Omega \quad (41)$$

选择一个高于计算值的标准元件，本示例中选择了一个 604Ω 电阻器。所选值必须用于后续计算。

9.3.2.4 选择输出电容器

如果转换器保持在稳压状态，则所需的最小输出电容由以下公式给出：

Copyright © 2026 Texas Instruments Incorporated

$$C_{OUT(min)(reg)} = \left(\frac{\tau \times g_m \times R_{Comp1}}{2 \times \pi \times \frac{L}{N\Phi} \times BW_\tau}\right)\left(1 + \sqrt{TOL_{IND}{}^2 + TOL_{fSW}{}^2}\right) \quad (42)$$

$$C_{OUT(min)(reg)} = \left(\frac{12.5 \times 10^{-6} \times 1.5 \times 10^{-3} \times 604}{2 \times \pi \times \frac{50 \times 10^{-9}}{2} \times 375 \times 10^{3}}\right)\left(1 + \sqrt{20\%^2 + 10\%^2}\right) = 235\mu F \quad (43)$$

如果转换器环路饱和，则最小输出电容由以下公式给出：

$$C_{OUT(min)(sat)} = \frac{1}{\Delta V_{OUT}}\left(\frac{L \times \Delta I_{OUT(max)}{}^2}{2 \times V_{OUT} \times N\Phi} - \frac{\Delta I_{OUT(step)} \times t_t}{2}\right)(1 + TOL_{IND}) \quad (44)$$

$$C_{OUT(min)(sat)} = \frac{1}{25.2 \times 10^{-3}}\left(\frac{50 \times 10^{-9} \times 13.8^2}{2 \times 0.6 \times 2} - \frac{13.8 \times 1 \times 10^{-6}}{2}\right)(1 + 20\%) = -97\mu F \quad (45)$$

$C_{OUT(min)(sat)}$ 的负值结果表明，在给定的负载瞬态下，环路不会饱和，并且响应受到带宽的限制。在本例中，选择 $C_{OUT(min)(reg)}$ = 235µF，即两个输出电容值中的较大者。

表 9-3 列出了选择的输出电容器。将 2 × 22µF 电容器靠近两个模块的每个模块放置，每个可提供约 15µF 的最小有效电容。将六个 47µF 电容器和四个 10µF 电容器放置在负载附近，以便提供接近典型负载所需总去耦电容的电容。每个 47µF 电容器会产生大约 27µF 的有效电容，每个 10µF 电容器会产生大约 6µF 的有效电容。模块内部集成电容器的器件型号会提供额外的 2 × 14 µ F 有效电容。这些有效电容总计 274µF，大于前文计算得出的所需最小值。对于进一步的计算，使用 C_{OUT_eff} = 274µF。

方程式 46 检查是否大多数输出电容都放置在负载处。如果比率小于 1，请增加负载处的电容，或将器件、输出电容和负载彼此相邻地放置，以便输出电容之间没有隔离。

$$\frac{C_{LOAD_eff}}{C_{Converter_eff} + C_{Integrated_eff}} > 1 \quad (46)$$

$$\frac{6 \times 27 \times 10^{-6} + 4 \times 6 \times 10^{-6}}{4 \times 15 \times 10^{-6} + 4 \times 7 \times 10^{-6}} > 1 = \text{True} \quad (47)$$

方程式 48 根据有效输出电容值计算输出电压纹波。

$$V_{OUT(p-p)} = \frac{I_{L(PP)}}{8 \times C_{OUT_eff} \times f_{sw}} \quad (48)$$

$$V_{OUT(p-p)} = \frac{3.6}{8 \times 274 \times 10^{-6} \times 1.5 \times 10^{6}} = 1.1mV \quad (49)$$

由于输出电容器中的 ESR 和 ESL 以及应用板寄生效应，应用中的纹波略高。

9.3.2.5 选择补偿电容器 C_{Comp1}

首先，使用方程式 50 计算环路的带宽：

$$BW = \frac{\tau \times g_m \times R_{Comp1}}{2\pi \times \frac{L}{N\Phi} \times C_{OUT_eff}} \quad (50)$$

$$BW = \frac{12.5 \times 10^{-6} \times 1.5 \times 10^{-3} \times 604}{2\pi \times \frac{50 \times 10^{-9}}{2} \times 274 \times 10^{-6}} = 263.1kHz \quad (51)$$

使用 方程式 52 计算 C_{Comp1} 的建议容值。

$$C_{Comp1} = \frac{2}{\pi \times BW \times R_{Comp1}} \quad (52)$$

$$C_{Comp1} = \frac{2}{\pi \times 263.1 \times 10^{3} \times 604} = 4nF \quad (53)$$

最接近的标准值是 3.9nF。

9.3.2.6 选择补偿电容器 C_{Comp2}

补偿电容器 C_{Comp2} 是一个可选电容器，我们建议您使用该电容器来旁路来自 COMP 引脚的高频噪声。该电容器的容值并不重要；我们建议将 10pF 或 22pF 电容器用于典型应用。

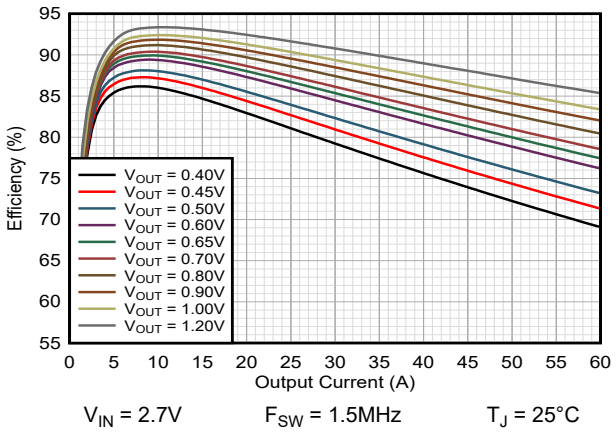
可以增大该电容器，以抑制系统输出电压布线和去耦网络中出现的高频零点或谐振。以下公式用于计算 C_{Comp2} 生成的极点。

$$f_{pole} = \frac{1}{2 \times \pi \times R_{Comp1} \times C_{Comp2}} \quad (54)$$

Copyright © 2026 Texas Instruments Incorporated

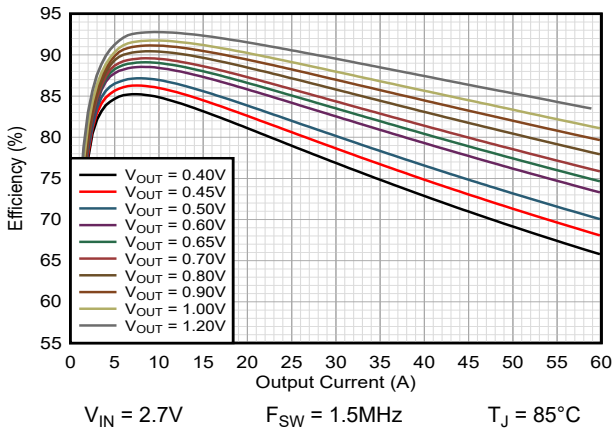
9.3.3 应用曲线

V_{IN} = 5.0V、V_{OUT} = 0.6V、T_A = 25°C、BOM = 表 9-3、2 x TPSM8287B30Lx 并行运行，另行注明的除外。



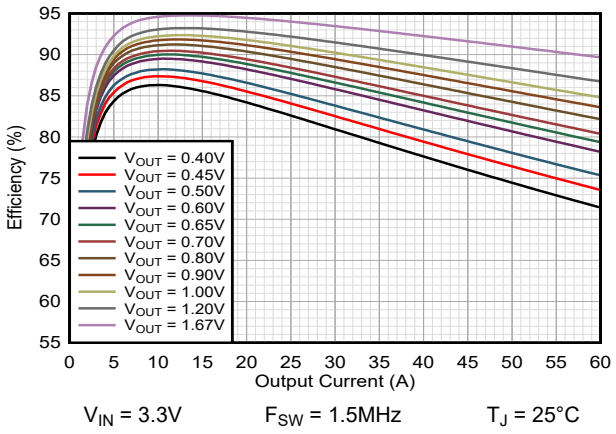
V_{IN} = 2.7V F_{SW} = 1.5MHz T_J = 25°C

图 9-37. 效率 TPSM8287B30xx FPWM



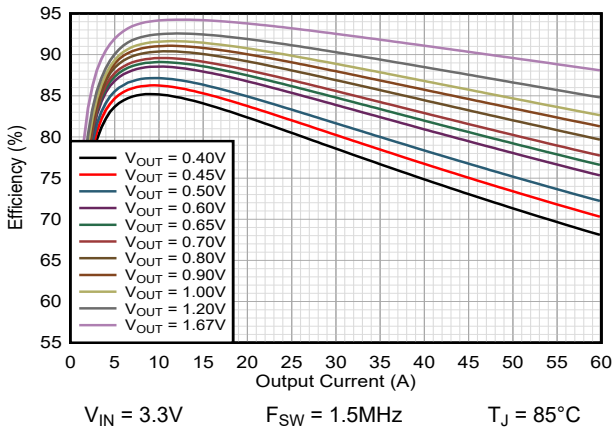
V_{IN} = 2.7V F_{SW} = 1.5MHz T_J = 85°C

图 9-38. 效率 TPSM8287B30xx FPWM



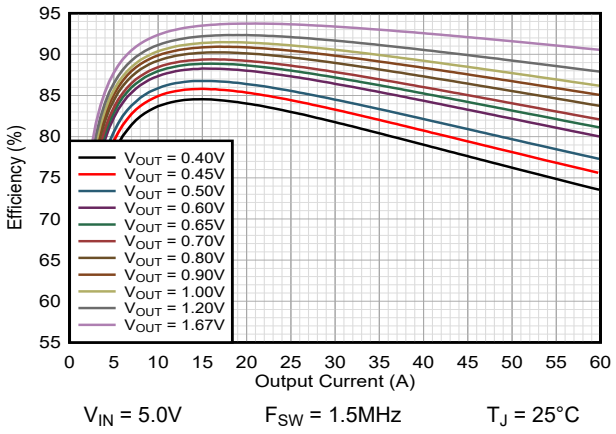
V_{IN} = 3.3V F_{SW} = 1.5MHz T_J = 25°C

图 9-39. 效率 TPSM8287B30xx FPWM



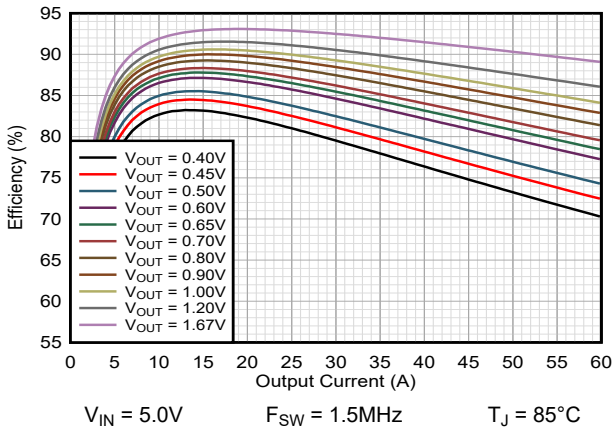
V_{IN} = 3.3V F_{SW} = 1.5MHz T_J = 85°C

图 9-40. 效率 TPSM8287B30xx FPWM



V_{IN} = 5.0V F_{SW} = 1.5MHz T_J = 25°C

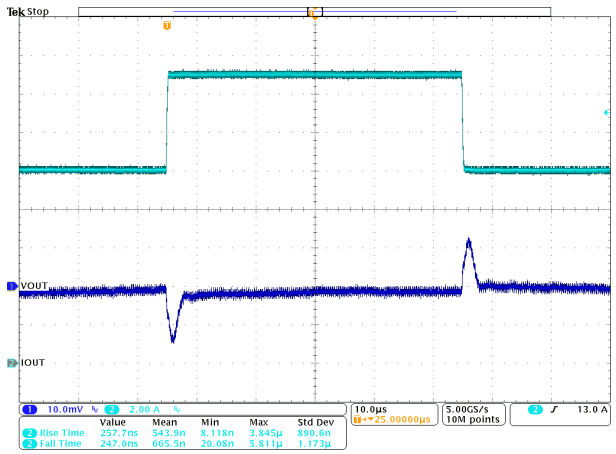
图 9-41. 效率 TPSM8287B30xx FPWM



V_{IN} = 5.0V F_{SW} = 1.5MHz T_J = 85°C

图 9-42. 效率 TPSM8287B30xx FPWM

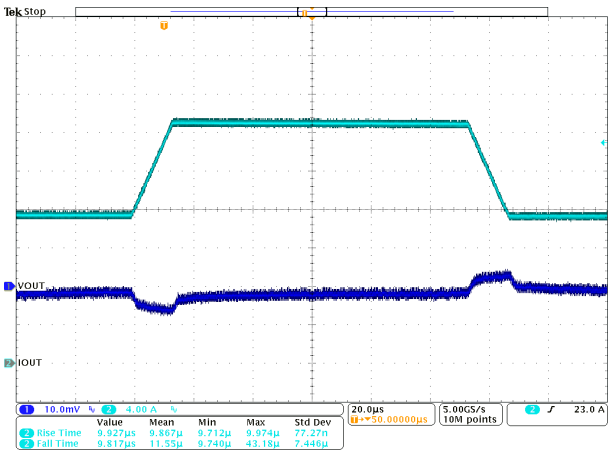
Copyright © 2026 Texas Instruments Incorporated



$C_{OUT(eff)}$ = 274µF

V_{OUT}=0.9V I_{OUT}=10A→15A→10A

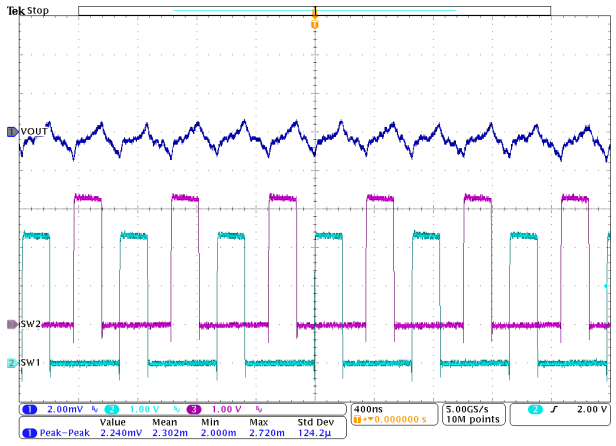
图 9-43. 负载瞬态 TPSM8287B30HAPx



$C_{OUT(eff)}$ = 274µF

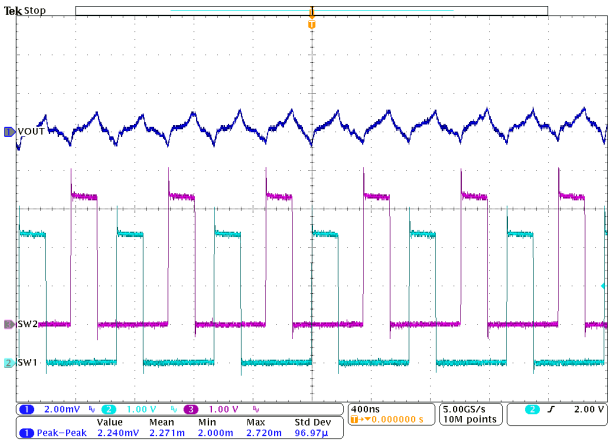
V_{OUT}=0.9V I_{OUT}=15A→25A→15A

图 9-44. 负载瞬态 TPSM8287B30HAPx



V_{OUT} = 0.9V I_{OUT} = 15A

图 9-45. TPSM8287B30HAPx PWM-CCM 运行



V_{OUT} = 0.9V I_{OUT} = 1A

图 9-46. TPSM8287B30HAPx PWM-CCM 运行

Copyright © 2026 Texas Instruments Incorporated

9.4 电源相关建议

TPSM8287Bxx 系列对输入电源没有特殊要求。输入电源的输出电流额定值必须根据 TPSM8287Bxx 的电源电压和电流要求来确定。为确保正常运行，输入电压必须至少比所选输出电压高 1.5V。

9.5 布局

9.5.1 布局指南

正确的布局对于任何开关模式电源的运行至关重要，尤其是在高开关频率条件下。因此，为确保实现出色的性能，需要特别注意 TPSM8287Bxx 的 PCB 布局。糟糕的布局会导致出现以下问题：

- 线路和负载调整不良
- 不稳定性
- EMI 辐射增加
- 噪声灵敏度

有关一般最佳实践的详细讨论，请参阅*实现降压转换器理想 PCB 布局的五个步骤* 模拟设计期刊。以下是针对 TPSM8287Bxx 的具体建议：

- 将输入电容器放置在尽可能靠近器件的 VIN 引脚和 PGND 引脚的位置上。这是最关键的元件放置方式。将输入电容器直接连接到 VIN 和 PGND 引脚，避免过孔。
- 将输出电容器放置在靠近 VOUT 和 PGND 引脚的位置并直接布线，避免过孔。
- 将 IC 靠近负载放置，以更大限度地降低输出端压降产生的功率损耗，并更大限度地减小 TPSM8287Bxx 的输出电容器和负载的输出电容器之间的寄生电感。
- 在外露散热焊盘下使用过孔以提高热性能。通过 PCB 顶层覆铜将 PGND 引脚直接连接到外露散热焊盘。
- 将 VOSNS 和 GOSNS 遥感线路作为差分对进行布线，并将其连接到负载的最低阻抗点。请勿将 VOSNS 和 GOSNS 迹线布置在靠近任何开关节点、输入电容器、时钟信号或其他干扰源信号的位置。
- 在 COMP 和 AGND 之间连接补偿元件。请勿将补偿元件直接连接至电源接地端。
- 将 VSETx 电阻器（以及辅助器件中的 SYNC_OUT 电阻器）靠近 TPSM8287Bxx 放置，以更大限度地减小寄生电容。
- 在堆叠配置中，直接路由 COMP，以保持 COMP 路径较短，并避免有噪声的干扰源信号。
- 有关元件放置、布线和热设计的示例，请参阅图 9-47。

Copyright © 2026 Texas Instruments Incorporated

9.5.2 布局示例

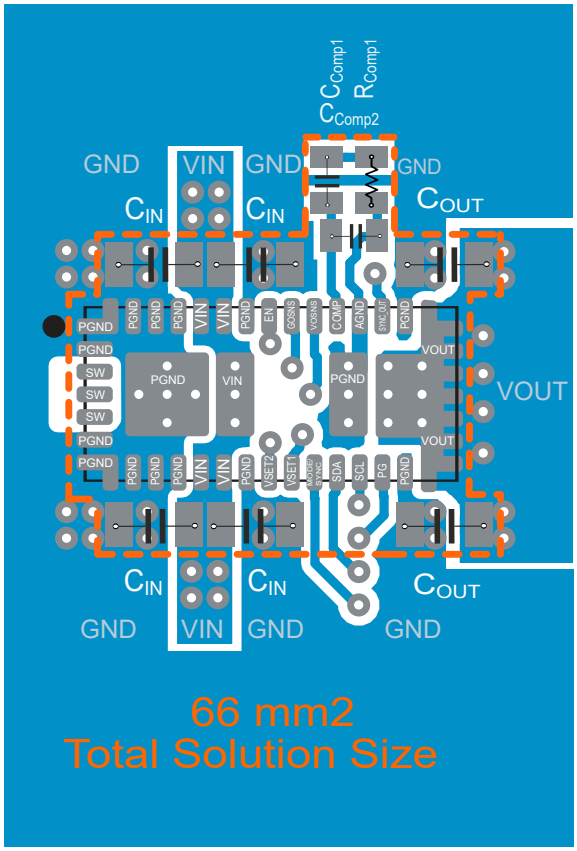


图 9-47. 布局示例

Copyright © 2026 Texas Instruments Incorporated

9.5.2.1 散热注意事项

TPSM8287Bxx 电源模块温度必须保持低于 125°C 的最大额定值。提高热性能的三种基本方法如下：

- 增强 PCB 设计的散热能力。
- 在 PCB 上增加散热耦合组件。
- 系统增加空气导流装置。

要估算 TPSM8287Bxx 的大致模块温度，请将本数据表中规定的典型效率应用于所需的应用条件，以计算出模块的功率耗散。然后，通过将功率耗散乘以热阻来计算模块温升。对于已知的电路板温度、请使用 ψ_{JB}，对于已知的环境温度，请使用 $R_{\Theta JA}$。热参数取决于 PCB 结构、布局和空气流量。

使用此方法计算最大器件温度，安全工作区 (SOA) 图展示了 EVM 在高温环境下最大输出电流所需的降额。有关如何在实际应用中使用热参数的更多详细信息，请参阅*采用 JEDEC PCB 设计的线性和逻辑封装热特性*应用报告和*半导体和 IC 封装热指标*应用手册。

热性能信息 中的热性能值使用了建议的焊盘图案，如本数据表末尾所示，包括所示的过孔。TPSM8287Bxx 在 JEDEC 51-7 定义的 PCB 上进行仿真。两个 PGND 外露散热焊盘引脚上的过孔连接到其他 PCB 层上的覆铜，而其余的过孔未连接到其他层。

Copyright © 2026 Texas Instruments Incorporated

10 器件和文档支持

10.1 器件支持

10.1.1 第三方产品免责声明

TI 发布的与第三方产品或服务有关的信息，不能构成与此类产品或服务或保修的适用性有关的认可，不能构成此类产品或服务单独或与任何 TI 产品或服务一起的表示或认可。

10.2 文档支持

10.2.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，*使用带有精密使能引脚阈值的直流/直流转换器实现零噪声启动* 模拟设计期刊
- 德州仪器 (TI)，*实现降压转换器理想 PCB 布局的五个步骤* 模拟设计期刊
- 德州仪器 (TI)，*采用 JEDEC PCB 设计的线性和逻辑封装的热特性* 应用手册

10.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

10.5 商标

MagPack™ and TI E2E™ are trademarks of Texas Instruments.
所有商标均为其各自所有者的财产。

10.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.7 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

Copyright © 2026 Texas Instruments Incorporated

11 修订历史记录

Changes from Revision A (December 2025) to Revision B (October 2026)	Page
• 将 TPSM8287BxxxANVCHR 从“预发布”更改为“量产数据”	3

Changes from Revision * (March 2025) to Revision A (December 2025)	Page
• 已将*特性*、*电气特性*表、*特性说明*、*应用信息*以及*设计要求*表更新至量产数据规格	3
• 向*器件选项*表中的数据表添加了新的器件型号	3

Copyright © 2026 Texas Instruments Incorporated

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPSM8287B15HANVCHR	Active	Production	QFN-FCMOD (VCH) | 37	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	TM8B15HAN
TPSM8287B30HANVCHR	Active	Production	QFN-FCMOD (VCH) | 37	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	TM8B30HAN
TPSM8287B30LANVCHR	Active	Production	QFN-FCMOD (VCH) | 37	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	TM8B30LAN

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

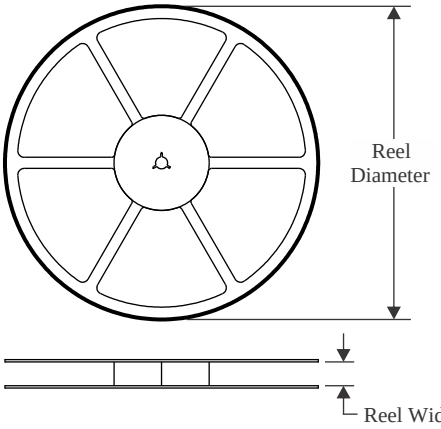
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

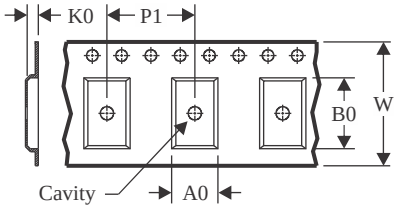
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

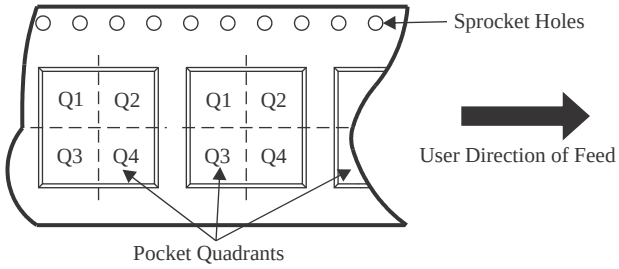


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

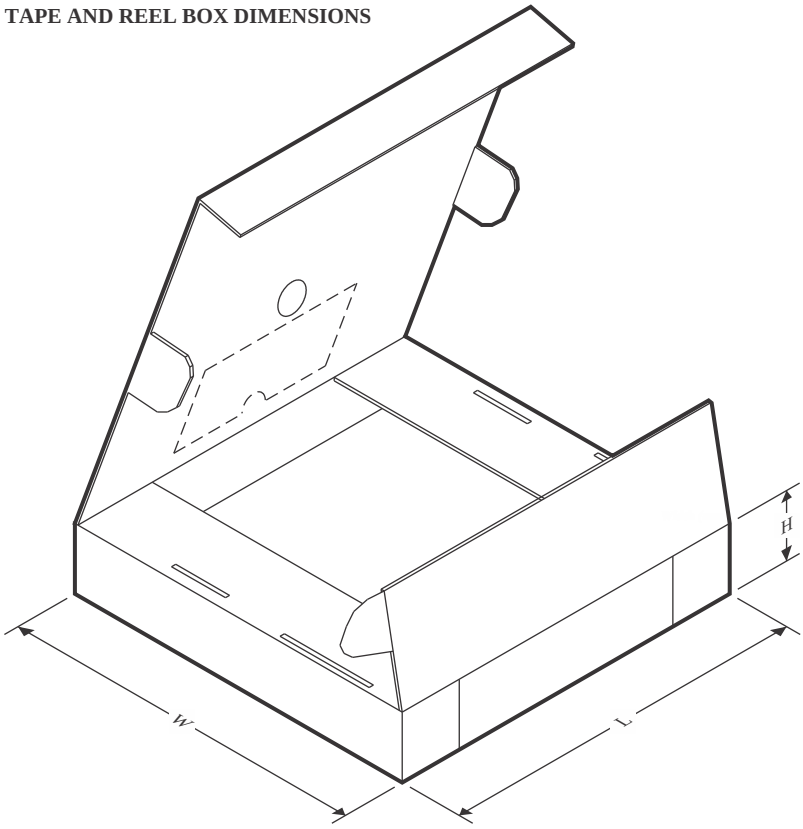
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPSM8287B15HANVCHR	QFN-FCMOD	VCH	37	2500	330.0	16.4	4.05	3.5	2.4	8.0	16.0	Q2
TPSM8287B30HANVCHR	QFN-FCMOD	VCH	37	2500	330.0	16.4	4.05	3.5	2.4	8.0	16.0	Q2
TPSM8287B30LANVCHR	QFN-FCMOD	VCH	37	2500	330.0	16.4	4.05	3.5	2.4	8.0	16.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPSM8287B15HANVCHR	QFN-FCMOD	VCH	37	2500	367.0	367.0	38.0
TPSM8287B30HANVCHR	QFN-FCMOD	VCH	37	2500	367.0	367.0	38.0
TPSM8287B30LANVCHR	QFN-FCMOD	VCH	37	2500	367.0	367.0	38.0

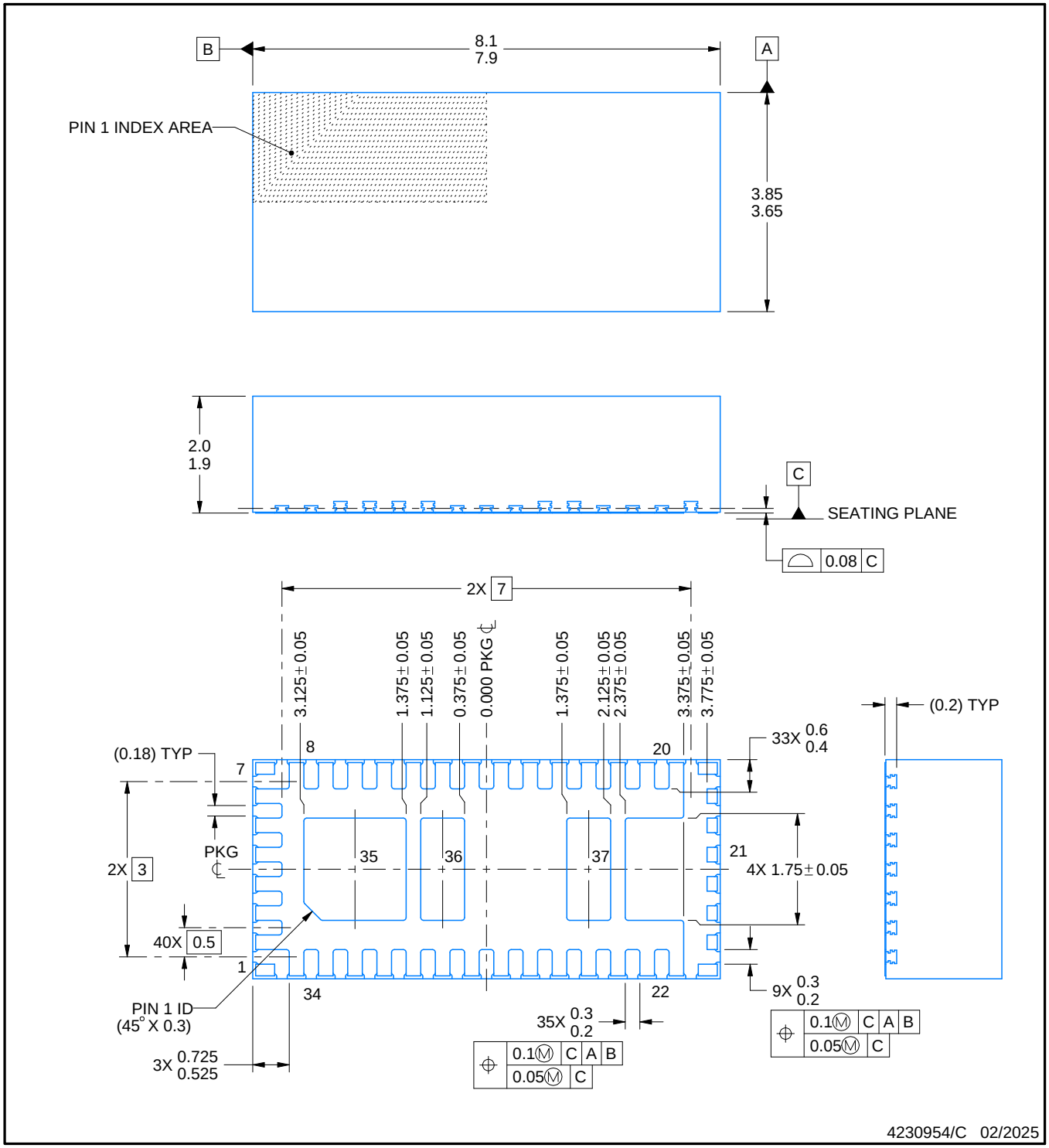
VCH0037A



PACKAGE OUTLINE

VQFN - 2 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

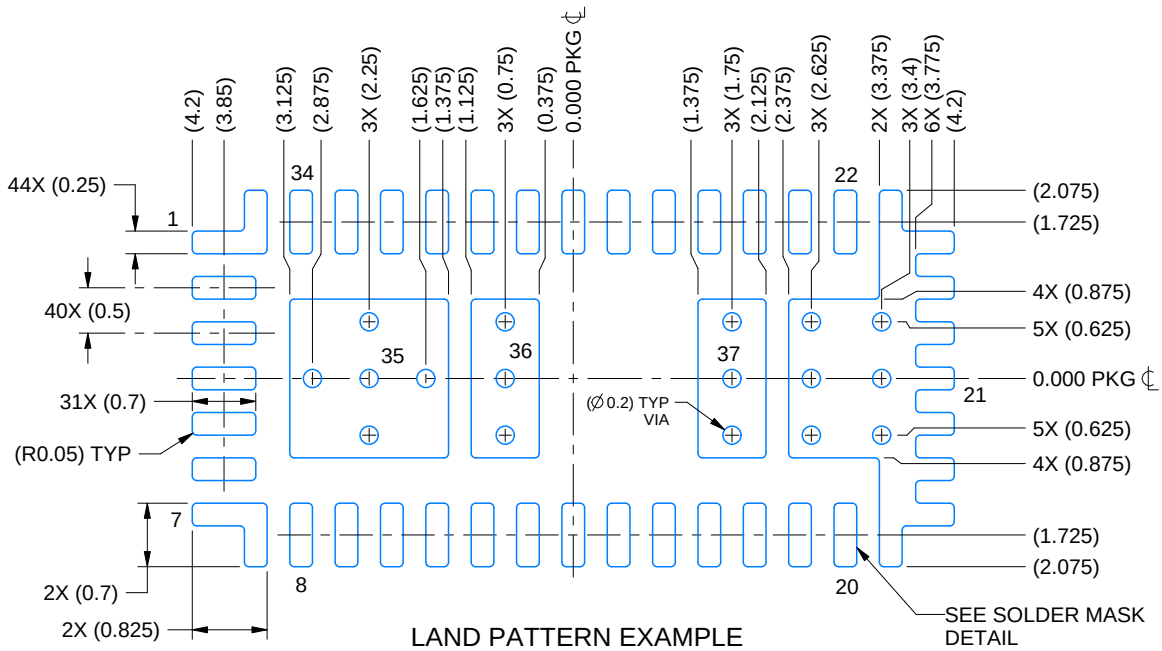
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

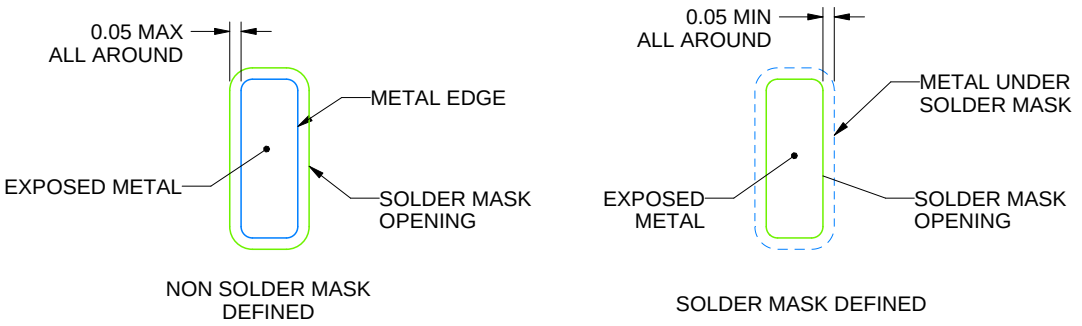
VCH0037A

VQFN - 2 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 12X



SOLDER MASK DETAILS

4230954/C 02/2025

NOTES: (continued)

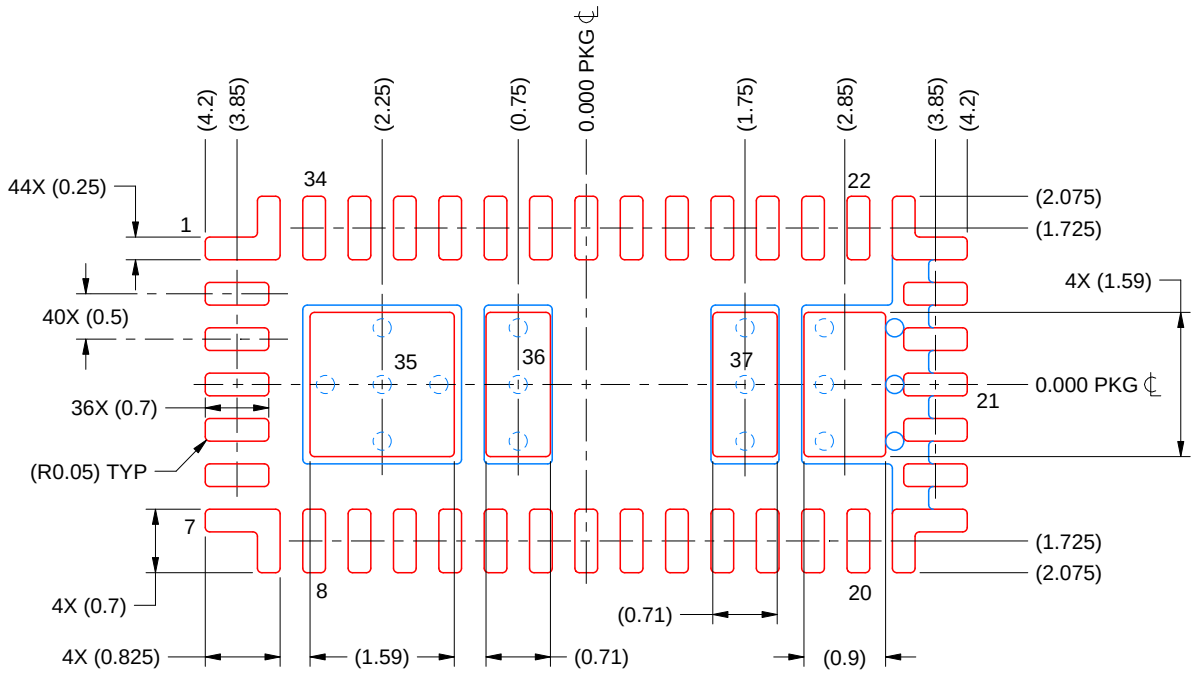
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

VCH0037A

VQFN - 2 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 12X

PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
PAD 21: 77%
PAD 35: 83%
PADS 36 & 37: 86%

4230954/C 02/2025

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月