TCAN857-Q1 具有静音模式和故障保护功能的汽车级 CAN FD 收发器

1 特性

- 符合面向汽车应用的 AEC-Q100 标准
  - 人体放电模型 (HBM) ESD 保护：根据 AEC Q100-002，CANH 和 CANL 引脚具有 ±12kV 的电压
  - 充电器件模型 (CDM) ESD 保护：根据 AEC Q100-011，电压为 ±500V
  - IEC 62228-3 接触放电：±8kV（未供电）
- 符合 ISO 11898-2:2024 物理层标准
- 功能安全型
  - 可提供用于功能安全系统设计的文档
- 支持传统 CAN 和经优化的 CAN FD 性能（数据速率为 2Mbps 和 5Mbps）
  - 具有较短的对称传播延迟时间，可增加时序裕量
- TCAN857V-Q1 I/O 电压范围支持 2.9V 至 5.25V
- 支持 12V 电池应用
- 接收器共模输入电压：±12V
- 保护特性：
  - 总线故障保护：±40V
  - 欠压保护
  - TXD 显性超时 (DTO)
  - 热关断保护 (TSD)
- 工作模式：正常和静音
- 优化了未上电时的性能
  - 总线和逻辑引脚为高阻抗（运行总线或应用上无负载）
  - 支持热插拔：在总线和 RXD 输出上可实现上电/断电无干扰运行
- 8 引脚 SOIC 和无引线 VSON-8 封装，提高了自动光学检测 (AOI) 能力

2 应用

- 汽车和运输
  - 车身控制模块
  - 汽车网关
  - 高级驾驶辅助系统 (ADAS)
  - 信息娱乐系统

3 说明

TCAN857-Q1 是一款高速控制器局域网 (CAN) 收发器，符合 ISO 11898-2:2024 高速 CAN 规范的物理层要求。该收发器的设计支持传统 CAN 和 CAN FD 网络（数据速率高达 5 兆位/秒 (Mbps)）。

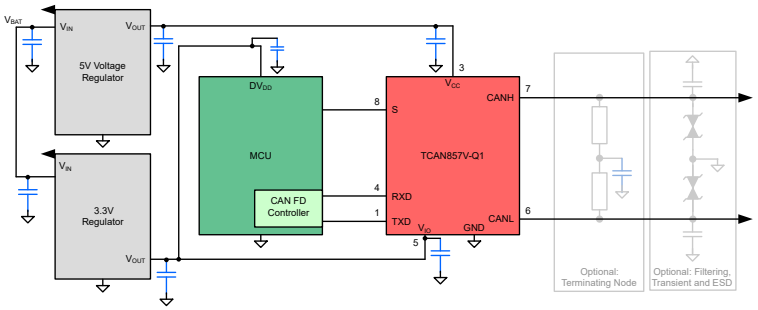
该收发器支持两种工作模式：正常模式和静音模式。此外，还包含许多保护和诊断功能，其中包括热关断 (TSD)、TXD 驱动器显性超时 (DTO) 和高达 ±40V 的总线故障保护。该器件定义了电源欠压或浮动引脚情况下的失效防护行为。

该收发器具有通过 V_{IO} 引脚实现的集成电平转换器，该电平转换器提供内部逻辑电平转换功能，允许将收发器 I/O 直接连接到 3.3V 或 5V 逻辑电平。这些收发器提供符合行业标准的 SOIC-8 和 VSON-8 封装。

封装信息

器件型号	封装(1)	封装尺寸(2)
TCAN857-Q1	SOIC (D)	4.9mm × 6mm
	VSON (DRB) (8)	3mm × 3mm

(1) 有关更多信息，请参阅节 12。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



简化版原理图

内容

1 特性 1
2 应用 1
3 说明 1
4 器件比较表 3
5 引脚配置和功能 4
6 规格 5
6.1 绝对最大额定值 5
6.2 ESD 等级 5
6.3 ESD 等级（IEC 规格） 5
6.4 建议运行条件 5
6.5 热性能信息 6
6.6 电源特性 6
6.7 功耗额定值 6
6.8 电气特性 7
6.9 开关特性 8
6.10 典型特性 9
7 参数测量信息 10
8 详细说明 13
8.1 概述 13
8.2 功能方框图 13
8.3 特性说明 14
8.4 器件功能模式 18
9 应用和实施 19
9.1 应用信息 19
9.2 典型应用 19
9.3 电源相关建议 22
9.4 布局 23
10 器件和文档支持 24
10.1 文档支持 24
10.2 接收文档更新通知 24
10.3 支持资源 24
10.4 商标 24
10.5 静电放电警告 24
10.6 术语表 24
11 修订历史记录 24
12 机械、封装和可订购信息 25

Copyright © 2026 Texas Instruments Incorporated

4 器件比较表

表 4-1. 器件比较

器件型号	引脚 5 上支持低电压 I/O 逻辑	引脚 8 模式选择
TCAN857-Q1	否	静音模式
TCAN857V-Q1	是	静音模式

Copyright © 2026 Texas Instruments Incorporated

5 引脚配置和功能

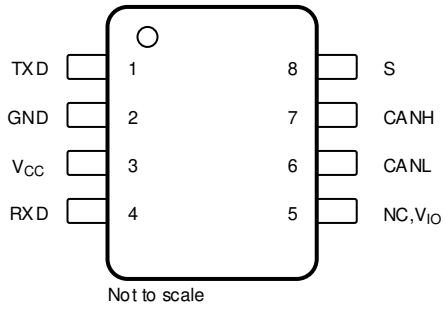


图 5-1. D 封装，8 引脚 SOIC（顶视图）

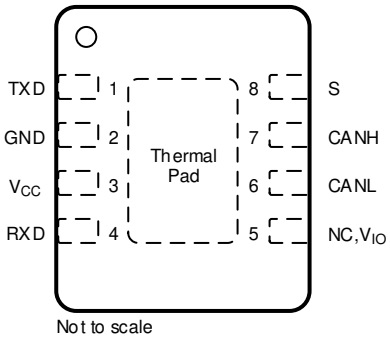


图 5-2. DRB 封装、8 引脚 VSON（顶视图）

表 5-1. 引脚功能

引脚		类型	说明
名称	编号		
TXD	1	数字输入	CAN 发送数据输入，集成上拉电阻
GND	2	GND	接地连接
V_{CC}	3	电源	5V 电源电压
RXD	4	数字输出	CAN 接收数据输出，断电时三态
NC	5	—	无连接（未内部连接）；无 V_{IO} 的器件
V_{IO}		电源	I/O 电源电压
CANL	6	总线 IO	低电平 CAN 总线输入/输出线路
CANH	7	总线 IO	高电平 CAN 总线输入/输出线路
S	8	数字输入	静音模式控制输入，集成上拉电阻
散热焊盘（仅限 VSON）		—	使用多个过孔将散热焊盘连接到任何内部 PCB 接地平面，以获得出色的热性能。

Copyright © 2026 Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)(2)

		最小值	最大值	单位
V_{CC}	电源电压	-0.3	6	V
V_{IO}	电源电压 I/O 电平转换器	-0.3	6	V
V_{BUS}	CAN 总线 I/O 电压（CANH、CANL）	-40	40	V
V_{DIFF}	CANH 和 CANL 之间的最大差分电压范围	-40	40	V
V_{Logic_Input}	逻辑输入端子电压	-0.3	6	V
V_{RXD}	RXD 输出端子电压范围	-0.3	6	V
$I_{O(RXD)}$	RXD 输出电流	-8	8	mA
T_J	工作等效结温范围	-40	165	°C
T_{STG}	贮存温度	-65	150	°C

(1) 超出*绝对最大额定值*运行可能会对器件造成损坏。*绝对最大额定值*并不表示器件在这些条件下或在*建议运行条件*以外的任何其他条件下能够正常运行。如果在*建议运行条件*之外但又在*绝对最大额定值*范围内使用，器件可能不会完全正常运行，这可能会影响器件的可靠性、功能性和性能，并缩短器件的寿命。
(2) 除差分 I/O 总线电压外的所有电压值都是相对于接地引脚的值。

6.2 ESD 等级

				值	单位
V_{ESD}	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 标准(1)	所有引脚的 HBM 分类等级为 3A	±2000	V
			全局引脚 CANH 和 CANL 的 HBM 分类等级为 3B	±12000	V
		充电器件模型 (CDM)，符合 AEC Q100-011 分类等级 C4B	转角引脚	±750	V
			所有其他引脚	±500	V

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

6.3 ESD 等级（IEC 规格）

				值	单位
V_{ESD}	系统级静电放电 (ESD)(1)	CAN 总线引脚（CANH、CANL）到 GND	符合 IEC 62228-3：未供电时的接触放电	±8000	V

(1) 根据 IEC 62228-3 CAN 收发器 (2018) 第 6.4 节进行了测试；DIN EN 61000-4。

6.4 建议运行条件

		最小值	标称值	最大值	单位
V_{CC}	电源电压	4.75	5	5.25	V
V_{IO}	I/O 电平转换器的电源电压	2.9		5.25	V
$I_{OH(RXD)}$	RXD 引脚高电平输出电流	-2			mA
$I_{OL(RXD)}$	RXD 终端低电平输出电流			2	mA
T_J	在自然通风环境下的工作温度范围（请参阅热特性表）	-40		150	°C
T_{SDR}	热关断	160			°C
T_{SDF}	热关断释放			150	°C
$T_{SD(HYS)}$	热关断迟滞		10		°C

Copyright © 2026 Texas Instruments Incorporated

6.5 热性能信息

热指标(1)		TCAN857(V)-Q1		单位
		D (SOIC)	DRB (VSON)	
$R_{\theta JA}$	结至环境热阻	130.1	67.7	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	72.3	77.2	°C/W
$R_{\theta JB}$	结至电路板热阻	79.5	40.3	°C/W
Ψ_{JT}	结至顶部特征参数	21.1	6.8	°C/W
Ψ_{JB}	结至电路板特征参数	78.5	40.1	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	–	23.7	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用手册。

6.6 电源特性

在建议工作条件下，T_J = -40℃ 至 150°C（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
I_{CC}	电源电流，正常模式	显性	TXD = 0V，R_L = 60Ω，C_L = 开路			70	mA
			TXD = 0V，R_L = 50Ω，C_L = 开路			80	mA
		显性，存在总线故障	TXD = 0V，CANH = CANL = ±25V，R_L = 开路，C_L = 开路			130	mA
		隐性，TCAN857V	TXD = V_{IO}，R_L = 50Ω，C_L = 开路，RCM = 开路			10	mA
		隐性，TCAN857	TXD = V_{CC}，R_L = 50Ω，C_L = 开路，RCM = 开路			10	mA
	电源电流静音模式		TXD = V_{CC}，R_L = 50Ω，C_L = 开路			3	mA
I_{IO}	I/O 电源电流正常模式（有 V_{IO} 的器件）	显性	RXD 悬空，TXD = 0V			400	µA
		隐性	RXD 悬空，TXD = V_{IO}			150	µA
	I/O 电源电流静音模式（有 V_{IO} 的器件）		RXD 悬空，TXD = V_{IO}			35	µA
UV_{VCC}	V_{CC} 的上升欠压检测（受保护模式）				4.2	4.6	V
	V_{CC} 的下降欠压检测（受保护模式）			3.5	4	4.5	V
UV_{VIO}	V_{IO} 的上升欠压检测				2.5	2.9	V
	V_{IO} 的下降欠压检测			2.1	2.4		V
T_{SDR}	热关断升温			160		190	
T_{SDF}	热关断降温（释放）			150		180	
$T_{SD(HYS)}$	热关断迟滞				10		

6.7 功耗额定值

参数		测试条件	最小值	典型值	最大值	单位
P_D	平均功耗，正常模式	V_{CC} = 5V，V_{IO} = 3.3V，T_J = 27°C，R_L = 60Ω，C_{L_RXD} = 15pF TXD 输入 = 250kHz 50% 占空比方波		90		mW
		V_{CC} = 5.25V，V_{IO} = 3.3V，T_J = 150°C，R_L = 60Ω，C_{L_RXD} = 15pF TXD 输入 = 2.5MHz 50% 占空比方波		110		mW

Copyright © 2026 Texas Instruments Incorporated

6.8 电气特性

在建议工作条件下，T_J = -40℃ 至 150°C（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
驱动器电气特性						
$V_{CANH(D)}$	总线输出电压（显性）CANH	V_{TXD} = 0V，R_L = 50Ω 至 65Ω，C_L = 开路，R_{CM} = 开路	2.75		4.5	V
$V_{CANL(D)}$	总线输出电压（显性）CANL	V_{TXD} = 0V，R_L = 50Ω 至 65Ω，C_L = 开路，R_{CM} = 开路	0.5		2.25	V
$V_{CANH(R)}$ $V_{CANL(R)}$	总线输出电压（隐性）	V_{TXD} = V_{CC}，R_L = 开路（无负载），R_{CM} = 开路	2		3	V
V_{SYM}	驱动器对称性 ($V_{O(CANH)}$ + $V_{O(CANL)}$)/V_{CC}	STB = 0 V，R_L = 60Ω，C_{SPLIT} = 4.7nF，C_L = 开路，R_{CM} = 开路，TXD = 250kHz、1MHz、2.5MHz	0.9		1.1	V/V
V_{SYM_DC}	直流输出对称性 (V_{CC} - $V_{O(CANH)}$ - $V_{O(CANL)}$)	R_L = 60Ω，C_L = 开路	-400		400	mV
$V_{DIFF(D)}$	差分输出电压，正常模式显性	V_{TXD} = 0V，R_L = 50Ω 至 65Ω，C_L = 开路，R_{CM} = 开路	1.5		3	V
		V_{TXD} = 0V，45Ω ≤ R_L ≤ 70Ω，C_L = 开路	1.4		3.3	V
		V_{TXD} = 0V，R_L = 2240Ω，C_L = 开路	1.5		5	V
$V_{DIFF(R)}$	差分输出电压，正常模式隐性	V_{TXD} = V_{CC}，R_L = 60Ω，C_L = 开路	-120		12	mV
		正常模式，TXD = V_{CC}，R_L = 开路，C_L = 开路	-50		50	mV
$I_{CANH(OS)}$	短路稳态输出电流，显性	-3V ≤ V_{CANH} ≤ +18V，CANL = 开路，V_{TXD} = 0V	-115			mA
$I_{CANL(OS)}$		-3V ≤ V_{CANL} ≤ +18V，CANH = 开路，V_{TXD} = 0V			115	mA
I_{OS_REC}	短路稳态输出电流；隐性	-40V ≤ V_{BUS} ≤ +40V，V_{BUS} = V_{CANH} = V_{CANL}	-5		5	mA
接收器电气特性						
$V_{DIFF_RX(D)}$	接收器显性状态差分输入电压范围，总线偏置激活	-12V ≤ V_{CANL} ≤ +12V -12V ≤ V_{CANH} ≤ +12V	0.9		8	V
$V_{DIFF_RX(R)}$	接收器隐性状态差分输入电压范围，总线偏置激活	-12V ≤ V_{CANL} ≤ +12V -12V ≤ V_{CANH} ≤ +12V	-3		0.5	V
V_{HYS}	输入阈值迟滞电压，正常模式	-12V ≤ V_{CM} ≤ 12V		80		mV
V_{CM}	共模范围		-12		12	V
$I_{LKG(IOFF)}$	断电（未供电）时的总线输入漏电流	CANH = CANL = 5V，V_{CC} = V_{IO} = GND			5	μA
C_I	对地输入电容（CANH 或 CANL）	V_{TXD} = V_{CC}，V_{IO} = V_{CC}			20	pF
C_{ID}	差分输入电容	V_{TXD} = V_{CC}，V_{IO} = V_{CC}			10	pF
R_{DIFF}	处于隐性状态期间的差分输入电阻	V_{TXD} = V_{IO}， -2V ≤ V_{CANH} ≤ +7V -2V ≤ V_{CANL} ≤ +7V	18		90	kΩ
R_{SE_CANH} R_{SE_CANL}	隐性状态期间的单端输入电阻	-2V ≤ V_{CANH} ≤ +7V -2V ≤ V_{CANL} ≤ +7V	9		45	kΩ
m_R	输入电阻匹配：[1 – ($R_{IN(CANH)}$ / $R_{IN(CANL)}$)] × 100%	V_{CANH} = V_{CANL} = 5V	-2%		2%	
TXD 端子（CAN 发送数据输入）						
V_{IH}	高电平输入电压	TCAN857-Q1	0.7 × V_{CC}			V
V_{IH}	高电平输入电压	TCAN857V-Q1	0.7 × V_{IO}			V
V_{IL}	低电平输入电压	TCAN857-Q1			0.3 × V_{CC}	V
V_{IL}	低电平输入电压	TCAN857V-Q1			0.3 × V_{IO}	V
I_{IH}	高电平输入漏电流	V_{TXD} = V_{CC} = V_{IO} = 5.25V	-2.5	0	1	μA
I_{IL}	低电平输入漏电流	V_{TXD} = 0V，V_{CC} = V_{IO} = 5.25V	-200		-20	μA
$I_{LKG(OFF)}$	未供电时的漏电流	V_{TXD} = 5.25V，V_{CC} = V_{IO} = 0V	-1	0	1	μA

Copyright © 2026 Texas Instruments Incorporated

在建议工作条件下，T_J = -40℃ 至 150°C（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
C_I	输入电容			2		pF
RXD 端子（CAN 接收数据输出）						
V_{OH}	高电平输入电压	TCAN857-Q；1 I_O = –2mA	0.8 × V_{CC}			V
V_{OH}	高电平输入电压	TCAN857V-Q1；I_O = -2mA	0.8 × V_{IO}			V
V_{OL}	低电平输入电压	TCAN857-Q1；I_O = 2mA			0.2 × V_{CC}	V
V_{OL}	低电平输入电压	TCAN857V-Q1；I_O = 2mA			0.2 × V_{IO}	V
$I_{LKG(OFF)}$	未供电时的漏电流	V_{RXD} = 5.25V，V_{CC} = V_{IO} = 0V	-1	0	1	µA
S 端子（静音模式输入）						
V_{IH}	高电平输入电压	TCAN857-Q1	0.7 × V_{CC}			V
V_{IH}	高电平输入电压	TCAN857V-Q1	0.7 × V_{IO}			V
V_{IL}	低电平输入电压	TCAN857-Q1			0.3 × V_{CC}	V
V_{IL}	低电平输入电压	TCAN857V-Q1			0.3 × V_{IO}	V
I_{IH}	高电平输入漏电流 S	V_{CC} = V_{IO} = S = 5.25V	-2		2	µA
I_{IL}	低电平输入漏电流 S	V_{CC}= V_{IO} = 5.25V，S = 0V	-20		-2	µA
$I_{LKG(OFF)}$	未供电时的漏电流	S = 5.25V，V_{CC} = V_{IO} = 0V	-1	0	1	µA

6.9 开关特性

在建议工作条件下，T_J = -40℃ 至 150°C（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
器件开关特性						
$t_{PROP(LOOP1)}$	总循环延迟、驱动器输入 (TXD) 至接收器输出 (RXD)、隐性状态至显性状态	正常模式，V_{IO} = 3V 至 5V，R_L = 60Ω，C_L = 100pF，C_{L_RXD} = 15pF		90	220	ns
$t_{PROP(LOOP2)}$	总环路延迟，驱动器输入 (TXD) 到接收器输出 (RXD)，显性状态到隐性状态	正常模式，V_{IO} = 3V 至 5V，R_L = 60Ω，C_L = 100pF，C_{L_RXD} = 15pF		100	220	ns
t_{MODE}	模式更改时间，从正常到静音或从静音到正常				45	µs
驱动器开关特性						
t_{pHR}	传播延迟时间，TXD 高电平到驱动器隐性状态（显性状态到隐性状态）	R_L = 60Ω，C_L = 100pF，R_{CM} = 开路		43		ns
t_{pLD}	传播延迟时间，TXD 低电平到驱动器显性状态（隐性状态到显性状态）			36		ns
$t_{sk(p)}$	脉冲偏斜 (|tpHR - tpLD|)			4		ns
t_R	差分输出信号上升时间			32		ns
t_F	差分输出信号下降时间			27		ns
t_{TXD_DTO}	显性超时	R_L = 60Ω，C_L = 100pF	0.8		6.5	ms
接收器开关特性						
t_{pRH}	传播延迟时间，总线隐性输入到输出高电平（显性状态到隐性状态）	C_{L_RXD} = 15pF		56		ns
t_{pDL}	传播延迟时间，总线显性输入到输出低电平（隐性状态到显性状态）			33		ns
t_R	RXD 输出信号上升时间			10		ns
t_F	RXD 输出信号下降时间			10		ns
FD 时序特性						
$t_{\Delta Bit(Bus)}$	发送的隐性位宽时间差： $t_{BIT(TXD)}$ = 500ns	R_L = 60Ω，C_L = 100pF，C_{L_RXD} = 15pF $t_{\Delta Bit(Bus)}$ = $t_{BIT(Bus)}$ - $t_{BIT(TXD)}$	-65		30	ns

Copyright © 2026 Texas Instruments Incorporated

在建议工作条件下，T_J = -40℃ 至 150°C（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
$t_{\Delta Bit(Bus)}$	发送的隐性位宽时间差： $t_{BIT(TXD)}$ = 200ns	R_L = 60Ω，C_L = 100pF，C_{L_RXD} = 15pF $t_{\Delta Bit(Bus)} = t_{BIT(Bus)} - t_{BIT(TXD)}$	-45		10	ns
$t_{\Delta Bit(RXD)}$	接收到隐性位宽度变化：$t_{BIT(TXD)}$ = 500ns	R_L = 60Ω，C_L = 100pF，C_{L_RXD} = 15pF $t_{\Delta Bit(Bus)} = t_{BIT(RXD)} - t_{BIT(TXD)}$	-100		50	ns
$t_{\Delta Bit(RXD)}$	接收到隐性位宽度变化：$t_{BIT(TXD)}$ = 200ns	R_L = 60Ω，C_L = 100pF，C_{L_RXD} = 15pF $t_{\Delta Bit(Bus)} = t_{BIT(RXD)} - t_{BIT(TXD)}$	-80		20	ns
$t_{\Delta REC}$	$t_{BIT(TXD)}$ = 500ns 时的接收器时序对称性	R_L = 60Ω，C_L = 100pF，C_{L_RXD} = 15pF $\Delta t_{REC} = t_{BIT(RXD)} - t_{BIT(BUS)}$	-65		40	ns
$t_{\Delta REC}$	$t_{BIT(TXD)}$ = 200ns 时的接收器时序对称性		-45		15	ns

6.10 典型特性

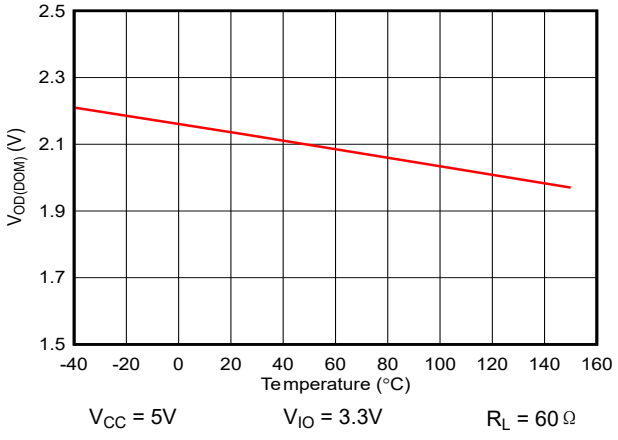


图 6-1. $V_{OD(DOM)}$ 与温度间的关系

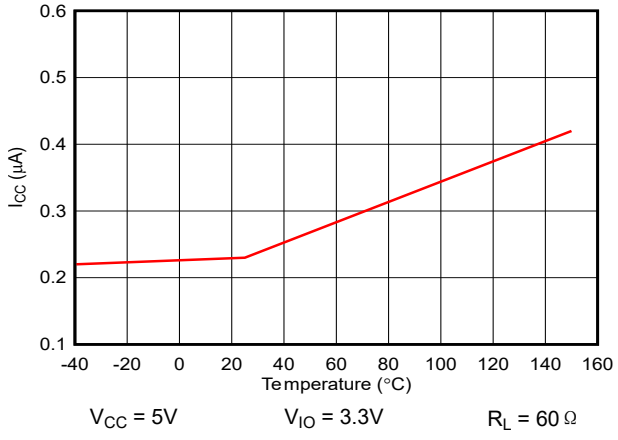


图 6-2. I_{CC} 待机 (STB) 电流与温度间的关系

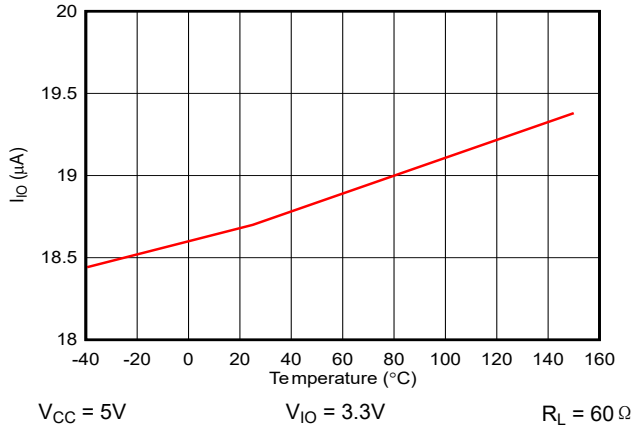


图 6-3. I_{IO} 待机 (STB) 电流与温度间的关系

Copyright © 2026 Texas Instruments Incorporated

7 参数测量信息

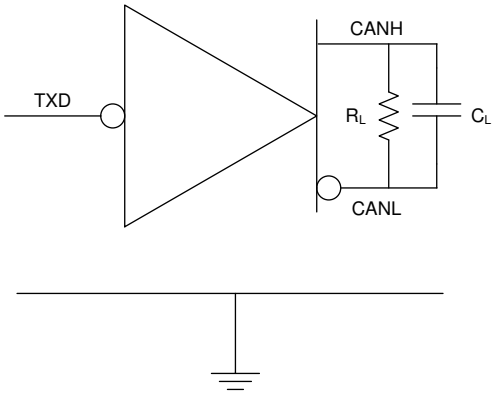


图 7-1. I_{CC} 测试电路

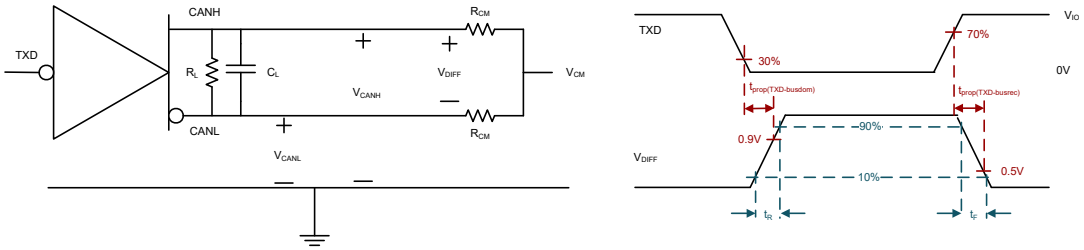


图 7-2. 驱动器测试电路与测量

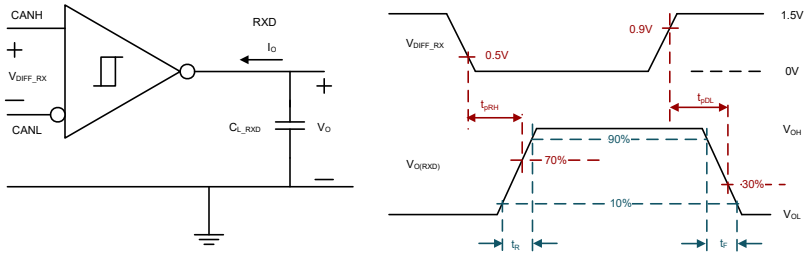


图 7-3. 接收器测试电路与测量

Copyright © 2026 Texas Instruments Incorporated

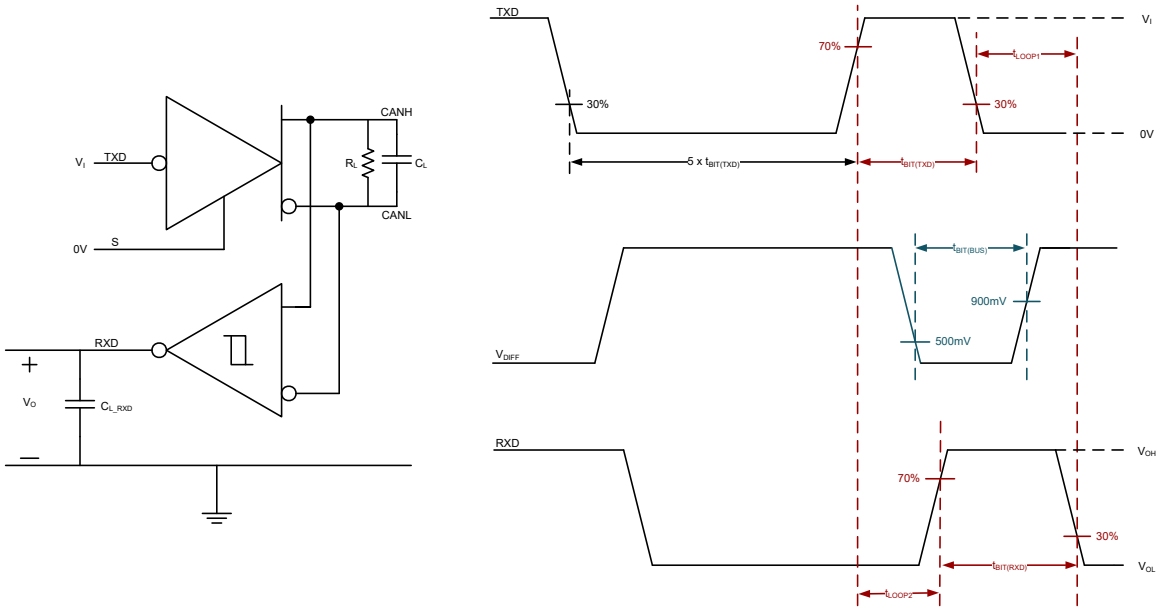


图 7-4. 发送器和接收器时序测试电路和测量

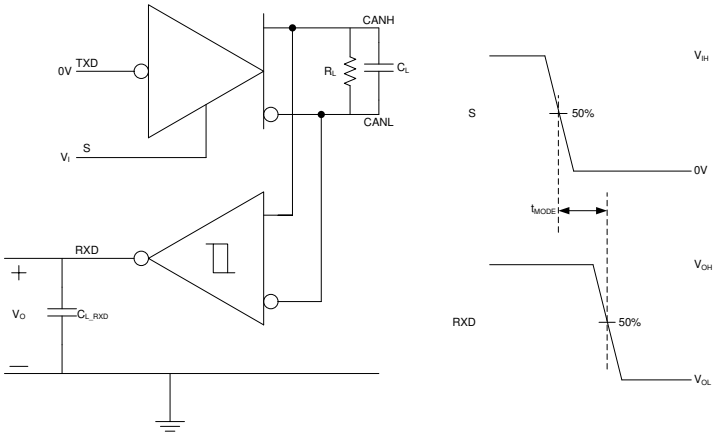


图 7-5. t_{MODE} 测试电路与测量

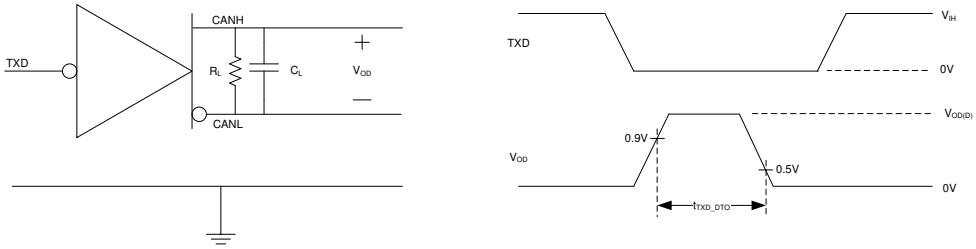


图 7-6. TXD 显性超时测试电路与测量

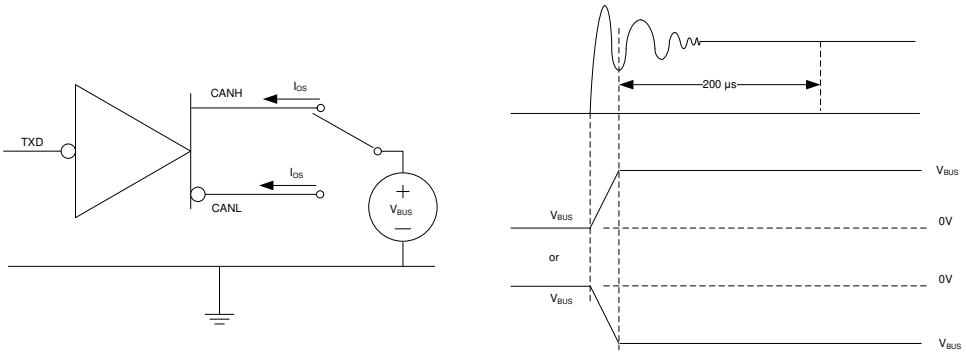


图 7-7. 驱动器短路电流测试与测量

Copyright © 2026 Texas Instruments Incorporated

8 详细说明

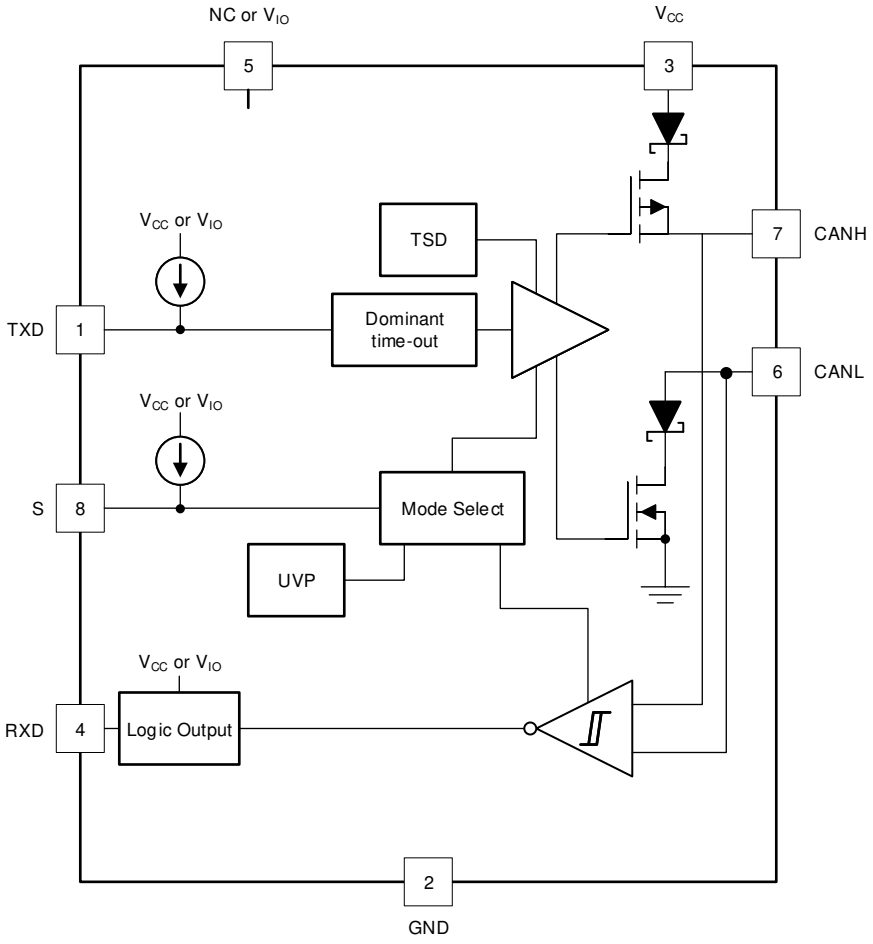
8.1 概述

TCAN857(V)-Q1 器件符合甚至超过 ISO 11898-2:2024 高速 CAN（控制器局域网）物理层标准的规范。该器件已根据 GIFT/ICT 高速 CAN 测试规范进行了测试，经认证符合 ISO 11898-2:2024 物理层要求。该收发器提供多种不同的保护功能以满足严格的汽车系统要求，同时还支持高达 5Mbps 的 CAN FD 数据速率。

该器件支持以下 CAN 标准：

- CAN 收发器物理层标准：
  - ISO 11898-2:2024 高速媒介访问单元
  - ISO 11898-5:2007 低功耗模式高速媒介访问单元
  - SAE J2284-1：适用于 125kbps 汽车应用的高速 CAN (HSC)
  - SAE J2284-2：适用于 250kbps 汽车应用的高速 CAN (HSC)
  - SAE J2284-3：适用于 500kbps 汽车应用的高速 CAN (HSC)
  - SAE J2284-4：适用于 500kbps 汽车应用的高速 CAN (HSC)，CAN FD 数据速率为 2Mbps
  - SAE J2284-5：适用于 500kbps 汽车应用的高速 CAN (HSC)，CAN FD 数据速率为 5Mbps
- 符合性测试要求：
  - ISO 16845-2 道路车辆 - 控制器局域网 (CAN) 符合性测试计划第 2 部分：高速媒介访问单元符合性测试计划

8.2 功能方框图



8.3 特性说明

8.3.1 引脚说明

8.3.1.1 TXD

TXD 输入是从 CAN 控制器到收发器的逻辑电平信号，以 V_{CC} 或 V_{IO} 为基准。

8.3.1.2 GND

GND 是收发器的接地引脚，必须连接到 PCB 接地端。

8.3.1.3 V_{CC}

V_{CC} 为 CAN 收发器提供 5V 电源。

8.3.1.4 RXD

RXD 输出是从收发器到 CAN 控制器的逻辑电平信号，以 V_{CC} 或 V_{IO} 为基准。仅当存在 V_{IO} 时，才会驱动 RXD。

8.3.1.5 V_{IO}

V_{IO} 引脚是提供收发器 I/O 电压的集成电平转换器的输入源。将 V_{IO} 引脚连接到控制器的 I/O 电压源。

8.3.1.6 CANH 和 CANL

这些是 CAN 高电平和 CAN 低电平差分总线引脚。这些引脚在内部连接到 CAN 发送器和接收器。

8.3.1.7 S (静音)

S 引脚是用于以静音模式控制收发器的输入引脚。S 引脚可由控制器或静态系统电压源供电。如果正常模式是唯一需要的工作模式，则可使用下拉电阻将 S 引脚直接连接到系统 GND。如果静音模式是唯一需要的工作模式，则可使用上拉电阻将 S 引脚直接连接到静态系统电压源。

8.3.2 CAN 总线状态

CAN 总线在运行期间有两种逻辑状态：隐性和显性。参阅图 8-1。

以差分方式驱动总线时，总线为显性状态，对应于 TXD 和 RXD 引脚上的逻辑低电平。当总线通过接收器内部的高阻值输入电阻器 R_{IN} 偏置到 $V_{CC}/2$ 时，总线为隐性状态，对应于 TXD 和 RXD 引脚上的逻辑高电平。

在仲裁期间，显性状态会覆盖隐性状态。在仲裁期间，多个 CAN 节点可能同时发送一个显性位，在这种情况下，总线的差分电压大于单个驱动器的差分电压。

Copyright © 2026 Texas Instruments Incorporated

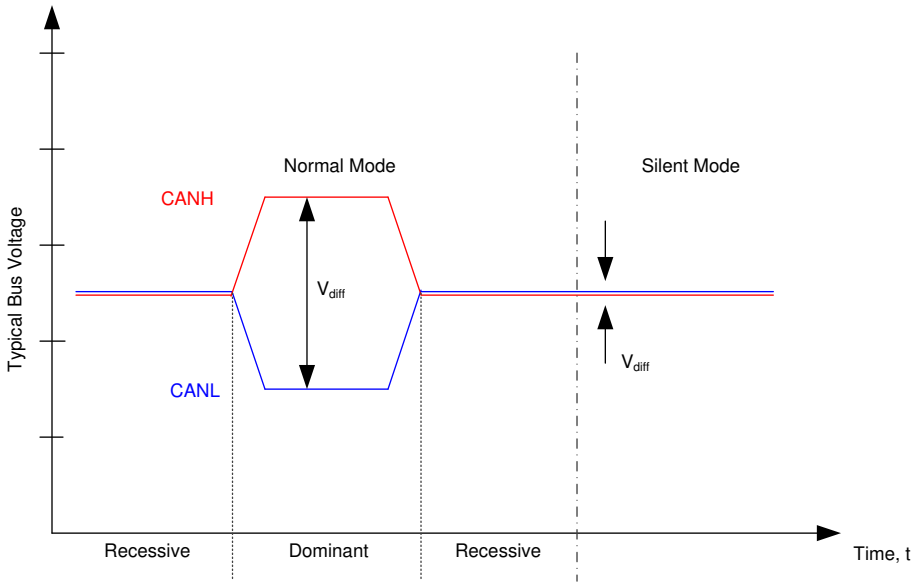


图 8-1. 总线状态

8.3.3 TXD 显性超时 (DTO)

在正常模式（CAN 驱动器处于运行状态的唯一模式）期间，TXD DTO 电路可防止本地节点在硬件或软件失效时妨碍网络通信（失效期间，TXD 保持显性状态的时间超过了超时时间 t_{TXD_DTO}）。TXD DTO 电路由 TXD 上的下降沿触发。如果在此电路的超时周期 t_{TXD_DTO} 前没有发现上升沿，CAN 驱动器将被禁用。这样可释放总线，供网络上的其他节点进行通信。CAN 驱动器在 TXD 引脚上出现隐性信号时重新激活，从而清除显性超时。接收器保持运行状态并偏置到 $V_{CC}/2$，RXD 输出将反映 TXD DTO 故障期间 CAN 总线上的活动。

TXD DTO 电路所允许的最短显性 TXD 时间限制了器件的最低数据发送速率。CAN 协议允许（TXD 上）在最差情况下最多可有 11 个连续显性位，其中 5 个连续显性位后面紧接一个错误帧。最小传输数据速率可使用方程式 1 计算得出。

$$\text{Minimum Data Rate} = 11 \text{ bits} / t_{TXD_DTO} = 11 \text{ bits} / 0.8\text{ms} = 13.75\text{kbps} \quad (1)$$

Copyright © 2026 Texas Instruments Incorporated

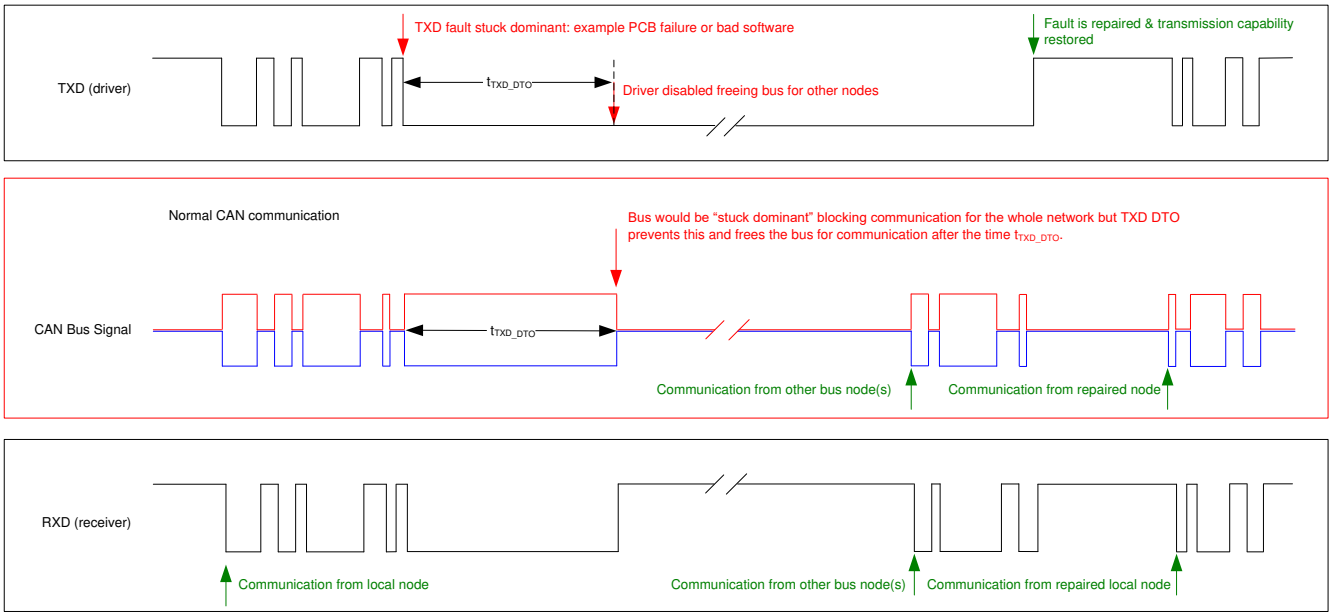


图 8-2. TXD 显性超时的时序图示例

8.3.4 CAN 总线短路电流限制

该器件有多种保护特性可以在 CAN 总线短路时限制短路电流，其中包括显性和隐性状态下的 CAN 驱动器电流限制以及 TXD 显性状态超时（可防止因系统故障而永久具有显性状态的较高短路电流）。在 CAN 通信期间，总线会在显性与隐性状态之间切换；因此，可将短路电流视为这两种总线状态期间的电流或者视为平均直流电流。在为 CAN 设计方案选择终端电阻器或共模扼流圈时，会使用平均额定功率 $I_{OS(AVG)}$。显性百分比受限于以下因素：TXD DTO、CAN 协议（具有强制状态切换功能）以及隐性位（由于位填充、控制字段和帧间间隔）。这确保了总线上具有最短的隐性状态持续时间，即使数据字段包含很高的显性位百分比也如此。

总线的平均短路电流取决于隐性位与显性位的比率以及它们对应的短路电流。平均短路电流可使用方程式 2 来计算。

$$I_{OS(AVG)} = \%\ Transmit \times [(\%\ REC_Bits \times I_{OS(SS)_REC}) + (\%\ DOM_Bits \times I_{OS(SS)_DOM})] + [\%\ Receive \times I_{OS(SS)_REC}] \quad (2)$$

其中：

- $I_{OS(AVG)}$ 为平均短路电流
- % Transmit 为节点发送 CAN 报文所占的百分比
- % Receive 为节点接收 CAN 报文所占的百分比
- % REC_Bits 为所发送 CAN 报文中的隐性位所占百分比
- % DOM_Bits 为所发送 CAN 报文中的显性位所占百分比
- $I_{OS(SS)_REC}$ 为隐性稳态短路电流
- $I_{OS(SS)_DOM}$ 为显性稳态短路电流

在确定用于生成收发器 V_{CC} 的电源的额定功率时，请考虑此短路电流和可能的网络故障情况。

Copyright © 2026 Texas Instruments Incorporated

8.3.5 热关断 (TSD)

如果该器件的结温超出热关断阈值 T_{TSD}，该器件将关断 CAN 驱动器电路，并阻断 TXD 到总线的传输路径。当器件的结温降至 T_{TSD} 以下时，关断条件会被清除。CAN 总线引脚在 TSD 故障期间偏置到 $V_{CC}/2$，且接收器到 RXD 的路径保持畅通。器件 TSD 电路包括迟滞，可防止 CAN 驱动器输出在 TSD 故障期间振荡。

8.3.6 欠压锁定

电源引脚 V_{CC} 和 V_{IO} 具有欠压检测功能，可将器件置于受保护状态。此功能可在任一电源引脚上发生欠压事件时保护总线。

表 8-1. 欠压锁定 - TCAN857-Q1

V_{CC}	器件状态	总线	RXD 引脚
> UV_{VCC}	正常	按照 TXD	镜像总线
< UV_{VCC}	受保护	高阻抗 弱下拉到地(1)	高阻抗

(1) V_{CC} = GND，请参阅 $I_{LKG(OFF)}$

表 8-2. 欠压锁定 - TCAN857V-Q1

V_{CC}	V_{IO}	器件状态	总线	RXD 引脚
> UV_{VCC}	> UV_{VIO}	正常	按照 TXD	镜像总线
< UV_{VCC}	> UV_{VIO}	受保护	S = 高电平：弱下拉至地(1)	隐性
			S = 低电平：高阻抗	
> UV_{VCC}	< UV_{VIO}	受保护	高阻抗	高阻抗
< UV_{VCC}	< UV_{VIO}	受保护	高阻抗	高阻抗

(1) V_{CC} = GND，请参阅 $I_{LKG(OFF)}$

一旦欠压条件被清除且 t_{MODE} 到期，器件就会转换到正常模式。主机控制器可以再次发送和接收 CAN 流量。

8.3.7 未供电设备

根据设计，器件在未供电情况下对于 CAN 总线而言为无负载。总线引脚被设计成在器件未供电时具有较低的漏电流，因此这些器件不会对总线施加负载。如果网络的某些节点未供电，而网络的其余部分仍正常工作，这一点至关重要。

逻辑引脚在器件未供电时的漏电流也很低，且不会对其他保持供电的电路施加负载。

8.3.8 悬空引脚

器件在关键引脚上具有内部上拉电阻，可在引脚悬空时将器件置于已知状态。虽然设计不可依赖这种内部偏置，尤其是在有噪声的环境中，但必须将其视为失效防护特性。

当使用支持开漏输出的 CAN 控制器时，必须选择适当的外部上拉电阻。这样可确保 CAN 控制器的 TXD 输出保持 CAN 收发器输入可接受的位时间。请参见表 8-3 了解引脚偏置条件的详细信息。

表 8-3. 引脚偏置

引脚	上拉或下拉	注释
TXD	上拉	将 TXD 弱偏置为隐性，防止总线阻塞或 TXD DTO 触发
S	上拉	将 S 弱偏置为低功耗静音模式，防止系统功耗过高

Copyright © 2026 Texas Instruments Incorporated

8.4 器件功能模式

8.4.1 工作模式

此器件主要有两种工作模式：正常模式和静音模式。通过在 S 引脚上施加一个高电平或低电平即可选择所需的工作模式。

表 8-4. 工作模式

S	器件模式	驱动器	接收器	RXD 引脚
高	静音模式	禁用	启用	镜像总线状态
低电平	正常模式	启用	启用	

8.4.2 正常模式

此模式是器件的正常运行模式。CAN 驱动器和接收器均能完全正常运行且 CAN 通信双向进行。驱动器将 TXD 输入端的数字输入转换为 CANH 和 CANL 总线引脚上的差分输出。接收器将来自 CANH 和 CANL 的差分信号转换为 RXD 输出端的数字输出。

8.4.3 静音模式

在静音模式下，CAN 驱动器被禁用，高速 CAN 接收器被启用。CAN 通信单向进入器件，而接收器将 CANH 和 CANL 上的差分信号转换为 RXD 上的数字输出。由于禁用 CAN 驱动器，TCAN857(V)-Q1 在静音模式下可降低功耗。

8.4.4 驱动器和接收器功能

该器件的数字输入和输出电平是相对于 V_{CC} 或 V_{IO} 的 CMOS 电平。

表 8-5. 驱动器功能表

器件模式	TXD 输入(1)	总线输出		驱动的总线状态(2)
		CANH	CANL	
正常	低电平	高	低电平	显性
	高电平或开路	高阻抗	高阻抗	偏置隐性
静音	X	高阻抗	高阻抗	偏置隐性

(1) X = 不相关
(2) 有关总线状态，请参阅图 8-1

表 8-6. 接收器功能表（正常模式和静音模式）

器件模式	CAN 差分输入 $V_{ID} = V_{CANH} - V_{CANL}$	总线状态	RXD 引脚
正常或静音	$V_{ID} \geq 0.9V$	显性	低电平
	$0.5V < V_{ID} < 0.9V$	未定义	未定义
	$V_{ID} \leq 0.5V$	隐性	高
不限	开路 ($V_{ID} \approx 0V$)	开路	高

Copyright © 2026 Texas Instruments Incorporated

9 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

9.1 应用信息

9.2 典型应用

图 9-1 展示了使用该器件的 5V 系统的典型配置。图中显示了总线终端以方便说明。

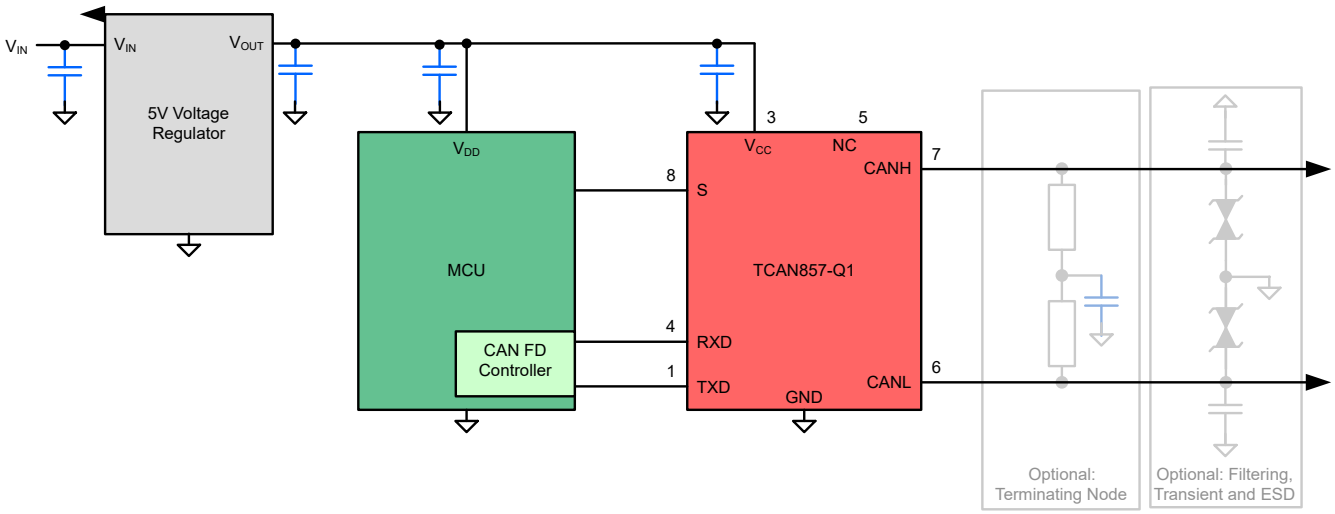


图 9-1. 使用 5V I/O 连接的收发器应用

9.2.1 设计要求

9.2.1.1 CAN 端接

总线末端可以采用单个 120Ω 电阻进行端接，放在电缆上或端接节点中。如果总线的共模电压需要进行滤波和稳压，则可以采用分裂终端，请参阅图 9-2。分裂端接通过滤除差分信号线路上可能存在的高频共模噪声，来改善网络的电磁发射行为。

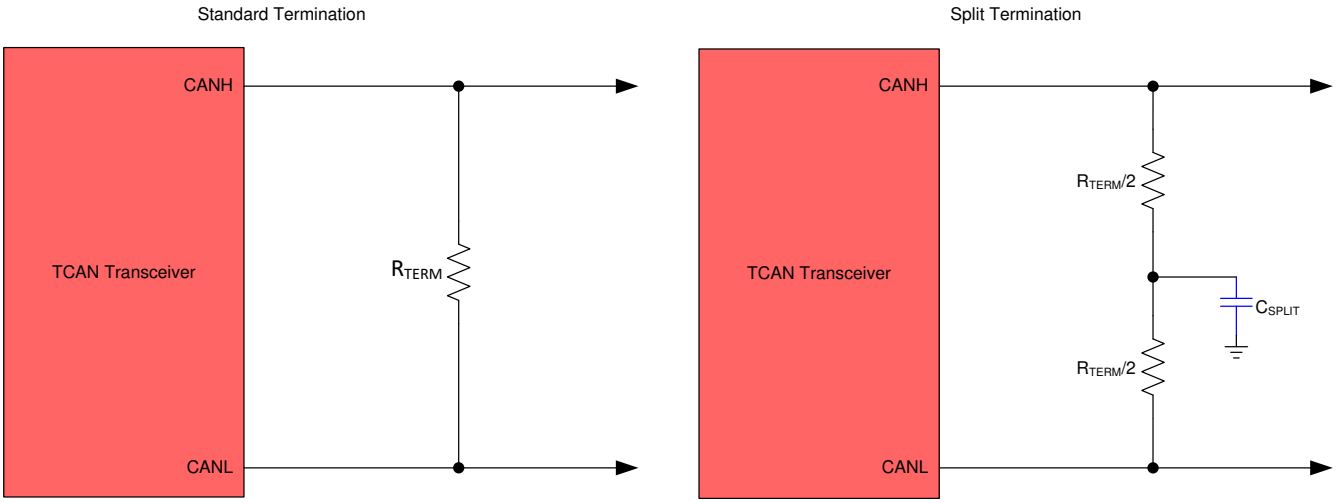


图 9-2. CAN 总线端接概念

9.2.2 详细设计过程

9.2.2.1 总线负载能力、长度和节点数

典型 CAN 应用的最大总线长度可能为 40 米，最大桩线长度可能为 0.3 米。但是，如果设计得当，用户可以获得更长的总线电缆长度、桩线长度和更多的节点。如果节点数量较多，则需要具有高输入阻抗的收发器，例如 TCAN857(V)-Q1。

许多 CAN 组织和标准已将 CAN 的使用范围扩展至原始 ISO 11898-2 标准之外的应用。它们在总线的数据速率、电缆长度和寄生负载方面做出了系统层面的折衷决策。这些 CAN 系统级规范的示例包括 ARINC 825、CANopen、DeviceNet、SAE J2284、SAE J1939 和 NMEA 2000。

CAN 网络系统设计就是做出一系列的权衡。在 ISO 11898-2:2024 规范中规定了总线负载范围为 50Ω 至 65Ω 时的驱动器差分输出，其中该差分输出必须大于 1.5V。TCAN857(V)-Q1 系列可在总线负载低至 50Ω 时满足 1.5V 要求，在 45Ω 总线负载时满足 1.4V 差分输出要求。该收发器的差分输入阻抗至少为 40kΩ。如果总线上有 100 个并联的收发器，这就相当于 400Ω 差分负载与标称 60Ω 总线终端并联，因此总线负载总共约为 52Ω。因此，TCAN857(V)-Q1 系列理论上在单个总线段上支持超过 100 个收发器。不过，在 CAN 网络设计中，考虑到系统和电缆中的信号损失、寄生负载、时序、网络失衡、接地偏移和信号完整性等问题，必须留有一定的裕度，因此实际的最大节点数通常更少。此外，通过对系统设计和数据速率加以谨慎权衡，可以使总线长度超过 40 米。例如，CANopen 网络设计指南允许通过更改终端电阻和布线、减少节点数（少于 64 个）并显著降低数据速率，将网络扩展至 1km。

这种 CAN 网络设计灵活性是基于原始 ISO 11898-2 CAN 标准的各种扩展和附加标准的关键优势之一。不过，在利用这种灵活性时，CAN 网络系统设计人员必须保证良好的网络设计，以确保网络稳定运行。

Copyright © 2026 Texas Instruments Incorporated

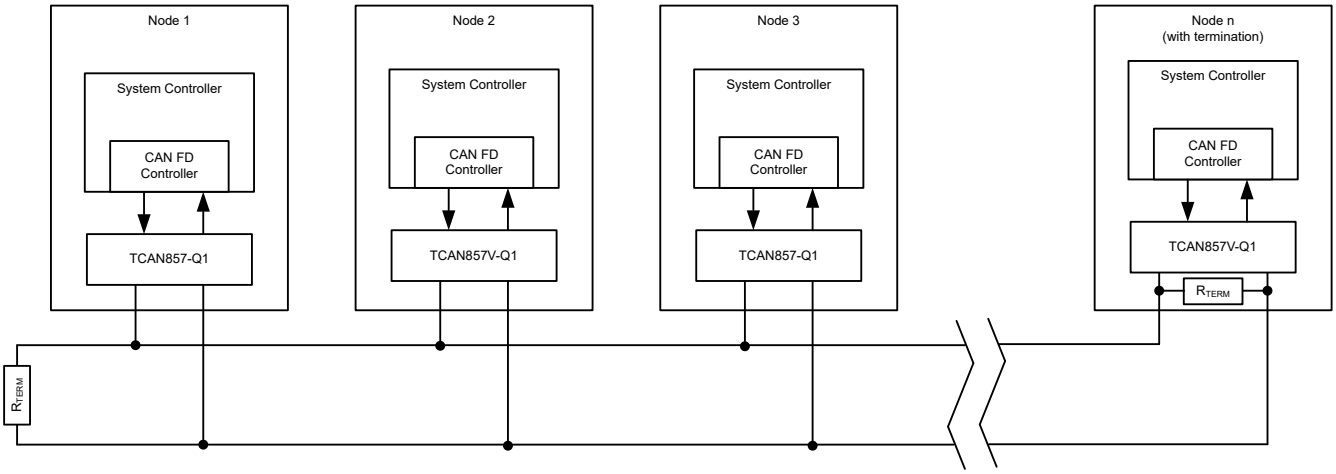

Node 1
System Controller
CAN FD Controller
TCAN857-Q1
Node 2
System Controller
CAN FD Controller
TCAN857V-Q1
Node 3
System Controller
CAN FD Controller
TCAN857-Q1
Node n (with termination)
System Controller
CAN FD Controller
TCAN857V-Q1
RTERM
RTERM

图 9-3. 典型 CAN 总线

9.2.3 系统示例

图 9-4 展示了使用 TCAN857(V)-Q1 的 3.3V 或 5V 系统的典型配置。图中显示了总线终端以方便说明。

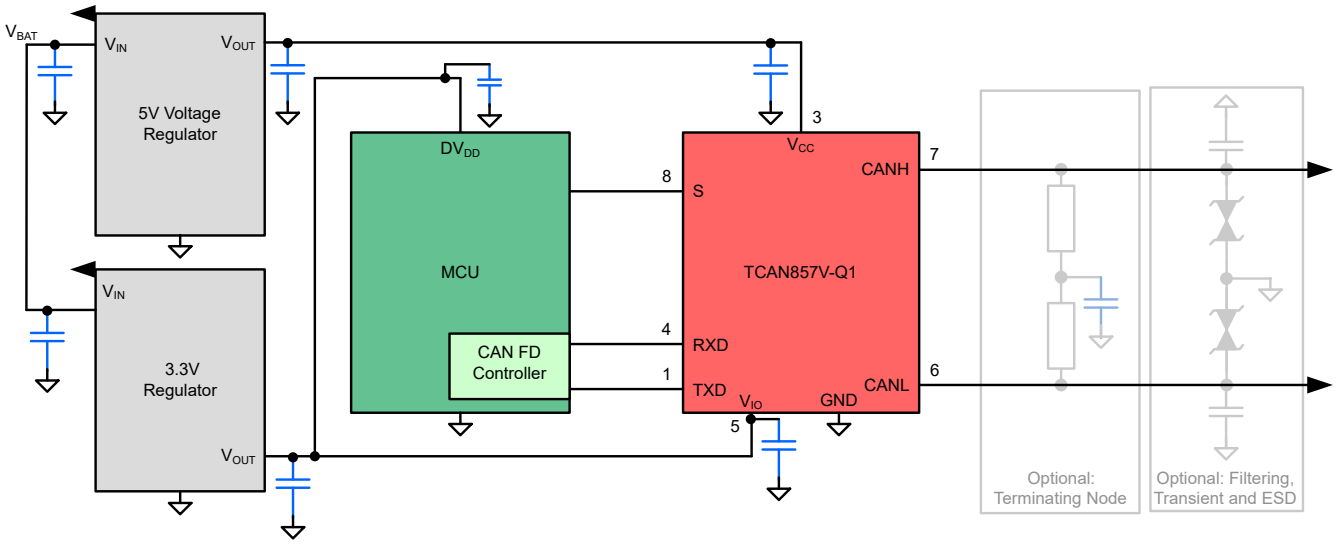


图 9-4. 使用 3.3V IO 连接的典型收发器应用

9.2.4 应用曲线

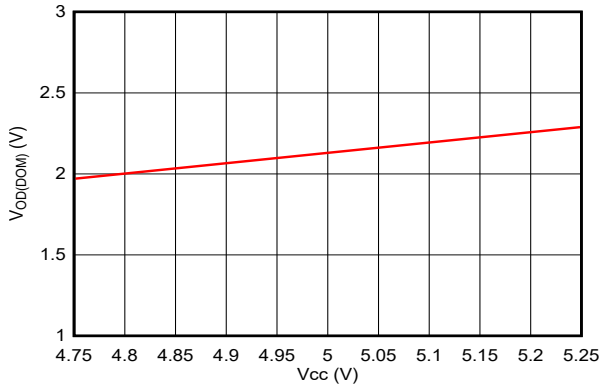


图 9-5. $V_{OD(DOM)}$ 与 V_{CC} 间的关系

9.3 电源相关建议

TCAN857(V)-Q1 收发器设计为在 4.75V 至 5.25V 的 V_{CC} 主输入电源电压范围内运行。TCAN857(V)-Q1 采用 I/O 电平转换电源输入 V_{IO}，设计电压范围为 3V 至 5.25V。这两个电源输入必须经过良好调节。除旁路电容器外，会将一个通常为 100nF 的去耦电容放置在 CAN 收发器的主 V_{CC} 电源引脚附近。除旁路电容器外，会将一个通常为 100nF 的去耦电容器放置在 CAN 收发器的 V_{IO} 电源引脚附近。

Copyright © 2026 Texas Instruments Incorporated

9.4 布局

稳健可靠的 CAN 节点设计可能需要特殊的布局技术，具体取决于应用和汽车设计要求。由于瞬态干扰具有较高的频率内容和较宽的带宽，因此在 PCB 设计过程中可以应用高频布局技术。

9.4.1 布局指南

- 将保护和滤波电路放置于尽可能靠近总线连接器 J1 的位置，以防止瞬变、ESD 和噪声传播到电路板。以下布局示例显示了一个可选瞬态电压抑制 (TVS) 二极管 D1；如果系统级要求超过收发器的额定值，则可以采用该二极管。此示例还显示了可选的总线滤波 0.1 µ F 电容 C4 和 C5。
- 朝信号路径的方向设计总线保护元件。不得将瞬态电流从信号路径强行转移至保护器件。
- 去耦 0.1 µ F 电容要尽可能靠近收发器的电源引脚 V_{CC} 和 V_{IO} 放置。
- 当旁路电容和保护器件连接电源和地时，应至少使用两个过孔以更大限度减少布线电感和过孔电感。

备注

高频电流会选择阻抗最小的路径，而非电阻最小的路径。

- 以下布局示例展示了如何在 CAN 节点上实现分裂终端。此终端分为 R4 和 R5 两个 60 Ω 电阻，终端的中心或分接抽头通过 1nF - 100nF 电容 C3 接地。分裂终端为总线提供共模滤波。有关终端概念和终端电阻所需的额定功率的信息，请参阅 CAN 终端、CAN 总线短路电流限制和方程式 2。

9.4.2 布局示例

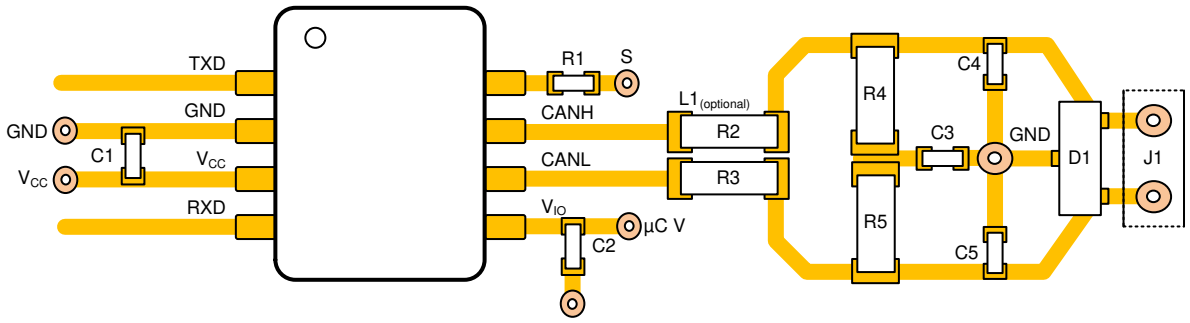


图 9-6. 布局示例

10 器件和文档支持

10.1 文档支持

10.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

10.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

10.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

11 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision A (February 2025) to Revision B (October 2026)	Page
• 将 V_{DIFF} 绝对最大额定值扩展至 ±40V	5
• 更新了 *ESD 等级*，以包含转角引脚 CDM 性能值	5
• 更正了 I_{IO} 说明	6
• 将热关断值统一到*电源特性* 中	6
• 在 V_{SYM} 的测试条件中添加了 TXD = 250kHz、1MHz、2.5MHz	7
• 在 $I_{LKG(IOFF)}$ 的测试条件中添加了 V_{CC} = V_{IO} = GND	7
• 添加了 R_{DIFF}、R_{SE_CANH} 和 R_{SE_CANL}	7
• 删除了 t_{WK_FILTER} 和 $t_{WK_TIMEOUT}$	8
• 明确了*典型特性*中的模式名称	9
• 阐明了 UV_{VCC} 的表 8-2	17

Changes from Revision * (February 2025) to Revision A (February 2025)	Page
• 首次公开发布	1
• 更新了*典型特性*中的图表	9
• 更新了应用曲线图	22

Copyright © 2026 Texas Instruments Incorporated

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TCAN857DDFRQ1	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	T857
TCAN857DDFRQ1.A	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	T857
TCAN857DRBRQ1	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	T857
TCAN857DRBRQ1.A	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	T857
TCAN857DRQ1	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	T857
TCAN857DRQ1.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	T857
TCAN857VDDFRQ1	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	T857V
TCAN857VDDFRQ1.A	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	T857V
TCAN857VDRBRQ1	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	T857V
TCAN857VDRBRQ1.A	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	T857V
TCAN857VDRQ1	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	T857V
TCAN857VDRQ1.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	T857V

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

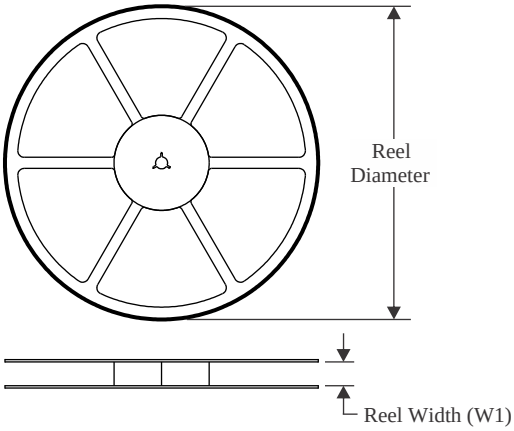
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

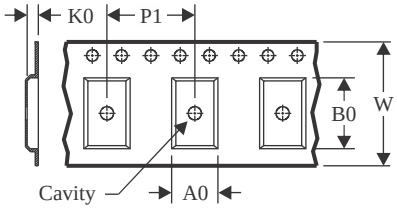
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

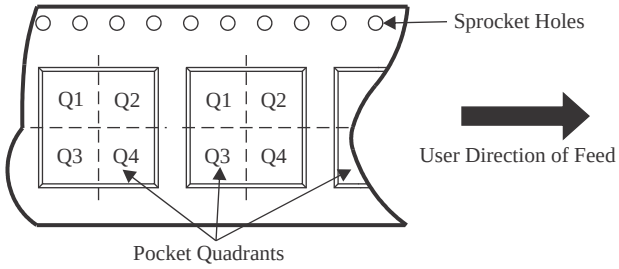


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

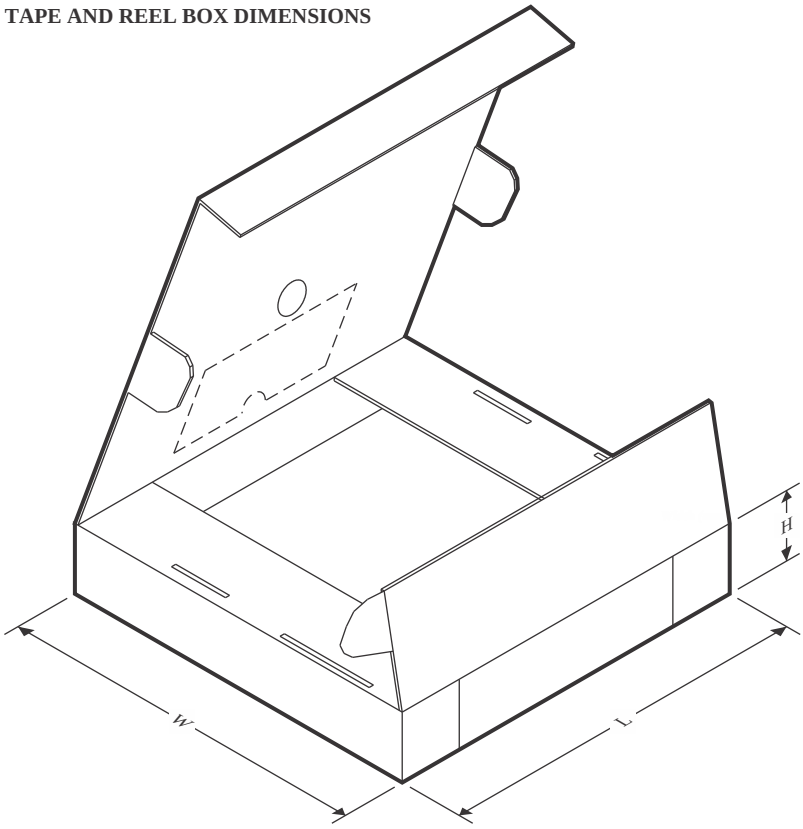
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TCAN857DDFRQ1	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TCAN857DRBRQ1	SON	DRB	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q1
TCAN857DRQ1	SOIC	D	8	2500	330.0	12.5	6.4	5.2	2.1	8.0	12.0	Q1
TCAN857VDDFRQ1	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TCAN857VDRBRQ1	SON	DRB	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q1
TCAN857VDRQ1	SOIC	D	8	2500	330.0	12.5	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TCAN857DDFRQ1	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
TCAN857DRBRQ1	SON	DRB	8	3000	367.0	367.0	35.0
TCAN857DRQ1	SOIC	D	8	2500	340.5	338.1	20.6
TCAN857VDDFRQ1	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
TCAN857VDRBRQ1	SON	DRB	8	3000	367.0	367.0	35.0
TCAN857VDRQ1	SOIC	D	8	2500	340.5	338.1	20.6

GENERIC PACKAGE VIEW

DRB 8

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

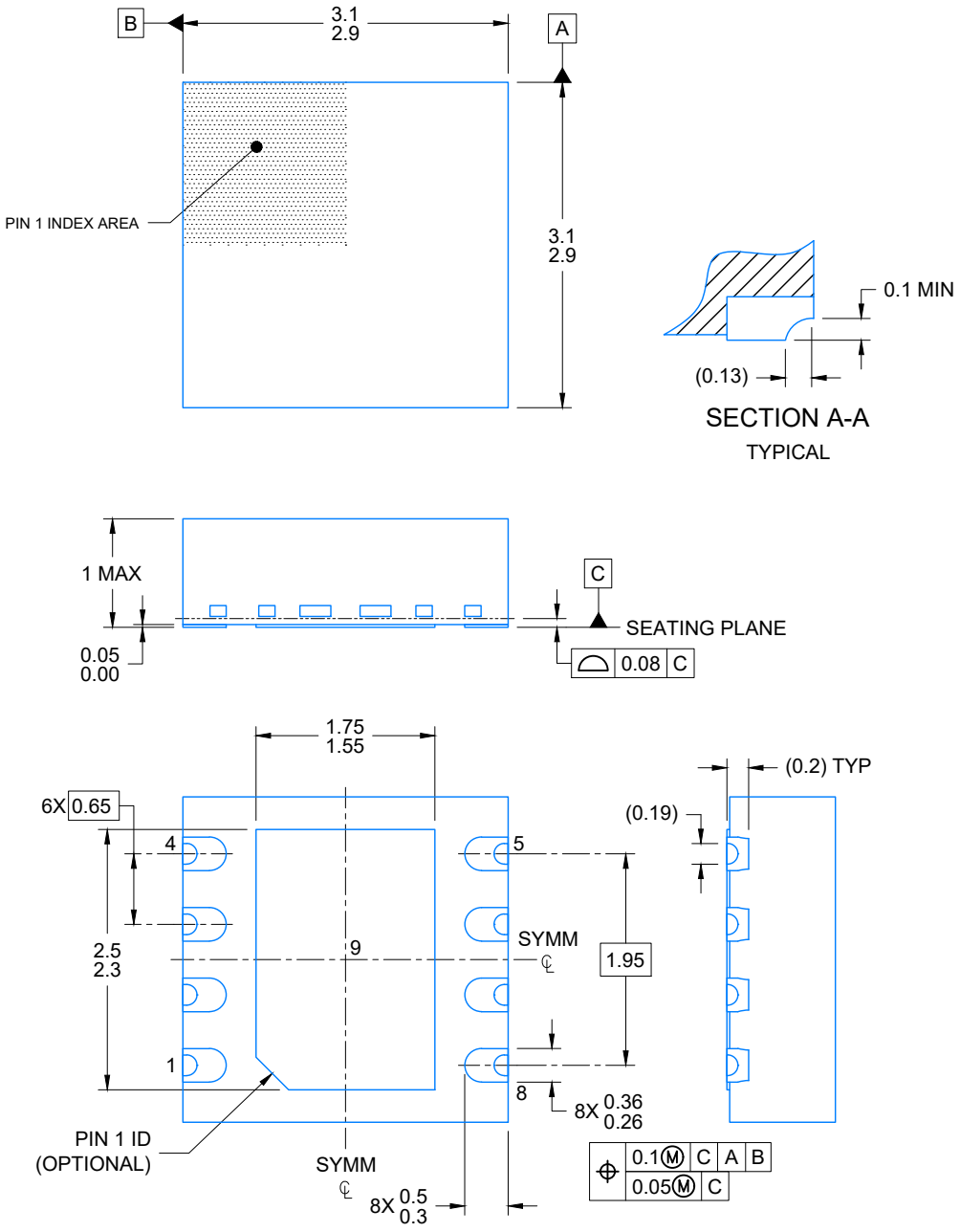
4203482/L

PACKAGE OUTLINE

DRB0008J

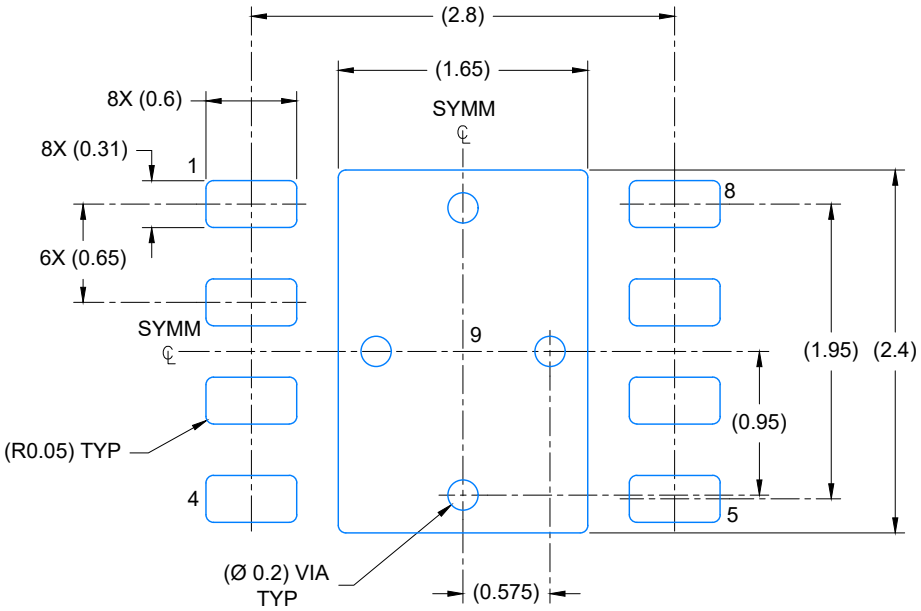
VSON - 1 mm max height

PLASTIC QUAD FLAT PACK- NO LEAD

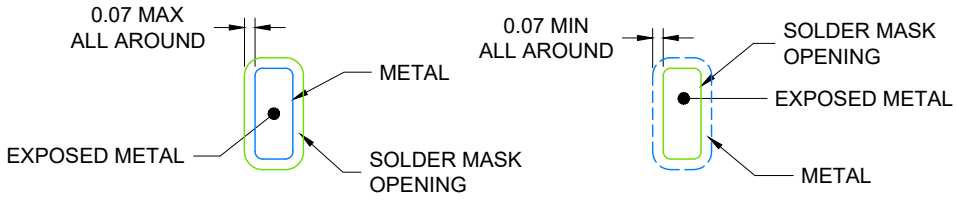


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



NON- SOLDER MASK
DEFINED
(PREFERRED)

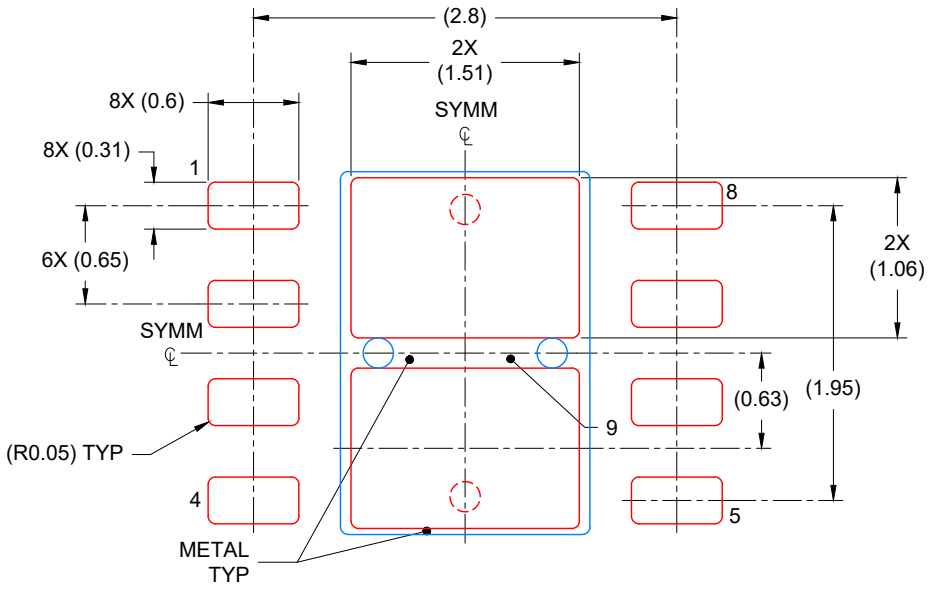
SOLDER MASK
DEFINED

SOLDER MASK DETAILS

4225036/A 06/2019

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
81% PRINTED COVERAGE BY AREA
SCALE: 20X

4225036/A 06/2019

NOTES: (continued)

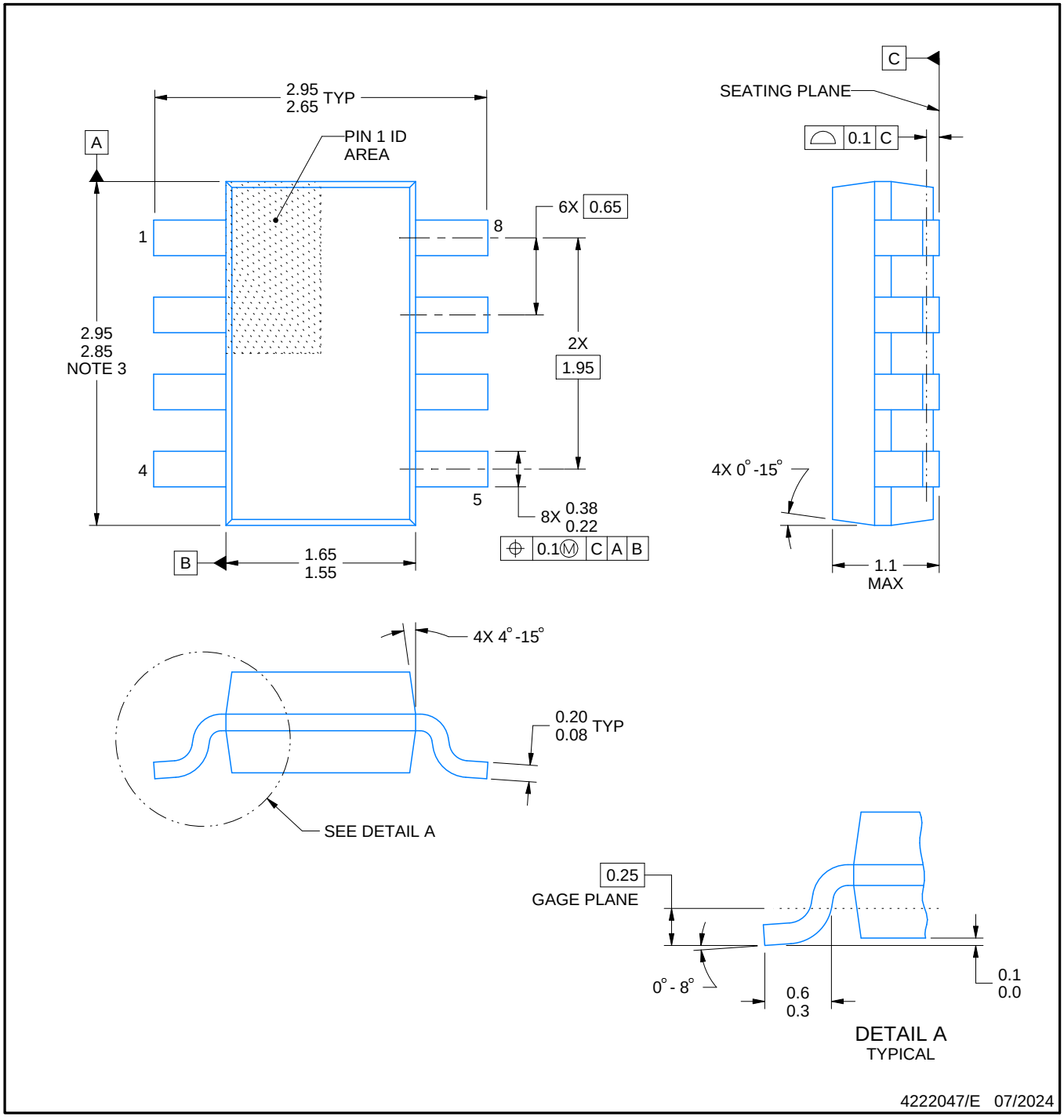
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

DDF0008A

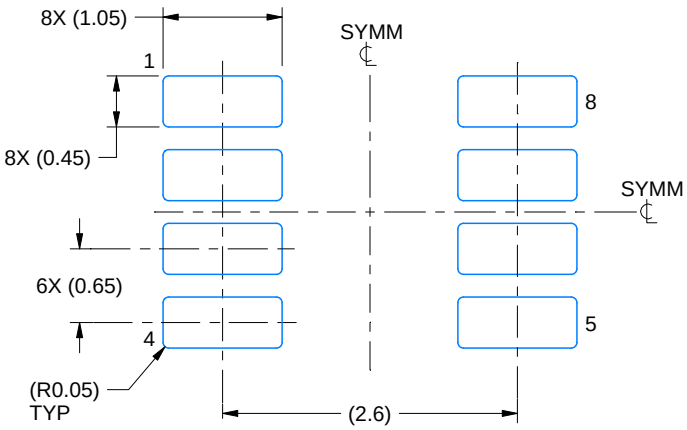
SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE

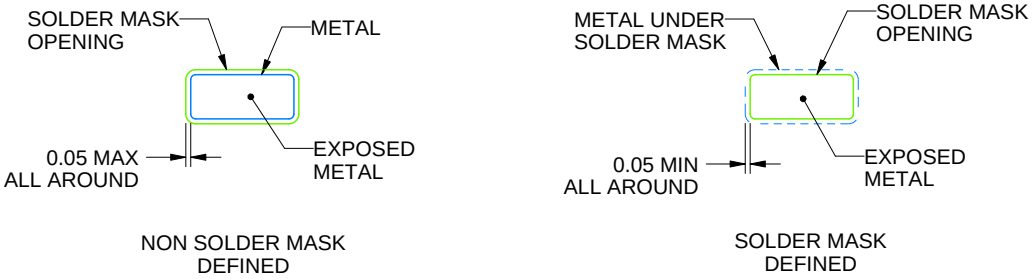


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4222047/E 07/2024

NOTES: (continued)

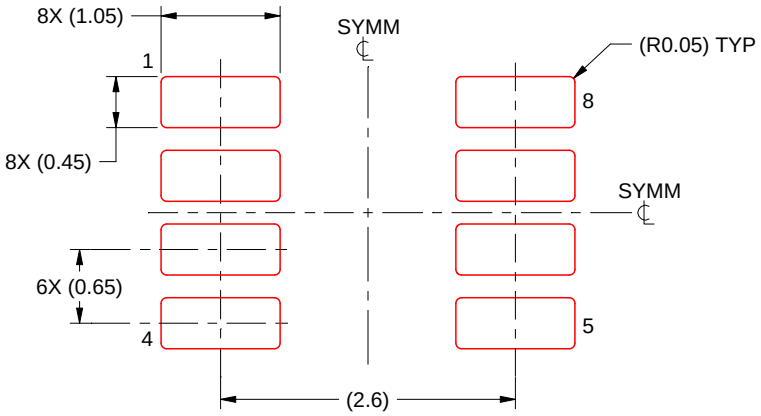
4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DDF0008A

SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE

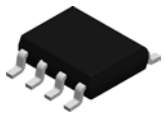


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4222047/E 07/2024

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
7. Board assembly site may have different recommendations for stencil design.

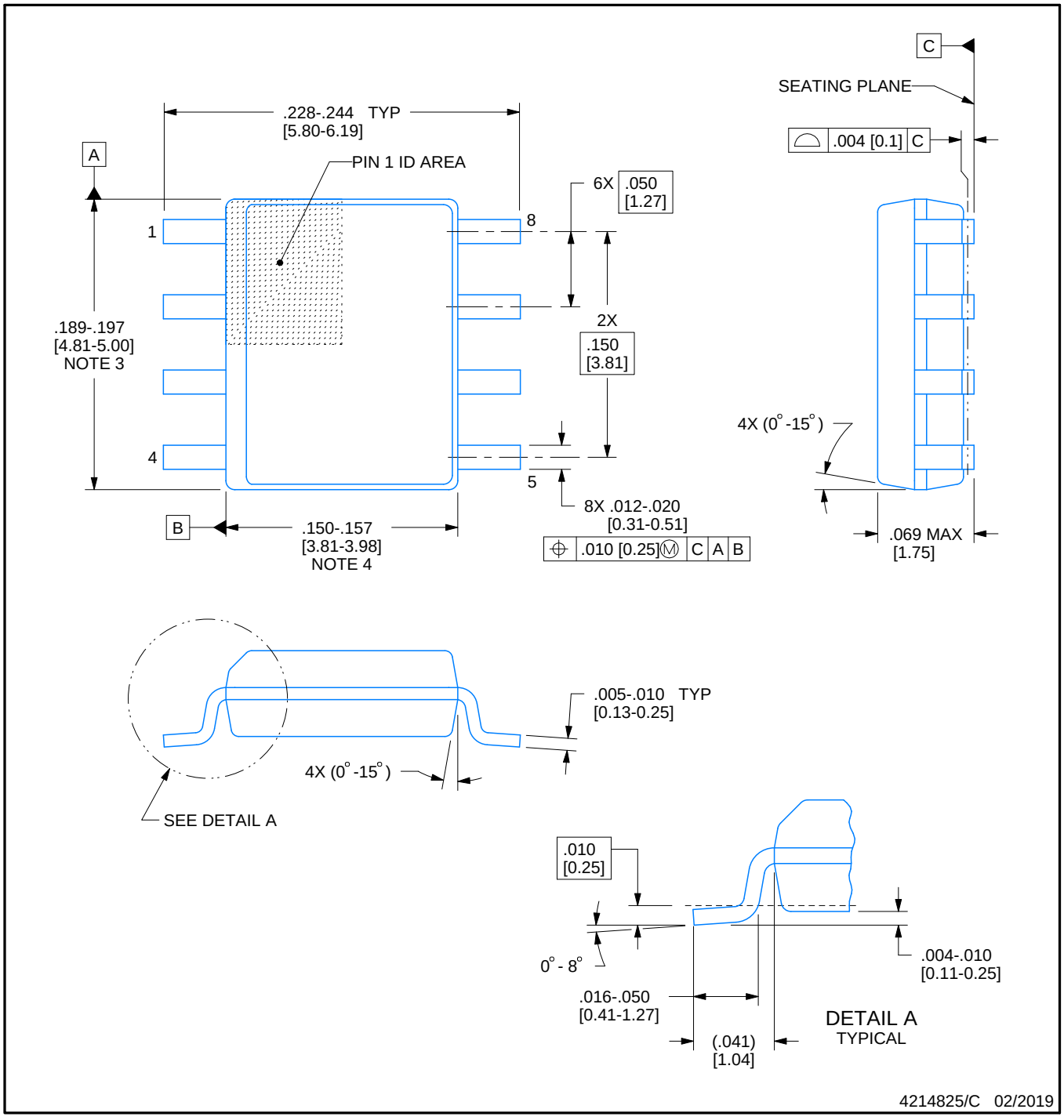


PACKAGE OUTLINE

D0008A

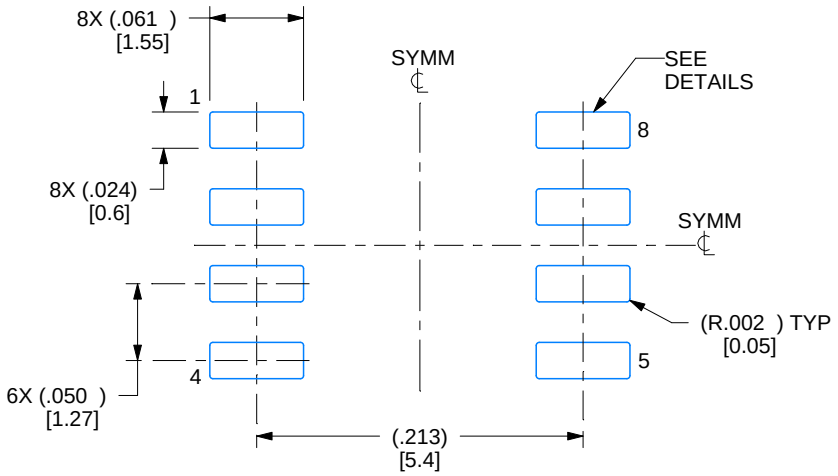
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

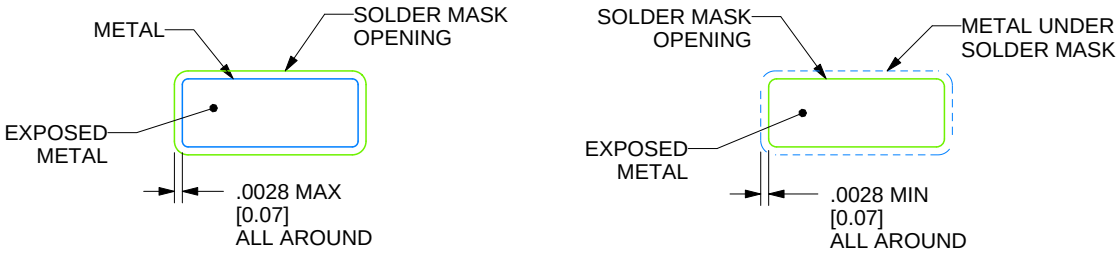


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

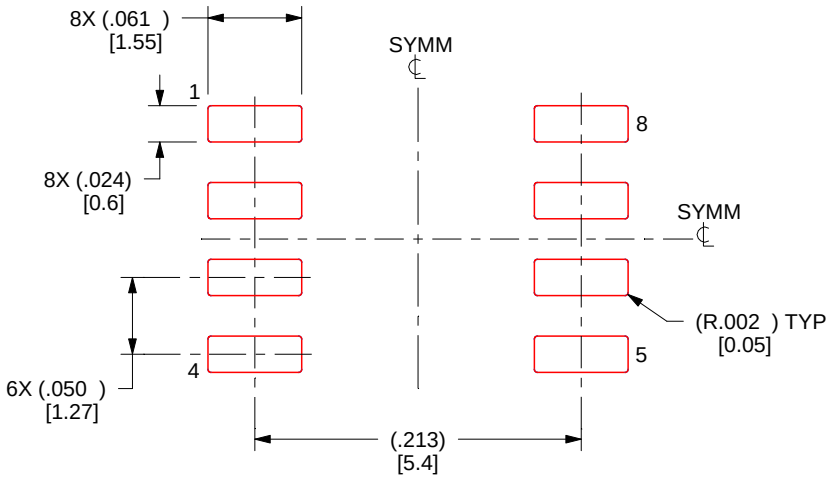
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月