LMX2624-SP 具有相位同步功能且支持 JESD204B/C 标准的 5MHz 至 30GHz 宽带合成器

1 特性

- SMD 5962R2321001PXE
  - 电离辐射总剂量 100Krad（无 ELDRS）
  - 单粒子闩锁 (SEL) 抗扰度高达 75MeV-cm^2/mg
  - 单粒子功能中断 (SEFI) 抗扰度高达 75MeV-cm^2/mg
- 宽带频率合成器：5MHz 至 30GHz 输出频率
- 在 100KHz 偏移和 30GHz 载波下具有 -102dBc/Hz 的相位噪声
- 在 30GHz 时，具有 62fs RMS 抖动（1kHz 至 100MHz）
- 可编程输出功率
- PLL 主要规格：
  - 品质因数：–236dBc/Hz
  - 归一化 1/f 噪声：–129dBc/Hz
  - 小数模式下高达 200MHz 相位检测器频率。
- 跨多个器件实现输出相位同步
- 用于 RFoutA 和 RFoutB 输出的独立静音引脚
- 支持具有可编程延迟的 SYSREF
- 3.3V 单电源运行
- 引脚模式：整数 PLL 模式下的引脚可配置 N 分频器和输出分频器
- 10 x 10mm² 64 引线 QFP 封装
- 工作温度范围：-55°C 至 +125°C
- 由 PLLatinum™ 仿真器设计工具提供支持

2 应用

- 高达 Ku/kA 频带的航空通信有效载荷
- 航空雷达系统
- 命令和数据处理系统
- 高速数据转换器时钟（支持 JESD204B/C）
- 用于混频器（频率高达 30GHz）的本地振荡器

3 说明

LMX2624-SP 是一款具有集成式压控振荡器 (VCO) 的高性能宽带锁相环 (PLL)，可输出 5MHz 至 30GHz 之间的任何频率。此器件上的 VCO 涵盖了整个倍频区间，因而频率覆盖度可完全低至 5MHz。品质因数为 -236dBc/Hz 的高性能 PLL 和高相位检测器频率可实现非常低的带内噪声和集成抖动。

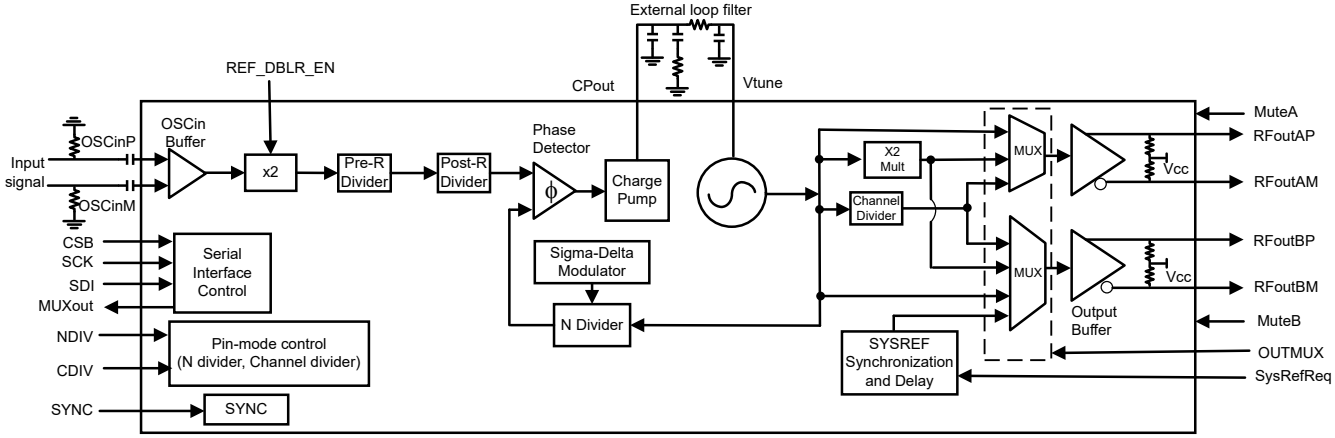
LMX2624-SP 允许设计人员同步多个器件实例的输出。这意味着我们可从各种用例下的器件中获得确定性相位，包括采用分数引擎或启用输出分频器的用例。该器件还支持生成或重复 SYSREF（符合 JESD204B 标准），因此适合用作高速数据转换器的低噪声时钟源。

该器件采用德州仪器 (TI) 先进的 BiCMOS 工艺制造，可提供 64 引线 QFP 塑料封装。

封装信息

器件型号	类型	封装(1)	封装尺寸(2)
5962R2321001PXE	耐辐射加固	QFP 64 引脚	10mm × 10mm
LMX2624PAP/EM(3)	工程样片		

(1) 有关更多信息，请参阅 节 10。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。
(3) 这些器件仅适用于工程评估。它们未按照合规流程进行测试（因此没有老化处理，只有 25°C 测试等）。此外，这些器件不适用于鉴定、量产、辐射测试或飞行用途。这些器件在温度范围之外或超过使用寿命时的性能没有保证。



功能方框图

本资源的原文使用英文撰写。为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 引脚配置和功能.....3
5 规格.....6
5.1 绝对最大额定值.....6
5.2 ESD 等级.....6
5.3 建议运行条件.....6
5.4 热性能信息.....6
5.5 电气特性.....7
5.6 时序要求.....11
5.7 计时示意图.....12
5.8 典型特性.....14
6 详细说明.....20
6.1 概述.....20
6.2 功能方框图.....21
6.3 特性说明.....21
6.4 处理未使用的引脚.....40
6.5 编程.....41
7 应用和实施.....76
7.1 应用信息.....76
7.2 典型应用.....77
7.3 电源相关建议.....80
7.4 布局.....80
8 器件和文档支持.....82
8.1 器件支持.....82
8.2 文档支持.....82
8.3 接收文档更新通知.....82
8.4 支持资源.....82
8.5 商标.....82
8.6 静电放电警告.....82
8.7 术语表.....82
9 修订历史记录.....82
10 机械、封装和可订购信息.....83

Copyright © 2026 Texas Instruments Incorporated

4 引脚配置和功能

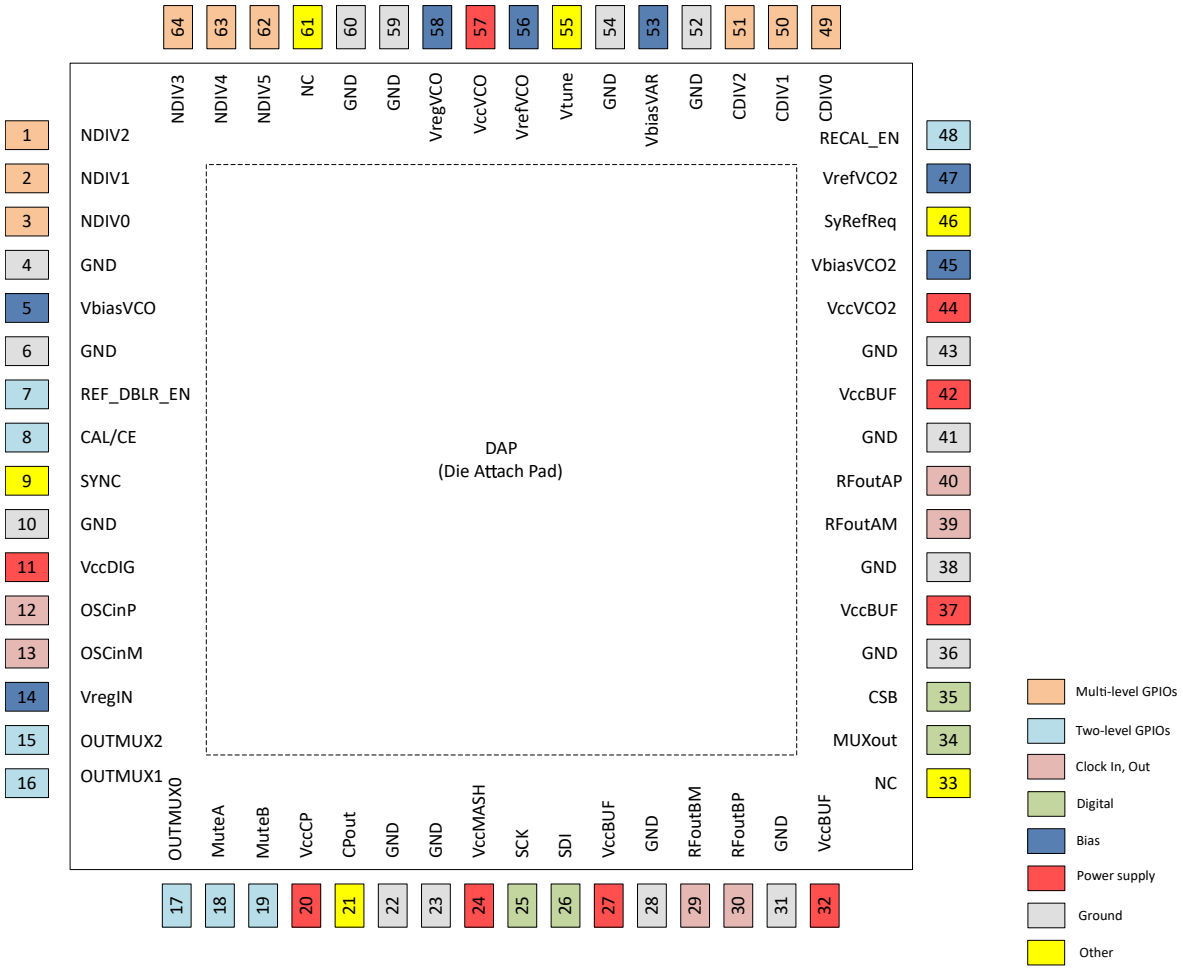


图 4-1. HBD 封装 64 引脚 CQFP 顶视图

表 4-1. 引脚功能

引脚		类型(1)	类型	说明
编号	名称			
1	NDIV2	I	4 电平引脚	引脚模式下的整数 N 分频器位 2。这是 N 分频器设置的 6 位值 NDIV5-NDIV0 的一部分。有关更多详细信息，请参阅引脚模式整数频率生成中的引脚模式说明。
2	NDIV1	I	4 电平引脚	引脚模式下的整数 N 分频器位 1。这是 N 分频器设置的 6 位值 NDIV5-NDIV0 的一部分。有关更多详细信息，请参阅引脚模式整数频率生成中的引脚模式说明。
3	NDIV0	I	4 电平引脚	引脚模式下的整数 N 分频器位 0。这是 N 分频器设置的 6 位值 NDIV5-NDIV0 的一部分。有关更多详细信息，请参阅引脚模式整数频率生成中的引脚模式说明。
4	GND	—	—	接地
5	VbiasVCO	—	—	VCO 偏置。需要将 10µF 电容器接地。靠近引脚放置。
6	GND	—	—	接地
7	REF_DBLR_EN	I	—	输入基准倍频器在引脚模式下启用。此引脚上为高电平则启用基准倍频器，而此引脚上为低电平则会绕过输入基准倍频器。有关更多详细信息，请参阅引脚模式整数频率生成中的引脚模式说明。
8	CAL/CE	I	—	芯片使能。在引脚模式（非 SPI 模式）下，该引脚的上升沿会激活 VCO 校准。在 SPI 模式下，该引脚充当 CE，CE 引脚上的高电平使器件启用，引脚上为低电平则禁用器件。

Copyright © 2026 Texas Instruments Incorporated

表 4-1. 引脚功能（续）

引脚		类型[1]	类型	说明
编号	名称			
9	SYNC	I	—	相位同步 SYNC 信号输入引脚。CMOS 输入。如果未使用，通过一个 1kΩ 电阻器接地。
10	GND	—	—	接地
11	VccDIG	—	—	数字电源。连接到 3.3V，并将一个 0.1µF 电容器接地。
12	OSCinP	I	—	基准输入时钟引脚 (+)。高输入阻抗。需要连接串联电容器（建议使用 0.1µF）。对于单端输入，需要在交流耦合串联电容器之前将一个 50Ω 电阻器连接到 GND。对于差动输入，在 OSCinP 和 OSCinM 之间使用 100Ω 电阻器。
13	OSCinM	I	—	OSCinP 的互补引脚 (-)。如果未使用，通过一个 50Ω 电阻器交流耦合到 GND。
14	VregIN	—	—	输入基准路径调节器去耦。需要将 1µF 电容器接地。靠近引脚放置。
15	OUTMUX2	I	—	与 OUTMUX1 和 OUTMUX0 一起控制 RFOUTA 和 RFOUTB 的输出多路复用器选择。这八个选项包括为 RFOUTA 和 RFOUTB 选择 VCO 输出、倍频器输出或通道分频器输出组合。有关更多详细信息，请参阅引脚模式整数频率生成中的引脚模式说明。
16	OUTMUX1	I	—	与 OUTMUX2 和 OUTMUX0 一起控制 RFOUTA 和 RFOUTB 的输出多路复用器选择。这八个选项包括为 RFOUTA 和 RFOUTB 选择 VCO 输出、倍频器输出或通道分频器输出组合。有关更多详细信息，请参阅引脚模式整数频率生成中的引脚模式说明。
17	OUTMUX0	I	—	与 OUTMUX2 和 OUTMUX1 一起控制 RFOUTA 和 RFOUTB 的输出多路复用器选择。这八个选项包括为 RFOUTA 和 RFOUTB 选择 VCO 输出、倍频器输出或通道分频器输出组合。有关更多详细信息，请参阅引脚模式整数频率生成中的引脚模式说明。
18	MuteA	I	—	输出缓冲器静音控制。高阻抗 CMOS 输入。使用 MuteA 引脚使 RFOUTA 静音或取消静音
19	MuteB	I	—	输出缓冲器静音控制。高阻抗 CMOS 输入。使用 MuteB 引脚使 RFOUTB 静音或取消静音
20	VccCP	I	—	电荷泵电源。连接到 3.3V，并将一个 0.1µF 电容器接地。
21	CPout	O	—	电荷泵输出。建议将环路滤波器的 C1 连接到靠近电荷泵引脚的位置。
22	GND	—	接地	接地
23	GND	—	接地	接地
24	VccMASH	—	—	数字电源。连接到 3.3V，并将一个 0.1µF 和一个 10µF 电容器接地。
25	SCK	I	—	SPI 输入时钟。高阻抗 CMOS 输入。1.6V – 3.3V 逻辑电平。
26	SDI	I	—	SPI 输入数据。高阻抗 CMOS 输入。1.6V – 3.3V 逻辑电平。
27	VccBUF	—	—	输出缓冲器电源。连接到 3.3V，并将一个 0.1µF 电容器接地。
28	GND	—	接地	接地
29	RFoutBM	O	—	差分输出 B 对。集成了连接到 V_{CC} 的 50Ω 上拉电阻器。可用作合成器输出或 SYSREF 输出。
30	RFoutBP	O	—	差分输出 B 对。集成了连接到 V_{CC} 的 50Ω 上拉电阻器。可用作合成器输出或 SYSREF 输出。
31	GND	—	接地	接地
32	VccBUF	—	—	输出缓冲器电源。连接到 3.3V，并将一个 0.1µF 电容器接地。
33	NC	—	—	通过一个 1kΩ 电阻器将该引脚连接到 V_{CC} 或接地。这不会对性能产生影响。
34	MUXout	—	—	多路复用输出引脚。可以输出：锁定检测、SPI 回读和诊断。
35	CSB	—		SPI 负片选。高阻抗 CMOS 输入。1.6V – 3.3V 逻辑电平。
36	GND	—	接地	接地
37	VccBUF	—	—	输出缓冲器电源。连接到 3.3V，并将一个 0.1µF 电容器接地。
38	GND	—	接地	接地
39	RFoutAM	O	—	差分输出 A 对。集成了连接到 V_{CC} 的 50Ω 上拉电阻器。

Copyright © 2026 Texas Instruments Incorporated

表 4-1. 引脚功能（续）

引脚		类型[1]	类型	说明
编号	名称			
40	RFoutAP	O	—	差分输出 A 对。集成了连接到 V_{CC} 的 50Ω 上拉电阻器。
41	GND	—	接地	接地
42	VccBUF	—	—	输出缓冲器电源。连接到 3.3V，并将一个 0.1µF 电容器接地。
43	GND	—	接地	接地
44	VccVCO2	—	—	VCO 电源。连接到 3.3V，并将一个 0.1µF 和一个 10µF 电容器接地。
45	VbiasVCO2	—	—	VCO 偏置。需要将 1µF 电容器接地。
46	SysRefReq	I	—	用于支持 JESD204B/C 的 SYSREF 请求输入。
47	VrefVCO2	—	—	VCO 电源基准。需要将 10µF 电容器接地。
48	RECAL_EN	I	—	启用自动重新校准功能。该引脚上的低电平不触发校准。如果是高电平，则只要器件在经过特定延迟后解锁，就会触发校准。该引脚具有内部 200kΩ 上拉电阻。
49	CDIV0	I	4 电平引脚	在引脚模式选项下控制通道分频器以及 CDIV2 和 CDIV1。有关更多详细信息，请参阅引脚模式整数频率生成中的引脚模式说明。
50	CDIV1	I	4 电平引脚	在引脚模式选项下控制通道分频器以及 CDIV0 和 CDIV2。有关更多详细信息，请参阅引脚模式整数频率生成中的引脚模式说明。
51	CDIV2	I	4 电平引脚	在引脚模式选项下控制通道分频器以及 CDIV1 和 CDIV0。有关更多详细信息，请参阅引脚模式整数频率生成中的引脚模式说明。
52	GND	—	接地	接地
53	VbiasVARAC	—	—	VCO 变容偏置。需要将 10µF 电容器接地。
54	GND	—	接地	接地
55	Vtune	I	—	VCO 调谐电压输入。
56	VrefVCO	—	—	VCO 电源基准。需要将 10µF 电容器接地。
57	VccVCO	—	—	VCO 电源。连接到 3.3V，并将一个 0.1µF 和一个 10µF 电容器接地。
58	VregVCO	—	—	VCO 稳压器节点。需要将 1µF 电容器接地。
59	GND	—	接地	接地
60	GND	—	接地	接地
61	NC	—	NC	通过一个 1KΩ 电阻将该引脚连接到 VCC。
62	NDIV5	I	4 电平引脚	引脚模式下的整数 N 分频器位 5。这是 N 分频器设置的 6 位值 NDIV5-NDIV0 的一部分。有关更多详细信息，请参阅引脚模式整数频率生成中的引脚模式说明。
63	NDIV4	I	4 电平引脚	引脚模式下的整数 N 分频器位 4。这是 N 分频器设置的 6 位值 NDIV5-NDIV0 的一部分。有关更多详细信息，请参阅引脚模式整数频率生成中的引脚模式说明。
64	NDIV3	I	4 电平引脚	引脚模式下的整数 N 分频器位 3。这是 N 分频器设置的 6 位值 NDIV5-NDIV0 的一部分。有关更多详细信息，请参阅引脚模式整数频率生成中的引脚模式说明。
—	DAP	—	接地	裸片连接焊盘使用多个过孔将 DAP 连接到 PCB 接地平面，以获得良好的热性能。

(1) I = 输入；O = 输出

Copyright © 2026 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
V_{CC}	电源电压(1)	-0.3	3.6	V
V_{DIG}	数字引脚电压（SYNC、SysRefReq、RECAL_EN、CAL、MUXout、REF_DBLR_EN、MuteX、OUTMUXx、CHDIVx、NDIVx）	-0.3	3.6	V
$\|V_{OSCin}\|$	OSCinP 和 OSCinM 之间的差分交流电压		2.1	V_{PP}
T_J	结温	-55	150	°C
T_{stg}	贮存温度	-65	150	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。“绝对最大额定值”并不表示器件在这些条件下或在“建议运行条件”以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±2000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准，所有引脚(2)	±750	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。若部署必要的预防措施，不足 500V HBM 时也能进行生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。若部署必要的预防措施，不足 250V CDM 时也能进行生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
V_{CC}	电源电压	3.2	3.3	3.45	V
T_C	外壳温度	-55	25	125	°C

5.4 热性能信息

热指标(1)		CQFP	单位
		64 引脚	
$R_{\theta JA}$	结至环境热阻	19.95	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	6.84	°C/W
$R_{\theta JB}$	结至电路板热阻	5.91	°C/W
ψ_{JT}	结至顶部特征参数	0.11	°C/W
ψ_{JB}	结至电路板特征参数	5.87	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻 (2)	0.45	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用手册。
(2) DAP

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性

3.2V ≤ V_{CC} ≤ 3.45V，–55°C ≤ T_C ≤ +125°C，OSCIN = 100MHz，SM 时钟 = 12.5MHz。典型值在 V_{CC} = 3.3V，25°C 条件下测得（除非另有指明）。

参数		测试条件		最小值	典型值	最大值	单位
电源							
I_{CC}	电源电流（在两个通道上均选择 VCO 输出；启用 RFOUTA，禁用 RFOUTB）	OUTA_PD = 0，OUTB_PD = 1 OUTA_MUX = 1 OUTA_PWR = 7，CPG = 7 f_{OSC} = f_{PD} = 100MHz，f_{VCO} = f_{OUT} = 14.5GHz			460		mA
	电源电流（启用 RFOUTA 和 RFOUTB 上的 VCO 输出）	OUTA_PD = 0，OUTB_PD = 0 OUTA_MUX = 1，OUTB_MUX = 1 OUTA_PWR = 7，OUTB_PWR = 7，CPG = 7 f_{OSC} = f_{PD} = 100MHz，f_{VCO} = f_{OUT} = 14.5GHz			660		mA
	电源电流（在两个通道上均选择通道分频器；启用 RFOUTA，禁用 RFOUTB）	OUTA_PD = 0，OUTB_PD = 1， OUTA_MUX = 0 OUTA_PWR = 7，CPG = 7 f_{OSC} = f_{PD} = 100MHz，f_{VCO} = 15GHz，f_{OUT} = 7.5GHz			510		
	电源电流（在 RFOUTA 和 RFOUTB 上均启用通道分频器）	OUTA_PD = 0，OUTB_PD = 0 OUTA_MUX = 0，OUTB_MUX = 0， OUTA_PWR = 7，OUTB_PWR = 7，CPG = 7 f_{OSC} = f_{PD} = 100MHz，f_{VCO} = 15GHz，f_{OUT} = 7.5GHz			685		
	电源电流（在两个通道上均选择倍频器输出；启用 RFOUTA，禁用 RFOUTB）	OUTA_PD = 0，OUTB_PD = 1， OUTA_MUX = 2， OUTA_PWR = 7，CPG = 7 f_{OSC} = f_{PD} = 100MHz，f_{VCO} = 12GHz，f_{OUT} = 24GHz			650		
	电源电流（在 RFOUTA 和 RFOUTB 上均启用倍频器输出）	OUTA_PD = 0，OUTB_PD = 0 OUTA_MUX = 2，OUTB_MUX = 2， OUTA_PWR = 7，OUTB_PWR = 7，CPG = 7 f_{OSC} = f_{PD} = 100MHz，f_{VCO} = 12GHz，f_{OUT} = 24GHz			730		
	电源电流（在 RFOUTA 上启用倍频器输出，在 RFOUTB 上启用 CHDIV）	OUTA_PD = 0，OUTB_PD = 0 OUTA_MUX = 2，OUTB_MUX = 0， OUTA_PWR = 7，OUTB_PWR = 7，CPG = 7 f_{OSC} = f_{PD} = 100MHz，f_{VCO} = 12GHz f_{OUTA} = 24GHz，f_{OUTB} = 6GHz			810		
	上电复位电流	RESET = 1（器件唤醒）			250		
	关断电流	POWERDOWN = 1			17		
输出特性							
Fout	RF 输出频率			5		30000	MHz
P_{OUT}	单端输出功率(2)(4)	OUTx_PWR = 7；倍频器输出	f_{OUT} = 30GHz		1.2		dBm
	差动输出功率(5)				4.2		
	单端输出功率(2)(4)		f_{OUT} = 27GHz		2		
	差动输出功率(5)				5		
	单端输出功率(2)(4)		f_{OUT} = 24GHz		3.5		
	差动输出功率(5)				6.5		
	单端输出功率(2)(4)		f_{OUT} = 18GHz		2		
	差动输出功率(5)				5		
	单端输出功率(2)(4)	OUTx_PWR = 7；VCO 输出	f_{OUT} = 15GHz		2.5		
	差动输出功率(5)				5.5		
	单端输出功率(2)(4)		f_{OUT} = 7.5GHz		6		
	差动输出功率(5)				9		
	单端输出功率(2)(4)	OUTx_PWR = 7；分频器输出	f_{OUT} = 4GHz		6.5		
	差动输出功率(5)				9.5		

Copyright © 2026 Texas Instruments Incorporated

3.2V ≤ V_{CC} ≤ 3.45V，–55°C ≤ T_C ≤ +125°C，OSCIN = 100MHz，SM 时钟 = 12.5MHz。典型值在 V_{CC} = 3.3V，25°C 条件下测得（除非另有指明）。

参数		测试条件		最小值	典型值	最大值	单位
$H_{1/2}$	1/2 谐波，单端测量	在 12GHz 频率下测量	F_{out} = 2 × F_{vco} = 24GHz		-55		dBc
	1/2 谐波，差分端				-60		
	1/2 谐波，单端测量	在 8GHz 频率下测量	F_{out} = 2 × F_{vco} = 16GHz		-42		
	1/2 谐波，差分端				-45		
$H_{3/2}$	3/2 谐波，单端测量	在 24GHz 频率下测量	F_{out} = 2 × F_{vco} = 16GHz		-45		
	3/2 谐波，差分端测量				-45		
P_{mute}	输出静音时的单端输出功率泄漏	Fout = 24GHz			-40		dBm
	输出静音时的单端输出功率泄漏	Fout = 12GHz			-55		
	输出静音时的单端输出功率泄漏	Fout = 6GHz；RFoutA 和 RFoutB 配置为 CHDIV 且均静音			-85		
	输出静音时的单端输出功率泄漏	Fout = 6GHz；RFoutA 和 RFoutB 配置为 CHDIV；RFoutA 静音；在 RFoutA 处测量			-60		
t_{MUTE}	静音启用时间	Fout = 12GHz			200		ns
t_{UNMUTE}	静音禁用时间	Fout = 12GHz			200		
isoCH	通道间隔离（倍频器至 VCO）	RFOUTA = 24GHz；RFOUTB = 12GHz			-39		dBc
	通道间隔离（VCO 至 CH 分频器）	RFOUTA = 12GHz；RFOUTB = 6GHz			-53		
	通道间隔离（倍频器至通道分频器）	RFOUTA = 24GHz；RFOUTB = 6GHz			-41		
相位噪声	射频输出频率相位噪声	Fout = 24GHz	1kHz		-92.5		dBc/Hz
			10kHz		-102		
			100kHz		-104		
			1MHz		-112.5		
			10MHz		-138		
			100MHz		-150.7		
		Fout = 15GHz	1kHz		-97		
			10kHz		-105.5		
			100kHz		-107.5		
			1MHz		-115		
			10MHz		-140		
			100MHz		-156		
抖动	RMS 抖动	Fout = 24GHz，f_{OSCin} = 100MHz，f_{PD} = 200MHz；积分范围为 1kHz 至 100MHz			54		fs
偏斜	RFOUTA 和 RFOUTB 之间的偏斜	RFOUTA = RFOUTB = 16GHz			32		ps
		RFOUTA = RFOUTB = 8GHz			6		
		RFOUTA = RFOUTB = 4GHz			5		
输入信号路径							
f_{OSCin}	基准输入频率	OSC_2X = 0		5		1200	MHz
		OSC_2X = 1		5		200	
v_{OSCin}	基准输入电压	单端交流耦合正弦波输入，互补侧交流通过 50Ω 电阻器耦合到地	f_{OSCin} ≥ 20MHz	0.4		2	V_{PP}
			10MHz ≤ f_{OSCin} < 20MHz	0.8		2	
			5MHz ≤ f_{OSCin} < 10MHz	1.6		2	
相位检测器和电荷泵							
f_{PD}	相位检测器频率(1)	MASH_ORDER = 0		0.125		250	MHz
		MASH_ORDER > 0		5		200	MHz

Copyright © 2026 Texas Instruments Incorporated

3.2V ≤ V_{CC} ≤ 3.45V，–55°C ≤ T_C ≤ +125°C，OSCIN = 100MHz，SM 时钟 = 12.5MHz。典型值在 V_{CC} = 3.3V，25°C 条件下测得（除非另有指明）。

参数		测试条件	最小值	典型值	最大值	单位
I_{CPout}	电荷泵漏电流	CPG = 0		15		nA
	有效电荷泵电流。这是向上电流和向下电流的总和	CPG = 4		3		mA
		CPG = 1		6		
		CPG = 5		9		
		CPG = 3		12		
		CPG = 7		15		
$PN_{PLL_1/f}$	归一化 PLL 1/f 噪声	f_{PD} = 100MHz，f_{VCO} = 12GHz(3)		-129		dBc/Hz
PN_{PLL_FOM}	归一化 PLL 本底噪声	f_{PD} = 100MHz，f_{VCO} = 12GHz(3)		-236		

Copyright © 2026 Texas Instruments Incorporated

3.2V ≤ V_{CC} ≤ 3.45V，–55°C ≤ T_C ≤ +125°C，OSCIN = 100MHz，SM 时钟 = 12.5MHz。典型值在 V_{CC} = 3.3V，25°C 条件下测得（除非另有指明）。

参数		测试条件		最小值	典型值	最大值	单位
VCO 特性							
f_{VCO}	VCO 频率			7500		15000	MHz
PN_{VCO}	VCO 相位噪声	VCO1 f_{VCO} = 8.1GHz	100kHz		-106		dBc/Hz
			1MHz		-129		
			10MHz		-148		
			100MHz		-158		
		VCO2 f_{VCO} = 9.3GHz	100kHz		-104		
			1MHz		-126		
			10MHz		-143		
			100MHz		-157		
		VCO3 f_{VCO} = 10.4GHz	100kHz		-102		
			1MHz		-126		
			10MHz		-142		
			100MHz		-157		
		VCO4 f_{VCO} = 11.4GHz	100kHz		-99		
			1MHz		-124		
			10MHz		-145		
			100MHz		-156		
		VCO5 f_{VCO} = 12.5GHz	100kHz		-99		
			1MHz		-123		
			10MHz		-143		
			100MHz		-156		
		VCO6 f_{VCO} = 13.6GHz	100kHz		-98		
			1MHz		-122		
			10MHz		-142		
			100MHz		-157		
		VCO7 f_{VCO} = 14.7GHz	100kHz		-97		
			1MHz		-121		
			10MHz		-141		
			100MHz		-156		
t_{VCOCAL}	VCO 校准时间	在整个频段内切换；f_{OSC} = f_{PD} = 100MHz；无辅助校准			650		µs
$t_{LockTime}$	锁定时间	完全辅助模式，环路带宽 = 300kHz，PFD 频率 = 100MHz；RFOUTA 为 9.5GHz 至 9.52GHz，1PPM 稳定在 RFOUT 附近；启用双缓冲			16		µs
K_{VCO}	VCO 增益	8.1GHz			94		MHz/V
		9.3GHz			106		
		10.4GHz			122		
		11.4GHz			148		
		12.5GHz			185		
		13.6GHz			202		
		14.7GHz			233		
$\lvert\Delta T_{CL}\rvert$	未重新校准 VCO 时允许的温漂	器件配置为 SPI 模式			125		°C
H2	VCO 二次谐波	f_{VCO} = 8GHz，禁用分频器；单端输出			-30		dBc
H3	VCO 三次谐波	f_{VCO} = 8GHz，禁用分频器；单端输出			-14		

Copyright © 2026 Texas Instruments Incorporated

3.2V ≤ V_{CC} ≤ 3.45V，–55°C ≤ T_C ≤ +125°C，OSCIN = 100MHz，SM 时钟 = 12.5MHz。典型值在 V_{CC} = 3.3V，25°C 条件下测得（除非另有指明）。

参数		测试条件		最小值	典型值	最大值	单位
数字接口（适用于 SCK、SDI、CSB、CAL、RECAL_EN、MUXout、SYNC、SysRefReq、REF_DBLR_EN、MuteX、OUTMUXx）							
V_{IH}	高电平输入电压			1.6			V
V_{IL}	低电平输入电压					0.4	V
I_{IH}	高电平输入电流					100	μA
I_{IL}	低电平输入电流			-100			μA
V_{OH}	高电平输出电压	MUXout 引脚	负载电流 = -5mA	V_{CC} – 0.6			V
V_{OL}	低电平输出电压	MUXout 引脚	负载电流 = 5mA			0.6	V
$V_{SysRefCM}$	SYSREF 输出共模电压	OUTB_PWR = 7；V_{CC} = 3.3V；差动 100Ω 负载			2.1		V
V_{SysRef}	SYSREF 输出摆幅	OUTB_PWR = 7；V_{CC} = 3.3V；差动 100Ω 负载			1.2		V
f_{SysRef}	SYSREF 频率范围					187.5	MHz
$f_{SysRefDly}$	SYSREF 延迟步长	$f_{Interpolator}$ = 800MHz			9		ps
VL	CDIV0、CDIV1、CDIV2 电压电平			0		0.4	V
VML	CDIV0、CDIV1、CDIV2 电压电平			0.8	V_{CC}/3	1.4	V
VMH	CDIV0、CDIV1、CDIV2 电压电平			1.9	2 × V_{CC}/3	2.5	V
VH	CDIV0、CDIV1、CDIV2 电压电平			3	V_{CC}	3.45	V
VL	NDIV0、NDIV1、NDIV2、NDIV3、NDIV4、NDIV5 电压电平			0		0.4	V
VML	NDIV0、NDIV1、NDIV2、NDIV3、NDIV4、NDIV5 电压电平			0.8	V_{CC}/3	1.4	V
VMH	NDIV0、NDIV1、NDIV2、NDIV3、NDIV4、NDIV5 电压电平			1.9	2 × V_{CC}/3	2.5	V
VH	NDIV0、NDIV1、NDIV2、NDIV3、NDIV4、NDIV5 电压电平			3	V_{CC}	3.45	V

(1) 对于较低的 VCO 频率，N 分频器最小值会限制相位检测器频率。
(2) 器件引脚上的单端输出功率。走线损耗已去嵌入。未使用的端口端接至 50Ω 负载。
(3) 使用一个干净基准和一个宽环路带宽来测量 PLL 噪声成分，包括闪烁噪声和平坦噪声。PLL_flat = PLL_FOM + 20× log(Fvco/Fpd) + 10 × log(Fpd / 1Hz)。PLL_flicker (offset) = PLL_1/f + 20 × log(Fvco / 1GHz) – 10× log(offset / 10kHz)。在找到这两个成分后，可以按以下公式计算总 PLL 噪声：PLL_Noise = 10 × log(10 $^{PLL_Flat / 10}$ + 10 $^{PLL_flicker /10}$)
(4) 输出功率、杂散和谐波会因电路板布局布线和元件而异。
(5) 使用外部平衡-非平衡变压器测量的差动输出功率。平衡-非平衡变压器和走线损耗已去嵌入。

5.6 时序要求

（除非另有说明，否则 3.2V ≤ V_{CC} ≤ 3.45V，–55°C ≤ T_C ≤ +125°C。标称值在 V_{CC} = 3.3V、T_C = 25°C 下测得）

参数			最小值	标称值	最大值	单位
数字接口写入规范						
f_{SPI}Write	铁电随机存取存储器 (SPI) 写入速度				40	MHz
t_{CE}	时钟到使能低电平时间	请参阅计时示意图	2.5			ns
t_{CS}	数据到时钟建立时间		8.6			ns
t_{CH}	数据到时钟保持时间		0.6			ns
t_{CWH}	时钟脉冲宽度高电平		10			ns
t_{CWL}	时钟脉冲宽度低电平		10			ns
t_{CES}	使能到时钟设置时间		6.5			ns
t_{EWH}	使能脉冲宽度高电平		5			ns
数字接口回读规格						
f_{SPI}Readback	SPI 回读速度				40	MHz

Copyright © 2026 Texas Instruments Incorporated

（除非另有说明，否则 3.2V ≤ V_{CC} ≤ 3.45V，–55°C ≤ T_C ≤ +125°C。标称值在 V_{CC} = 3.3V、T_C = 25°C 下测得）

参数			最小值	标称值	最大值	单位
t_{CE}	时钟到使能低电平时间	请参阅计时示意图	2.5			ns
t_{CS}	时钟到数据等待时间		8.6			ns
t_{CWH}	时钟脉冲宽度高电平		10			ns
t_{CWL}	时钟脉冲宽度低电平		10			ns
t_{CES}	使能到时钟设置时间		6.5			ns
t_{EWH}	使能脉冲宽度高电平		5			ns
t_{CD}	时钟下降沿到数据等待时间				10	ns
SYNC 和 SYSREFREQ						
t_{SETUP}	SYNC 引脚至 OSCin 建立时间		2.5			ns
t_{HOLD}	SYNC 引脚至 OSCin 保持时间		2.5			ns

5.7 计时示意图

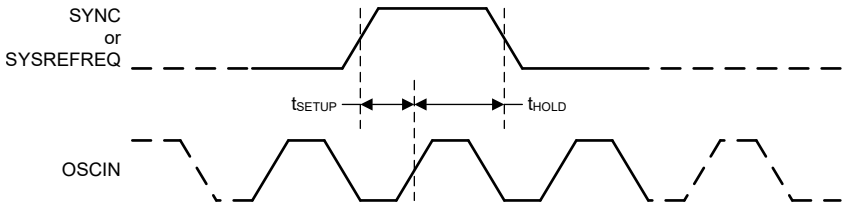


图 5-1. 触发信号计时示意图

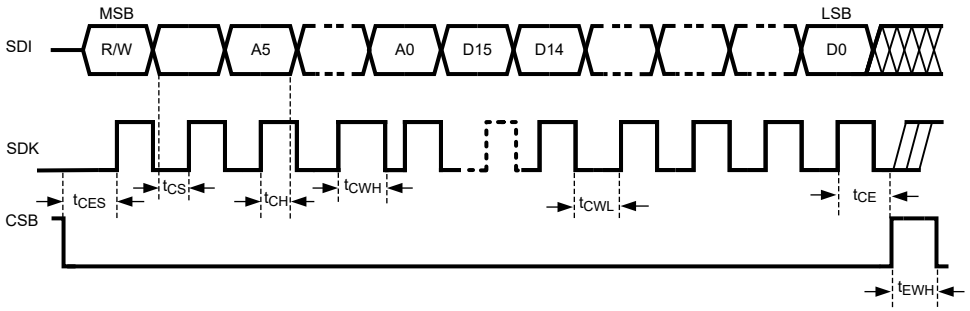


图 5-2. 串行数据输入计时示意图

LMX2624-SP 支持 SPI 模式 0（CPOL=0、CPHA=0）以及模式 3（CPOL=01 CPHA=1）。

在 SPI 上写入时，还有其他几个注意事项：

- R/W 位必须设置为 0。
- SDI 引脚上的数据在 SCK 引脚的每个上升沿被时钟输入到移位寄存器中。在第 24 个时钟周期的上升沿，数据从数据字段传输到选定的寄存器组。
- CSB 必须保持低电平，才能对数据进行时钟输入。如果 CSB 保持高电平，器件会忽略时钟脉冲。
- 如果 MUXOUT 引脚配置为 SPI SDO，则 MUXOUT 引脚在所有写入事务期间和 CSB 为高电平时将设为三态。
- 如果在器件之间共享 SCK 和 SDI 线路，TI 建议在不进行时钟输入的器件上将 CSB 线路保持高电平。

Copyright © 2026 Texas Instruments Incorporated

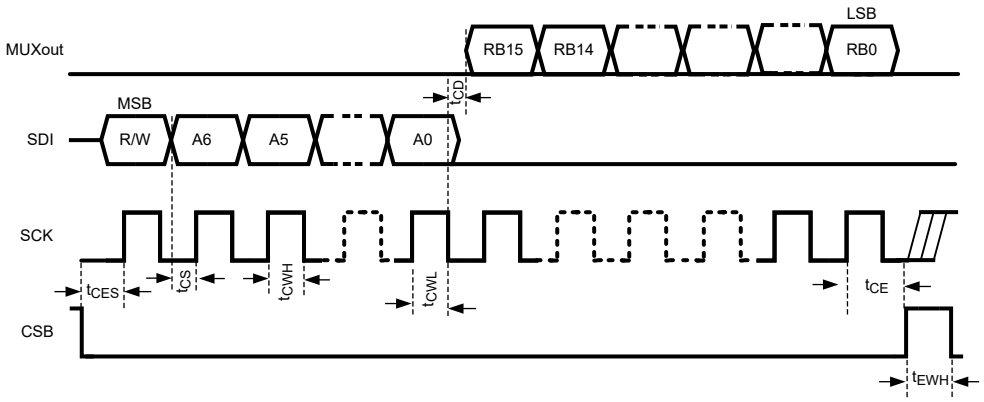


图 5-3. 串行数据回读计时示意图

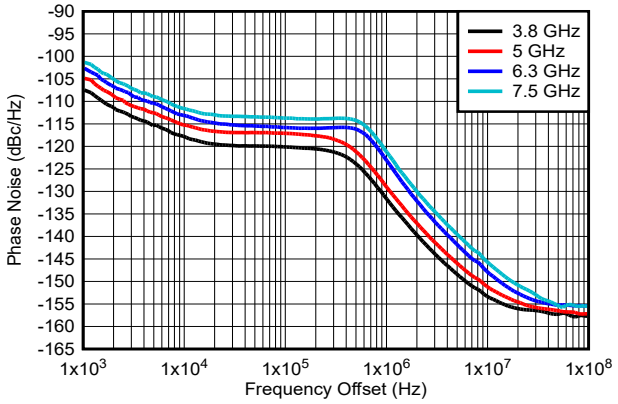
SPI 回读还有其他几个注意事项：

- R/W 位必须设置为 1。
- 对于事务的地址部分，以及在 CSB 引脚为高电平时，MUXout 引脚会设为三态。
- MUXout 上的数据在 SCK 下降沿之后立即可用，因此必须在 SCK 上升沿回读。
- 始终忽略 SDI 线路上转换的数据部分。

Copyright © 2026 Texas Instruments Incorporated

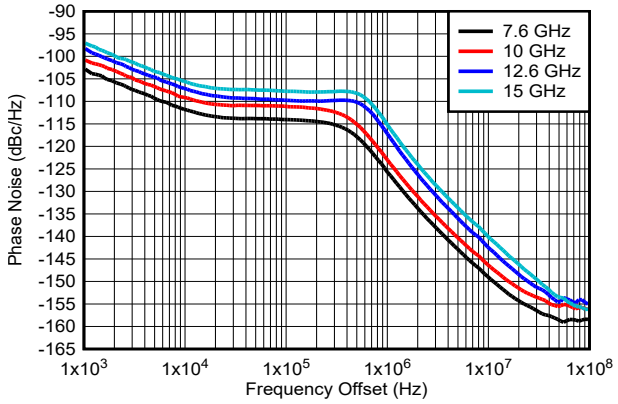
5.8 典型特性

除非另外说明，否则可假设满足以下条件：温度 = 25°C，Vcc = 3.3V，OUTx_PWR = 7，OSCIN_P 在引脚处以 10dBm 单端驱动。



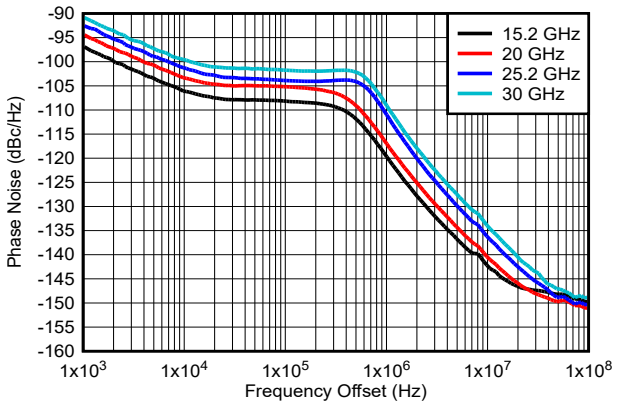
f_{OSC} = 100MHz，f_{PD} = 200MHz，通道分频器值：2

图 5-4. 通道分频器频率范围内的闭环相位噪声



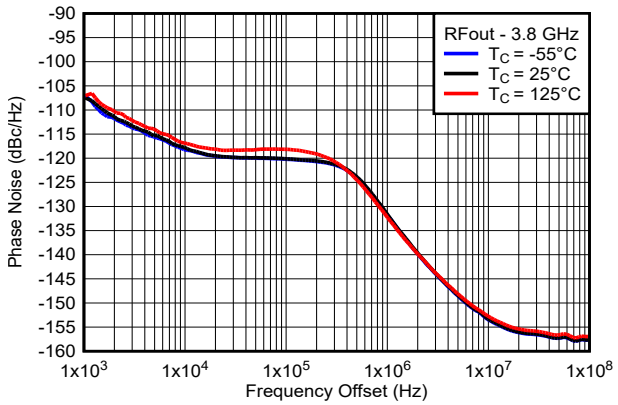
f_{OSC} = 100MHz，f_{PD} = 200MHz

图 5-5. VCO 频率范围内的闭环相位噪声



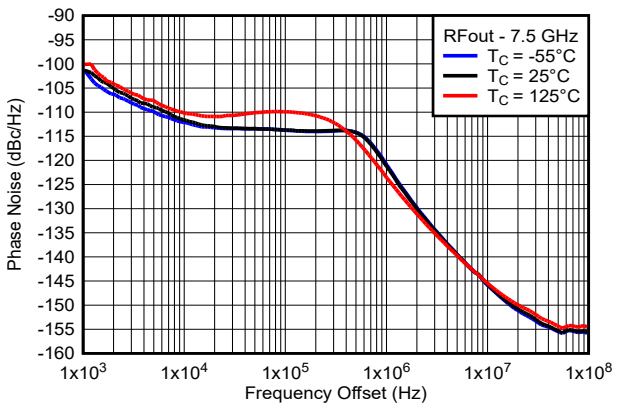
f_{OSC} = 100MHz，f_{PD} = 200MHz

图 5-6. 倍频器频率范围内的闭环相位噪声



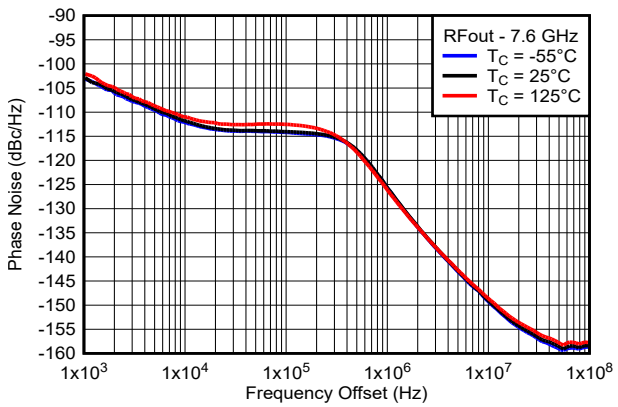
f_{OSC} = 100MHz，f_{PD} = 200MHz，通道分频器值：2

图 5-7. 3.8GHz 频率下的闭环相位噪声



f_{OSC} = 100MHz，f_{PD} = 200MHz，通道分频器值：2

图 5-8. 7.5GHz 频率下的闭环相位噪声



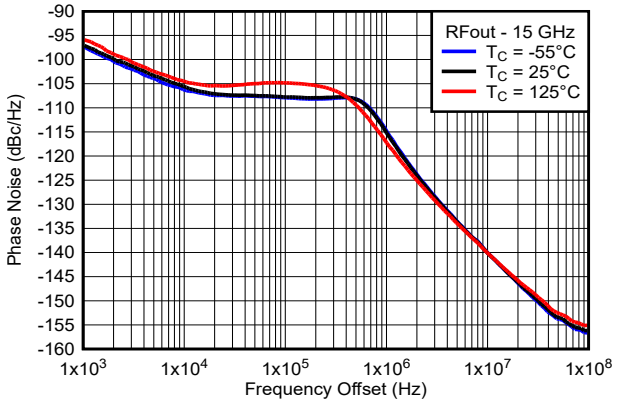
f_{OSC} = 100MHz，f_{PD} = 200MHz

图 5-9. 7.6GHz 频率下的闭环相位噪声

Copyright © 2026 Texas Instruments Incorporated

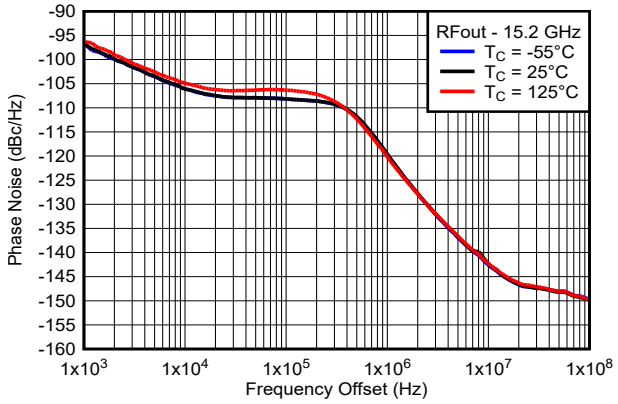
5.8 典型特性 (续)

除非另外说明，否则可假设满足以下条件：温度 = 25°C，Vcc = 3.3V，OUTx_PWR = 7，OSCIN_P 在引脚处以 10dBm 单端驱动。



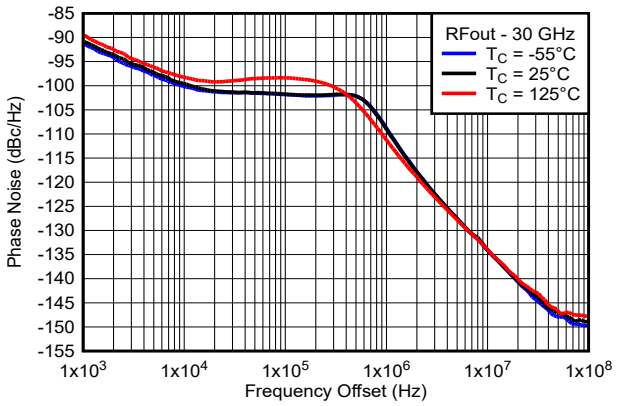
f_{OSC} = 100MHz，f_{PD} = 200MHz

图 5-10. 15GHz 频率下的闭环相位噪声



f_{OSC} = 100MHz，f_{PD} = 200MHz

图 5-11. 15.2GHz 频率下的闭环相位噪声（倍频器范围）



f_{OSC} = 100MHz，f_{PD} = 200MHz

图 5-12. 30GHz 频率下的闭环相位噪声（倍频器范围）

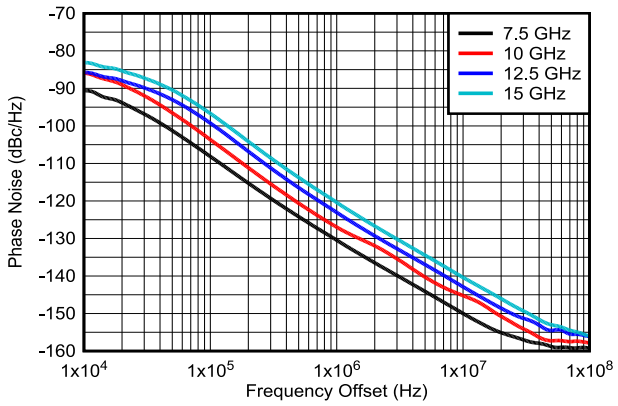


图 5-13. 开环 VCO 相位噪声

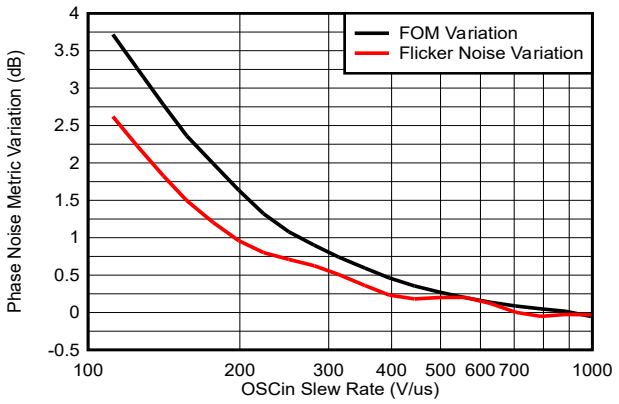
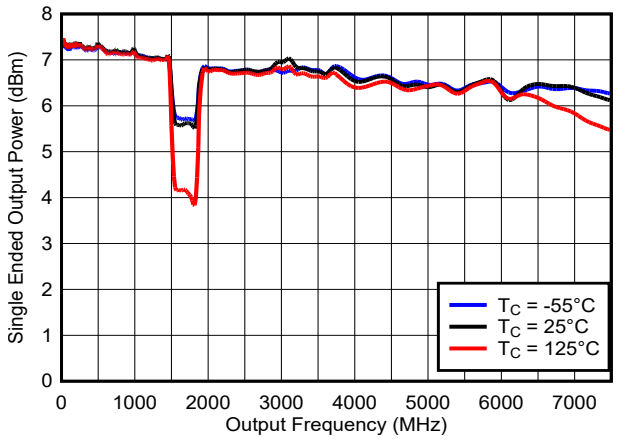


图 5-14. PLL 噪声指标差异与 OSCin 转换率之间的关系



由于输出占空比不是 50%，所以分频器值为 6 时出现功率骤降。

图 5-15. 通道分频器频率范围内的输出功率与温度之间的关系

Copyright © 2026 Texas Instruments Incorporated

5.8 典型特性 (续)

除非另外说明，否则可假设满足以下条件：温度 = 25°C，Vcc = 3.3V，OUTx_PWR = 7，OSCIN_P 在引脚处以 10dBm 单端驱动。

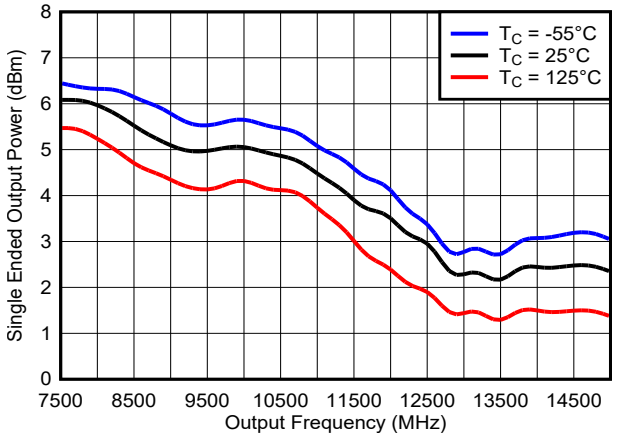


图 5-16. VCO 频率范围内的输出功率与温度之间的关系

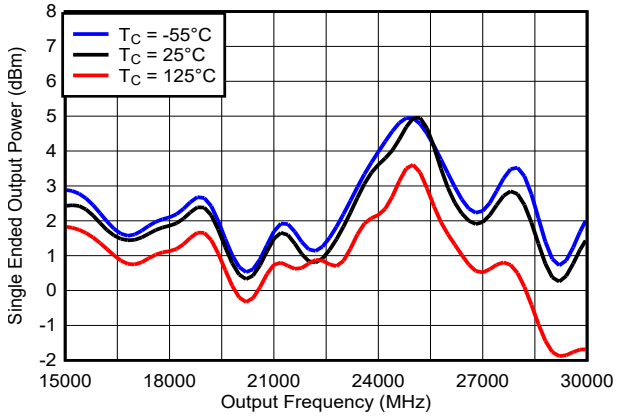


图 5-17. 倍频器频率范围内的输出功率与温度之间的关系

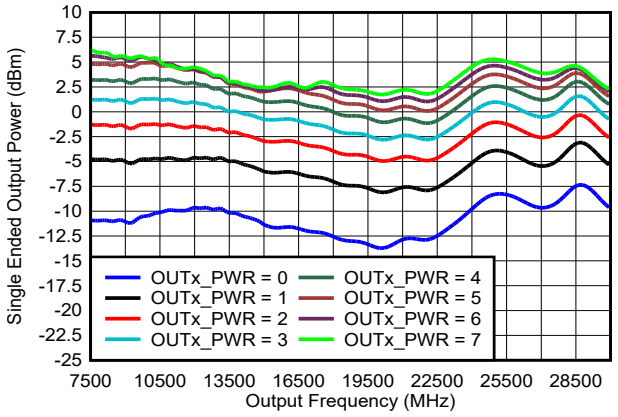


图 5-18. 输出功率与 OUTx_PWR 之间的关系

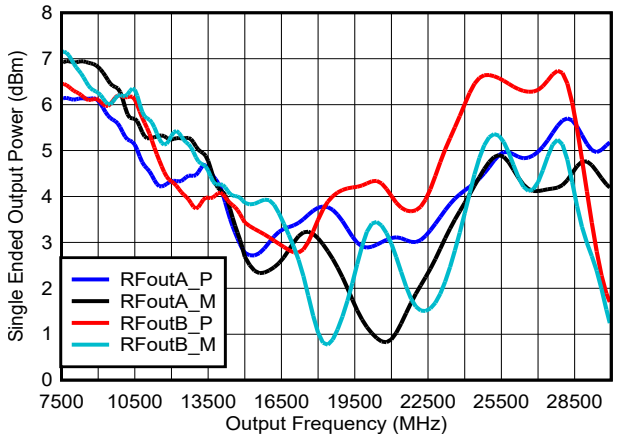
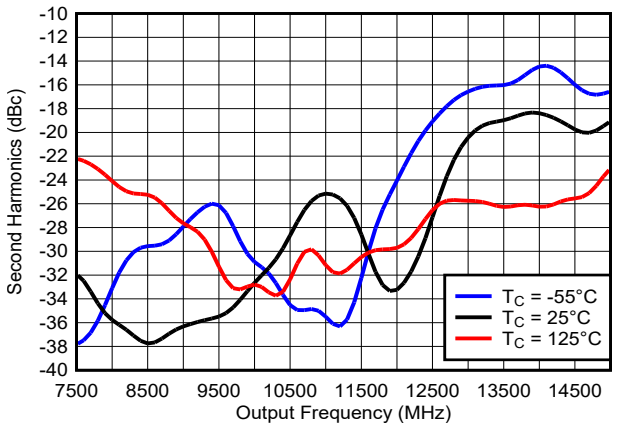
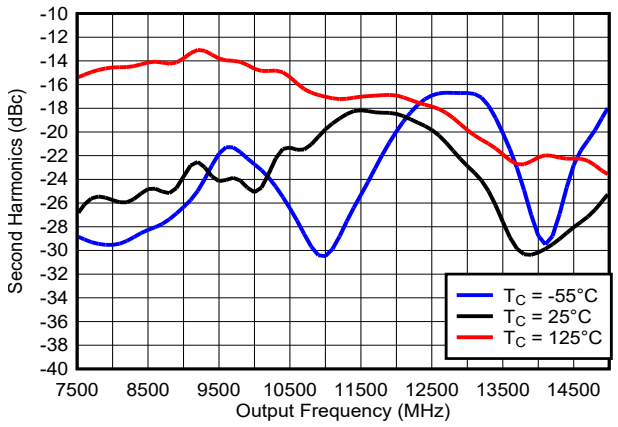


图 5-19. 每个 RFout 引脚输出功率



RFoutx_P 上的单端输出

图 5-20. VCO 频率范围内的二次谐波



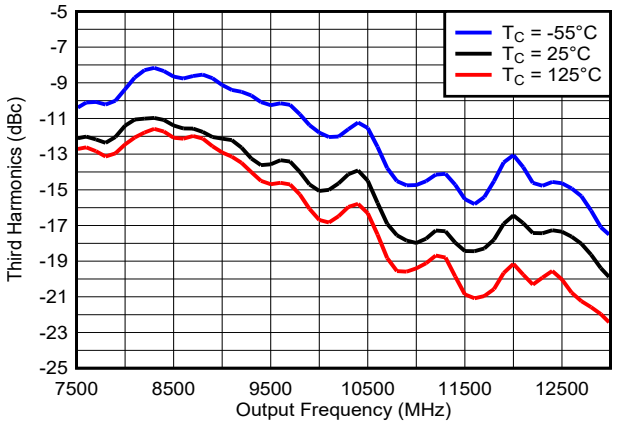
RFoutx_M 上的单端输出

图 5-21. VCO 频率范围内的二次谐波

Copyright © 2026 Texas Instruments Incorporated

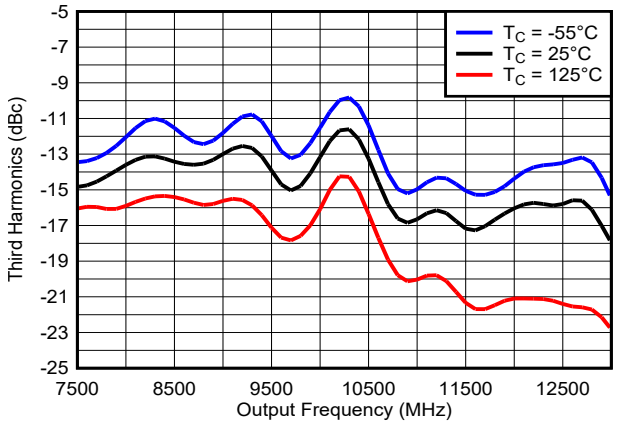
5.8 典型特性 (续)

除非另外说明，否则可假设满足以下条件：温度 = 25°C，Vcc = 3.3V，OUTx_PWR = 7，OSCIN_P 在引脚处以 10dBm 单端驱动。



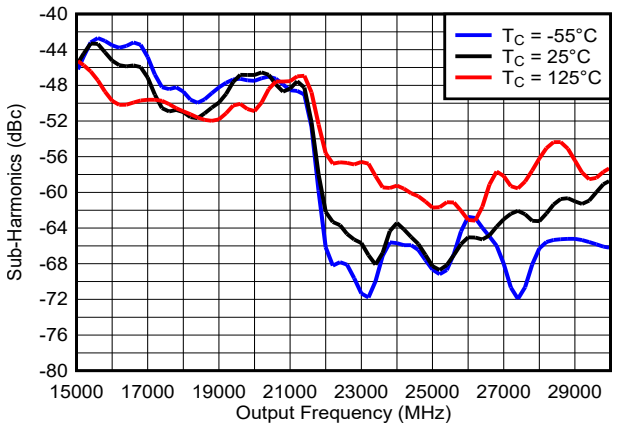
差分输出

图 5-22. VCO 频率范围内的三次谐波



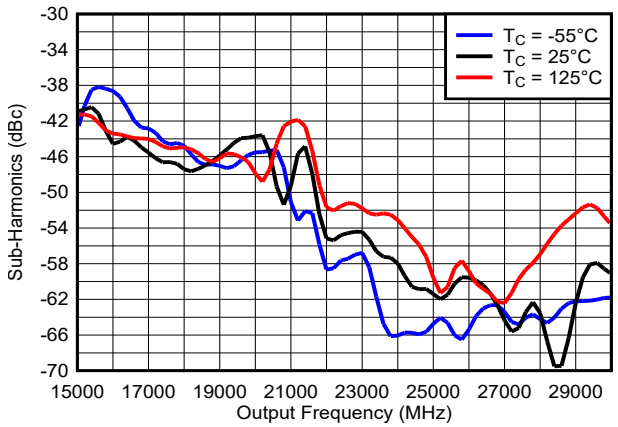
单端输出

图 5-23. VCO 频率范围内的三次谐波



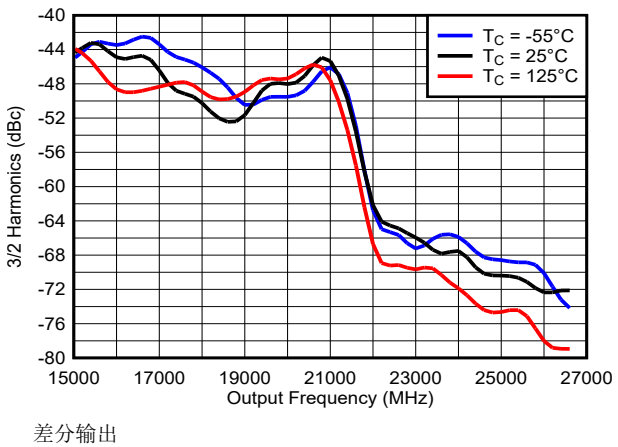
差分输出

图 5-24. 倍频器频率范围内的次谐波



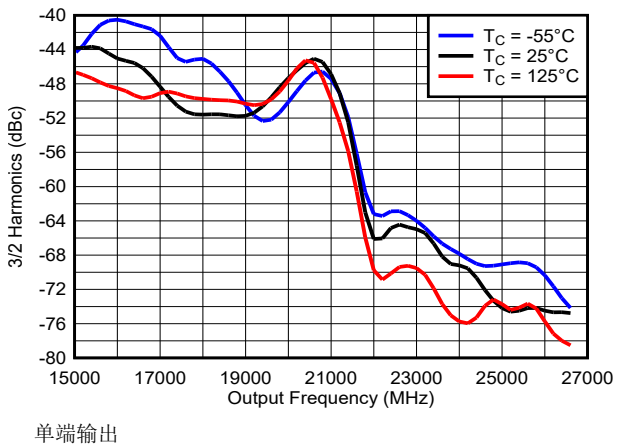
单端输出

图 5-25. 倍频器频率范围内的次谐波



差分输出

图 5-26. 倍频器频率范围内的 3/2 谐波



单端输出

图 5-27. 倍频器频率范围内的 3/2 谐波

Copyright © 2026 Texas Instruments Incorporated

5.8 典型特性 (续)

除非另外说明，否则可假设满足以下条件：温度 = 25°C，Vcc = 3.3V，OUTx_PWR = 7，OSCIN_P 在引脚处以 10dBm 单端驱动。

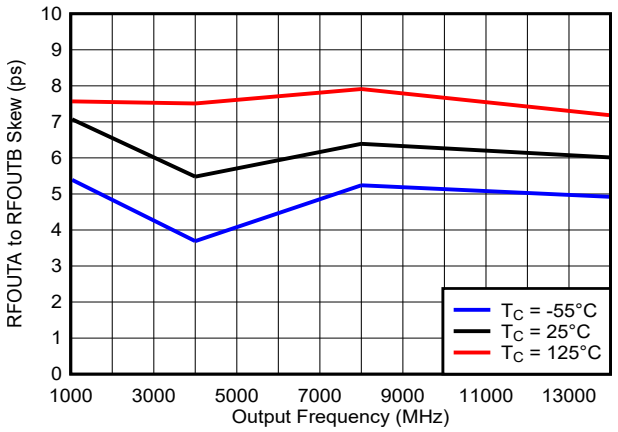
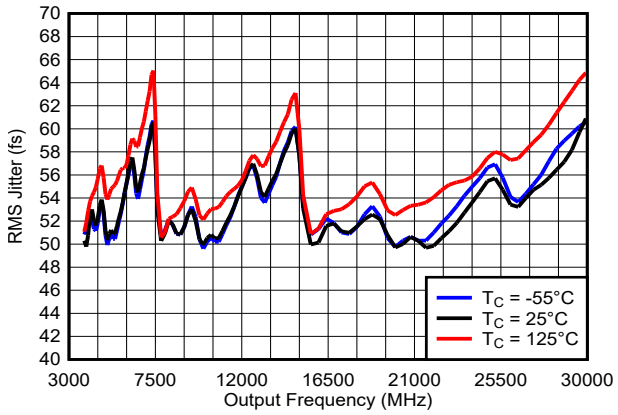
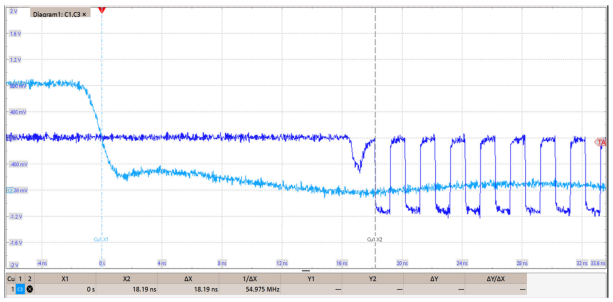


图 5-28. 通道间偏斜



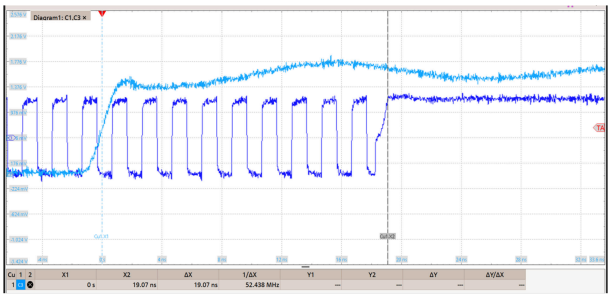
集成范围为 1k-100MHz

图 5-29. 集成抖动 (抖动 (fs)) 与输出频率 (MHz) 间的关系



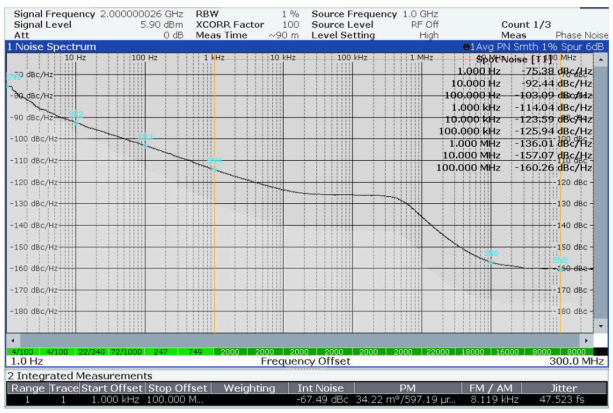
SM 时钟 = 50MHz

图 5-30. 静音引脚输出使能时间



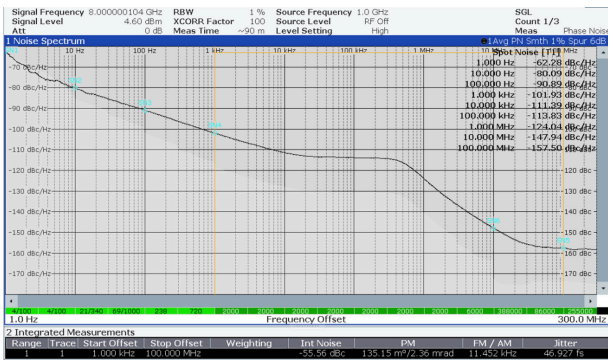
SM 时钟 = 50MHz

图 5-31. 静音引脚输出禁用时间



单端输出；f_{OSC} = 100MHz，f_{PD} = 200MHz，环路滤波器 BW = 400kHz

图 5-32. 相位噪声图 (2GHz)



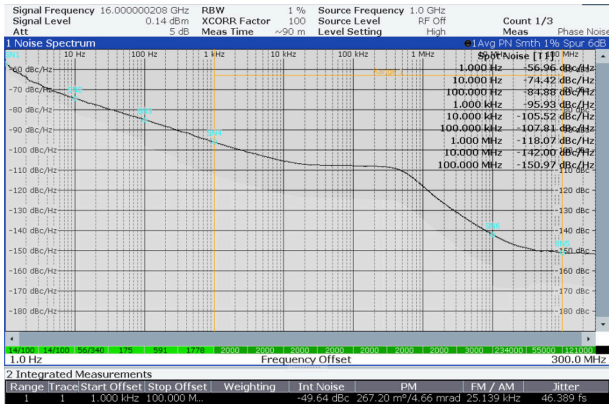
单端输出；f_{OSC} = 100MHz，f_{PD} = 200MHz，环路滤波器 BW = 400kHz

图 5-33. 相位噪声图 (8GHz)

Copyright © 2026 Texas Instruments Incorporated

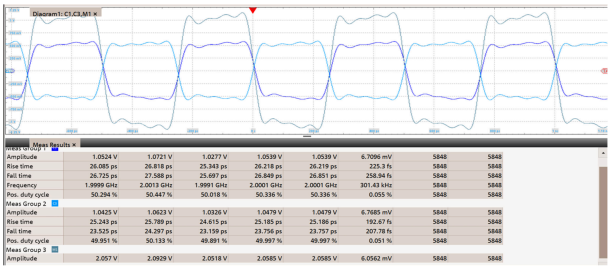
5.8 典型特性 (续)

除非另外说明，否则可假设满足以下条件：温度 = 25°C，Vcc = 3.3V，OUTx_PWR = 7，OSCIN_P 在引脚处以 10dBm 单端驱动。



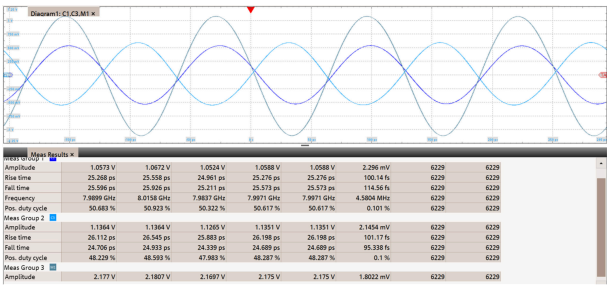
单端输出；f_{OSC} = 100MHz，f_{PD} = 200MHz，环路滤波器 BW = 400kHz

图 5-34. 相位噪声图 (16GHz)



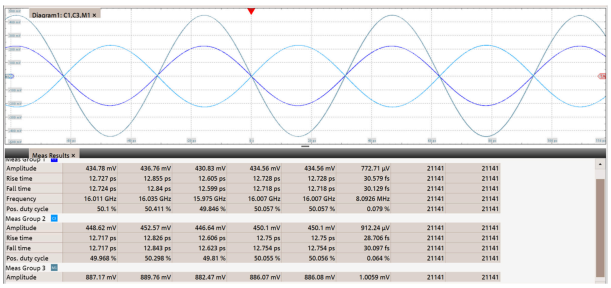
C1：RFOUTAP；C3：RFOUTAM；M1：RFOUTAP - RFOUTAM（差动）

图 5-35. 时域中的差分输出波形 (2GHz)



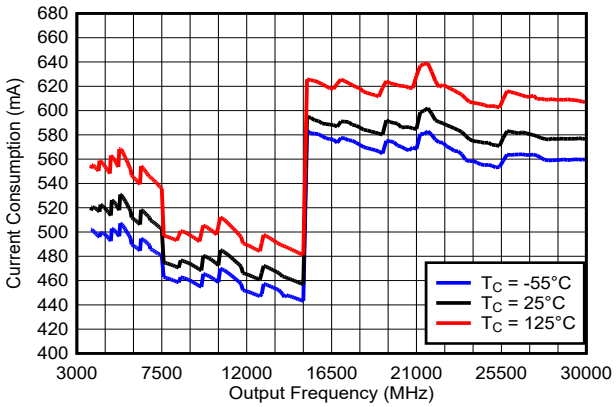
C1：RFOUTAP；C3：RFOUTAM；M1：RFOUTAP - RFOUTAM（差动）

图 5-36. 时域中的差分输出波形 (8GHz)



C1：RFOUTAP；C3：RFOUTAM；M1：RFOUTAP - RFOUTAM（差动）

图 5-37. 时域中的差分输出波形 (16GHz)



启用单通道

图 5-38. 电流消耗与输出频率之间的关系

Copyright © 2026 Texas Instruments Incorporated

6 详细说明

6.1 概述

LMX2624-SP 是一款具有集成 VCO、输出倍频器和输出分频器的高性能宽带频率合成器。VCO 的工作频率范围为 7500MHz 至 15000MHz，它可以与输出分频器和倍频器结合使用，以产生 5MHz 至 30GHz 范围内的任何频率。

PLL 是分数 N PLL，具有高达三阶的可编程 Δ-Σ 调制器。分数分母是可编程的 32 位长整型值，它可以很容易地提供低于 1Hz 分辨率的精细频率步长，也可用于进行精确分数计算，如 1/3、7/1,000 等。

相位检测器频率在分数模式下最高可达 200MHz，在整数模式下最高可达 250MHz，但也必须考虑最小 N 分频器值。对于需要确定性相位的应用，SYNC 引脚可以用来获得 OSCin 和 RFout 引脚之间的确定性相位关系。

超快速 VCO 校准专为必须扫频或突然改变频率的应用而设计。该器件同时具有引脚模式和 SPI 模式选项，可使用通用输入来手动配置频率或使用 SPI 对其进行编程。

JESD204B/C 支持包括使用 RFoutB 输出来创建差动 SYSREF 输出，该输出可以是单个脉冲，也可以是在远离输出信号上升沿的可编程距离出现的一系列脉冲。

LMX2624-SP 器件仅需要一个 3.3V 电源。内部电源由高性能外部 LDO 提供。

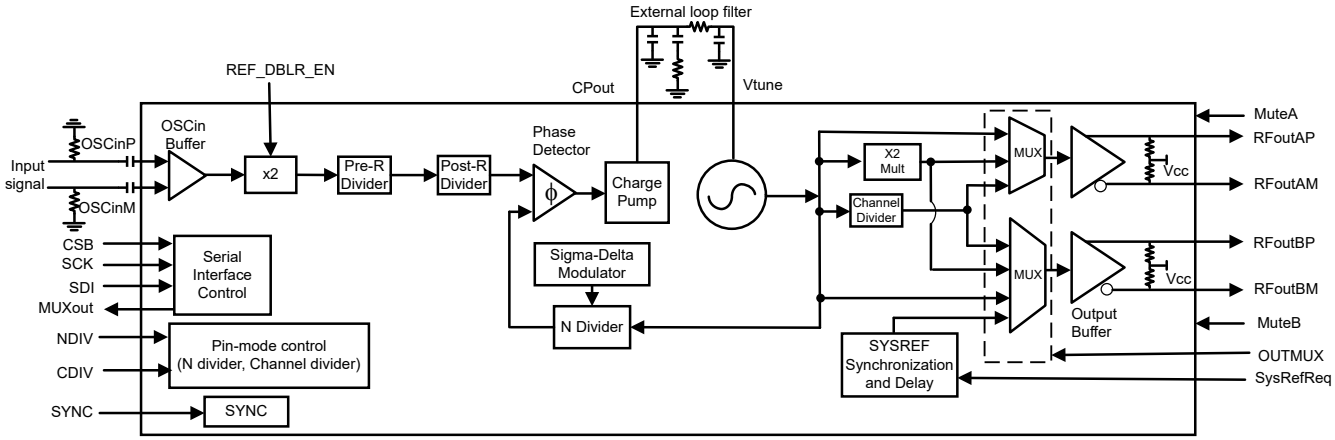
表 6-1 展示了几个倍频器、分频器和分数设置的范围。

表 6-1. 倍频器、分频器和分数设置的范围

参数	字段	最小值	最大值	注释
OSCin 倍频器	OSC_2X	0 (1X)	1 (2X)	低噪声倍频器可用于增加相位检测器频率，以改善相位噪声并避免杂散。这是关于 OSC_2X 位的内容。
R 预分频器	PLL_R_PRE	1（旁路）	128	只有在 R 后分频器的输入频率太高时，才使用 R 预分频器。
R 后分频器	PLL_R	1（旁路）	255	R 后分频器的最大输入频率为 250MHz。根据需要使用 R 预分频器。
N 分频器	PLL_N	≥ 29	$2^{19} - 1 = 524287$	最小分频取决于调制器阶数和 VCO 频率。有关更多详细信息，请参阅 节 6.3.5。
分子	PLL_NUM	0（整数模式）	$2^{32} - 2 = 4294967294$	分数分子是可编程的。当小数阶 = 整数模式时，忽略此分子。
分母	PLL_DEN	1	$2^{32} - 1 = 4294967295$	分母是可编程的，可以采用 1 和 $2^{32} - 1$ 之间的任何值；分母不是一个固定值。
分数阶	MASH_ORDER	0	3	0 阶是整数模式，可以对阶数进行编程
通道分频器	CHDIV	1（旁路）	1536	这是一个包含几个分频器的系列。此外，请注意，在 12GHz 以上时，允许的最大通道分频器值为 4。
输出频率		5MHz	30GHz	低于 7.5GHz 时，使用通道分频器。7.5GHz 至 15GHz 来自 VCO。15GHz 至 30GHz 来自 VCO 和输出倍频器

Copyright © 2026 Texas Instruments Incorporated

6.2 功能方框图



6.3 特性说明

6.3.1 基准振荡器输入

OSCin 引脚用作器件的频率基准输入。该输入为高阻抗，需要在引脚处使用交流耦合电容。可以使用 CMOS 时钟或 XO 对 OSCin 引脚进行单端驱动。还支持差分时钟输入，从而更轻松地与高性能系统时钟器件（例如 TI 的 LMK 系列时钟器件）连接。由于 OSCin 信号被用作 VCO 校准的时钟，因此在对 FCAL_EN = 1 进行编程或在引脚模式下切换 CAL 引脚时，必须在 OSCin 引脚上施加适当的基准信号。

6.3.2 基准路径

基准路径由一个 OSCin 倍频器 (OSC_2X)、R 预分频器和一个 R 后分频器组成。

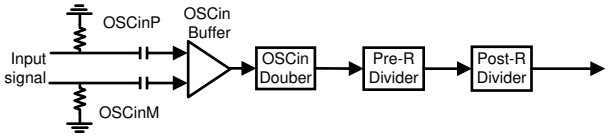


图 6-1. 基准路径图

OSCin 倍频器 (OSC_2X) 可以将低 OSCin 频率加倍。该倍频器会增加极少量噪声，可用于提高相位检测器频率并避免杂散。当相位检测器频率增加时，PLL 相位噪声的平坦部分得到改善。R 预分频器 (PLL_R_PRE) 和 R 后分频器 (PLL_R) 均向下分频。方程式 1 中计算了相位检测器频率 f_{PD}

$$f_{PD} = f_{OSC} \times OSC_2X / (PLL_R_PRE \times PLL_R) \quad (1)$$

6.3.2.1 OSCin 倍频器 (OSC_2X)

OSCin 倍频器可用于将输入基准频率翻倍，并且引起的噪声最少。在某些情况下，因为 R 预分频器可将信号降低到相位检测器适应的频率范围，能够有效降低分数频率杂散，所以使用倍增器可将频率提升到比相位检测器的最大工作频率更高的频率。

- 如果使用 OSCin 倍频器，则由于使用了上升沿和下降沿，OSCin 信号必须具有大约 50% 的占空比。否则，杂散会很高。
- 如果不使用 OSCin 倍频器，则仅使用 OSCin 信号的上升沿，占空比并不重要。

6.3.2.2 R 预分频器 (PLL_R_PRE)

R 预分频器可用于降低输入频率，从而帮助满足 PLL-R 分频器最大 250MHz 的输入频率限制。否则不必使用预分频器。

6.3.2.3 R 后分频器 (PLL_R)

R 后分频器可用于进一步将频率分频为相位检测器频率。当使用分频器 (PLL_R > 1) 时，该分频器的输入频率限制为 250MHz。

6.3.3 状态机时钟

状态机时钟（SM 时钟）是器件内部使用的 OSCin 信号的分频版本。分频值为 1、2、4、8 或 16，由 CAL_CLK_DIV 编程字决定（在编程部分中说明）。该器件支持的最大状态机时钟频率高达 50MHz。此状态机时钟会影响 VCO 校准。状态机时钟的计算公式为 $f_{SM} = f_{OSC} / 2^{CAL_CLK_DIV}$。

6.3.4 PLL 相位检测器和电荷泵

相位检测器会比较 R 后分频器和 N 分频器的输出，并产生与相位误差相对应的校正电流，直到两个信号同相对齐。该电荷泵电流可通过软件编程设定为很多不同的电平，从而允许修改 PLL 的闭环带宽。

6.3.5 N 分频器和分数分频电路

N 分频器包括分数补偿，可以实现从 1 到 $(2^{32} - 1)$ 的任何分母。N 的整数部分是 N 分频器值的整数部分，而分数部分 N_{FRAC} = NUM/DEN 是剩余的分数部分。通常，总 N 分频器值由 PLL_N + PLL_NUM / PLL_DEN 来确定。在 SPI 模式下，PLL_N、PLL_NUM 和 PLL_DEN 可通过软件编程。引脚模式选项具有整数频率生成功能，有关更多详细信息，请参阅引脚模式部分中的引脚模式说明详细信息。

分母越大，输出的分辨率阶跃越精细。例如，即使使用 f_{PD} = 200MHz，输出也可以按 200MHz / $(2^{32} - 1)$ = 0.047Hz 的阶跃递增。方程式 2 显示了相位检测器和 VCO 频率之间的关系。请注意，在 SYNC 模式下，有一个 IncludedDivide 分频器，该分频器体现在方程式 2 中。

$$f_{VCO} = f_{pd} \times \text{IncludedDivide} \times \left(N + \frac{NUM}{DEN}\right) \quad (2)$$

控制该分数分频的 Σ-Δ 调制器也可在整数模式和三阶模式之间切换。为了使分数杂散保持一致，每当对 R0 寄存器进行编程时，调制器都会复位。

N 分频器具有基于调制器阶数和 VCO 频率的最小值限制。此外，必须根据表 6-2 对 PFD_DLY 位进行编程。在 SYNC 模式下，IncludedDivide 可以大于 1，否则 IncludedDivide 为 1。

Copyright © 2026 Texas Instruments Incorporated

表 6-2. 最小 N 分频器限制

MASH_ORDER	f_{VCO} / IncludedDivide (MHz)	最小 N	PFD_DLY
0	⩽ 12500	29	1
	> 12500	33	2
1	⩽ 10000	30	1
	10000 - 12500	34	2
	>12500	38	3
2	⩽ 4000	31	1
	7500 - 10000	33	2
	>10000	37	3
3	⩽ 4000	33	1
	7500 - 10000	41	3
	>10000	45	4

6.3.6 MUXout 引脚

MUXout 引脚可配置为 PLL 的锁定检测指示器、SPI 回读寄存器的串行数据输出 (SDO)、相位检测器 f_{PD} 的 R 端口和 N 端口信号副本，以及 MUXout 引脚上状态机时钟 f_{SM} 的副本。MUXout 引脚配置 展示了引脚模式和 SPI 模式的 MUXOUT 引脚配置。字段 MUXOUT 可配置为不同的功能。

表 6-3. MUXout 引脚配置

运行模式	MUXOUT	MUXOUT 引脚	功能
引脚模式	X	锁定检测	PLL 的锁定检测指示器
SPI 模式	0	锁定检测	PLL 的锁定检测指示器
SPI 模式	1（默认值）	寄存器读回	输出寄存器读回数据
SPI 模式	> 1	诊断	查看 R22 寄存器

6.3.6.1 用于回读的串行数据输出

在 SPI 模式下，MUXout 引脚具有几个选项。当 MUXOUT 设置为寄存器回读输出时，MUXout 引脚会在没有输出数据时自动进入三态。有关该引脚运行模式的详细信息，请参阅计时示意图。当使用的器件为完全辅助模式且检索和保存 VCO 校准数据以供将来使用时，回读非常有用。还可以通过回读，使用字段 rb_LD_VTUNE（寄存器 R35[5:4]）回读锁定检测状态。

6.3.6.2 锁定检测指示器设置为“VCOcal”或“VTUNE 和 VCOcal”类型

选择锁定检测指示器后，有两种类型的指示器，可以使用字段 LD_TYPE（寄存器 R1[12]）来选择指示器。第一个指示器称为“VCOCal”(LD_TYPE=0)，第二个指示器称为“VTUNE 和 VCOCal”(LD_TYPE=1)。

在“VCOcal”模式下，VCO 校准完成后（无论校准是否成功），MUXout 引脚都会置为高电平，并且锁定检测延迟计时器会超时。在 VCO 校准期间和锁定延迟计时器超时之前，MUXout 引脚为低电平。可编程锁定检测计时器（LD_DLY，寄存器 R23[15:0]）会在 VCO 校准完成后增加额外的延迟，之后才会将锁定检测指示器置为高电平。LD_DLY 是 16 位无符号数，对应于状态机时钟周期数的 4 倍。例如，假设 f_{OSC} = 100MHz、CAL_CLK_DIV = 1、则状态机时钟频率 = f_{OSC} / $2^{CAL_CLK_DIV}$ = 50MHz.。如果 LD_DLY = 1000，则延迟时间等于 80µs。无论 PLL 是否实际锁定，MUXout 引脚都将保持当前状态。换句话说，如果 PLL 解除锁定，或者在当前状态为高电平时输入基准消失，则当前状态保持高电平。该锁定检测设置对于测量 VCO 校准时间非常有用。

在“Vtune 和 VCOcal”模式下，当 VCO 校准完成，锁定检测延迟计时器完成运行且 PLL 锁定时，MUXout 引脚为高电平。如果 OSCin 信号丢失，该指示器可以保持当前状态（高电平或低电平）。仅当返回到 OSCin 引脚的有效输入基准时，指示器的真实状态才会更新并恢复操作。建议使用一种替代方法来监控 PLL 的 OSCin。只要存在 OSCin 参考，该指标就很可靠。

Copyright © 2026 Texas Instruments Incorporated

由于两种类型的锁定检测指示器都需要完成 VCO 校准，因此必须在完全辅助模式下至少执行一个 VCO 校准，否则锁定检测器不工作。

6.3.7 VCO（压控振荡器）

LMX2624-SP 包括一个完全集成的 VCO。VCO 从环路滤波器获取电压并将其转换为频率。VCO 频率与其他频率相关，如方程式 2 所示。

6.3.7.1 VCO 校准

为了降低 VCO 调谐增益并因此提高 VCO 相位噪声性能，将 VCO 频率范围划分为几个不同的频带。7500MHz 至 15000MHz 的整个范围涵盖了一个倍频程，使得分频器可以处理低于下限的频率。这就需要进行频率校准以确定给定所需输出频率的正确频带。只要 R0 寄存器编程为 FCAL_EN = 1 或在引脚模式下将 CAL 引脚从低电平切换为高电平，就会激活频率校准例程。在 VCO 校准开始之前必须存在有效的 OSCin 信号。

VCO 还具有一个内部幅度校准算法来优化相位噪声，该算法在 R0 寄存器被编程时也会被激活。

实现此目的的理想内部设置取决于温度。如果允许温漂过大而不重新校准，则可能会导致一些轻微的相位噪声下降。连续锁定的最大容许漂移 ΔT_{CL} 在电气规格部分有说明。对于此器件，125°C 的温度表示如果器件在此范围内运行，则不会失锁。

Copyright © 2026 Texas Instruments Incorporated

LMX2624-SP 允许用户辅助进行 VCO 校准。一般而言，共有三种辅助方式，如表 6-4 所示。请参阅应用手册，了解 VCO 校准技术的详细实现过程和性能演示（该技术针对商用器件展示）。在完全辅助模式下对 VCO 参数（包括 VCO 倍频器）执行回读时，需确认位 R1[13] 设置为 1。

表 6-4. 辅助实现 VCO 校准速度

辅助水平	说明	VCO_SEL	VCO_SEL_FORCE VCO_CAPCTRL_FORCE VCO_DACISET_FORCE	VCO_CAPCTRL VCO_DACISET
无辅助	用户不执行任何操作来提高 VCO 校准速度。	7	0	不用考虑
部分辅助	每次频率变化时，在检查 FCAL_EN 位之前，用户提供初始的起始 VCO_SEL	按表选择	0	不用考虑
完全辅助	用户强制指定 VCO 内核 (VCO_SEL)、幅度设置 (VCO_DACISET)、频带 (VCO_CAPCTRL) 和 VCO 倍频器参数，并手动设置相应的值。如果两个频点之间相差不超过 5MHz 并且在同一个 VCO 内核上，用户可以使用线性插值为这两个点之间的任何频率设置 VCO 幅度和 Capcode	按回读选择	1	按回读选择

对于无辅助方法，只需设置 VCO_SEL=7 即可。对于部分辅助，可以通过根据频率更改 VCO_SEL 位来提高 VCO 校准速度。请注意，该频率不是实际的 VCO 内核范围，而是用于辅助选择 VCO。这不仅是 VCO 校准速度的更好选择，而且是实现可靠锁定所必需的。

Copyright © 2026 Texas Instruments Incorporated

表 6-5. 部分辅助的最小 VCO_SEL

f_{VCO}	VCO 内核 (最小值)
7500-8600MHz	VCO1
8600-9900MHz	VCO2
9900-10800MHz	VCO3
10800MHz 至 11900MHz	VCO4
11900-13000MHz	VCO5
13000-14000MHz	VCO6
14000-15000MHz	VCO7

为了获得更快的校准时间，请使用上表中建议的最小 VCO 内核。表 6-6 以粗体显示了此选项的典型 VCO 校准时间 (包含或不含模拟锁定时间) ，并显示了当选择高于所需的 VCO 内核时，校准时间会增加多少。请注意，这些校准时间特定于这些已指定且位于两个内核边界的 f_{OSC} 和 f_{PD} 条件，有时校准时间会增加。

表 6-6. f_{OSC} = 100MHz，f_{PD} = 200MHz 且 f_{SM} = 50MHz 时不含模拟锁定时间的典型校准时间 (µs)

f_{VCO}	VCO_SEL						
	VCO7	VCO6	VCO5	VCO4	VCO3	VCO2	VCO1
8.1GHz	650	614	620	376	256	243	**191**
9.3GHz	606	589	587	335	196	**177**	无效
10.4GHz	598	579	570	338	**177**	无效	
11.4GHz	543	540	530	**284**	无效		
12.5GHz	396	346	**300**	无效			
13.6GHz	262	**218**	无效				
14.7GHz	**164**	无效					

表 6-7. f_{OSC} = 100MHz，f_{PD} = 200MHz 且 f_{SM} = 50MHz 时含模拟锁定时间的典型校准时间 (µs)

f_{VCO}	VCO_SEL(1)						
	VCO7	VCO6	VCO5	VCO4	VCO3	VCO2	VCO1
8.1GHz	854	828	822	579	451	437	**393**
9.3GHz	819	800	794	551	401	**380**	无效
10.4GHz	808	786	781	551	**388**	无效	
11.4GHz	767	745	743	**494**	无效		
12.5GHz	603	560	**513**	无效			
13.6GHz	469	**426**	无效				
14.7GHz	**385**	无效					

(1) 其中包括典型环路带宽 (300kHz) 的模拟锁定时间。

6.3.7.2 确定 VCO 增益

VCO 增益会根据内核而变化，并且这种变化会受到温度和工艺的影响。表 6-8 提供了基于 VCO 内核的预期 VCO 增益值的粗略指南。

根据此表，可以估算任意 VCO 频率 f_{VCO} 的 VCO 增益，如方程式 3 所示：

$$Kvco = Kvco1 + (Kvco2-Kvco1) \times (f_{VCO} - f1) / (f2 - f1) \quad (3)$$

表 6-8. VCO 增益

f_1	f_2	$Kvco_1$	$Kvco_2$
7500	8600	73	112
8600	9900	84	136
9900	10800	102	140

Copyright © 2026 Texas Instruments Incorporated

表 6-8. VCO 增益（续）

f_1	f_2	$Kvco_1$	$Kvco_2$
10800	11900	115	162
11900	13000	167	224
13000	14000	182	228
14000	15000	218	254

6.3.7.3 双缓冲（影子寄存器）

双缓冲（也称为“影子寄存器”）允许用户对多个寄存器进行编程，而无需让它们实际生效。R0 寄存器在编程后就会生效。如果想要快速改变频率并且需要多次寄存器写入，这将特别有用。当 DBL_BUF_EN = 1 时，会为与 VCO、倍频器、PLL、输出多路复用器和通道分频器相关的寄存器启用双缓冲。有关寄存器的更多详细信息，请参阅寄存器映射部分。

6.3.7.4 看门狗特性

看门狗功能有助于应对辐射可能中断 VCO 校准或导致其失败的情况。当此功能开启时，VCO 校准期间计时器会在后台运行。如果未在计时器结束前完成校准，则会自动重新开始校准。WD_CNTRL 字控制允许看门狗重新开始校准的次数。

6.3.7.5 RECAL 特性

RECAL 功能用于应对当 VCO 处于锁定状态时，外部辐射干扰导致其解除锁定的情况。当 RECAL_EN 引脚为高电平时，如果 PLL 失去锁定并在 WD_DLY 字指定的时间内保持失去锁定状态，则 RECAL 触发 VCO 重新校准。锁定检测器必须设置为“Vtune 和 VCOCal” (LD_TYPE = 1)，锁定检测计时器 (LD_DLY) 必须为非零。对于 LD_DLY = 2500（默认值）和 50MHz 状态机时钟频率，建议的最短锁定检测器计时器延迟时间为 200µs。

6.3.8 通道分频器

要低于 7500MHz 的 VCO 下限，可以使用通道分频器。通道分频器采用三级，总分频比等于三个分频器的乘积。因此，并非所有值都有效。

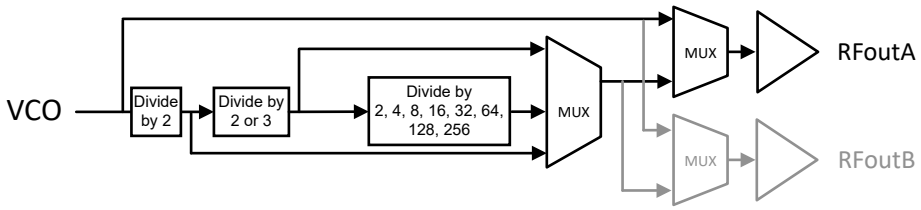


图 6-2. 通道分频器

请注意，通道分频器在 6 分频 (÷ 6) 设置下，占空比不是 50%。

使用通道分频器时，这些值存在限制。表 6-9 显示了如何实施这些值。

表 6-9. 通道分频器段

等效分频值	频率限制	OutMin (MHz)	OutMax (MHz)	CHDIV[4:0]
2	无	3750	7500	1
4		1875	3750	2
6	f_{VCO} ⩽ 12GHz	1250	2000	3
8		937.5	1500	4
12		625	1000	5
16		468.75	750	6
24		312.5	500	7
32		234.375	375	8
48		156.25	250	9
64		117.1875	187.5	10
96		78.125	125	11
128		58.59375	93.75	12
192		39.0625	62.5	13
256		29.296875	46.875	14
384		19.53125	31.25	15
512		14.6484375	23.4375	16
768		9.765625	15.625	17
1024		7.32421875	11.71875	18
1536		4.8828125	7.8125	19

无论输出是否断电，只要选定输出 (OUTx_MUX) 并连接到通道分频器或 SysRef，就会为通道分频器供电。不使用输出时，TI 建议选择 VCO 输出以确认没有不必要地为通道分频器加电。

表 6-10. 通道分频器

RFOUTA	RFOUTB	通道分频器状态
通道分频器	通道分频器	已上电
通道分频器	VCO	已上电
VCO	通道分频器	已上电
倍频器	通道分频器	已上电
VCO	VCO	已断电
VCO	倍频器	已断电
倍频器	VCO	已断电
倍频器	倍频器	已断电

6.3.9 输出静音引脚和乒乓方法

可以使用 MUTE 引脚对输出缓冲器进行静音或取消静音。该引脚的极性可在 SPI 模式下通过 OUTx_MUTE_POL 位进行编程。当输出静音时，PLL 保持锁定状态，因此这可用于组合多个合成器以加快锁定时间。具有静音输出的 PLL 可以接受编程命令，甚至可以锁定到新频率。当输出静音时，不需要的信号会大大衰减，并且可以通过外部射频开关进一步衰减。

提供了 MuteA 和 MuteB 引脚，分别用于使 RFOUTA 和 RFOUTB 静音。当一个输出静音时，其他输出可以正常运行。MuteA 和 MuteB 同时支持专用引脚控制和基于 SPI 的配置。在 SPI 模式下，可以通过寄存器设置或通过 MUTEA 和 MUTEB 引脚将 MUTEA 和 MUTEB 设置为运行。

Copyright © 2026 Texas Instruments Incorporated

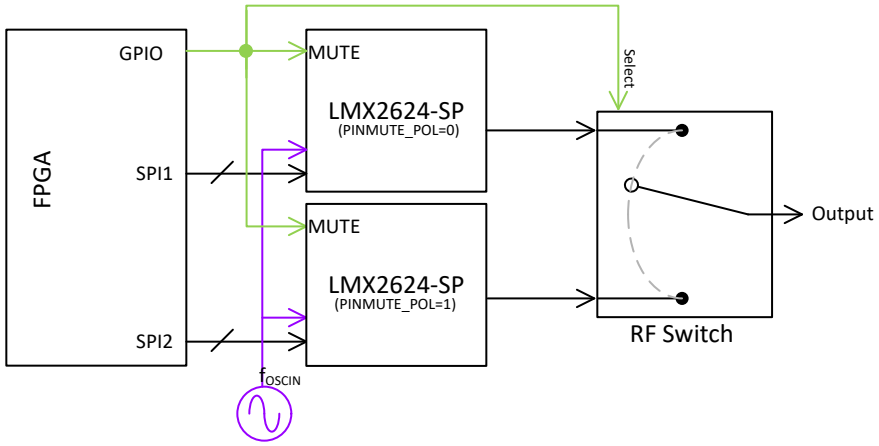


图 6-3. 使用两个 LMX2624-SP 器件实现输出静音

6.3.10 输出频率倍频器

倍频器用于在 RFOUTA 和 RFOUTB 上产生两倍于 VCO 频率的输出频率，具体取决于引脚模式下的 OUTMUX2、OUTMUX1 和 OUTMUX0 设置或 SPI 模式下的 OUTx_MUX 设置。当 VCO 频率加倍时，基本（非加倍）VCO 频率确实泄漏到输出，这就是次谐波（0.5 倍）。为了更大限度地减少这些次谐波，可调谐滤波器跟踪输出频率，并滤除此次谐波以及其他不需要的谐波（1.5X、2X、3X...）。只要完成 VCO 校准，就会自动触发此可调谐滤波器的校准。

6.3.11 输出缓冲器

射频输出缓冲器采用具有集成 50Ω 上拉电阻器的 CML 架构，需要与 50Ω 端接负载进行交流耦合。输出缓冲器可设定为各种功率电平，或者在仍使 PLL 保持锁定的同时通过 OUTx_PD 位禁用。

可对 OUTA_PWR 和 OUTB_PWR 字段进行编程，以便提高或降低输出缓冲器功率水平。共有 8 种设置，从 0 到 7，其中 0 表示最小功率，7 表示最大功率设置。上电期间，默认设置为 7。

6.3.12 断电模式

可以使用 POWERDOWN 位或 CAL 引脚对 LMX2624-SP 进行加电和断电。将 POWERDOWN 位设置为 1 或将 CAL 引脚设置为低电平会使器件进入断电模式。要使器件恢复正常运行，请将 POWERDOWN 位设置为 0 或将 CAL 引脚拉回高电平（如果器件通过 CAL 引脚断电）。必须再次对寄存器 R0 编程，将 FCAL_EN 设置为高电平，从而重新校准器件。在引脚模式下，CAL 引脚的低电平到高电平切换会激活 VCO 校准。

6.3.13 相位同步

6.3.13.1 一般概念

SYNC 引脚允许用户同步 LMX2624-SP ，从而使从 OSCin 信号上升沿到输出信号的延迟具有确定性。最初，器件锁定到输入，但是不同步。用户发送一个同步脉冲，该脉冲重新计时到 OSCin 脉冲的下一个上升沿。在给定时间 t_1 后，从 OSCin 到 f_{out} 的相位关系是确定的。此时间主要由 VCO 校准时间、PLL 环路的模拟设置时间和 MASH_RST_COUNT（如果已在分数模式下使用）等因素共同决定。

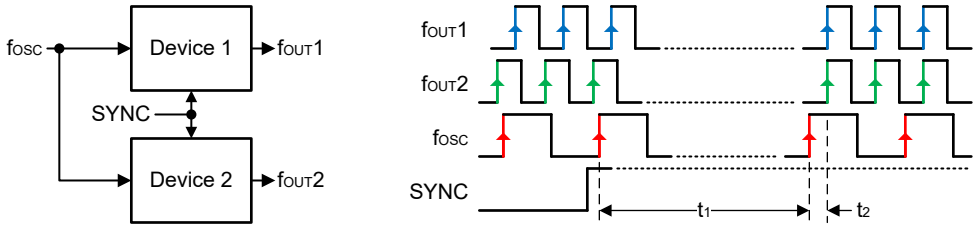


图 6-4. 使用 SYNC 输入的多器件同步

当 SYNC 功能启用时 (VCO_PHASE_SYNC = 1)，部分通道分频器 (IncludedDivide) 可以包含在反馈路径中。当 IncludedDivide 不等于 1 时：

- N 分频器更小。必须注意不要违反最小 N 分频器限制。此外，根据相位检测器频率范围使用 FCAL_HPFD_ADJ 寄存器，以实现有效的 VCO 校准。

表 6-11. VCO_PHASE_SYNC = 1 时的 IncludedDivide

OUTx_MUX	通道分频器	IncludedDivide
OUTA_MUX = OUTB_MUX = 1 ("VCO") OUTA_MUX = OUTB_MUX = 2 (“倍频器”)	不用考虑	1 (旁路)
所有其他有效条件	可被 3 整除	6
	所有其他值	4

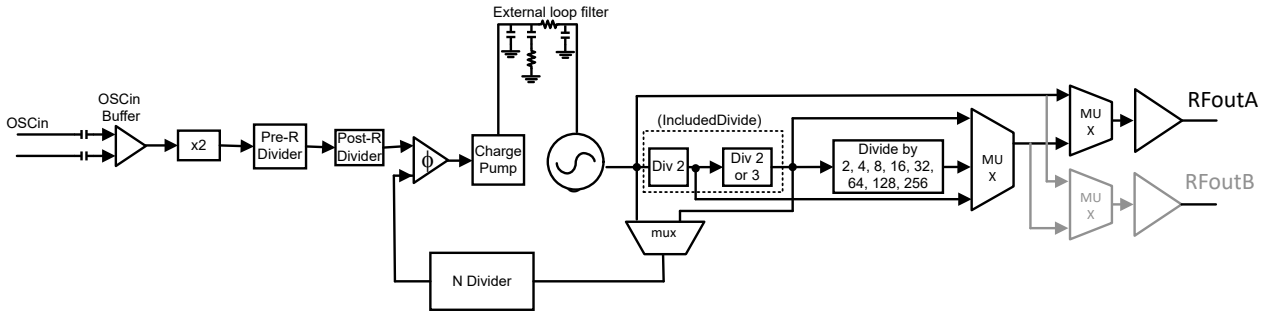


图 6-5. 相位同步图

相位同步是指在每个上电周期和每次都假设遵循给定编程过程的情况下获得相同相位关系的过程。但可以进行一些调整以获得更准确的结果。至于相位同步的一致性，唯一的变化来源可能是如果 VCO 校准选择了不同的 VCO 内核和电容器，这可能会引入双峰分布，大约有 10ps 的变化。如果这 10ps 不可接受，那么可以通过回读 VCO 内核、capcode 和 DACISET 值并强制这些值每次提供相同的校准设置来消除变化。

6.3.13.2 SYNC 的应用类别

对 SYNC 的要求取决于某些设置条件。如果 SYNC 不是时序关键型，则可以通过软件将 VCO_PHASE_SYNC 位从 0 切换为 1 来完成同步。图 6-6 提供了不同的类别。当时序很关键时，必须通过引脚完成同步，并且 OSCIN 引脚的建立时间和保持时间至关重要。仅对于时序关键型同步 (类别 3) ，请遵循以下类别 3 SYNC 的 SYNC 引脚时序特性要求。

表 6-12. 类别 3 SYNC 的 SYNC 引脚时序特性

参数	说明	最小值	最大值	单位
f_{OSC}	输入基准时钟频率		50	MHz
t_{SETUP}	SYNC 和 OSCin 上升沿之间的建立时间	2.5		ns
t_{HOLD}	SYNC 和 OSCin 上升沿之间的保持时间	2.5		ns

Copyright © 2026 Texas Instruments Incorporated

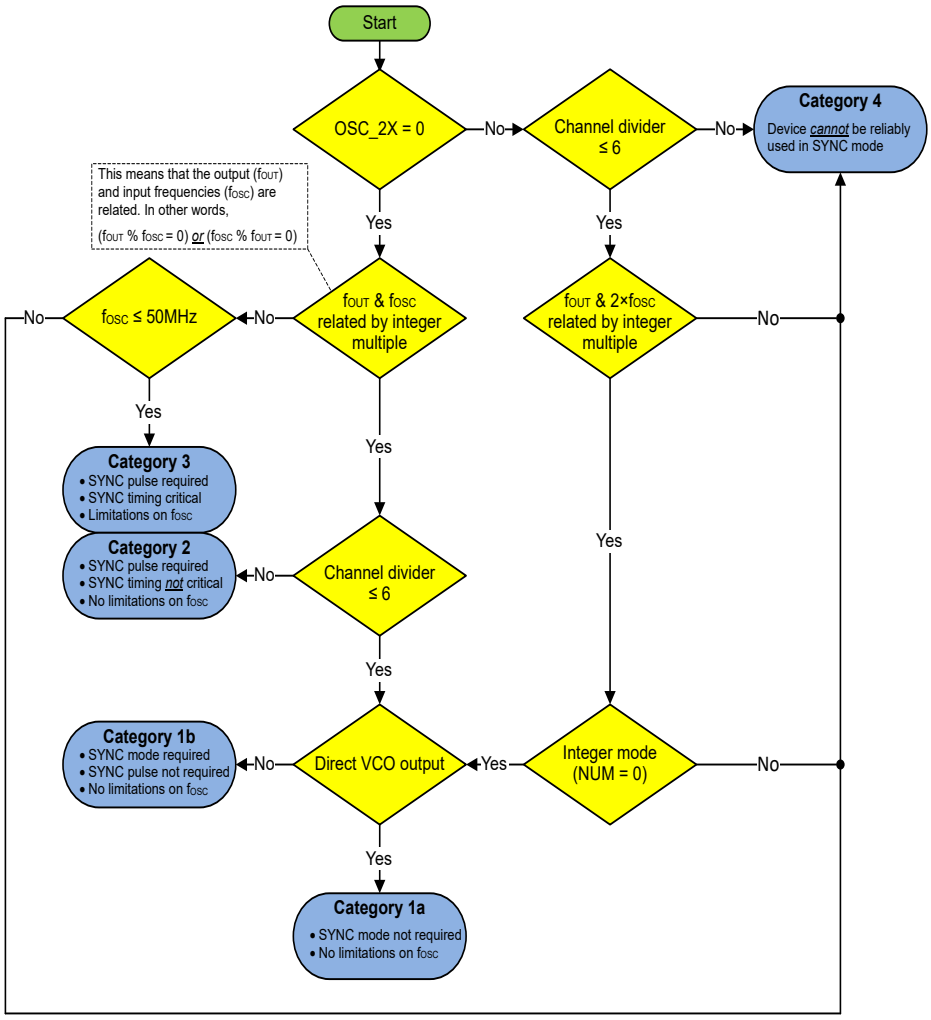


图 6-6. 确定 SYNC 类别

6.3.13.3 使用 SYNC 的过程

必须按照此程序将器件置于 SYNC 模式。

1. 使用流程图来确定 SYNC 类别。
2. 根据类别作出关于 OSCin 和使用 SYNC 的决定
   a. 如果是类别 4，则无法在此设置中执行 SYNC。
   b. 如果是类别 3，请确认未违背 SYNC 的最大 f_{OSC} 频率，并且存在支持使用 SYNC 引脚的硬件配置。
3. 如果使用通道分频，请从表 6-11 中确定 IncludedDivide 值。
4. 如果尚未完成此操作，则将 N 分频器和分数值除以 IncludedDivide (方程式 2)，从而考虑到所包含的通道分频。
5. 通过 VCO_PHASE_SYNC = 1 对器件进行编程。
6. 如果需要，应用 SYNC
   a. 如果是类别 2，可以向 SYNC 引脚发送一个上升沿，且时序并不需要非常精确。
   b. 如果是类别 3，则必须遵守 SYNC 信号相对于 OSCin 时钟的时序，如表 6-12 所示。

Copyright © 2026 Texas Instruments Incorporated

6.3.14 SYSREF

LMX2624-SP 可以生成一个与 f_{OUT} 同步的 SYSREF 输出信号，并具有可编程延迟。该输出可以是单个脉冲、一系列脉冲或连续的脉冲流。要使用 SYSREF 功能，首先必须将 PLL 置于 SYNC 模式且 VCO_PHASE_SYNC = 1。

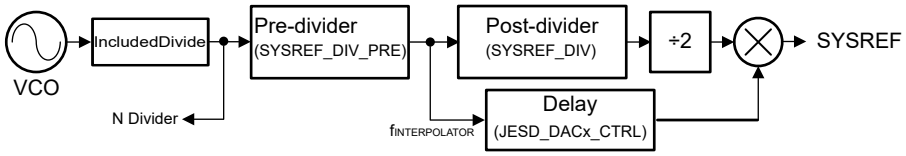


图 6-7. SYSREF 方框图

如图 6-7 所示，SYSREF 特性使用 IncludedDivide 和 SYSREF_DIV_PRE 分频器来生成 $f_{INTERPOLATOR}$。该频率用于对 SysRefReq 引脚的上升沿和下降沿重新计时。在 SYSREF 生成模式下，$f_{INTERPOLATOR}$ 会进一步除以 2×SYSREF_DIV 以生成有限系列脉冲或连续脉冲流。

表 6-13. SYSREF 规格

参数	最小值	典型值	最大值	单位
f_{VCO}	7500		15000	MHz
$f_{INTERPOLATOR}$	0.8		1.5	GHz
IncludedDivide		4 或 6		
SYSREF_DIV_PRE	1、2 或 4			
SYSREF_DIV	÷ 4、6、8、...、4098			
$f_{INTERPOLATOR}$	$f_{INTERPOLATOR} = f_{VCO}/(IncludedDivide \times SYSREF_DIV_PRE)$			
f_{SYSREF}	$f_{SYSREF} = f_{INTERPOLATOR} / (2 \times SYSREF_DIV)$			
脉冲模式的脉冲 (SYSREF_PULSE_CNT)	1		15	不适用

可以使用 JESD_DAC1、JESD_DAC2、JESD_DAC3 和 JESD_DAC4 字段对延时进行编程。通过将这些字段连接成一个更大的字，称为“SYSREFPHASESHIFT”，可以求出相对延时。这些字的总和必须始终为 63。总共有 252 个有用的可编程步骤。每个步进的延迟时间等于：

SYSREF delay time = [(IncludedDivide × SYSREF_DIV_PRE) × 2] / 252 / f_{VCO}

Copyright © 2026 Texas Instruments Incorporated

表 6-14. SysRef 延迟

SYSREFPHASESHIFT	延迟	JESD_DAC1	JESD_DAC2	JESD_DAC3	JESD_DAC4
0	最小值	36	27	0	0
1		35	28	0	0
...		...	...	0	0
35		1	62	0	0
36		0	63	0	0
37		0	62	1	0
...		0	...	...	0
98		0	1	62	0
99		0	0	63	0
100		0	0	62	1
...		0	0	...	...
161		0	0	1	62
162		0	0	0	63
163		1	0	0	62
...		...	0	0	...
224		62	0	0	1
225		63	0	0	0
226		62	1	0	0
...		...	...	0	0
251	最大值	37	26	0	0

6.3.14.1 可编程字段

表 6-15 具有用于 SYSREF 功能的可编程字段。

表 6-15. SYSREF 编程字段

字段	编程	默认值	说明
SYSREF_EN	0 = 禁用 1 = 启用	0	启用 SYSREF 模式。当且仅当 OUTB_MUX=2 (SysRef) 时，SYSREF_EN 才必须为 1
SYSREF_DIV_PRE	1：DIV1 2：DIV2 4：DIV4 其他状态：无效	4	该分频器的输出是 $f_{INTERPOLATOR}$。
SYSREF_REPEAT	0 = SYSREF 生成模式 1 = SYSREF 中继器模式	0	在 SYSREF 生成模式下，该器件会产生一系列 SYSREF 脉冲。在中继器模式下，通过 SysRefReq 引脚生成 SYSREF 脉冲。
SYSREF_PULSE	0 = 连续模式 1 = 脉冲模式	0	连续模式会持续产生 SYSREF 脉冲，而脉冲模式会产生一系列 SYSREF_PULSE_CNT 脉冲
SYSREF_PULSE_CNT	1 至 15	4	在使用脉冲模式时，该值是脉冲数。将此值设置为零是允许的状态，但在实际应用中并不推荐。
SYSREF_DIV	0：除以 4 1：除以 6 2：除以 8 ... 2047：除以 4098	0	SYSREF_DIV 对内插器时钟进行分频，以生成 SYSREF 频率。

Copyright © 2026 Texas Instruments Incorporated

6.3.14.2 示例

在 SYSREF 生成模式下，SysRefReq 引脚被拉高并保持高电平，以允许连续的 SYSREF 时钟输出。要生成 SYSREF 脉冲，需要在 SysRefReq 引脚上进行低电平到高电平的转换。

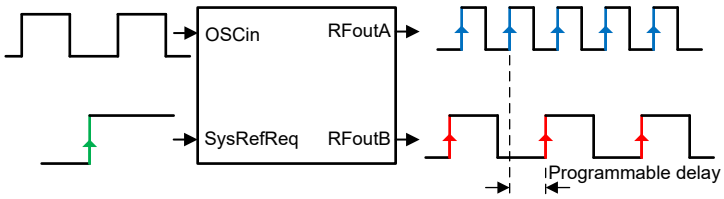


图 6-8. SYSREF 脉冲/连续模式

器件支持两种类型的中继器模式：异步和重定时。当 RPTR_NONSYNC = 1 时，SYSREF 输出直接传递信号而不经重定时（异步）；而当 RPTR_NONSYNC = 0 时，SYSREF 输出由 VCO 重定时。在中继器模式下，SYSREF 输出仅将 SysRefReq 引脚上的信号回传，然后输出至 RFoutB。在中继器模式下，SysRefReq 输入信号可以是单次触发、多脉冲或连续信号。

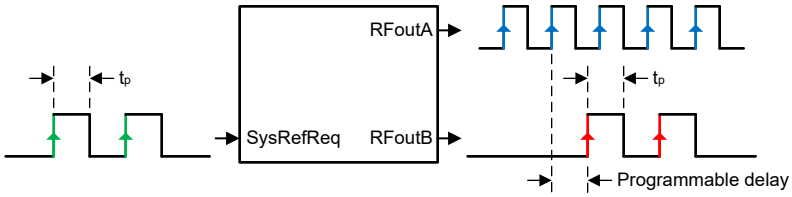


图 6-9. SYSREF 中继器重定时模式

6.3.14.3 SYSREF 过程

要配置和利用 SYSREF 信号，请按如下步骤操作：

1. 按照已概述的过程将器件置于 SYNC 模式。
2. 按照与 SYNC 模式相同的方式找到 IncludedDivide。
3. 计算 SYSREF_DIV_PRE 值，使内插器频率 ($f_{INTERPOLATOR}$) 在 800MHz 至 1500MHz 的范围内。
4. 如果使用 SYSREF 生成模式 (SYSREF_REPEAT = 0)，请确认 SysRefReq 引脚为高电平并保持高电平，以实现连续的 SYSREF 时钟生成。要生成 SYSREF 脉冲，请设置 SYSREF_PULSE=1，根据需要设置脉冲计数。脉冲在 SysRefReq 引脚上经过低电平到高电平转换而生成。
5. 如果使用 SYSREF 中继器模式 (SYSREF_REPEAT = 1)，请将 SYSREF 信号施加到 SysRefReq 引脚。
   a. 对于异步模式，RPTR_NONSYNC = 1。
   b. 对于 VCO 重定时模式，RPTR_NONSYNC = 0。
6. 使用 JESD_DACx 字段调整 RFoutA 和 RFoutB（SYSREF 输出）信号之间的延迟。

6.3.15 引脚模式整数频率生成

LMX2624-SP 具有引脚模式选项，可生成固定频率的输出，并且不需要任何串行编程。根据引脚模式选项中的引脚设置生成输出频率。可以使用引脚模式选项设置整数 N 分频器、输出通道分频器、OUTMUX 和输入基准倍频器。

在引脚模式下使用器件的条件：

- 使用 CDIVx 引脚设置引脚模式。除了连接到 GROUND 的情况外，CDIVx 引脚的所有引脚组合都视为引脚模式。不能在引脚模式下使用 SPI 控制。如果 CDIV2、CDIV1 和 CDIV0 接地，则器件处于 SPI 模式。
- 电源的上升时间需要小于 50ms。
- 小数分子和分母在引脚模式下不可用，这意味着 PLL 只能在整数模式下使用。
- CAL 引脚绑定到 V_{CC}。在引脚模式下，当频率从 f_1 变为 f_2 时，CAL 引脚必须从低电平切换到高电平。

NDIVx 和 CDIVx 引脚是四电平引脚。四电平引脚用于以较少的引脚数获得更多分频值，从而有助于减小整体封装尺寸。NDIVx 共有六个引脚，CDIVx 有三个引脚。具有四个电平的 6 个 NDIVx 引脚（NDIV5、NDIV4、NDIV3、NDIV2、NDIV1、NDIV0）总共可以产生 4^6 个组合，这意味着有 4096 个值。类似地，具有四个电平的 CDIVx 引脚（CDIV2、CDIV1、CDIV0）总共有 $4^3 = 64$ 个组合。由于引脚具有四个电平，所以 9 个引脚足以代替具有两个电平的 18 个引脚。引脚的四个电平是 VL、VML、VMH 和 VH，如图 6-10 所示。在 VCC 和 GROUND 之间使用三个 10kΩ 电阻器，这样就有四个电平，包括 VCC、GROUND 以及两个中间电平，称为 VMH（中高电压）和 VML（中低电压）。

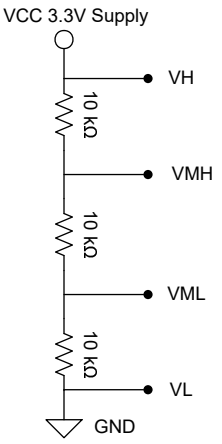


图 6-10. 四电平引脚实施

Copyright © 2026 Texas Instruments Incorporated

NDIVx 在引脚模式下提供总共 4096 个整数分频器选项。小数分子 (PLL_NUM) 和分母 (PLL_DEN) 在引脚模式下不适用于分数 PLL，并且只能在 SPI 模式下使用。引脚模式 NDIVx 值的 N 分频器限制的最小值与 SPI 模式选项类似。有关 N 分频器最小值设置，请参阅表 6-2。根据 N 分频器十进制值，每个 NDIVx 引脚设置都可以使用等效的基数 4 计算得出。

表 6-16. NDIVx 引脚模式 N 分频器值

NDIV5	NDIV4	NDIV3	NDIV2	NDIV1	NDIV0	N 分频器值
VL	VL	VL	VL	VL	VL	0
VL	VL	VL	VL	VL	VML	1
VL	VL	VL	VL	VL	VMH	2
VL	VL	VL	VL	VL	VH	3
VL	VL	VL	VL	VML	VL	4
VL	VL	VL	VL	VML	VML	5
VL	VL	VL	VL	VML	VMH	6
VL	VL	VL	VL	VML	VH	7
VL	VL	VL	VL	VMH	VL	8
...	...				...	...
VL	VL	VL	VH	VMH	VH	59
VL	VL	VL	VH	VH	VL	60
VL	VL	VL	VH	VH	VML	61
VL	VL	VL	VH	VH	VMH	62
...	...				...	...
VH	VH	VH	VH	VH	VL	4092
VH	VH	VH	VH	VH	VML	4093
VH	VH	VH	VH	VH	VMH	4094
VH	VH	VH	VH	VH	VH	4095

在 SPI 模式下可用的所有通道分频器设置组合在使用 CDIVx 引脚的引脚模式选项中也可用。有关引脚模式下的 CDIVx 设置、SPI 模式下的 CHDIV<4:0> 设置以及相应的通道分频器值，请参阅表 6-17。根据所需的通道分频器值，CDIV2、CDIV1、CDIV0 引脚需要连接到四个电平之一。

表 6-17. CDIVx 引脚模式分频器值

CDIV2	CDIV1	CDIV0	SPI 模式下的 CHDIV<4:0> 等效值	通道分频器值
VL	VL	VL	0	SPI 模式
VL	VML	VL	1	2
VL	VMH	VL	2	4
VL	VMH	VH	3	6
VML	VL	VL	4	8
VML	VL	VH	5	12
VML	VML	VL	6	16
VML	VML	VH	7	24
VML	VMH	VL	8	32
VML	VMH	VH	9	48
VML	VH	VL	10	64
VML	VH	VH	11	96
VMH	VL	VL	12	128

Copyright © 2026 Texas Instruments Incorporated

表 6-17. CDIVx 引脚模式分频器值（续）

CDIV2	CDIV1	CDIV0	SPI 模式下的 CHDIV<4:0> 等效值	通道分频器值
VMH	VL	VH	13	192
VMH	VML	VL	14	256
VMH	VML	VH	15	384
VMH	VMH	VL	16	512
VMH	VMH	VH	17	768
VMH	VH	VL	18	1024
VMH	VH	VH	19	1536

OUTMUX2、OUTMUX1 和 OUTMUX0 引脚用于根据表 6-18 选择 RFOUTx。

表 6-18. OUTMUX 设置

OUTMUX2	OUTMUX1	OUTMUX0	RFOUTA 输出	RFOUTB 输出
0	0	0	通道分频器	通道分频器
0	0	1	通道分频器	VCO
0	1	0	VCO	通道分频器
0	1	1	VCO	VCO
1	0	0	倍频器	通道分频器
1	0	1	VCO	倍频器
1	1	0	倍频器	VCO
1	1	1	倍频器	倍频器

6.3.15.1 使用 GPIO 的 4 电平引脚

图 6-10 介绍了如何使用电阻器网络产生 VL、VML、VMH 和 VH 电平。如果 RFOUTx 频率固定，则这种布置就足够了。对于需要使用引脚模式选项更改频率的应用，需要根据输出频率要求更改 NDIVx 和 CDIVx 引脚电平。一种选择是使用低速精密 DAC 驱动这些 4 电平引脚，从而产生这四个电压电平，但此方法比较复杂。

以下布置有助于使用 GPIO 驱动 4 电平。请参阅在引脚模式下使用 GPIO 驱动 4 电平引脚。

表 6-19. 在引脚模式下使用 GPIO 驱动 4 电平引脚

GPIO2	GPIO1	Nx	NDIVx 引脚上的电压电平
VL	VL	VL	0
VL	VH	VML	VH/3
VH	VL	VMH	2 × VH/3
VH	VH	VH	VH

Copyright © 2026 Texas Instruments Incorporated

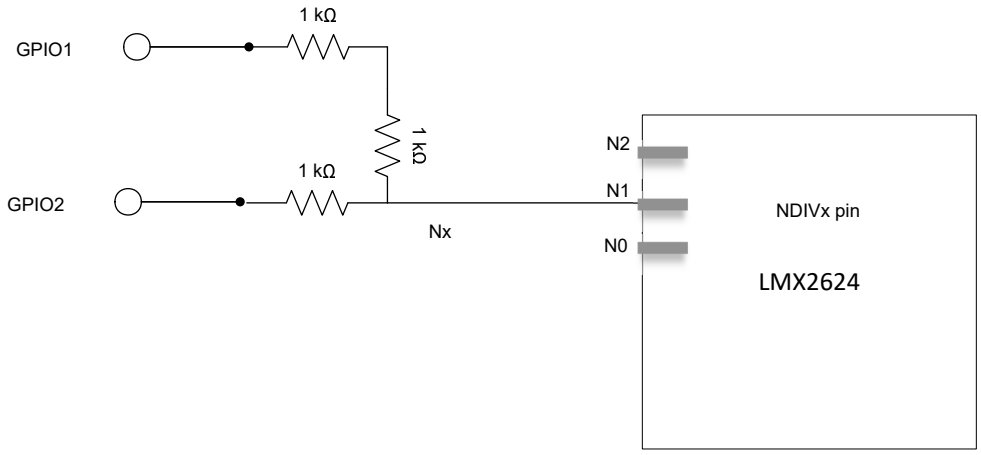


图 6-11. 使用 GPIO 驱动 4 电平引脚

引脚模式的 NDIVx 和 CDIVx 引脚配置取决于目标输出频率；有关查找值，请参阅表 6-16 和表 6-17。

6.3.15.2 引脚模式示例

LMX2624-SP 需要通过引脚模式进行配置，以便在 RFoutA 通道上生成 21GHz 的时钟频率，并且禁用 RFoutB 通道（无时钟输出/SYSREF）。

表 6-20. 引脚模式设计参数

参数	说明	值	单元
f_{OSC}	OSCin 基准频率	50	MHz
REF_DBLR_EN	启用基准倍频器	x2	
f_{PD}	相位检测器频率	100	MHz
f_{OUT}	RFoutA 输出频率	21	GHz
f_{VCO}	VCO 频率	10.5	GHz

当频率已知时，必须通过 PLLatinum Sim 工具设计环路滤波器。首先查看输出频率，确认该频率在引脚模式配置下以整数模式运行。下表显示了满足设计要求的引脚模式设置。

表 6-21. GPIO 引脚模式设置

参数	说明	计算值/要求值	GPIO 设置
REF_DBLR_EN	OSCin 倍频器路径	1	高 (1)
N 分频器	反馈 N 分频器 (f_{VCO}/f_{PD})	$(105)_{10}$ 十进制	（NDIV5、NDIV4、NDIV3、NDIV2、NDIV1、NDIV0）$_4(001221)_4$
CDIV	通道分频器 (f_{OUT}/f_{VCO})	≠ $(000)_{10}$ 十进制	在 RFout 倍频器模式下，CDIV 设置无关紧要；但在引脚模式下，该设置必须 ≠ 0。
OUTMUXx	输出多路复用器设置	RFoutA 倍频器、RFoutB 关闭（设置 VCO 路径）	（OUTMUX2、OUTMUX1、OUTMUX0）$_2(110)_2$
MuteA	启用 RFoutA 输出	0	低 (0)
MuteB	禁用 RFoutB 输出	1	高 (1)

有关配置未使用引脚连接的信息，请参阅表 6-23。

Copyright © 2026 Texas Instruments Incorporated

6.3.16 器件功能模式

表 6-22. 器件功能模式

模式	说明	软件设置
复位	寄存器保持在复位状态。该器件具有上电复位功能，但如果编程线路上可能存在噪声，尤其是当线路与其他器件共享时，最好还是执行软件复位。此外，还需要注意的是，在数据表中未披露的一些寄存器也会复位。	RESET = 1 POWERDOWN = 0
POWERDOWN	器件已关断。	POWERDOWN = 1 或 CAL 引脚 = 低电平
引脚模式	器件设置由 CDIV 上的引脚状态来决定。	CDIV0、CDIV1、CDIV2 引脚中的任何一个具有低电平以外的值
正常运行模式	在至少一个输出作为频率合成器且可以通过 SPI 控制器件时使用此模式	所有 CDIV 引脚都需要为低电平
SYNC 模式	当通道分频器的一部分位于反馈路径中，以便提供确定性相位时，使用此模式。	VCO_PHASE_SYNC = 1
SYSREF 模式	在此模式下，RFoutB 用于为 SYSREF 生成脉冲。	VCO_PHASE_SYNC = 1， SYSREF_EN = 1

6.4 处理未使用的引脚

该器件具有多个可实现许多功能的引脚，如果不需要这些引脚，可以采用优选方法来处理这些引脚。对于输入引脚，建议使用串联电阻器，但也可以直接短接。

表 6-23. 建议的引脚处理方法

引脚	SPI 模式	引脚模式	不使用时的建议处理方法
CDIV0、CDIV1、CDIV2	始终使用	始终使用	SPI 模式：CDIV0、CDIV1 和 CDIV2 引脚应通过典型值为 1kΩ 的电阻器连接到 GND。引脚模式：CDIV0、CDIV1、CDIV2 这三个引脚不能同时接地。根据这些引脚上的值，设置输出分频器。
NDIV0、NDIV1、NDIV2、NDIV3、NDIV4、NDIV5	从未使用	始终使用	1kΩ 提供 GND
CAL	有时使用	始终使用	1kΩ 提供 VCC
SYNC、SysRefReq	有时使用	从未使用	1kΩ 提供 GND
OSCinP、OSCinM	始终使用	始终使用	在交流耦合电容器之后使用 50Ω 电阻连接到地电位。如果使用互补侧的一侧，而另一侧不使用，则这两个引脚的阻抗必须相似。
SCK、SDI	始终使用	从未使用	1kΩ 提供 GND
CSB	始终使用	从未使用	1kΩ 提供 VCC
RECAL_EN	有时使用	有时使用	通过 200kΩ 在内部上拉至 VCC。未使用 RECAL 功能时，使用 1kΩ 连接到 GND。
RFoutAP、RFoutAM、RFoutBP、RFoutBM	有时使用	有时使用	如果两个差分输出引脚均未使用，则可以使用 SPI 模式使这些引脚保持悬空并断电，或者使用引脚模式选项使引脚静音。如果仅使用互补输出的一侧，则通过交流耦合电容器将未使用的引脚与 50Ω 电阻连接到 GND。
OUTMUX2、OUTMUX1、OUTMUX0	从未使用	始终使用	1kΩ 提供 GND
REF_DBLR_EN	从未使用	有时使用	1kΩ 提供 GND
MuteA、MuteB	有时使用	始终使用	1kΩ 提供 GND

Copyright © 2026 Texas Instruments Incorporated

6.5 编程

未处于引脚模式时，使用 24 位移位寄存器对 LMX2624-SP 进行编程。移位寄存器包含一个 R/W 位 (MSB)，后跟一个 7 位地址字段和一个 16 位数据字段。对于 R/W 位，0 表示写入，1 表示读取。地址字段 ADDRESS[6:0] 用于对内部寄存器地址解码。剩余的 16 位构成数据字段 DATA[15:0]。当 CSB 为低电平时，串行数据通过时钟信号的上升沿依次传入移位寄存器（数据编程为优先传输 MSB）。有关时序详细信息，请参阅图 5-2。

只需要对寄存器映射中所示的 R/W 类型寄存器字段进行编程。无需对只读寄存器字段进行编程，这些字段无法写入。

只读寄存器字段的复位或 POR 值不一定与寄存器映射中所示的值相同，因为这些字段的初始状态不是确定性的。

6.5.1 建议的初始上电序列

为了实现更可靠的编程，TI 建议遵循以下过程：

1. 向器件加电。
2. 将 RESET 设定为 1 以复位寄存器。
3. 如寄存器映射中所示，按从最高地址到最低地址的相反顺序对寄存器进行编程。
   - 需要对一直到 R0 的所有寄存器进行编程 (FCAL_EN = 1)。即使没有已记录字段的寄存器也必须根据寄存器映射进行编程。不要假定器件会进入上电复位状态且建议值相同。
4. 等待 10ms，以验证内部 LDO 是否已稳定下来
5. 使用 FCAL_EN = 1 将寄存器 R0 额外编程一次，从而确认 VCO 校准从稳定状态运行。

6.5.2 更改频率的建议顺序

更改频率的建议顺序如下所示：

1. 更改 N 分频器值。
2. 对 PLL 分子和分母进行编程。
3. 将 FCAL_EN (R0[2]) 设定为 1。

Copyright © 2026 Texas Instruments Incorporated

6.5.3 寄存器映射

	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
R0	0	VCO_PHASE_SYNC	1	FCAL_DBLR_EN	0	0	OUT_MUTE		FCAL_HPFD_ADJ		FCAL_LPFD_ADJ		1	FCAL_EN	复位	POWERDOWN
R1	0	MASH_SEED_EN	读回	LD_TYPE	OUTB_MUTE_POL	OUTA_MUTE_POL	OUTB_MUTE_PIN	OUTA_MUTE_PIN	OUTB_MUTE	OUTA_MUTE	OUTB_PD	OUTA_PD	1	CAL_CLK_DIV		
R2	0	0	0	0	1	CPG			0	0	OUTB_PWR			OUTA_PWR		
R3	OUTB_MUX		OUTA_MUX		OUTMUX	PFD_DLY					CHDIV					
R4	0	VCO_CAPCTRL_FORCE	VCO_DACISET_FORCE	VCO_SEL_FORCE	QUICK_RECAL_EN	1	1	0	0	1	0	0	0	1	0	0
R5	MASH_ORDER			VCO_FULL_ASSIST	VCO_SEL			VCO_DACISET								
R6	0	DBLR_AMP1_DACCTRL		DBLR_AMP_CAPCTRL				DBLR1_PD	VCO_CAPCTRL							
R7	0	VCO_FASTCHG_CNT							DBLR_PG_AMP_DACCTRL		DBLR_PG_AMP_CAPCTRL					
R8	PLL_N															
R9	PLL_N[18:16]			0	0	0	0	0	0	0	0	0	0	0	0	0
R10	PLL_DEN[15:0]															
R11	PLL_DEN[31:16]															
R12	MASH_SEED[15:0]															
R13	MASH_SEED[31:16]															
R14	PLL_NUM[15:0]															
R15	PLL_NUM[31:16]															
R16	0	0	0	0	0	0	0	DBL_BUF_EN	PLL_R							
R17	0	0	0	OSC_2X	PLL_R_PRE											
R18	SYSREF_DIV										SYSREF_DIV_PRE				SYSREF_EN	SYSREF_REPEAT
R19	0	JESD_DAC2					JESD_DAC1						RPTR_NONSYNC	0		SYSREF_PULSE
R20	SYSREF_PULSE_CNT				JESD_DAC4						JESD_DAC3					
R22	0	0	0	0	0	0	0	0	0	MUXOUT						
R23	LD_DLY															
R30	MASH_RST_COUNT[15:0]															
R31	MASH_RST_COUNT[31:16]															
R32	0	0	0	0	0	0	WD_DLY							WD_CNTRL		
R34	rb_VER_ID															
R35	0	0	0	0	0	0	0	0	0	0	rb_LD_VTUNE		rb_VCO_SEL			0

Copyright © 2026 Texas Instruments Incorporated

R84	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Copyright © 2026 Texas Instruments Incorporated

6.5.3.1 器件寄存器

表 6-24 列出了器件寄存器的存储器映射寄存器。表 6-24 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 6-24. DEVICE 寄存器

偏移	首字母缩写词	寄存器名称	部分
0h	R0		节 6.5.3.1.1
1h	R1		节 6.5.3.1.2
2h	R2		节 6.5.3.1.3
3h	R3		节 6.5.3.1.4
4h	R4		节 6.5.3.1.5
5h	R5		节 6.5.3.1.6
6h	R6		节 6.5.3.1.7
7h	R7		节 6.5.3.1.8
8h	R8		节 6.5.3.1.9
9h	R9		节 6.5.3.1.10
Ah	R10		节 6.5.3.1.11
Bh	R11		节 6.5.3.1.12
Ch	R12		节 6.5.3.1.13
Dh	R13		节 6.5.3.1.14
Eh	R14		节 6.5.3.1.15
Fh	R15		节 6.5.3.1.16
10h	R16		节 6.5.3.1.17
11h	R17		节 6.5.3.1.18
12h	R18		节 6.5.3.1.19
13h	R19		节 6.5.3.1.20
14h	R20		节 6.5.3.1.21
16h	R22		节 6.5.3.1.22
17h	R23		节 6.5.3.1.23
1Eh	R30		节 6.5.3.1.24
1Fh	R31		节 6.5.3.1.25
20h	R32		节 6.5.3.1.26
22h	R34		节 6.5.3.1.27
23h	R35		节 6.5.3.1.28
54h	R84		节 6.5.3.1.29

复杂的位访问类型经过编码可适应小型表单元。表 6-25 展示了适用于此部分中访问类型的代码。

表 6-25. 器件访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
写入类型		
W	W	写入
复位或默认值		

Copyright © 2026 Texas Instruments Incorporated

表 6-25. 器件访问类型代码（续）

访问类型	代码	说明
-n		复位后的值或默认值

6.5.3.1.1 R0 寄存器（偏移 = 0h）[复位 = 33CCh]

R0 如表 6-26 所示。

返回到汇总表。

表 6-26. R0 寄存器字段说明

位	字段	类型	复位	说明
15	未披露	R/W	0h	将该字段编程为 0x0。
14	VCO_PHASE_SYNC	R/W	0h	相位同步使能。 如果该位设置为 1，则 SYNC 引脚的上升沿触发相位同步。SYSREF 运行需要将该位设置为 1。 0h = 无相位同步 1h = 启用相位同步
13	未披露	R/W	1h	将该字段编程为 0x1。
12	FCAL_DBLR_EN	R/W	1h	用于 VCO 倍频器校准的使能位。 如果该位设置为 1，则只要触发 VCO 校准，就会校准 VCO 倍频器。 0h = 无 VCO 倍频器校准 1h = 启用 VCO 倍频器校准
11-10	未披露	R/W	0h	将该字段编程为 0x0。
9-8	OUT_MUTE	R/W	3h	定义如何在 VCO 校准期间将射频输出静音。 如果选择了静音，则必须执行至少一次 VCO 校准，否则所选静音通道将静音。 0h = RFOUTA、RFOUTB 不静音 1h = RFOUTA 静音；RFOUTB 不静音 2h = RFOUTA 不静音；RFOUTB 静音 3h = RFOUTA、RFOUTB 静音
7-6	FCAL_HPFD_ADJ	R/W	3h	进行调整以降低用于 VCO 校准的 f_{PD} 频率。 根据相位检测器频率来设置该字段，以实现最佳 VCO 校准。 0h = $f_{PD} \leqslant$ 50MHz 1h = 50MHz < $f_{PD} \leqslant$ 100MHz 2h = 100MHz < $f_{PD} \leqslant$ 200MHz 3h = f_{PD} > 200MHz
5-4	FCAL_LPFD_ADJ	R/W	0h	进行调整以提高用于 VCO 校准的 f_{PD} 频率。 根据相位检测器频率来设置该字段，以实现最佳 VCO 校准。 0h = $f_{PD} \geqslant$ 10MHz 1h = 5MHz $\leqslant f_{PD}$ < 10MHz 2h = 2.5MHz $\leqslant f_{PD}$ < 5MHz 3h = f_{PD} < 2.5MHz
3	未披露	R/W	1h	将该字段编程为 0x1。
2	FCAL_EN	R/W	1h	写入寄存器 R0 并将该位设置为 1，即触发 VCO 校准。 0h = 无校准 1h = 写入 1 触发 VCO 校准
1	复位	R/W	0h	将所有寄存器复位为硅片默认值。 复位后，需要重新对所有寄存器进行编程。 0h = 正常运行 1h = 写入 1 触发复位
0	POWERDOWN	R/W	0h	将器件断电。 当器件断电时，会保留寄存器内容。 0h = 正常运行 1h = 器件断电

Copyright © 2026 Texas Instruments Incorporated

6.5.3.1.2 R1 寄存器（偏移 = 1h）[复位 = 10CBh]

R1 如表 6-27 所示。

返回到汇总表。

表 6-27. R1 寄存器字段说明

位	字段	类型	复位	说明
15	未披露	R/W	0h	将该字段编程为 0x0。
14	MASH_SEED_EN	R/W	0h	启用 MASH_SEED 以改善杂散。 0h = 禁用 1h = 启用
13	读回	R/W	0h	设置寄存器读回控制。 0h = 读取写入的寄存器值 1h = 读取状态机值
12	LD_TYPE	R/W	1h	定义锁定检测类型。 VCOCal 锁定检测在 VCO 完成校准且 LD_DLY 超时计数器结束后置为高电平输出。 当 VCOCal 锁定检测触发一个信号且 VCO 的调谐电压在可接受范围内（持续监测 Vtune 电压）时，Vtune 和 VCOCal 锁定检测置为高电平输出。 RECAL 功能需要使用 Vtune 和 VCOCal 锁定检测。 两种锁定检测类型都需要执行至少一次 VCO 校准，否则输出将保持低电平。 0h = VCOCal 锁定检测 1h = Vtune 和 VCOCal 锁定检测
11	OUTB_MUTE_POL	R/W	0h	选择 MUTEB 引脚是高电平有效还是低电平有效。 0h = 当引脚为高电平时静音 1h = 当引脚为低电平时静音
10	OUTA_MUTE_POL	R/W	0h	选择 MUTEA 引脚是高电平有效还是低电平有效。 0h = 当引脚为高电平时静音 1h = 当引脚为低电平时静音
9	OUTB_MUTE_PIN	R/W	0h	选择通过引脚还是寄存器将 RFOUTB 静音。 0h = 通过引脚静音 1h = 通过寄存器静音
8	OUTA_MUTE_PIN	R/W	0h	选择通过引脚还是寄存器将 RFOUTA 静音。 0h = 通过引脚静音 1h = 通过寄存器静音
7	OUTB_MUTE	R/W	1h	将 RFOUTB 静音。 0h = RFOUTB 不静音 1h = RFOUTB 静音
6	OUTA_MUTE	R/W	1h	将 RFOUTA 静音。 0h = RFOUTA 不静音 1h = RFOUTA 静音
5	OUTB_PD	R/W	0h	将 RFOUTB 断电。 0h = RFOUTB 上电 1h = RFOUTB 断电
4	OUTA_PD	R/W	0h	将 RFOUTA 断电。 0h = RFOUTA 上电 1h = RFOUTA 断电
3	未披露	R/W	1h	将该字段编程为 0x1。

Copyright © 2026 Texas Instruments Incorporated

表 6-27. R1 寄存器字段说明（续）

位	字段	类型	复位	说明
2-0	CAL_CLK_DIV	R/W	3h	将状态机时钟频率设置为等于或小于 50MHz。 $f_{SM} = f_{OSC}/2^{CAL_CLK_DIV}$ 0h = f_{OSC} ⩽ 50MHz 1h = f_{OSC} ⩽ 100MHz 2h = f_{OSC} ⩽ 200MHz 3h = f_{OSC} ⩽ 400MHz 4h = f_{OSC} ⩽ 800MHz 5h = f_{OSC} > 800MHz

Copyright © 2026 Texas Instruments Incorporated

6.5.3.1.3 R2 寄存器（偏移 = 2h）[复位 = 0F3Fh]

R2 如表 6-28 所示。

返回到汇总表。

表 6-28. R2 寄存器字段说明

位	字段	类型	复位	说明
15-11	未披露	R/W	1h	将该字段编程为 0x1。
10-8	CPG	R/W	7h	设置电荷泵增益。 0h = 三态 1h = 6mA 2h = 保留 3h = 12mA 4h = 3mA 5h = 9mA 6h = 保留 7h = 15mA
7-6	未披露	R/W	0h	将该字段编程为 0x0。
5-3	OUTB_PWR	R/W	7h	控制 RFOUTB 输出功率。值越高，输出功率越大。
2-0	OUTA_PWR	R/W	7h	控制 RFOUTA 输出功率。值越高，输出功率越大。

Copyright © 2026 Texas Instruments Incorporated

6.5.3.1.4 R3 寄存器（偏移 = 3h）[复位 = 5040h]

R3 如表 6-29 所示。

返回到汇总表。

表 6-29. R3 寄存器字段说明

位	字段	类型	复位	说明
15-14	OUTB_MUX	R/W	1h	选择 RFOUTB 配置。 0h = 分频输出 1h = 直接 VCO 输出 2h = VCO 倍频器输出 3h = SYSREF 输出
13-12	OUTA_MUX	R/W	1h	选择 RFOUTA 配置。 0h = 分频输出 1h = 直接 VCO 输出 2h = VCO 倍频器输出 3h = 保留
11	OUTMUX	R/W	0h	决定通过 OUTMUX 引脚还是寄存器控制射频输出选择（分频、直接 VCO 或 VCO 倍频器输出）。 0h = 通过引脚控制 1h = 通过寄存器控制
10-5	PFD_DLY	R/W	2h	可编程相位检测器延迟。该值应根据 VCO 频率、小数阶次和 N 分频器值进行编程。 所有其他值必须根据 N 分频器值进行设置 0h = 保留
4-0	CHDIV	R/W	0h	设置射频输出的 VCO 分频器值。 下面未列出的值为保留值。 1h = 2 分频 2h = 4 分频 3h = 6 分频 4h = 8 分频 5h = 12 分频 6h = 16 分频 7h = 24 分频 8h = 32 分频 9h = 48 分频 Ah = 64 分频 Bh = 96 分频 Ch = 128 分频 Dh = 192 分频 Eh = 256 分频 Fh = 384 分频 10h = 512 分频 11h = 768 分频 12h = 1,024 分频 13h = 1,536 分频

Copyright © 2026 Texas Instruments Incorporated

6.5.3.1.5 R4 寄存器（偏移 = 4h）[复位 = 0644h]

R4 如表 6-30 所示。

返回到汇总表。

表 6-30. R4 寄存器字段说明

位	字段	类型	复位	说明
15	未披露	R/W	0h	将该字段编程为 0x0。
14	VCO_CAPCTRL_FORCE	R/W	0h	允许强制器件为 VCO 使用所编程的 VCO_CAPCTRL 值。 0h = 禁用 1h = 启用
13	VCO_DACISET_FORCE	R/W	0h	允许强制器件为 VCO 使用所编程的 VCO_DACISET 值。 0h = 禁用 1h = 启用
12	VCO_SEL_FORCE	R/W	0h	允许强制器件使用编程的 VCO_SEL 值手动选择 VCO 内核。 0h = 禁用 1h = 启用
11	QUICK_RECAL_EN	R/W	0h	选择用于启动 VCO 校准的 VCO 配置（VCO_CAPCTRL、VCO_SEL 和 VCO_DACISET）值。 0h = 使用编程的 VCO 配置 1h = 使用当前 VCO 配置状态机值
10-0	未披露	R/W	644h	将该字段编程为 0x644。

Copyright © 2026 Texas Instruments Incorporated

6.5.3.1.6 R5 寄存器（偏移 = 5h）[复位 = 0F2Ch]

R5 如表 6-31 所示。

返回到汇总表。

表 6-31. R5 寄存器字段说明

位	字段	类型	复位	说明
15-13	MASH_ORDER	R/W	0h	设置 MASH 阶数。 当禁用 MASH 时，小数分子 (PLL_NUM) 会被忽略。 下面未列出的值为保留值。 0h = MASH 已禁用 1h = 一阶调制器 2h = 二阶调制器 3h = 三阶调制器
12	VCO_FULL_ASSIST	R/W	0h	启用该位会强制器件对以下字段使用编程的值： VCO_SEL、VCO_CAPCTRL、VCO_DACISET DBLR1_PD、DBLR_AMP_CAPCTRL、DBLR_AMP1_DACCTRL DBLR_PG_AMP_CAPCTRL、DBLR_PG_AMP_DACCTRL 如果启用，则需要 DBL_BUF_EN = 1。 0h = 禁用 1h = 启用
11-9	VCO_SEL	R/W	7h	设置用于 VCO 校准的初始 VCO 内核。 除非 QUICK_RECAL_EN = 1，否则 VCO 校准始终从该字段中指定的值开始。 0h = 保留 1h = VCO1 2h = VCO2 3h = VCO3 4h = VCO4 5h = VCO5 6h = VCO6 7h = VCO7
8-0	VCO_DACISET	R/W	12Ch	设置 VCO 校准的初始值，典型值为 300。 除非 QUICK_RECAL_EN = 1，否则 VCO 校准始终从该字段中指定的值开始。

Copyright © 2026 Texas Instruments Incorporated

6.5.3.1.7 R6 寄存器（偏移 = 6h）[复位 = 41BFh]

R6 如表 6-32 所示。

返回到汇总表。

表 6-32. R6 寄存器字段说明

位	字段	类型	复位	说明
15	未披露	R/W	0h	将该字段编程为 0x0。
14-13	DBLR_AMP1_DACCTRL	R/W	2h	VCO 倍频器配置。 仅在完全辅助模式下需要编程。该字段值通过在 VCO 倍频器校准后读回寄存器来获得。
12-9	DBLR_AMP_CAPCTRL	R/W	0h	VCO 倍频器配置。 仅在完全辅助模式下需要编程。该字段值通过在 VCO 倍频器校准后读回寄存器来获得。
8	DBLR1_PD	R/W	1h	禁用 VCO 倍频器的路径 1。 仅在完全辅助模式下需要编程。该字段值通过在 VCO 倍频器校准后读回寄存器来获得。 0h = 启用倍频器路径 1 1h = 禁用倍频器路径 1
7-0	VCO_CAPCTRL	R/W	BFh	设置 VCO 校准的初始值。 有效值介于 0 和 191 之间。值越高表示 VCO 频率越低。 除非 QUICK_RECAL_EN = 1，否则 VCO 校准始终从该字段中指定的值开始。

Copyright © 2026 Texas Instruments Incorporated

6.5.3.1.8 R7 寄存器（偏移 = 7h）[复位 = 7D40h]

R7 如表 6-33 所示。

返回到汇总表。

表 6-33. R7 寄存器字段说明

位	字段	类型	复位	说明
15	未披露	R/W	0h	将该字段编程为 0x0。
14-7	VCO_FASTCHG_CNT	R/W	FAh	设置在完全辅助模式下或启用双缓冲时使用的快速充电导通时间。 导通时间 = VCO_FASTCHG_CNT / f_{SM} 建议的导通时间为 5µs。
6-4	DBLR_PG_AMP_DACCTRL	R/W	4h	VCO 倍频器配置。 仅在完全辅助模式下需要编程。该字段值通过在 VCO 倍频器校准后读回寄存器来获得。
3-0	DBLR_PG_AMP_CAPCTRL	R/W	0h	VCO 倍频器配置。 仅在完全辅助模式下需要编程。该字段值通过在 VCO 倍频器校准后读回寄存器来获得。

Copyright © 2026 Texas Instruments Incorporated

6.5.3.1.9 R8 寄存器（偏移 = 8h）[复位 = 0046h]

R8 如表 6-34 所示。

返回到汇总表。

表 6-34. R8 寄存器字段说明

位	字段	类型	复位	说明
15-0	PLL_N	R/W	46h	N 分频器的低 16 位，总共 19 位。

Copyright © 2026 Texas Instruments Incorporated

6.5.3.1.10 R9 寄存器（偏移 = 9h）[复位 = 0000h]

R9 如表 6-35 所示。

返回到汇总表。

表 6-35. R9 寄存器字段说明

位	字段	类型	复位	说明
15-13	PLL_N[18:16]	R/W	0h	N 分频器的高 3 位，总共 19 位。
12-0	未披露	R/W	0h	将该字段编程为 0x0。

Copyright © 2026 Texas Instruments Incorporated

6.5.3.1.11 R10 寄存器（偏移 = Ah）[复位 = DA80h]

R10 如表 6-36 所示。

返回到汇总表。

表 6-36. R10 寄存器字段说明

位	字段	类型	复位	说明
15-0	PLL_DEN[15:0]	R/W	DA80h	小数分母的低 16 位，总共 32 位。

Copyright © 2026 Texas Instruments Incorporated

6.5.3.1.12 R11 寄存器（偏移 = Bh）[复位 = FD51h]

R11 如表 6-37 所示。

返回到汇总表。

表 6-37. R11 寄存器字段说明

位	字段	类型	复位	说明
15-0	PLL_DEN[31:16]	R/W	FD51h	小数分母的高 16 位，总共 32 位。

Copyright © 2026 Texas Instruments Incorporated

6.5.3.1.13 R12 寄存器（偏移 = Ch）[复位 = 0000h]

R12 如表 6-38 所示。

返回到汇总表。

表 6-38. R12 寄存器字段说明

位	字段	类型	复位	说明
15-0	MASH_SEED[15:0]	R/W	0h	MASH_SEED 的低 16 位，总共 32 位。

Copyright © 2026 Texas Instruments Incorporated

6.5.3.1.14 R13 寄存器（偏移 = Dh）[复位 = 0000h]

R13 如表 6-39 所示。

返回到汇总表。

表 6-39. R13 寄存器字段说明

位	字段	类型	复位	说明
15-0	MASH_SEED[31:16]	R/W	0h	MASH_SEED 的高 16 位，总共 32 位。

Copyright © 2026 Texas Instruments Incorporated

6.5.3.1.15 R14 寄存器（偏移 = Eh）[复位 = 0000h]

R14 如表 6-40 所示。

返回到汇总表。

表 6-40. R14 寄存器字段说明

位	字段	类型	复位	说明
15-0	PLL_NUM[15:0]	R/W	0h	小数分子的低 16 位，总共 32 位。

Copyright © 2026 Texas Instruments Incorporated

6.5.3.1.16 R15 寄存器（偏移 = Fh）[复位 = 0000h]

R15 如表 6-41 所示。

返回到汇总表。

表 6-41. R15 寄存器字段说明

位	字段	类型	复位	说明
15-0	PLL_NUM[31:16]	R/W	0h	小数分子的高 16 位，总共 32 位。

Copyright © 2026 Texas Instruments Incorporated

6.5.3.1.17 R16 寄存器（偏移 = 10h）[复位 = 0001h]

R16 如表 6-42 所示。

返回到汇总表。

表 6-42. R16 寄存器字段说明

位	字段	类型	复位	说明
15-9	未披露	R/W	0h	将该字段编程为 0x0。
8	DBL_BUF_EN	R/W	0h	启用双缓冲。 双缓冲允许用户对多个寄存器进行编程，而无需让它们在写入寄存器 R0 之前实际生效。 启用该位时，需要设置足够的快速充电导通时间。 完全辅助模式要求将该位设置为 1。 0h = 禁用双缓冲 1h = 启用双缓冲
7-0	PLL_R	R/W	1h	基准路径 R 后分频器。 这是 R 预分频器之后的分频器。

Copyright © 2026 Texas Instruments Incorporated

6.5.3.1.18 R17 寄存器（偏移 = 11h）[复位 = 1001h]

R17 如表 6-43 所示。

返回到汇总表。

表 6-43. R17 寄存器字段说明

位	字段	类型	复位	说明
15-13	未披露	R/W	0h	将该字段编程为 0x0。
12	OSC_2X	R/W	1h	启用基准路径输入时钟倍频器。 0h = 禁用 1h = 启用
11-0	PLL_R_PRE	R/W	1h	基准路径 R 预分频器。 不使用高 4 位。

Copyright © 2026 Texas Instruments Incorporated

6.5.3.1.19 R18 寄存器（偏移 = 12h）[复位 = 0030h]

R18 如表 6-44 所示。

返回到汇总表。

表 6-44. R18 寄存器字段说明

位	字段	类型	复位	说明
15-5	SYSREF_DIV	R/W	1h	该分频器可以进一步对 SYSREF 输出的时钟频率进行分频。
4-2	SYSREF_DIV_PRE	R/W	4h	该分频器用于降低 SYSREF 分频器的时钟频率。 该分频器的输出频率应介于 800MHz 至 1.5GHz 之间。 下面未列出的值为保留值。 1h = 旁路 2h = 2 分频 4h = 4 分频
1	SYSREF_EN	R/W	0h	启用 SYSREF 模式。 0h = 禁用 SYSREF 模块 1h = 启用 SYSREF 模块
0	SYSREF_REPEAT	R/W	0h	将器件设置为 SYSREF 生成或中继器模式。 在生成模式下，SYSREF 时钟通过内部电路生成。 在中继器模式下，传入的 SYSREF 信号通过器件而不会进行重定时。 0h = 生成模式 1h = 中继器模式

Copyright © 2026 Texas Instruments Incorporated

6.5.3.1.20 R19 寄存器（偏移 = 13h）[复位 = 01F8h]

R19 如表 6-45 所示。

返回到汇总表。

表 6-45. R19 寄存器字段说明

位	字段	类型	复位	说明
15	未披露	R/W	0h	将该字段编程为 0x0。
14-9	JESD_DAC2	R/W	0h	SYSREF 输出的可编程延迟。
8-3	JESD_DAC1	R/W	3Fh	SYSREF 输出的可编程延迟。
2	RPTR_NONSYNC	R/W	0h	启用非同步 SYSREF 中继器模式。 在 SYSREF 中继器模式下，如果该位设置为 1，则输出 SYSREF 时钟不会通过 VCO 重定时，从而允许输入 SYSREF 时钟直接通过器件。 0h = 使用 VCO 重定时 1h = 直通，不重定时
1	未披露	R/W	0h	将该字段编程为 0x0。
0	SYSREF_PULSE	R/W	0h	将器件设置为连续 SYSREF 脉冲或固定数量的脉冲。 在连续模式下，连续生成 SYSREF 脉冲。 脉冲模式允许在 SysRefReq 引脚变为高电平时发送多个脉冲（由 SYSREF_PULSE_CNT 确定）。 0h = 连续模式 1h = 脉冲模式

Copyright © 2026 Texas Instruments Incorporated

6.5.3.1.21 R20 寄存器（偏移 = 14h）[复位 = 0000h]

R20 如表 6-46 所示。

返回到汇总表。

表 6-46. R20 寄存器字段说明

位	字段	类型	复位	说明
15-12	SYSREF_PULSE_CNT	R/W	0h	定义在 SYSREF 脉冲模式下发送多少个脉冲。 有效值介于 1 至 15 之间。
11-6	JESD_DAC4	R/W	0h	SYSREF 输出的可编程延迟。
5-0	JESD_DAC3	R/W	0h	SYSREF 输出的可编程延迟。

Copyright © 2026 Texas Instruments Incorporated

6.5.3.1.22 R22 寄存器（偏移 = 16h）[复位 = 0001h]

R22 如表 6-47 所示。

返回到汇总表。

表 6-47. R22 寄存器字段说明

位	字段	类型	复位	说明
15-7	未披露	R/W	0h	将该字段编程为 0x0。
6-0	MUXOUT	R/W	1h	选择 MUXOUT 引脚的功能。 0h = 锁定检测 1h = 寄存器读回 2h = f_{PD} / 32 3h = f_{SM} / 32

Copyright © 2026 Texas Instruments Incorporated

6.5.3.1.23 R23 寄存器（偏移 = 17h）[复位 = 09C4h]

R23 如表 6-48 所示。

返回到汇总表。

表 6-48. R23 寄存器字段说明

位	字段	类型	复位	说明
15-0	LD_DLY	R/W	9C4h	对于 VCOCal 锁定检测类型，这是在校准完成后，锁定检测被置为高电平之前添加的状态机时钟周期延迟。 延迟时间 = LD_DLY × 4 / f_{SM}

Copyright © 2026 Texas Instruments Incorporated

6.5.3.1.24 R30 寄存器（偏移 = 1Eh）[复位 = D6D8h]

R30 如表 6-49 所示。

返回到汇总表。

表 6-49. R30 寄存器字段说明

位	字段	类型	复位	说明
15-0	MASH_RST_COUNT[15:0]	R/W	D6D8h	MASH_RST_COUNT 的低 16 位，总共 32 位。 该字段定义在相位同步期间复位 MASH 引擎后所需的延迟时间。当 PLL_NUM 不为零时，延迟时间应至少设置为 PLL 锁定时间的四倍。当 PLL_NUM = 0 时，可以将该字段设置为 0。 延迟时间 = MASH_RST_COUNT / f_{SM}

Copyright © 2026 Texas Instruments Incorporated

6.5.3.1.25 R31 寄存器（偏移 = 1Fh）[复位 = 0000h]

R31 如表 6-50 所示。

返回到汇总表。

表 6-50. R31 寄存器字段说明

位	字段	类型	复位	说明
15-0	MASH_RST_COUNT[31:16]	R/W	0h	MASH_RST_COUNT 的高 16 位，总共 32 位。

Copyright © 2026 Texas Instruments Incorporated

6.5.3.1.26 R32 寄存器（偏移 = 20h）[复位 = 026Fh]

R32 如表 6-51 所示。

返回到汇总表。

表 6-51. R32 寄存器字段说明

位	字段	类型	复位	说明
15-10	未披露	R/W	0h	将该字段编程为 0x0。
9-3	WD_DLY	R/W	4Dh	内部看门狗计时器的延迟。 延迟时间 = WD_DLY × 2^{14} / f_{SM}
2-0	WD_CNTRL	R/W	7h	看门狗控制。 0h = 禁用数字看门狗 1h = 看门狗触发 1 次 2h = 看门狗触发最多 2 次 3h = 看门狗触发最多 3 次 4h = 看门狗触发最多 4 次 5h = 看门狗触发最多 5 次 6h = 看门狗触发最多 6 次 7h = 看门狗会根据需要多次重新触发，无限制

Copyright © 2026 Texas Instruments Incorporated

6.5.3.1.27 R34 寄存器（偏移 = 22h）[复位 = 0000h]

R34 如表 6-52 所示。

返回到汇总表。

表 6-52. R34 寄存器字段说明

位	字段	类型	复位	说明
15-0	rb_VER_ID	R	0h	读回器件版本 ID。

Copyright © 2026 Texas Instruments Incorporated

6.5.3.1.28 R35 寄存器（偏移 = 23h）[复位 = 0000h]

R35 如表 6-53 所示。

返回到汇总表。

表 6-53. R35 寄存器字段说明

位	字段	类型	复位	说明
15-6	未披露	R/W	0h	将该字段编程为 0x0。
5-4	rb_LD_VTUNE	R	0h	用于锁定检测状态的回读字段。 仅当寄存器 R0 至少被编程一次且 LD_TYPE = 1 时适用，FCAL_EN 位无关。 下面未列出的值表示未锁定。 2h = 已锁定
3-1	rb_VCO_SEL	R	0h	读回 VCO 校准所选择的实际 VCO 内核。 0h = 保留 1h = VCO1 2h = VCO2 3h = VCO3 4h = VCO4 5h = VCO5 6h = VCO6 7h = VCO7
0	未披露	R	0h	将该字段编程为 0x0。

Copyright © 2026 Texas Instruments Incorporated

6.5.3.1.29 R84 寄存器（偏移 = 54h）[复位 = 0000h]

R84 如表 6-54 所示。

返回到汇总表。

表 6-54. R84 寄存器字段说明

位	字段	类型	复位	说明
15-0	未披露	R/W	0h	将该字段编程为 0x4000。请注意，这与复位值不同。

Copyright © 2026 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

7.1 应用信息

7.1.1 OSCin 配置

OSCin 支持单端或差分时钟。在器件引脚之前必须串联一个交流耦合电容器。OSCin 输入是具有内部偏置电压的高阻抗 CMOS。TI 建议使用端接分流电阻器来端接差分布线（如果有 50Ω 特性布线，请放置 50Ω 电阻器）。OSCinP 和 OSCinM 两侧在布局中必须匹配。在电路板布局布线中，必须在 OSCin 引脚后紧接着放置串联的交流耦合电容器，然后再放置接地的分流端接电阻器。

图 7-1 中显示了输入时钟定义：

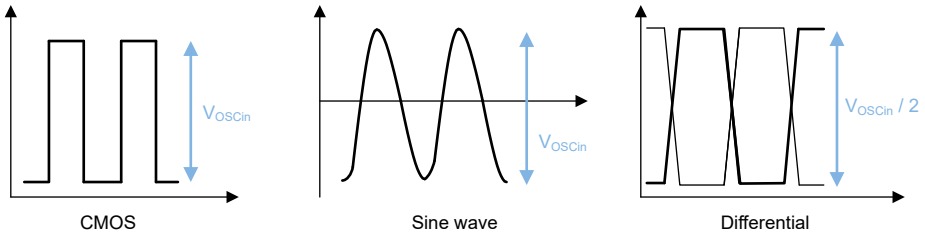


图 7-1. 输入时钟定义

7.1.2 OSCin 压摆率

如果转换率过低，OSCin 信号的转换率会对该器件的杂散和相位噪声产生影响。一般而言，具有高压摆率但振幅较低的信号（例如 LVDS）能实现更好的性能。

7.1.3 射频输出缓冲器功率控制

OUTA_PWR 和 OUTB_PWR 寄存器控制输出功率大小。建议将 OUTx_PWR 设置为“7”，以提供最大的输出功率，但这会消耗更多电流；可以通过将该设置减小至 1 来控制输出功率。

7.1.4 RF 输出缓冲器

此器件中集成了上拉电阻器。差分输出 RFOUTA 和 RFOUTB 上的每个引脚都在内部有连接到 VCC 上拉的 50Ω 电阻器。

7.1.5 互补侧的射频输出处理

无论是否使用了差分输出的两侧，两侧都必须具有相似的负载。

7.1.5.1 未使用输出的单端端接

未使用的输出端口必须具有与引脚外部大致相同的阻抗，从而更大限度地减小谐波并获得出色的输出功率。如果应用要求是仅使用单端输出（例如 RFOUTAP），则用户必须确认 RFOUTAM 也具有相同的阻抗。对于采用 50Ω PCB 布线的典型 50Ω 系统，可以通过交流耦合电容器将未使用的引脚与 50Ω 电阻端接。

Copyright © 2026 Texas Instruments Incorporated

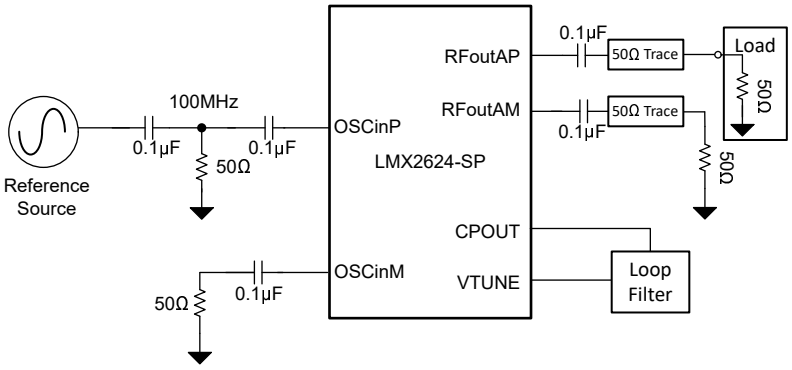


图 7-2. 未使用输出的端接

7.2 典型应用

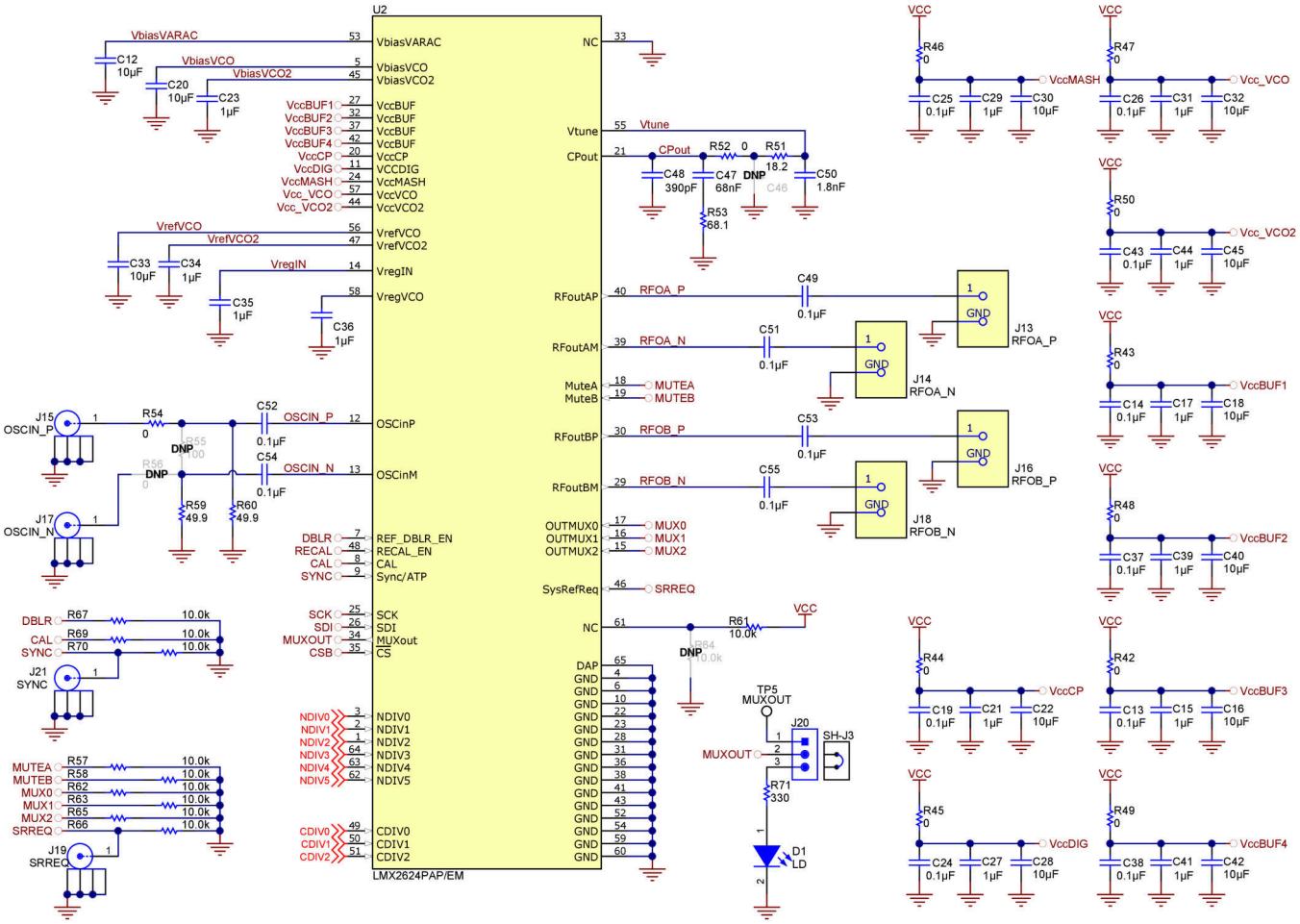


图 7-3. 典型应用原理图

7.2.1 设计要求

环路滤波器的设计很复杂，通常使用软件完成。PLLATINUM Sim 软件是执行此操作以及设计和仿真的理想资源。在本例中，假设采用整数 PLL 设计，并且该设计专为优化抖动而设，这与许多时钟应用的情况一致。在本示例中，假设从 100MHz 时钟生成 12GHz 输出。工程师必须在进行环路滤波器设计之前据此选择 VCO 频率和相位检测器。

VCO 频率必须在 7.5GHz 至 15GHz 之间，输出频率必须能够被该频率整除、等于 VCO 频率或为 VCO 频率的两倍。在本例中，这意味着 VCO 频率为 12GHz。下一步是选择相位检测器频率。相位检测器频率必须能够整除输入频率，如果使用 OSC_2X 功能，该频率可以是输入频率的两倍。此外，如果相位检测器频率能够整除 VCO 频率，杂散性能会好得多。因此，通过选择 200MHz 的相位检测器频率并使用 OSC_2X 倍频器，该器件可以在整数模式下使用，并且可以实现最佳的相位噪声性能。

表 7-1. 设计参数

参数	说明	值	单元
f_{OSC}	OSCin 基准频率	100	MHz
OSC_2X = “1”	启用基准倍频器	x2	-
f_{PD}	相位检测器频率	200	MHz
f_{OUT}	RFoutA 输出频率	12	GHz
f_{VCO}	VCO 频率	12	GHz

7.2.2 详细设计过程

当频率已知时，必须设计环路滤波器。相位噪声在一定带宽上的积分（抖动）是一种性能规格，可转换为信噪比。环路带宽内的相位噪声主要由 PLL 控制，而环路带宽外的相位噪声主要由 VCO 控制。通常，如果环路带宽设计为两者相交的点，则抖动最低。较高相位裕度的环路滤波器设计在环路带宽处的峰值较小，因此抖动较低。这样做的代价是在设计时必须考虑更长的锁定时间和杂散。

PLLatinum Sim 软件在设计环路滤波器时非常有用，可在 TI 网站上获得。使用该工具，得到表 7-2 中的结果。

表 7-2. PLLatinum 仿真结果

元件	值	单位
C1	390	pF
C2	68	nF
C3	1.8	nF
R2	68.1	Ω
R3	18.2	Ω

TICS Pro 软件在计算必要的寄存器值和配置器件方面非常有用。图 7-4 展示了 RFoutA 通道上 12GHz 输出的 TICS Pro 配置。

Copyright © 2026 Texas Instruments Incorporated

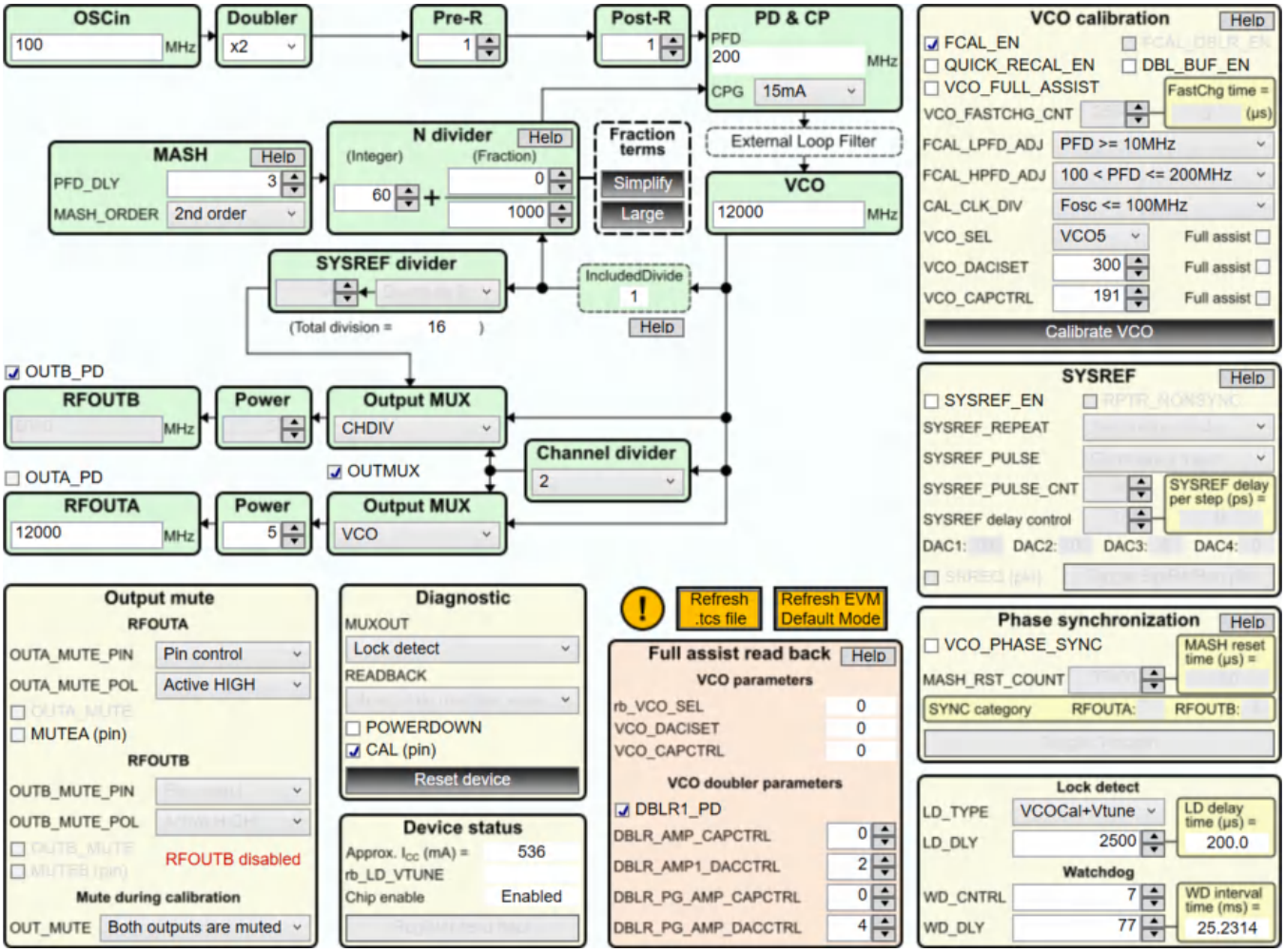


图 7-4. LMX2624-SP TICS Pro 设置

7.2.3 应用曲线

使用所描述的设置，利用干净的 100MHz 输入基准测量的 12GHz 性能如下所示。请注意，根据仿真预测，环路带宽约为 350kHz。

Copyright © 2026 Texas Instruments Incorporated

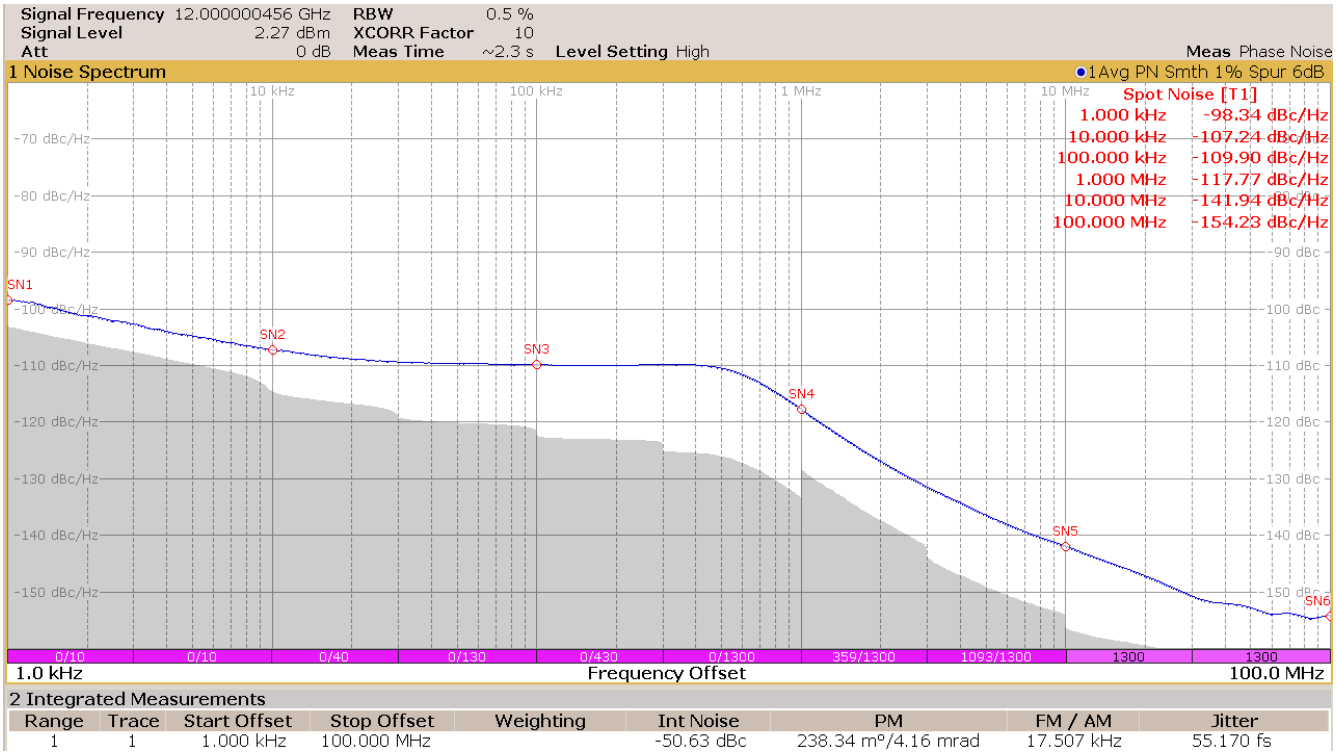


图 7-5. 环路滤波器设计的结果

7.3 电源相关建议

TI 建议将旁路电容器靠近引脚放置。有关布局示例，请参阅 EVM 说明。如果分数杂散问题严重，则在这些电源引脚上使用铁氧体磁珠可以在一定程度上减少杂散。该器件具有集成 LDO，可提高对电源噪声的抵抗力。

7.4 布局

7.4.1 布局指南

一般来说，布局指南与大多数其他 PLL 器件相似。以下是一些具体的指南。

- GND 引脚可以在封装上路由回 DAP。
- OSCin 引脚在内部偏置，并且必须是交流耦合。
- 如果不使用，则 SysRefReq 可以接地到 DAP。
- 为了在 200kHz 至 1MHz 范围内获得更优 VCO 相位噪声，将至少为 3.3nF 的电容器放置在最靠近 Vtune 引脚的位置。如果这个较大的电容器会限制环路带宽，则可以减小此值（例如减小到 1.5nF），但代价是会增加 VCO 相位噪声。
- 如果需要单端输出，另一端必须具有相同的负载。但是，可以通过将互补侧通过过孔路由到电路板的另一侧来优化使用侧的布线。在这一侧，使负载看起来与使用的一侧相同。
- 确认器件上的 DAP 通过多个过孔良好接地，最好是铜填充。
- 有一个与 LMX2624-SP 裸露焊盘一样大的散热焊盘。在散热焊盘上添加过孔以更大限度地提高散热性能。
- 使用低损耗介电材料，例如 Rogers 4350B，以获得出色输出功率。
- 将电源旁路电容器靠近引脚放置。

Copyright © 2026 Texas Instruments Incorporated

7.4.2 布局示例

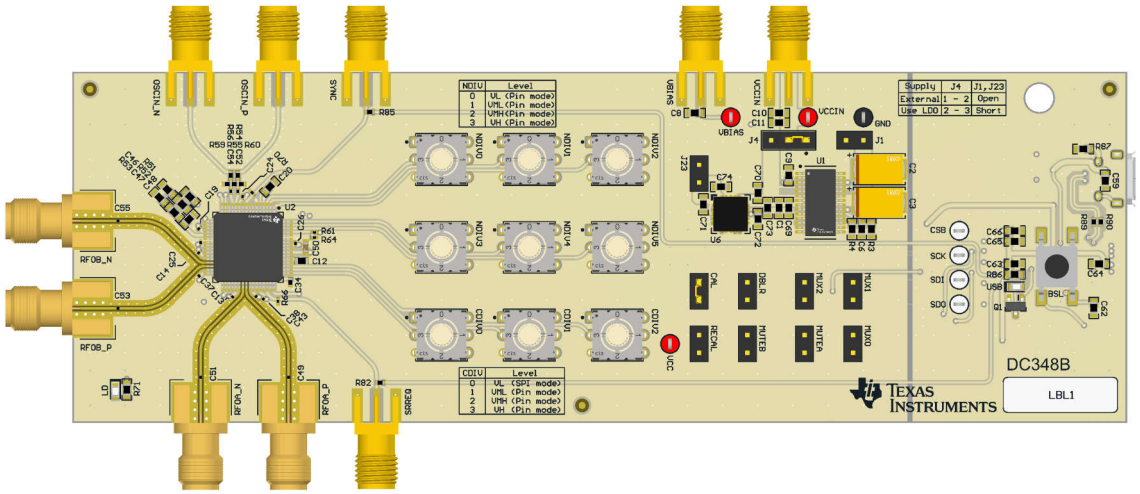


图 7-6. LMX2624-SP 布局示例

7.4.3 PCB 布局上的封装示例

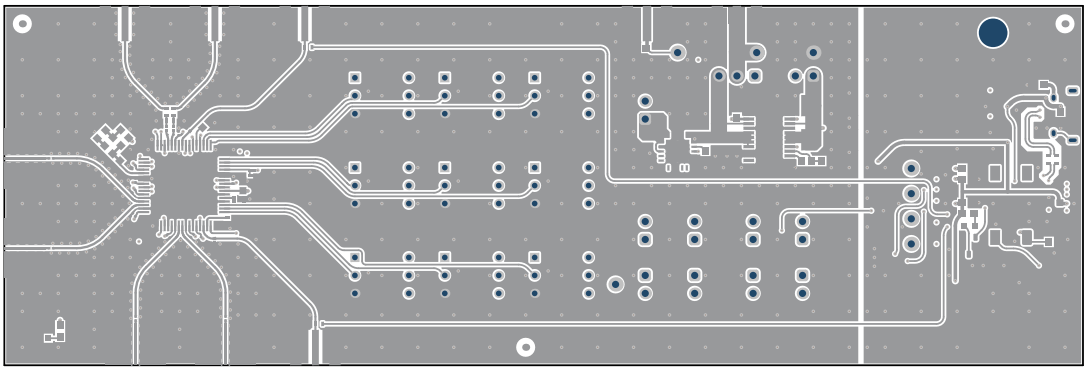


图 7-7. LMX2624-SP PCB 布局（顶层 - 射频信号）

7.4.4 辐射环境

在辐射环境中使用产品时，必须仔细考虑环境条件。

7.4.4.1 电离总剂量

耐辐射保障 (RHA) 产品是那些在订货信息中指定了电离辐射总剂量 (TID) 水平的器件型号。根据 MIL-STD-883 测试方法 1019，在晶圆级完成这些产品的测试和鉴定。晶圆级 TID 数据随批次发货一起提供。

7.4.4.2 单粒子效应

根据 EIA/JEDEC 标准 EIA/JEDEC57 进行一次性单粒子效应 (SEE) 测试，包括单粒子锁存 (SEL)、单粒子功能中断 (SEFI) 和单粒子翻转 (SEU)。可根据申请提供测试报告。

Copyright © 2026 Texas Instruments Incorporated

8 器件和文档支持

8.1 器件支持

8.1.1 开发支持

德州仪器 (TI) 在 www.ti.com.cn 提供了多种辅助开发的软件工具。其中包括：

- EVM 软件，用于了解如何对器件和 EVM 板进行编程。
- EVM 板说明，用于了解典型测量数据、详细测量条件以及完整设计的信息。
- PLLatinum Sim 程序，用于设计回路滤波器以及对相位噪声和杂散进行仿真。

表 8-1. 开发工具和软件

工具	类型	说明
PLLatinum™ Sim	软件	模拟所有模式下的相位噪声
TICS Pro	软件	使用具有交互式反馈和十六进制寄存器导出功能的用户友好型 GUI 对器件进行编程。

8.2 文档支持

8.2.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，LMX2624-SP 评估模块 EVM 用户指南
- 德州仪器 (TI)，*AN-1879 分数 N 频率合成*应用手册
- 德州仪器 (TI)，*PLL 性能、仿真和设计手册*应用手册

8.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.5 商标

PLLatinum™ and TI E2E™ are trademarks of Texas Instruments.
所有商标均为其各自所有者的财产。

8.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.7 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Copyright © 2026 Texas Instruments Incorporated

Changes from Revision A (July 2026) to Revision B (September 2026)	Page
• 将射频输出相位噪声规格更改为更新后的数据	7
• 将 tCWH 规格从“6”更改为“10”。	11
• 更新了图 5-20、图 5-21 以及图 5-15 的注释	14
• 更新了节 6.3.2.1 的说明	22
• 更新了 VCO 校准和表 6-4 的说明	24
• 更新了 RECAL 特性的说明	27
• 更新了节 6.3.8 的说明	27
• 更新了节 6.3.13.1 的说明	29
• 更新了表 6-13	33
• 更新了表 6-15	34
• 更新了节 6.3.14.2 的说明	35
• 更新了表 6-23	40
• 更改了寄存器映射中对寄存器 R1 和寄存器 R2 的说明	42
• 更改了图 7-1 中差分输入时钟的 VOSCin 值	76
• 更改了表 7-1 的参数文本	77
• 更新了电源相关建议的说明	80

Changes from Revision * (December 2024) to Revision A (July 2026)	Page
• 将器件状态从*预告信息*更改为*量产*数据	1

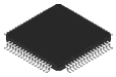
10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2026 Texas Instruments Incorporated

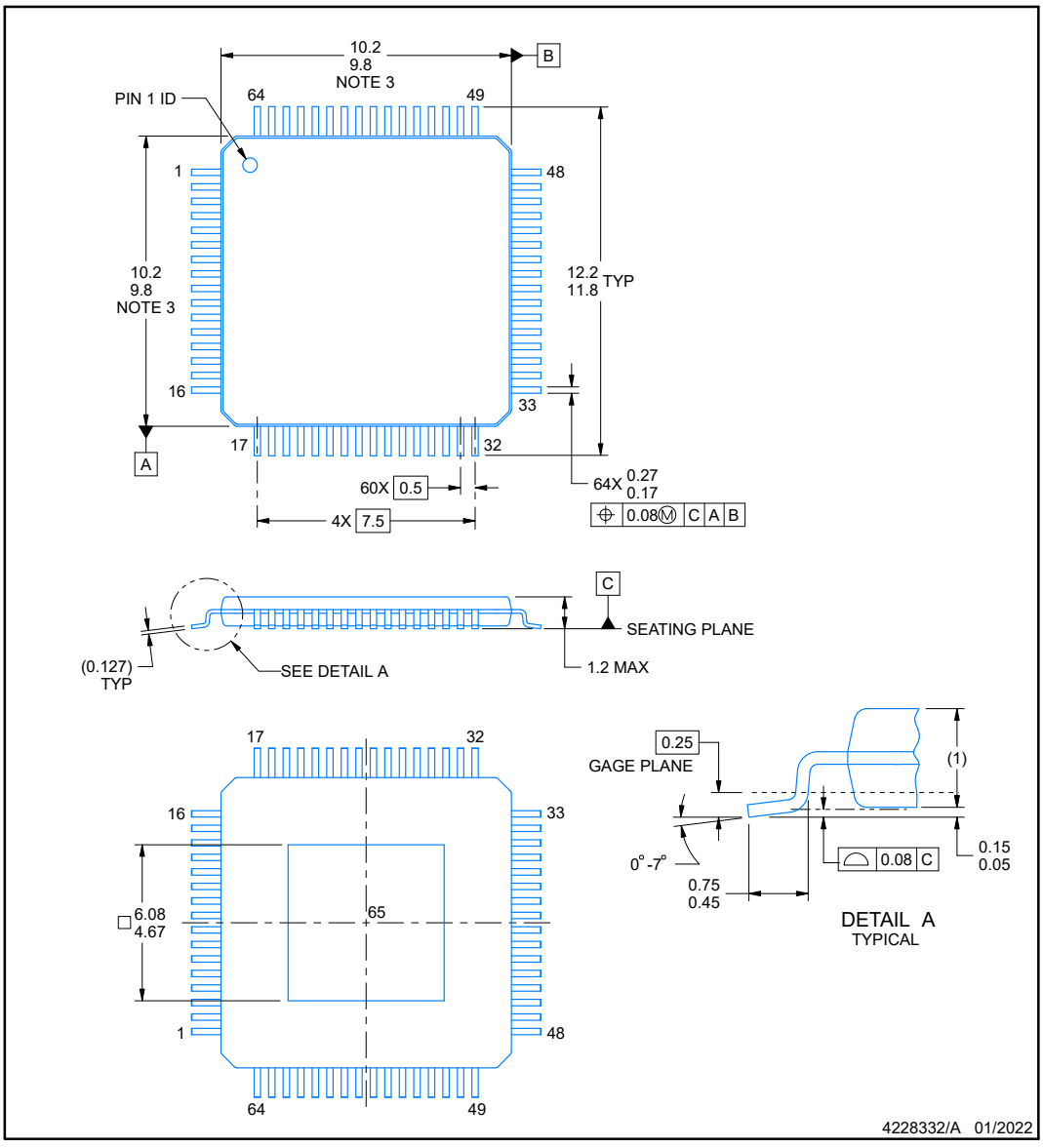
PACKAGE OUTLINE

PAP0064E



PowerPAD™ TQFP - 1.2 mm max height

PLASTIC QUAD FLAT PACK



PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs.
4. Strap features may not be present.
5. Reference JEDEC registration MS-026.

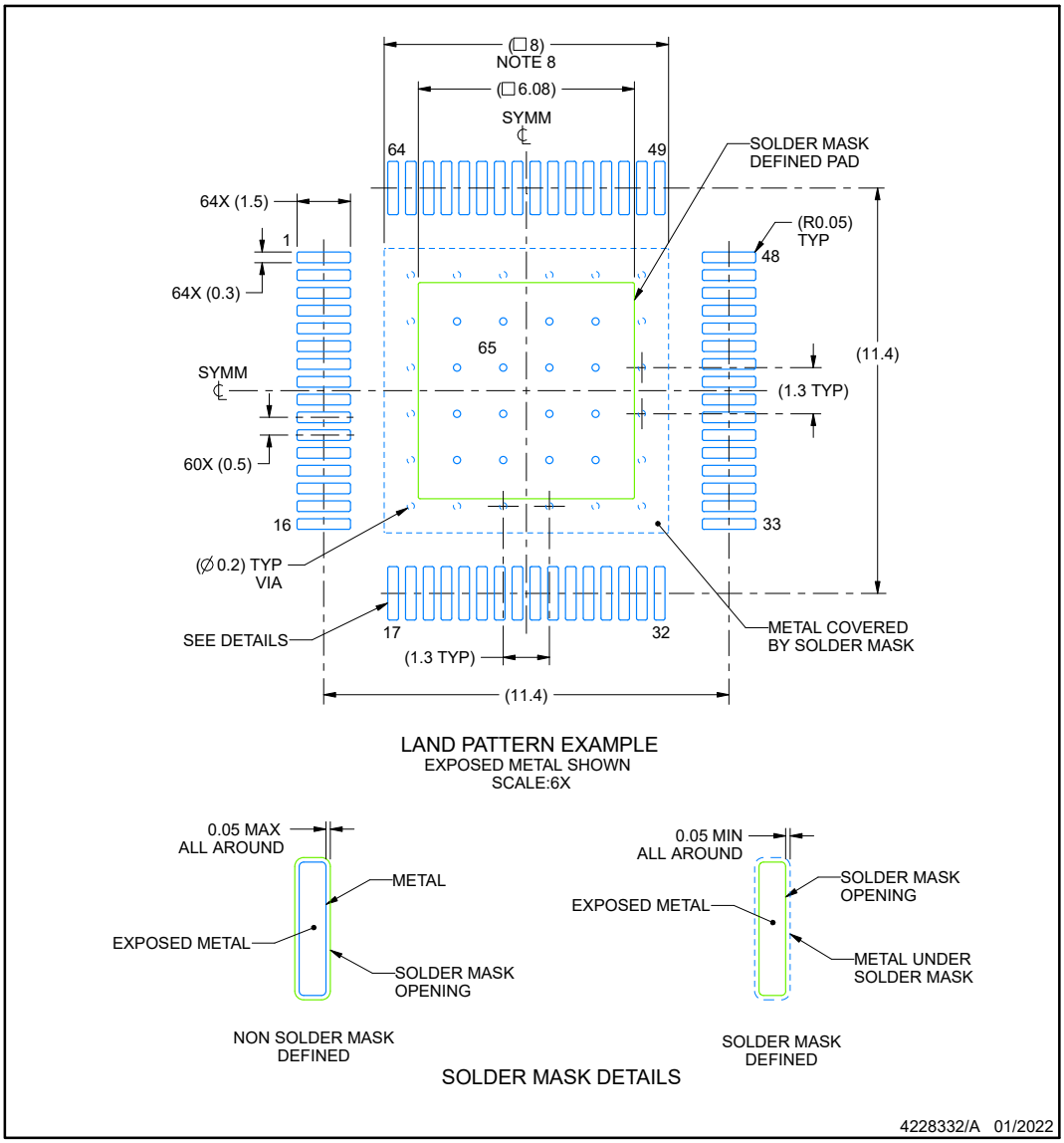
Texas Instruments
www.ti.com

Copyright © 2026 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

PAP0064E — **PowerPAD™ TQFP - 1.2 mm max height**

PLASTIC QUAD FLATPACK



NOTES: (continued)

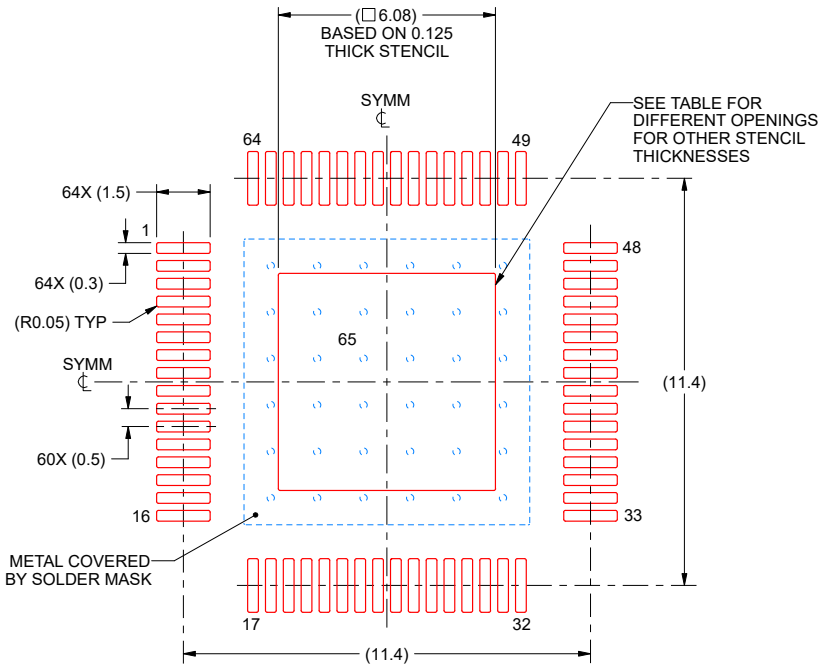
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. See technical brief, Powerpad thermally enhanced package, Texas Instruments Literature No. SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.
10. Size of metal pad may vary due to creepage requirement.

Copyright © 2026 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

PAP0064E — **PowerPAD™ TQFP - 1.2 mm max height**

PLASTIC QUAD FLATPACK



SOLDER PASTE EXAMPLE
EXPOSED PAD
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:6X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	6.80 X 6.80
0.125	6.08 X 6.08 (SHOWN)
0.15	5.55 X 5.55
0.175	5.14 X 5.14

4228332/A 01/2022

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
5962R2321001PXE	Active	Production	HTQFP (PAP) | 64	250 | SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	5962R23210 01PXE
LMX2624PAP/EM	Active	Production	HTQFP (PAP) | 64	250 | SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	25 to 25	LMX2624 PAP/EM

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

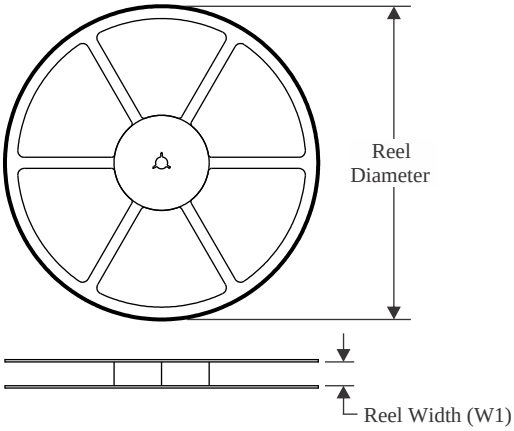
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

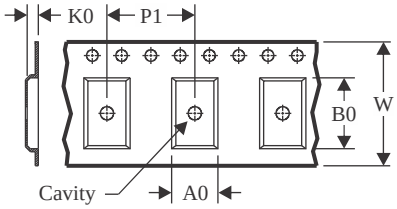
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

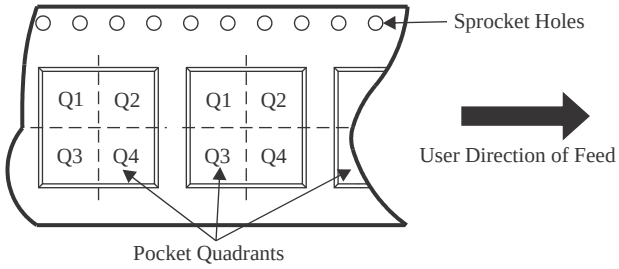


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

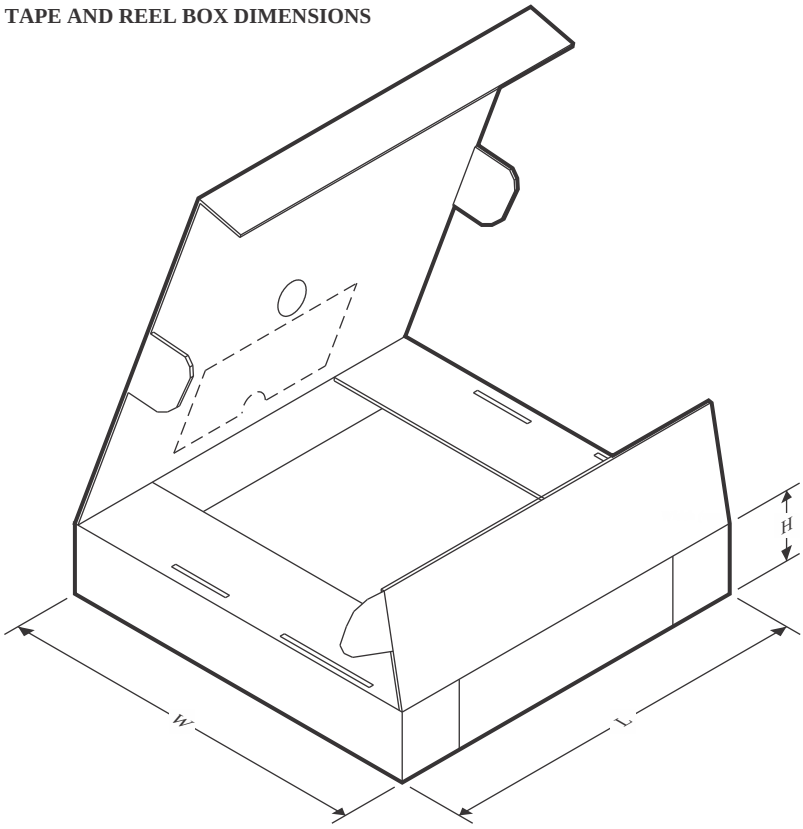
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

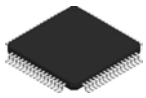
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
5962R2321001PXE	HTQFP	PAP	64	250	330.0	24.4	13.0	13.0	1.5	16.0	24.0	Q2
LMX2624PAP/EM	HTQFP	PAP	64	250	330.0	24.4	13.0	13.0	1.5	16.0	24.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
5962R2321001PXE	HTQFP	PAP	64	250	367.0	367.0	55.0
LMX2624PAP/EM	HTQFP	PAP	64	250	367.0	367.0	55.0

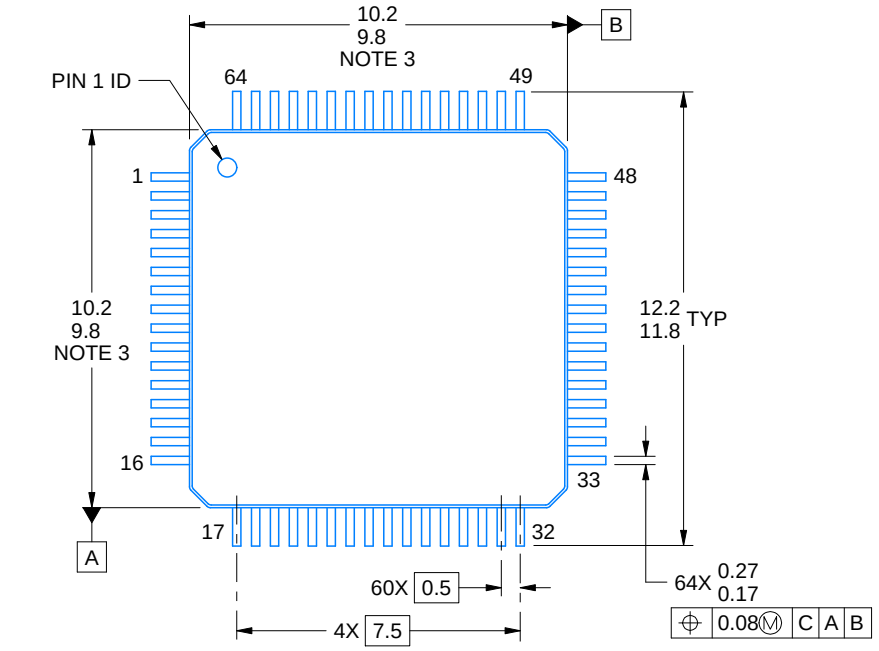


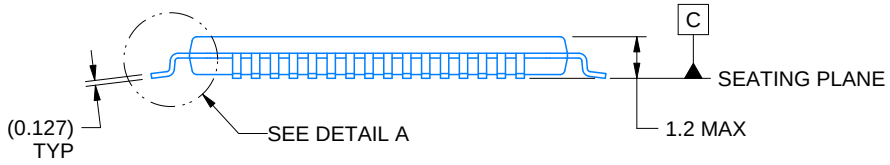
PACKAGE OUTLINE

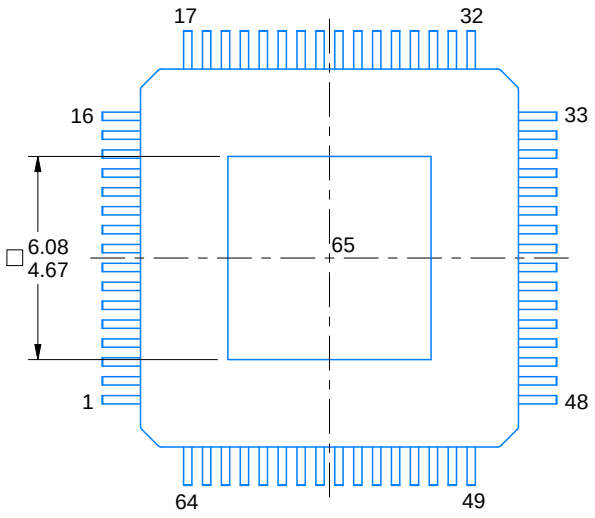
PAP0064E

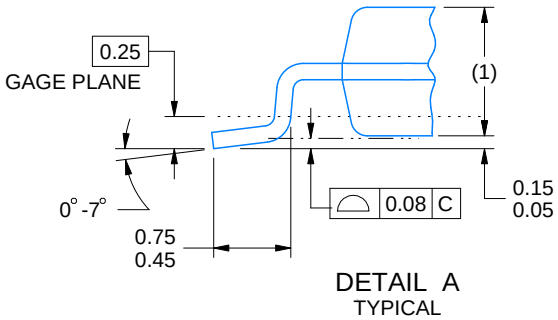
PowerPAD™ TQFP - 1.2 mm max height

PLASTIC QUAD FLATPACK







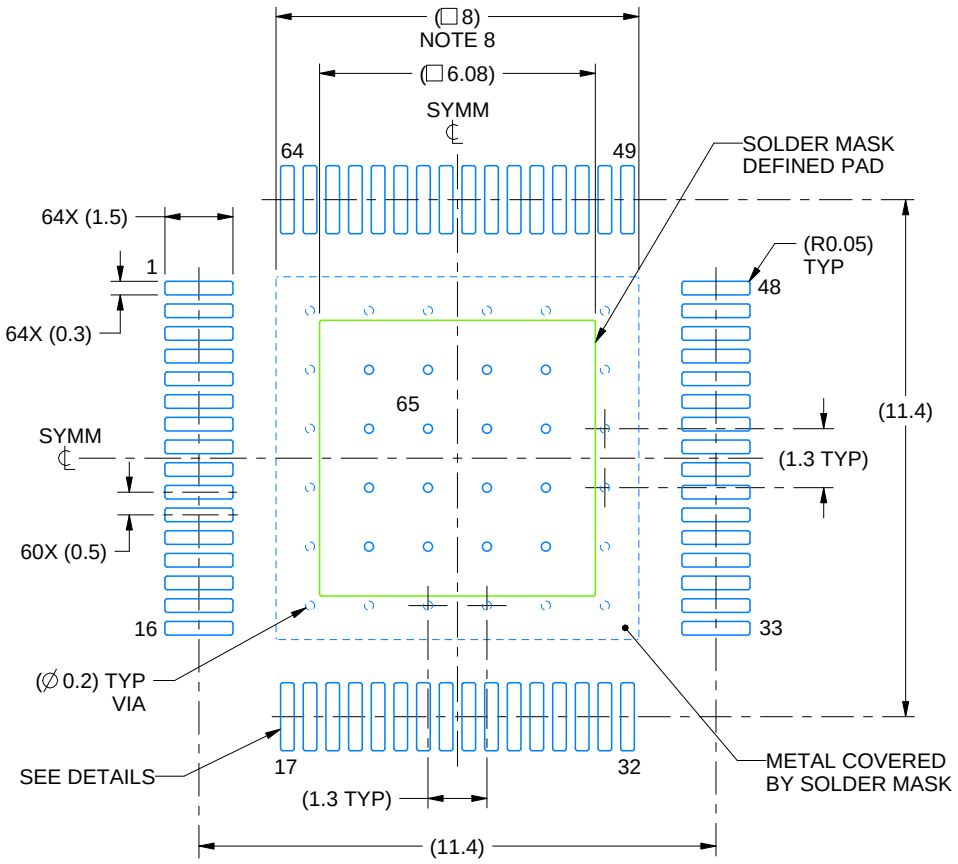


4228332/A 01/2022

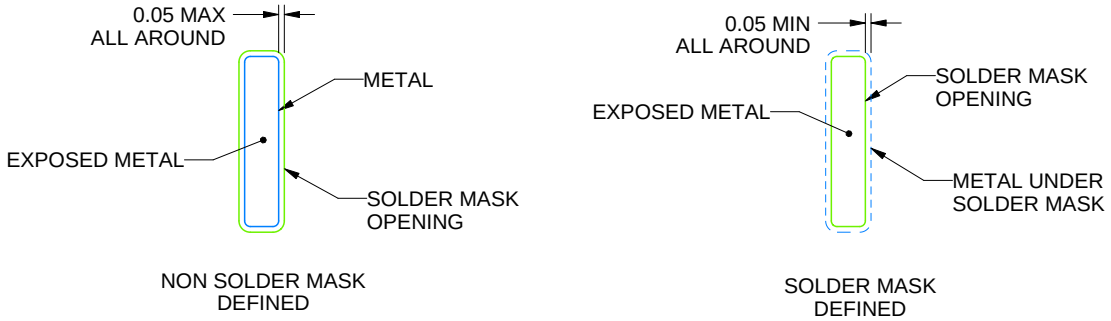
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs.
4. Strap features may not be present.
5. Reference JEDEC registration MS-026.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:6X

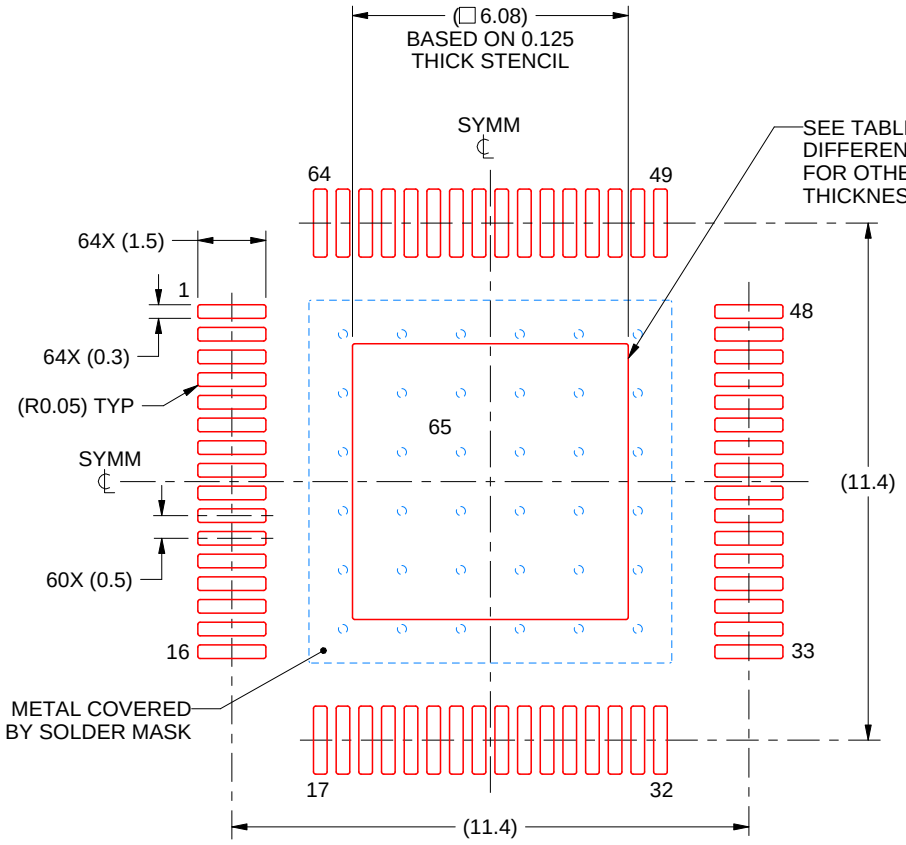


SOLDER MASK DETAILS

4228332/A 01/2022

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. See technical brief, Powerpad thermally enhanced package, Texas Instruments Literature No. SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.
10. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
EXPOSED PAD
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:6X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	6.80 X 6.80
0.125	6.08 X 6.08 (SHOWN)
0.15	5.55 X 5.55
0.175	5.14 X 5.14

4228332/A 01/2022

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月