BQ41Z90 采用 IT-DZT 算法和 ECC 身份验证的高度集成 3-16 节电池电量监测计

1 特性

- 高度集成的电池包管理器，适用于 3 至 16 节串联电池应用
  - 超低功耗 32 位 RISC 处理器
  - 可对多达 16 节串联电池进行 ADC 测量，容差为 80V
  - 使用 Dynamic Z-Track™ 电量监测算法的高精度 SoC 和 SoH
  - 受基于证书的安全功能保护的闪存存储器
- 具有两个独立 ADC 的精密模拟前端：
  - 高精度 18 位集成 Δ-Σ 库仑计
  - 具有输入转换和多路复用器的高精度 16 位 Δ-Σ
  - 支持电流和电压同步采样
  - 支持多达八次外部热敏电阻测量和一个内部温度传感器
- 强大的高侧 NMOS FET 驱动器，可实现快速导通和关断
- 支持预充电和预放电 NMOS FET 驱动器的电荷泵
- 并联配置支持具有独立充电器和系统端口的可拆卸电池
- 电芯均衡支持每节电芯高达 50mA 旁路电流
- 诊断使用寿命数据监控器和记录器
- 多主机通信支持：
  - I^2C（高达 1MHz）
  - SMBus 3.2（高达 1MHz）
- 多种功耗模式，实现低静态电流运行
- SHA-1、SHA-2 或 EC-KCDSA 身份验证，提供稳健的电池包安全性

2 应用

- 电池备份单元 (BBU)
- 电动自行车、电动踏板车和 LEV
- 手持式真空吸尘器和扫地机器人
- 园艺机器人和电动工具
- 无人机
- 医疗和测试设备
- 其他工业电池包

3 说明

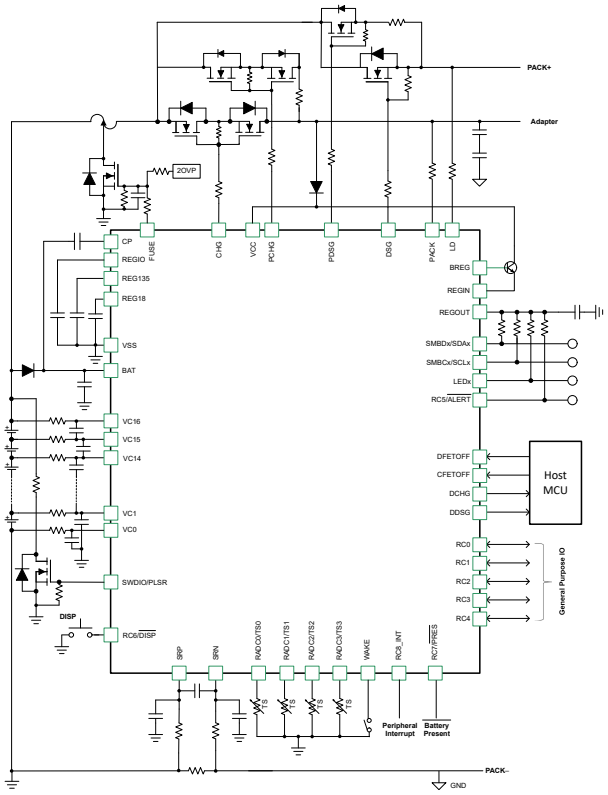
德州仪器 (TI) BQ41Z90 是一款基于电池包的完全集成式电池包管理器解决方案，为 3 至 16 节串联锂离子、磷酸铁锂、镍氢和锂聚合物电池包提供闪存可编程 CPU、安全保护和椭圆曲线加密 (ECC) 身份验证。

BQ41Z90 电池包管理器通过 SMBus v3.2 或 I^2C 兼容接口进行通信，并将超低功耗的高速 32 位处理器、高精度模拟测量功能、集成闪存存储器、大量的外设 IO、NMOS 保护 FET 驱动器以及 SHA-1、SHA-2 或 EC-KCDSA 身份验证响应器融合于一套完整的高性能电池管理解决方案。

封装信息

器件型号	封装 (1)	封装尺寸（标称值）
BQ41Z90 RSN	PVP (64)	7.00mm × 7.00mm

(1) 有关更多信息，请参阅 节 11。



简化版原理图

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 引脚配置和功能：.....3
5 引脚等效图.....6
6 规格.....10
6.1 绝对最大额定值.....10
6.2 ESD 等级.....11
6.3 建议运行条件.....11
6.4 热性能信息.....12
6.5 电源电流.....12
6.6 电源选择器.....13
6.7 电流唤醒检测器.....13
6.8 通用输入/输出.....13
6.9 辅助 REGOUT LDO.....15
6.10 LD 引脚.....16
6.11 货架计时器.....16
6.12 电芯均衡.....16
6.13 基于比较器的检测 (SCOMP).....17
6.14 SCOMP 时序要求.....17
6.15 SCD 比较器.....18
6.16 高侧 NFET 驱动器（CHG 和 DSG 以及 PCHG 和 PDSG）.....18
6.17 FUSE 引脚.....19
6.18 闪存存储器.....20
6.19 接口 I/O.....20
6.20 I²C 接口时序.....21
7 详细说明.....23
7.1 概述.....23
7.2 功能方框图.....24
7.3 特性说明.....25
8 应用和实施.....41
8.1 应用信息.....41
8.2 典型应用.....41
8.3 电源相关建议.....42
8.4 布局.....42
9 器件和文档支持.....47
9.1 第三方产品免责声明.....47
9.2 文档支持.....47
9.3 接收文档更新通知.....47
9.4 支持资源.....47
9.5 商标.....47
9.6 静电放电警告.....47
9.7 术语表.....47
10 修订历史记录.....47
11 机械、封装和可订购信息.....49

Copyright © 2026 Texas Instruments Incorporated

4 引脚配置和功能：

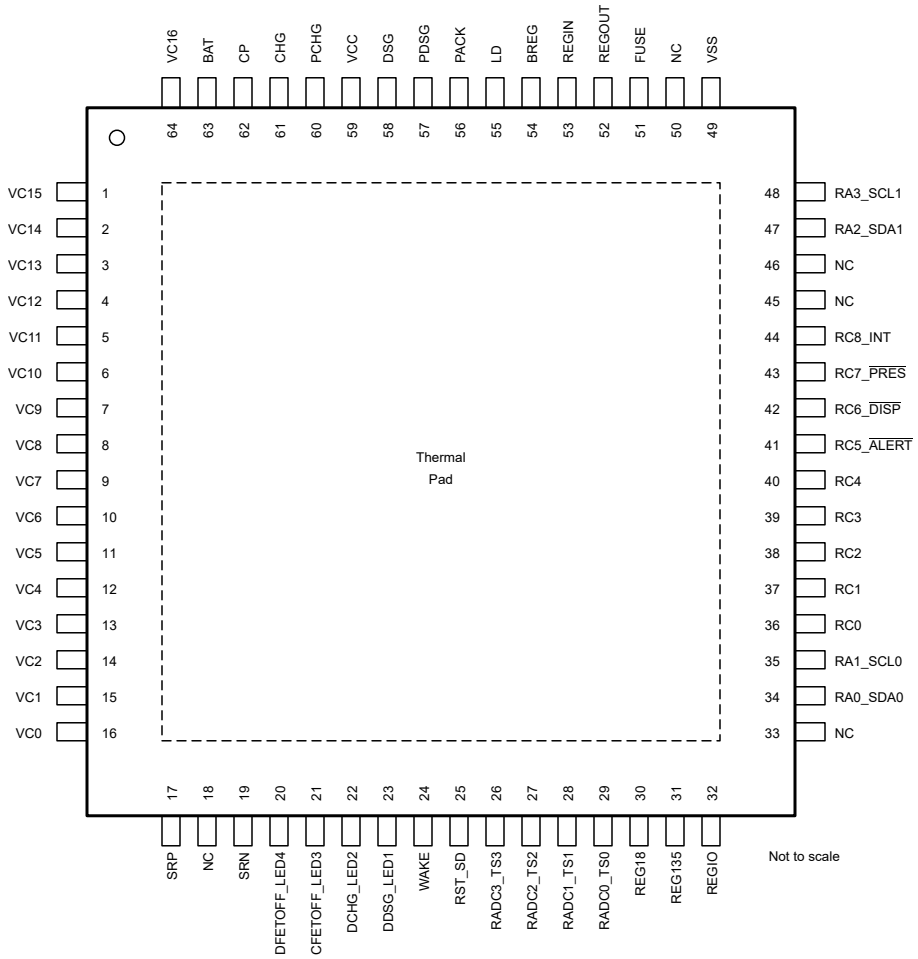


图 4-1. 引脚图

表 4-1. 引脚功能

引脚		类型(1)	说明
名称	编号		
VC15	1	AI	电池组底部第十五个电芯的检测电压输入引脚，为电池组底部第十五个电芯提供均衡电流输入，并为电池组底部第十六个电芯返回均衡电流
VC14	2	AI	电池组底部第十四个电芯的检测电压输入引脚，为电池组底部第十四个电芯提供均衡电流输入，并为电池组底部第十五个电芯返回均衡电流
VC13	3	AI	电池组底部第十三个电芯的检测电压输入引脚，为电池组底部第十三个电芯提供均衡电流输入，并为电池组底部第十四个电芯返回均衡电流
VC12	4	AI	电池组底部第十二个电芯的检测电压输入引脚，为电池组底部第十二个电芯提供均衡电流输入，并为电池组底部第十三个电芯返回均衡电流
VC11	5	AI	电池组底部第十一个电芯的检测电压输入引脚，为电池组底部第十一个电芯提供均衡电流输入，并为电池组底部第十二个电芯返回均衡电流
VC10	6	AI	电池组底部第十个电芯的检测电压输入引脚，为电池组底部第十个电芯提供均衡电流输入，并为电池组底部第十一个电芯返回均衡电流
VC9	7	AI	电池组底部第九个电芯的检测电压输入引脚，为电池组底部第九个电芯提供均衡电流输入，并为电池组底部第十个电芯返回均衡电流

Copyright © 2026 Texas Instruments Incorporated

表 4-1. 引脚功能（续）

引脚		类型(1)	说明
名称	编号		
VC8	8	AI	电池组底部第八个电芯的检测电压输入引脚，为电池组底部第八个电芯提供均衡电流输入，并为电池组底部第九个电芯返回均衡电流
VC7	9	AI	电池组底部第七个电芯的检测电压输入引脚，为电池组底部第七个电芯提供均衡电流输入，并为电池组底部第八个电芯返回均衡电流
VC6	10	AI	电池组底部第六个电芯的检测电压输入引脚，为电池组底部第六个电芯提供均衡电流输入，并为电池组底部第七个电芯返回均衡电流
VC5	11	AI	电池组底部第五个电芯的检测电压输入引脚，为电池组底部第五个电芯提供均衡电流输入，并为电池组底部第六个电芯返回均衡电流
VC4	12	AI	电池组底部第四个电芯的检测电压输入引脚，为电池组底部第四个电芯提供均衡电流输入，并为电池组底部第五个电芯返回均衡电流
VC3	13	AI	电池组底部第三个电芯的检测电压输入引脚，为电池组底部第三个电芯提供均衡电流输入，并为电池组底部第四个电芯返回均衡电流
VC2	14	AI	电池组底部第二个电芯的检测电压输入引脚，为电池组底部第二个电芯提供均衡电流输入，并为电池组底部第三个电芯返回均衡电流
VC1	15	AI	电池组底部第一个电芯的检测电压输入引脚，为电池组底部第一个电芯提供均衡电流输入，并为电池组底部第二个电芯返回均衡电流
VC0	16	AI	电池组底部第一个电芯负极端子的检测电压输入引脚，为电池组底部第一个电芯返回均衡电流
SRP	17	AI	连接到内部库仑计外设的模拟输入引脚，用于在 SRP 和 SRN 之间集成一个小电压，其中 SRP 是检测电阻的顶部。充电电流会在 SRP 处产生相对于 SRN 的正电压
NC	18	NC	此引脚未连接到器件
SRN	19	AI	连接到内部库仑计外设的模拟输入引脚，用于在 SRP 和 SRN 之间集成一个小电压，其中 SRN 是检测电阻的底部。充电电流会在 SRP 处产生相对于 SRN 的正电压
DFETOFF_LED4	20	I/O	用于保持 DFET 关断状态（只要该引脚被置为有效）的 DFETOFF 输入，或带电流阱的 LED4 开漏输出引脚。
CFETOFF_LED3	21	I/O	用于保持 CFET 关断状态（只要该引脚被置为有效）的 CFETOFF 输入，或带电流阱的 LED3 开漏输出引脚。
DCHG_LED2	22	O	用于指示会导致 CFET 关断的保护故障的 DCHG 输出，或带电流阱的 LED2 开漏输出引脚。
DDSG_LED1	23	O	用于指示会导致 DFET 关断的保护故障的 DDSG 输出，或带电流阱的 LED1 开漏输出引脚。
WAKE	24	AI	用于将器件从关断或休眠模式唤醒的按钮输入。
RST_SD	25	AI	用于复位的输入引脚
RADC3_TS3	26	AI	通用 ADC 或热敏电阻输入
RADC2_TS2	27	AI	通用 ADC 或热敏电阻输入
RADC1_TS1	28	AI	通用 ADC 或热敏电阻输入
RADC0_TS0	29	AI	通用 ADC 或热敏电阻输入
REG18	30	PO	内部 1.8V LDO 输出电容连接（仅供内部使用）
REG135	31	PO	内部 1.35V LDO 输出电容连接（仅供内部使用）
REGIO	32	PI	内部 3.3V/1.8V LDO 输出电容连接（仅供内部使用）
NC	33	NC	此引脚未连接到器件
RA0_SDA0	34	I/O	带或不带 INT 的通用输入，或多功能开漏输出，可配置为 SDA、SCL、SMBD 或 SMBC
RA1_SCL0	35	I/O	带或不带 INT 的通用输入，或多功能开漏输出，可配置为 SDA、SCL、SMBD 或 SMBC
RC0	36	I/O	带或不带 INT 的通用数字输入，或多功能推挽输出。
RC1	37	I/O	带或不带 INT 的通用数字输入，或多功能推挽输出。
RC2	38	I/O	带或不带 INT 的通用数字输入，或多功能推挽输出。
RC3	39	I/O	带或不带 INT 的通用数字输入，或多功能推挽输出。

Copyright © 2026 Texas Instruments Incorporated

表 4-1. 引脚功能（续）

引脚		类型(1)	说明
名称	编号		
RC4	40	I/O	带或不带 INT 的通用数字输入，或多功能推挽输出。
RC5_$\overline{\text{ALERT}}$	41	I/O	带或不带 INT 的通用数字输入，或多功能推挽输出。默认为 $\overline{\text{ALERT}}$ 输出，以发出一般故障检测信号。
RC6_$\overline{\text{DISP}}$	42	I/O	带或不带 INT 的通用数字输入，或多功能推挽输出。默认为 $\overline{\text{DISP}}$ 底部控制输出信号。
RC7_$\overline{\text{PRES}}$	43	I/O	带或不带 INT 的通用数字输入，或多功能推挽输出。默认为 $\overline{\text{PRES}}$，以发出电池存在输入信号。
RC8_INT	44	I/O	带或不带 INT 的通用数字输入，或多功能推挽输出
NC	45	NC	此引脚未连接到器件
NC	46	NC	此引脚未连接到器件
RA2_SDA1	47	IO	通用输入或多功能开漏输出，可配置为 SDA、SCL、SMBD 或 SMBC
RA3_SCL1	48	IO	通用输入或多功能开漏输出，可配置为 SDA、SCL、SMBD 或 SMBC
VSS	49	P	器件接地
NC	50	NC	此引脚未连接到器件
FUSE	51	IO、A	保险丝检测和驱动
REGOUT	52	AO	外部 LDO 输出，可编程为 2V、2.5V、3.0V、3.3V 或 5.0V
REGIN	53	AI	外部 LDO REGOUT 的输入引脚
BREG	54	AO	外部稳压器晶体管的基极控制信号
LD	55	AI	故障检测引脚
PACK	56	AI	电池包检测输入引脚
PDSG	57	AO	预放电控制引脚
DSG	58	AO	放电控制引脚
VCC	59	P	辅助电源输入
PCHG	60	AO	预充电控制引脚
CHG	61	AO	充电控制引脚
CP	62	AO	电荷泵电容器
BAT	63	P	电池的主电源输入
VC16	64	AI	电池组底部第十六个电芯的检测电压输入引脚，为电池组底部第十六个电芯提供均衡电流输入

(1) I = 输入，O = 输出，I/O = 输入或输出，AI = 模拟输入，AO = 模拟输出，G = 接地，P = 电源。

Copyright © 2026 Texas Instruments Incorporated

5 引脚等效图

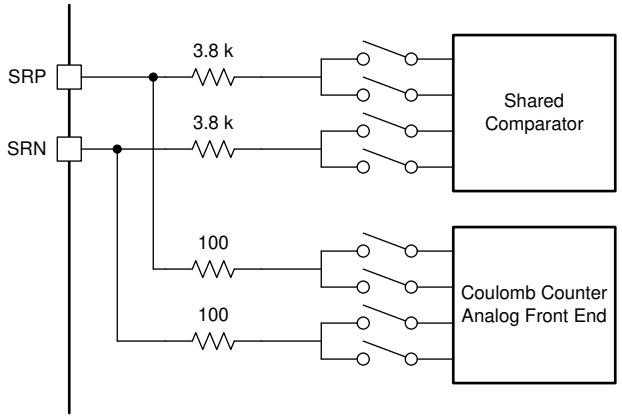


图 5-1. SRx 引脚

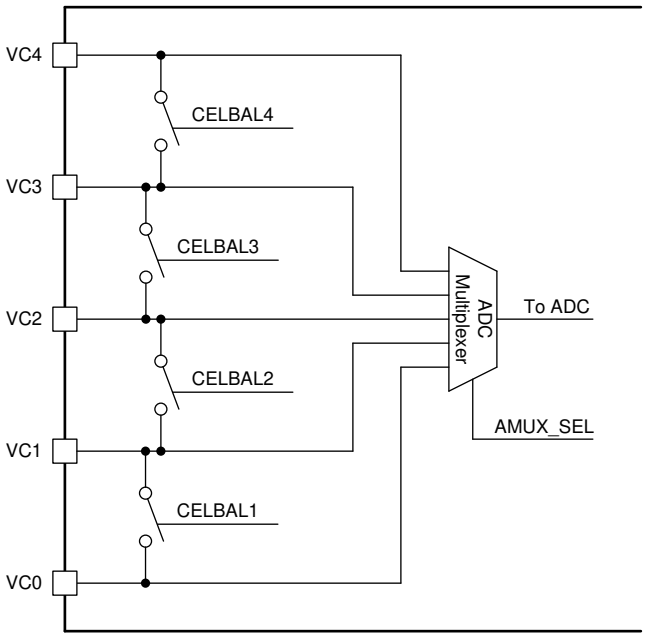


图 5-2. VCx 引脚

Copyright © 2026 Texas Instruments Incorporated

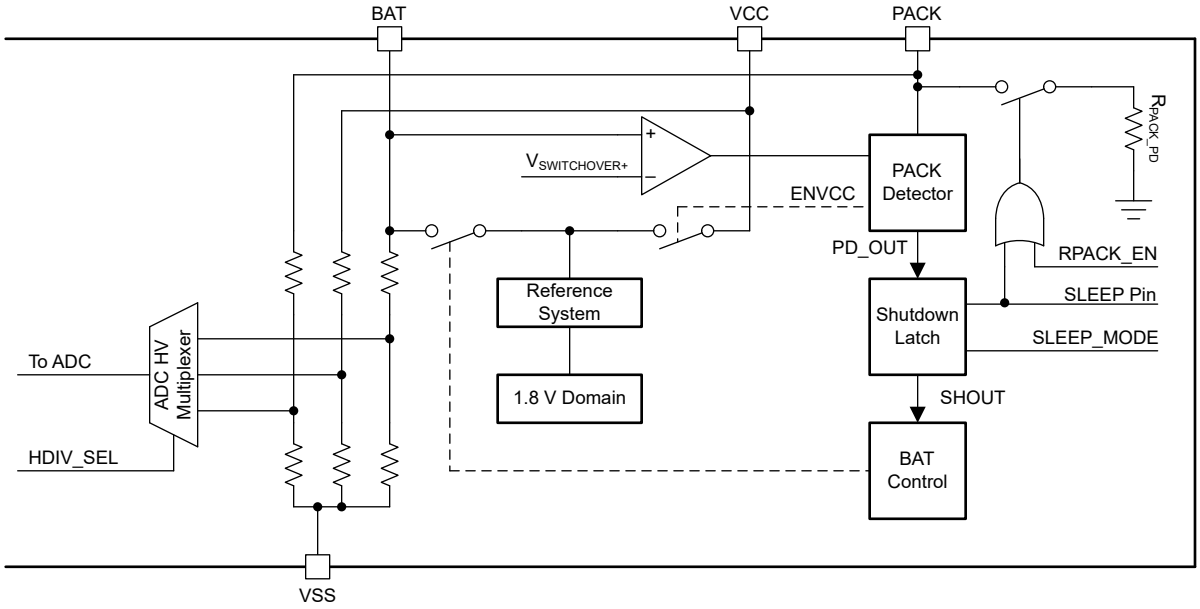


图 5-3. 电源引脚

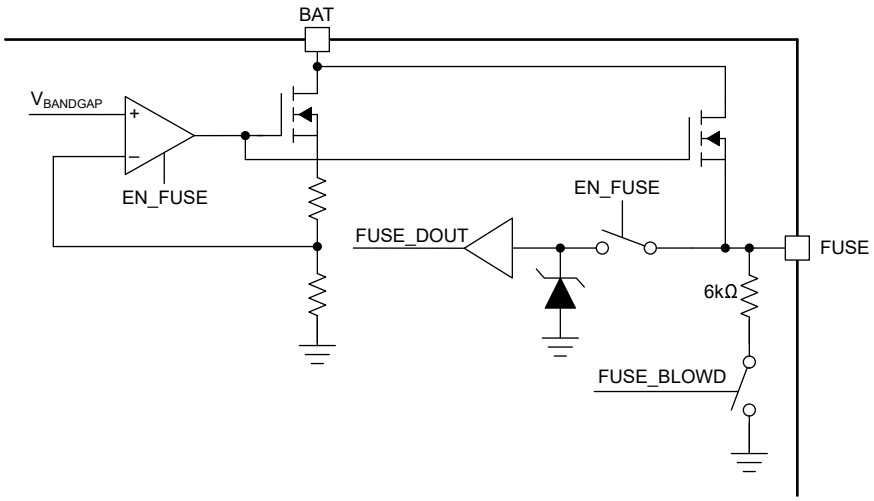


图 5-4. FUSE 引脚

Copyright © 2026 Texas Instruments Incorporated

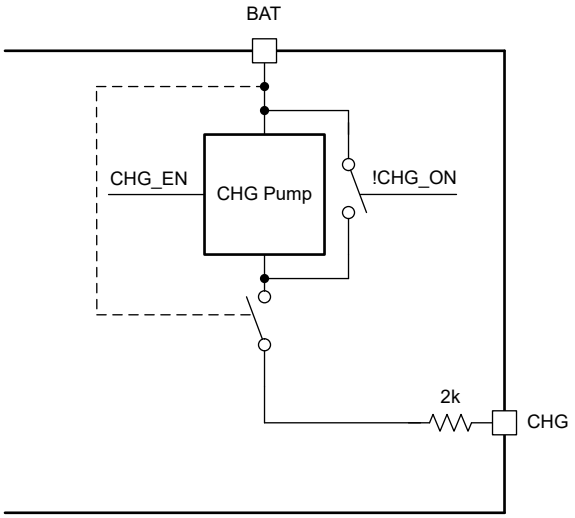


图 5-5. CHG 引脚

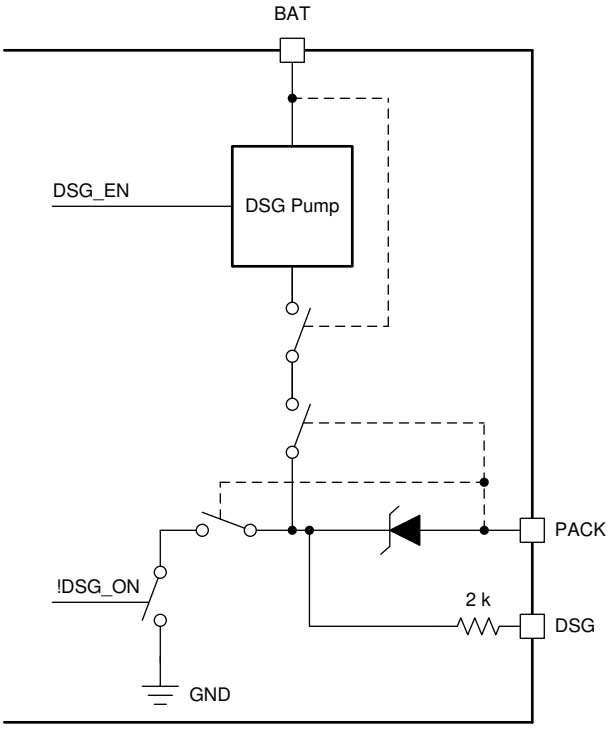


图 5-6. DSG 引脚

Copyright © 2026 Texas Instruments Incorporated

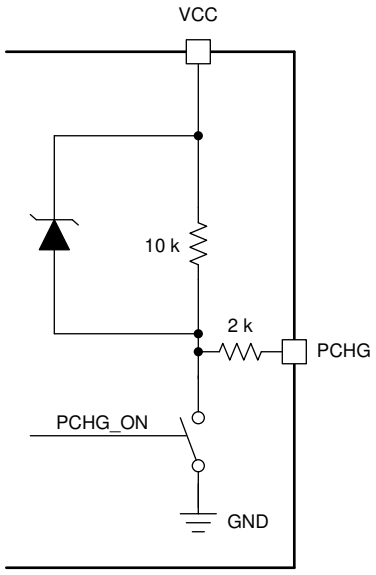


图 5-7. PCHG 引脚

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

参数		引脚	最小值	最大值	单位
V_{DD}	电源电压范围	BAT、VCC	VSS – 0.3	VSS+85	V
V_{IN}	输入引脚上的电压	PACK、LD	VSS – 0.3	VSS+85	V
		FUSE(2)	VSS – 0.3	VSS+20 和 V_{BAT}+0.3 中的最小值	V
		REGIN	VSS – 0.3	VSS+6 和 V_{BREG}+0.3 中的最小值	V
		RAx（SDL0、SCLK0、SDL1、SCLK1）	VSS – 0.3	VSS+6	V
		RADCx、TSx、LEDx、DFETOFF、CFETOFF、WAKE、RST_SD	VSS – 0.3	VSS+3.6	V
		RCx	VSS – 0.3	VSS+3.6	V
		SRP、SRN	VSS – 0.3	V_{REG18} + 0.3	V
		VC1、VC2、VC3、VC4、VC5、VC6、VC7、VC8、VC9、VC10、VC11、VC12、VC13、VC14、VC15、VC16	VSS – 0.3 和 VC0 – 0.3 中的最大值	VSS+85	V
		VC0	VSS – 0.3	VSS+6	V
V_{OUT}	输出引脚上的电压	CP	V_{BAT} – 0.3	VSS+85 和 VBAT+15 中的最小值	V
		CHG、DSG	VSS – 0.3	VSS+85	V
		PCHG、PDSG	V_{BAT} – 10 和 V_{LD} – 10 中的最大值	VSS+85	V
		REG135	VSS – 0.3	VSS+1.45	V
		REG18	VSS – 0.3	VSS+2	V
		REGIO	VSS – 0.3	VSS+3.5	V
		REGOUT	VSS – 0.3	VSS+5.5	V
$I_{BALANCE}$	通过单个电芯的最大电芯均衡电流	VC0-VC16		100	mA
I_{SS}	最大 VSS 电流			75	mA
T_J	工作结温		-40	125	°C
T_{STG}	贮存温度		-55	150	°C

(1) 超出*绝对最大额定值*运行可能会对器件造成永久损坏。*绝对最大额定值*并不表示器件在这些条件下或在*建议运行条件*以外的任何其他条件下能够正常运行。如果超出*建议工作条件*但在*绝对最大额定值*范围内，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能，并缩短器件寿命。

(2) 允许流入 FUSE 引脚的电流必须被限制（例如通过使用外部串联电阻）为 2mA 或更小值。

Copyright © 2026 Texas Instruments Incorporated

6.2 ESD 等级

			值	单位
V_{ESD}	静电放电	人体放电模式 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚(1)	±1000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准，所有引脚(2)	±500	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

所述典型值的条件是 T_A = 25°C 且 V_{BAT} = 59.2V，最小值/最大值的条件是 T_A = -40°C 至 105°C 且 V_{BAT} = 5V 至 80V (除非另有说明) (1)

参数		测试条件	最小值	标称值	最大值	单位
V_{DD}	电源电压	BAT 引脚，I_{REG18} ≤ 22mA	$V_{SWITCHOVER}$ –		80	V
		VCC 引脚	5		80	V
V_{IN}	输入电压范围	PACK、LD	0		80	V
		RAx (SDL0、SCLK0、SDL1、SCLK1)	0		5.5	V
		RCx	0		V_{REGIO}	V
		RADCx、TSx、LEDx、DFETOFF、CFETOFF、RST_SD	0		V_{REG18} + 0.3	V
		SRP、SRN 引脚	-0.25		0.5	V
		VC16	VC_{15} – 0.2		VC_{15}+5	V
		VC15	VC_{14} – 0.2		VC_{14}+5	V
		VC14	VC_{13} – 0.2		VC_{13}+5	V
		VC13	VC_{12} – 0.2		VC_{12}+5	V
		VC12	VC_{11} – 0.2		VC_{11}+5	V
		VC11	VC_{10} – .02		VC_{10}+5	V
		VC10	VC_9 – .02		VC_9+5	V
		VC9	VC_8 – 0.2		VC_8+5	V
		VC8	VC_7 – 0.2		VC_7+5	V
		VC7	VC_6 – 0.2		VC_6+5	V
		VC6	VC_5 – 0.2		VC_5 +5	V
		VC5	VC_4 – 0.2		VC_4+5	V
		VC4	VC_3 – 0.2		VC_3+5	V
		VC3	VC_2 – 0.2		VC_2+5	V
		VC2	VC_1 – 0.2		VC_1+5	V
		VC1	VC_0 – .02		VC_0+5	V
		VC0	-0.2		0.5	V
V_{OUT}	输出电压范围	CHG、DSG、PCHG、PDSG	0		80	V
V_{OUT}	输出电压范围	FUSE	0		28	V
C_{BAT}(1)	BAT 外部电容器	降额至 2.2V，100V 电容器	0.47	1		µF
C_{VCC}(1)	VCC 外部电容器	降额至 2.2V，100V 电容器	0.1	0.47		µF
C_{REGIO} (1)	REGIO 外部电容器	降额至 3.3V，10V 电容器	0.47	1	2.2	µF

Copyright © 2026 Texas Instruments Incorporated

所述典型值的条件是 T_A = 25°C 且 V_{BAT} = 59.2V，最小值/最大值的条件是 T_A = -40°C 至 105°C 且 V_{BAT} = 5V 至 80V（除非另有说明）(1)

参数		测试条件	最小值	标称值	最大值	单位
C_{REG18}(1)	REG18 外部电容器	降额至 1.8V，10V 电容器	0.47	1	2.2	µF
C_{REG135}(1)	REG135 外部电容器	降额至 1.35V，10V 电容器	0.47	1	2.2	µF
Cp	电荷泵电容器	降额至 2.2V，100V 电容器	100	470	2200	nF
CC	外部电芯输入电容器	降额至 2.2V，100V 电容器		100		nF
R_C	外部电芯测量输入电阻		20		100	Ω
R_{PACK}(1)	PACK 串联外部电阻	实现最低启动电压	2	10	12	kΩ
I_{SS}(1)	通过 Vss 引脚的最大电流	包括 LDO、GPIO 和电芯均衡			200	mA
T_A(2)	自然通风条件下的工作温度		-40		105	°C

(1) 根据设计指定。未经生产测试。
(2) 可能需要额外的冷却策略，以将结温保持在建议限值。

6.4 热性能信息

所述典型值的条件是 T_A = 25°C 且 V_{BAT} = 59.2V，最小值/最大值的条件是 T_A = -40°C 至 105°C 且 V_{BAT} = 5V 至 80V（除非另有说明）

热指标(1)		PVP (QFP)	单位
		64 引脚	
$R_{\theta JA}$	结至环境热阻	29.4	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	16.7	°C/W
$R_{\theta JB}$	结至电路板热阻	12.6	°C/W
Ψ_{JT}	结至顶部特征参数	12.5	°C/W
Ψ_{JB}	结至电路板特征参数	0.9	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	2.3	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用手册。

6.5 电源电流

所述典型值的条件是 T_A = 25°C 且 V_{BAT} = 59.2V，最小值/最大值的条件是 T_A = -40°C 至 105°C 且 V_{BAT} = 5V 至 80V（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
I_{ACTIVE}(1)	ACTIVE 模式	CPU 活动、ADC 和 CC 导通、保护开启、CHG 和 DSG FET 导通、无通信		500		µA
I_{SLEEP}(2)	SLEEP 模式	CPU 暂停、ADC 和 CC 导通、保护开启、CHG 和 DSG FET 导通、RAM 处于保持模式、无闪存读取/写入/擦除、无通信		250		µA
$I_{DEEPSLEEP}$	DEEP SLEEP 模式	CPU 暂停、ADC 和 CC 关断、保护关闭、CHG 和 DSG FET 关断、RAM 处于保持模式、无闪存读取/写入/擦除、无通信		80		µA
$I_{HIBERNATE}$	HIBERNATE 模式	所有器件均已断电，只有 PACK 和 WAKE 检测功能可用		30		µA
I_{SHELF}	SHELF 模式	所有器件均已断电，只有 PACK 检测功能和低功耗计时器可用		3	5	µA
I_{SHUT}	SHUTDOWN 模式	所有器件均已断电，只有 PACK 检测功能可用。GPIO 引脚上的外部上拉电阻器未通电		0.6	2	µA

(1) 假设器件在 ACTIVE 模式下运行典型的固件设置，这会将 CPU 和 ADC/CC 占空比控制在 <4% 的范围内
(2) 假设器件在 SLEEP 模式下运行典型的固件设置，这会将 CPU 和 CC 占空比控制在 <1% 的范围内

Copyright © 2026 Texas Instruments Incorporated

6.6 电源选择器

所述典型值的条件是 T_A = 25°C 且 V_{BAT} = 59.2V，最小值/最大值的条件是 T_A = -40°C 至 105°C 且 V_{BAT} = 5V 至 80V（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
电源选择器						
$V_{STARTUP}$	PACK 上的启动电压	V_{PACK} > $V_{STARTUP}$ 持续 1ms	3.5	4.5	5.5	V
$V_{SWITCHOVER-}$	BAT 至 VCC 切换电压	V_{BAT} < $V_{SWITCHOVER-}$	4.9	4.95	5.05	V
$V_{SWITCHOVER+}$	VCC 至 BAT 切换电压	V_{BAT} > $V_{SWITCHOVER-}$ + V_{HYS}	5.85	6.1	6.5	V
V_{HYS}	切换迟滞电压	$V_{SWITCHOVER+}$ - $V_{SWITCHOVER-}$		1.02		V
T_{SD_ALERT+}	热关断升温警报	电池节数 >7S	110	120	135	°C
		电芯数 ≤7S	115	120	135	°C
T_{SD_ALERT-}	热关断降温警报	退出 RESET，启用 REG135	100	102		°C
T_{SD+}	热关断升温			140	148	°C
T_{SD-}	热关断降温	启用 REG18	122	130		°C
I_{LKG}	输入漏电流	BAT 引脚，BAT = 0V，VCC = 60V，PACK = 60V			1	µA
		PACK 引脚，BAT = 60V，VCC = 0V，PACK = 0V			1	µA
R_{PACK_PD}	内部下拉电阻	PACK 引脚	30	40	50	kΩ
上电复位						
t_{RST_POR}(1)	上电复位时间：从施加有效输入电压到 MCU 释放 POR			2.5	4.0	ms
t_{RST_ROM}(1)	上电复位时间：从施加有效输入电压到 CPU 准备执行 ROM 代码			5	10	ms
t_{RST_EXE}(1)	上电复位时间：从施加有效输入电压到 CPU 准备执行闪存代码	不包括 ROM 执行的闪存阵列的 CRC		5	10	ms

(1) 根据设计指定。未经生产测试。

6.7 电流唤醒检测器

所述典型值的条件是 T_A = 25°C 且 V_{BAT} = 59.2V，最小值/最大值的条件是 T_A = -40°C 至 105°C 且 V_{BAT} = 5V 至 80V（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
V_{WAKE_THR}	唤醒电压阈值	标称设置，阈值基于 V_{SRP} - V_{SRN}		±0.5 至 ±7.5，阶跃为 0.5		mV
$V_{WAKE_THR_ERR}$(1)	唤醒电压阈值误差	T_A = 25°C，V_{WAKE} = V_{SRP} – V_{SRN}	-350		350	µV

(1) 根据设计指定。未经生产测试。

6.8 通用输入/输出

所述典型值的条件是 T_A = 25°C 且 V_{BAT} = 59.2V，最小值/最大值的条件是 T_A = -40°C 至 85°C 且 V_{BAT} = 5V 至 80V（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
低压 GPIO（RA 和 RC 端口）						
V_{IN}	输入电压范围	RA0..3（SDA0、SCL0、SDA1、SCL1）	-0.2		5.5	V

Copyright © 2026 Texas Instruments Incorporated

所述典型值的条件是 T_A = 25°C 且 V_{BAT} = 59.2V，最小值/最大值的条件是 T_A = -40°C 至 85°C 且 V_{BAT} = 5V 至 80V（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
V_{IN}	输入电压范围	RC0..8	-0.2		$V_{REG3.3}$	V
V_{IH}(2)	高电平输入电压	RA0..3（SDA0、SCL0、SDA1、SCL1）	0.7 x V_{REGIO}			V
V_{IH}(2)	高电平输入电压	RC0..8	0.7 x V_{REGIO}			V
V_{IL}(2)	低电平输入电压	RA0..3（SDA0、SCL0、SDA1、SCL1）			0.3 x V_{REGIO}	V
V_{IL}(2)	低电平输入电压	RC0..8			0.3 x V_{REGIO}	V
V_{IOHYS}(1)	输入迟滞	RA0..3、RC0..8	75			mV
V_{OH}(2)	输出电压高电平	RC0..8：I_{OH} = -450µA	0.7*V_{REGIO}			V
V_{OL}	输出电压低电平	RA0..3（SDA0、SCL0、SDA1、SCL1）：I_{OH} = 3mA			0.35	V
V_{OL}	输出电压低电平	RC0..8：I_{OH} = 1mA			0.35	V
$t_{PWMRISE}$	PWM 输出上升时间	RC0、RC1：C_L = 100pF，Q_{tot} = 1nC，栅极驱动的 0% 至 90%，PWM_SYNC = 1			6	µs
$t_{PWMFALL}$	PWM 输出下降时间	RC0、RC1：C_L = 100pF，Q_{tot} = 1nC，栅极驱动的 100% 至 10%，PWM_SYNC = 1			6	µs
R_{BUSPD}	内部弱下拉电阻	RA0...3，常开	3.2	4	4.8	MΩ
R_{WKPD}	内部下拉电阻	RA0...3（SDA0、SCL0、SDA1、SCL1）	35	40	50	kΩ
R_{WKPD}	内部下拉电阻	RC0...8	15	20	30	kΩ
R_{WKPU}	内部上拉电阻	RC0...8	180	100	120	kΩ
C_I(1)	输入电容	RA0...3（SDA0、SCL0、SDA1、SCL1）		1.8		pF
C_I(1)	输入电容	RC0...8		1.5		pF
I_{lkg}(1)	输入漏电流	RA0...3，包括常开 R_{BUSPD} 下拉电阻		0.5	2	µA
I_{lkg}(1)	输入漏电流	RC0...8		1	2	µA
具有 ADC 输入的 GPIO（RADC 端口）						
V_{IN}	输入电压范围	RADCx/TS：当用作 ADC 输入时，内部基准 (V_{REF1})	-0.2		1	V
		RADCx/TS：当用作 ADC 输入时，外部基准 (V_{REG18})	-0.2		0.8 x V_{REG18}	V
		无弱上拉电阻的 RADCx/TS，其中 n = 0 至 8	-0.2		5.5	V
		具有弱上拉电阻的 RADCx/TS，其中 n = 0 至 8	-0.2		V_{REGIO}	V
V_{IH}(2)	高电平输入电压	RADCx/TS	0.7 x V_{REGIO}			V
V_{IL}(2)	低电平输入电压	RADCx/TS0			0.3 x V_{REGIO}	V
V_{IOHYS}(1)	输入迟滞	RADCx/TS	75			mV
V_{OH}(2)	输出电压高电平	RADCx/TS：I_{OH} = -1 mA	0.7*V_{REGIO}			V
V_{OL}(2)	输出电压低电平	RADCx/TS：I_{OL} = 3mA			0.3 x V_{REGIO}	V

Copyright © 2026 Texas Instruments Incorporated

所述典型值的条件是 T_A = 25°C 且 V_{BAT} = 59.2V，最小值/最大值的条件是 T_A = -40°C 至 85°C 且 V_{BAT} = 5V 至 80V（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
R_{WKPD}	内部弱下拉电阻	RADC0...8	0.8	1	1.2	MΩ
R_{WKPU}	内部弱上拉电阻	RADC0...8	0.8	1	1.2	MΩ
C_I(1)	输入电容	RADC0...8		2		pF
I_{lkg}(1)	输入漏电流	RADC0...8		1	5	µA
具有电流阱的低压 GPIO（RL/LED 端口）						
V_{IN}	输入电压范围	无弱上拉电阻	-0.2		5.5	V
V_{IN}(2)	输入电压范围	具有弱上拉电阻	-0.2		V_{REGIO}	V
V_{IH}(2)	高电平输入电压		0.7*V_{REGIO}			V
V_{IL}(2)	低电平输入电压				0.3 x V_{REGIO}	V
V_{IOHYS}(1)	输入迟滞		75			mV
V_{OH}(2)	输出电压高电平	I_{OH} = -1mA	0.7*V_{REGIO}			V
I_{OL}	灌电流	V_{OL} = 1V	3.5	5	6.5	mA
R_{WKPD}	内部弱下拉电阻		0.8	1	1.2	MΩ
R_{WKPU}	内部弱上拉电阻		0.8	1	1.2	MΩ
C_I(1)	输入电容			5		pF
I_{lkg}(1)	输入漏电流			1	2	µA

(1) 根据设计指定。未经生产测试。
(2) V_{REGIO} 可以是 1.8V 或 3.3V，具体取决于 OTP 配置。

6.9 辅助 REGOUT LDO

所述典型值的条件是 T_A = 25°C 且 V_{BAT} = 59.2V，最小值/最大值的条件是 T_A = -40°C 至 105°C 且 V_{BAT} = 5V 至 80V（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
V_{BAT_REGOUT}	V_{REGOUT} 运行所需的最小 V_{BAT} 电压(1)	V_{BAT} ≥ 7.5V		7.5	8.5	V
$V_{REGOUT_3.3}$	稳压器电压（编程为 3.3V 设置）	VREGIN ≥ 4.2V，I_{REG} = 0mA 至 100mA	3	3.3	3.6	V
$V_{REGOUT_5.0}$	稳压器电压（编程为 5.0V 设置）	V_{BREG} ≥ 5.8V，I_{REG} = 0mA 至 100mA	4.5	5	5.5	V
$\Delta V_{REGOUT(TEMP)}$	温度调节	ΔV_{REGOUT} 与 25°C、I_{REGOUT} = 20mA、V_{REGIN} = 5.5V 且 V_{REGOUT} 设为标称 3.3V 设置条件下 V_{REGOUT} 间的关系	-1.5	±0.25	1.5	%
$\Delta V_{REGOUT(LINE)}$	线路调整率	当 V_{REGIN} 的范围为 5V 至 6V 且 V_{REGOUT} 设为标称 3.3V 设置时，ΔV_{REGOUT} 与 25°C、V_{REGIN} = 5.5V、I_{REGOUT} = 20mA 条件下 V_{REGOUT} 间的关系	-1		1	%
$\Delta V_{REGOUTLOAD}$	负载调整率	I_{REGOUT} = 1mA 至 5mA	-2.6		2.6	%
$\Delta V_{REGOUTLOAD}$	负载调整率	I_{REGOUT} = 1mA 至 100mA	-5		5	%
I_{SC}	使用外部 BJT 时的稳压器短路电流限制	V_{REGOUT} = 0V	101		230	mA

Copyright © 2026 Texas Instruments Incorporated

所述典型值的条件是 T_A = 25°C 且 V_{BAT} = 59.2V，最小值/最大值的条件是 T_A = -40°C 至 105°C 且 V_{BAT} = 5V 至 80V（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
C_{EXT_REGIN}	连接在 REGIN 和 VSS 之间的外部电容器 (1)			0.02		µF
C_{EXT}	连接在 REGOUT 和 VSS 之间的外部电容器(1)		1			µF
$\Delta V_{O(TEMP)}$	温度范围内的稳压器输出	ΔV_{REGIN} 与 V_{REGIN} (25°C)，I_{REGIN} = 50mA，V_{BAT} > 8.5V		±1		%
I_{Max}	不使用外部 BJT 时从 BREG 向外驱动的最大电流(1)	在短路条件下 (V_{BREG} = 0V)	2	3	4	mA

(1) 根据设计指定

6.10 LD 引脚

所述典型值的条件是 T_A = 25°C 且 V_{BAT} = 59.2V，最小值/最大值的条件是 T_A = -40°C 至 105°C 且 V_{BAT} = 5V 至 80V（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
R_{LD}	LD 引脚串联电阻器电阻		2	10		kΩ
$I_{(PULLUP)}$	从 BAT 引脚到 LD 引脚的内部上拉电流，用于负载检测功能	$V_{BAT} \geq$ 8V，V_{LD} = VSS	1.75	3	4.05	mA
C_{IN}	输入电容			5		pF

6.11 货架计时器

所述典型值的条件是 T_A = 25°C 且 V_{BAT} = 59.2V，最小值/最大值的条件是 T_A = -40°C 至 105°C 且 V_{BAT} = 5V 至 80V（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
$F_{OSC_SHUTDOWN}$	关断模式下的振荡器工作频率			2		kHz
t_{WAKEUP_DELAY}	预加载唤醒延迟时间（可选选项：33s、66s、131s、262s、524s、1048s、2097s 和 4194s）		33		4194	s
F_{LOSC_DRIFT} (1) (2)	室温下修整后的频率漂移	25°C	-5		5	%
F_{LOSC_DRIFT} (1)(2)	在整个温度范围内修整后的频率漂移	-25°C 至 65°C	-8		8	%
		-40°C 至 85°C	-10		10	%

(1) 根据设计指定。未经生产测试。
(2) 包含频率漂移，并根据 T_A = 25°C 下的修整频率测量该漂移，最大值和最小值基于特性，实际值存储在 OTP 中。

6.12 电芯均衡

所述典型值的条件是 T_A = 25°C 且 V_{BAT} = 59.2V，最小值/最大值的条件是 T_A = -40°C 至 105°C 且 V_{BAT} = 5V 至 80V（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
$R_{(CB)}$	内部电芯均衡电阻(1)(2)	$R_{DS(ON)}$ 用于内部 FET 开关，$V_{VC(n)}$ - $V_{VC(n-1)}$ = 1.5V，1 ≤ n ≥ 16，$V_{BAT} \geq$ 4.7V	15	28	46	Ω

(1) 当电荷泵未运行时，支持使用高达 80V 的 V_{BAT} 运行。每当电荷泵工作（处于 5.5V 或 11V 模式）时，V_{BAT} 上的最大电压必须降低，以确保 CP1、CHG 和 DSG 上的电压不超过引脚最大额定电压。

Copyright © 2026 Texas Instruments Incorporated

(2) 必须控制电芯均衡，以便根据绝对最大允许电流来限制电流，并避免超过建议的器件工作温度。这可以通过适当调整片外电芯输入电阻器的大小并限制可同时均衡的电芯数量来实现。

6.13 基于比较器的检测 (SCOMP)

所述典型值的条件是 T_A = 25°C 且 V_{BAT} = 59.2V，最小值/最大值的条件是 T_A = -40°C 至 105°C 且 V_{BAT} = 5V 至 80V（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
R_{OT}(1)	过热检测电阻阈值	OT_SEL = 0x07 至 0x7F		893 至 108000		Ω
		OT_SEL = 0x15 (35℃)		7200		Ω
		OT_SEL = 0x18 (40℃)		6000		Ω
		OT_SEL = 0x1c (45℃)		4909		Ω
		OT_SEL = 0x20 (50℃)		4154		Ω
		OT_SEL = 0x24 (55℃)		3600		Ω
		OT_SEL = 0x2a (60℃)		3000		Ω
		OT_SEL = 0x30 (65℃)		2571		Ω
		OT_SEL = 0x36 (70℃)		2250		Ω
		OT_SEL = 0x3e (75℃)		1929		Ω
		OT_SEL = 0x47 (80℃)		1662		Ω
		OT_SEL = 0x50 (85℃)		1459		Ω
		OT_SEL = 0x5c (90℃)		1256		Ω
		OT_SEL = 0x68 (95℃)		1102		Ω
		OT_SEL = 0x75 (100℃)		973		Ω
		OT_SEL = 0x7f (105℃)		893		Ω
R_{OT_ACC}	过热检测电阻阈值精度	T_A = -25°C 至 65°C	-2.5		2.5	%
R_{OT_ACC}	过热检测电阻阈值精度	T_A = -40°C 至 85°C	-5		5	%
V_{OCC}	充电过流 (OCC) 电压阈值范围	标称设置，可按 2mV 阶跃编程，阈值基于 V_{SRP} - V_{SRN}	2		254	mV
V_{OCD}	放电过流（OCD1、OCD2）电压阈值范围	标称设置，可按 2mV 阶跃编程，阈值基于 V_{SRP} - V_{SRN}	-2		-254	mV
V_{OC_ACC}	过流（OCC、OCD1、OCD2）检测电压阈值精度	|设置| < 20mV	-1.5		1.5	mV
		|设置| = 20mV 至 56mV	-4		4	mV
		|设置| = 56mV 至 100mV	-5		5	mV
		|设置| > 100mV	-5		5	mV

(1) 使用 103AT NTC 热敏电阻时的预期温度阈值

6.14 SCOMP 时序要求

所述典型值的条件是 T_A = 25°C 且 V_{BAT} = 59.2V，最小值/最大值的条件是 T_A = -40°C 至 105°C 且 V_{BAT} = 5V 至 80V（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
F_{SCOMP}	SCOMP 检测时钟频率			32768		Hz
F_{SCOMP_ERR}	SCOMP 检测时钟频率误差		-3		3	%
t_{SCD}(1)(2)	短路故障检测延迟	可在最小延迟后以 15.625µs 间隔进行编程	5		3970	µs
t_{OCC}(1)(2)	充电过流故障检测延迟	可在最小延迟后以 0.0625ms 间隔进行编程	0.187		1531	ms

Copyright © 2026 Texas Instruments Incorporated

所述典型值的条件是 T_A = 25°C 且 V_{BAT} = 59.2V，最小值/最大值的条件是 T_A = -40°C 至 105°C 且 V_{BAT} = 5V 至 80V（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
t_{OCD1}(1)(2)	放电过流故障 1 检测延迟	可在最小延迟后以 0.0625ms 间隔进行编程	0.187		1531	ms
t_{OCD2}(1)(2)	放电过流故障 2 检测延迟	可在最小延迟后以 0.0625ms 间隔进行编程	0.187		1531	ms
t_{OT}(1)(2)	过热故障检测延迟	可在最小延迟后以 0.55ms 间隔进行编程	1		31	s
t_{WAKE_CD}(1)(2)	放电电流唤醒检测延迟	可在最小延迟后以 0.187ms 间隔进行编程	0.187		383	ms
t_{WAKE_CC}(1)(2)	充电电流唤醒检测延迟	可在最小延迟后以 0.187ms 间隔进行编程	0.187		383	ms

(1) 根据设计指定。未经生产测试。
(2) 不包括 LFO 频率误差

6.15 SCD 比较器

所述典型值的条件是 T_A = 25°C 且 V_{BAT} = 59.2V，最小值/最大值的条件是 T_A = -40°C 至 105°C 且 V_{BAT} = 5V 至 80V（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
V_{SCD}	放电短路电压阈值范围	标称设置，阈值基于 V_{SRP} - V_{SRN}，可编程。	-500		-10	mV
V_{SCD_ACC}	放电短路电压阈值检测精度(1)	T_A = -40°C 至 +85°C，$V_{(SCD)}$ 设置 < 20mV	-15		15	标称阈值的百分比
		T_A = -40°C 至 +85°C，$V_{(SCD)}$ 设置 ≥ 20mV	-35		35	标称阈值的百分比
V_{SCD_DLY}	放电短路检测延迟	最快设置（V_{SRN} - V_{SRP} 上为 3mV）		8		µs
		最快设置（V_{SRN} - V_{SRP} 上为 25mV）		600		ns
		标称设置，可在最小延迟和最大延迟之间以 15.2µs 阶跃进行编程	19.2		3900	µs

(1) 由特性和生产测试的组合指定

6.16 高侧 NFET 驱动器（CHG 和 DSG 以及 PCHG 和 PDSG）

所述典型值的条件是 T_A = 25°C 且 V_{BAT} = 59.2V，最小值/最大值的条件是 T_A = -40°C 至 105°C 且 V_{BAT} = 5V 至 80V（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
V_{FETON}	相对于 BAT 的 CHG 引脚电压、相对于 LD/PACK 的 DSG 引脚电压，6V ≤ V_{BAT} ≤ 80V，V_{LD} ≤ V_{DSG}(1)(2)	V_{BAT} ≥ 6V，CHG/DSG C_L = 20nF，R_{GS} = 10MΩ，电荷泵正常运行设置	9	10	12	V
V_{FETON_LP}	相对于 BAT 的 CHG 引脚电压、相对于 LD/PACK 的 DSG 引脚电压，6V ≤ V_{BAT} ≤ 80V，V_{LD} ≤ V_{DSG}(1)(2)	V_{BAT} ≥ 6V，CHG/DSG C_L = 20nF，R_{GS} = 10MΩ，电荷泵低功耗模式设置	6	7	8.5	

Copyright © 2026 Texas Instruments Incorporated

所述典型值的条件是 T_A = 25°C 且 V_{BAT} = 59.2V，最小值/最大值的条件是 T_A = -40°C 至 105°C 且 V_{BAT} = 5V 至 80V（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
V_{FET_UVLO}	相对于 BAT 的 CHG 引脚电压、相对于 LD/PACK 的 DSG 引脚电压，6V ≤ V_{BAT} ≤ 80V，V_{LD} ≤ V_{DSG}(1)(2)	V_{BAT} ≥ 6V，CHG/DSG C_L = 20nF，R_{GS} = 10MΩ，正常模式设置下的电荷泵	4.5	5	6.5	V
$V_{FET_UVLO_LP}$	相对于 BAT 的 CHG 引脚电压、相对于 LD/PACK 的 DSG 引脚电压，6V ≤ V_{BAT} ≤ 80V，V_{LD} ≤ V_{DSG}(1)(2)	V_{BAT} ≥ 6V，CHG/DSG C_L = 20nF，R_{GS} = 10MΩ，低功耗模式设置下的电荷泵 UVLO	2.5	3	3.5	
V_{SRCFOL_FETON}	相对于 BAT 的 DSG 导通电压	CHG/DSG C_L = 20nF，R_{GS} = 10MΩ，源极跟随器模式		0		V
$V_{CHGFETOFF}$	相对于 BAT 的 CHG 关断电压	CHG/DSG C_L = 20nF，R_{GS} = 10MΩ，稳态值			0.7	V
$V_{DSGFETOFF}$	相对于 LD/PACK 的 DSG 关断电压	CHG/DSG C_L = 20nF，R_{GS} = 10MΩ，稳态值			0.1	V
t_{CHG/DSG_FET_ON}	CHG 和 DSG 上升时间	CHG/DSG C_L = 20nF，R_{GS} = 10MΩ，R_{GATE} = 100Ω，0.5V 至 4V 栅源过驱，电荷泵高过驱设置(4)(5)		21	40	µs
$t_{CHGFETOFF}$	CHG 下降至 BAT 的时间	CHG C_L = 20nF，R_{GS} = 10MΩ，R_{GATE} = 100Ω，$V_{(FETON)}$ 的 90% 至 10%(5)		46	65	µs
$t_{DSGFETOFF}$	DSG 下降至 LD/PACK 的时间	DSG C_L = 20nF，R_{GATE} = 100Ω，R_{GS} = 10MΩ，$V_{(FETON)}$ 的 90% 至 10%(5)		2	20	µs
$t_{PCHG/PDSG_FET_ON}$	PCHG 和 PDSG 上升时间	PCHG/PDSG C_L = 5nF，R_{GS} = 10MΩ，R_{GATE} = 100Ω，0.5V 至 4V 栅源过驱，电荷泵高过驱设置(4)(5)		21	40	µs
$t_{PCHGFETOFF}$	PCHG 下降至 BAT 的时间	PCHG C_L = 5nF，R_{GS} = 10MΩ，R_{GATE} = 100Ω，$V_{(FETON)}$ 的 90% 至 10%(5)		150	250	µs
$t_{PDSGFETOFF}$	PDSG 下降至 LD/PACK 的时间	PDSG C_L = 5nF，R_{GS} = 10MΩ，R_{GATE} = 100Ω，$V_{(FETON)}$ 的 90% 至 10%(5)		150	250	µs
t_{CP_START}	电荷泵启动时间	C_L = 20nF，$C_{(CP1)}$ = 470nF，$V_{(FETON)}$ 的 10% 至 90%			20	ms
C_{CP1}	电荷泵电容器(3)		100	470	2200	nF

(1) 当电荷泵未运行时，支持使用高达 80V 的 V_{BAT} 运行。每当电荷泵工作（处于 5.5V 或 11V 模式）时，V_{BAT} 上的最大电压应降低，以确保 CP1、CHG 和 DSG 上的电压不超过其最大额定电压。
(2) 当 DSG 驱动器启用时，CHG 驱动器被禁用，并且会在 LD 引脚上施加一个电压，使 V_{LD} > V_{DSG}，DSG 上的电压将上升至大约 V_{LD} - 0.7V
(3) 根据设计指定
(4) 根据特征确定
(5) 可以在设计和系统评估期间对 R_{GATE} 进行优化，以获得出色性能。可能需要更大的值以避免 FET 导通/关断过快，否则会因电芯和线束电感而导致较大的电压瞬态。

6.17 FUSE 引脚

所述典型值的条件是 T_A = 25°C 且 V_{BAT} = 59.2V，最小值/最大值的条件是 T_A = -40°C 至 105°C 且 V_{BAT} = 5V 至 80V（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
V_{OH}	输出电压高电平（驱动保险丝时）	V_{BAT} ≥ 8V，C_L = 10nF，5kΩ 负载。	6	6.5	7	V

Copyright © 2026 Texas Instruments Incorporated

所述典型值的条件是 T_A = 25°C 且 V_{BAT} = 59.2V，最小值/最大值的条件是 T_A = -40°C 至 105°C 且 V_{BAT} = 5V 至 80V（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
V_{OH}	输出电压相对于 V_{BAT} 为高电平（驱动保险丝时）	2.7V ≤ V_{BAT} < 8V，C_L = 10nF，5kΩ 负载。	-1.5		0	V
V_{IH}	高电平输入（用于保险丝检测）	流入器件引脚的电流必须被限制为最大 2mA	2			V
V_{IL}	低电平输入（用于熔丝检测）				0.9	V
C_{IN}(1)	输入电容			1.8		pF

(1) 根据设计指定。未经生产测试

6.18 闪存存储器

所述典型值的条件是 T_A = 25°C 且 V_{BAT} = 59.2V，最小值/最大值的条件是 T_A = -40°C 至 105°C 且 V_{BAT} = 5V 至 80V（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
t_{DR}(1)	数据保存时间		10	100		年
	闪存编程写入周期数(1)		20000			周期
t_{FPWRUP}(2)	闪存上电时间	从 PM_CONFIG_ACTIVE 更改为 PM_CONFIG_ST 更新		150	200	µs
$t_{FPWRDOWN}$(1)	闪存断电	从 PM_CONFIG_ACTIVE 更改为 PM_CONFIG_ST 更新		6	15	µs
$t_{ROWPROG}$(1)	字（128 位）编程时间	包括高级 API (ROM API) 使用		100		µs
$t_{MASSERASE}$(1)	批量擦除时间	包括高级 API (ROM API) 使用		34	500	ms
$t_{SECTORERASE}$(1)	扇区擦除时间	包括高级 API (ROM API) 使用		14	500	ms

(1) 根据设计指定。未经生产测试。
(2) 经特性分析确认。未经生产测试。

6.19 接口 I/O

所述典型值的条件是 T_A = 25°C 且 V_{BAT} = 59.2V，最小值/最大值的条件是 T_A = -40°C 至 105°C 且 V_{BAT} = 5V 至 80V（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
I2C						
V_{IH}(2)	输入电压高电平	SDA、SCL	0.7*V_{REG18}			V
V_{IL}(2)	输入电压低电平	SDA、SCL	-0.5		0.3*V_{REG18}	V
V_{OL}	输出低电压	SDA、SCL，I_{OL} = -3mA			0.4	V
t_{SP}(1)	必须由输入滤波器进行抑制的尖峰脉冲宽度	SDA、SCL，AGFSEL = 0x3			50	ns
C_{IN}(1)	输入电容	SDA、SCL		1.8		pF
C_B(1)	每条线路的总线电容	SDA、SCL			100	pF
I_{LKG}(1)	输入漏电流	SDA、SCL，包括常开 R_{BUSPD} 下拉电阻		0.5	2	µA
SMBus						
V_{BUS}	标称总线电压	SMBD、SMBC	1.8		5	V
	工作总线电压	SMBD、SMBC	1.62		5.5	V
V_{IH}	输入电压高电平	SMBD、SMBC	1.35		V_{BUS}	V

Copyright © 2026 Texas Instruments Incorporated

所述典型值的条件是 T_A = 25°C 且 V_{BAT} = 59.2V，最小值/最大值的条件是 T_A = -40°C 至 105°C 且 V_{BAT} = 5V 至 80V（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
V_{IL}	输入电压低电平	SMBD、SMBC			0.8	V
V_{OL}	输出低电压	SMBD、SMBC，I_{OL} = -3mA			0.4	V
t_{SP}(1)	必须由输入滤波器进行抑制的尖峰脉冲宽度	SMBD、SMBC，AGFSEL = 0x3			50	ns
C_{IN}(1)	输入电容	SMBD、SMBC		1.8		pF
C_B(1)	每条线路的总线电容	SMBD、SMBC			100	pF
I_{LKG}(1)	输入漏电流	SMBD、SMBC，包括常开 R_{BUSPD} 下拉电阻		0.5	2	µA

(1) 根据设计指定。未经生产测试
(2) 当在高于 V_{REG18} 的上拉电压下使用时，电压和时序阈值仍基于 V_{REG18}。

6.20 I²C 接口时序

所述典型值的条件是 T_A = 25°C 且 V_{BAT} = 59.2V，最小值/最大值的条件是 T_A = -40°C 至 105°C 且 V_{BAT} = 5V 至 80V（除非另有说明）

参数		测试条件	最小值	标称值	最大值	单位
I2C 100kHz						
f_{SCL}	时钟频率				100	kHz
$t_{HD:STA}$	START 条件保持时间		4			µs
t_{LOW}	SCL 时钟的低电平周期		4.7			µs
t_{HIGH}	SCL 时钟的高电平周期		4			µs
$t_{SU:STA}$	重复启动的建立时间		4.7			µs
$t_{HD:DAT}$	数据输入保持时间		0			µs
$t_{SU:DAT}$	数据输入建立时间		250			ns
	数据输出建立时间		250			ns
t_r(2)	SDA 和 SCL 上升时间	V_{REGIO} 的 30% 至 70%			1000	ns
t_F(2)	SDA 和 SCL 下降时间	V_{REGIO} 的 30% 至 70%			300	ns
$t_{SU:STO}$	停止条件建立时间		4			µs
t_{BUF}	STOP 和 START 之间的总线空闲时间		4.7			µs
$t_{VD:DAT}$(1)(3)(4)	数据有效时间				3.45	µs
$t_{VD:ACK}$(1)(3)(4)	数据有效确认时间				3.45	µs
t_{BUSLOW}	器件的最大 SCL/SDA 低电平 (BUSLOW) 信号检测时间	BUSLOWCNT = 0x1		0.5		s
t_{BUSLOW}	器件的最大 SCL/SDA 低电平 (BUSLOW) 信号检测时间	BUSLOWCNT = 0x2		1		s
t_{BUSLOW}	器件的最大 SCL/SDA 低电平 (BUSLOW) 信号检测时间	BUSLOWCNT = 0x4		2		s
t_{BUSLOW}	器件的最大 SCL/SDA 低电平 (BUSLOW) 信号检测时间	BUSLOWCNT = 0x7		3.5		s
C_D	每个总线的容性负载				400	pF
I2C 400kHz						
f_{SCL}	时钟频率				400	kHz
$t_{HD:STA}$	START 条件保持时间		0.6			µs
t_{LOW}	SCL 时钟的低电平周期		1.3			µs
t_{HIGH}	SCL 时钟的高电平周期		0.6			µs

Copyright © 2026 Texas Instruments Incorporated

所述典型值的条件是 T_A = 25°C 且 V_{BAT} = 59.2V，最小值/最大值的条件是 T_A = -40°C 至 105°C 且 V_{BAT} = 5V 至 80V（除非另有说明）

参数		测试条件	最小值	标称值	最大值	单位
$t_{SU:STA}$	重复启动的建立时间		0.6			µs
$t_{HD:DAT}$	数据输入保持时间		0			µs
$t_{SU:DAT}$	数据输入建立时间		100			ns
	数据输出建立时间		100			ns
t_r (2)	SDA 和 SCL 上升时间	V_{REGIO} 的 30% 至 70%	20		300	ns
t_F (2)	SDA 和 SCL 下降时间	V_{REGIO} 的 30% 至 70%	20 * (V_{REGIO}/ 5.5)		300	ns
$t_{SU:STO}$	停止条件建立时间		0.6			µs
t_{BUF}	STOP 和 START 之间的总线空闲时间		1.3			µs
$t_{VD:DAT}$ (1)(2)(3)	数据有效时间				0.9	µs
$t_{VD:ACK}$ (1)(2)(3)	数据有效确认时间				0.9	µs
t_{BUSLOW}	器件的最大 SCL/SDA 低电平 (BUSLOW) 信号检测时间	BUSLOWCNT = 0x1		0.5		s
		BUSLOWCNT = 0x2		1		s
		BUSLOWCNT = 0x4		2		s
		BUSLOWCNT = 0x7		3.5		s
C_D	每个总线的容性负载				400	pF
I2C 1MHz						
f_{SCL}	时钟频率				1000	kHz
$t_{HD:STA}$	START 条件保持时间		0.26			µs
t_{LOW}	SCL 时钟的低电平周期		0.5			µs
t_{HIGH}	SCL 时钟的高电平周期		0.26			µs
$t_{SU:STA}$	重复启动的建立时间		0.26			µs
$t_{HD:DAT}$	数据输入保持时间		0			µs
$t_{SU:DAT}$	数据输入建立时间		50			ns
	数据输出建立时间		50			ns
t_r (2)	SDA 和 SCL 上升时间	V_{REGIO} 的 30% 至 70%			120	ns
t_F (2)	SDA 和 SCL 下降时间	V_{REGIO} 的 30% 至 70%	20 * (V_{REGIO}/ 5.5)		120	ns
$t_{SU:STO}$	停止条件建立时间		0.26			µs
t_{BUF}	STOP 和 START 之间的总线空闲时间		0.5			µs
$t_{VD:DAT}$ (1)(2)(3)	数据有效时间				0.45	µs
$t_{VD:ACK}$ (1)(2)(3)	数据有效确认时间				0.45	µs
t_{BUSLOW}	器件的最大 SCL/SDA 低电平 (BUSLOW) 信号检测时间	BUSLOWCNT = 0x1		0.5		s
		BUSLOWCNT = 0x2		1		s
		BUSLOWCNT = 0x4		2		s
		BUSLOWCNT = 0x7		3.5		s
C_D	每个总线的容性负载				100	pF

(1) 仅当器件不延长 SCL 信号的低电平周期 (t_{LOW}) 时才必须满足该最大值。
(2) V_{REGIO} 可以是 1.8V 或 3.3V，具体取决于 OTP 选择。
(3) $t_{VD;DAT}$ = 数据信号从 SCL 低电平到 SDA 输出（高电平或低电平，取决于哪个更差）的时间。
(4) $t_{VD;ACK}$ = 确认信号从 SCL 低电平到 SDA 输出（高电平或低电平，取决于哪个更差）的时间。

Copyright © 2026 Texas Instruments Incorporated

7 详细说明

7.1 概述

BQ41Z90 电池包管理器是一款高度集成的器件，它采用基于闪存的固件和集成硬件保护，可为包含 3 至 16 节串联电芯的电池组架构提供完整的解决方案。BQ41Z90 器件采用 Dynamic Z-Track™ 技术，即使在动态负载条件下也能报告高度准确的荷电状态。这项技术是对 TI 知名的 Impedance Track™ 电量监测算法的扩展，该算法可跟踪电池使用寿命期间不断变化的阻抗，从而提供准确的满电荷容量 (FCC)、荷电状态 (SoC) 和运行状况 (SoH) 估算。

BQ41Z90 器件支持具有串联 FET 配置的系统以及具有并联充电和放电路径的系统，以便适应不同的充电电流和放电电流大小。在并联配置中，该器件可连接到充电器连接器，同时通过负载连接进行放电。该器件还支持仅使用一个 FET 或不使用 FET 的系统，用外部保护器来替代 FET。

除了 SHA-1 和 SHA-2 身份验证选项之外，BQ41Z90 器件还提供椭圆曲线加密 (ECC) 身份验证功能以增强电池包的安全性。ECC 身份验证采用独特的非对称私钥/公钥加密技术，无需在主机系统中共享同一密钥。

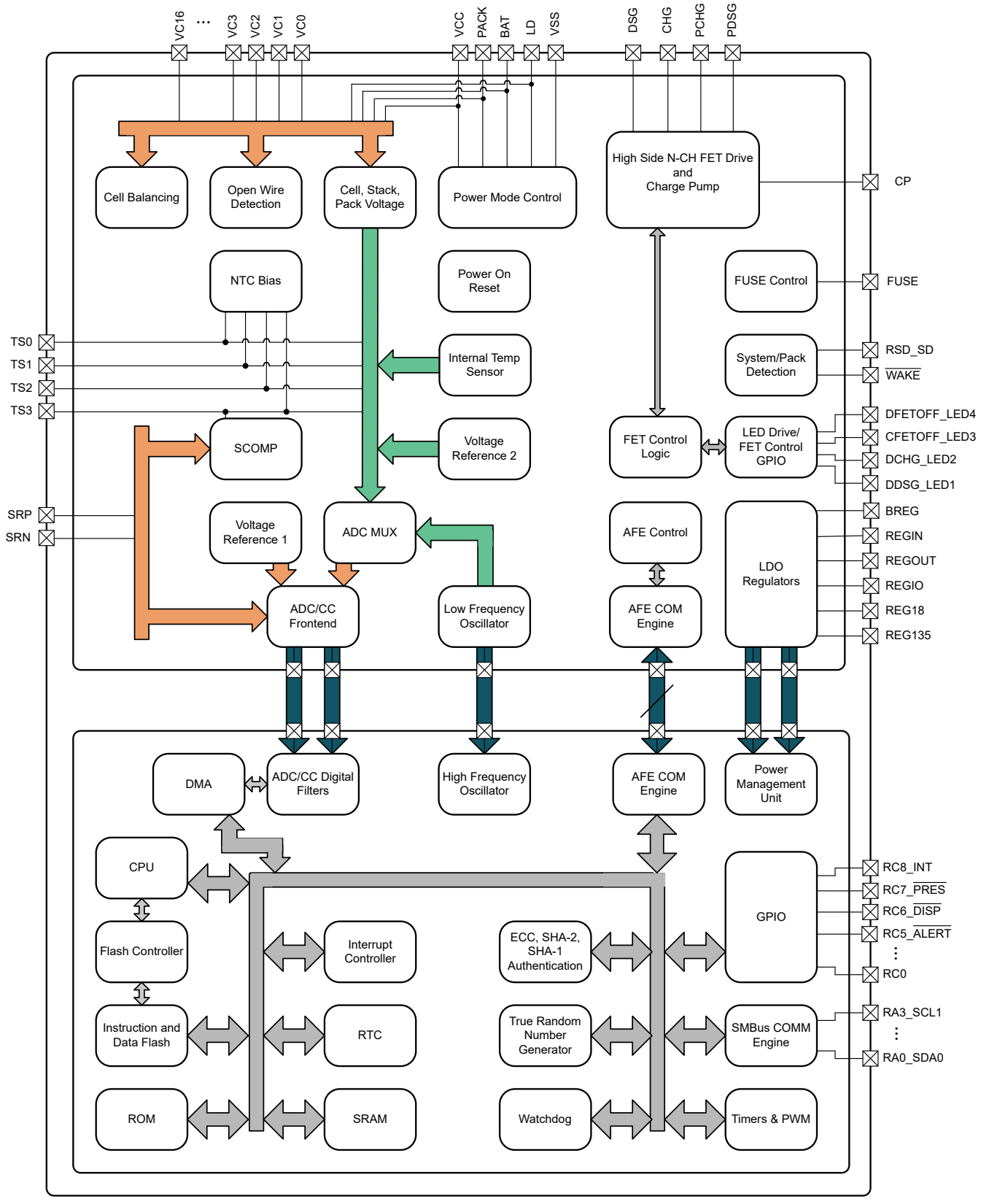
BQ41Z90 器件提供硬件比较器来检测由于过压、过热、短路检测以及充放电过流导致的故障情况，还提供硬件驱动器来关断 FET 以保护器件免受这些故障情况的影响。该器件固件可提供基于软件的第 1 级和第 2 级安全警报和保护，防止出现过压、欠压、过流、短路电流和过热情况以及其他故障情况（例如硬件看门狗超时或电芯充电/电压不平衡）。

BQ41Z90 电池包管理器通过符合 SBS v3.2 标准的 SMBus 接口或符合 I^2C 标准的接口与主机系统连接，并使用出色的超低功耗 32 位 RISC 处理器处理指令和数据。高性能集成外设支持低至 0.25mΩ 的检测电阻以及用于即时功率计算的同步电流/电压数据转换。

以下各节详细介绍了 BQ41Z90 电池管理器中包含的所有主要元件块。

Copyright © 2026 Texas Instruments Incorporated

7.2 功能方框图



Copyright © 2026 Texas Instruments Incorporated

7.3 特性说明

7.3.1 器件功能模式

7.3.1.1 模拟前端 (AFE)

模拟前端 (AFE) 包含器件的大部分模拟特性，包括：

- 用于测量电芯电压、温度和其他信号的模数转换器 (ADC)。
- 用于测量库仑和电流的库仑计 (CC)。
- 高侧 NFET 驱动器 用于充电、预充电、放电和预放电控制和保护。
- 低压降稳压器 (LDO) 用于为 AFE 和 MCU 供电。
- 低频振荡器 (LFO)，它是 AFE 的主时钟。
- 通过 硬件故障检测（SCOMP 和 SCD） 提供了一系列保护功能。
  - 放电过流 (OCD)
  - 充电过流 (OCC)
  - 过热 (OT)
  - 短路检测 (SCD)
- 支持 节 6.12 和开路检测 (OWD) 的电芯旁路控制
- 恒定电流阱 I/O 支持 LED 驱动

每个特性都具有一系列可配置选项，详细信息请参阅“AFE 寄存器”部分。

7.3.1.2 电源管理

BQ41Z90 包括 三个 LDO 以及许多配置选项，需要对这些选项进行管理，以支持器件的正确运行并确保器件功耗对于给定的用例而言是理想的。

7.3.1.2.1 电源模式配置

BQ41Z90 具有许多可通过固件控制启用和禁用的特性。

除 SHUTDOWN 外，各种功耗模式配置之间的转换主要受固件以及可启用以创建中断的特性（例如 GPIO、通信、电流检测、充电器检测、ADC 状态机、RTC 和计时器）的控制。

表 7-1. 功耗模式转换

	下一个状态					
当前状态	正常	睡眠	DeepSleep	休眠	货架	关断
正常	-	固件	固件	固件	固件	固件/低压
睡眠	IO、通信、保护、电流高于阈值、充电器检测	-				低压
DeepSleep	IO、通信、充电器检测、RTC 计时器		-			低压
休眠	IO、通信、充电器检测、RTC 计时器			-		低压
货架	充电器检测、货架计时器、WAKE 按钮				-	低压
关断	充电器检测、WAKE 按钮					--

7.3.1.2.2 电源控制

BQ41Z90 器件根据运行条件动态管理其电源电压。

要启动从 SHUTDOWN 模式退出的过程，必须检测 WAKE 按钮看是否 $V_{BAT} > V_{SWITCHOVER-} + V_{HYS}$，或者 PACK 引脚必须连接至高于 $V_{STARTUP}$ 的电压（例如连接充电器）。然后，器件将内部开关连接至 VCC，并使用

Copyright © 2026 Texas Instruments Incorporated

该引脚为其内部 1.8V LDO 供电，随后为所有器件逻辑和闪存操作供电。器件继续由 VCC 供电，直到 $V_{BAT} > V_{SWITCHOVER-} + V_{HYS}$，此时 AFE 将内部开关连接到 BAT 来为器件供电，并将开关与 VCC 断开。

预计 DSG FET 会连接在其体二极管允许电流从 PACK+ 节点流向器件 VCC 引脚的位置，因此无需将电源直接连接到 VCC。

如果 BAT 降至 $V_{BAT} < V_{SWITCHOVER-}$，AFE 会将内部开关连接至 VCC 以便为器件供电，并将开关与 BAT 断开，从而允许从充电器供电。如果 VCC 引脚上没有有效电源，器件将断电。

连接到 BAT 的外部二极管和电容器可提供瞬时电源电压，以帮助防止由于瞬态短路或过载事件而导致的系统欠压，否则会将 V_{BAT} 拉至 $V_{SWITCHOVER-}$ 以下。

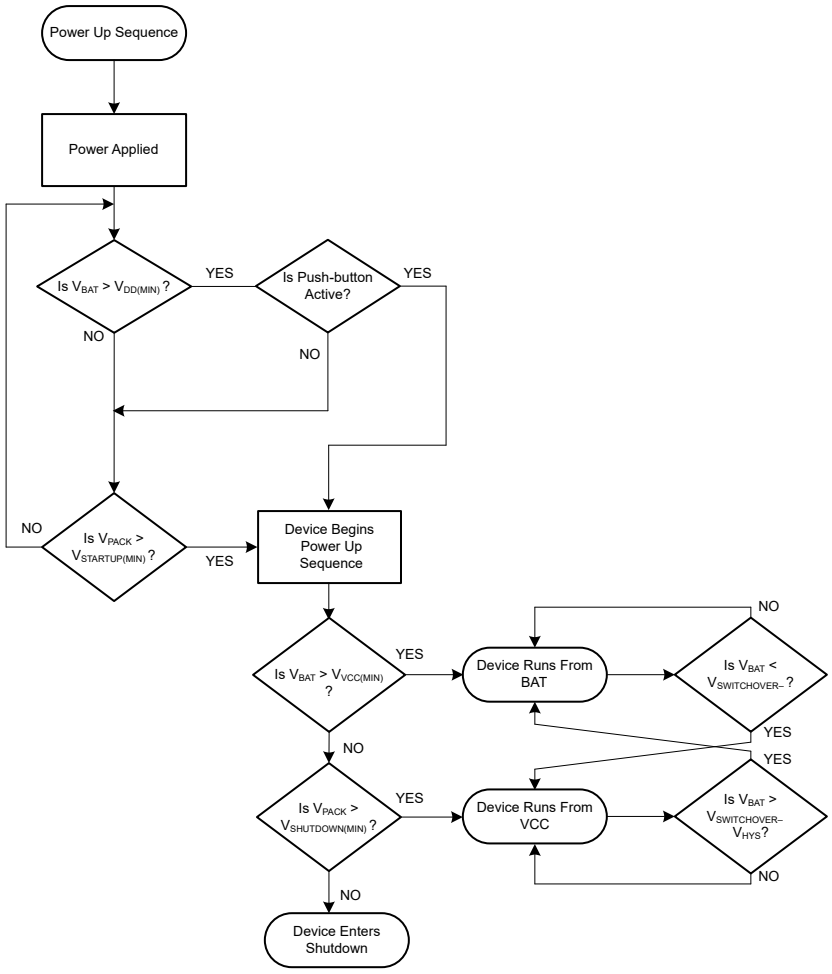


图 7-1. 上电序列

7.3.1.2.2.1 HIBERNATE 模式

HIBERNATE 模式是一种低功耗模式，在该模式下，器件内的主要模块会完全断电以尽可能降低功耗，同时仍然允许器件在不连接充电器的情况下退出 HIBERNATE 模式。通过固件命令进入 HIBERNATE 模式。退出 HIBERNATE 模式的主要方法是通过充电器检测、WAKE 引脚被置为有效或使用实时时钟警报功能。

进入 HIBERNATE 模式时，MCU 可将器件配置为保持 RAM 启用以及启用实时时钟。如果需要在 HIBERNATE 模式下关断 FET，则固件必须在进入 HIBERNATE 模式之前将这些 FET 关断。该器件无法通过 I2C/SMBus 通信退出 HIBERNATE 模式，固件控制会禁用这些通信以节省功耗。如果未禁用该器件并收到 I2C/SMBus START 信

Copyright © 2026 Texas Instruments Incorporated

号，则即使 HFO 不会在 HIBERNATE 模式下启动，该设备也会在等待 HFO 启动的同时进行时钟延展，直到 25ms SCL 低电平超时为止。

7.3.1.2.2.2 SHUTDOWN 模式

SHUTDOWN 模式是一种超低功耗模式，在该模式下，除了使器件能够退出 SHUTDOWN 模式的支持电路之外，器件完全断电。初级退出电路是一个使用内部 R_{PACK_PD} 和外部 R_{PACK} 来检测 PACK 引脚上的 $V_{STARTUP}$ 阈值的小型电压检测电路。R_{PACK_PD} 在进入 SHUTDOWN 模式时自动启用，但也可以在固件控制下启用和禁用。

可将该器件配置为根据电池组顶部电压或最小电芯电压自动进入 SHUTDOWN 模式。如果电池组顶部电压低于编程的电池组电压阈值，或者最小电芯电压低于编程的电芯电压阈值，则会自动启动 SHUTDOWN 模式序列。基于电芯电压的关断不适用于用于测量互连的电芯输入引脚。

当 BQ41Z90 器件处于 NORMAL 模式或 SLEEP 模式时，还可将该器件配置为在内部温度测量值超过编程的温度阈值并持续编程的延迟时进入 SHUTDOWN 模式（如果通过配置启用了该功能）。

有关从 SHUTDOWN 模式上电的更多详细信息，请参阅电源控制。

7.3.1.2.2.3 SHELF 模式

SHELF 模式是指器件处于关断模式，但有一个激活的低功耗计时器，可用于记录时间并根据需要定期唤醒以进行电芯测量。该模式可用于运输或长期储存。

当 SHELF 模式序列由固件中的子命令的 RST_SD 引脚启动后，器件在进入 SHELF 模式之前等待一段延迟时间，然后禁用保护 FET。但是，如果 PACK 或 LD 引脚上的电压仍高于 $V_{STARTUP}$ 电平，应将关断延迟到 PACK 或 LD 上的电压降至该电平以下。

该器件可配置为执行定期存储器完整性检查，如果检测到任何损坏，强制看门狗复位。为避免在存储器故障时发生复位循环，如果在看门狗复位后的编程秒数内检测到存储器错误，器件进入 SHUTDOWN 模式，而不是进行复位。

SHUTDOWN 模式的优先级高于 SHELF 模式，覆盖和复位与 SHELF 模式关联的所有模拟寄存器。在 SHELF 模式下，当电池电压降至预编程阈值以下时，电量监测计将进入 SHUTDOWN 模式以省电。在进入 SHUTDOWN 或 SHELF 模式之前，Wake 引脚需要上拉至高电平，才能将器件从 SHUTDOWN 模式唤醒。

7.3.1.2.2.4 唤醒功能

该器件可通过来自 GPIO 或通信的中断唤醒，或在睡眠或休眠期间通过 RTC 计时器唤醒。当该器件处于 SHUTDOWN 或 SHELF 模式时，可通过 WAKE 引脚唤醒，或通过在 PACK 引脚上施加高于 $V_{STARTUP}$ 的电压（例如当充电器以串联 FET 配置进行连接时）来唤醒。

在具有高源阻抗的 RADC4_Wakep 引脚上提供大约 5V 电压。如果 RADC4 引脚被拉至低电平（例如通过切换到 VSS），该器件退出 SHUTDOWN 或 SHELF 模式。

备注

RADC4 不能用于连接热敏电阻进行温度测量。

当该器件从 SHUTDOWN 模式唤醒时，内部电路（包括 LDO）开始上电并且 MCU 执行初始化，从存储器加载设置，执行初始测量，评估与启用的保护相关的设置，然后在条件允许的情况下启用 FET。可以根据设置进行配置，以便更快上电。

作为避免将 BQ41Z90 器件长期存储时从 SHELF 模式意外唤醒的对策，该器件可配置为在设定的分钟数后自动重新进入 SHELF 模式。

Copyright © 2026 Texas Instruments Incorporated

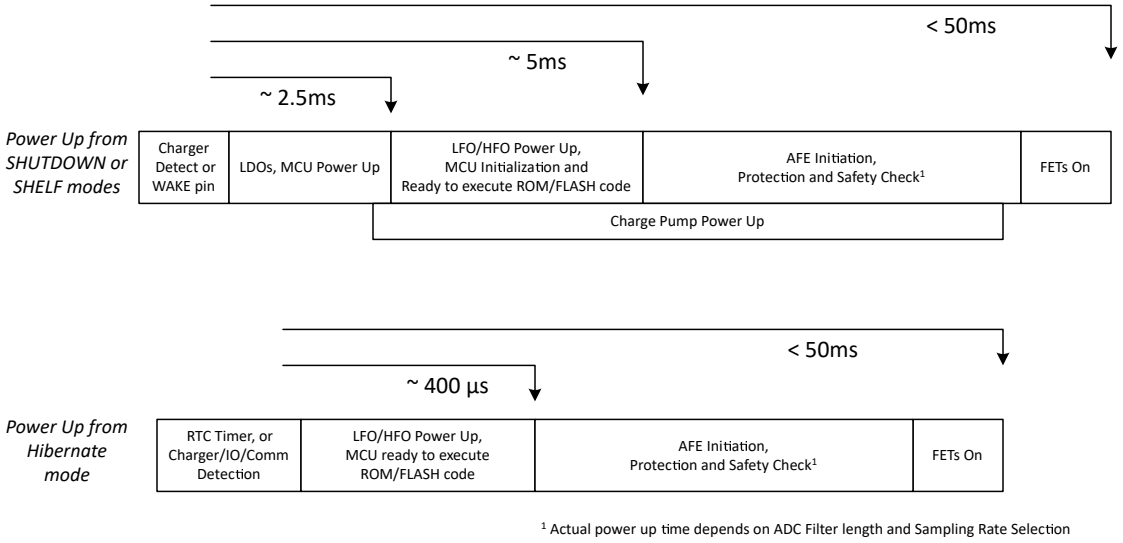


图 7-2. 器件唤醒时序

7.3.1.2.3 电源管理单元

7.3.1.2.3.1 PMU 概述

MCU 数字芯片有三种硬件功耗模式：由状态机管理的 RUN、STOP 和 STANDBY。

RUN 是运行功耗模式。可以在读取、擦除或编程模式下运行所有功能，包括 FLASH 存储器。RAM 和 ROM 可以导通，处理器能够以全时钟频率运行，并且所有外设均可处于运行状态。RUN 模式还允许固件关断 FLASH、RAM 或 ROM（如果未使用）以省电。

STOP 是低功耗模式。在此模式下，可以关断 FLASH 和 ROM 并将 RAM 置于保持模式以省电。处理器在此模式下暂停，但其他外设可继续运行。

STANDBY 是低功耗模式。在此模式下，向 AFE 发送睡眠信号，从而将 VDD 内核稳压器 (REG135) 的状态从正常模式更改为低功耗模式。在此模式下，HFO 关断，仅运行部分外设。由于 LDO 处于低功耗模式，此模式会禁用 FLASH 和 ROM 并将 RAM 置于保持模式。进入此模式后，逻辑以 32kHz 的频率运行。

PMU 模式到系统功耗模式的典型映射为：

- RUN：NORMAL
- STOP：SLEEP 和 DEEPSLEEP
- STANDBY：HIBERNATE 和进入 SHUTDOWN；通过复位退出 SHUTDOWN。

7.3.1.2.4 热关断

BQ41Z90 使用 LDO 本地集成温度传感器来确定器件是否过热。如果内部温度传感器达到 t_{SD_ALERT+}，则 MCU 会置于复位状态并禁用 REG135（尽管 REG18 和 AFE 保持启用状态）。如果温度随后下降并达到 t_{SD_ALERT-}，则该器件会启用 REG135 并开始执行 MCU 上电序列。

但如果温度继续升高且内部温度传感器达到 t_{SD+}，则该器件会置于复位状态，同时禁用 REG135 和 REG18。当内部器件温度降至低于 t_{SD-} 时，允许 REG18 上电，但在温度降至低于 t_{SD_ALERT-} 之前，不允许该器件上电序列开始。

7.3.1.2.5 低压降稳压器 (LDO)

BQ41Z90 包含四个用于支持该器件的低压降稳压器：1.8V 标称输出 LDO (REG18)、1.35V 标称输出 LDO (REG135)、REGIO (1.8V/3.3V) 和 REGOUT（可编程 2.5V、3V、3.3V 和 5V）。

Copyright © 2026 Texas Instruments Incorporated

7.3.1.2.5.1 REG18

该稳压器位于 AFE 上，用于为 AFE、REG135、闪存电荷泵、GPIO 以及 MCU 芯片的模拟电路供电。需要在尽可能靠近 REG18 引脚的位置连接一个 1 µ F 电容器 (C_{REG18})，以实现出色运行。

LDO 具有输出短路保护功能，但其保护限制在 HIBERNATE 模式下会降低。

REG18 输出可在器件外部用于为其他电路供电，但最大电流不得超过 $I_{REG18EXT}$。

备注

REG18 LDO 提供的最大负载电流包括 REG135 LDO 电流和 REG18 引脚上的任何外部负载电流。

7.3.1.2.5.2 REG135

这个位于 AFE 上的稳压器用于为 MCU 数字内核（包括 CPU、RAM、ROM 和闪存）供电。需要在尽可能靠近 REG135 引脚的位置连接一个 1 µ F 电容器 (C_{REG135})，以实现出色运行。

LDO 具有输出短路保护功能，但其保护限制在 HIBERNATE 模式下会降低。

REG135 输出不可用于外部电路。

7.3.1.2.5.3 REGIO

BQ41Z90 具有一个专用 LDO，用于为通信 IO 提供 VDDIO。可通过 OTP 位控制将 REGIO 的输出电压编程为 3.3V 或 1.8V。如果对 OTP 位进行编程以使固件控制默认电压电平，则默认电压由闪存配置位确定。否则，OTP 默认将 REGIO 电压设置为 3.3V。

7.3.1.2.5.4 REGOUT

BQ41Z90 器件中的 REGOUT LDO 供外部使用，其中输出电压可编程为 2.5V、3.0V、3.3V 或 5.0V。BREG 引脚需要与外部双极结型晶体管 (BJT) 一起使用，以便在用于驱动外设时承载大电流。

如果负载电流要求以及 BJT 的功率耗散限制成为问题，则可以在电池组顶部和 BJT 集电极之间包含一个外部串联电阻器。电阻器的尺寸决定了如何与 BJT 共享功耗。

当 BQ41Z90 置于 SLEEP HIBERNATE 模式并且 REGOUT 仍需要运行时，则必须设置内部 VREF 使能信号以在休眠模式下保持开启。这可通过在发送 ROM 命令以进入 SLEEP HIBERNATE 模式（这是最低功耗选项）之前将 TST_CTRL3 寄存器的值配置为 0x08 来实现。另一种方法是在 VREF 始终开启的情况下改用 SLEEP FULL_POWER 模式。通过设置 AIF_CTRL1 = 0x5 来启用 SLEEP FULL_POWER。

当 BQ41Z90 断电时，REGOUT 可与外部电源进行“或”运算，以继续驱动外部器件。

7.3.1.3 复位管理

BQ41Z90 器件可通过多种硬件方法进行复位，包括上电复位 (POR)、窗口化看门狗计时器 (WWDT) 启动的复位、可选的 FLASH DED 启动的复位、安全违例启动的复位和 CPU 启动的复位。还可通过外部引脚置位来触发器件进行 MCU 复位或上电复位（请参阅下一节中的说明）。通过来自主机的通信，也可将器件配置为复位（如果器件上的应用固件编程为允许这样做并且可以运行），例如：使用 ManufacturerAccess( ) 命令触发 MCU 下电上电。

表 7-2. 复位源及其复位的块

复位类型	复位的块						
	CPU	MCU 数字芯片	RAM	通信	MCU 上的诊断寄存器 (2)	AFE 上的诊断寄存器 (3)	AFE
POR	X	X	X	X	X	X	X
MCU	X	X	X	X			
WWDT	X						

Copyright © 2026 Texas Instruments Incorporated

表 7-2. 复位源及其复位的块（续）

复位类型	复位的块						
	CPU	MCU 数字芯片	RAM	通信	MCU 上的诊断寄存器 (2)	AFE 上的诊断寄存器 (3)	AFE
通信(1)	X	X	X	X		X	X

(1) 基于实施的固件功能
(2) MCU 上的诊断寄存器为：FAULT_LOG 和 USER_DATA
(3) AFE 上的诊断寄存器为：AIF_CTRL1 [MCU_RESET_REASON]

- **上电复位 (POR)**

  如果 V_{REG18} 上的电压降至 $V_{REG18POR-}$ 以下（通常由被移除的 BAT 和 VCC 引脚上的电压触发），AFE 会进入上电复位状态。当 V_{REG18} 上升至高于 $V_{REG18POR-}$ + V_{HYS} 的时间达到 t_{RST} 时，该器件会退出复位模式。

  如果发生下电上电，BQ41Z90 AFE 将在 t_{RST_POR} 持续时间内使其内部 RESET 输出引脚保持高电平，以便加载其片上修整，并在 MCU 芯片从复位状态释放之前使集成的 1.8V LDO、1.35V LDO 和 LFO 保持稳定。

  当 MCU 芯片从复位状态释放时，它将上电并执行一些有限的修整加载，然后启用 CPU。从上电到该阶段的时间为 t_{RST_ROM}。

  一旦 CPU 启动并且 ROM 初始化代码已运行，闪存代码便可开始执行。从上电到该阶段的时间为 t_{RST_EXE}。
- **MCU 复位**

  MCU 复位可由 WWDT、CPU、安全违例或可选闪存 DED 触发

  – CPU 启动的复位。

    这是在 MCU 上发生，不会影响 AFE。这会复位与 CPU 相关的所有内容。
- **窗口化看门狗计时器启动的复位**

  这是在 MCU 上发生，不会影响 AFE。这会复位 MCU 中除 RESET_REASON 寄存器（该寄存器指示 WWDT 触发了 RESET）和 USER_DATA 寄存器之外的所有内容。
- **MCU 下电上电复位**

  可通过向 AFE 发出命令来复位 BQ41Z90 的 MCU。如果，则 AFE 将通过禁用然后启用 AFE 的 REG135 稳压器输出对 MCU 进行下电上电。

7.3.1.3.1 AFE 看门狗

BQ41Z90 具有 AFE 看门狗功能，可确保当 MCU 由于任何原因不再响应时，FET 不会无限期地保持导通状态。

看门狗计时器仅在 FET 导通时启用。

备注

除非 FET 保持导通，否则 WDT 警报无法用于唤醒 MCU

有 3 个可编程计时器。

- 第一个提供警报计时器，增量为 0.25 秒，最长 32 秒
- 第二个提供警报之后 MCU 复位之前的时间，增量为 0.25 秒，最长 8 秒
- 第三个提供 MCU 复位之后 FET 关断之前的时间，增量为 0.25 秒，最长 8 秒

MCU 以复位所有计时器并允许 FET 导通来定期确认 AFE 看门狗。

7.3.1.4 诊断功能

BQ41Z90 器件包括一套诊断功能，系统可以使用这些功能来提高运行的稳健性。这些功能包括器件内集成的电压基准的自检、LDO 输出自检、监测 LFO 频率的硬件监控器、MCU 上的内部看门狗、上电或复位时进行存储器检查等。集成闪存和 SRAM 还附带 ECC 功能。BQ41Z90 技术参考手册详细介绍了这些功能。

Copyright © 2026 Texas Instruments Incorporated

7.3.1.5 内部振荡器

BQ41Z90 有两个集成振荡器，可支持器件的不同功能。每个时钟源支持多种自动管理的内部时钟频率，以确保在需要时启用和禁用单个频率和振荡器源。低频振荡器始终开启。

7.3.1.5.1 低频振荡器 (LFO)

低频振荡器（频率通常为 262.144kHz）位于 AFE 芯片上并由 REG18 供电。该 LFO 用于管理 AFE，也通过内部芯片对芯片连接提供给 MCU。

该器件包含一个 LFO 看门狗，可触发故障并执行操作以关断保护 FET（如果已配置）。

7.3.1.5.2 高频振荡器 (HFO)

高频振荡器（频率通常为 32.768MHz）位于 MCU 芯片上并由 REG18 供电。

HFO 用于 MCU 上的 CPU 和数字外设，并在该模式启用时为 ADC 调制器提供分频 524.288kHz 输出。

7.3.1.5.3 低功耗振荡器 (LPO)

LPO 是一个专用振荡器电路，以 2kHz 的频率（典型值）运行，用于创建货架计时器。AFE 寄存器可配置为指示在 POR 事件后器件是否从 SHELF 模式唤醒。

器件进入 SHELF 模式后，计时器会对延迟时间进行倒计时。可以在进入 SHELF 模式之前配置唤醒延迟时间。预加载的唤醒延迟时间可在 33s、66s、131s、262s、524s、1048s、2097s 和 4194s 之间选择。进入 SHELF 模式后，BQ41Z90 可以定期唤醒，以执行安全检查并记录测量数据。

7.3.2 温度测量

BQ41Z90 可以测量一个集成温度传感器以及多达四个外部负温度系数 (NTC) 热敏电阻。

7.3.2.1 外部温度测量支持

BQ41Z90 器件在 RADCx 端口引脚上支持多达四个外部热敏电阻。该器件包含两个 18kΩ（典型值）内部上拉电阻器，用于在测量期间对热敏电阻进行偏置。第一个用于 RADC0、RADC1 和 RADC2，第二个用于 RADC3。RADC3 还用作硬件故障检测 (SCOMP) 块的温度输入。对 RADC3 电阻器进行了修整，RADC0..2 电阻器共享该修整。

两个电阻器阻值和 RADCx 焊盘电阻是在工厂生产中测量的，并存储在器件内，以便在温度计算时使用。任何额外的内部互连电阻都小于 1Ω。

为了提供高精度的温度结果，该器件使用与用于偏置热敏电阻上拉电阻的相同 1.8V LDO ADC 参考电压，从而实现比例测量，可以消除 LDO 电压电平导致的误差。

不使用 RADCx 引脚时，应通过其内部弱下拉电阻启用该引脚。

7.3.2.2 内部温度传感器

集成温度传感器位于 AFE 芯片中的 REG18 LDO 附近，用于在器件过热时确定器件的热关断，也可通过 ADC 多路复用器中的选择使用 ADC 进行测量。

7.3.3 随机电芯连接支持

BQ41Z90 器件支持在电池包制造期间按照随机顺序将电芯连接到该器件。电芯可以按任何顺序连接到 BQ41Z90，但德州仪器 (TI) 建议先连接 VSS 和 VC0。例如，16 节电池组中的电芯 10 可以首先连接到引脚 VC10 和 VC9 的输入端子，然后电芯 4 可以连接到引脚 VC4 和 VC3 的输入端子，依此类推。无需先将电芯 1 的负极端子连接到 VC0。再举一个例子，假设一个电池组已经组装好，并且电芯已经互相连接，然后该电池组通过一个连接器连接到 PCB，而该连接器可以插入或焊接到 PCB 上。在这种情况下，与 PCB 的连接顺序在时间上可能是随机的，无需按特定的顺序进行控制。

Copyright © 2026 Texas Instruments Incorporated

不过，制造期间对电芯的连接方式存在一些限制：

- 为了避免误解，请注意电池组中的电芯***不能***随机连接到器件上的***任何***VC 引脚，例如最下面的电芯（电芯 1）连接到 VC15，而顶部电芯（电芯 16）连接到 VC4 等等。电池组中的电芯必须按引脚升序连接，最下面的电芯（电芯 1）连接在 VC1 和 VC0 之间，下一个更高电压的电芯（电芯 2）连接在 VC2 和 VC1 之间等等。
- 由于引脚 VC1 至 VC16 上的高电压容差，因此可以支持随机电芯连接。

备注

VC0 具有较低的电压容差。这是因为在任何电芯连接到 PCB 之前，VC0 必须通过串联电池输入电阻器连接到 PCB 上的 VSS 引脚。因此，在电芯连接期间，VC0 引脚电压预计将保持接近 VSS 引脚电压。如果 VC0 没有通过串联电阻器连接到 PCB 上的 VSS，则电芯无法以随机顺序连接。

- VC1 至 VC16 引脚各自都在该引脚和相邻的下个电芯输入引脚之间（即 VC16 和 VC15 之间、VC9 和 VC8 之间等）包含一个二极管，该二极管会在正常运行时反向偏置。这意味着，不得将上方电芯输入引脚驱动为低电压，而将下方电芯输入引脚驱动为高电压，因为这会使这些二极管正向偏置。在电芯连接期间，电芯输入端子通常在连接到适当的电芯之前必须处于悬空状态。当每个电池连接时，瞬态电流预计会短暂流动，但电池电压会迅速稳定到没有直流电流流过二极管的状态。但是，如果在电芯输入引脚和另一个端子（例如 VSS 或另一个电芯输入引脚）之间包含大电容，瞬态电流可能会过大并导致器件发热。因此，德州仪器 (TI) 建议将施加在每个电芯输入引脚上的电容限制为规格中建议的值。

备注

首次连接电芯后，器件需要连接充电器或激活 WAKE 引脚，以确保器件进入正常工作模式。如果有固件正在运行，则器件可以在电芯连接阶段进入 SHUTDOWN 模式。仅当器件电源稳定至可上拉引脚后，WAKE 引脚才能用于为该器件上电。

有关该器件上电的更多详细信息，请参阅电源控制。

7.3.3.1 电芯与互连的 VC 引脚使用

如果 BQ41Z90 器件用于 16 个电芯以下串联的系统，可以利用额外的电芯输入来提高测量性能。例如，电池包中的两个电芯之间可能存在长连接，因此电芯之间可能存在较大的互连电阻，如图 7-3 中 CELL-A 和 CELL-B 之间所示。通过将 VC12 连接到 CELL-B 的正极端子附近，将 VC13 连接到 CELL-A 的负极端子附近，可以对 CELL-A 和 CELL-B 进行更精确的电芯电压测量，因为电芯之间互连电阻上的 I·R 电压不包含在任何电芯电压测量中。由于该器件报告互连电阻两端的电压和同步电流，因此在操作期间还可以计算和监测 CELL-A 和 CELL-B 之间的互连电阻。建议在以这种方式连接的电芯输入端上添加串联电阻和旁路电容器，如下所示。

备注

每个电芯输入端的差分输入不得低于 –0.3V（绝对最大数据表限制），建议的最小电压为 –0.2V。因此，互连电阻两端的 I·R 压降不得违反此要求，这一点很重要。

Copyright © 2026 Texas Instruments Incorporated

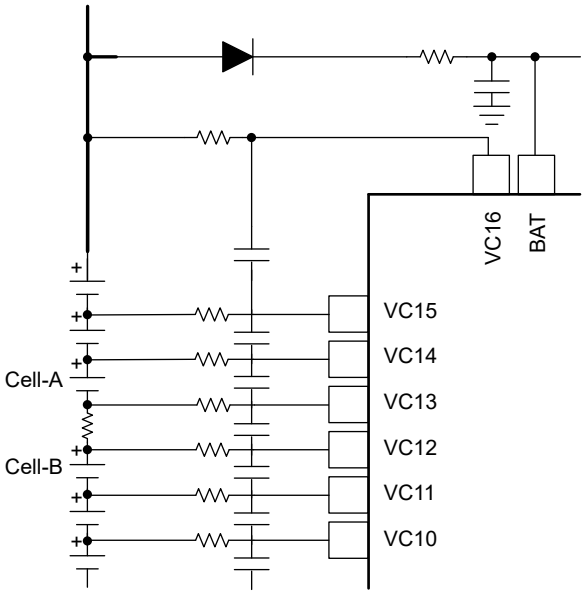


图 7-3. 使用电芯输入引脚进行互连测量

如果不需要这种跨互连的连接（或者最好避免额外的电阻器和电容器），应将未使用的电芯输入引脚短接到相邻的电芯输入引脚，如图 7-4 中的 VC13 所示。

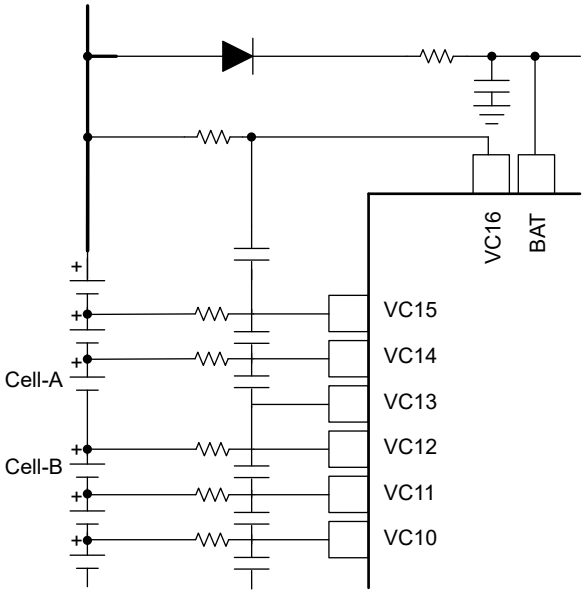


图 7-4. 端接未使用的电芯输入引脚

图 7-5 展示了不同串联电芯数配置下的标准电芯到 VC 引脚连接。该器件使用此信息禁用与用于测量互连或根本不使用的输入相关的电芯电压保护。所有输入的电压测量值均以 16 位格式（单位为 mV）和 32 位格式（单位为原始 ADC 计数）报告，无论这些测量是否用于电芯。

Copyright © 2026 Texas Instruments Incorporated

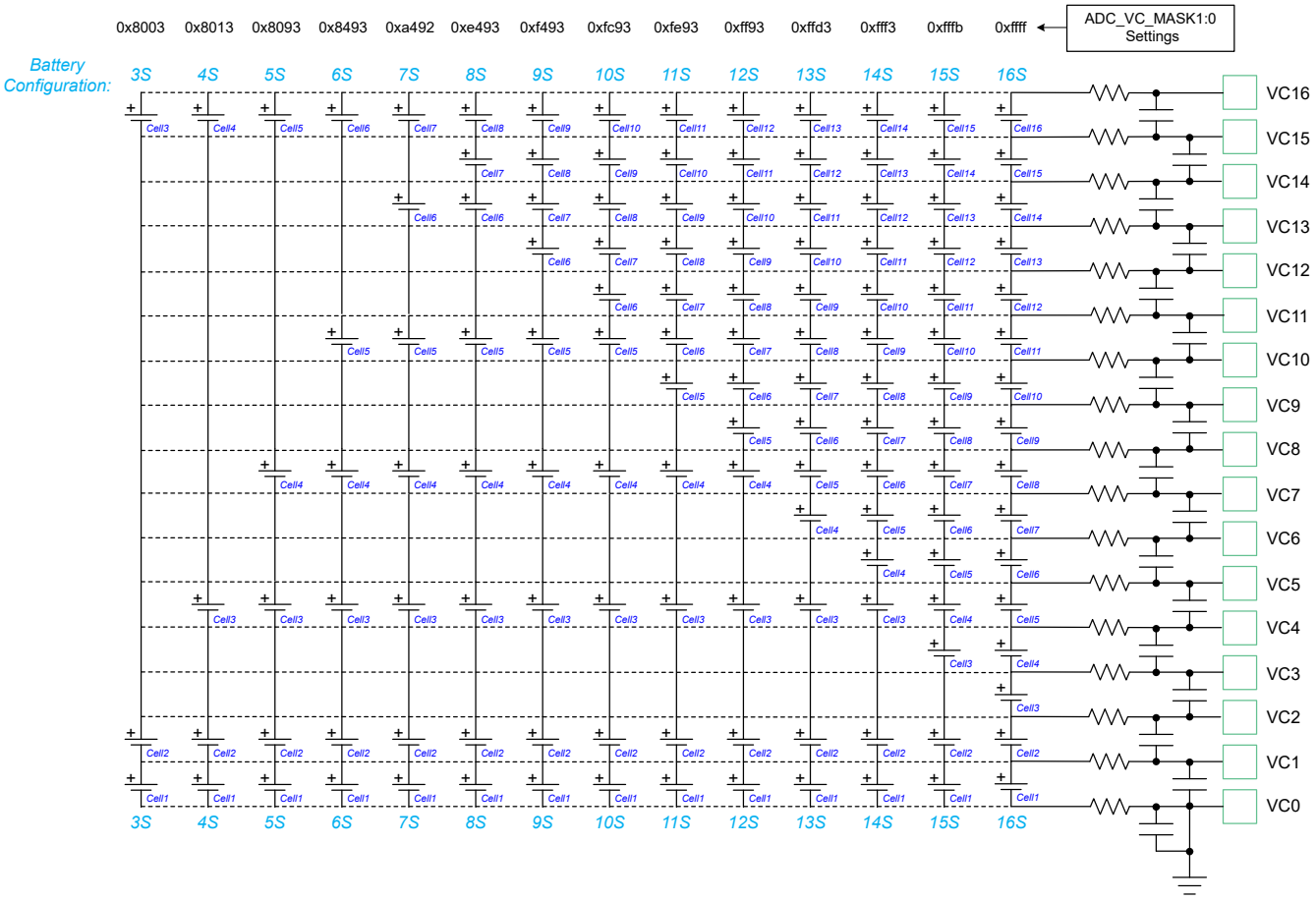


图 7-5. 不同电芯数的标准电芯与 VC 引脚连接

7.3.3.2 未使用的引脚

特定应用中不需要某些器件引脚。下面介绍了这种情况下必须端接每个引脚时采用的方式。

表 7-3. 端接未使用的引脚

引脚	名称	建议
1、2–16、64	VC0–VC16	电芯输入 1、2 和 16 必须始终连接到实际电芯，其中电芯连接在 VC1 和 VC0 之间、VC2 和 VC1 之间以及 VC16 和 VC15 之间。VC0 必须通过 PCB 上的电阻器和电容器连接到引脚 49 (VSS)。与未使用的电芯相关的引脚（可能是电芯 3 - 电芯 15，引脚 1 - 13）可以连接到电池组以测量互连电阻或为实际电芯提供开尔文连接，在这种情况下，连接必须包含一个串联电阻器和并联电容器，其方式与连接到实际电芯的引脚类似（请参阅节 7.3.3.1）。另一种选择是将未使用的 VC 引脚直接短接至相邻的 VC 引脚。所有 VC 引脚都必须连接到相邻的 VC 引脚、实际电芯（通过 R 和 C）或电池组互连电阻（通过 R 和 C）。
17、19	SRP、SRN	如果未使用，这些引脚必须连接到引脚 49 (VSS)。
18、33、45、46	NC	这些引脚未连接到器件，可以悬空，也可以连接到相邻的引脚或连接到 VSS。
20-23、26-29、34-44、47-48	RADCx（0...8，RAD4 除外）RAx、RCx、	如不使用，这些引脚（RADC4 _Wake 除外）既可以保持悬空状态，也可以连接到引脚 49 (VSS)。这些引脚中的任何一个（RADC4 _Wake 除外）都可以配置为在运行期间启用内部弱下拉电阻，但这不是必需的。
24	RADC-Wake	如果器件要进入 SHUTDOWN 模式，则该引脚必须悬空。如果不会在应用中使用 SHUTDOWN 模式，该引脚既可以保持悬空状态，也可以连接到引脚 17 (VSS)。
25	RST_SD	该引脚必须保持悬空或拉高至 REG18。
52	REGOUT	如不使用，这些引脚既可以保持悬空状态，也可以连接到引脚 49 (VSS)。
53	REGIN	如果未使用，此引脚必须连接到引脚 49 (VSS)。

Copyright © 2026 Texas Instruments Incorporated

表 7-3. 端接未使用的引脚（续）

引脚	名称	建议
54	BREG	如果未使用该引脚且引脚 53 (REGIN) 也未使用，则两个引脚均必须连接至引脚 49 (VSS)。如果未使用该引脚但使用了引脚 53（例如从外部源驱动），则必须将该引脚连接到引脚 53 (REGIN)。
51	FUSE	如不使用，该引脚既可以保持悬空状态，也可以连接到引脚 49 (VSS)。
57	PDSG	如果未使用，该引脚必须保持悬空。
60	PCHG	如果未使用，该引脚必须保持悬空。
55	LD	如果不使用 DSG 驱动器，则可以通过串联电阻器将该引脚连接到 PACK+ 连接器，或者连接到引脚 49 (VSS)。
58	DSG	如果未使用，该引脚必须保持悬空。
61	CHG	如果未使用，该引脚必须保持悬空。
62	CP	如果未使用，此引脚必须连接到引脚 63 (BAT)。 **备注** 如果在 CP1 连接到 BAT 的情况下启用电荷泵，则器件额外消耗约 200µA 的电流。

7.3.4 电芯均衡支持

借助 BQ41Z90 器件中包含的集成式电芯均衡 FET，AFE 能够绕过某个给定电芯或多个电芯周围的电芯电流，从而有效地均衡整个电池组。放置在电芯连接与 VCx 输入引脚之间的外部串联电阻器可设置均衡电流幅值，该值必须限制为 I_{CB} 的最大值。

通过配置 CB_CTRL[CB_CELBAL] 控制寄存器，可以启用或禁用电池单元平衡电路。建议在 20Ω 和 100Ω 与之间连接串联输入电阻器，以实现有效的电芯均衡。

使用状态机通过 ADC 进行正常的 VCELL 测量自动禁用选定的电芯均衡 FET 和相邻的电芯均衡 FET 并持续 ADC 配置时间和 ADC 测量时间。该设置可提供极为准确的 Vcell 测量。ADC 测量完成后，电芯均衡 FET 会立即返回到预配置条件。

7.3.4.1 开路检测

BQ41Z90 能够使用电芯均衡 FET 来支持固件衍生的 VCx 开路检测功能。使用 ADC 多路复用器分别测量电芯 1 至 16。该器件会自动为特定的电芯通道测量启用 CB FET。

功能和检测方法略有不同，具体取决于电池组与 PCB 的连接。

1. 将单个 BAT/VC0 连接到 PCB。在这种情况下，每个 VCx 输入都需要采用相同的电芯均衡限制电阻器。对于 VC1、2、3、4…16 断开检测，固件会测量并确定电压是非常接近正常的电芯电压（表示导线已连接）还是接近 0V（表示导线已断开）。要检测 VC0 是否开路，固件会测量 VC0:VC1，无论是否使用电芯均衡 FET，结果为 0 或负值均表示开路。
2. 将单独的 BAT 和 VC0 连接到 PCB。在此配置中，与 VC0 串联的外部电阻器阻值降至 20Ω 或更低。对于 VC0、1、2、3、4...16 断开检测，固件会测量并确定电压是非常接近正常的电芯电压（表示导线已连接），还是接近 0V（表示导线已断开）。

7.3.5 保护和充电控制输出

BQ41Z90 器件包含两个用于 CHG 和 DSG 控制的高侧 N 沟道 FET 驱动器，以及两个用于 P-CHG（预充电）和 P-DSG（预放电）控制的高侧 N 沟道 FET 驱动器，还具有 FUSE 输出功能，可提供不同的方法来断开电芯与系统的连接并控制充电电流的流动。

7.3.5.1 高侧 NFET 驱动器

BQ41Z90 器件包含一个集成电荷泵和高侧 NFET 驱动器，用于驱动 CHG、DSG、PCHG 和 PDSG 保护 FET。电荷泵使用连接在 BAT 和 CP 引脚之间的外部电容器，当启用电荷泵时，该电容器会充电至过驱电压。

Copyright © 2026 Texas Instruments Incorporated

根据配置设置，电荷泵电压的过载电平可设置为 7V 或 10V。一般而言，当 FET 被驱动时，7V 的设置会导致较低的功率耗散，而较高的 10V 过驱会降低 FET 的导通电阻。如果在较高的过驱电平下驱动时 FET 表现出显著的栅极泄漏电流，这可能会导致电荷泵需要更高的器件电流来支持这一点。在这种情况下，使用较低的过驱电平可以降低泄漏电流，从而降低器件电流。

FET 栅极和源极之间需要一个 10MΩ 电阻器。如果检测到保护故障，充电 (CHG) 和放电 (DSG) FET 会自动禁用。当栅极驱动被禁用时，内部电路会将 CHG 放电至 BAT，将 DSG 放电至 PACK。

可以通过多种不同的方式来控制 BQ41Z90 器件中的 FET 驱动器，具体取决于客户要求：

完全自主
BQ41Z90 器件可以检测保护故障并自动禁用 FET，监测恢复情况并自动重新启用 FET，而无需任何主机处理器参与。通过该器件可以灵活地根据每个用例来配置自主保护。
部分自主
BQ41Z90 器件可以检测保护故障并自动禁用 FET。当主机收到中断并识别出故障时，主机可以通过数字通信接口发送命令以保持 FET 关断，直到主机决定将其释放。
或者，主机可以使 CFETOFF 或 DFETOFF 引脚生效，以使 FET 保持关断状态。只要这些引脚被置为有效，FET 就会被阻止重新启用。当这些引脚被置为无效时，如果没有任何因素阻止 FET 重新启用（例如故障条件仍然存在，或者 CFETOFF 或 DFETOFF 引脚被置为有效），则 BQ41Z90 会重新启用 FET。
手动控制
BQ41Z90 器件可以检测保护故障并通过中断引脚向主机处理器提供中断。主机处理器可以通过通信总线读取故障的状态信息（如果需要），并且可以通过从主机处理器驱动 CFETOFF 或 DFETOFF 引脚或通过数字通信接口发出命令来快速强制关断 CHG 或 DSG FET。
当主机决定允许 FET 再次导通时，主机会写入相应的命令或将 CFETOFF 和 DFETOFF 引脚置为无效，如果不存在任何阻止 FET 重新启用的因素，则 BQ41Z90 器件会重新启用 FET。

7.3.5.2 预充电和预放电模式

BQ41Z90 器件包含预充电功能，可通过使用高侧 PCHG NFET（由 PCHG 引脚驱动）充电来降低欠压电池的充电电流。预充电 (PCHG) FET 与高功率电阻器串联以设置电流。当最小电芯电压低于可编程阈值时，PCHG FET 将用于充电，直至电池达到可编程电压电平。如果检测到保护故障，PCHG FET 会自动禁用。

该器件还支持预放电功能，可用于减少负载最初受电时的浪涌电流，方法是首先启用具有串联电阻的高侧 PDSG NFET（由 PDSG 引脚驱动），从而使负载能够缓慢充电。如果启用 PREDISCHARGE 模式，只要打开 DSG FET 为负载供电，器件将首先启用 PDSG FET，然后切换为打开 DSG FET 并关闭 PDSG FET。

PCHG 和 PDSG 驱动器在启用时可灌入的电流受到限制。因此，建议在 FET 栅极-源极之间使用 1MΩ 或更大的电阻。

7.3.5.3 FET 配置

BQ41Z90 提供对 CHG、DSG、PCHG 和 PDSG 的控制，多种配置实现灵活性。该器件支持采用串联或并联 FET 配置的系统，包括一条单独的路径用于将充电器连接到连接器以及进行放电（负载）连接，并支持不使用一个或两个 FET 的系统。串联配置与并联配置中的 FET 排列有所不同，从而实现保护。

如果 CHG FET 关闭，DSG 或 PDSG FET 导通，并且检测到幅度大于可编程阈值的放电电流（即显著放电电流），那么器件将开启 CHG FET，以避免电流流过 CHG FET 体二极管并损坏该 FET。当电流上升到阈值以上（即流过的放电电流较小）时，如果关断的原因仍然存在，那么 CHG FET 将再次关断。

如果 DSG FET 关闭，CHG 或 PCHG FET 导通，并且检测到超过可编程阈值的电流（即显著的充电电流），那么器件将开启 DSG FET，以避免电流流过 DSG FET 体二极管并损坏该 FET。当电流下降到阈值以下（即流过的充电电流较小）时，如果关断的原因仍然存在，那么 DSG FET 将再次关断。

Copyright © 2026 Texas Instruments Incorporated

使用串联 FET 配置时，BQ41Z90 器件为一个 FET 关断而一个 FET 导通的情况提供体二极管保护。当使用并联配置时，体二极管保护被禁用。

7.3.5.4 CFETOFF、DFETOFF 引脚功能

BQ41Z90 器件包括两个可用于快速禁用保护 FET 驱动器（无需通过主机串行通信接口）的引脚（CFETOFF 和 DFETOFF）。当选择的引脚有效时，该器件会禁用相应的保护 FET。如果不需要 FET 关断功能，则 CFETOFF 和 DFETOFF 引脚均可用于其他功能。

备注

当选择的引脚无效时，只有在没有其他项目阻止其重新启用（例如在设置选择的引脚之后，主机还使用串行通信接口发送了一条命令以禁用 FET）时才启用相应的 FET。

可以通过多种不同的方式来控制 BQ41Z90 器件中的 FET 驱动器，具体取决于客户要求：

完全自主模式：BQ41Z90 器件可以检测保护故障并自动禁用 FET，监测恢复情况并自动重新启用 FET，而无需任何主机处理器参与。

部分自主：主机可以使 CFETOFF 或 DFETOFF 引脚生效，以使 FET 保持关断状态。只要这些引脚被置为有效，FET 就会被阻止重新启用。当这些引脚被置为无效时，如果没有任何因素阻止 FET 重新启用（例如故障条件仍然存在，或者 CFETOFF 或 DFETOFF 引脚被置为有效），则 BQ41Z90 会重新启用 FET。

手动模式：BQ41Z90 器件可以检测保护故障并通过 ALERT 引脚向主机处理器提供中断。主机处理器可以通过通信总线读取故障的状态信息（如果需要），并且可以通过从主机处理器驱动 CFETOFF 或 DFETOFF 引脚来强制关断 CHG 或 DSG FET。

主机输入 (CFETOFF/DFETOFF) 选择后会出于其他原因进行“或”运算，以便 BQ41Z90 关断 FET，例如在检测到需要关断各种 FET (CHG/DSG/PCHG/PDSG) 的 SCD/OCC/OCD 条件时。

7.3.5.5 DDSG 和 DCHG 引脚运行

BQ41Z90 器件包含两个多功能引脚 DDSG 和 DCHG，这些引脚可配置为逻辑电平输出，以向主机处理器或外部电路提供故障相关信号（即 DDSG 和 DCHG 功能），作为热敏电阻输入、通用 ADC 输入或用于 LED 电流阱。

当用作数字输出时，可以将这些引脚配置为驱动高电平有效输出，输出电压由 REG18 1.8V LDO 驱动。

当引脚配置为 DDSG 和 DCHG 功能时，这些引脚提供与保护故障相关的信号，这些信号（在 DCHG 引脚上）通常会导致 CHG 驱动器被禁用，或者（在 DDSG 引脚上）通常会导致 DSG 驱动器被禁用。如果系统中不使用集成的高侧 NFET 驱动器，那么这些信号可用于控制外部保护电路。它们还可以用作手动 FET 控制模式下的中断，供主机处理器决定是否通过命令或使用 CFETOFF 和 DFETOFF 引脚禁用 FET。

7.3.5.6 硬件故障检测（SCOMP 和 SCD）

BQ41Z90 包括分时比较器和可配置的数字调度器，用于多个电压条件检测，并在 SCOMP_CTRL[SCOMP_EN] = 1 时启用。此特性包含的检测有放电过流 1 和 2 保护、充电过流保护和过热保护

表 7-4. SCOMP 具有 FET 操作

条件	DSG	CHG	PDSG	PCHG
放电过流 1 和 2	关断	未更改	关断	未更改
充电过流	未更改	关断	未更改	关断
过热	可配置	可配置	可配置	可配置

数字调度器负责满足电气功能的时序要求。所有测量值均可配置为进行 1 至 9 次连续检测。

BQ41Z90 还集成了一个能够快速响应的专用比较器，用于短路检测。充电短路电流保护和放电短路电流保护，每个均可关断 CHG、DSG、PCHG 和 PDSG FET，并阻止它们重新导通，直到短路状态清除，但不会直接导通 FET

Copyright © 2026 Texas Instruments Incorporated

表 7-5. SCD FET 操作

条件	DSG	CHG	PDSG	PCHG
短路检测	关断	关断	关断	关断

7.3.5.7 FET UVLO 保护

BQ41Z90 提供 FET UVLO 控制以防止 FET 欠驱动和过热。它可用于在外部电容器上的泵电压准备就绪或过低时通知数字端。基于泵电压的信号将在电荷泵模块中生成，并发送到数字端，以指示泵在正常 FET 运行模式下电压是否高于 5V，或者在低功耗运行模式下电压是否高于 3V。可以将数字端配置为在检测到 UVLO 条件时阻止 FET 导通，或者关断 FET。如果不需要此功能，可将其关闭。

7.3.5.8 保险丝驱动

BQ41Z90 AFE 能够在发生永久性故障时熔断外部保险丝。保险丝驱动由 BAT 输入引脚供电可以使用 AIF_ANA_DIN 寄存器来监测其状态。要驱动 FUSE 输出，请设置 AIF_CTRL2 [FUSE_BLOWD] = 1。当固件不会驱动 FUSE 引脚时，可以配置保险丝驱动，以监测 FUSE 引脚上是否具有来自外部源（例如二级电压保护器）的活动。

如果未使用 FUSE 输出，则必须将引脚连接到 VSS。当 FUSE 处于低电平状态时，引脚使用内部弱上拉电阻器来检测 FUSE 引脚和保险丝驱动电路之间的连接断开情况。

7.3.6 负载检测功能

当发生放电短路锁存或放电过流锁存保护故障且 DSG FET 关断时，可以将该器件配置为在检测到负载移除时恢复。如果系统具有可拆卸电池包，这样，用户可以在发生故障时将电池包从系统中取出，或者当 DSG FET 禁用时，保留在电池包上的有效系统负载高于设定的阈值（至少 300Ω），则该功能很有用。该器件将定期启用 LD 引脚的 3mA 电流源，并将在 LD 引脚上检测到高于设定电平的电压时从故障中恢复。如果电池包上仍然存在低阻抗负载，则该器件在 LD 引脚上测量的电压通常低于阈值电压，从而阻止基于负载检测的恢复。如果电池包已从系统中移除并且有效负载很高，则该器件可从故障中恢复。该功能还可用于在上电过程中导通 CHG 和 DSG FET 之前检测负载阻抗是否过低。

备注

通常，可以在 PACK+ 端子和 LD 引脚之间连接一个外部电阻器，以根据系统校准达到所需的阈值电压。考虑负载阻抗时应包含该电阻。负载检测电流在一段可编程持续时间内启用，然后在另一个可编程持续时间内禁用，重复此序列，直到检测到负载已移除或超时。

7.3.7 MCU 外设

该器件的 MCU 中包含多个外设。

7.3.7.1 通用和特殊功能 I/O

BQ41Z90 器件有 4 种类型的 I/O，MCU 上有 13 个 I/O，AFE 上有 8 个 I/O。

I/O 端口	芯片位置	Rec 最大电压	I/O 类型	提供内部上拉/下拉	特殊功能
RAx	MCU	5.5V	漏极开路	仅下拉	通信
RCx	MCU	V_{REG18}	推挽	是	通信、脉冲发生器和 SWD 端口
RLx	AFE	5.5V	漏极开路	是	LED 电流阱
RADCx	AFE	V_{REG18}	漏极开路	是	温度传感器输入

“IOMUX 寄存器”和“GPIO 寄存器”部分详细介绍了 GPIO 引脚的配置选项和说明。

Copyright © 2026 Texas Instruments Incorporated

7.3.7.1.1 低压 RAx I/O

有四个通用开漏 I/O 可在 BQ41Z90 器件和 MCU 上使用。下拉和中断功能选项可进行编程。

RA0 至 RA3 引脚能够以 1MHz 频率运行，用作 SMBus 或 I2C，其中 RA0 – RA1 用于 I2C0 外设，RA2 – RA3 用于 I2C1 外设。任一总线都可以配置为目标或主机。

每个 RAx 引脚都需要为可能暴露于静电放电 (ESD) 的任何节点提供最小 250Ω 的串联外部电阻。

7.3.7.1.2 低压 RCx I/O

有两个通用三态 I/O 可在 BQ41Z90 器件上使用。这些引脚可耐受高达 V_{REG18} 的电压，而不会损坏 MCU。每个 RCx 引脚均包含内部上拉和下拉电阻，可以使用 RCWKPUP 和寄存器启用这些电阻。

RC0 RC1 还用作脉冲发生器输出引脚，可由 PWM 模块驱动并与 ADC 同步。

通过 RC0/SWDIO 和 RC1/SWCLK，也可以使用 SWD 接口。

7.3.7.1.3 恒定电流阱 I/O

有五个通用三态 I/O 可在 BQ41Z90 器件上使用。它们既可以用作 GPIO，也可以配置为恒定电流阱用于驱动外部 LED。每个 RLx 引脚都包含内部上拉电阻器，可通过引脚配置寄存器启用这些电阻器。

> **小心**
>
> 将任何电路连接到与电池包外部连接的 RL 引脚（例如下拉、上拉等）时，BAT 引脚处必须连接一个二极管。如果 BAT 引脚上没有二极管，则在故障情况下，可能会有一条潜通路为电池充电。

7.3.7.2 通信接口

BQ41Z90 在目标模式和控制器模式下支持 SMBus 3.2 和 I^2C 串行接口。通信接口通过 RA0 和 RA1（默认）或 RA2 和 RA3 提供。SMBus 和 I^2C 控制器可在 RA0 和 RA1 上启用以作为同一条总线上的控制器，或在 RA2 和 RA3 上启用以作为第二条总线上的控制器。

预期的使用组合为：

1. 仅 SMBus 目标
2. SMBus 目标与同一总线的 SMBus 控制器
3. SMBus 目标与不同总线的 I^2C 控制器
4. 仅 I^2C 目标
5. I^2C 目标与单独总线的 I^2C 控制器
6. SMBus 目标与单独总线的 SMBus 控制器

通过使用通信 API 简化了 SMBus 和 I^2C 通信接口。

7.3.7.2.1 I^2C 接口

BQ41Z90 器件提供一个 I^2C 接口（数据 SDA 和时钟 SCL）来实现双向数据传输。

该器件包含以下 I^2C 特性：

- I^2C 总线上的器件可指定为控制器或具有 7 位寻址的目标器件。
- 支持四种 I^2C 模式：
  - 控制器发送
  - 控制器接收
  - 目标发送
  - 目标接收
- 支持的传输速度：
  - 标准模式 (Sm)，比特率高达 100kbps
  - 快速模式 (Fm)，比特率高达 400kbps

Copyright © 2026 Texas Instruments Incorporated

  - 快速+ 模式 (Fm+)，比特率高达 1Mbps
- 用于接收和发送的独立 8 字节 FIFO
- 双目标地址能力
- 故障抑制
  - 模拟抗尖峰脉冲启用：默认情况下 GFCTL[AGFSEL] = 0x3，建议不更改。
  - 数字抗尖峰脉冲：默认情况下 GFCTL[DGFSEL] = 0x0，需要编程为 0x4。
  - 建议 GFCTL 设置为 0x704
- 独立控制器和目标中断生成
- 具有仲裁和时钟同步的控制器运行
- SMBus 的硬件支持
- 时钟低电平超时检测和中断
- 为 DMA 提供硬件支持，具有独立的发送通道和接收通道

7.3.7.2.2 SMBus 接口

该器件提供与固件配合使用的 SMBus 接口（SMBC 和 SMBD），以符合 SBS v3.2 协议，支持数据包错误检查 (PEC)。SMBC 和 SMBD 引脚还包含 1MΩ 下拉电阻器，可防止由于 SMBus 节点悬空而产生的潜在噪声。

SMBus 接口使用 I^2C 硬件模块，这些模块具有一些可使用 I^2C 寄存器进行配置的附加功能。

7.3.7.3 身份验证支持

BQ41Z90 支持在硬件外设与 ROM 功能之间使用 ECC、SHA-1 和 SHA-2 身份验证算法，如以下各节所述。

7.3.7.3.1 ECC 身份验证

为确保稳健的电池包安全性，BQ41Z90 提供椭圆曲线加密 (ECC) 身份验证。ECC 身份验证采用独特的非对称私钥/公钥加密技术，无需在主机系统中共享同一密钥。

BQ41Z90 器件中的 ECC 身份验证协议为基于韩国证书的椭圆曲线数字签名算法 (EC-KCDSA)，根据国际标准化组织 (ISO) 规范 14888-3 实施。EC-KCDSA 签名（即，来自质询的响应）是根据 B-163 或 B-233 假随机椭圆曲线计算的，该曲线进行了标准化，可从美国国家标准与技术研究院 (NIST) 的出版物 FIPS 186-3 中免费获得。由于不需要修改基于 B-163 或 B-233 的椭圆曲线参数，这些参数将被硬编码到掩膜 ROM 中。

有关参考，请参阅 http://csrc.nist.gov/publications/PubsFIPS.html。

BQ41Z90 包括基于硬件的二进制字段加速器外设，用于增强基于 ROM 的 EC-KCDSA 库函数的性能。该加速器直接在硬件中处理所有二进制字段加法和乘法的计算，因此支持与其他 CPU 任务并行进行计算，从而显著提高 EC-KCDSA 实施的整体速度。顶层 EC-KCDSA 签名生成协议在掩膜 ROM 中进行处理，并使用从数学加速器获取的计算结果来构建通过器件串行接口提供给主机系统的最终身份验证签名。

私钥和公钥可进行编程并存储在物理安全的存储器中，该存储器与程序闪存隔离，可阻止通过串行接口访问或读出其值的尝试。

密钥对在外部生成，因此主机系统需要先知道公钥，然后才能从 BQ41Z90 器件请求签名。与 SHA-1 身份验证类似，在启动签名生成之前，系统主机必须构建随机质询并将其发送至 BQ41Z90。之后，掩膜 ROM 将处理与集成数学加速器和 CPU 通信所需的所有任务的执行，然后通过库函数调用将最终结果提供给程序闪存。

7.3.7.3.2 SHA-1 支持

BQ41Z90 包含通过 ROM 提供的 SHA-1 支持，除了安全密钥存储外，不具有任何其他特定的硬件支持。

7.3.7.3.3 SHA-2 支持

BQ41Z90 包含通过 ROM 提供的 SHA-2 支持，除了安全密钥存储外，不具有任何其他特定的硬件支持。

Copyright © 2026 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1 应用信息

BQ41Z90 是一款具有初级保护支持的电量监测计，可与 3 至 16 节串联锂离子或 LFP 电池包搭配使用。要为特定电池包实施和设计一组全面的参数，用户需要使用 Battery Management Studio (bqStudio)，它是开发过程中安装在 PC 上的图形用户界面工具。bqStudio 工具中安装的固件具有这款产品的默认值。使用 bqStudio 工具，用户可更改这些默认值以满足特定的应用要求。在开发过程中，一旦知道系统参数，例如用于保护的故障触发阈值、某些运行特性的启用或禁用、电芯配置和适合所用电芯的化学成分等。该数据称为“黄金映像”。

备注

预加载的器件固件可能包含可能未测试的功能。请更新到器件固件页面上的最新固件，其中还包含有关功能和版本质量级别的信息。有关固件的详细信息，请参阅技术参考手册。

8.2 典型应用

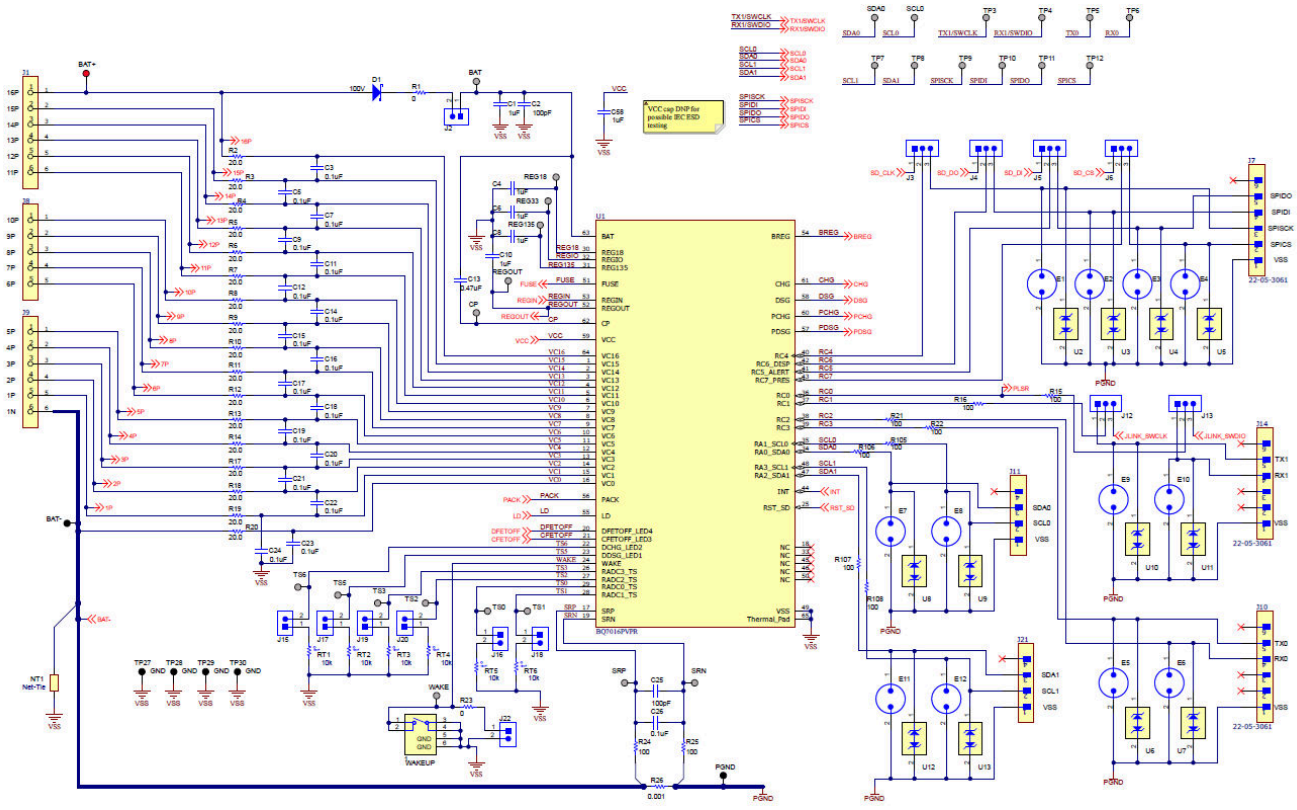


图 8-1. 典型应用

8.2.1 设计要求

表 8-1 展示了 BQ41Z90 主要参数的默认设置。使用 bqStudio 工具更新电量监测计设置，以满足特定应用或电池包配置要求。

Copyright © 2026 Texas Instruments Incorporated

进行任何电量监测测试之前，应校准该器件。按照 bqStudio Calibration 页面对器件进行校准，并使用 bqStudio Chemistry 页面更新在器件上配置的 ChemID。

表 8-1. 设计参数

设计参数	示例
电芯配置	3S
设计容量	4400mAh
器件化学成分	1210（LiCoO2/石墨化碳）
标准温度下的电芯过压	4300mV
电芯欠压	2500mV
关断电压	2300mV
充电模式下的过流	6000mA
放电模式下的过流	-6000mA
放电模式下的短路	0.1V/R_{Sense}（SRP、SRN 上）
过压保护	4500mV
电芯均衡	禁用
内部或外部温度传感器	使用外部温度传感器
欠温充电	0°C
欠温放电	0°C
BROADCAST 模式	禁用

8.3 电源相关建议

器件根据运行条件动态管理其电源电压。通常，BAT 输入是器件的主电源。BAT 引脚应连接到电池组的正极端子。BAT 引脚的输入电压范围为 5V 至 80V。

VCC 引脚是辅助电源输入，在 BAT 电压降至最小 VCC 以下时激活。这样便能通过连接到 PACK 引脚的充电器（如有）为器件供电。VCC 引脚必须连接到 CHG 和 DSG FET 的共漏极。充电器输入必须连接到 PACK 引脚。

BAT 输入需要将一个 1 µF 电容器连接到 VSS，并尽可能靠近 BAT 引脚放置。BAT 输入还需要在电池组顶部和输入电容器之间使用一个二极管，以便在 PACK 短接至 VSS 时输入电容器不会放电。

VCC 输入不需要电容器，但如果添加了一个电容器，则必须将其连接在尽可能靠近 VCC 引脚的位置。

8.4 布局

8.4.1 布局指南

由于高电流布线和超低电流半导体器件基本不相容，因此电池电量监测计电路板是一个具有挑战性的环境。防止不必要的布线到布线耦合的妥善方法是采用元件放置，如图 8-2 所示，其中高电流部分位于电路板与电子器件相对的一侧。显然，由于机械方面的限制，许多情况下无法做到这一点。尽管如此，仍必须尽力使高电流布线远离直接进入 BQ41Z90 的信号布线。IC 基准和寄存器可能会受到干扰，在极少数情况下，会因来自高电流路径的磁耦合和电容耦合而损坏。请注意，在浪涌电流和 ESD 事件期间，高电流布线会出现电感现象，会将不必要的噪声耦合到电量监测计电子器件的敏感节点中，如图 8-3 中所示。

Copyright © 2026 Texas Instruments Incorporated

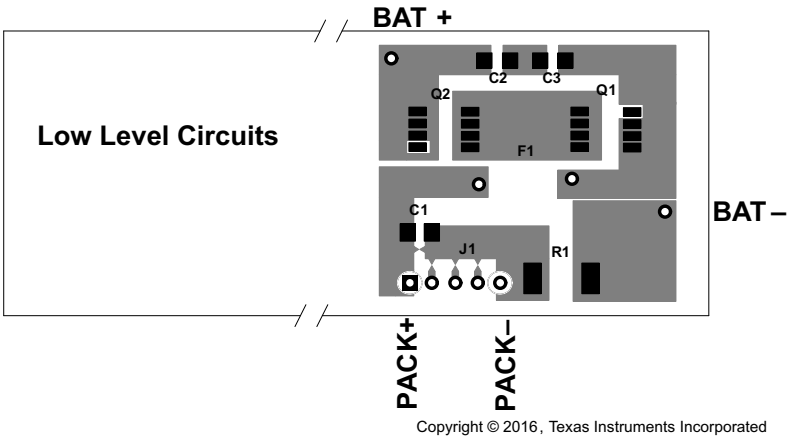


图 8-2. 分离高电流部分和低电流部分可提高抗噪能力

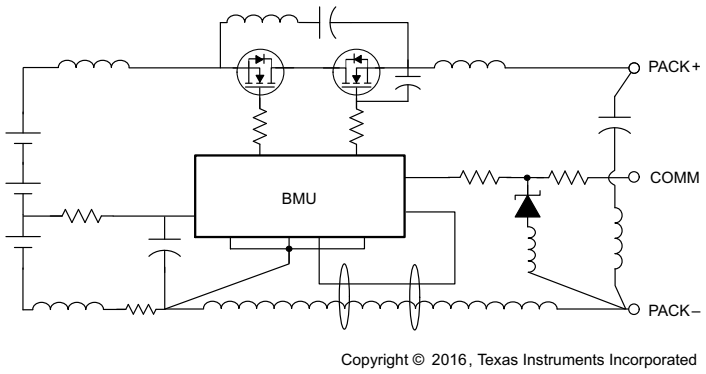


图 8-3. 避免高电流和低电平信号线之间的间距过近

开尔文电压检测对于精确测量电流以及顶部和底部电芯电压极其重要。所有滤波器元件尽可能靠近器件放置。从检测电阻到滤波器电路的布线应并联。在滤波器网络周围添加接地平面可提供额外的抗噪能力。图 8-4 和图 8-5 展示了正确的开尔文电流检测。

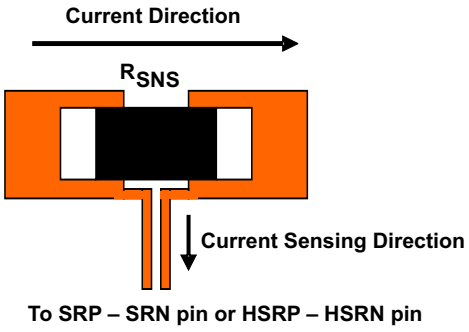


图 8-4. 检测电阻 PCB 布局

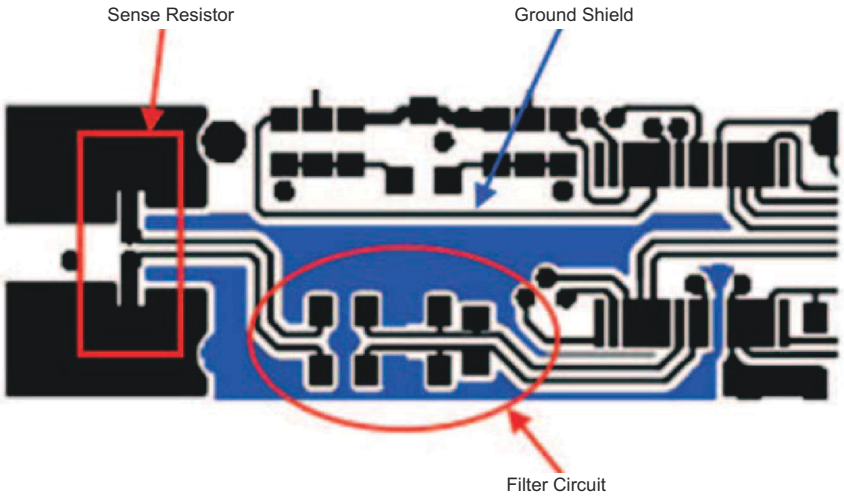


图 8-5. 检测电阻、接地屏蔽和滤波器电路布局

测试了一些提高系统级 ESD 弹性的建议，并显著提高了性能：

- 添加接地平面 — 接地平面用于向布局添加分布式电容，这会降低 IC 引脚上的电压。对于多层 PCB，请使用接地平面来分离信号层。添加更多层以提高 ESD 系统级性能。
- 确保安装 VCC 电容，并尽可能靠近监测计 IC。

8.4.1.1 保护器 FET 旁路电容器和电池包端子旁路电容器

一般原理是使用宽覆铜布线来降低旁路电容器电路的电感。图 8-6 中的布局示例演示了这项技术。

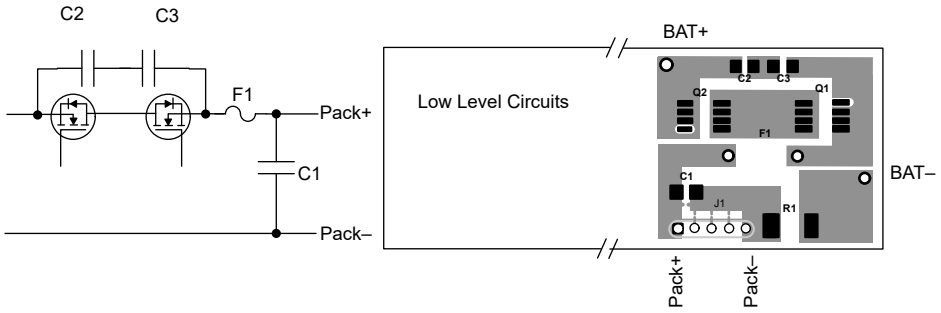


图 8-6. 使用宽覆铜布线降低旁路电容器 C1、C2 和 C3 的电感

8.4.1.2 ESD 火花隙

通过连接器位置的火花隙可保护数字界面时钟、数据和其他通信线路免受 ESD 影响。建议使用图 8-7 中的模式，使点与点之间的间距保持为 0.2mm。

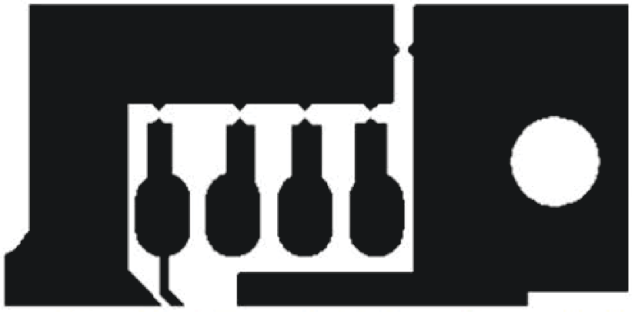


图 8-7. 建议的火花隙模式有助于保护通信线路免受 ESD 影响

Copyright © 2026 Texas Instruments Incorporated

8.4.2 布局示例

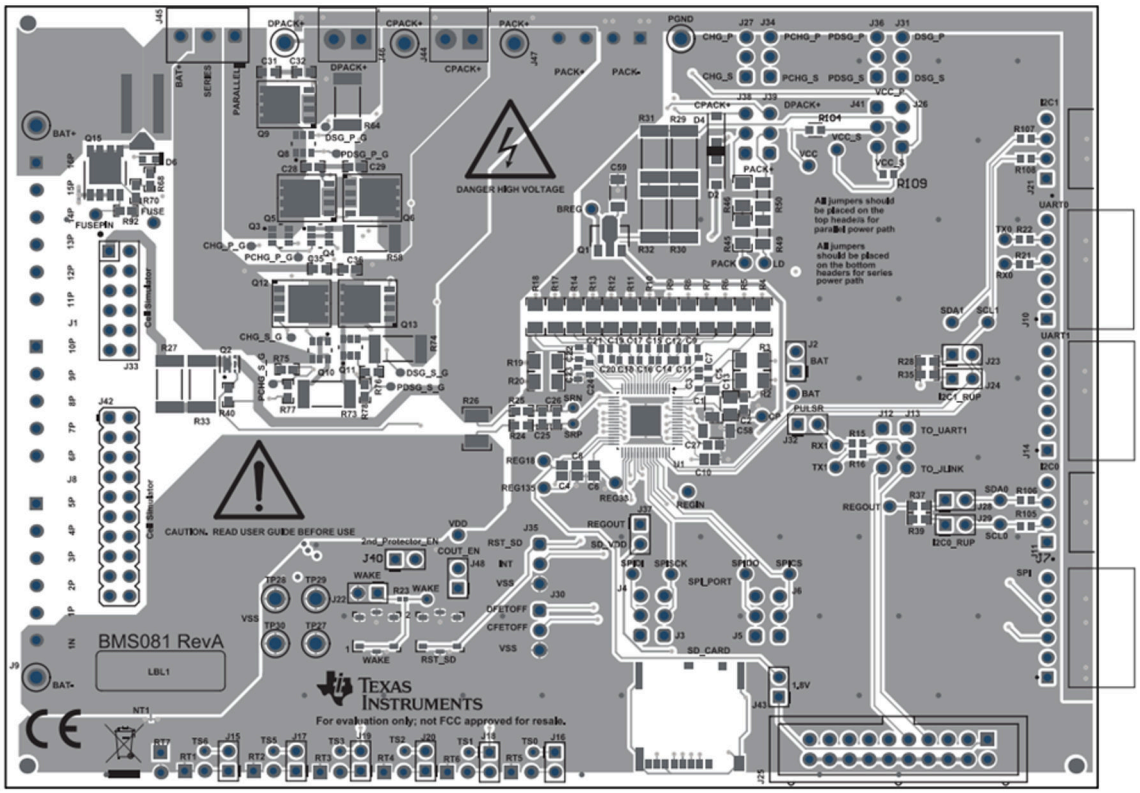


图 8-8. 顶层

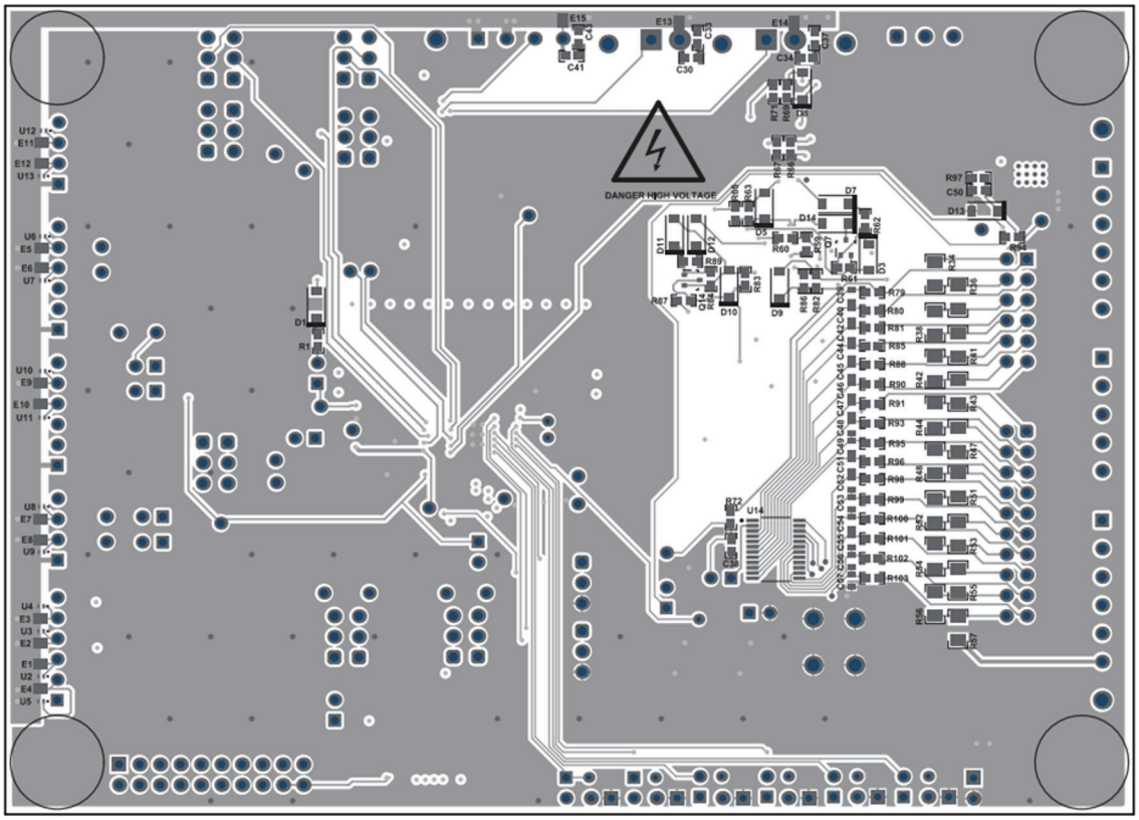


图 8-9. 底层

Copyright © 2026 Texas Instruments Incorporated

9 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

9.1 第三方产品免责声明

TI 发布的与第三方产品或服务有关的信息，不能构成与此类产品或服务或保修的适用性有关的认可，不能构成此类产品或服务单独或与任何 TI 产品或服务一起的表示或认可。

9.2 文档支持

9.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.5 商标

Dynamic Z-Track™ and Impedance Track™ are trademarks of Ti.
TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.7 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision B (October 2026) to Revision C (October 2026)	Page
• 添加了有关更新器件固件的注释	41

Copyright © 2026 Texas Instruments Incorporated

Changes from Revision A (December 2024) to Revision B (October 2026) **Page**

- 将数据表状态从*预告信息*更新为*量产数据*....1
- 更新了引脚 20、21、22、23、26 和 27 名称，以便与启用了固件的特性保持一致更新了引脚 25 说明....3
- 向 V_{IN} 列表中添加了 WAKE 引脚，并移动了 V_{IN} 列表中的 RADCx 引脚....10
- 将 VCx 引脚分成单独的行，并更正了 V_{IN} 列表中的范围....11
- 添加了 $I_{DEEPSLEEP}$ 和 $I_{HIBERNATE}$ 将 I_{SHELF} 测试条件更正为基准低功耗计时器....12
- 更新了 $V_{STARTUP}$、$V_{SWITCHOVER-}$ 和 $V_{SWITCHOVER+}$ MIN 值将 $T_{SDSLERT+}$ 分成两行更新了 T_{SD-} MIN....13
- 在 RA 和 RC 端口部分中，删除了 V_{IOHYS} MIN，更新了 R_{WKPD} MIN 和 TYP 值，更正了 R_{WKPU} MIN 值。在 RADC 端口部分中，阐明了 V_{IL}、V_{OH} 和 V_{OL} 测试条件在 RL/LED 端口部分中，更新了 I_{OL} MIN、R_{WKPD} MIN 和 R_{WKPU} MIN....13
- 更新了 V_{OC_ACC} MIN....17
- 更新了 V_{SCD_DLY} MIN 值和测试条件....18
- 删除了 V_{FETON}、V_{FETON_LP}、$V_{FET_UVLO_LP}$ 和 $V_{CHGFETOFF}$ 中的 PCHG 和 PDSG 基准。更正了 V_{FETON}、V_{FETON_LP} 和 $V_{FET_UVLO_LP}$ 的参数说明....18
- 阐明了 SHELF 入口选项....25
- 将 RST_SD 更正为低电平有效....27
- 有关 REGOUT BJT 在功率耗散方面的使用以及在低功耗模式下使用 REGOUT 的详细信息....29
- 删除了模数转换器 (ADC) 部分，相关详细信息现在位于技术参考手册中....31
- 有关首次连接电芯后操作的扩展注释....31
- 更新了 RST_SD 建议，因为未使用该引脚....34
- 删除了“实时时钟”部分，该部分现已在技术参考手册中介绍....38
- 干扰抑制的更多详细信息....39
- 删除了对密钥编程和管理的引用....40
- 添加了布局指南部分的子部分....42
- 添加了“布局示例”部分....45

Changes from Revision * (December 2024) to Revision A (December 2024) **Page**

- 已将 *3 至 6 节电池* 更新为 *3 至 16 节电池*....1

日期	修订版本	注释
December 2024	*	初始发行版

Copyright © 2026 Texas Instruments Incorporated

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
BQ41Z90PVPR	Active	Production	HTQFP (PVP) | 64	1000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	BQ41Z90
PBQ41Z90PVPT	Active	Preproduction	HTQFP (PVP) | 64	1000 | JEDEC TRAY (10+1)	-	Call TI	Call TI	-40 to 105	
PBQ41Z90PVPT.A	Active	Preproduction	HTQFP (PVP) | 64	1000 | JEDEC TRAY (10+1)	-	Call TI	Call TI	-40 to 105	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

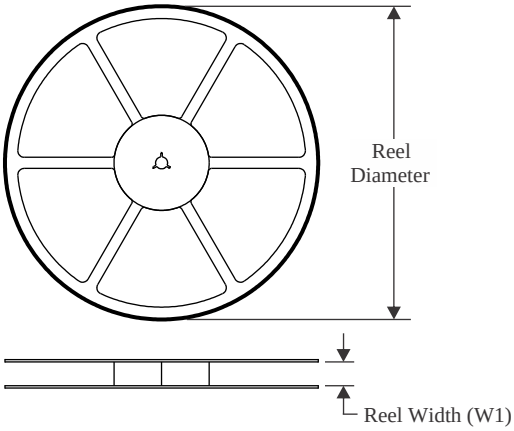
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

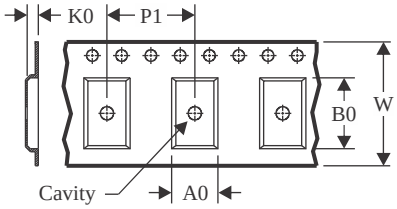
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

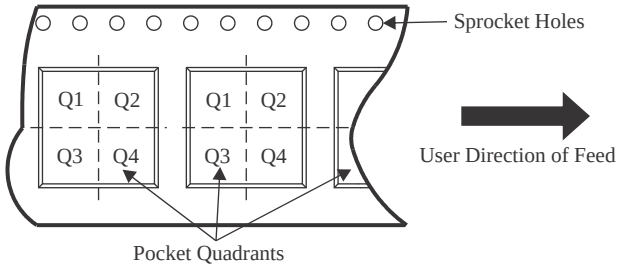


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

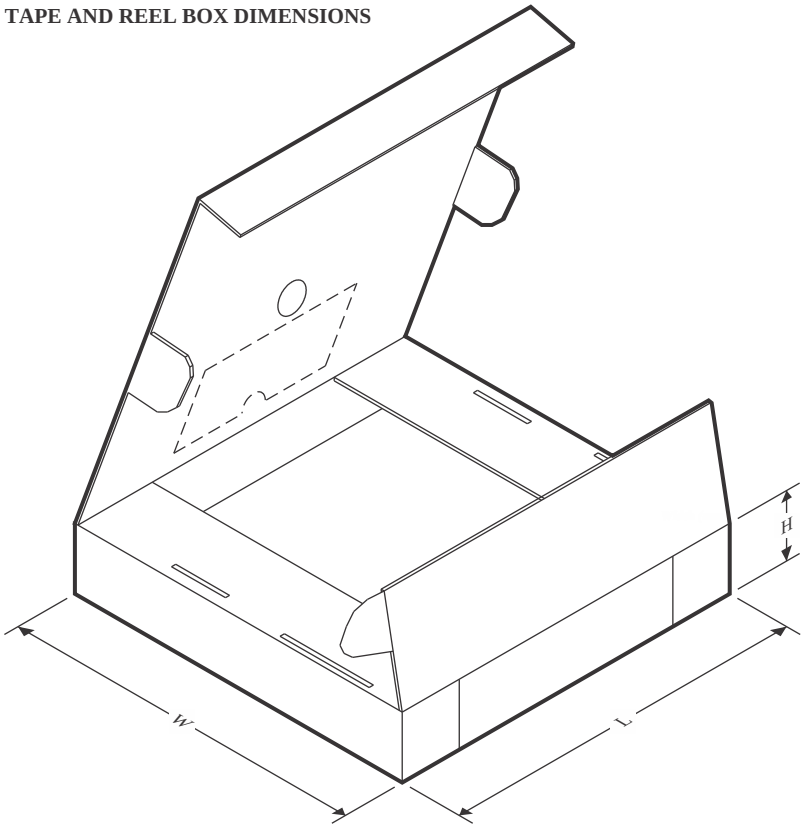
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
BQ41Z90PVPR	HTQFP	PVP	64	1000	330.0	16.4	9.6	9.6	1.5	12.0	16.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

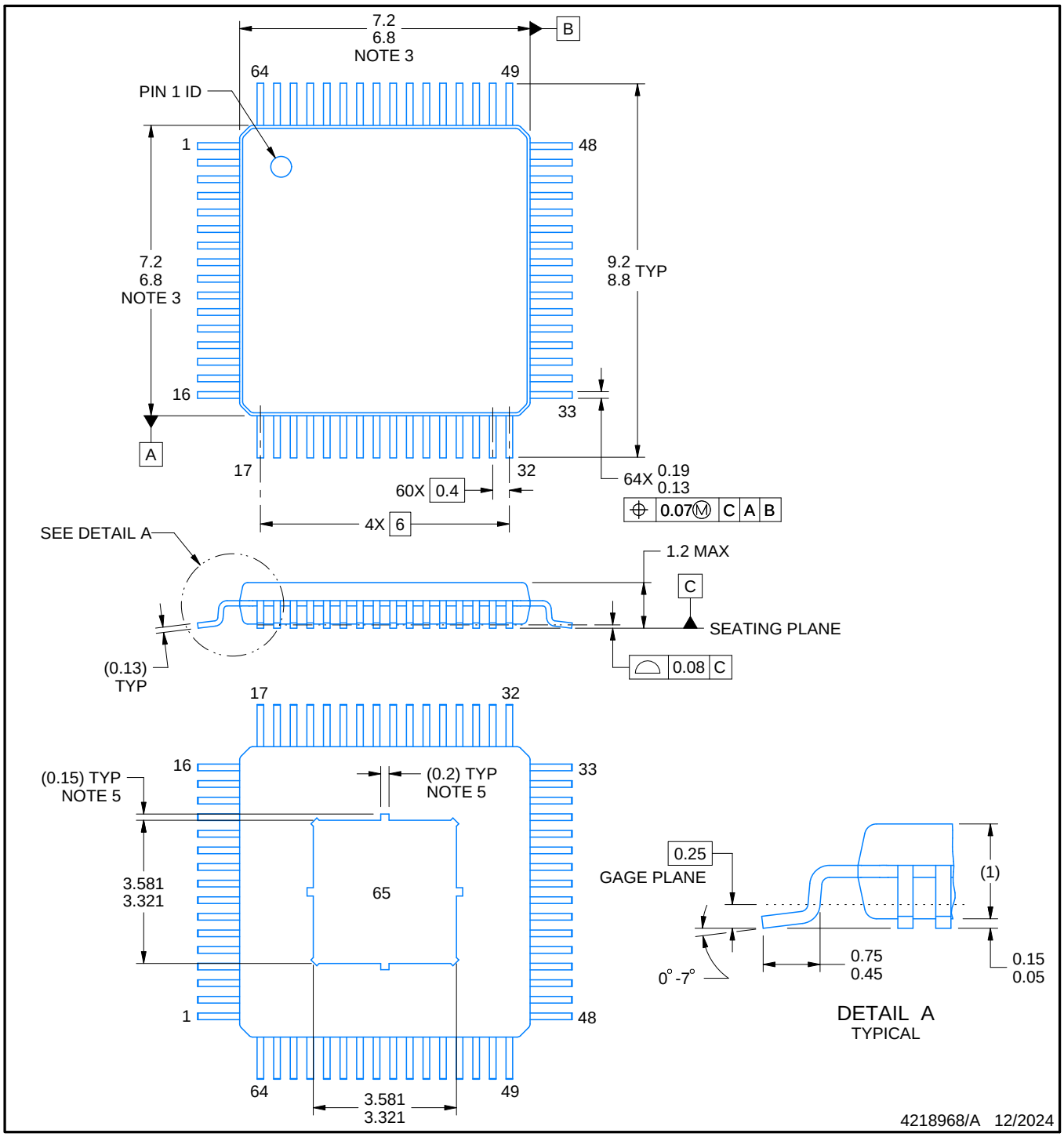
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
BQ41Z90PVPR	HTQFP	PVP	64	1000	336.6	336.6	31.8

PACKAGE OUTLINE

PVP0064A

PowerPAD™ HTQFP - 1.2 mm max height

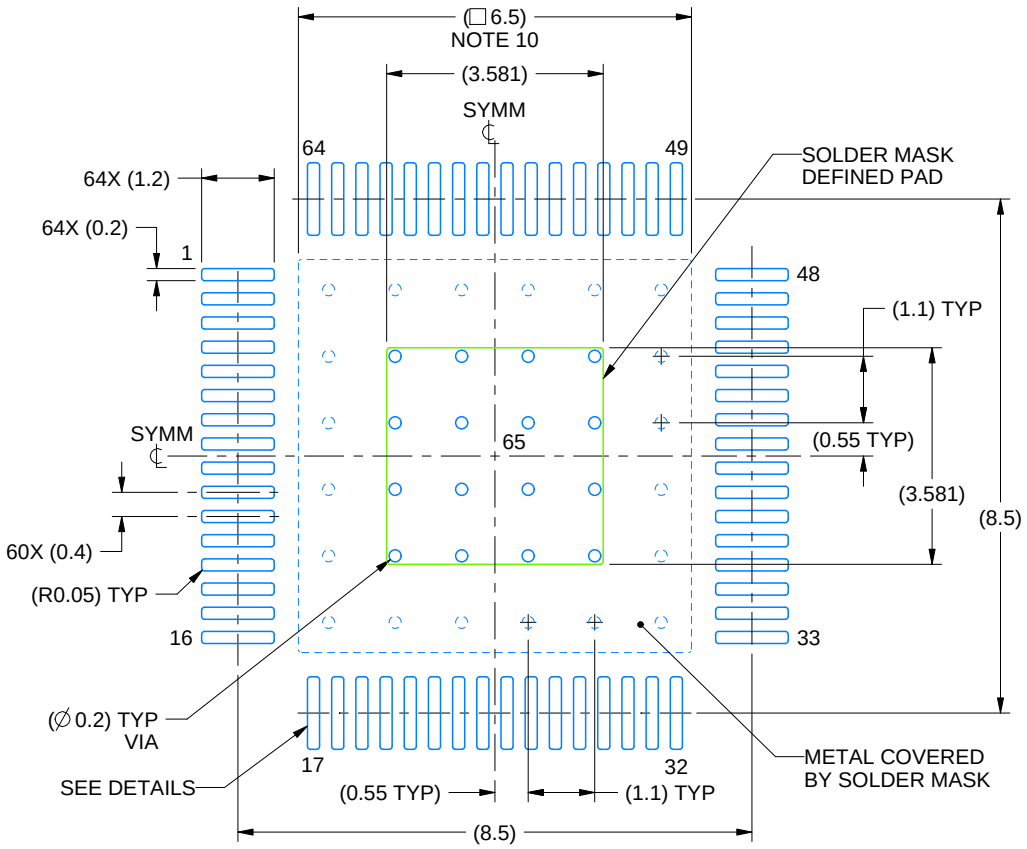
PLASTIC QUAD FLATPACK



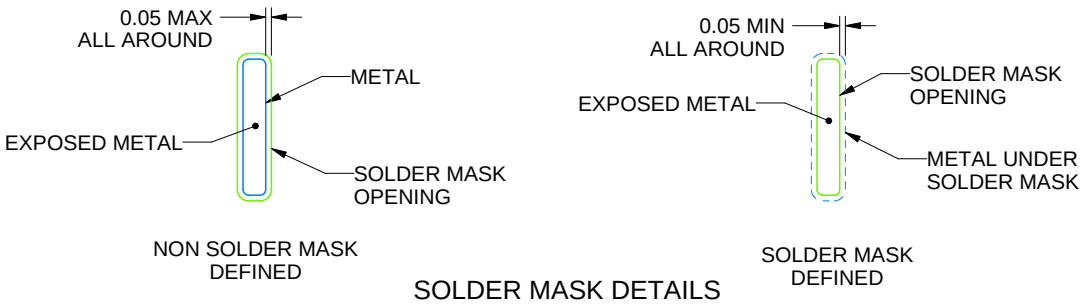
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MS-026.
5. Feature may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X

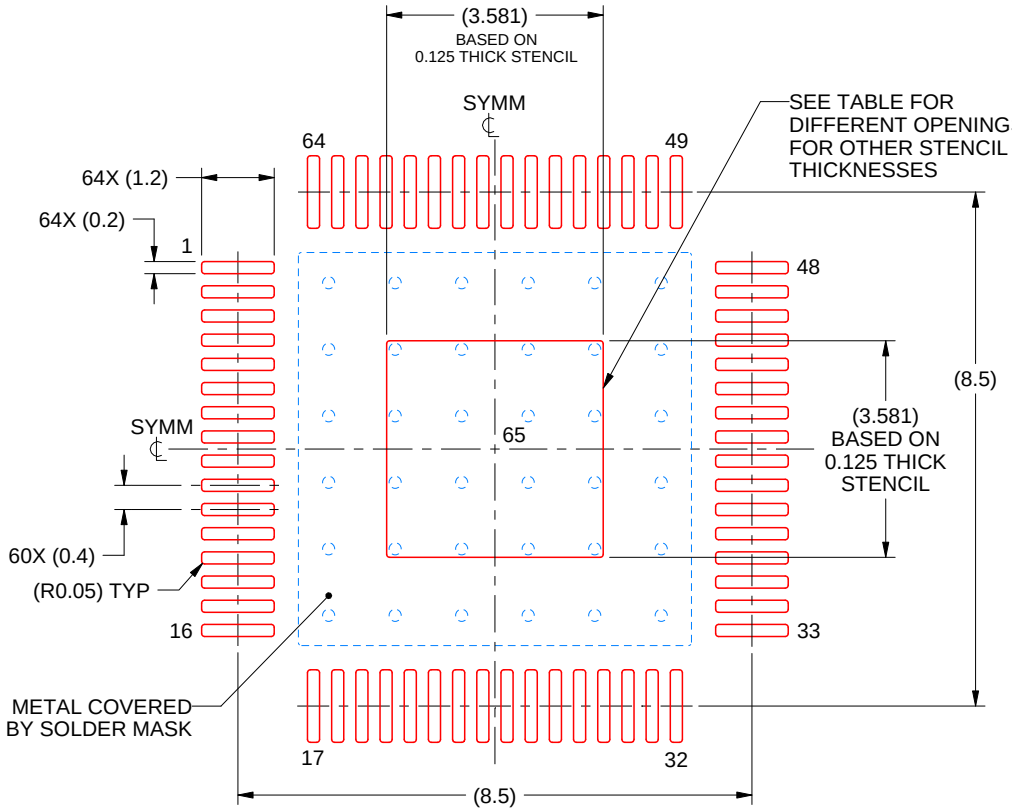


SOLDER MASK DETAILS

4218968/A 12/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. See technical brief, Powerpad thermally enhanced package, Texas Instruments Literature No. SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.
10. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
EXPOSED PAD
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:8X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	4.004 X 4.004
0.125	3.581 X 3.581 (SHOWN)
0.150	3.269 X 3.269
0.175	3.026 X 3.026

4218968/A 12/2024

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月