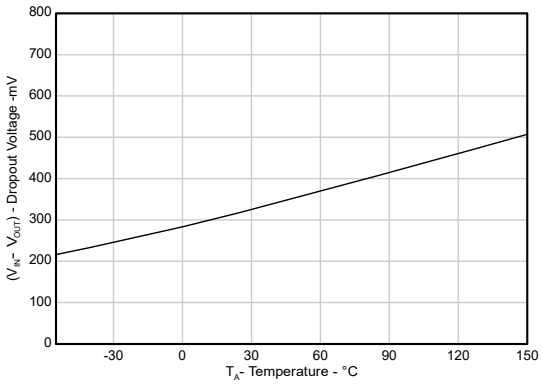
TPS7C84-Q1 具有电源正常状态指示功能的汽车级 150mA、40V、可调低压降稳压器

1 特性

- 符合面向汽车应用的 AEC-Q100 标准：
  - 温度等级 1：–40°C 至 +125°C，T_A
  - 结温：–40°C 至 +150°C，T_J
- 宽输入电压范围：
  - V_{IN} 范围：2.1V 至 40V
- 宽输出电压范围 (V_{OUT})：
  - 固定电压：3.3V、5.0V
  - 可调节电压：1.2V 至 39V
- 输出电流高达 150mA
- V_{OUT} 精度：
  - 在整个线路、负载和温度范围内为 ±1%
- 静态电流 (I_Q)：45 µA（典型值）
- 低压降：350mV（典型值）
- 开漏电源正常状态输出
- 输出电流限制和热关断
- 在各种陶瓷输出电容值范围内可保持稳定：
  - C_{OUT} 范围：1 µF 至 100 µF
  - ESR 范围：0Ω 至 2Ω
- 封装选项：
  - D（8 引脚 SOIC）
  - DRB（8 引脚 VSON）

2 应用

- 牵引逆变器
- 车身控制模块 (BCM)
- 车载充电器
- 远程信息处理控制



压降电压与温度
(V_{IN} = 4.9V，I_{OUT} = 150mA)

3 说明

TPS7C84-Q1 是一款宽输入、低压降稳压器 (LDO)，支持 2.1V 至 40V 的输入电压范围和高达 150mA 的负载电流。TPS7C84-Q1 具有固定和可调输出类型。固定输出选项包括 3.3V 和 5V。对于可调器件，输出可设置在 1.2V 至 39V 之间。

该器件具有可监控反馈引脚电压的电源正常 (PG) 输出，用于指示输出电压状态。EN 输入和 PG 输出用于对系统中的多个电源进行时序控制。

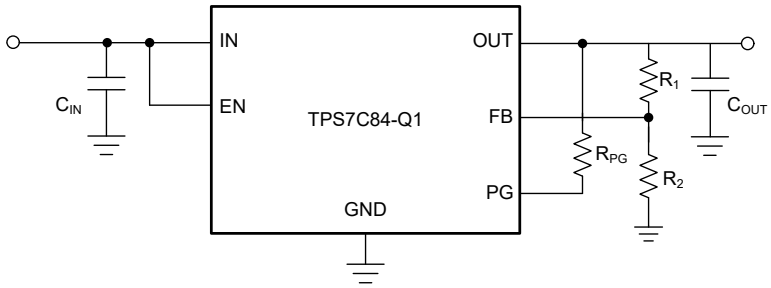
TPS7C84-Q1 专为 V_{IN} 高达 40V 的电池连接应用而设计。该器件具有宽输入电压范围，因此能够为碳化硅 (SiC) 栅极驱动器和麦克风产生偏置电压，以及为 MCU 和处理器供电。

该器件采用 SOIC 封装和具有可湿性侧面的小型 VSON 封装，能够实现紧凑的印刷电路板 (PCB) 设计。即使整个器件散热较多，低热阻也有助于持久运行。

封装信息

器件型号	封装(1)	封装尺寸(2)
TPS7C84-Q1	D（SOIC，8）	4.9mm × 6mm
	DRB（VSON，8）	3mm × 3mm

(1) 如需更多信息，请参阅*机械、封装和可订购信息*。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



典型应用电路

本资源的原文使用英文撰写。为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 引脚配置和功能.....3
5 规格.....4
5.1 绝对最大额定值.....4
5.2 ESD 等级.....4
5.3 建议运行条件.....5
5.4 热性能信息.....5
5.5 电气特性.....5
5.6 时序要求.....6
5.7 典型特性.....7
6 详细说明.....12
6.1 概述.....12
6.2 功能方框图.....12
6.3 特性说明.....13
6.4 器件功能模式.....15
7 应用和实施.....16
7.1 应用信息.....16
7.2 典型应用.....17
7.3 电源相关建议.....21
7.4 布局.....21
8 器件和文档支持.....22
8.1 器件支持.....22
8.2 文档支持.....22
8.3 接收文档更新通知.....22
8.4 支持资源.....22
8.5 商标.....22
8.6 静电放电警告.....22
8.7 术语表.....22
9 修订历史记录.....22
10 机械、封装和可订购信息.....23

Copyright © 2026 Texas Instruments Incorporated

4 引脚配置和功能

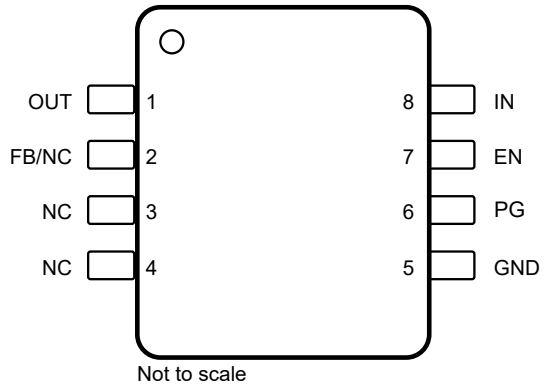


图 4-1. D 封装、 8 引脚 SOIC （顶视图）

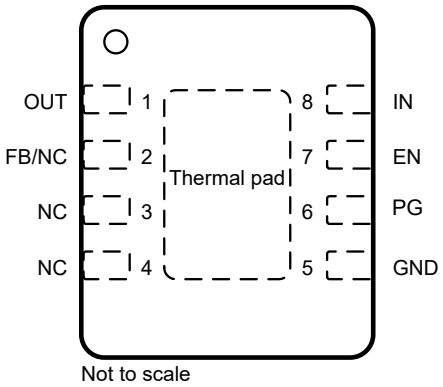


图 4-2. DRB 封装， 8 引脚 VSON （顶视图）

表 4-1. 引脚功能

引脚		类型(1)	说明
名称	编号		
EN	7	I	使能引脚。当使能引脚低于使能逻辑输入低电平 (V_{IL}) 时，该器件被禁用。要确保该器件已启用，请将 EN 引脚驱动至高于逻辑高电平 (V_{IH})。请勿将此引脚悬空，因为此引脚为高阻抗。如果此引脚悬空，则引脚状态变为未定义，该器件可能会启用或禁用。
FB/NC	2	I	当使用外部电阻分压器时，此引脚是反馈引脚；当使用具有固定输出电压的器件时，此引脚是 NC 引脚。使用可调器件时，通过电阻分压器将此引脚连接到输出，以使该器件正常工作。更多信息请参阅*反馈电阻器选型*部分。如果使用固定输出，则将此引脚悬空或连接到 GND。
GND	5	—	接地
IN	8	I	输入电源电压引脚。为获得出色的瞬态响应并尽可能减小输入阻抗，请在 IN 到地之间使用建议值或更高的陶瓷电容器。请参阅 *建议运行条件* 表和*输入和输出电容器要求* 部分。将输入电容器放置在尽可能靠近器件的输入的位置上。
NC	3、4	—	无内部连接。将此引脚悬空或连接至 GND 以便实现更好的热性能。
OUT	1	O	稳压输出电压引脚。需要在 OUT 到 GND 之间连接一个电容器以确保稳定性。为获得出色的瞬态响应，请使用标称推荐值或从 OUT 到 GND 的更大陶瓷电容器。将输出电容器尽可能靠近器件输出端放置。更多详细信息，请参阅*输入和输出电容器要求* 部分。
PG	6	O	高电平有效、开漏电源正常状态输出。V_{OUT} 下降标称值的 6% 时，该引脚变为低电平。

(1) I = 输入；O = 输出。

Copyright © 2026 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
IN	连续输入电压	-0.3	42	V
OUT	输出电压	-0.3	VIN+0.3(3)	V
EN	EN 输入电压	-0.3	42	V
PG	PG 比较器输出电压(2)	-0.3	42	V
FB	反馈输入电压	-0.3	5	V
T_J	工作结温	-40	150	°C
T_{stg}	贮存温度	-65	150	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。“绝对最大额定值”并不表示器件在这些条件下或在“建议运行条件”以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能，并缩短器件寿命
(2) 可以超出输入电源电压。
(3) 绝对最大额定值为 VIN + 0.3V 或 42V（以较小者为准）。

5.2 ESD 等级

				值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 标准(1)		±2500	V
		充电器件模型 (CDM)，符合 AEC V Q100-011 标准	所有引脚	±1000	
			转角引脚	±1000	

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

Copyright © 2026 Texas Instruments Incorporated

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
V_{IN}	输入电压	2.1		40	V
V_{EN}	使能电压	0		40	V
V_{OUT}	输出电压	1.2		39	V
I_{OUT}	输出电流	0		150	mA
C_{OUT}	输出电容器(1)	1	2.2	100	µF
C_{OUT} ESR	输出电容器 ESR	0		2	Ω
C_{IN}	输入电容器		1		µF
C_{FF}	前馈电容器（可选(2)，仅适用于可调器件）		10		pF
$I_{FB_DIVIDER}$	反馈分压器电流(2)（仅适用于可调器件）	12			µA
T_J	结温	-40		150	°C

(1) 为了实现稳定性，需要最小值为 0.5µF 的有效输出电容。
(2) 如果反馈分压器电流小于 12µA，则需要 C_{FF} 才能保持稳定。反馈分压器电流 = V_{OUT} / (R_1 + R_2)。有关详细信息，请参阅*前馈电容器 (C_{FF})* 部分。

5.4 热性能信息

热指标(1) (2)		DRB	D	单位
		8 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	50.2	123	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	68.6	67.8	°C/W
$R_{\theta JB}$	结至电路板热阻	24.1	70.7	°C/W
Ψ_{JT}	结至顶部特征参数	5.5	18.0	°C/W
Ψ_{JB}	结至电路板特征参数	24.2	69.8	°C/W

(1) 此热数据基于 JEDEC 标准高 K 尺寸 JESD 51-7。具有 2oz 覆铜的双信号、双平面、四层电路板。铜箔圆配被焊接到散热焊垫上。正确的连接工艺也必须合并在一起。
(2) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用手册。

5.5 电气特性

规格条件为：TJ = –40°C 至 +150°C，V_{IN} = V_{OUT}（标称值）+ 1V，I_{OUT} = 100 µA，C_{OUT} = 2.2 µF，V_{EN} ≥ 2V（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
V_{OUT}	输出电压精度	V_{IN} = [$V_{OUT(NOM)}$ + 1V] 至 40V，I_{OUT} = 100µA 至 150mA	T_J = 25°C	-0.5		0.5	%
			T_J = –40°C 至 150°C	-1		1	
$\Delta V_{OUT(\Delta VIN)}$	线路调节	V_{IN} = [$V_{OUT(NOM)}$ + 1V] 至 40V	T_J = –40°C 至 150°C		0.0004	0.01	%/V
$\Delta V_{OUT(\Delta IOUT)}$	负载调节	I_{OUT} = 100µA 至 150mA	T_J = –40°C 至 150°C		0.02	0.2	%
V_{FB}	反馈电压	FB 的基准电压	T_J = –40°C 至 150°C	1.188	1.2	1.212	V
I_{FB}	反馈偏置电流		T_J = 25°C		2	10	nA
			T_J = –40°C 至 150°C			15	

Copyright © 2026 Texas Instruments Incorporated

规格条件为：TJ = –40°C 至 +150°C，V_{IN} = V_{OUT}（标称值）+ 1V，I_{OUT} = 100 µA，C_{OUT} = 2.2 µF，V_{EN} ≥ 2V（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
V_{DO}	压降电压可调输出	V_{IN} = 3.5V，I_{OUT} = 150mA	T_J = –40°C 至 150°C		350	660	mV
	压降电压固定 3.3V 输出	V_{IN}= V_{OUT}（标称值）= 3.3V，I_{OUT} = 150mA				670	
	压降电压固定 5V 输出	V_{IN}= V_{OUT}（标称值）= 5V，I_{OUT} = 150mA				580	
I_Q	静态电流	I_{OUT} = 0	T_J = –40°C 至 150°C			56	µA
		I_{OUT} = 100µA			45	68	
		I_{OUT} = 150mA				1.15	mA
UVLO	UVLO V_{IN} 上升	I_{OUT} = 100µA	T_J = –40°C 至 150°C	1.8	1.9	2.0	V
	UVLO V_{IN} 下降			1.7	1.8	1.9	
	迟滞				100		mV
V_{IL}	使能逻辑输入低电平	低（稳压器关闭）	T_J = –40°C 至 150°C			0.7	V
V_{IH}	使能逻辑输入高电平	高（稳压器开启）		1.9			
I_{EN}	EN 引脚电流	V_{EN} = 40V	T_J = –40°C 至 150°C			0.8	µA
I_{CL}	电流限制	V_{IN} ≥ 3V，V_{OUT} = 0V	T_J = –40°C 至 150°C	165	235	280	mA
V_n	输出噪声 (RMS)，10Hz 至 100KHz	C_{OUT} = 1µF	T_J = 25°C		265		$µV_{rms}$
PSRR	电源纹波抑制	V_{IN} - V_{OUT} = 1V，频率 = 100Hz，I_{OUT} = 5mA	T_J = 25°C		80		dB
$V_{PG(OL)}$	PG 引脚低电平输出电压	V_{IN} ≥ 2V，I_{OL} = 400 µA	T_J = 25°C		180	230	mV
			T_J = –40°C 至 150°C			280	
$V_{PG(TH,RISING)}$	V_{OUT} 上升		T_J = –40°C 至 150°C			97	$\%V_{OUT}$
$V_{PG(TH,FALLING)}$	V_{OUT} 下降			92			
$V_{PG(HYST)}$	迟滞		T_J = 25°C		2		
$I_{SHUTDOWN}$	关断电源电流 (I_{GND})	V_{EN} ≤ 0.7V，V_{IN} ≤ 40V，V_{OUT} = 0V	T_J = 25°C		3	4.5	µA
			T_J = –40°C 至 150°C			6	
$T_{SD(SHUTDOWN)}$	结关断温度				177		°C
$T_{SD(HYST)}$	热关断迟滞				15		°C

5.6 时序要求

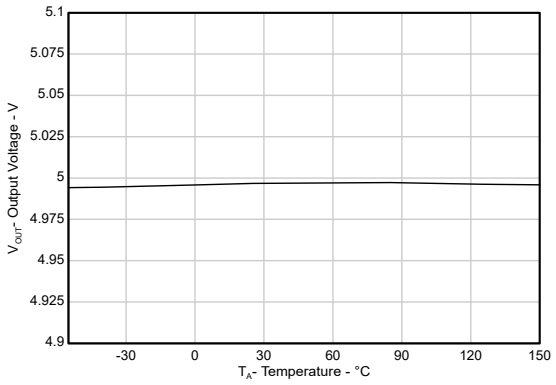
参数	测试条件	最小值	典型值	最大值	单位
t_{PGDH}	PG 延迟时间上升，从 92% V_{OUT} 到 PG 的 20% 的时间(1)	25	50	65	µs
t_{PGDL}	PG 延迟时间下降，从 90% V_{OUT} 到 PG 的 80% 的时间(1)	6	13	18	µs

(1) 输出过驱 = 10%

Copyright © 2026 Texas Instruments Incorporated

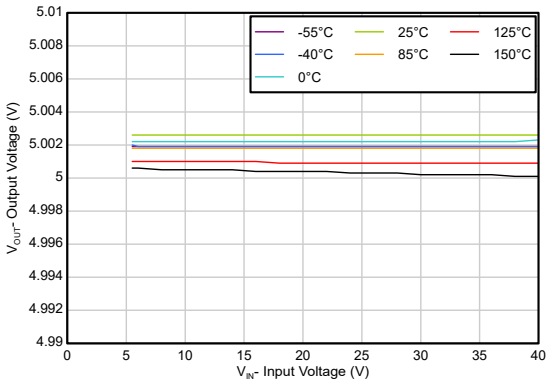
5.7 典型特性

在 V_{IN} = V_{OUT}（标称值）+ 1V、I_{OUT} = 100 µA、C_{OUT} = 2.2 µF 且 V_{EN} ≥ 2V 条件下测得（除非另有说明）



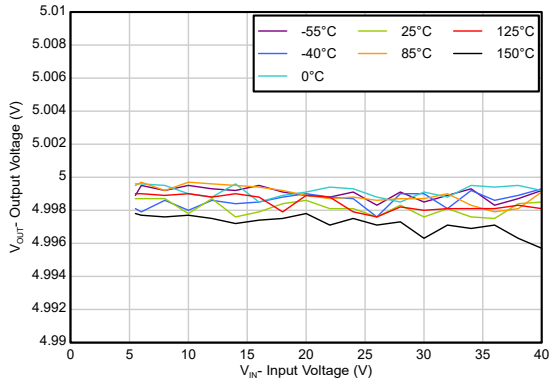
V_{IN} = 6V，V_{OUT} = 5V，I_{OUT} = 150mA

图 5-1. 输出电压与温度间的关系



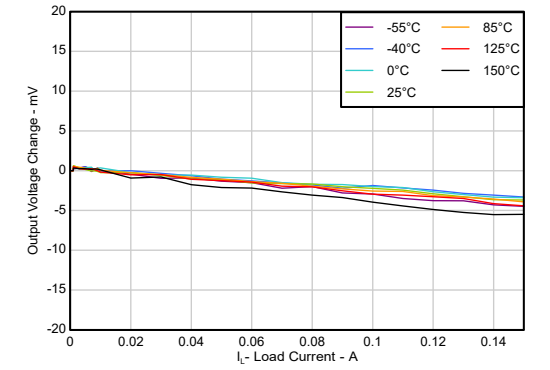
V_{OUT} = 5V，I_{OUT} = 100 µA

图 5-2. 线性调整率与输入电压间的关系



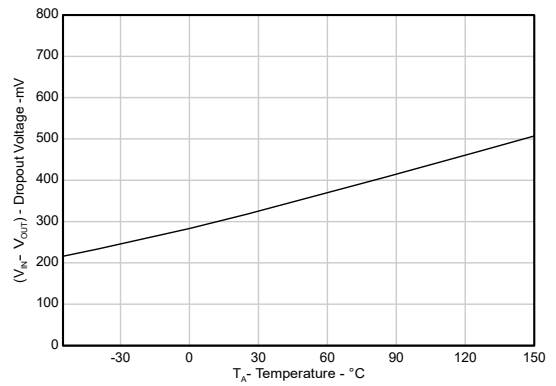
V_{OUT} = 5V，I_{OUT} = 150mA

图 5-3. 线性调整率与输入电压间的关系



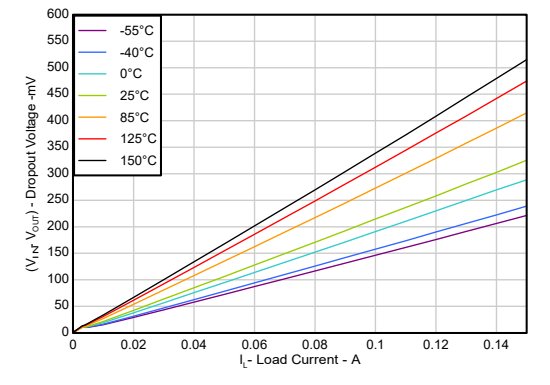
V_{IN} = 6V，V_{OUT} = 5V

图 5-4. 负载调整率与负载电流间的关系



V_{IN} = 4.9V，I_{OUT} = 150mA

图 5-5. 压降电压与温度间的关系



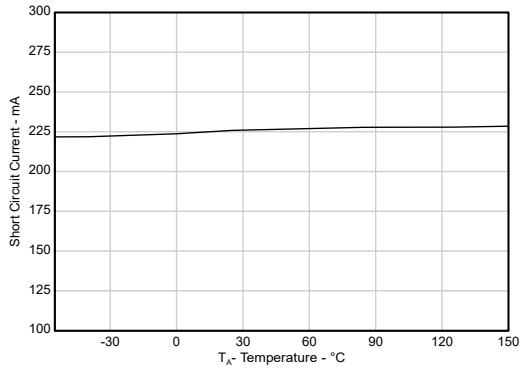
V_{IN} = 4.9V

图 5-6. 压降电压与输出电流间的关系

Copyright © 2026 Texas Instruments Incorporated

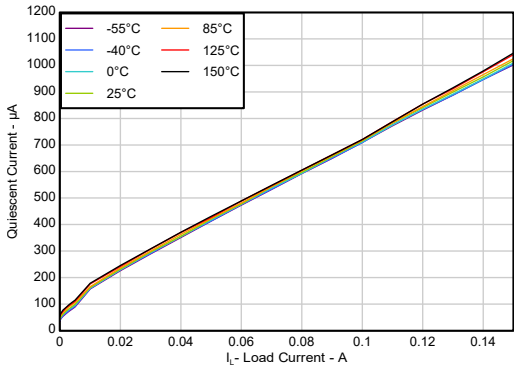
5.7 典型特性（续）

在 V_{IN} = V_{OUT}（标称值）+ 1V、I_{OUT} = 100 µA、C_{OUT} = 2.2 µF 且 V_{EN} ≥ 2V 条件下测得（除非另有说明）



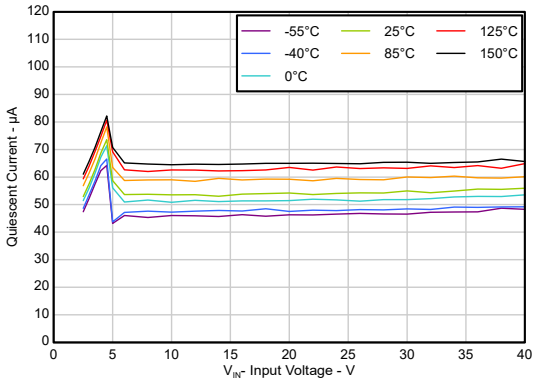
V_{IN} = 6V，V_{OUT} = 0V

图 5-7. 短路电流与温度间的关系



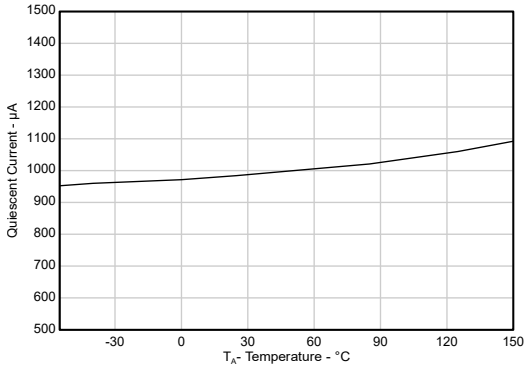
V_{IN} = 6V，V_{OUT} = 5V

图 5-8. 静态电流与负载电流间的关系



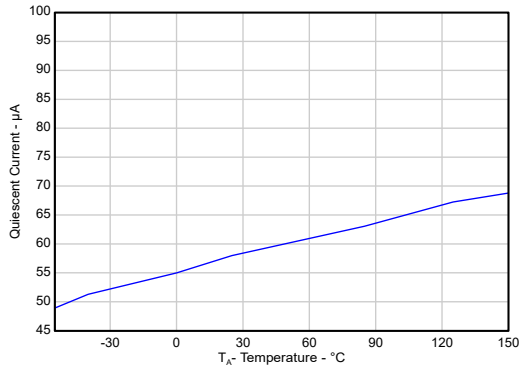
V_{OUT} = 5V

图 5-9. 静态电流与输入电压间的关系 (I_{OUT} = 0mA)



V_{IN} = 6V，V_{OUT} = 5V

图 5-10. 静态电流与温度间的关系 (I_{OUT} = 150mA)



V_{IN} = 6V，V_{OUT} = 5V

图 5-11. 静态电流与温度间的关系 (I_{OUT} = 100 µA)

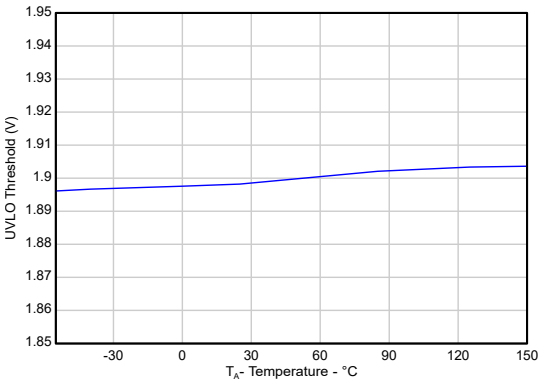


图 5-12. 欠压锁定 (UVLO) 阈值与温度间的关系

Copyright © 2026 Texas Instruments Incorporated

5.7 典型特性（续）

在 V_{IN} = V_{OUT}（标称值）+ 1V、I_{OUT} = 100 µA、C_{OUT} = 2.2 µF 且 V_{EN} ≥ 2V 条件下测得（除非另有说明）

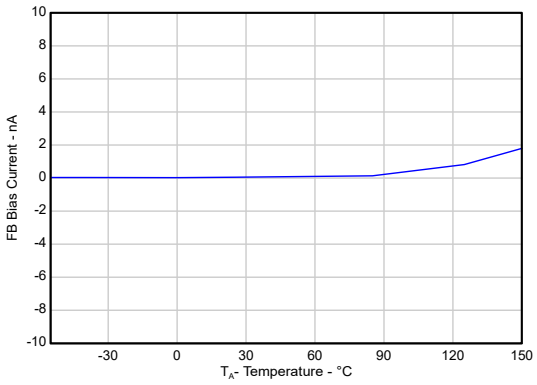


图 5-13. FB 偏置电流与温度间的关系

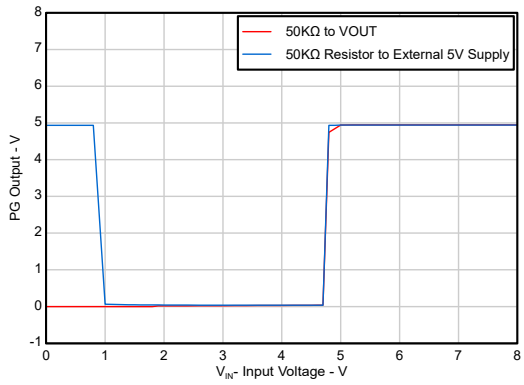


图 5-14. PG 比较器输出与输入电压间的关系

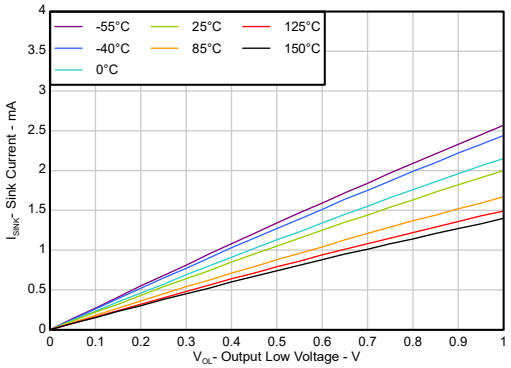


图 5-15. PG 比较器灌电流与输出低电压间的关系

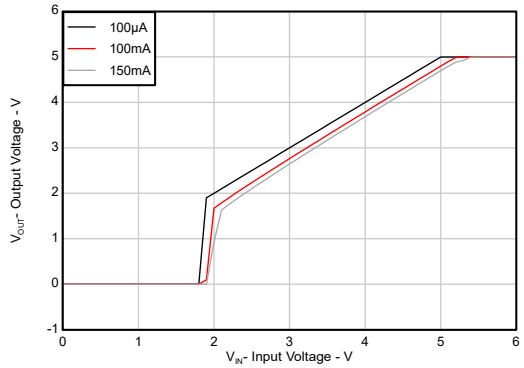
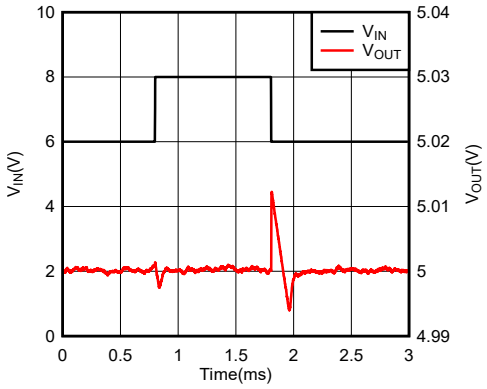
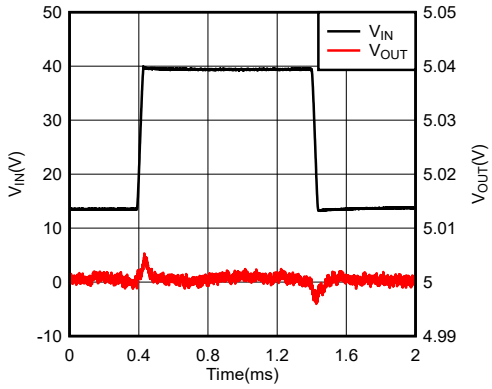


图 5-16. 输出电压与输入电压间的关系



V_{IN} = 6V 至 8V，压摆率 = 1V/µs，V_{OUT} = 5V，C_{OUT} = 1 µF，I_{OUT} = 100 µA

图 5-17. 线路瞬态响应与时间之间的关系



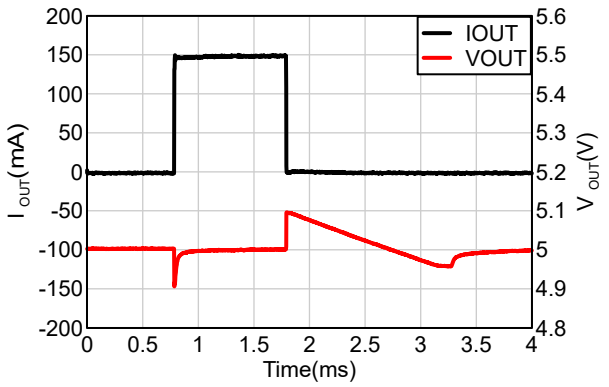
V_{IN} = 13.5V 至 40V，压摆率 = 1V/µs，V_{OUT} = 5V，C_{OUT} = 1 µF，I_{OUT} = 1mA

图 5-18. 线路瞬态响应与时间之间的关系

Copyright © 2026 Texas Instruments Incorporated

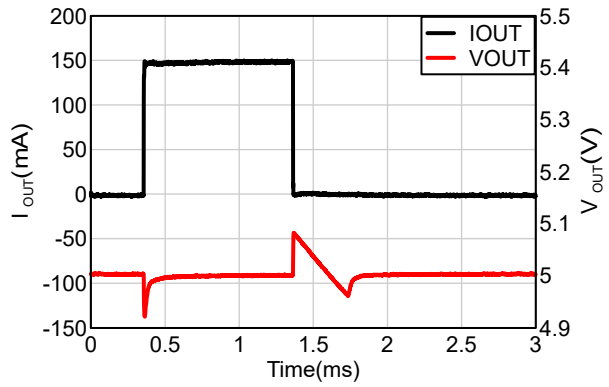
5.7 典型特性（续）

在 V_{IN} = V_{OUT}（标称值）+ 1V、I_{OUT} = 100 µA、C_{OUT} = 2.2 µF 且 V_{EN} ≥ 2V 条件下测得（除非另有说明）



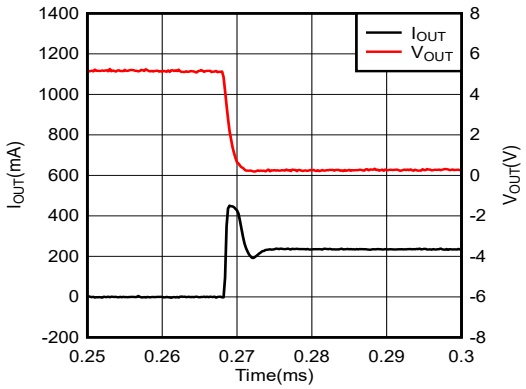
V_{IN} = 6V，V_{OUT} = 5V，I_{OUT} = 0mA 至 150mA，压摆率 = 1A/µs，C_{OUT} = 1 µF

图 5-19. 负载瞬态响应与时间之间的关系



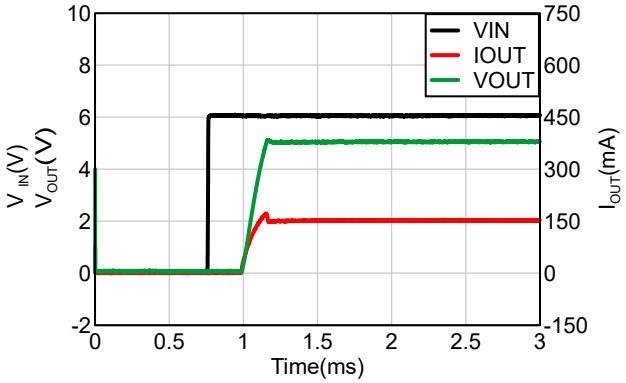
V_{IN} = 6V，V_{OUT} = 5V，I_{OUT} = 0mA 至 150mA，压摆率 = 1A/µs，C_{OUT} = 10 µF

图 5-20. 负载瞬态响应与时间之间的关系



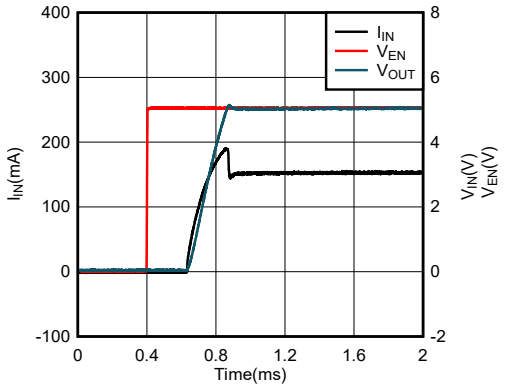
V_{IN} = 6V，C_{OUT} = 1 µF

图 5-21. 短路电流与时间之间的关系



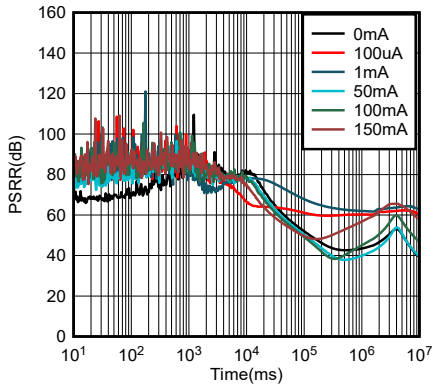
V_{IN} = 6V，V_{OUT} = 5V，C_{OUT} = 1 µF，R_L = 33.3 Ω

图 5-22. 加电波形



V_{IN} = 6V，V_{OUT} = 5V，C_{OUT} = 1 µF，R_L = 33.3 Ω

图 5-23. 通过 EN 启动的图例



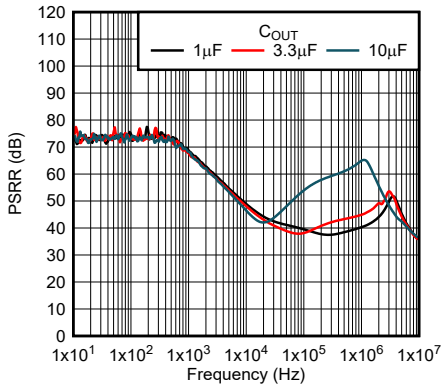
V_{IN} = 6V，V_{OUT} = 5V，C_{OUT} = 1 µF

图 5-24. 波纹抑制与频率

Copyright © 2026 Texas Instruments Incorporated

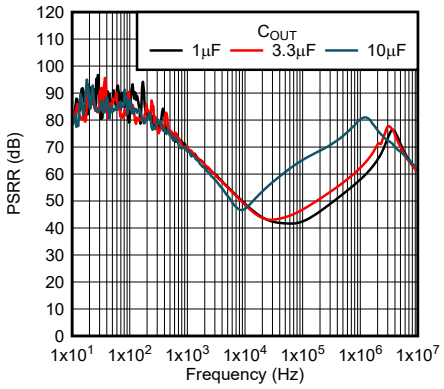
5.7 典型特性（续）

在 V_{IN} = V_{OUT}（标称值）+ 1V、I_{OUT} = 100 µA、C_{OUT} = 2.2 µF 且 V_{EN} ≥ 2V 条件下测得（除非另有说明）



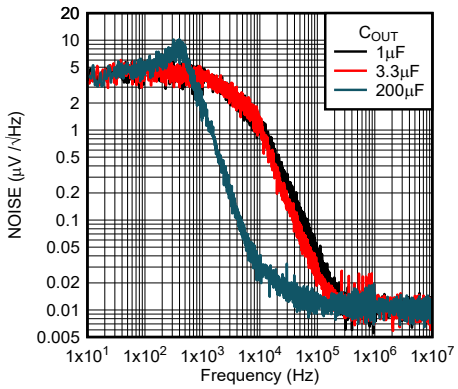
V_{IN} = 6V，V_{OUT} = 5V，I_{OUT} = 100mA

图 5-25. 波纹抑制与频率



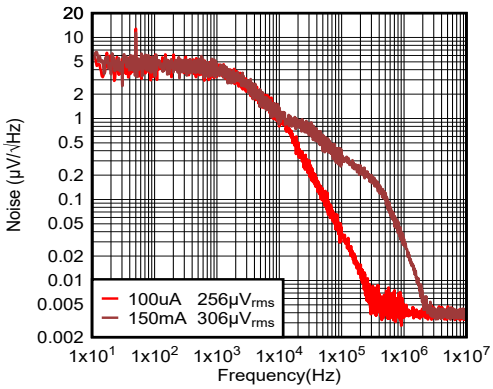
V_{IN} = 6V，V_{OUT} = 5V，I_{OUT} = 1mA

图 5-26. 波纹抑制与频率



V_{IN} = 6V，V_{OUT} = 5V，I_{OUT} = 100 µA

图 5-27. 输出噪声与频率间的关系



V_{IN} = 6V，V_{OUT} = 5V，C_{OUT} = 1 µF

图 5-28. 输出噪声与频率间的关系

Copyright © 2026 Texas Instruments Incorporated

6 详细说明

6.1 概述

TPS7C84-Q1 是一款低压降线性稳压器 (LDO)，专用于连接汽车应用中的电池。此器件可适应高达 40V 的宽输入电源电压范围。TPS7C84-Q1 提供 3.3V 和 5V 固定输出电压。或者，通过将 FB 引脚连接至一个外部电阻分压器，可将输出设定为 1.2V 至 39V 之间的任一值。

TPS7C84-Q1 具有可监控反馈引脚电压的电源正常输出 (PG)，用于指示输出电压状态。EN 输入和 PG 输出用于对系统中的多个电源进行时序控制。TPS7C84-Q1 与小型陶瓷输出电容器搭配使用时，可保持稳定，从而实现小尺寸的总体解决方案。该器件在整个线路、负载和温度变化范围内具有 1% 的输出容差，并且能够提供 150mA 的连续负载电流。该器件包括集成的热关断、电流限制和欠压锁定 (UVLO) 功能。该器件可提供出色的线路和负载瞬态性能。该器件的工作结温范围为 –40°C 至 +150°C。

6.2 功能方框图

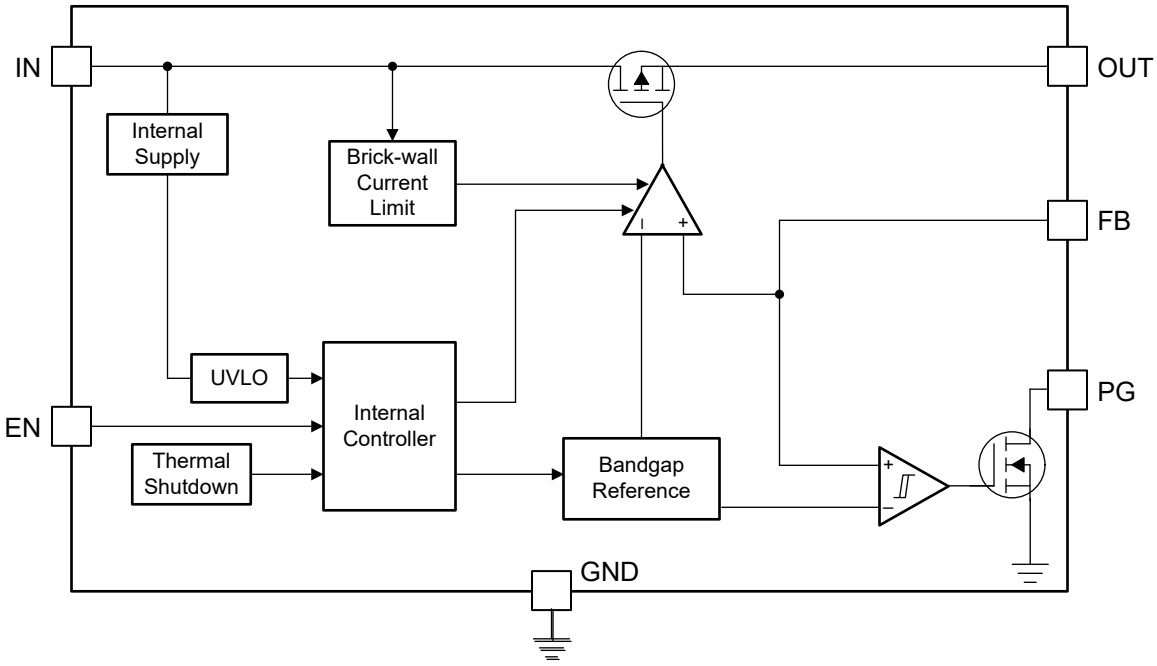


图 6-1. 可调输出方框图

Copyright © 2026 Texas Instruments Incorporated

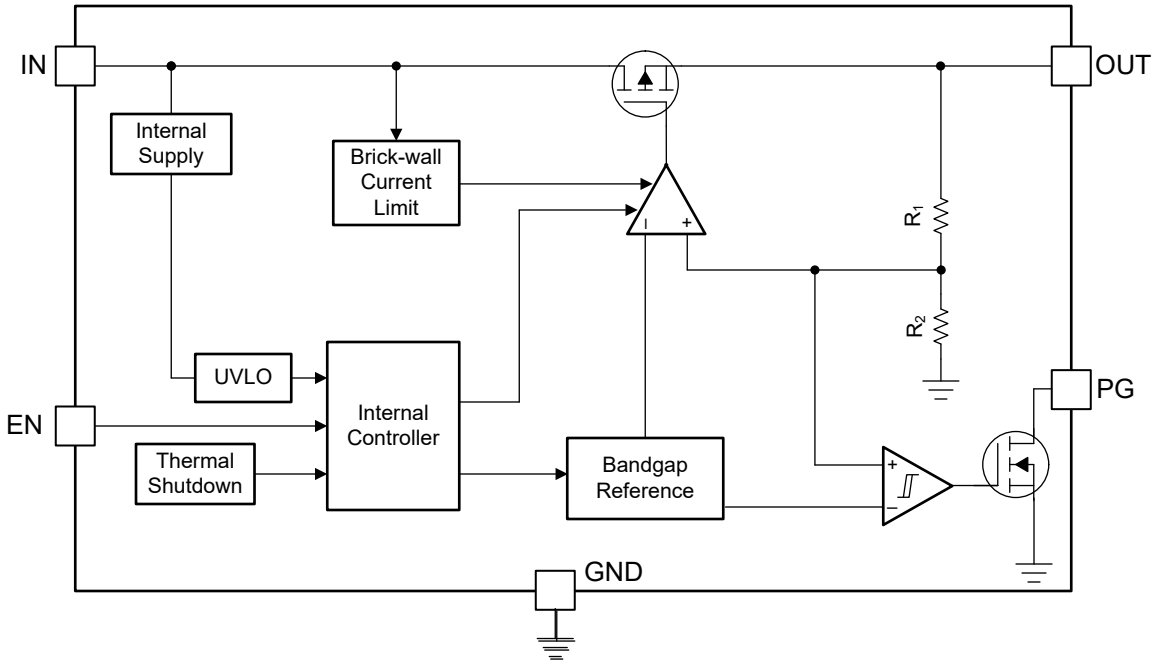


图 6-2. 固定输出方框图

6.3 特性说明

6.3.1 输出使能

器件的 EN 使能引脚是高电平有效引脚。当 EN 引脚电压高于 EN 引脚的高电平输入电压时，输出电压被启用。相反，当 EN 引脚电压低于 EN 引脚的低电平输入电压时，输出电压被禁用。如果不需要独立控制输出电压，则将 EN 引脚连接至器件输入电压。

6.3.2 压降电压

压降电压 (V_{DO}) 定义为额定输出电流 (I_{RATED}) 下的 V_{IN} – V_{OUT} 之差，此时，导通晶体管完全导通。V_{IN} 是输入电压、V_{OUT} 是输出电压、I_{RATED} 是 *建议运行条件* 表中列出的最大 I_{OUT}。在该运行点，导通晶体管驱动为完全导通。压降电压间接指定了一个最小输入电压，该电压大于输出电压预计保持稳定的标称编程输出电压。如果输入电压降至低于标称输出调节，输出电压也会下降。

对于 CMOS 稳压器，压降电压由导通晶体管的漏源导通状态电阻 ($R_{DS(ON)}$) 决定。因此，如果线性稳压器的工作电流小于额定电流，该电流的压降电压会相应地变化。以下公式用于计算器件的 $R_{DS(ON)}$。

$$R_{DS(ON)} = \frac{V_{DO}}{I_{RATED}} \quad (1)$$

6.3.3 电流限制

该器件具有内部电流限制电路，可在瞬态高负载电流故障或短路事件期间保护稳压器。电流限制是砖墙方案。在高负载电流故障中，砖墙方案将输出电流限制为电流限值 (I_{CL})。 *电气特性* 表中列出了 I_{CL}。

当器件处于限流状态时，不会调节输出电压。当发生电流限制事件时，由于功率耗散增加，器件开始发热。当器件处于砖墙式电流限制时，导通晶体管会耗散功率 [(V_{IN} – V_{OUT}) × I_{CL}]。如果触发热关断，器件将关闭。器件冷却后，内部热关断电路将器件重新接通。如果输出电流故障条件持续存在，器件会在电流限制状态和热关断状态之间循环。更多有关电流限制的信息，请参阅 *了解限制* 应用手册。

图 6-3 展示了电流限制图。

Copyright © 2026 Texas Instruments Incorporated

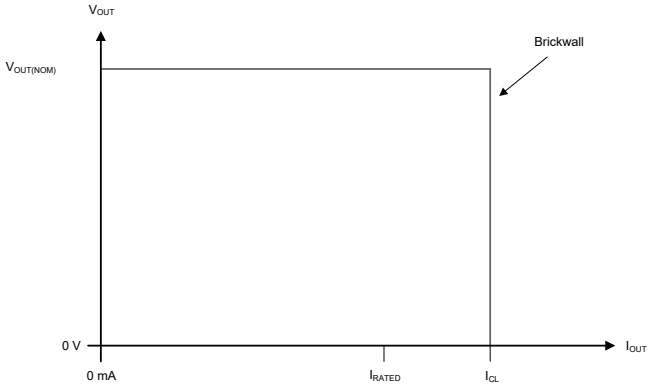


图 6-3. 电流限制

Copyright © 2026 Texas Instruments Incorporated

6.3.4 欠压锁定 (UVLO)

该器件具有一个独立的欠压锁定 (UVLO) 电路，用于监控输入电压。此电路可实现受控且一致的输出电压导通和关断。为了防止器件在导通期间输入下降时关断，UVLO 会出现迟滞，如 *电气特性* 表中所示。

6.3.5 热关断

该器件包含一个热关断保护电路，用于在导通晶体管的结温 (T_J) 上升到 $T_{SD(shutdown)}$（典型值）时禁用器件。热关断迟滞可确保在温度降至 $T_{SD(reset)}$（典型值）时器件复位（导通）。

半导体芯片的热时间常数相当短，因此当达到热关断时，器件可以上电下电，直到功率耗散降低。由于器件上的 V_{IN} – V_{OUT} 压降较大，或为大型输出电容器充电的浪涌电流较高，启动期间的功率耗散较高。在某些情况下，热关断保护功能会在启动完成之前禁用器件。

为了实现可靠运行，请将结温限制在 *建议运行条件* 表中列出的最大值。在超过这个最高温度的情况下运行会导致器件超出运行规格。虽然器件的内部保护电路旨在防止热过载情况，但此电路并不用于替代适当的散热。使器件持续进入热关断状态或在超过建议的最高结温下运行会降低长期可靠性。

6.4 器件功能模式

6.4.1 关断模式

将该器件置于关断模式，并在 EN 引脚上设置逻辑低电平。如果未使用此模式，则返回逻辑高电平以恢复运行或将 EN 连接至 V_{IN}。

Copyright © 2026 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

7.1 应用信息

7.1.1 反向电流

反向电流过大可能会损坏此器件。反向电流流经导通晶体管的固有体二极管，而不是正常的传导通道。如果幅度较大，该电流会降低器件的长期可靠性。

本节概述了会发生反向电流的条件，所有这些条件都可能超过 $V_{OUT} \leq V_{IN} + 0.3V$ 的绝对最大额定值。

- 如果器件具有较大的 C_{OUT} 且输入电源崩溃，则负载电流极小或无负载电流
- 当输入电源未建立时，输出被偏置
- 输出偏置为高于输入电源

如果应用中需要反向电流，请使用外部保护来保护器件。器件中的反向电流不受限制，因此如果预计反向电压工作范围会延长，则需要外部限制。

图 7-1 展示了保护器件的一种方法。

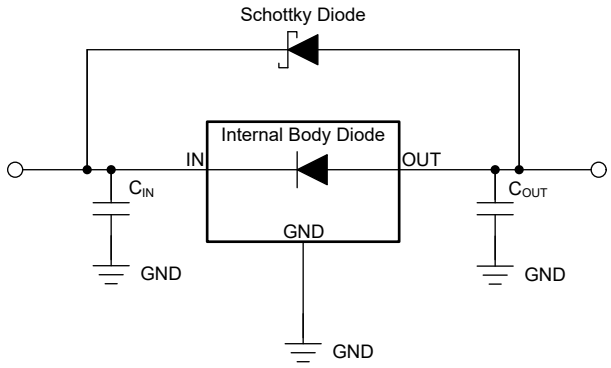


图 7-1. 使用肖特基二极管的反向电流保护示例电路

7.1.2 输入和输出电容器要求

尽管不需要输入电容器来实现稳定性，但良好的模拟设计实践是将电容器从 IN 连接到 GND。该电容可抵消电抗性输入源，并改善瞬态响应、输入纹波和 PSRR。如果源阻抗大于 0.5 Ω，请使用输入电容器。如果预计会有较大且快速的上升时间负载或线路瞬变，请使用更高容值的电容。此外，如果器件距离输入电源几英寸，请使用容值更高的电容器。

通过使用输出电容器来提升器件的动态性能。为确保稳定性，请使用 *建议运行条件* 表中指定范围内的输出电容器。

7.1.3 估算结温

JEDEC 标准现在建议使用 psi (Ψ) 热指标来估算现象稳压器在典型 PCB 板应用电路中的结温。此类指标不是热阻参数，但提供了一种估算结温的相对实用方法。已确定这些 psi 指标与可用于散热的铜面积明显无关。 节 5.4 该表列出了主要的热指标，即结至顶部特征参数 (ψ_{JT}) 和结至电路板特征参数 (ψ_{JB})。这些参数提供了两种计算结温 (T_J) 的方法，如以下公式所述。结合使用结至顶部特征参数 (ψ_{JT}) 和器件封装顶部中间位置的温度 (T_T) 来计算结温。结合使用结至电路板特征参数 (ψ_{JB}) 和距器件封装 1mm 印刷电路板 (PCB) 表面温度 (T_B) 来计算结温。

$$T_J = T_T + \Psi_{JT} \times P_D \quad (2)$$

Copyright © 2026 Texas Instruments Incorporated

其中：

- P_D 是耗散功率
- T_T 器件封装顶部中间位置的温度

$$T_J = T_B + \Psi_{JB} \times P_D \quad (3)$$

其中：

- T_B 是在距器件封装 1mm 且位于封装边缘中心位置测得的 PCB 表面温度

有关热指标及其使用方法的详细信息，请参阅*半导体和 IC 封装热指标*应用手册。

7.1.4 功率耗散 (P_D)

电路可靠性需要考虑器件功率耗散、PCB 上的电路位置以及正确的热平面尺寸。确保稳压器周围的 PCB 区域具有少量或没有其他会导致热应力增加的发热器件。

对于一阶近似，稳压器中的功率耗散取决于输入到输出电压差和负载条件。以下公式可计算功率耗散 (P_D)。

$$P_D = (V_{IN} - V_{OUT}) \times I_{OUT} \quad (4)$$

备注

通过正确选择系统电压轨，可更大限度地降低功率耗散，从而实现更高的效率。为了实现更低功率耗散，请使用正确输出调节所需的最小输入电压。

对于带有散热焊盘的器件，器件封装的主要热传导路径是通过散热焊盘到 PCB。将散热焊盘焊接到器件下方的铜焊盘区域。确保此焊盘区域包含一组电镀过孔，这些过孔会将热量传导至额外的铜平面以增加散热。

最大功耗决定了该器件允许的最高环境温度 (T_A)。功率耗散和结温通常与 PCB 和器件封装组合的 $R_{\theta JA}$ 以及与 T_A 有关。$R_{\theta JA}$ 是结至环境热阻，T_A 是环境空气温度。以下公式描述了这种关系。

$$T_J = T_A = (R_{\theta JA} \times P_D) \quad (5)$$

热阻 ($R_{\theta JA}$) 在很大程度上取决于特定 PCB 设计中内置的散热能力。因此，该热阻会根据总铜面积、铜重量和平面位置而变化。 *节 5.4* 表中列出的结至环境热阻由 JEDEC 标准 PCB 和铜扩散面积决定。$R_{\theta JA}$ 用作封装热性能的相对测量值。

7.2 典型应用

图 7-2 显示了 TPS7C84-Q1 的典型应用电路。根据最终应用的不同，使用不同的外部元件值。如果需要，可在快速负载阶跃期间使用容值更大的输出电容器，以防止发生复位。使用具有 X5R 或 X7R 电介质的低 ESR 陶瓷电容器。

Copyright © 2026 Texas Instruments Incorporated

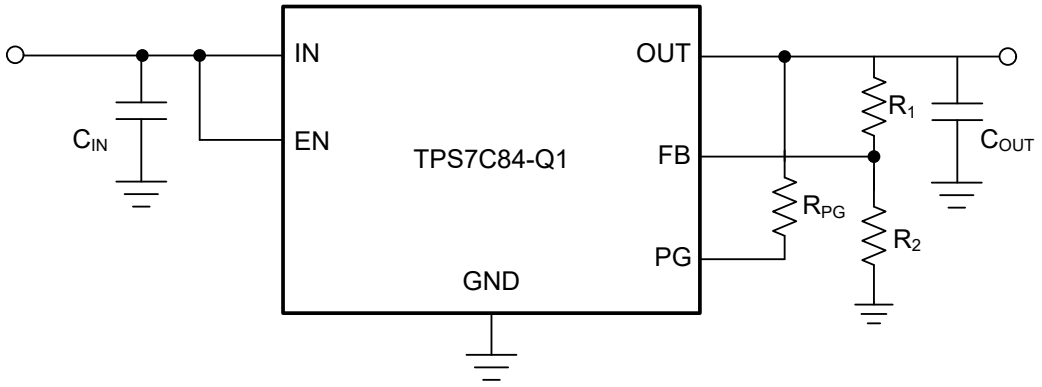


图 7-2. TPS7C84-Q1 的典型应用原理图

7.2.1 设计要求

表 7-1 总结了图 7-2 的设计要求。

表 7-1. 设计参数

参数	值
输入电压范围	6V 至 40V
输出电压	5V
输出电流	150mA
输出电容器	1 µ F

7.2.1.1 建议的电容器类型

7.2.1.1.1 推荐的电容器

TPS7C84-Q1 需要一个至少为 1 µ F 的输出电容器来实现稳定性，并需要一个介于 0 Ω 和 2 Ω 之间的等效串联电阻 (ESR)。如果没有输出电容器，稳压器将振荡。为了获得出色瞬态性能，请使用 X5R 和 X7R 类型的陶瓷电容器，因为这些电容器的值和 ESR 随温度的变化极小。为特定应用选择电容器时，请注意电容器的直流偏置特性。较高的输出电压会导致电容器显著降额。为了获得出色性能，建议的最大输出电容器为 100 µ F。不需要输入电容器即可实现稳定性。不过，良好的模拟实践是在 GND 和 IN 引脚之间连接一个电容器（500nF 或更大电容值）。一些输入电源具有高阻抗，因此将输入电容器放置在输入电源上有助于降低输入阻抗。该电容可抵消电抗性输入源，并改善瞬态响应、输入纹波和 PSRR。如果输入电源在很大的频率范围内具有高阻抗，请并联使用多个输入电容器以降低频率范围内的阻抗。如果有可能出现较大、快速上升时间的负载瞬态或者器件距离输入电源几英寸远，请使用一个更大电容值的电容器。

7.2.2 详细设计过程

7.2.2.1 反馈电阻器选型

V_{OUT} 根据以下公式由外部反馈电阻 R_1 和 R_2 进行设置：

$$V_{OUT} = V_{FB} \times \left(1 + \frac{R_1}{R_2}\right) \quad (6)$$

为了忽略 V_{OUT} 公式中的 FB 引脚电流误差项，请将反馈分压器电流设置为 *电气特性* 表中所列 FB 引脚电流 (I_{FB}) 的 100 倍。该设置提供了最大反馈分压器串联电阻，如以下公式所示：

$$R_1 + R_2 \leq \frac{V_{OUT}}{(I_{FB} \times 100)} \quad (7)$$

Copyright © 2026 Texas Instruments Incorporated

7.2.2.2 前馈电容器

在 OUT 引脚和 FB 引脚之间连接前馈电容器 (C_{FF})。C_{FF} 可改善瞬态、噪声和 PSRR 性能。如果使用更高的电容 C_{FF}，启动时间会增加。有关 C_{FF} 权衡的详细说明，请参阅*使用前馈电容器和低压降稳压器的优缺点*应用手册。

如图 7-3 所示，不良的布局做法以及在 FB 引脚上使用长布线会导致形成寄生电容器 (C_{FB})。

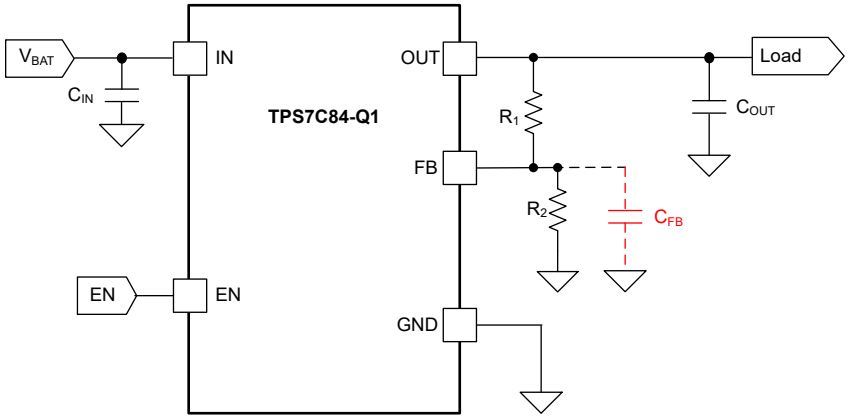


图 7-3. 在 FB 引脚上形成寄生电容器

C_{FB} 以及反馈电阻器 R_1 和 R_2 可能会导致在环路增益的传递函数中形成一个未补偿的极点。当 C_{FB} 值只有 6pF 时，可能会导致由方程式 8 给出的寄生极点频率处于 LDO 带宽范围内并导致不稳定。

$$f_P = \frac{1}{(2 \times \pi \times C_{FB} \times (R_1 \parallel R_2))} \quad (8)$$

添加前馈电容器 (C_{FF}) 会在环路增益传递函数中产生零点，以补偿 C_{FB} 产生的寄生极点。图 7-4 展示了该补偿。方程式 9 和方程式 10 用于计算极点和零点频率。

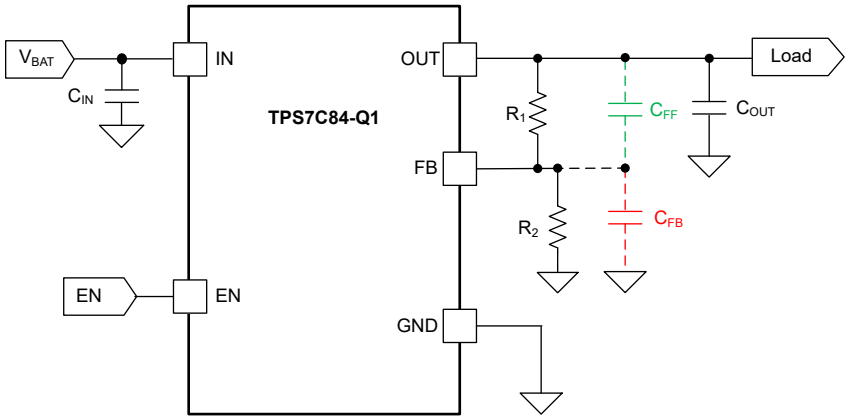


图 7-4. 前馈电容器可补偿寄生电容器的影响

$$f_P = \frac{1}{(2 \times \pi \times (R_1 \parallel R_2) \times (C_{FF} + C_{FB}))} \quad (9)$$

$$f_Z = \frac{1}{(2 \times \pi \times C_{FF} \times R_1)} \quad (10)$$

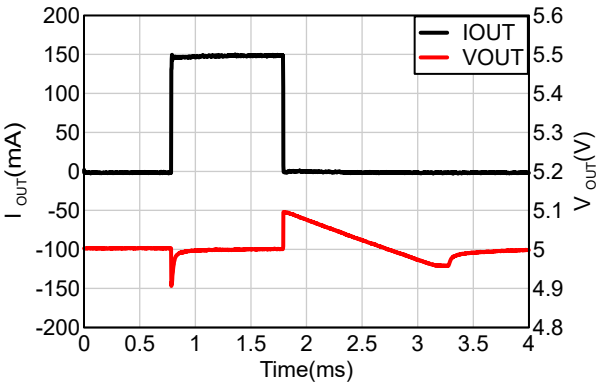
使 f_P 等于 f_Z 的 C_{FF} 值取决于 C_{FB} 的值以及应用中使用的反馈电阻器。此 C_{FF} 值也会导致极点-零点消除。或者，如果选择前馈电容器以使 $C_{FF} \gg C_{FB}$，则方程式 9 和方程式 10 中极点频率和零点频率的关系如下：

Copyright © 2026 Texas Instruments Incorporated

$$\frac{f_p}{f_z} \cong \left(1 + \frac{R_1}{R_2}\right) = \frac{V_{OUT}}{V_{FB}} \quad (11)$$

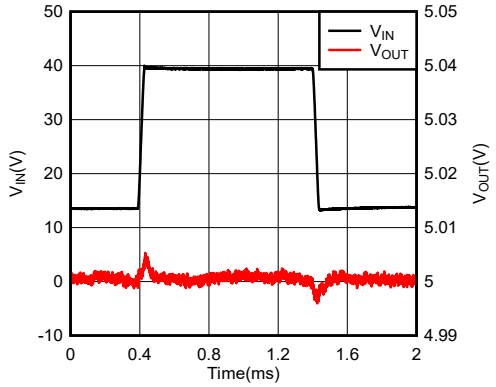
在大多数应用中，尤其是产生 3.3V 或 5V V_{OUT} 的应用中，该比率不是很大。这意味着频率彼此接近，因而寄生极点会得到补偿。如果 C_{FF} 值大约在 100pF ≤ C_{FF} ≤ 10nF 范围内，通常有助于防止反馈节点上的寄生电容导致的不稳定。即使对于较大的 V_{OUT} 值（该比率可能高达 20），此 C_{FF} 范围也很有用。

7.2.3 应用曲线



V_{IN} = 6V，V_{OUT} = 5V，I_{OUT} = 0mA 至 150mA，压摆率 = 1A/μs，C_{OUT} = 1 μF

图 7-5. 负载瞬态响应与时间之间的关系



V_{IN} = 13.5V 至 40V，压摆率 = 1V/μs，V_{OUT} = 5V，C_{OUT} = 1 μF，I_{OUT} = 1mA

图 7-6. 线路瞬态响应与时间之间的关系

Copyright © 2026 Texas Instruments Incorporated

7.3 电源相关建议

将最大输入电压限制为 40V，以确保正常运行。将输入和输出电容器放置在尽可能靠近器件的位置，以利用高频噪声滤波特性。

7.4 布局

7.4.1 布局指南

- 验证器件输入和输出端的布线是否足够宽，可以处理所需的电流。对于该器件，请使用较大的输出布线来适应更大的可用电流。
- 将输入和输出电容器放置在尽可能靠近器件的位置，以利用高频噪声滤波特性。

7.4.2 布局示例

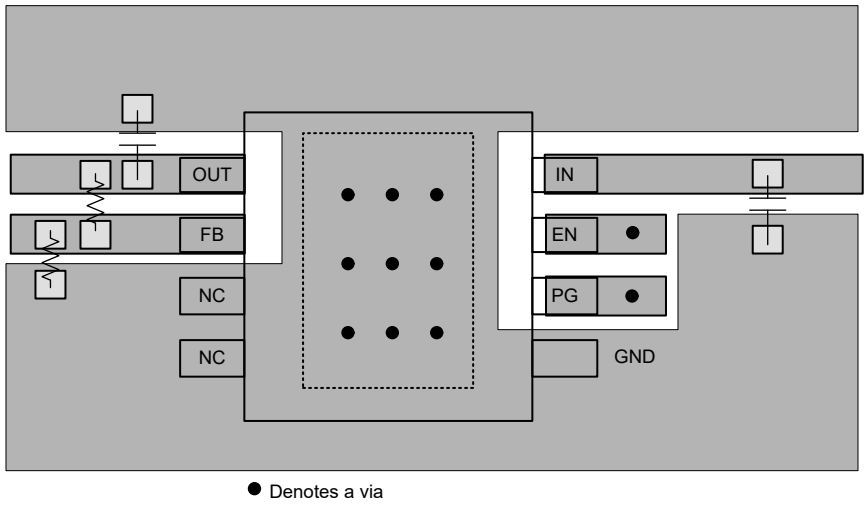


图 7-7. SOIC (D) 封装可调节输出

8 器件和文档支持

8.1 器件支持

8.1.1 器件命名规则

表 8-1. 器件命名规则

产品(1)	V_{OUT}
TPS7C84**xx**Q ***(W)*** ***yyyz***Q1	**xx** 是标称输出电压（例如，50 = 5.0V，33 = 3.3V）。 **Q** 表示该器件符合 AEC-Q100 标准的 1 级器件。 **W** 表示封装具有可湿性侧翼。 **yyy** 是封装标识符。 **z** 是卷盘数量。 **Q1** 表示该器件是汽车级 (AEC-Q100) 器件。
TPS7C84**01**Q ***(W)*** ***yyyz***Q1	**01** 表示该器件是可调选项。 **Q** 表示该器件符合 AEC-Q100 标准的 1 级器件。 **W** 表示封装具有可湿性侧翼。 **yyy** 是封装标识符。 **z** 是卷盘数量。 **Q1** 表示该器件是汽车级 (AEC-Q100) 器件。

(1) 如需了解最新的封装及订购信息，请参阅本文档末尾的封装选项附录或访问 TI 网站 www.ti.com。

8.2 文档支持

8.2.1 相关文档

- 德州仪器 (TI)，*TPS7C84-Q1 功能安全时基故障率、FMD 和引脚 FMA*

8.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.5 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

8.6 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.7 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Copyright © 2026 Texas Instruments Incorporated

Changes from Revision C (November 2025) to Revision D (March 2026) **Page**

- 从*量产混合*更新为*量产数据* 1

Changes from Revision B (February 2025) to Revision C (November 2025) **Page**

- 从*量产数据*更新为*量产混合* 1
- 从 IN 引脚上移除“TEST” 3
- 向*热性能信息表*中添加了 DRB (VSON-8) 可湿性侧翼数据。 4
- 更新了关于如何管理 I_FB 误差项的措辞，使其更加清晰。 18
- 更新了器件命名表，加入“W”以标识带可湿性侧翼的封装变体。 22
- 添加了*文档支持*和*相关文档*部分 22

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PTPS7C8401QDRQ1	Active	Preproduction	SOIC (D) | 8	3000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	
PTPS7C8401QDRQ1.A	Active	Preproduction	SOIC (D) | 8	3000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	
TPS7C8401QDRQ1	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C8401D
TPS7C8401QDRQ1.A	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C8401D
TPS7C8401QWDRBRQ1	Active	Production	SON (DRB) | 8	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	7C8401
TPS7C8433QDRQ1	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C8433D
TPS7C8433QDRQ1.A	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C8433D
TPS7C8433QWDRBRQ1	Active	Production	SON (DRB) | 8	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	7C8433
TPS7C8450QDRQ1	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C8450D
TPS7C8450QDRQ1.A	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C8450D
TPS7C8450QWDRBRQ1	Active	Production	SON (DRB) | 8	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	7C8450

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

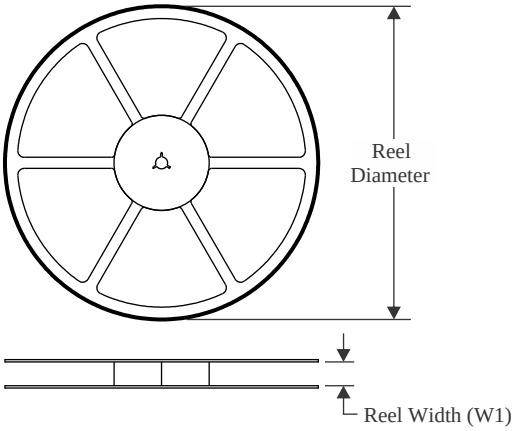
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

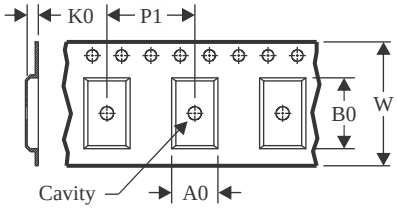
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

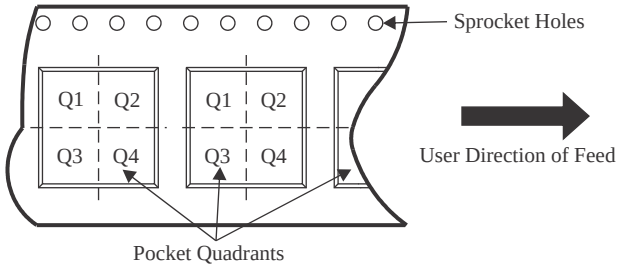


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

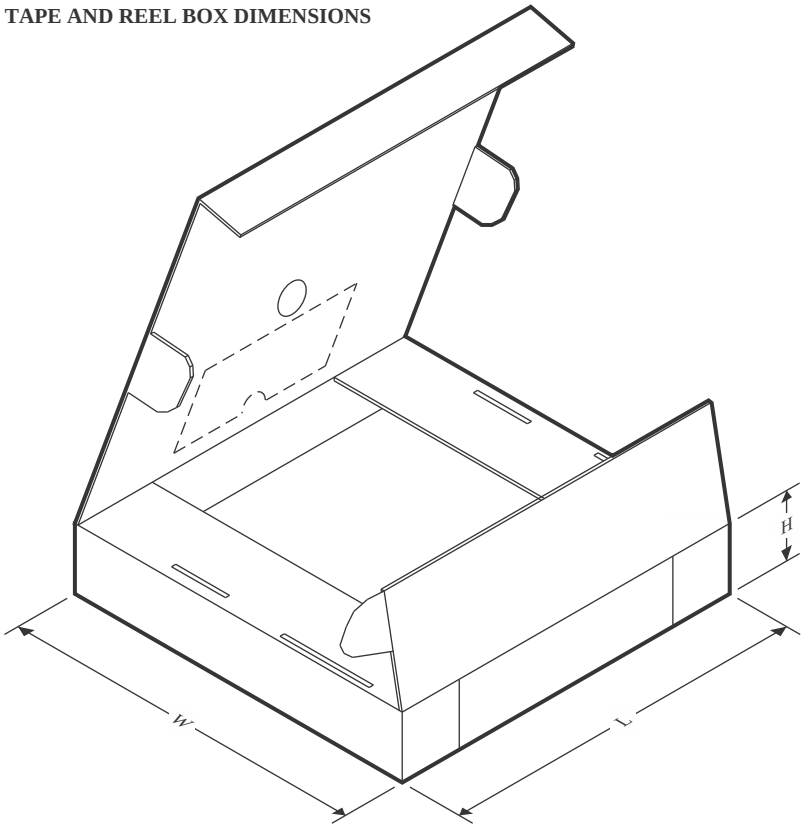
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS7C8401QDRQ1	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TPS7C8401QWDRBRQ1	SON	DRB	8	5000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS7C8433QDRQ1	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TPS7C8433QWDRBRQ1	SON	DRB	8	5000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS7C8450QDRQ1	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TPS7C8450QWDRBRQ1	SON	DRB	8	5000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS7C8401QDRQ1	SOIC	D	8	3000	340.5	338.1	20.6
TPS7C8401QWDRBRQ1	SON	DRB	8	5000	360.0	360.0	36.0
TPS7C8433QDRQ1	SOIC	D	8	3000	340.5	338.1	20.6
TPS7C8433QWDRBRQ1	SON	DRB	8	5000	360.0	360.0	36.0
TPS7C8450QDRQ1	SOIC	D	8	3000	340.5	338.1	20.6
TPS7C8450QWDRBRQ1	SON	DRB	8	5000	360.0	360.0	36.0

GENERIC PACKAGE VIEW

DRB 8 VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD

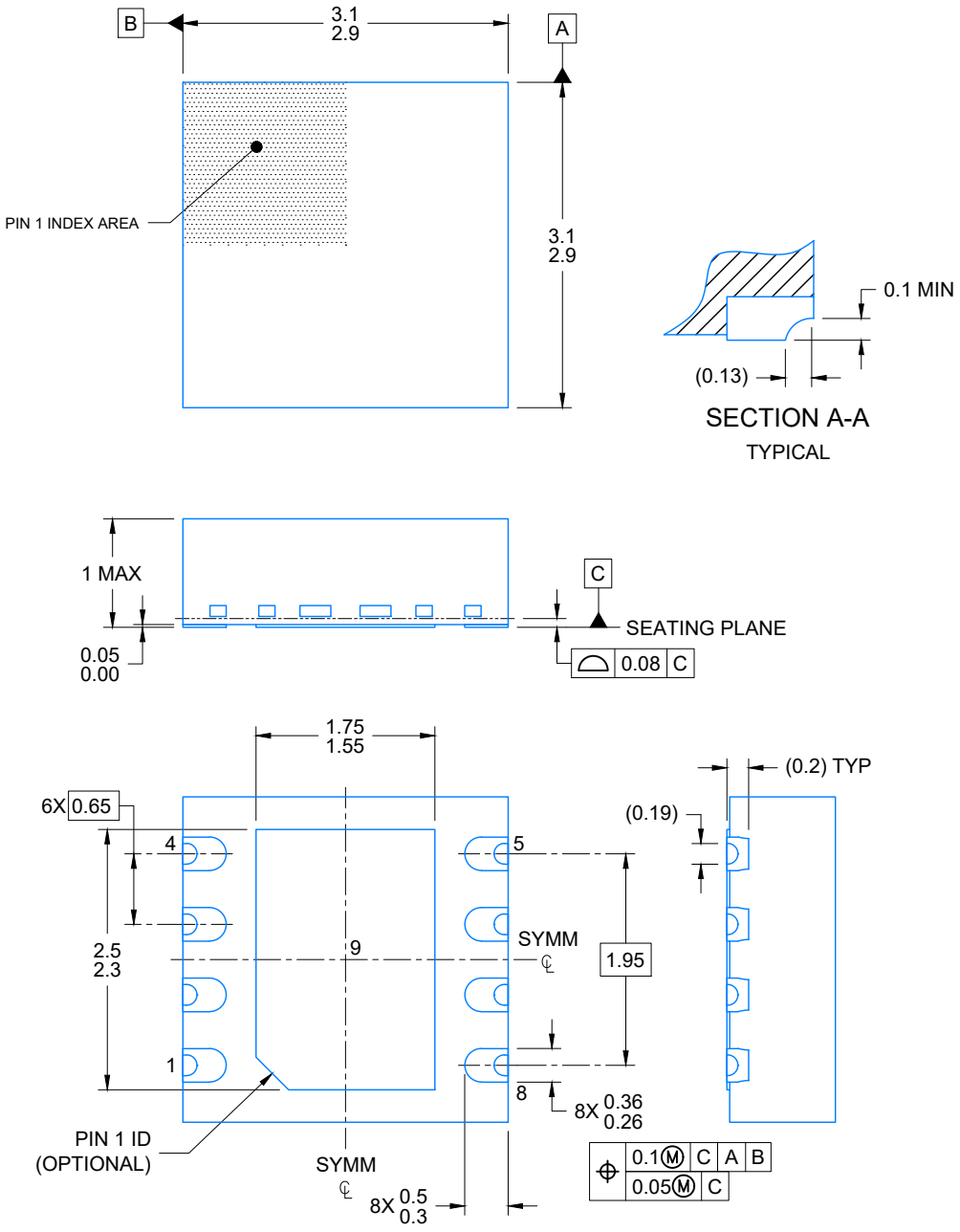
Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

PACKAGE OUTLINE

DRB0008J

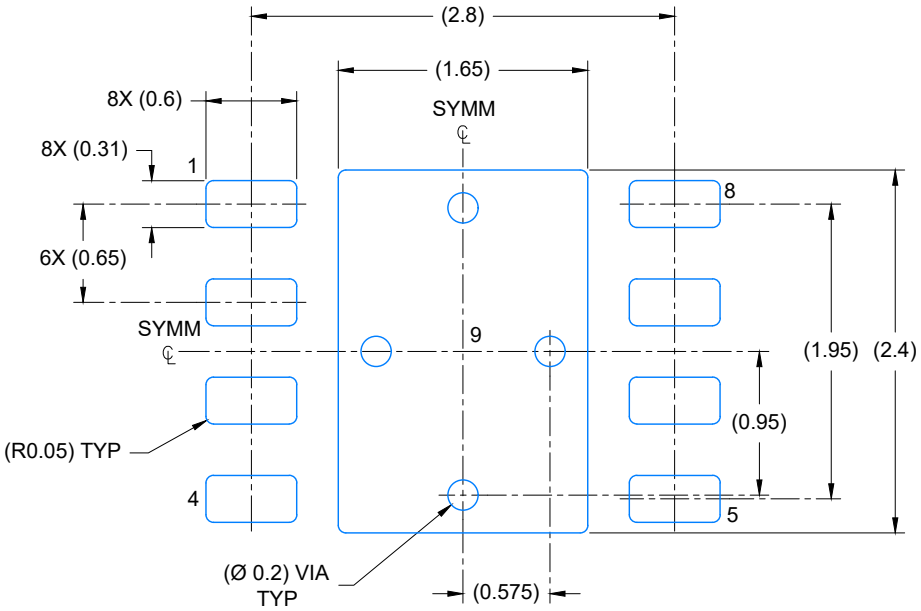
VSON - 1 mm max height

PLASTIC QUAD FLAT PACK- NO LEAD

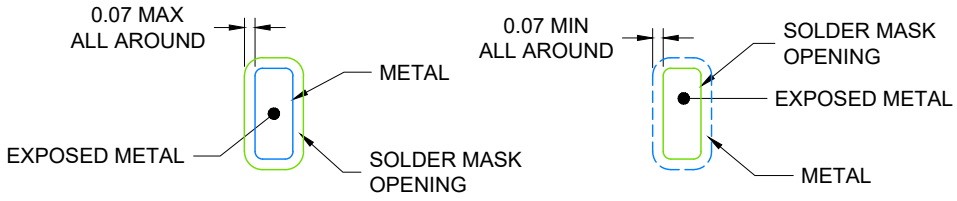


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



NON- SOLDER MASK
DEFINED
(PREFERRED)

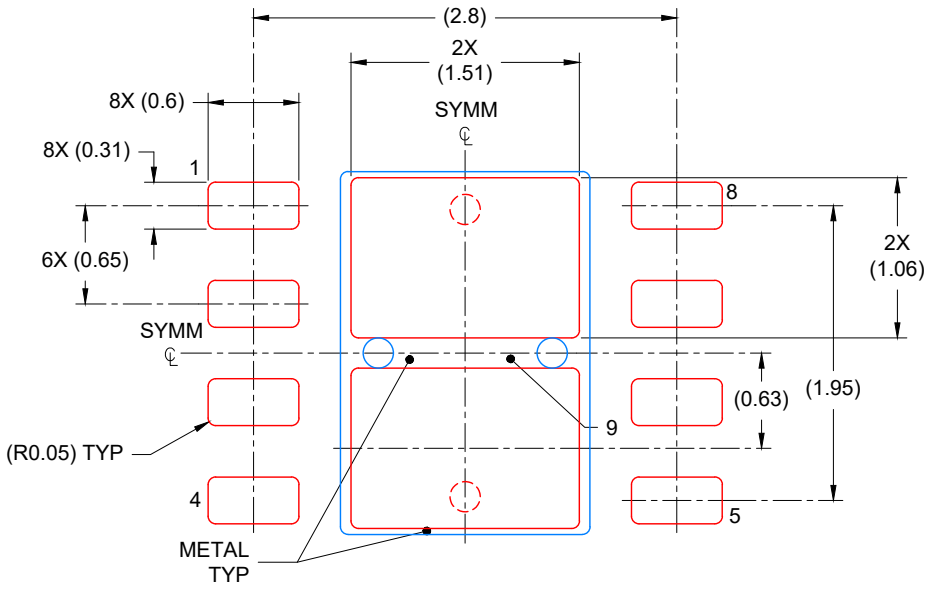
SOLDER MASK
DEFINED

SOLDER MASK DETAILS

4225036/A 06/2019

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



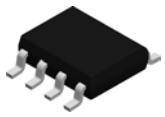
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
81% PRINTED COVERAGE BY AREA
SCALE: 20X

4225036/A 06/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

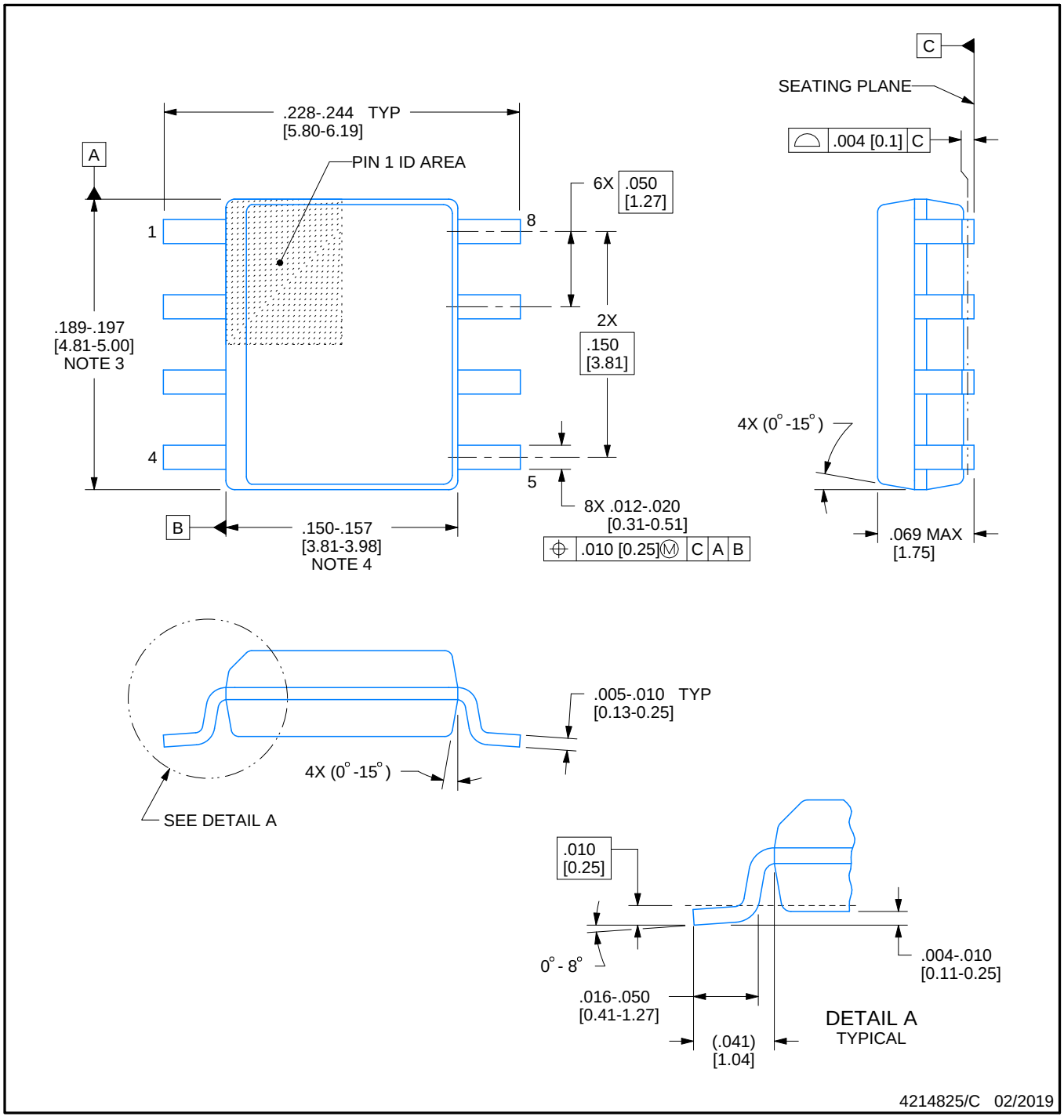


PACKAGE OUTLINE

D0008A

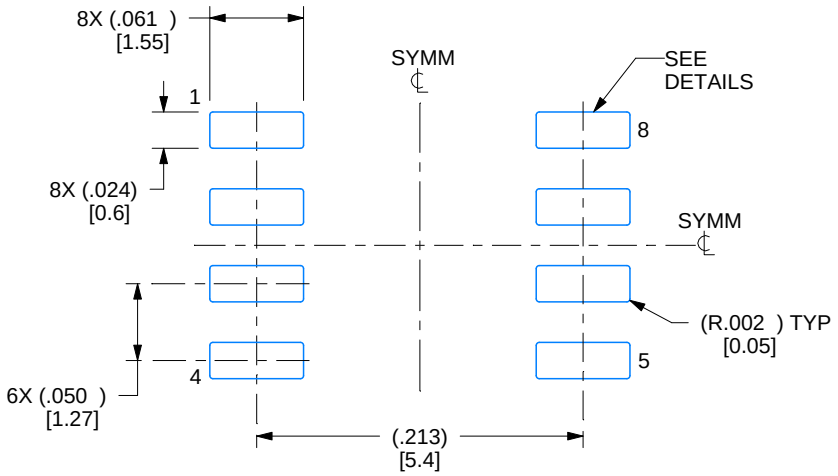
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

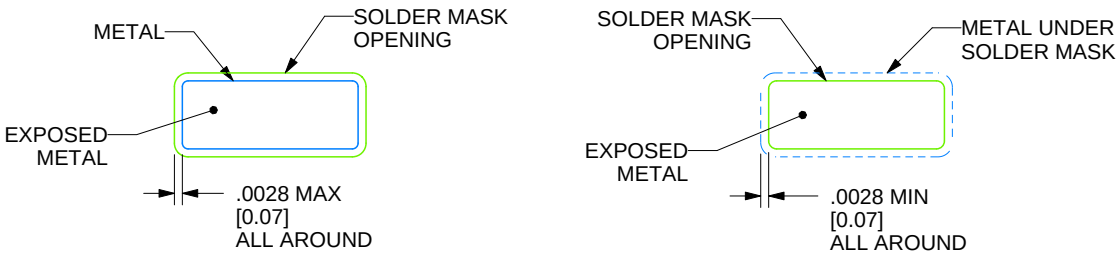


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

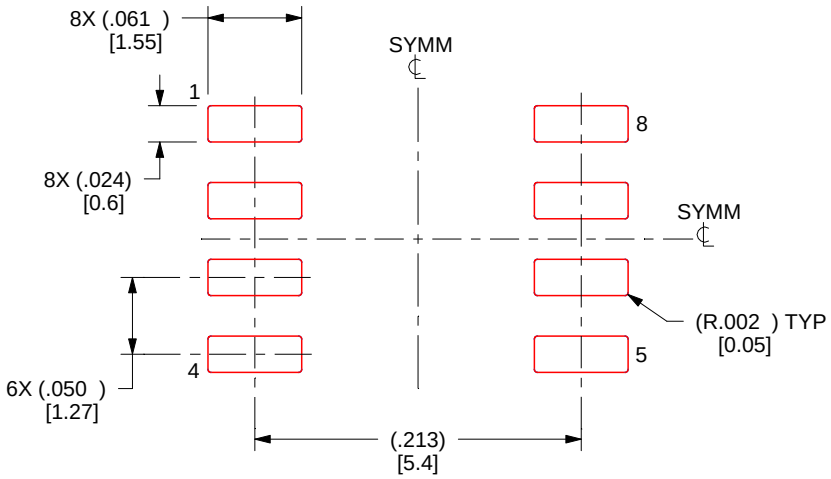
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月