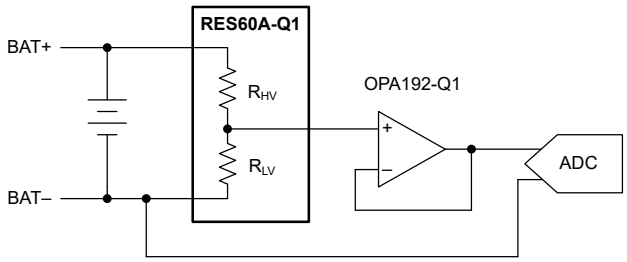
RES60A-Q1 汽车级、1400V_{DC} 精密电阻分压器

1 特性

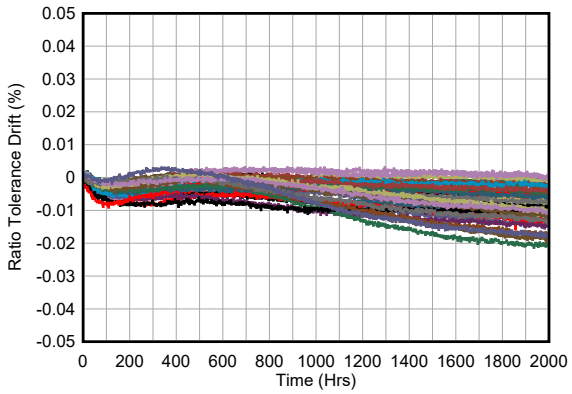
- 符合面向汽车应用的 AEC-Q200 标准：
  - 温度等级 1：-40°C 至 +125°C
- 高额定电压：
  - 在 4000V_{DC} 下可耐受超过 3 次 HiPot 测试 (60s)
  - HVIN 和 LVIN 之间支持 1700V_{DC} 爬电距离和间隙 (IEC-61010 PD 2)
- 高直流精度以及低偏移和低漂移：
  - 初始比率匹配精度：±0.1%（最大值）
  - 低温漂：±1ppm/°C（典型值）
  - 整个老化和温度范围内的精度为 ±0.2%
- 低热噪声薄膜电阻器

2 应用

- 高压总线和电池电压监控
  - 混合动力汽车/电动汽车电池管理系统 (BMS)
  - HEV/EV 直流/直流转换器
  - 混合动力汽车/电动汽车车载充电器 (OBC)
  - HEV/EV 逆变器和电机控制
  - ESS – 电池管理系统 (BMS)
- 非隔离式、同一接地端、常开型分压器
- 高共模范围放大器



典型电路原理图



长期漂移数据（RES60A100，n=37 单位）

3 说明

RES60A-Q1 是一款匹配电阻分压器，采用德州仪器 (TI) 的现代、高性能模拟晶圆工艺和薄膜 SiCr。高质量 SiO_2 绝缘层封装了电阻器，可在极高的电压下使用，该电压在持续运行时高达 1400V_{DC}，在进行 HiPot 测试时高达 4000V_{DC} (60s)。该器件具有 R_{HV} = 12.5MΩ 的标称输入电阻，并提供多种标称比率以满足各种系统需求。

RES60A-Q1 系列具有高比率匹配精度，所测量的每个分压器的比率处于标称值的 ±0.1%（最大值）以内。该精度在额定温度范围内和老化期间保持不变，累积漂移仅为 ±0.2%（最大值）。因此，未经校准的 RES60A-Q1 在使用寿命内的容差保持在 ±0.3%（最大值）范围内。

RES60A-Q1 符合汽车 AEC-Q200 温度 1 级标准，额定温度范围为 –40°C 至 +125°C。该器件采用 8 引脚 SOIC 封装，标称封装尺寸为 7.5mm × 5.85mm，在高压引脚和低压引脚之间具有至少 8.5mm 的爬电距离和间隙距离。

封装信息

器件型号	封装(1)	封装尺寸(2)
RES60A-Q1	DWV（SOIC，8）	5.85mm × 11.5mm

(1) 有关更多信息，请参阅 节 10。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。

器件信息

器件型号	标称比率 (R_{HV}:R_{LV})
RES60A145-Q1	145:1
RES60A210-Q1	210:1
RES60A315-Q1	315:1
RES60A410-Q1	410:1
RES60A500-Q1	500:1
RES60A610-Q1	610:1
RES60A100-Q1	1000:1

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 引脚配置和功能.....2
5 规格.....3
5.1 绝对最大额定值.....3
5.2 ESD 等级.....3
5.3 建议运行条件.....4
5.4 热性能信息.....4
5.5 电气特性.....5
5.6 典型特性.....7
6 详细说明.....12
6.1 概述.....12
6.2 功能方框图.....12
6.3 特性说明.....12
6.4 器件功能模式.....13
7 应用和实施.....14
7.1 应用信息.....14
7.2 典型应用.....20
7.3 电源相关建议.....21
7.4 布局.....22
8 器件和文档支持.....23
8.1 器件支持.....23
8.2 文档支持.....24
8.3 接收文档更新通知.....24
8.4 支持资源.....24
8.5 商标.....24
8.6 静电放电警告.....24
8.7 术语表.....24
9 修订历史记录.....24
10 机械、封装和可订购信息.....25

4 引脚配置和功能

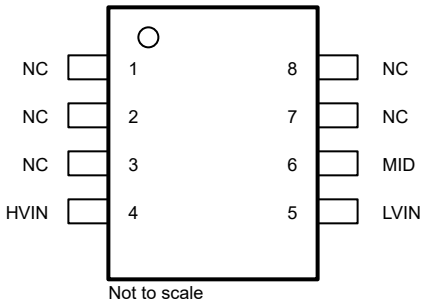


图 4-1. DWV 封装，8 引脚 SOIC（顶视图）

表 4-1. 引脚功能

引脚		类型	说明
名称	编号		
HVIN	4	输入	分压器的高压输入
LVIN	5	输入	分压器的低压输入
MID	6	输出	分压器的中心抽头
NC	1、2、3	—	高压侧的非内部连接引脚。焊接到 PCB 上以实现最佳的板级可靠性。在计算爬电距离和间隙时，必须考虑这些引脚的外露金属面积。
NC	7、8	—	低压侧的非内部连接引脚。焊接到 PCB 上以实现最佳的板级可靠性。在计算爬电距离和间隙时，必须考虑这些引脚的外露金属面积。

Copyright © 2026 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

			最小值	最大值	单位
	每个分压器的最大短期过载电压 V_D = V_{HVIN} – V_{LVIN}（100ms，T_A = 25°C，DWV 封装）(2) (3)	RES60A145	-2700	2700	V
		RES60A210	-2700	2700	
		RES60A315	-2700	2700	
		RES60A410	-2700	2700	
		RES60A500	-2700	2700	
		RES60A610	-2700	2700	
		RES60A100	-2700	2700	
	瞬态高电势电压，交流（50Hz，T_A = 25°C，DWV 封装）(4) (5)	RES60A145	-3000	3000	V_{RMS}
		RES60A210	-3000	3000	
		RES60A315	-3000	3000	
		RES60A410	-3000	3000	
		RES60A500	-3000	3000	
		RES60A610	-3000	3000	
		RES60A100	-3000	3000	
	瞬态高电势电压，直流（T_A = 25°C，DWV 封装）(4) (5)	RES60A145	-4000	4000	V_{DC}
		RES60A210	-4000	4000	
		RES60A315	-4000	4000	
		RES60A410	-4000	4000	
		RES60A500	-4000	4000	
		RES60A610	-4000	4000	
		RES60A100	-4000	4000	
T_A	环境温度		-55	150	°C
T_J	结温		-55	150	°C
T_{stg}	贮存温度		-55	175	°C

(1) 超出*绝对最大额定值*范围操作可能会导致器件永久损坏。*绝对最大额定值* 并不表示器件在这些条件下或在*建议的工作条件* 以外的任何其他条件下能够正常运行。如果超出 *建议运行条件* 但在 *绝对最大额定值* 范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

(2) 瞬态条件下允许的不会降低性能的最大短期电压。避免在这些电压电平或更高的电压电平下持续工作，尤其是在所造成的自发热导致 T_J 超过 150°C 时。

(3) 在生产环境中进行了测试，每个器件均施加 ±2.7kV、持续 100ms 的应力。

(4) 封装的高压域（引脚 1-4）至低压域（引脚 5-8）的差分电压。

(5) 总应力持续时间为 180s，在使用寿命内以不超过 60s 的增量累积，占空比 ≤ 20%。例如，在连续应力达到 60s 后，等待 240s，使器件温度稳定，然后再重复应力。重复的瞬态高电势电压测试可能导致性能下降或器件损坏。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q200-002 标准，除 5 和 6 以外的所有引脚	±4000	V
		人体放电模型 (HBM)，符合 AEC Q200-002 标准，引脚 5 和 6	±2000	

Copyright © 2026 Texas Instruments Incorporated

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

			最小值	标称值	最大值	单位
	每个分压器的最大持续直流电压（DWV 封装，HVIN 引脚至 LVIN 引脚，T_A = 25°C 下 10 年）(1)	RES60A145	-1400		1400	V_{DC}
		RES60A210	-1400		1400	
		RES60A315	-1400		1400	
		RES60A410	-1400		1400	
		RES60A500	-1400		1400	
		RES60A610	-1400		1400	
		RES60A100	-1400		1400	
	每个分压器的最大持续 50Hz 交流电压（DWV 封装，HVIN 引脚至 LVIN 引脚，T_A = 25°C 下 10 年）(1)	RES60A145	-440		440	V_{RMS}
		RES60A210	-440		440	
		RES60A315	-440		440	
		RES60A410	-440		440	
		RES60A500	-440		440	
		RES60A610	-440		440	
		RES60A100	-440		440	
T_A	环境温度		-40		125	°C

(1) 假设 $R_{\theta JA}$ = 110.4°C/W。

5.4 热性能信息

热指标(1)		RES60A-Q1 DWV (SOIC) 8 引脚	单位
$R_{\theta JA}$	结至环境热阻	110.4	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	55.3	°C/W
$R_{\theta JB}$	结至电路板热阻	53.0	°C/W
ψ_{JT}	结至顶部特征参数	41.2	°C/W
ψ_{JB}	结至电路板特征参数	51.6	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用手册。

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性

V_D = 1000V，T_A = 25℃ 时（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
初始电阻							
R_{HV}	输入电阻				12.5		MΩ
R_{LV}	比率相关的电阻(1)	RES60A145			86.2		kΩ
		RES60A210			59.5		
		RES60A315			39.7		
		RES60A410			30.5		
		RES60A500			25.0		
		RES60A610			20.5		
		RES60A100			12.5		
G_{nom}	标称比率	R_{HV}/R_{LV}	RES60A145		145		
			RES60A210		210		
			RES60A315		315		
			RES60A410		410		
			RES60A500		500		
			RES60A610		610		
			RES60A100		1000		
t_D	初始比率容差(2)	V_D = 250V 至 V_D = 1000V，$(R_{HV}/R_{LV})/G_{nom}$ – 1(3)	RES60A145	-0.1	±0.025	0.1	%
			RES60A210	-0.1	±0.029	0.1	
			RES60A315	-0.1	±0.026	0.1	
			RES60A410	-0.1	±0.016	0.1	
			RES60A500	-0.1	±0.017	0.1	
			RES60A610	-0.1	±0.018	0.1	
			RES60A100	-0.1	±0.013	0.1	
t_{abs}	绝对容差（每电阻）(5)	(R_x/R_{xnom}) – 1(3)		-15	-3	15	%
	绝对容差范围	最大（t_{absRHV}、t_{absRLV}）– 最小（t_{absRHV}、t_{absRLV}）			0.02		%
电阻漂移							
	整个工作寿命内的比率容差漂移(4)	连续 10 年，T_A = –40°C 至 +85°C，V_D = 1000V，$(G_{INITIAL} – G_{FINAL})/G_{INITIAL}$ (3)		-0.2	±0.02	0.2	%
TCR_{abs}	电阻的绝对温度系数（每个电阻器）(5) (6)	$(\Delta R_x/R_{x(25°C)})/\Delta T_A$，$T_A$ = –40°C 至 +125°C			23		ppm/°C
TCR_{ratio}	电阻的分压器温度系数（每分压器）(2) (6)	$\Delta t_D/\Delta T_A$，T_A = –40°C 至 +85°C		-3	-0.8	3	ppm/°C
		$\Delta t_D/\Delta T_A$，T_A = –40°C 至 +125°C		-3	-0.5	3	
VCR_{abs}	电阻的绝对电压系数（每电阻）(5) (6)	$\Delta R_x/\Delta V_{Rx}$，V_D = 100V 至 V_D = 1000V	R_{HV}		±3.7		Ω/V
			R_{LV}		±2.9		
VCR_{ratio}	电阻的分压器电压系数（每分压器）(2) (6)	$\Delta t_D/\Delta V_D$，V_D = 100V 至 V_D = 1000V			±0.3		ppm/V

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性（续）

V_D = 1000V，T_A = 25℃ 时（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
阻抗							
C_{IN}	引脚电容(6) (7)	HVIN，V_{LVIN} = V_{MID} = 0V			1.69		pF
		MID，V_{LVIN} = V_{HIN} = 0V			1.12		
		LVIN，V_{MID} = V_{HIN} = 0V			2.66		
	–3dB 带宽(6) (8)	按 f = 100Hz，无 C_{FILTER} 时的衰减进行归一化处理	RES60A145		68.5		kHz
			RES60A210		72.9		
			RES60A315		77.3		
			RES60A410		71.7		
			RES60A500		74.9		
			RES60A610		73.8		
			RES60A100		73.7		
t_s	稳定时间(6)	至 1%，10V 阶跃	RES60A145		8.3		μs
			RES60A210		7.1		
			RES60A315		6.1		
			RES60A410		6.0		
			RES60A500		5.9		
			RES60A610		5.9		
			RES60A100		5.6		
		至 0.1%，10V 阶跃	RES60A145		34.8		μs
			RES60A210		30.4		
			RES60A315		22.1		
			RES60A410		8.7		
			RES60A500		10.4		
			RES60A610		9.7		
			RES60A100		8.7		
e_N	热噪声密度(7)	f = 1kHz	RES60A145		36		nV/√Hz
			RES60A210		30		
			RES60A315		25		
			RES60A410		22		
			RES60A500		20		
			RES60A610		18		
			RES60A100		14		

(1) 输入电阻 (R_{HV}) 和标称比率 (G_{nom}) 是决定 R_{LV} 值的控制规范。为了便于表示，R_{LV} 的标称值采用三位有效数字。
(2) R_{HV}/R_{LV} 与标称比率。
(3) 规格是该表达式的结果，以百分比（乘以 100%）的形式给出
(4) 根据设计和加速认证测试确定。
(5) R_{HV} 和 R_{LV} 与标称值。
(6) 根据特征确定。
(7) 根据设计指定。
(8) 对于特定器件和应用，–3dB 带宽会受到器件本身及电路板寄生电容的显著影响。前馈电容会导致高频衰减低于标称值，从而产生增益峰值。建议在 R_{LV} 两端并联一个滤波电容以进行增益整形，并确认各频率下的衰减满足电路及设计目标。该电容器的数值最好通过实验确定和验证。有关更多信息，请参阅*典型特性* 和 *布局指南*。

Copyright © 2026 Texas Instruments Incorporated

5.6 典型特性

T_A = 25°C（除非另有说明）

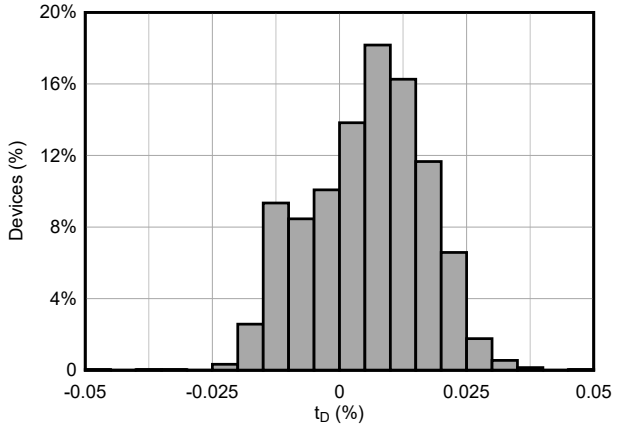


图 5-1. t_D 分布

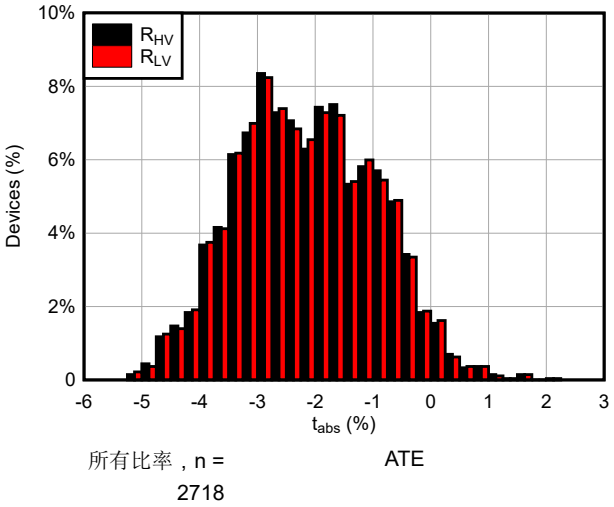


图 5-2. 绝对容差范围分布

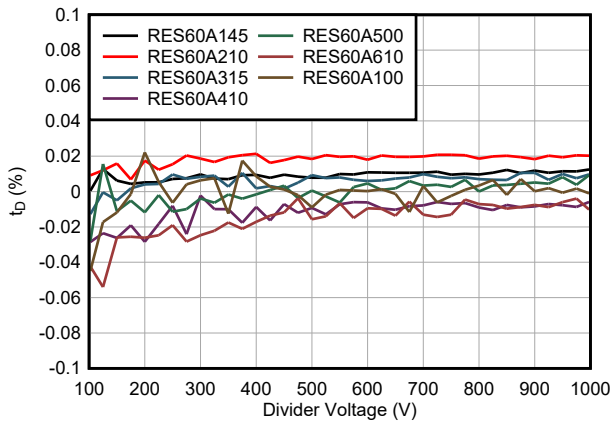
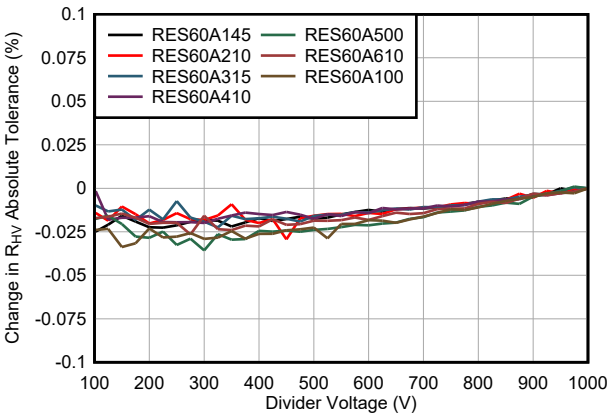


图 5-3. t_D 与分压器电压间的关系



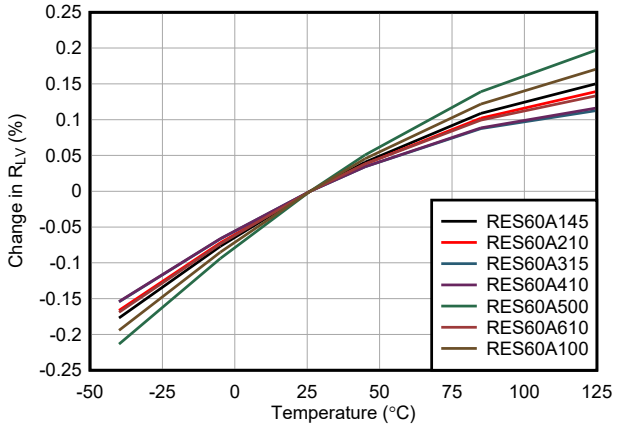
标准化为 V_D = 1000V 时的值

图 5-4. R_{HV} 与分压器电压间的关系

Copyright © 2026 Texas Instruments Incorporated

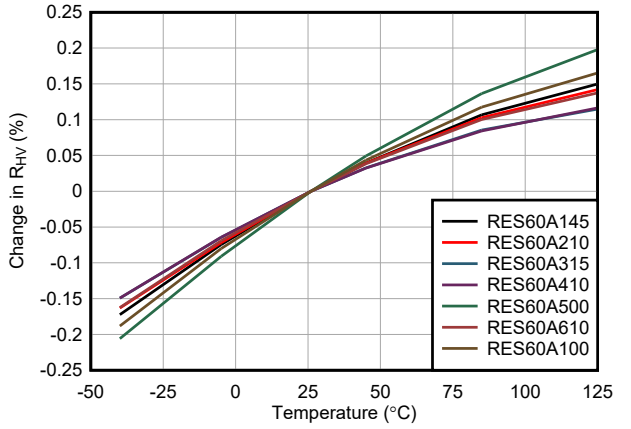
5.6 典型特性（续）

T_A = 25°C（除非另有说明）



标准化为 T_A = 25°C 时的值

图 5-5. R_{LV} 与温度间的关系



标准化为 T_A = 25°C 时的值

图 5-6. R_{HV} 与温度间的关系

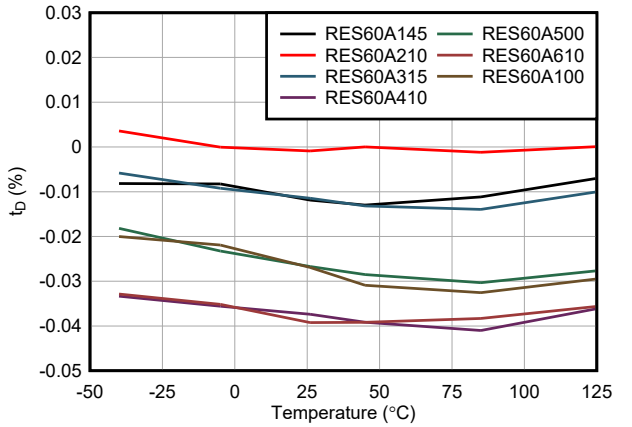
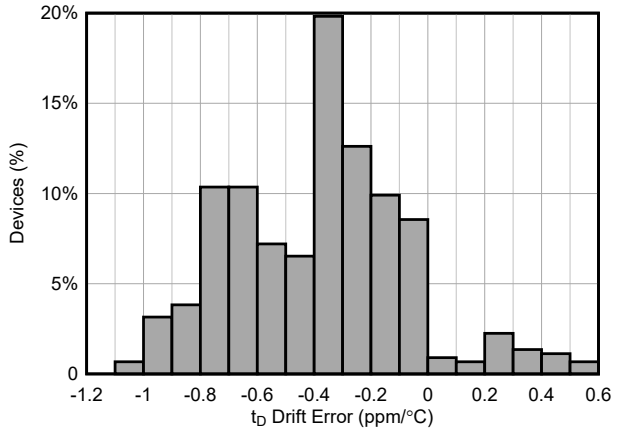


图 5-7. t_D 与温度间的关系



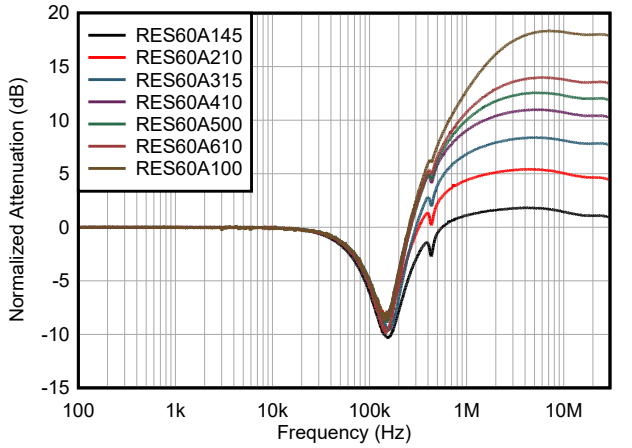
所有比率　　T_A = –40°C 至 +125°C，n = 444

图 5-8. TCR_{ratio} 温度系数分布

Copyright © 2026 Texas Instruments Incorporated

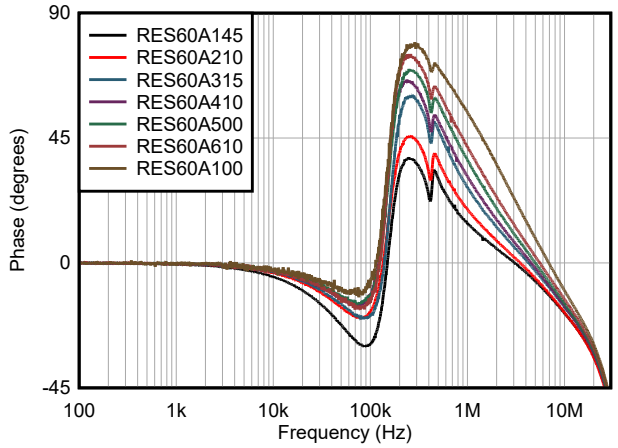
5.6 典型特性（续）

T_A = 25°C（除非另有说明）



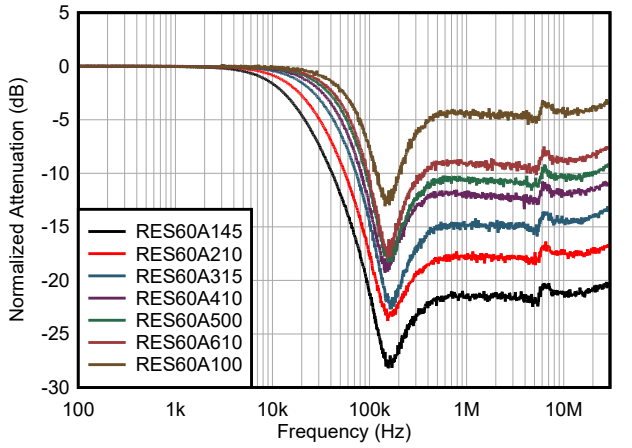
无 C_{FILTER}　　按 f = 100Hz 时的衰减进行归一化处理

图 5-9. 衰减与频率间的关系，未补偿



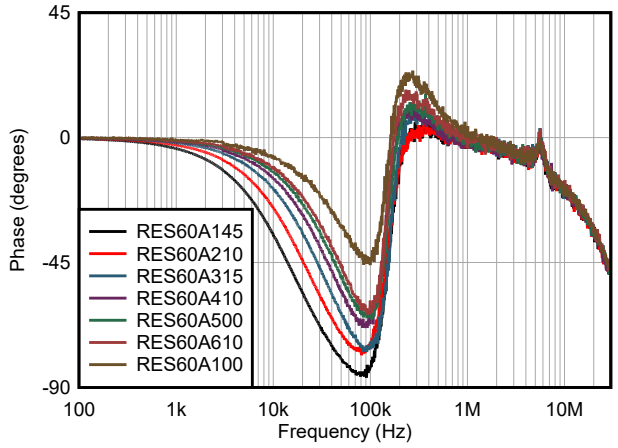
无 C_{FILTER}

图 5-10. 相位与频率间的关系，未补偿



C_{FILTER} = 130pF　　按 f = 100Hz 时的衰减进行归一化处理

图 5-11. 衰减与频率间的关系，已补偿



C_{FILTER} = 130pF

图 5-12. 相位与频率间的关系，已补偿

Copyright © 2026 Texas Instruments Incorporated

5.6 典型特性（续）

T_A = 25°C（除非另有说明）

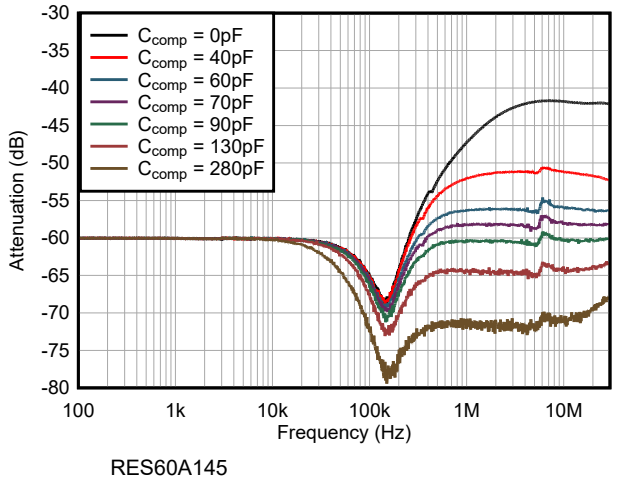


图 5-13. 衰减与频率间的关系，随 C_{FILTER} 变化

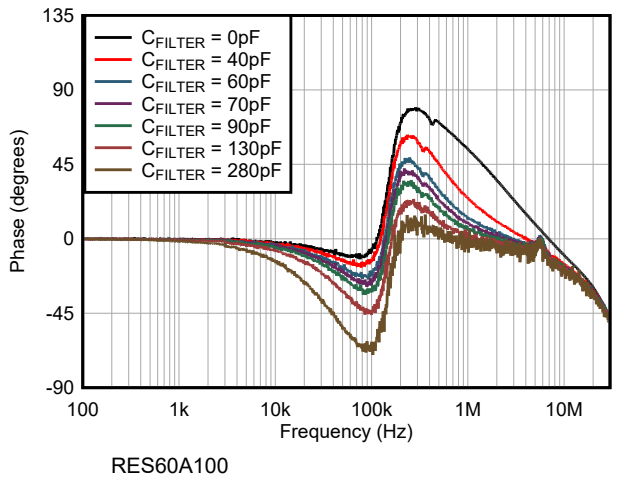


图 5-14. 相位与频率间的关系，随 C_{FILTER} 变化

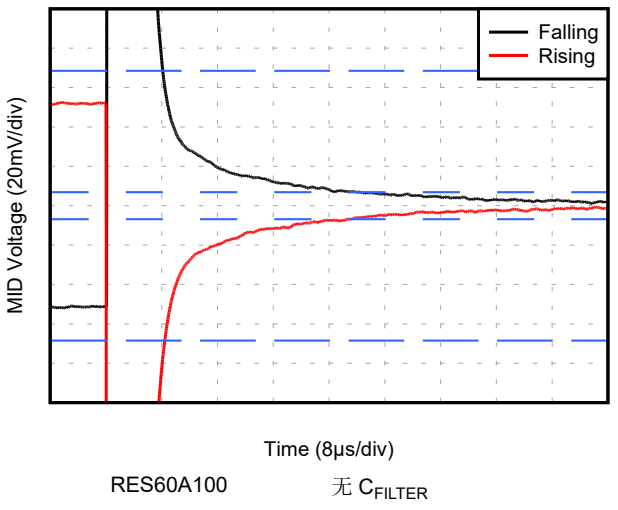


图 5-15. 10V 阶跃响应，未补偿

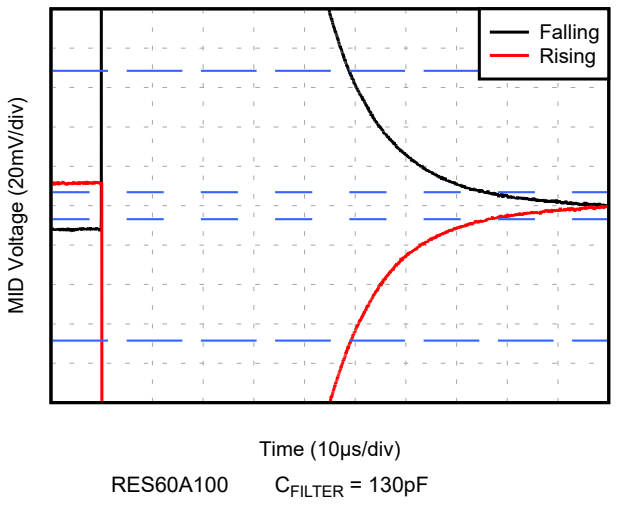


图 5-16. 10V 阶跃响应，已补偿

Copyright © 2026 Texas Instruments Incorporated

5.6 典型特性（续）

T_A = 25°C（除非另有说明）

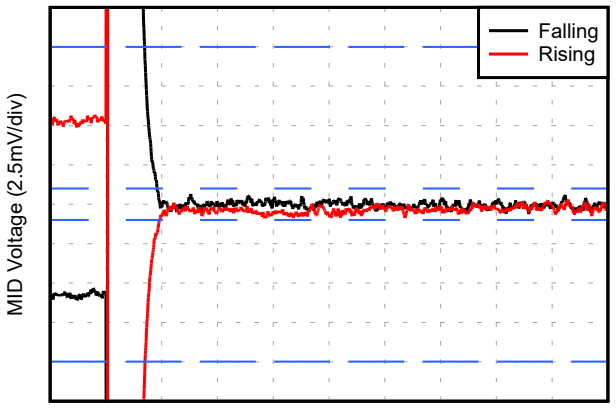


图 5-17. 10V 阶跃响应，未补偿

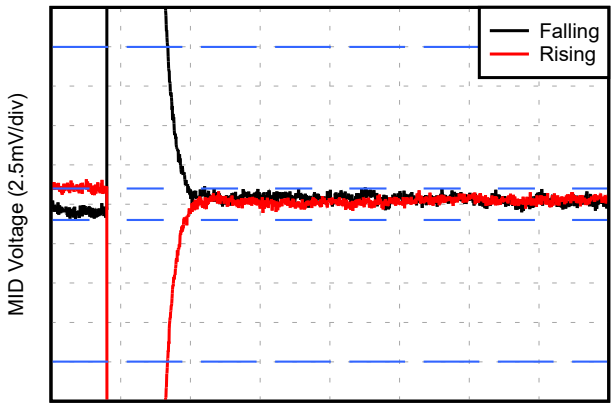


图 5-18. 10V 阶跃响应，已补偿

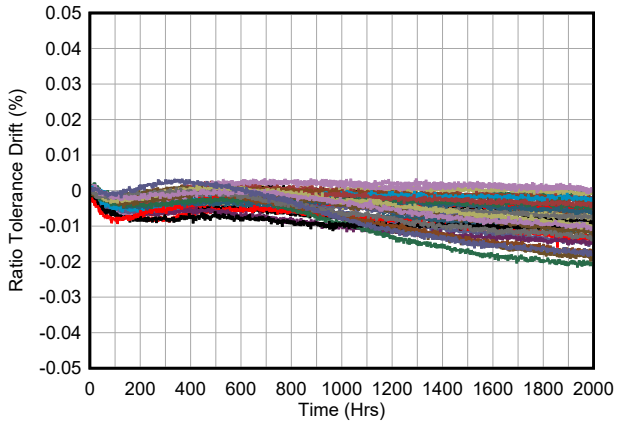


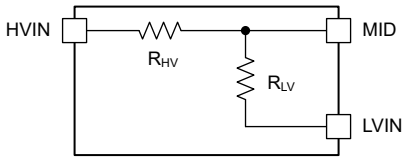
图 5-19. 长期漂移

6 详细说明

6.1 概述

RES60A-Q1 包含两个精密的薄膜 SiCr 电阻器，这两个电阻器排列形成一个匹配的分压器，并覆有绝缘 SiO_2 层。该器件包含一个标称值为 12.5MΩ 的*输入* 电阻器 R_{HV}。该器件还包含一个*增益* 电阻器 R_{LV}，其阻值取决于 RES60A-Q1 的标称比率 (R_{HV}/R_{LV})。

6.2 功能方框图



6.3 特性说明

6.3.1 绝对容差和比率式容差

RES60A-Q1 的电阻通过以下公式来描述：

$$R_{HV} = R_{HVnom} \times (1 \pm t_{absRHV}) = R_{HVnom} \times (1 \pm t_{RHV}) \times (1 \pm t_{SiCr}) \quad (1)$$

$$R_{LV} = R_{LVnom} \times (1 \pm t_{absRLV}) = R_{LVnom} \times (1 \pm t_{RLV}) \times (1 \pm t_{SiCr}) \quad (2)$$

R_{HVnom} 和 R_{LVnom} 是每个电阻器的标称值。参数 t_{abs} 是误差项，用于描述相关 RES60A-Q1 电阻器的绝对容差，使得 $|t_{abs}| \leq 15\%$。例如，t_{abs} = 5% 的标称 12.5MΩ 电阻实际上测量为 13.125MΩ。此误差类似于大多数单元件电阻器的指定*绝对容差*，或更专业的电阻分压器的端到端容差。

备注

RES60A-Q1 不是激光修整器件。RES60A-Q1 的每个比率都有一个专门针对该比率进行优化的独特芯片，可提供实现极低温漂所需的精确匹配和一致热特性。

绝对容差主要取决于 SiCr 电阻率 (t_{SiCr}) 的变化。给定 RES60A-Q1 的两个电阻器呈叉指状，并且来自相同的晶圆区域；因此，t_{SiCr} 对于两个电阻器而言实际上相同，但 t_{SiCr} 因器件而异。

以下示例显示，当以比例式考虑分压器时，t_{SiCr} 误差项会消失。参数 t_{Rx} 是残留误差项，用于描述给定 RES60A-Q1 器件每个电阻的剩余有效容差（在考虑通用 t_{SiCr} 之后）。

$$\frac{R_{HV}}{R_{LV}} = \frac{R_{HVnom} \times (1 \pm t_{RHV}) \times (1 \pm t_{SiCr})}{R_{LVnom} \times (1 \pm t_{RLV}) \times (1 \pm t_{SiCr})} = \frac{R_{HVnom} \times (1 \pm t_{RHV})}{R_{LVnom} \times (1 \pm t_{RLV})} = G_{nom} \times \frac{(1 \pm t_{RHV})}{(1 \pm t_{RLV})} = G \quad (3)$$

$$\frac{R_{HV}}{R_{LV} + R_{HV}} = \frac{R_{HVnom} \times (1 \pm t_{RHV}) \times (1 \pm t_{SiCr})}{R_{LVnom} \times (1 \pm t_{RLV}) \times (1 \pm t_{SiCr}) + R_{HVnom} \times (1 \pm t_{RHV}) \times (1 \pm t_{SiCr})} \quad (4)$$
$$= \frac{R_{HVnom} \times (1 \pm t_{RHV})}{R_{LVnom} \times (1 \pm t_{RLV}) + R_{HVnom} \times (1 \pm t_{RHV})}$$

t_{RHV} 和 t_{RLV} 的独立值描述了每个电阻的容差，但不是高斯意义上的独立变量。相反，这些值之间的匹配（根据设计）用于在电阻器之间实现高度稳定的比率关系，从而提供极低误差的有效*比率*。

RES60A-Q1 的规定最大初始分压器分压比容差为 0.1%，这意味着对于给定的分压器，实际分压器分压比 G 和标称分压器分压比 G_{nom} 之间的关系描述如下：

$$G = \frac{R_{HV}}{R_{LV}} = G_{nom} \times (1 \pm t_D) \quad (5)$$

Copyright © 2026 Texas Instruments Incorporated

使得 t_D ≤ 0.1%。RES60A-Q1 的 t_D 限制通过生产过程中进行的精确参数测试严格执行，测试时分压器电压从 V_D = 250V 扫描至 V_D = 1000V。单元元件电阻器没有与 t_D 等效的，因为除了等级限制之外，不考虑任何器件间匹配。在其他分压器数据表中，t_D 的等效值通常称为*比率容差*。

由于在最终测试阶段会筛除所有不符合这些标准的器件，因此此公式可以与前面的公式一起用来证明给定比率下 t_{RHV} 和 t_{RLV} 的有效范围限。因此，尽管绝对容差范围较宽，为 ±15%，t_{RHV} 和 t_{RLV} 的最坏情况初始绝对误差*彼此之间*仍大约在 ±0.115% 以内。

6.3.2 超低噪声

电阻中的噪声可在两个单独的区域中进行评估：低频闪烁噪声和宽带热噪声。对于需要频率低于 100Hz 的信号增益的系统，闪烁（或 1/f 噪声）非常重要。薄膜电阻器（包括 RES60A-Q1）的闪烁噪声低于厚膜电阻器工艺的闪烁噪声。在大于 1kHz 的区域中，通常以热噪声为主，该噪声会随着电阻幅度的增加而增加。噪声被建模为与电阻串联的电压源。

对于 RES60A-Q1 等电阻分压器，在 R_{HV} 和 R_{LV} 两个电阻器的中心抽头位置测量的热噪声等同于值为 R_{HV} || R_{LV} 的电阻器的热噪声：

$$e_N = \sqrt{(4k_B TR)} \tag{6}$$

其中：

- e_N 是以 nV/ √Hz 为单位的热噪声密度
- T 是以开尔文 (K) 为单位的绝对温度
- k_B 是玻尔兹曼常数 1.381 × 10-23J/K
- R = R_{HV} || R_{LV}

R_{HV} >> R_{LV}；因此 R ≈ R_{LV}。例如，对于 RES60A610-Q1：

$$e_N = \sqrt{(4k_B TR)} = \sqrt{4 \times 1.38E^{-23} \frac{J}{K} \times 278K \times (12.5M\Omega \parallel 20.49k\Omega)} = 18nV/\sqrt{Hz} \tag{7}$$

6.4 器件功能模式

RES60A-Q1 具有单个用于 HVIN 引脚的焊盘和两个用于 MID 和 LVIN 引脚的焊盘，所有其他焊盘和引脚都处于电气悬空状态。将 MID 和 LVIN 引脚分别连接至系统的*低压域*，例如微控制器 ADC 输入和机箱接地。将 HVIN 引脚偏置至被测系统的高电势，如电池组的高侧。

HVIN 和 LVIN 可用于直接在电池的高侧和低侧之间进行测量。但是，为避免出现过压情况，请验证由 MID 驱动的下游电路是否正确地以低侧 (LVIN) 为基准。

Copyright © 2026 Texas Instruments Incorporated

7 应用和实施

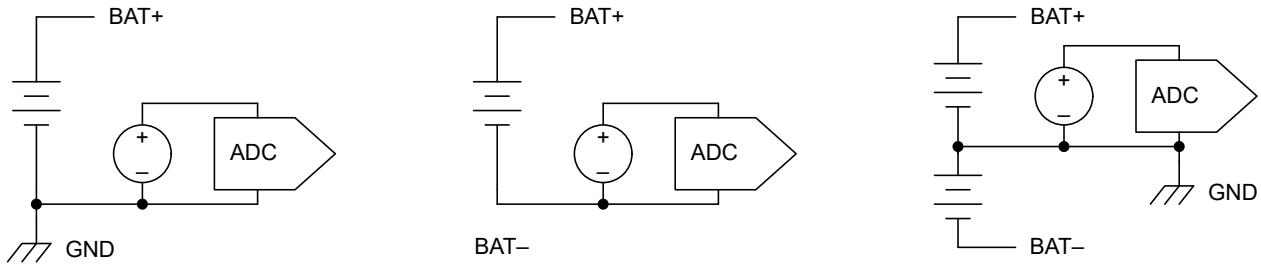
备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

7.1 应用信息

7.1.1 电池组测量

RES60A-Q1 可与汽车精密放大器（如 OPA192-Q1）配合使用，以对电动汽车电池的高侧 (BAT+) 进行单端测量（相对于固定电势）。对于 BAT – 和 GND 等效的系统（如图 7-1 (a) 所示），图 7-2 中显示的配置适用。另一种方法是直接测量电池 BAT+ 和 BAT – 之间的电压，如图 7-3 所示。此方法对于以电池低侧 BAT – 为基准的系统非常有用，如图 7-1 (b) 所示。



(a) Referenced to GND, GND = BAT–

(b) Referenced to BAT–, BAT+ > GND > BAT–

(c) Referenced to GND, BAT+ > GND > BAT–

图 7-1. 常见电池和系统配置

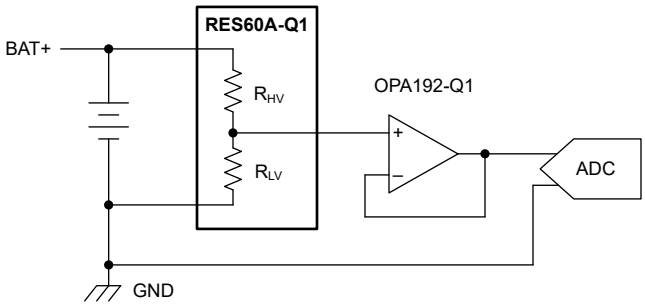


图 7-2. 单端测量，BAT+ 至 GND

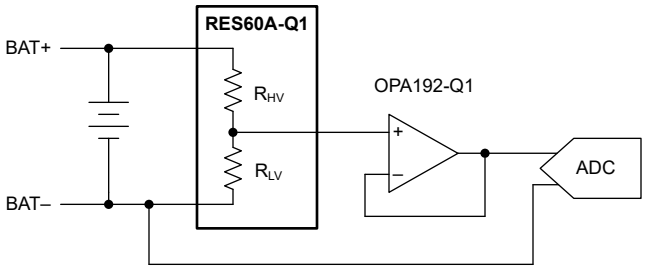


图 7-3. 单端测量，BAT+ 至 BAT –

对于某些系统架构，BAT – 相对于机箱 GND 悬空；另请参阅图 7-1 (c)。例如，如果以机箱接地端为基准的微控制器需要测量整个电池组上的电压，则可以使用两个 RES60A-Q1 器件和一个 OPA192-Q1 构建一个差分放大

Copyright © 2026 Texas Instruments Incorporated

器。图 7-4 展示了该方法。如果有两个 ADC 通道，则可以使用两个 RES60A-Q1 器件和一个 OPA2192-Q1 执行两个单端测量。

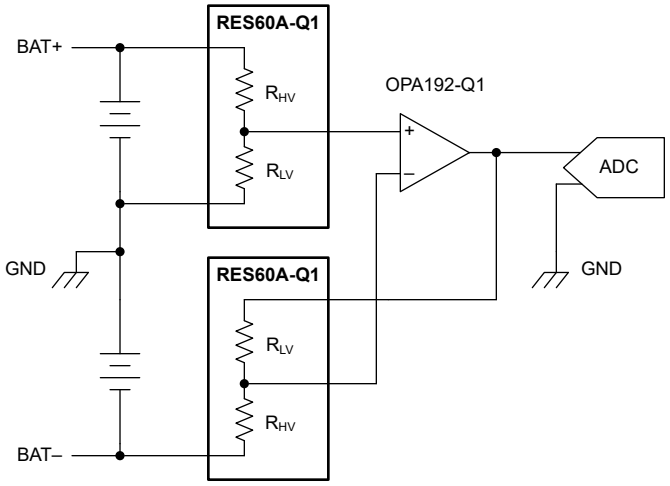


图 7-4. 差分测量，BAT+ 至 BAT –

系统漏电流和放大器输入的静态电流会降低测量精度。在某些情况下，可以使用保护缓冲器来减小漏电流。遵循最佳实践来减少电路板污染并减小泄漏。

对于 800V 单端电池测量（另请参阅图 7-2），流过分压器的静态电流为：

$$I_{STATIC} = \frac{V_{BATT}}{(R_{HV} + R_{LV})} = \frac{800V}{(12.5M\Omega + 20.49k\Omega)} = 63.9\mu A \quad (8)$$

因此，使用的缓冲放大器必须具有低偏置电流，以便 $I_B << I_{STATIC}$。OPA192-Q1 的低偏置电流（25°C 下的典型值为 5pA，–40°C 至 +125°C 的最大值为 5nA）使该器件成为此角色的理想选择。

7.1.2 使用 RES60A-Q1 进行 RES11A-Q1 的增益调节

虽然有多个 RES60A-Q1 比率可用，但通过使用低偏移缓冲放大器和低电压匹配的分压网络（例如 RES11A-Q1 本身）精细调节分压器输出来实现额外的有效比率。RES11A-Q1 的低比率误差可最大限度地减少信号链的额外增益误差贡献，同时最大限度地增大下游 ADC 的输入满量程范围 (FSR)。

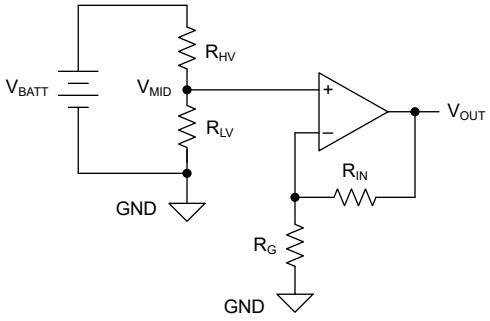


图 7-5. 使用 RES11A-Q1 及 RES60A-Q1 的电池包测量

$$V_{MID} = V_{BATT} \times \frac{R_{LV}}{R_{HV} + R_{LV}} = \frac{V_{BATT}}{G_{R60} + 1} \quad (9)$$

$$V_{OUT} = V_{MID}\left(\frac{R_{IN}}{R_G} + 1\right) = V_{MID}\left(\frac{1}{G_{R11}} + 1\right) = V_{BATT}\left(\frac{1 + G_{R11}}{G_{R11} \times (G_{R60} + 1)}\right) \quad (10)$$

Copyright © 2026 Texas Instruments Incorporated

为简洁起见，RES60A-Q1、RES11A-Q1 和放大器电路的有效传递函数总结为 G_{SF}。

$$G_{SF} = \frac{G_{R11} \times (G_{R60} + 1)}{1 + G_{R11}} \quad (11)$$

$$V_{OUT} = V_{BATT} \times \left(\frac{1}{G_{SF}}\right) \quad (12)$$

表 7-1 显示了与各种 RES11A-Q1 和 RES60A-Q1 组合相关的有效分压器比例因子 G_{SF}。

表 7-1. RES11A-Q1 及 RES60A-Q1 组合的有效比例因子 G_{SF}

G_{R60}	145	210	315	410	500	610	1000
G_{R11}	有效比例因子 G_{SF}						
无	146.00	211.00	316.00	411.00	501.00	611.00	1001.00
1	73.00	105.50	158.00	205.50	250.50	305.50	500.50
1.5	87.60	126.60	189.60	246.60	300.60	366.60	600.60
1.6667	91.26	131.88	197.51	256.89	313.15	381.90	625.67
2	97.33	140.67	210.67	274.00	334.00	407.33	667.33
2.5	104.29	150.71	225.71	293.57	357.86	436.43	715.00
3	109.50	158.25	237.00	308.25	375.75	458.25	750.75
4	116.80	168.80	252.80	328.80	400.80	488.80	800.80
5	121.67	175.83	263.33	342.50	417.50	509.17	834.17
9	131.40	189.90	284.40	369.90	450.90	549.90	900.90
10	132.73	191.82	287.27	373.64	455.45	555.45	910.00

7.1.3 HIPOT 和 OVST

HIPOT（高电势测试）通常用于筛选出要在高压应用中使用的早期故障器件。此测试旨在识别位于所谓的“浴盆曲线”左侧的任何器件，以便评估其可靠性。有关浴盆曲线模型的详细讨论，请参阅 TI 可靠性术语。

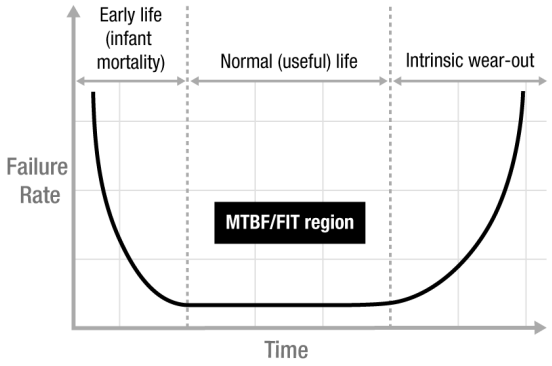


图 7-6. 可靠性浴盆曲线

RES60A-Q1 的生产测试程序包括在每个器件上执行的过压应力测试 (OVST)。该 OVST 在许多方面与 HIPOT 类似，但测试持续时间较短。在器件上施加 +2700Vdc 和 –2700Vdc 的应力，每次施加 100ms。在 OVST 之前和之后都会执行一整套参数测试，并对结果进行比较，以识别任何由于 OVST 而出现不可接受的参数变化的器件。该 OVST 可降低早期故障单元的风险，而不会加速器件老化或损坏正常单位。

Copyright © 2026 Texas Instruments Incorporated

7.1.3.1 HIPOT 的机制

在对 RES60A-Q1 等电阻进行 HIPOT 测试期间，器件的功率耗散会导致结温超过 150°C 的绝对最大额定值。例如，对 RES60A100-Q1 施加 4kV DC 的 HIPOT 应力（标称系列阻抗 12,512,500Ω）时，典型的功率消耗为 1.28W。$R_{\theta JA}$ 为 110.4°C/W 时，相关的自发热会导致器件结温增加 141°C 或更高。

RES60A-Q1 具有显著的设计裕度，可承受此类应力，并且不会影响器件功能。但是，导致结温达到极端温度的重复或长时间应力可能会使器件过载，并导致器件老化加速。器件响应的具体细节取决于多种因素，例如器件的应力幅度和持续时间以及绝对容差 (t_{abs})，但器件实施方案的有效散热发挥着特别重要的作用。为了降低 HIPOT 测试期间器件过早老化的风险，请遵循 节 7.4.1 中讨论的最佳实践，以便在 LVIN 引脚上提供足够的散热。请注意，由于在施加高压应力时 RES60A-Q1 继续充当电阻分压器，MID 引脚上的电压会相应地上升，因此，需验证 MID 引脚及其之后的下游电路是否已正确限压或额定为能够承受相关的电压升高。

7.1.3.2 HIPOT 的扩展验证

除 OVST 之外，RES60A-Q1 的用户还可以根据应用的特定项目指南和任务剖面要求选择执行 HIPOT。通常，使用持续时间为 5s 或 10s 的生产 HIPOT 应力在系统或子系统级测试电路板或电路卡组件。根据系统架构的不同，这可能会导致 RES60A-Q1 分压器上出现 HIPOT 应力。在器件和平台鉴定测试中，HIPOT 应力持续时间较长，通常为每次 60s。RES60A-Q1 设计为能够承受这些 HIPOT 事件，在认证 (60s) 或生产环境中都不会发生明显的参数变化。

RES60A-Q1 已经过广泛评估，并证实具有 HIPOT 应力耐受性，如*绝对最大额定值* 中所述。额定值已考虑了裕度带，以提供额外裕度。在扩展验证测试中，RES60A 的每个比率都会承受 4000Vdc、3000Vrms 或更高的 HIPOT 应力，并具有 60s 的应力持续时间，并且每个应力重复三次。在 4 分钟的冷却间隔之后，每次应力后都会执行器件运行状况检查，以确定任何明显的比率或绝对漂移。例如，在 RES60A-Q1 的扩展验证测试中，由于 4000Vdc HIPOT 持续 60s（一到三个应力）而导致的 t_D 典型移位测得为 ±0.02% 或更低。由于 RES60A-Q1 的所有比率都包含 12.5MΩ R_{HV} 电阻，并通过改变 R_{LV} 值来实现不同的比率，因此每个不同比率选项的测量移位都是相当的。

此测试使用了具有出色散热特性的专用测试板。虽然热耗散较差的复杂电路卡组件可能会由于更高的自发热而发生更多显著的变化，但将测试持续时间从 60s（认证）缩短至 5-10s（生产）有助于通过减少超过 150°C 的总时间，从而可能抵消这些效应。在早期系统开发或评估阶段，某些用户系统可能会承受重复的 HIPOT 应力，在从电路板上移除并更换故障元件时尤其如此。RES60A-Q1 能够承受至少三次 HIPOT 测试，前提是使用的占空比为 ≤20%，这样器件就可以在应力之间进行冷却。例如，如果测试持续时间为 60s，则在第一次 HIPOT 应力之后至少等待 4 分钟，然后再执行后续应力。由于这种稳健性，用户可以在开发阶段利用和重复使用相同的 RES60A-Q1 来承受多次应力，而无需在每次应力后更换器件，从而鼓励电路板重复使用并节省工程时间。

有关详细信息（包括超出*绝对最大额定值* 的详细测试结果和测试），请参阅 *RES60A-Q1 扩展可靠性测试* 应用手册。

7.1.4 热插拔响应

在许多架构中，当首次将高压网络连接或偏置到高电压电势时，可以使用预充电系统。使用高压接触器将之前断开的高压子域（例如牵引逆变器）连接到另一个已偏置的高压域（例如 HEV 中的高压总线）时，这种预充电方法尤为普遍。如果未使用预充电网络，当接通接触器或继电器来桥接域时，电流浪涌会流过接触器，为子域中的有意电容和寄生电容充电。如果浪涌电流的大小超过接触器额定值，产生的热量会将接触器焊接为闭合状态，导致不同电压域被短接，从而引入安全风险。

预充电网络在主接触器接通前发挥作用，从而提供一条以受控和限流方式缓慢斜升子域电压的路径。当子域预充电到主电压域的一伏或几伏范围内，再接通主接触器，从而将两个电压域完全连接起来。由于进行预充电，两个域的电压大致相同，因此流经接触器的浪涌电流显著降低。有关更多详细信息，请*参阅为什么高压系统中需要预充电电路* 应用手册。

由于 RES60A-Q1 通常用于对接触器两侧的电压进行测量，在接通主接触器之前，该器件就可能通过预充电网络被充电。但是，如果预充电网络发生故障，或在没有专用预充电路径的架构中，该器件可能会承受不受电流控制的电压尖峰。其他故障情况（如负载突降）可能会导致器件承受类似的应力。虽然限流电阻可以提供额外的保

Copyright © 2026 Texas Instruments Incorporated

护，但使用与 RES60A-Q1 串联的失配外部电阻会引入新的失配误差，从而影响分压器精度。因此，RES60A-Q1 必须能够在无需外部电流限制的情况下承受具有快速边沿速率的大电压脉冲。

开发*热插拔*板有助于评估 RES60A-Q1 对这种情况的响应，其中集成了一个高压继电器和一大组高压电容器。电容器充电至高电势，在本例中为 1000Vdc。当接通继电器时，高电势会施加到 HVIN 引脚。该应力测试下，RES60A-Q1 在若干比率条件下的器件瞬态响应如下所示。

尽管 MID 引脚会出现一个初始电压尖峰，该尖峰会快速稳定，并且器件没有损坏。加入滤波电容（如 节 7.4.1 所述）可降低电压峰值的量级，从而保护下游电路。尽管电路设计人员仍必须谨慎操作，并考虑可能出现特定于实现方案的电感效应，但数据表明，RES60A-Q1 对这种故障情况具有耐受性。有关热插拔板架构和实验结果的更多信息，请参阅 *RES60A-Q1 扩展可靠性测试*应用手册。

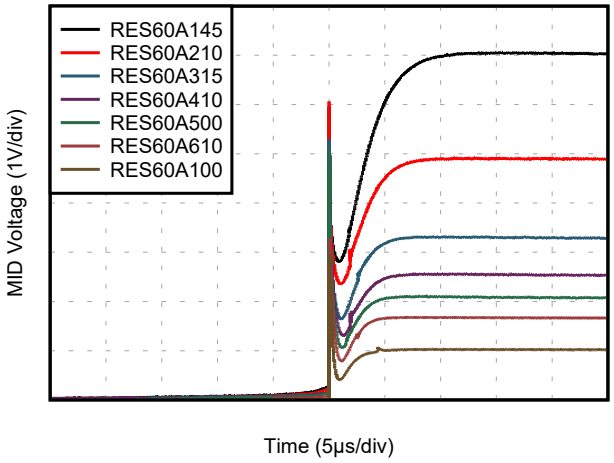


图 7-7. RES60A-Q1 的热插拔响应，1000V 阶跃，C_{FILTER} = 0pF

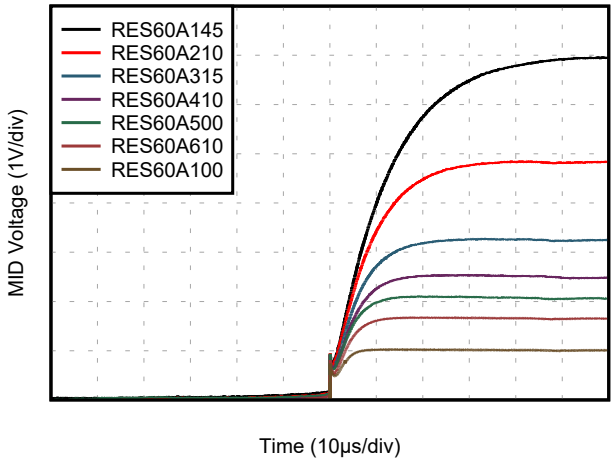


图 7-8. RES60A-Q1 的热插拔响应，1000V 阶跃，C_{FILTER} = 130pF

7.1.5 高频响应

在低频和接近直流频率下，RES60A-Q1 充当电阻分压器，并且给定的输入信号会根据器件比率进行衰减。随着信号频率的增加，交流传递函数开始滚降，–3dB 带宽约为 70kHz（取决于比率）。然而，当输入信号频率接近 100-200kHz 时，RES60A-Q1 器件开始从 R_{HV} 和 R_{LV} 的纯*电阻*分压器转换到 Z_{HV} 和 Z_{LV} 的复*阻抗*分压器。在更高的频率下，RES60A-Q1 封装内部的寄生电容会形成一个以 C_{HV} 和 C_{LV} 为主导的电容分压器，从而使交流衰减相较于直流传输函数*增大*。由于 RES60A-Q1 器件内部布局的共性，所有比率选项的峰值高频交流衰减都相对一致。

Copyright © 2026 Texas Instruments Incorporated

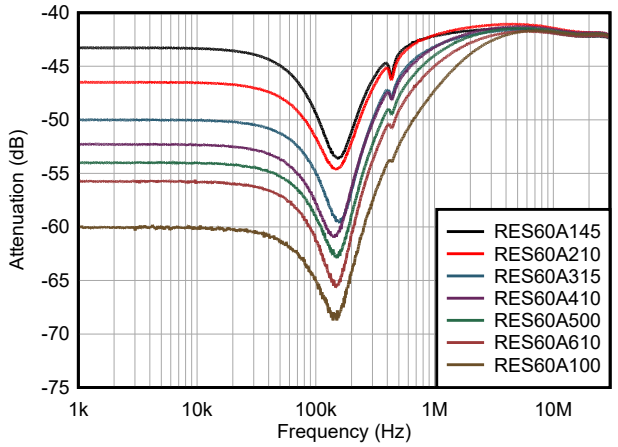


图 7-9. 衰减与频率间的关系，未补偿

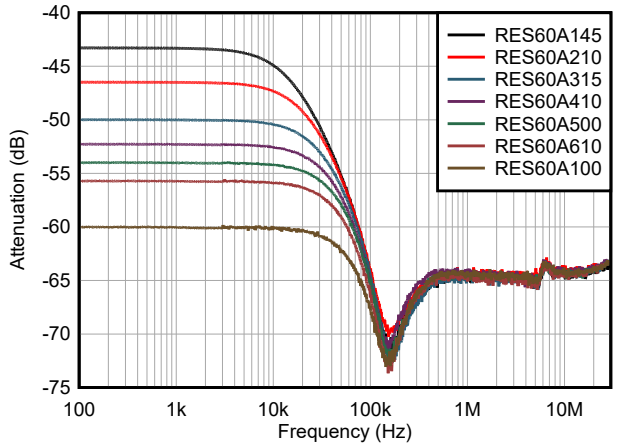


图 7-10. 衰减与频率间的关系，已补偿，C_{FILTER} = 130pF

从 MID 到 LVIN 的任何额外外部电容（有意或无意）都与内部寄生电容并联，从而增加 C_{LV} 的有效值并减少 Z_{LV} 的实际元件，以增加有效分压器分压比。因此，使用与 R_{LV} 并联的精心滤波或补偿电容器 C_{FILTER} 可根据电路或应用需求进行增益整形。虽然使用较大的 C_{FILTER} 值会导致高频噪声显著衰减，但如果 C_{FILTER} 过大，器件的阶跃响应会变慢。寄生电路板电容也随着 C_{FILTER} 的增加而增加，进而可能产生比预期更大的有效 C_{LV}。因此，应根据应用要求选择 C_{FILTER} 值，并使用最终的印刷电路板实现来验证器件性能是否满足设计目标。请参阅*典型特性*，了解 RES60A-Q1 交流传送特性的其他曲线图。

Copyright © 2026 Texas Instruments Incorporated

7.2 典型应用

RES60A-Q1 可配置为与隔离式放大器（例如 AMC1311B-Q1）配合使用，以进行需要增强型隔离的测量。图 7-11 显示了此类应用的示例电路配置，其中 RES60A-Q1 衰减输入电压，AMC1311B-Q1 穿过隔离栅。采用 RES11A-Q1 和 OPA388-Q1 的分立式差分放大器用于调整 AMC1311B-Q1 的差分输出电压，以便与单端 5V ADC 配合使用。

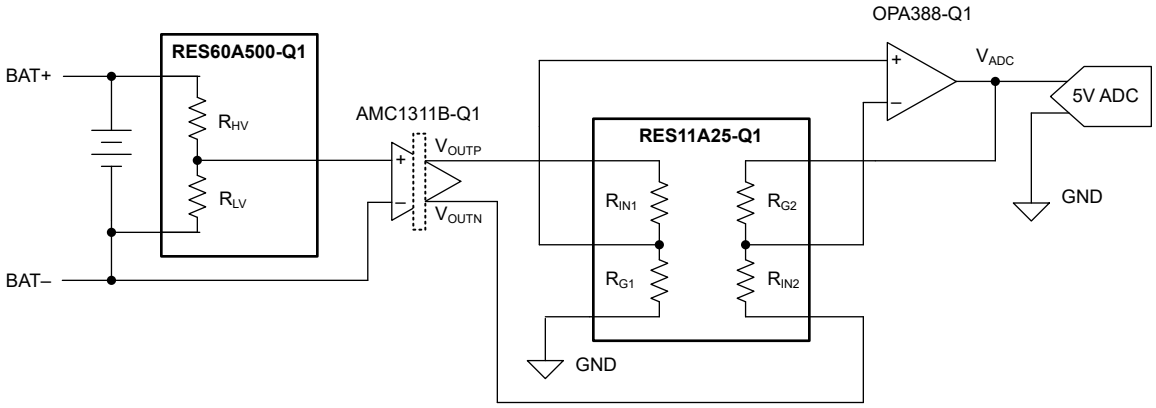


图 7-11. 采用 RES60A-Q1 和 AMC1311B-Q1 的直流总线测量

7.2.1 设计要求

参数	设计目标
直流总线电压范围	0V 至 1000V
输出 (V_{ADC}) 满标量程	0V 至 5V
衰减（标称比率）	500:1
未经校准的初始测量误差	±0.5% FSR

7.2.2 详细设计过程

此设计将总线的高共模电压衰减到 AMC1311B-Q1 线性输入范围内的电平。可以考虑下面一些关键的可能电路误差源：

- AMC1311B-Q1 的典型输入偏置电流为 3.5nA。当 R_{LV} = 25kΩ 时，此输入偏置电流在 MID 表现为 88µV 的失调电压误差。当此失调电压以平方和根和与 AMC1311B-Q1 的 400µV 典型输入失调电压进行计算时，会得到 410µV 的失调电压。此失调电压代表 2V 满标量程的 0.0205%，通常不是主要的误差因子。
- 可以使用隔离式放大器电压检测 Excel 计算器近似计算 AMC1311B-Q1 的增益误差和积分非线性误差。在本例中，典型 FSR 计算为 0.06%。
- RES60A500-Q1 的典型初始比例增益容差为 0.017%，该容差以平方和根方式与前面提到的 AMC1311B-Q1 误差相加，可得出总典型 FSR 误差为 0.066%。
- 电平转换电路会引入额外的误差，并对前面讨论的误差应用增益系数。但是，由于 OPA388-Q1 的低失调电压和 RES11A-Q1 的高精度、这些误差 (0.012% FSR) 足够低，不会显著影响最终的典型误差。

0.067% 典型 FSR 误差的最终计算结果表示 1σ 值，因此 ±6σ 估算得出 ±0.4% 的 FSR 误差。结果表明电路符合 ±0.5% FSR 应用要求，并具有裕度。

Copyright © 2026 Texas Instruments Incorporated

7.2.3 应用曲线

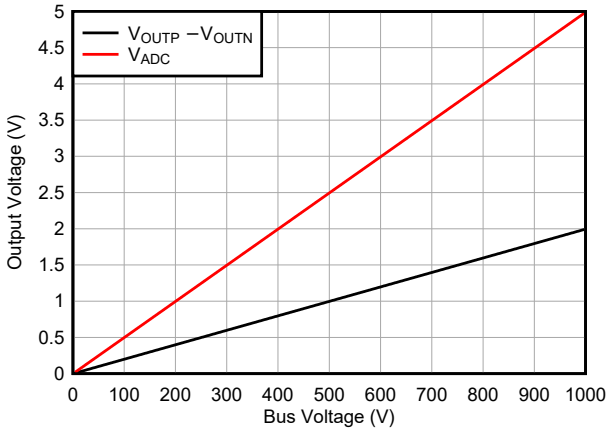


图 7-12. 传递函数

7.3 电源相关建议

RES60A-Q1 是一款不包含有源电路或保护二极管的高压电阻分压器。除了遵守*绝对最大额定值* 和*建议运行条件* 中所述的限制外，没有任何特定的电源连接要求。

为了针对高边沿速率瞬态事件（例如在需要极高 ESD 等级的应用）提供额外保护，请考虑通过使用从 HVIN 到 LVIN 串联的多个高压电容器来实施高频率信号内容的并行路径。该并联路径可分流高频信号并绕过 RES60A-Q1，耗散器件外部的浪涌能量，并且不会影响器件的直流和低频率精度。验证是否遵守爬电距离和间隙要求，并注意额外的输入电容会延长系统阶跃响应趋稳时间。如有必要，MID 引脚上的 TVS 二极管可以为下游低压电路提供额外的快速瞬态钳位保护。

Copyright © 2026 Texas Instruments Incorporated

7.4 布局

7.4.1 布局指南

为了实现器件的最佳运行性能，应使用良好的印刷电路板 (PCB) 布局规范，包括：

- 通过尽可能远离电源或输出引线来布设敏感的引线（例如 MID 连接），从而减少寄生耦合。如果这些布线无法保持分离，则敏感布线与有噪声布线垂直相交比平行更好。
- 尽可能缩短输入走线的长度。切记，输入布线是电路中最敏感的部分。
- 确保对电源电压进行充分滤波。
- RES60A-Q1 中耗散的功率会导致结温升高。为了实现可靠运行，结温必须被限制为最高 150°C。保持较低的结温可以实现较高的可靠性。
  - 封装热阻 $R_{\theta JA}$ 受安装技术和环境的影响。空气循环不良会显著增加对周围环境的热阻。通过将 RES60A-Q1 焊接到具有宽印刷电路引线的电路板上（尤其是对于 LVIN 连接），以便更好地通过器件引线进行传导，可以实现出色的热性能。如果可能，在 LVIN 处使用带有散热过孔的覆铜平面或覆铜层以改善热损耗。
- 在组装 PCB 板之后对其进行清洁，以获得最佳性能。
- 任何精密集成电路都可能因湿气渗入塑料封装中而出现性能变化。在执行任何 PCB 水清洁流程之后，将 PCB 组件烘干，以去除清洁时渗入器件封装中的湿气。
  - 在大多数情形下，清洗后在 85°C 下低温烘烤 30 分钟即可。
- 使用保形涂层或灌封，即绝缘聚合物或其他材料层沉积在组装的 PCB 上，以降低 RES60A-Q1 周围的污染等级。该过程通过消除或减少污染物的影响来降低爬电距离和间隙距离要求。
- 使用坡口切槽来实现更短的 PCB 爬电距离。对于宽度超过 1mm 的坡口，有效爬电距离是现有爬电距离加上坡口的宽度和坡口深度的两倍。该总和必须等于或超过所需的爬电距离。坡口不得将基板削弱到无法满足机械测试要求的程度。坡口下方的所有层都必须没有布线、过孔和焊盘，以保持最大的爬电距离。
- 将滤波电容器 C_{FILTER} 连接在 LVIN 和 MID 引脚之间，使其与 R_{LV} 形成并联。该电容器的值根据应用要求进行选择，例如目标带宽和衰减平坦度等特性。由于电路寄生效应会与器件寄生电容相互作用形成阻抗分压器，会导致电路在高频下的衰减小于直流下的预期衰减值。请选用额定电压足够高的滤波电容器，以承受任何预期的 HIPOT 应力或高频瞬态，例如由开关事件引起的瞬态。

7.4.2 布局示例

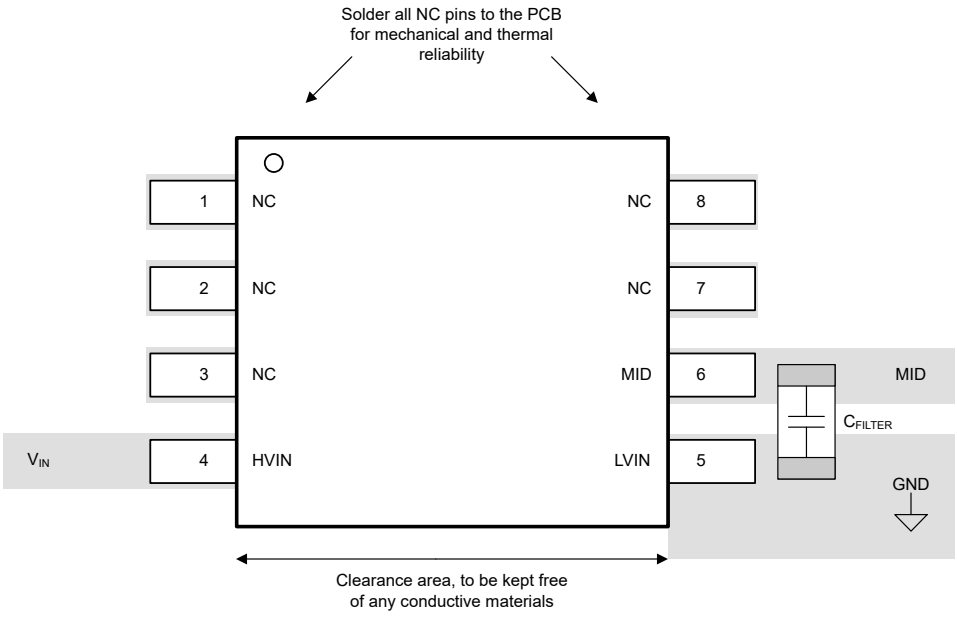


图 7-13. 布局示例

Copyright © 2026 Texas Instruments Incorporated

8 器件和文档支持

8.1 器件支持

8.1.1 开发支持

8.1.1.1 PSpice® for TI

PSpice® for TI 是可帮助评估模拟电路性能的设计和仿真环境。在进行布局和制造之前创建子系统设计和原型设计，可降低开发成本并缩短上市时间。

8.1.1.2 TINA-TI™ 仿真软件（免费下载）

TINA-TI™ 仿真软件是一款简单易用、功能强大且基于 SPICE 引擎的电路仿真程序。TINA-TI 仿真软件是 TINA™ 软件的一款免费全功能版本，除了一系列无源和有源模型外，此版本软件还预先载入了一个宏模型库。TINA-TI 仿真软件提供所有传统的 SPICE 直流、瞬态和频域分析，以及其他设计功能。

TINA-TI 仿真软件提供全面的后处理能力，便于用户以多种方式获得结果，用户可从设计和仿真工具网页免费下载。虚拟仪器提供选择输入波形和探测电路节点、电压以及波形的能力，从而构建一个动态的快速启动工具。

备注

必须安装 TINA 软件或者 TINA-TI 软件后才能使用这些文件。请从 TINA-TI™ 软件文件夹中下载免费的 TINA-TI 仿真软件。

8.1.1.3 TI 参考设计

TI 参考设计是由 TI 的精密模拟应用专家创建的模拟解决方案。TI 参考设计提供了许多实用电路的工作原理、组件选择、仿真、完整印刷电路板 (PCB) 电路原理图和布局布线、物料清单以及性能测量结果。TI 参考设计可在线获取，网址为 https://www.ti.com/reference-designs。

8.1.1.4 模拟滤波器设计器

设计和仿真工具网页以基于网络的工具形式提供模拟滤波器设计器，用户可以利用该设计器在短时间内完成多级有源滤波器设计方案的设计、优化和仿真。

8.1.1.5 RES60A-Q1 比率和电压误差计算器

RES60A-Q1 比率和电压误差计算器是一款基于浏览器的计算器，内置在 TI GUI Composer 中。该计算器可帮助您针对给定应用场景选择合适的 RES60A-Q1 比率，并直观呈现电压和温度范围内的预期误差。

Copyright © 2026 Texas Instruments Incorporated

8.2 文档支持

8.2.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，*RES60A-Q1 扩展可靠性测试* 应用手册
- 德州仪器 (TI)，*RES60EVM* 评估模块
- 德州仪器 (TI)，*什么是爬电距离和间隙？*TI 高精度实验室视频
- 德州仪器 (TI)，*RES11A-Q1 具有 1kΩ 输入的汽车类匹配薄膜电阻分压器* 数据表
- 德州仪器 (TI)，*RES21A-Q1 具有 10kΩ 输入的汽车类匹配薄膜电阻分压器* 数据表

8.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.5 商标

TINA-TI™ and TI E2E™ are trademarks of Texas Instruments.
TINA™ is a trademark of DesignSoft, Inc.
PSpice® is a registered trademark of Cadence Design Systems, Inc.
所有商标均为其各自所有者的财产。

8.6 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.7 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision A (October 2025) to Revision B (December 2025)	Page
• 更新了 *应用*	1
• 更新了 *建议运行条件* 中每个分压器的最大持续 50Hz 交流电压规范	4
• 更新了 *电气特性* 中的典型值	5
• 将 TCR_{ratio} 的最大和最小限值从 ±5ppm/°C 更改为 ±3ppm/°C	5
• 更新了 *典型特性*	7
• 在 *应用信息* 中添加了 *HIPOT 和 OVST*、*热插拔响应* 和 *高频响应* 部分	16
• 更新了 *典型应用* 中 RES60A500-Q1 的典型值	20
• 更新了 *电源相关建议*	21
• 更新了 *布局指南*	22

Copyright © 2026 Texas Instruments Incorporated

• 在*开发支持* 中添加了 *RES60A-Q1 比率和电压误差计算器* 23

Changes from Revision * (September 2024) to Revision A (October 2025) **Page**

- 删除了 RES60A310（310:1 比率）并替换为 RES60A315（315:1 比率），并在整个文档中添加了 RES60A145（145:1 比率） 1
- 更新了*绝对最大额定值* 和*建议运行条件* 中最小和最大电压规格的格式 3
- 更新了*绝对最大额定值* 中描述短期过载电压和瞬态高电势电压的脚注 3
- 更新了*建议运行条件* 中每个分压器的最大持续 50Hz 交流电压规范 4
- 更新了*热性能信息* 中的值以反映最终芯片特性 4
- 更新了*电气特性* 中的典型值 5
- 更改了初始比率容差规范，现适用于从 V_D = 250V 到 V_D = 1000V 的电压范围 5
- 将“工作寿命期间的变比公差漂移”规范从“基于器件表征给出”更改为“基于设计及加速认证测试给出”，以修正原先的笔误 5
- 添加了电阻的绝对电压系数（每电阻器）规范 5
- 更新了引脚电容和 –3dB 带宽以及典型值的说明 5
- 更新了趋稳时间的测试条件 5
- 添加了*典型特性* 7
- 更新了比率式匹配，并将其重命名为“绝对容差和比率式容差” 12
- 在*应用信息* 中添加了“使用 RES11A-Q1 进行 RES60A-Q1 增益调节” 15
- 在*布局指南* 中添加了关于低压端滤波电容 C_{FILTER} 的说明 22

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
RES60A100QDWVRQ1	Active	Production	SOIC (DWV) | 8	1000 | LARGE T&R	-	NIPDAU	Level-3-260C-168 HR	-40 to 125	R60A100
RES60A145QDWVRQ1	Active	Production	SOIC (DWV) | 8	1000 | LARGE T&R	-	NIPDAU	Level-3-260C-168 HR	-40 to 125	R60A145
RES60A210QDWVRQ1	Active	Production	SOIC (DWV) | 8	1000 | LARGE T&R	-	NIPDAU	Level-3-260C-168 HR	-40 to 125	R60A210
RES60A315QDWVRQ1	Active	Production	SOIC (DWV) | 8	1000 | LARGE T&R	-	NIPDAU	Level-3-260C-168 HR	-40 to 125	R60A315
RES60A410QDWVRQ1	Active	Production	SOIC (DWV) | 8	1000 | LARGE T&R	-	NIPDAU	Level-3-260C-168 HR	-40 to 125	R60A410
RES60A500QDWVRQ1	Active	Production	SOIC (DWV) | 8	1000 | LARGE T&R	-	NIPDAU	Level-3-260C-168 HR	-40 to 125	R60A500
RES60A610QDWVRQ1	Active	Production	SOIC (DWV) | 8	1000 | LARGE T&R	-	NIPDAU	Level-3-260C-168 HR	-40 to 125	R60A610
XRES60A100QDWVRQ1	Active	Preproduction	SOIC (DWV) | 8	1000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	
XRES60A100QDWVRQ1.B	Active	Preproduction	SOIC (DWV) | 8	1000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	
XRES60A410QDWVRQ1	Active	Preproduction	SOIC (DWV) | 8	1000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	
XRES60A410QDWVRQ1.B	Active	Preproduction	SOIC (DWV) | 8	1000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	
XRES60A500QDWVRQ1	Active	Preproduction	SOIC (DWV) | 8	1000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	
XRES60A500QDWVRQ1.B	Active	Preproduction	SOIC (DWV) | 8	1000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

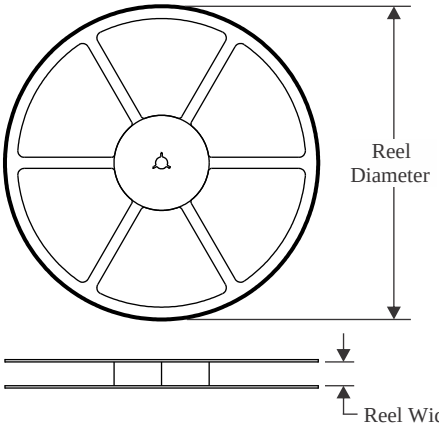
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

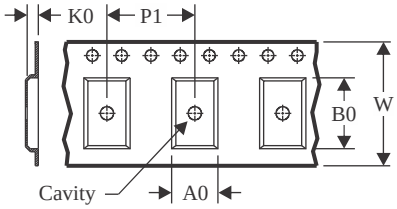
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

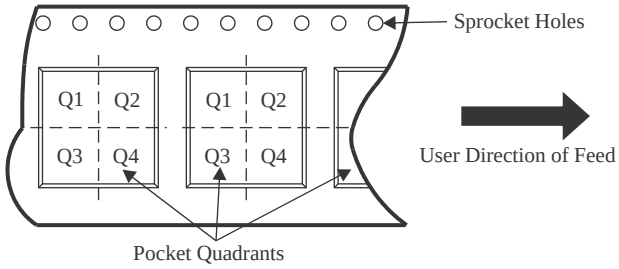


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

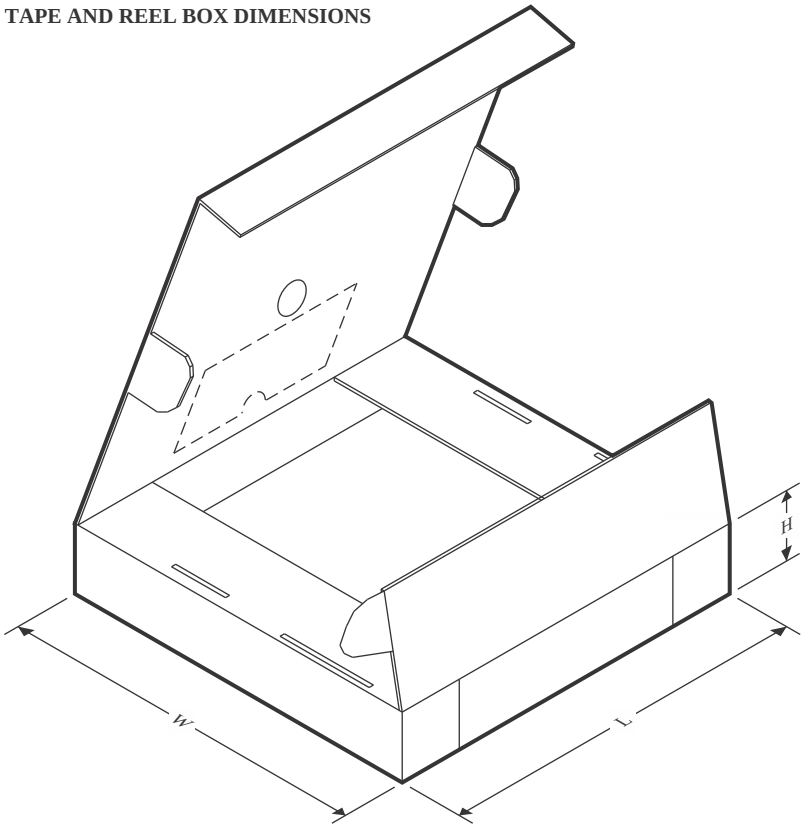
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

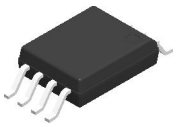
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
RES60A100QDWVRQ1	SOIC	DWV	8	1000	330.0	16.4	12.15	6.2	3.05	16.0	16.0	Q1
RES60A145QDWVRQ1	SOIC	DWV	8	1000	330.0	16.4	12.15	6.2	3.05	16.0	16.0	Q1
RES60A210QDWVRQ1	SOIC	DWV	8	1000	330.0	16.4	12.15	6.2	3.05	16.0	16.0	Q1
RES60A315QDWVRQ1	SOIC	DWV	8	1000	330.0	16.4	12.15	6.2	3.05	16.0	16.0	Q1
RES60A410QDWVRQ1	SOIC	DWV	8	1000	330.0	16.4	12.15	6.2	3.05	16.0	16.0	Q1
RES60A500QDWVRQ1	SOIC	DWV	8	1000	330.0	16.4	12.15	6.2	3.05	16.0	16.0	Q1
RES60A610QDWVRQ1	SOIC	DWV	8	1000	330.0	16.4	12.15	6.2	3.05	16.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

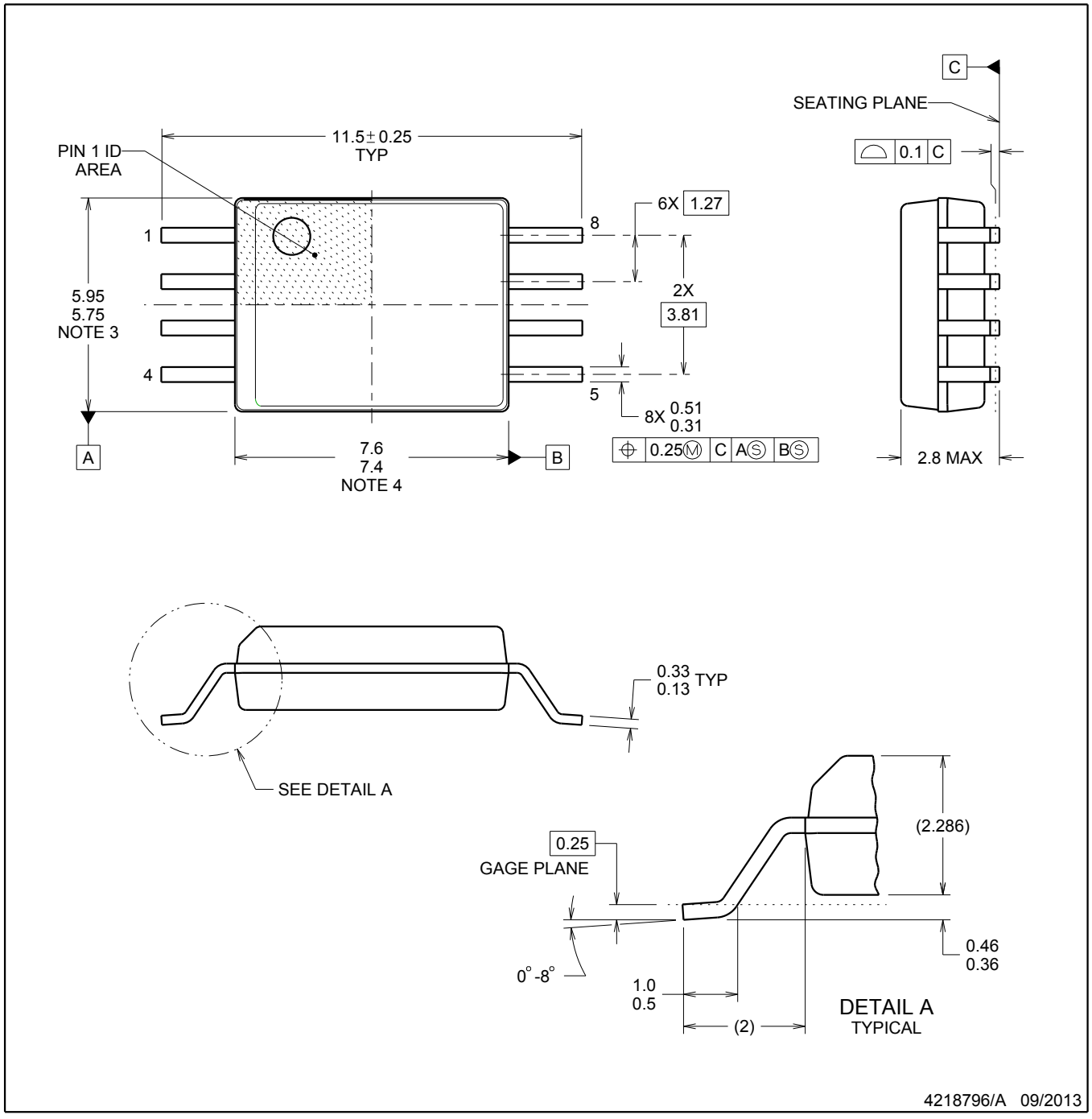
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
RES60A100QDWVRQ1	SOIC	DWV	8	1000	353.0	353.0	32.0
RES60A145QDWVRQ1	SOIC	DWV	8	1000	353.0	353.0	32.0
RES60A210QDWVRQ1	SOIC	DWV	8	1000	353.0	353.0	32.0
RES60A315QDWVRQ1	SOIC	DWV	8	1000	353.0	353.0	32.0
RES60A410QDWVRQ1	SOIC	DWV	8	1000	353.0	353.0	32.0
RES60A500QDWVRQ1	SOIC	DWV	8	1000	353.0	353.0	32.0
RES60A610QDWVRQ1	SOIC	DWV	8	1000	353.0	353.0	32.0



DWV0008A

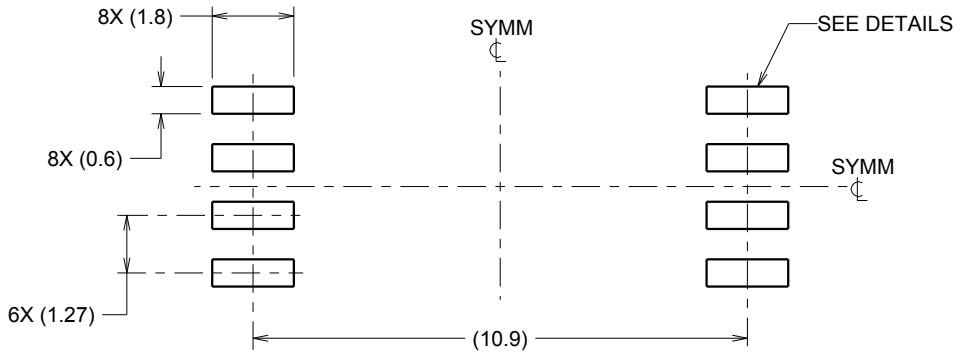
SOIC - 2.8 mm max height

SOIC

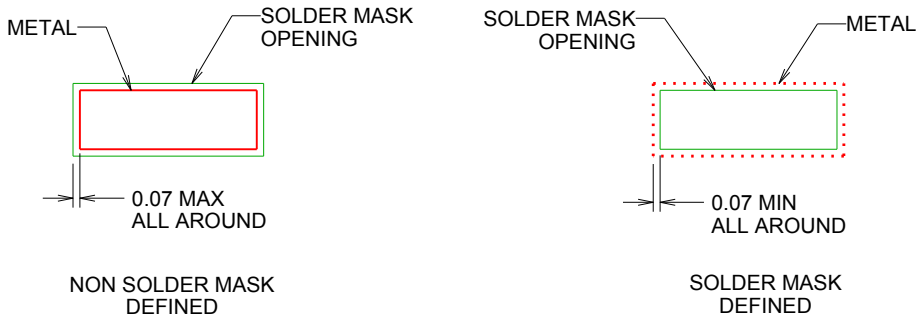


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.



LAND PATTERN EXAMPLE
9.1 mm NOMINAL CLEARANCE/CREEPAGE
SCALE:6X



SOLDER MASK DETAILS

4218796/A 09/2013

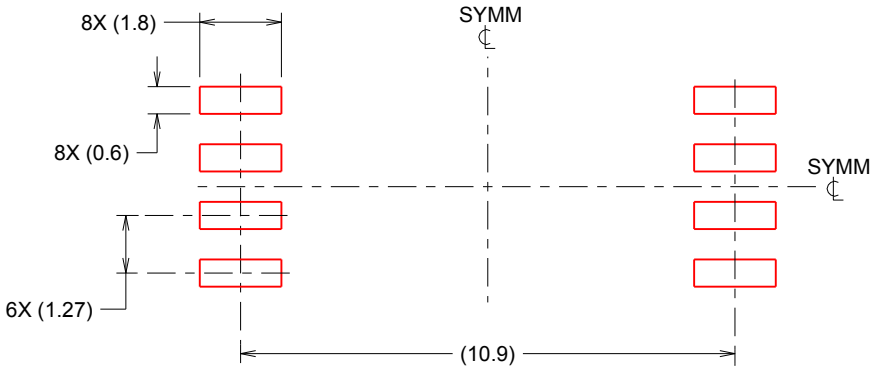
NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

DWV0008A

SOIC - 2.8 mm max height

SOIC



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:6X

4218796/A 09/2013

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月