

TLVx888 低噪声、零漂移、宽带宽、多路复用器友好型运算放大器

1 特性

- 高直流精度：
 - 零温漂：0.01 $\mu\text{V}/^\circ\text{C}$
 - 低失调电压：3 μV
 - 高 PSRR：150dB
 - 高 CMRR：150dB
- 出色的交流性能：
 - 增益带宽：14MHz
 - 压摆率：40V/ μs
 - 低噪声：7.5nV/ $\sqrt{\text{Hz}}$
- 负电源轨输入，轨到轨输出
- 低静态电流：1.5mA
- RFI 和 EMI 已滤除的输入
- 电源电压范围：4.5V 至 36V
- 温度：-40°C 至 +125°C

2 应用

- PC PSU 和游戏机单元
- 商用直流/直流
- 流量变送器
- 压力变送器
- 商用电池充电器
- 电表

3 说明

TLV888、TLV2888 和 TLV4888 (TLVx888) 是宽带宽、低噪声、零漂移运算放大器 (op amp)。这些运算放大器在宽温度范围内具有仅 15 μV 的偏移电压 (最大值) 和 0.05 $\mu\text{V}/^\circ\text{C}$ 的偏移电压漂移 (最大值)。

TLVx888 具有非常短的趋稳时间，这部分归功于其宽增益带宽和极高的压摆率。通过专有的多路复用器友好型输入架构，可在多通道系统中进一步缩短趋稳时间。

TLVx888 同时具有高精度、快速趋稳和低噪声的优势，因此成为各种应用 (包括信号测量、精密仪表和数据采集) 的理想选择。

TLVx888 提供业界通用封装以及微型封装，可适用于空间受限的应用。这些器件的指定工作温度范围为 -40°C 至 +125°C。

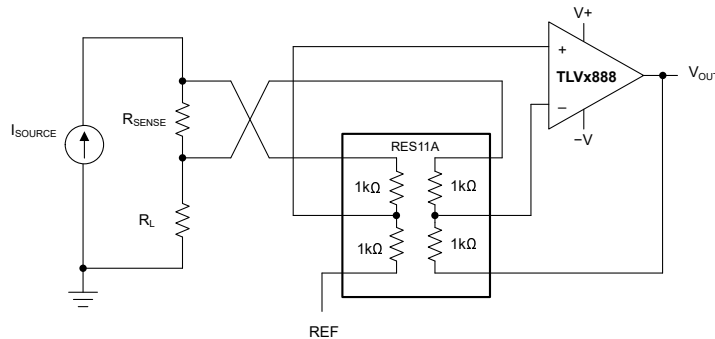
封装信息

器件型号	通道数	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
TLV888	单通道	D (SOIC, 8)	4.90mm × 6.00mm
		DBV (SOT-23, 5)	2.90mm × 2.80mm
		DRL (SOT, 5) ⁽³⁾	1.60mm × 1.60mm
TLV2888	双通道	D (SOIC, 8)	4.90mm × 6.00mm
		DDF (SOT-23, 8) ⁽³⁾	2.90mm × 2.80mm
		DGK (VSSOP, 8)	3.00mm × 4.90mm
		DSG (WSON, 8)	2.00mm × 2.00mm
TLV4888	四通道	D (SOIC, 14)	8.65mm × 6.00mm
		PW (TSSOP, 14)	5.00mm × 6.40mm

(1) 有关更多信息，请参阅节 10。

(2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。

(3) 预发布信息 (非量产数据)。



高侧电流分流监控器应用



内容

1 特性	1	6.4 器件功能模式	21
2 应用	1	7 应用和实施	22
3 说明	1	7.1 应用信息.....	22
4 引脚配置和功能	3	7.2 典型应用.....	25
5 规格	6	7.3 电源相关建议.....	28
5.1 绝对最大额定值.....	6	7.4 布局.....	29
5.2 ESD 等级.....	6	8 器件和文档支持	31
5.3 建议运行条件.....	6	8.1 器件支持.....	31
5.4 热性能信息：TLV888.....	7	8.2 文档支持.....	31
5.5 热性能信息：TLV2888.....	7	8.3 接收文档更新通知.....	31
5.6 热性能信息：TLV4888.....	7	8.4 支持资源.....	31
5.7 电气特性.....	8	8.5 商标.....	31
5.8 典型特性.....	10	8.6 静电放电警告.....	32
6 详细说明	18	8.7 术语表.....	32
6.1 概述.....	18	9 修订历史记录	32
6.2 功能方框图.....	18	10 机械、封装和可订购信息	32
6.3 特性说明.....	18		

4 引脚配置和功能

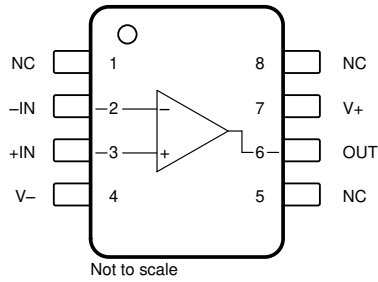


图 4-1. TLV888 : D 封装, 8 引脚 SOIC (顶视图)

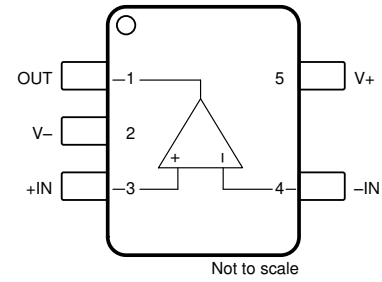


图 4-2. TLV888 : DBV 封装, 5 引脚 SOT-23 (顶视图)

表 4-1. 引脚功能 : TLV888

引脚			类型	说明
名称	编号			
	D	DBV		
- IN	2	4	输入	反相输入
+IN	3	3	输入	同相输入
NC	1、8、5	-	-	无连接（可以悬空）
OUT	6	1	输出	输出
V -	4	2	电源	负（最低）电源
V+	7	5	电源	正（最高）电源

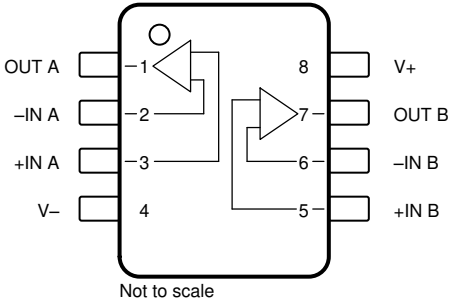


图 4-3. TLV2888 : D 封装 , 8 引脚 SOIC 和 DGK 封装 , 8 引脚 VSSOP (顶视图)

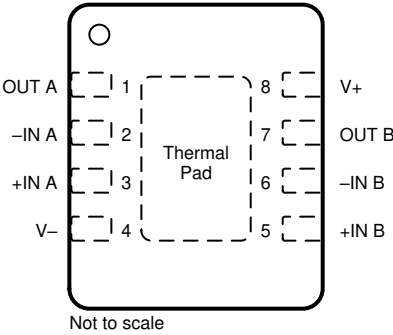


图 4-4. DSG 封装 , 8 引脚 WSON (带外露散热焊盘) (顶视图)

表 4-2. 引脚功能 : TLV2888

引脚		类型	说明
名称	编号		
- IN A	2	输入	反相输入通道 A
- IN B	6	输入	反相输入通道 B
+IN A	3	输入	同相输入通道 A
+IN B	5	输入	同相输入通道 B
OUT A	1	输出	输出通道 A
OUT B	7	输出	输出通道 B
V -	4	电源	负电源
V+	8	电源	正电源
散热焊盘 ⁽¹⁾	-	-	将散热焊盘连接到负电源 (V -)。有关更多信息，另请参阅具有外露散热焊盘的封装。

(1) 仅限 DSG 封装

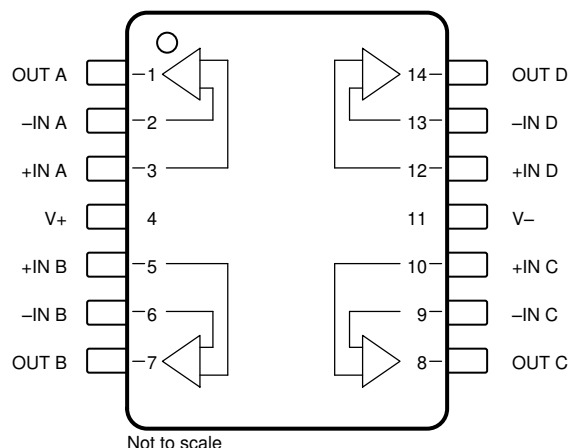


图 4-5. TLV4888 : D 封装 , 14 引脚 SOIC 和 PW 封装 , 14 引脚 TSSOP (顶视图)

表 4-3. 引脚功能 : TLV4888

引脚		类型	说明
名称	编号		
- IN A	2	输入	反相输入通道 A
- IN B	6	输入	反相输入通道 B
- IN C	9	输入	反相输入通道 C
- IN D	13	输入	反相输入通道 D
+IN A	3	输入	同相输入通道 A
+IN B	5	输入	同相输入通道 B
+IN C	10	输入	同相输入通道 C
+IN D	12	输入	同相输入通道 D
OUT A	1	输出	输出通道 A
OUT B	7	输出	输出通道 B
OUT C	8	输出	输出通道 C
OUT D	14	输出	输出通道 D
V -	11	电源	负电源
V+	4	电源	正电源

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

			最小值	最大值	单位
V _S	电源电压			40	V
	信号输入引脚	共模电压	(V ₋) - 0.5	(V ₊) + 0.5	V
		差分电压		(V ₊) - (V ₋)	
		电流		±10	mA
	输出短路 ⁽²⁾		持续		
T _A	工作温度		-55	150	°C
T _J	结温			150	°C
T _{stg}	贮存温度		-65	150	°C

(1) 超出绝对最大额定值运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

(2) 接地短路，每个封装对应一个放大器。

5.2 ESD 等级

			值	单位
V _(ESD)	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	±4000	V
TLV2888D、TLV2888DGK、TLV888D、TLV4888				
V _(ESD)	静电放电	充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准 ⁽²⁾	±250	V
TLV888DBV				
V _(ESD)	静电放电	充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准 ⁽²⁾	±500	V
TLV2888DSG				
V _(ESD)	静电放电	充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准 ⁽²⁾	±1000	V

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。

(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

			最小值	标称值	最大值	单位
V _S	电源电压，(V ₊) - (V ₋)	单电源	4.5		36	V
		双电源	±2.25		±18	
T _A	工作温度		-40		125	°C

5.4 热性能信息：TLV888

热指标 ⁽¹⁾		TLV888		单位
		D (SOIC)	DBV (SOT23)	
		8 引脚	5 引脚	
R _{θJA}	结至环境热阻	144.1	197.3	°C/W
R _{θJC(top)}	结至外壳 (顶部) 热阻	81.9	96.0	°C/W
R _{θJB}	结至电路板热阻	88.9	64.8	°C/W
Ψ _{JT}	结至顶部特征参数	26.2	32.5	°C/W
Ψ _{JB}	结至电路板特征参数	88.3	64.4	°C/W
R _{θJC(bot)}	结至外壳 (底部) 热阻	不适用	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅 [半导体和 IC 封装热指标](#) 应用手册。

5.5 热性能信息：TLV2888

热指标 ⁽¹⁾		TLV2888			单位
		D (SOIC)	DGK (VSSOP)	DSG (WSON)	
		8 引脚	8 引脚	8 引脚	
R _{θJA}	结至环境热阻	132.3	158.7	84.0	°C/W
R _{θJC(top)}	结至外壳 (顶部) 热阻	72.2	53.0	50.5	°C/W
R _{θJB}	结至电路板热阻	81.7	93.2	104.3	°C/W
Ψ _{JT}	结至顶部特征参数	19.6	2.4	8.9	°C/W
Ψ _{JB}	结至电路板特征参数	80.6	91.6	50.5	°C/W
R _{θJC(bot)}	结至外壳 (底部) 热阻	不适用	不适用	27.3	°C/W

(1) 有关新旧热指标的更多信息，请参阅 [半导体和 IC 封装热指标](#) 应用手册。

5.6 热性能信息：TLV4888

热指标 ⁽¹⁾		TLV4888		单位
		D (SOIC)	PW (TSSOP)	
		14 引脚	14 引脚	
R _{θJA}	结至环境热阻	94.8	102.3	°C/W
R _{θJC(top)}	结至外壳 (顶部) 热阻	56.0	36.6	°C/W
R _{θJB}	结至电路板热阻	54.0	60.6	°C/W
Ψ _{JT}	结至顶部特征参数	18.2	9.1	°C/W
Ψ _{JB}	结至电路板特征参数	53.5	59.9	°C/W
R _{θJC(bot)}	结至外壳 (底部) 热阻	不适用	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅 [半导体和 IC 封装热指标](#) 应用手册。

5.7 电气特性

$T_A = 25^\circ\text{C}$, $V_S = 4.5\text{V}$ 至 36V , $V_{CM} = V_{OUT} = V_S / 2$ 且 $R_L = 10\text{k}\Omega$ 连接至 $V_S / 2$ (除非另有说明)

参数		测试条件		最小值	典型值	最大值	单位
失调电压							
V _{OS}	输入失调电压 ⁽¹⁾			±3	±15	±20	μV
		T _A = -40°C 至 +125°C					
dV _{OS} /dT	输入失调电压漂移 ⁽¹⁾	T _A = -40°C 至 +125°C		±0.01	±0.05		μV/°C
PSRR	电源抑制比 ⁽¹⁾	T _A = -40°C 至 +125°C		±0.03	±0.5		μV/V
输入偏置电流							
I _B	输入偏置电流 ⁽¹⁾			±50	±350		pA
		T _A = -40°C 至 +125°C			±7		nA
I _{OS}	输入失调电流 ⁽¹⁾			±100	±600		pA
		T _A = -40°C 至 +125°C			±3		nA
噪声							
E _n	输入电压噪声	f = 0.1Hz 至 10Hz		0.180			μV _{PP}
e _n	输入电压噪声密度	f = 10Hz		7.6			nV/√Hz
		f = 100Hz		7.6			
		f = 1kHz		7.5			
i _n	输入电流噪声密度	f = 1kHz		175			fA/√Hz
输入电压							
V _{CM}	共模电压			(V ⁻) - 0.1	(V ⁺) - 1.7		V
CMRR	共模抑制比	(V ⁻) - 0.1V ≤ V _{CM} ≤ (V ⁺) - 1.7V	V _S = ±2.25V	118	135		dB
			V _S = ±18V	140	150		
		(V ⁻) - 0.1V ≤ V _{CM} ≤ (V ⁺) - 1.7V , T _A = -40°C 至 +125°C ⁽¹⁾	V _S = ±2.25V	118	130		
			V _S = ±18V	140	150		
输入阻抗							
Z _{id}	差分输入阻抗			100 1.6			MΩ pF
Z _{ic}	共模输入阻抗			1 1.9			TΩ pF
开环增益							
A _{OL}	开环电压增益	V _S = ±15V , (V ⁻) + 0.6V < V _O < (V ⁺) - 0.6V , R _{LOAD} = 10kΩ		130	148		dB
			T _A = -40°C 至 +125°C ⁽¹⁾	130			
		V _S = ±15V , (V ⁻) + 1.7V < V _O < (V ⁺) - 1.7V , R _{LOAD} = 2kΩ		130	144		
			T _A = -40°C 至 +125°C ⁽¹⁾	130			

5.7 电气特性 (续)

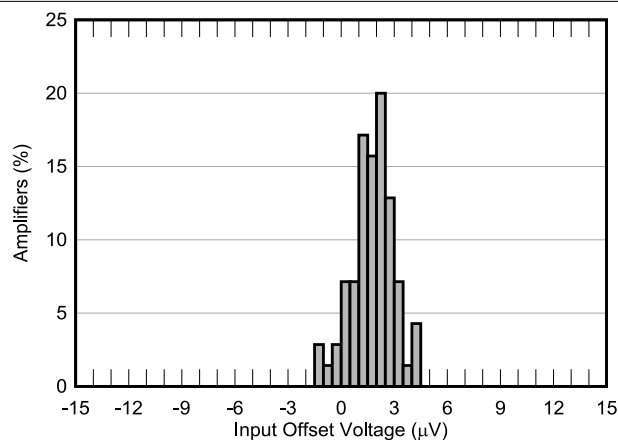
$T_A = 25^\circ\text{C}$, $V_S = 4.5\text{V}$ 至 36V , $V_{CM} = V_{OUT} = V_S / 2$ 且 $R_L = 10\text{k}\Omega$ 连接至 $V_S / 2$ (除非另有说明)

参数		测试条件		最小值	典型值	最大值	单位
频率响应							
GBW	增益带宽积			14			MHz
SR	压摆率	增益 = 1, 10V 阶跃		40			V/μs
THD+N	总谐波失真 + 噪声	增益 = 1, f = 1kHz, V _{OUT} = 4V _{RMS}		0.00012%			
	串扰	f = 100kHz		110			dB
t _S	趋稳时间	V _S = ±18V, 增益 = 1, 10V 阶跃	达 0.1%	1			μs
			达 0.01%	15			
t _{OR}	过载恢复时间	V _{IN} × 增益 = V _S = ±18V		460			ns
输出							
V _O	相对于电源轨的电压输出摆幅	正电源轨, V _S = 30V	无负载 ⁽¹⁾	26	40	mV	
			R _{LOAD} = 10k Ω	122	150		
			R _{LOAD} = 2k Ω	500	575		
		负电源轨, V _S = 30V	无负载 ⁽¹⁾	26	40		
			R _{LOAD} = 10k Ω	120	135		
			R _{LOAD} = 2k Ω	515	575		
R _{LOAD} = 10k Ω, T _A = - 40°C 至 +125°C, 两个电源轨 ⁽¹⁾		250					
I _{SC}	短路电流			±42			mA
C _{LOAD}	容性负载驱动			请参阅典型特性			pF
Z _O	开环输出阻抗	f = 1MHz		220			Ω
电源							
I _Q	每个放大器的静态电流	V _S = ±2.25V (V _S = 4.5V), I _O = 0A		1.5	1.8	mA	
			T _A = -40°C 至 +125°C ⁽¹⁾	1.5	1.9		
		V _S = ±18V (V _S = 36V), I _O = 0A		1.5	1.8		
			T _A = -40°C 至 +125°C ⁽¹⁾	1.5	1.9		

(1) 根据多个批次的器件组装工作台系统测量值建立的规范。

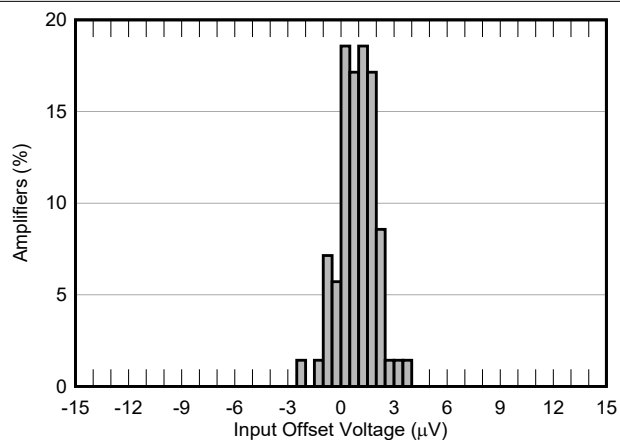
5.8 典型特性

测量条件： $T_A = 25^\circ\text{C}$ ， $V_S = \pm 18\text{V}$ ， $V_{CM} = V_S / 2$ ，以 $R_L = 10\text{k}\Omega$ （除非另有说明）



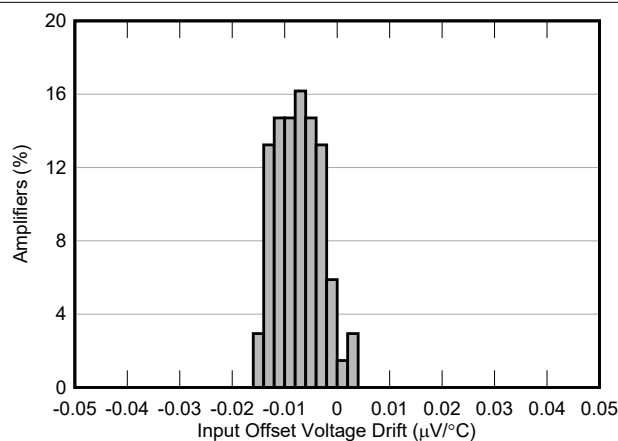
70 个单元

图 5-1. 失调电压分布图



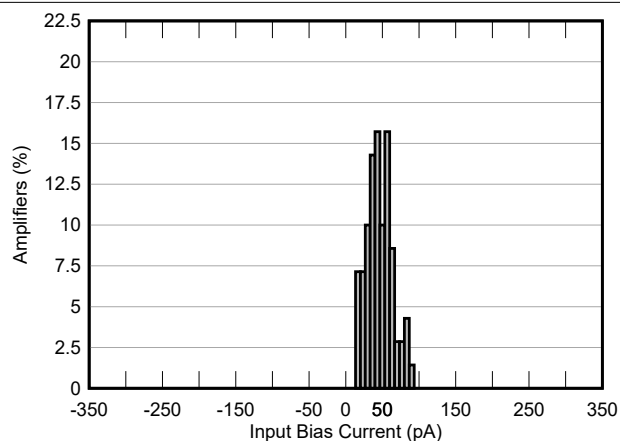
$T_A = 125^\circ\text{C}$ ，70 个单元

图 5-2. 失调电压分布图



$T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$ ，70 个单元

图 5-3. 偏移电压漂移



70 个单元

图 5-4. 输入偏置电流分配， I_{BN}

5.8 典型特性 (续)

测量条件: $T_A = 25^\circ\text{C}$, $V_S = \pm 18\text{V}$, $V_{CM} = V_S / 2$, 以 $R_L = 10\text{k}\Omega$ (除非另有说明)

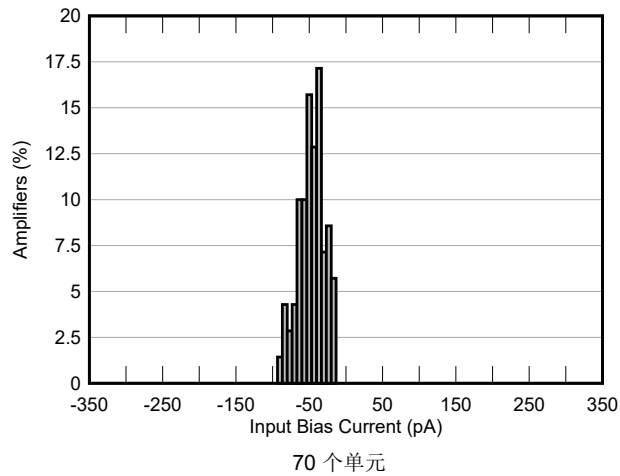


图 5-5. 输入偏置电流分布, I_{BP}

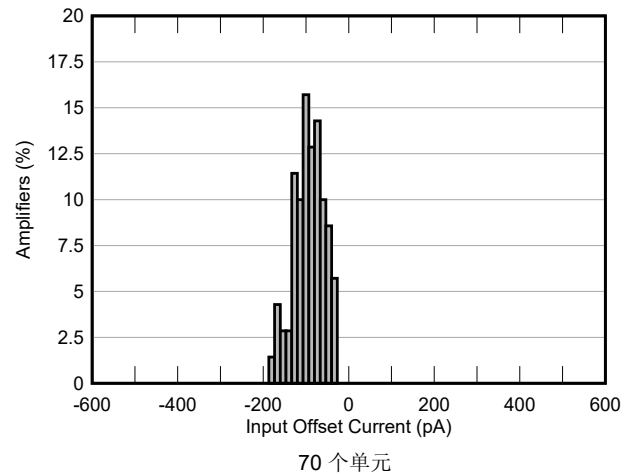


图 5-6. 输入偏移电流分配

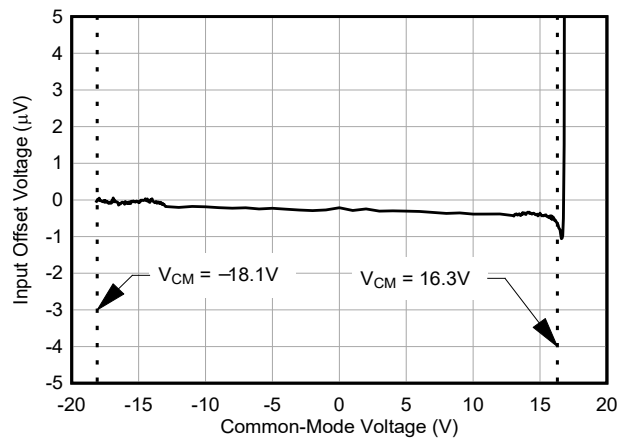


图 5-7. 失调电压与共模电压间的关系

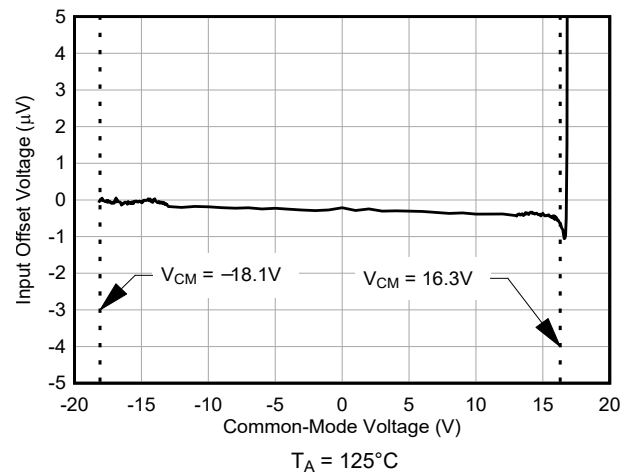


图 5-8. 失调电压与共模电压间的关系

5.8 典型特性 (续)

测量条件: $T_A = 25^\circ\text{C}$, $V_S = \pm 18\text{V}$, $V_{CM} = V_S / 2$, 以 $R_L = 10\text{k}\Omega$ (除非另有说明)

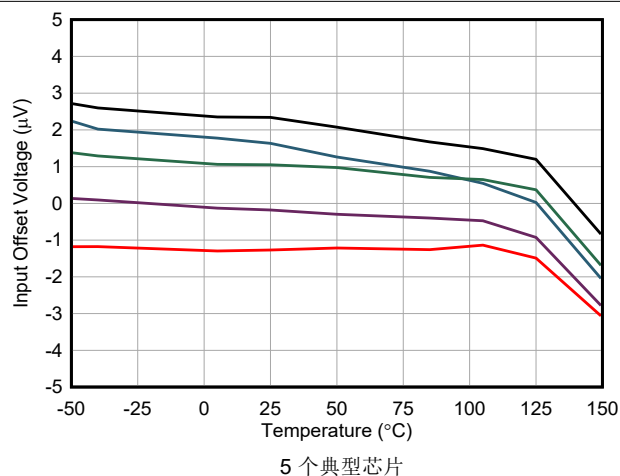


图 5-9. 失调电压与温度间的关系

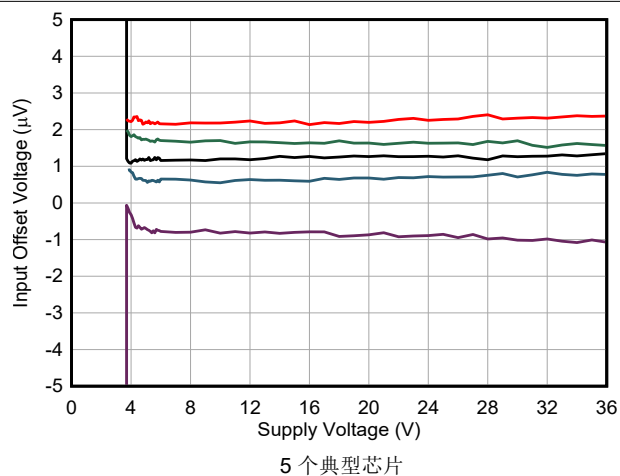


图 5-10. 偏移电压与电源电压间的关系

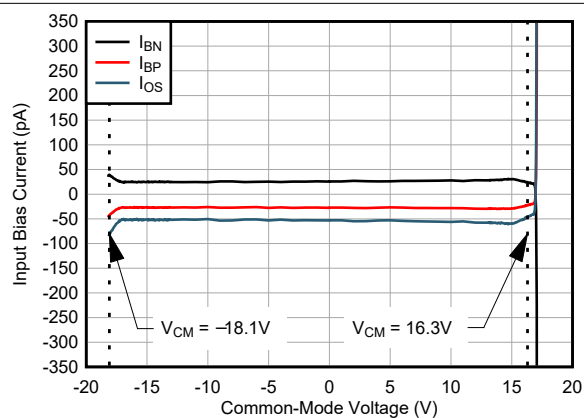


图 5-11. 输入偏置电流与共模电压间的关系

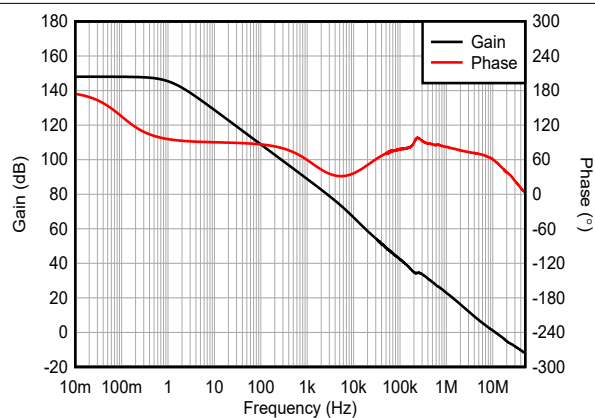


图 5-12. 开环增益和相位与频率间的关系

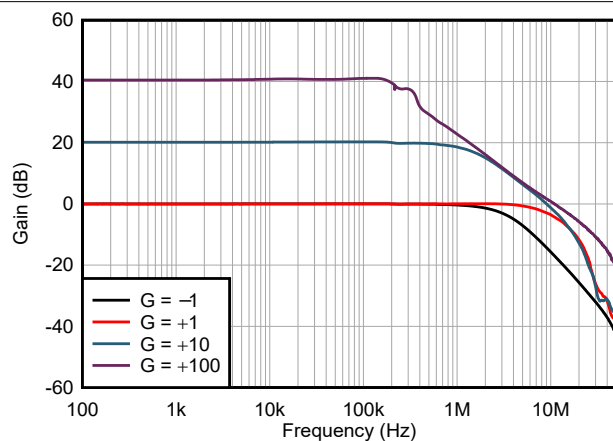


图 5-13. 闭环增益与频率间的关系

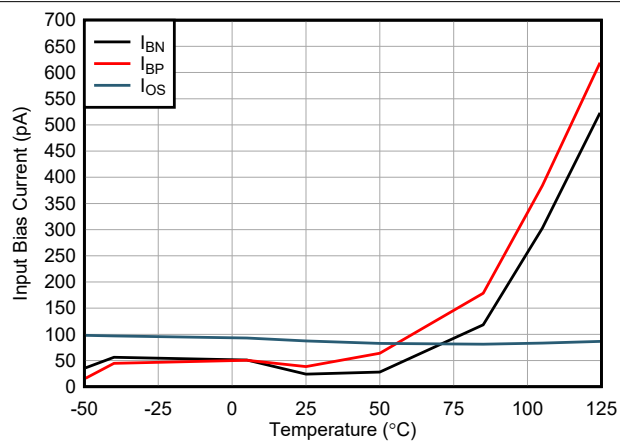


图 5-14. 输入偏置电流、失调电流与温度间的关系

5.8 典型特性 (续)

测量条件: $T_A = 25^\circ\text{C}$, $V_S = \pm 18\text{V}$, $V_{CM} = V_S / 2$, 以 $R_L = 10\text{k}\Omega$ (除非另有说明)

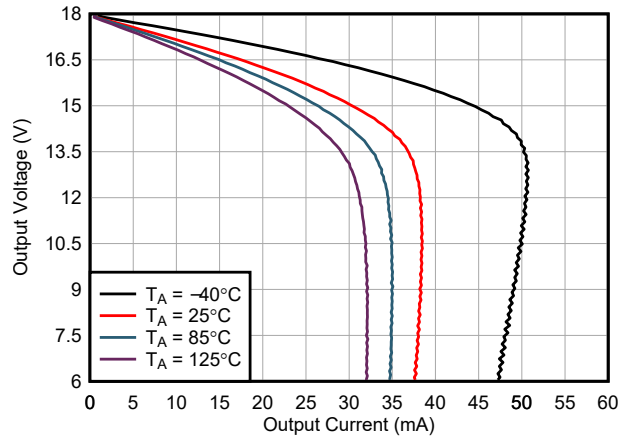


图 5-15. 输出电压摆幅与
输出电流 (拉电流) 间的关系

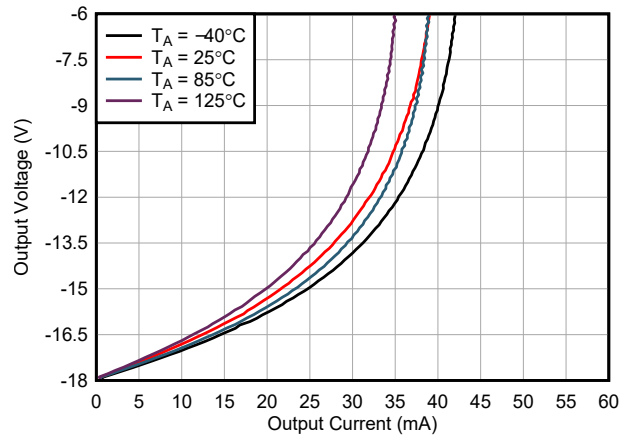


图 5-16. 输出电压摆幅与
输出电流 (灌电流) 间的关系

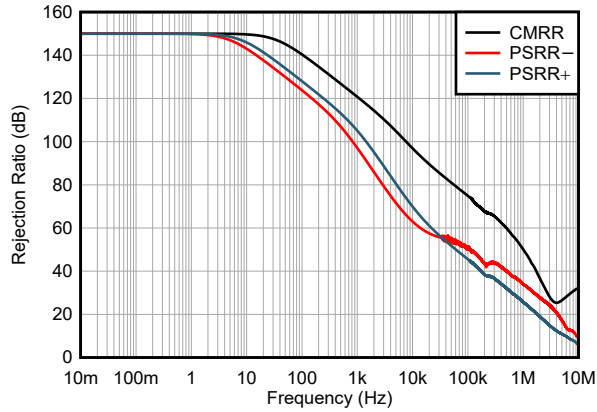


图 5-17. CMRR 和 PSRR 与频率间的关系

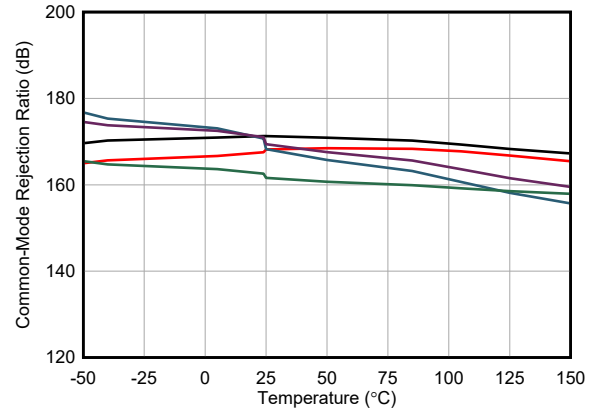


图 5-18. CMRR 与温度间的关系

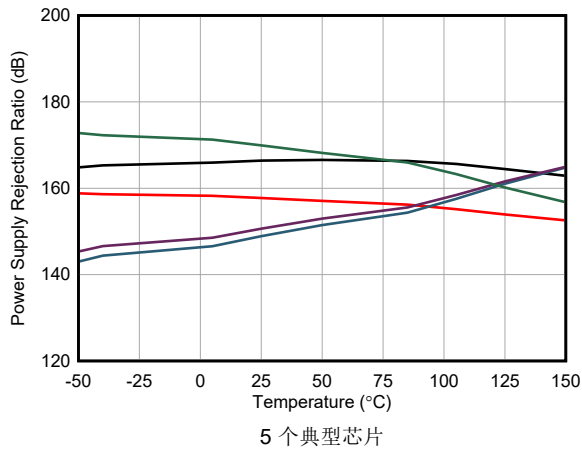


图 5-19. PSRR 与温度间的关系

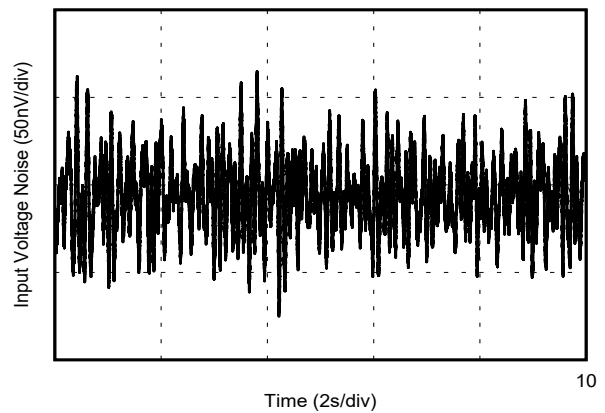


图 5-20. 0.1Hz 至 10Hz 电压噪声

5.8 典型特性 (续)

测量条件: $T_A = 25^\circ\text{C}$, $V_S = \pm 18\text{V}$, $V_{CM} = V_S / 2$, 以 $R_L = 10\text{k}\Omega$ (除非另有说明)

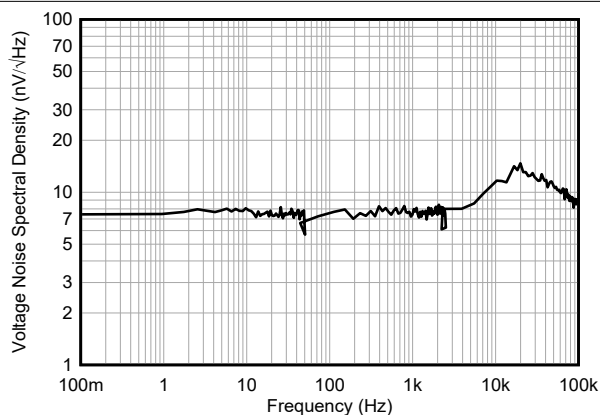


图 5-21. 输入电压噪声频谱密度与频率间的关系

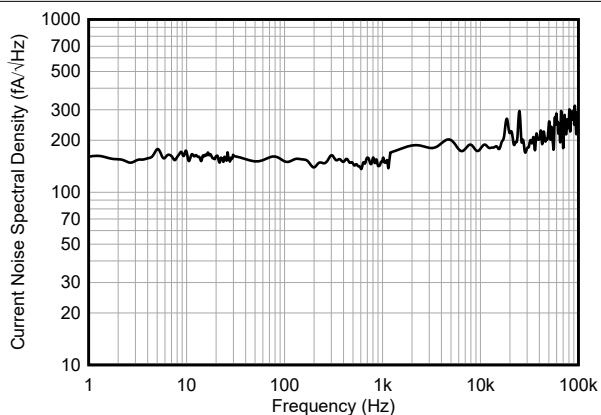


图 5-22. 输入电流噪声频谱密度与频率间的关系

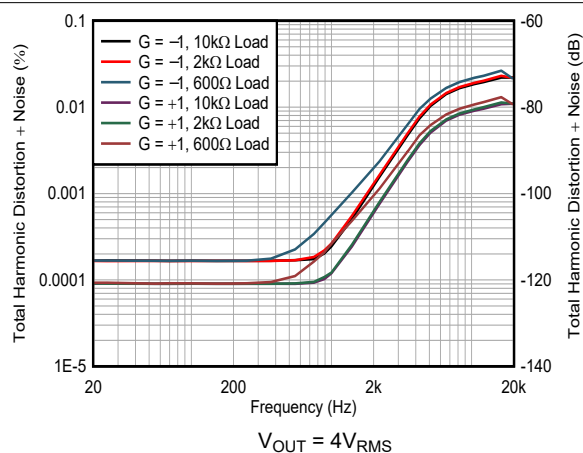


图 5-23. THD+N 与频率间的关系

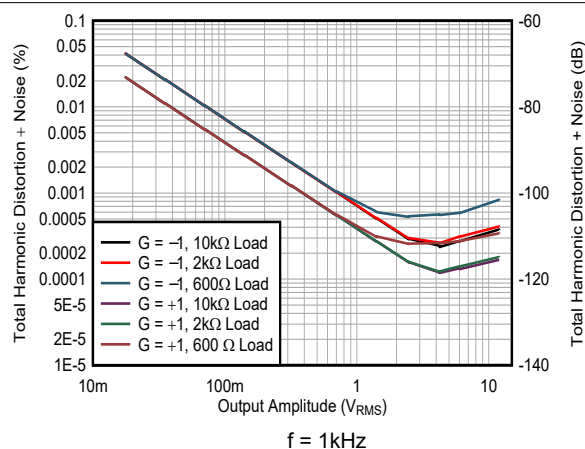


图 5-24. THD+N 与输出幅度间的关系

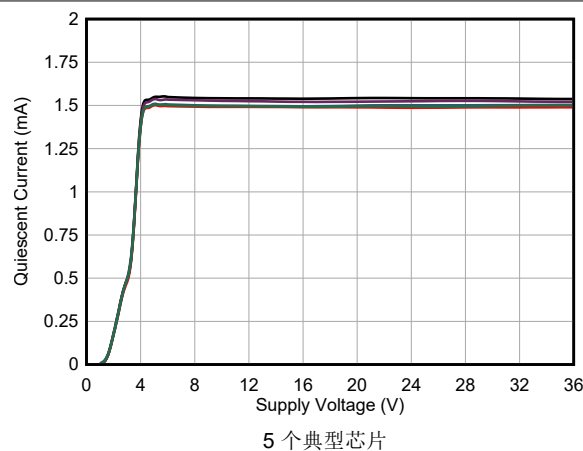


图 5-25. 静态电流与电源电压间的关系

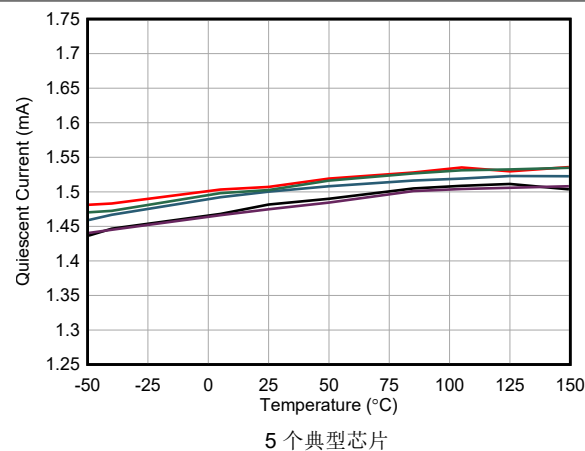


图 5-26. 静态电流与温度间的关系

5.8 典型特性 (续)

测量条件: $T_A = 25^\circ\text{C}$, $V_S = \pm 18\text{V}$, $V_{CM} = V_S / 2$, 以 $R_L = 10\text{k}\Omega$ (除非另有说明)

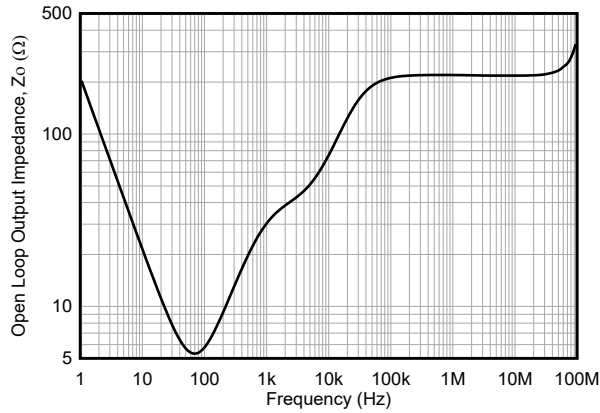
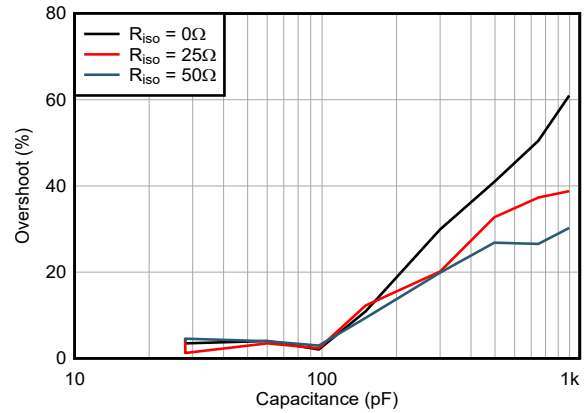
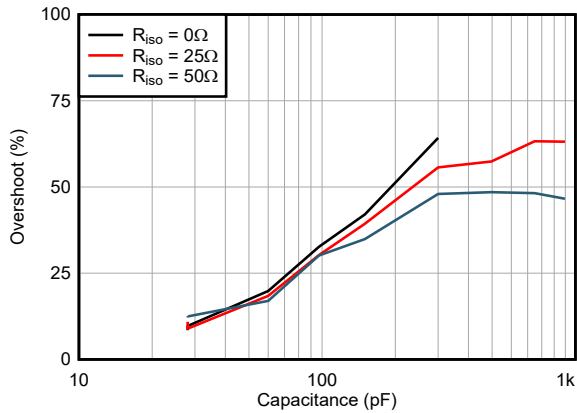


图 5-27. 开环输出阻抗与频率间的关系



增益 = -1, 10mV 阶跃

图 5-28. 小信号过冲与容性负载间的关系



= 1, 10mV 阶跃

图 5-29. 小信号过冲与容性负载间的关系

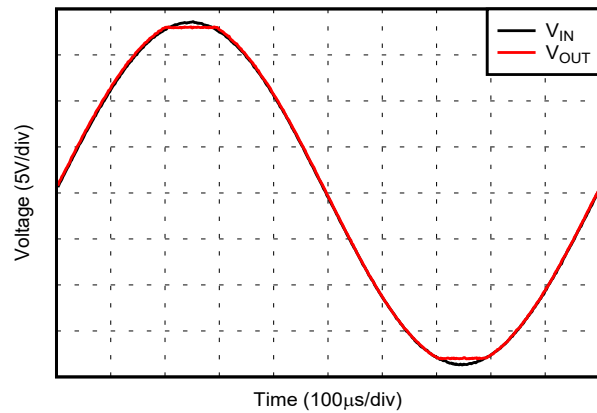


图 5-30. 无相位反转

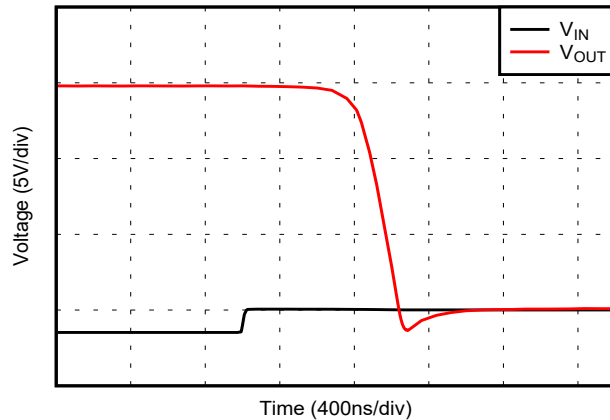


图 5-31. 正过载恢复

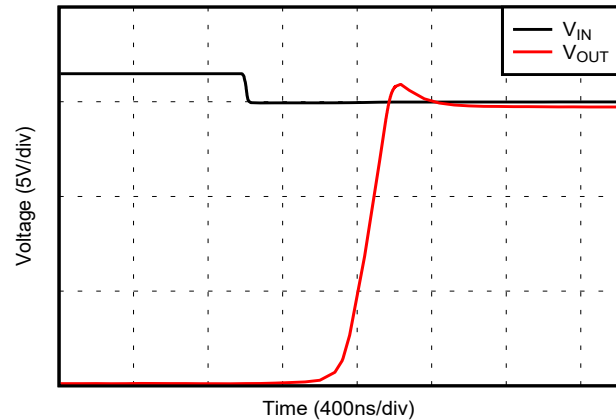


图 5-32. 负过载恢复

5.8 典型特性 (续)

测量条件: $T_A = 25^\circ\text{C}$, $V_S = \pm 18\text{V}$, $V_{CM} = V_S / 2$, 以 $R_L = 10\text{k}\Omega$ (除非另有说明)

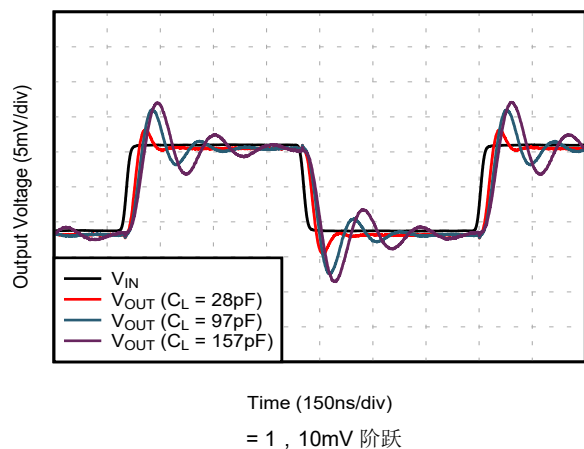


图 5-33. 小信号阶跃响应

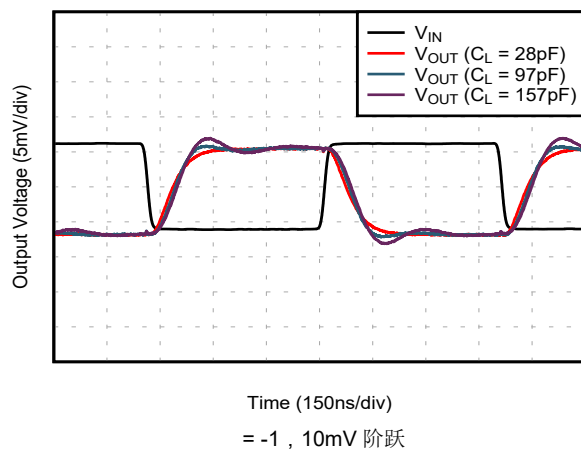


图 5-34. 小信号阶跃响应

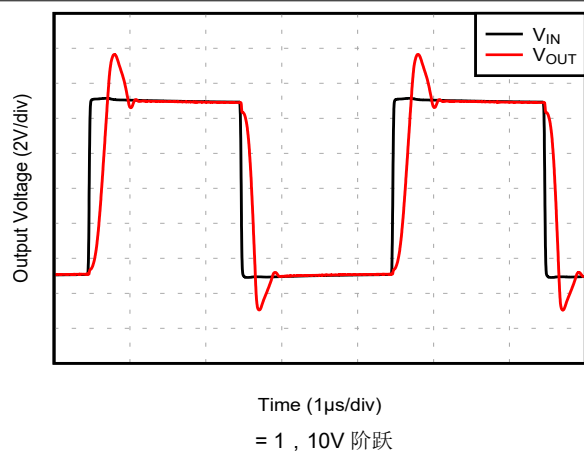


图 5-35. 大信号阶跃响应

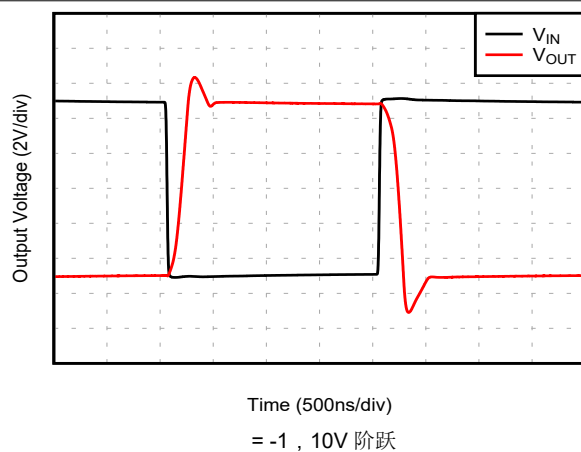


图 5-36. 大信号阶跃响应

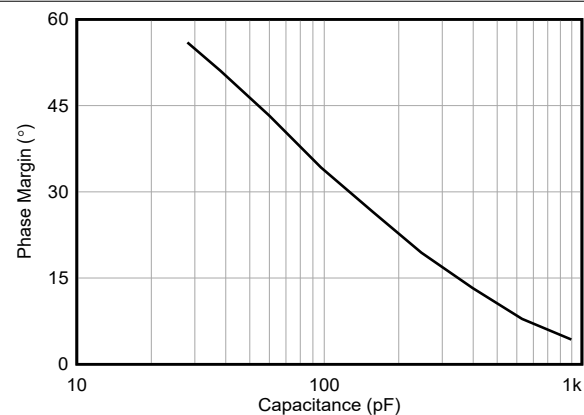


图 5-37. 相位裕度与容性负载间的关系

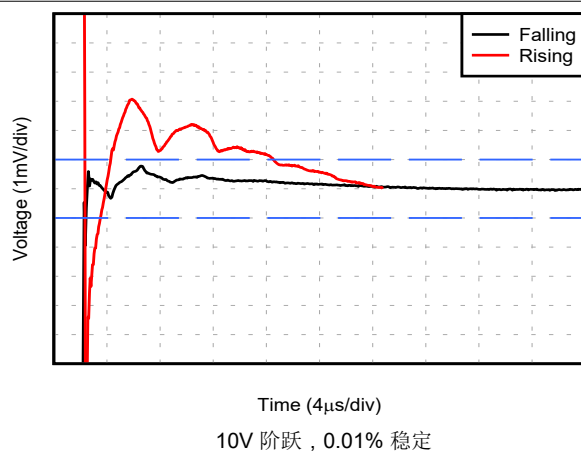


图 5-38. 稳定时间

5.8 典型特性 (续)

测量条件: $T_A = 25^\circ\text{C}$, $V_S = \pm 18\text{V}$, $V_{CM} = V_S / 2$, 以 $R_L = 10\text{k}\Omega$ (除非另有说明)

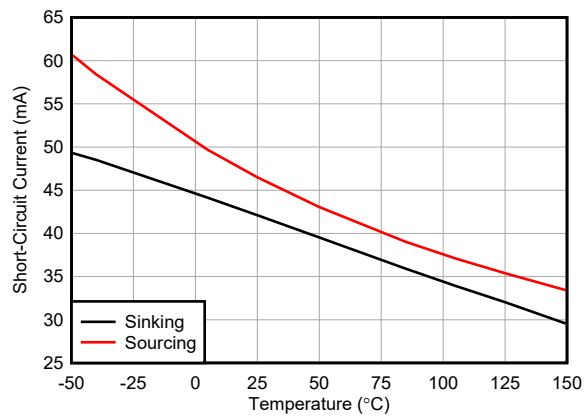


图 5-39. 短路电流与温度间的关系

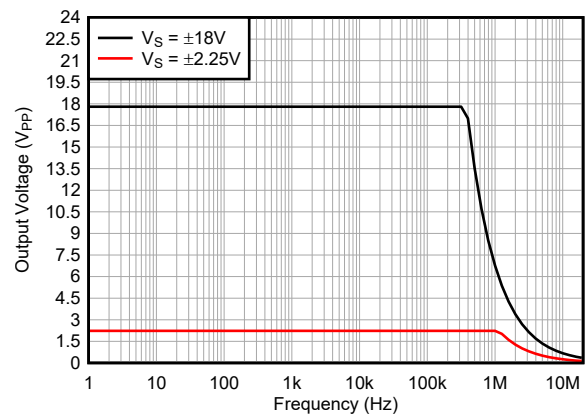


图 5-40. 最大输出电压与频率间的关系

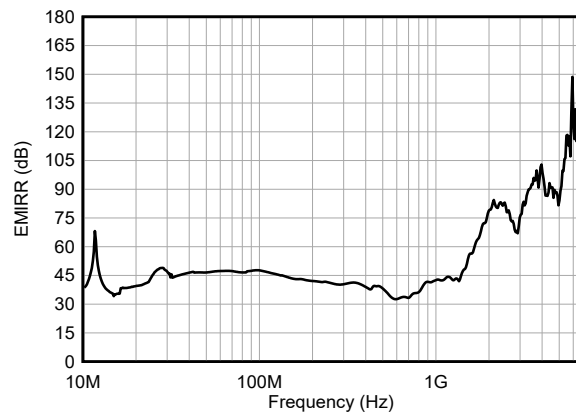


图 5-41. EMIRR 与频率间的关系

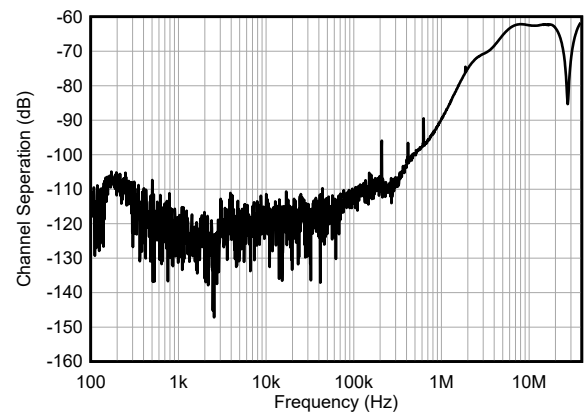


图 5-42. 通道隔离

6 详细说明

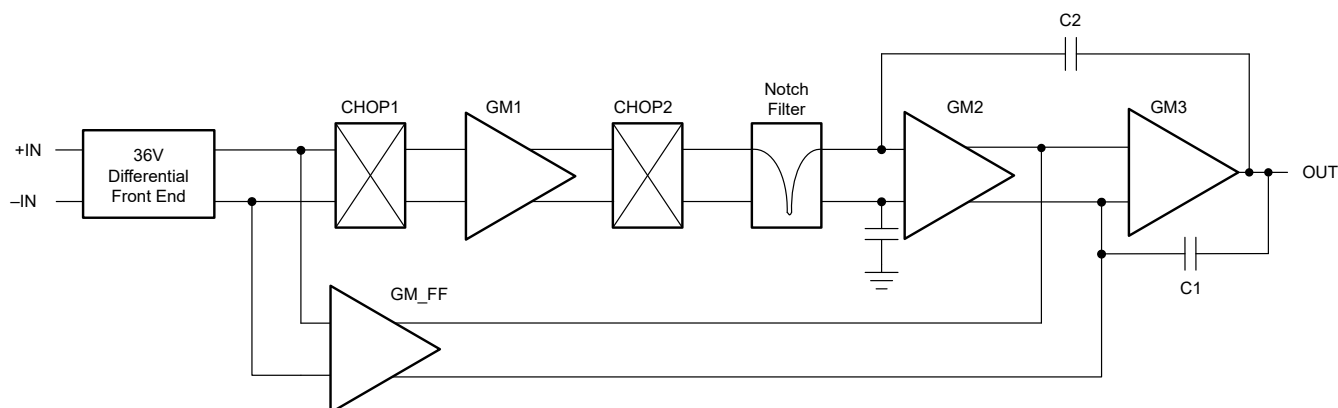
6.1 概述

TLVx888 运算放大器兼具精密的偏移和漂移与出色的总体性能，使该器件成为许多精密应用的理想选择。仅为 $0.01\mu\text{V}/^\circ\text{C}$ 的精密温漂可在 -40°C 至 $+125^\circ\text{C}$ 的整个工作温度范围内提供稳定性。此外，该器件还可提供出色的线性性能以及高 CMRR、PSRR 和 A_{OL} 。与所有放大器一样，具有嘈杂或者高阻抗电源的应用需要放置在靠近器件引脚的去耦合电容器。在大多数情况下， $0.1\mu\text{F}$ 电容器已足够满足需求。有关详细信息和布局示例，请参阅 [节 7.4](#)。

TLVx888 属于支持多路复用器的零漂移运算放大器系列。该器件的工作电压为 4.5V 至 36V ，单位增益稳定，旨在用于各种通用应用和精密应用。零漂移架构提供超低输入偏移电压，并且随温度变化和时间推移实现接近于零的输入偏移电压漂移。该架构选项还提供出色的交流性能，如超低宽带噪声、零闪烁噪声和在低于斩波频率的条件下运行时出色的失真性能。

以下部分显示了专有 TLVx888 架构的表示形式。

6.2 功能方框图



6.3 特性说明

TLVx888 运算放大器使用专有的周期性自动校准技术，可提供非常低的输入偏移电压以及随时间和温度变化的输入偏移电压漂移。这些器件具有多种集成功能，有助于在各种应用中保持高精度水平。其中包括相位反转保护、EMI 抑制、电气过载保护和多路复用器友好型输入。

[优化斩波放大器精度](#) 和 [运算放大器偏移电压和偏置电流限制](#) 应用手册详细介绍了用于保持 TLVx888 指定性能的若干设计技术和注意事项。

6.3.1 输入共模范围

TLVx888 的额定工作电压范围是 4.5V 至 36V ($\pm 2.25\text{V}$ 至 $\pm 18\text{V}$)。TLVx888 提供宽输入共模电压 (V_{CM}) 范围 (包括负电源轨)，因此成为单个电源操作的理想选择。正电源轨的输入共模电压限制为 $(V+) - 1.7\text{V}$ 。将输入共模电压限制为 $(V-) - 0.1\text{V} \leq V_{CM} \leq (V+) - 1.7\text{V}$ 以保持指定的性能。

6.3.2 相位反转保护

TLVx888 具有内部相位反转保护功能。当输入驱动超出线性共模范围时，一些运算放大器会发生相位反转。这是同相电路中输入驱动超出额定共模电压范围时的最常见的现象，会导致输出反向进入相对的电源轨。TLVx888 的输入采用额外的共模电压来防止相位反转。或者，输出被限制至适当的电源轨。图 6-1 展示了该性能。

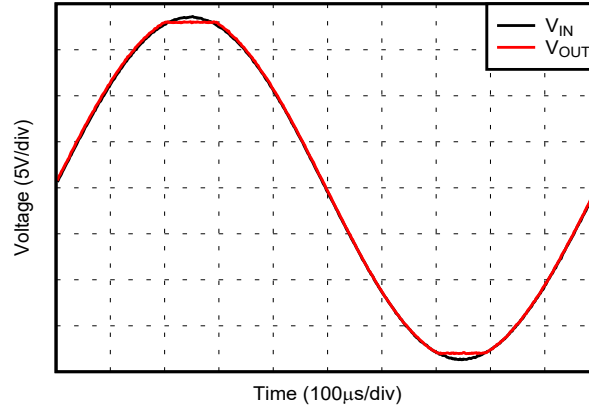


图 6-1. 无相位反转

6.3.3 斩波瞬态

零漂移放大器（如 TLVx888）在输入上使用开关架构来改正放大器的固有偏移和漂移。输入上来自集成开关的电荷注入可能会在放大器的输入偏置电流中引入短时瞬态。这些脉冲极短的持续时间可以防止放大，但是这些脉冲可通过反馈网络与放大器的输出进行耦合。使用低阻值电阻器可以更大限度地减小放大器输出端的输入瞬态影响。使用 RC 网络等低通滤波器，以更大限度地减少由瞬态引起的任何额外噪声。TLVx888 的斩波频率通常为 200kHz。

6.3.4 EMI 抑制

TLVx888 通过集成电磁干扰 (EMI) 滤波来降低无线通信、混合使用模拟信号链和数字元件的高密度电路板等干扰源产生的 EMI 干扰影响。通过电路设计技术可改进 EMI 抗扰度；TLVx888 受益于这些设计改进措施。

传导或辐射到运算放大器任何引脚的高频信号都可能导致不利影响，因为放大器环路增益不足，无法校正频谱含量超出带宽的信号。在输入端、电源或输出端上传导或辐射的 EMI 可能会导致意想不到的直流偏置、瞬态电压或其他未知的行为。请注意在敏感模拟节点与噪声的无线电信号以及数字时钟和接口之间实施适当的屏蔽和隔离。

6.3.5 电过应力

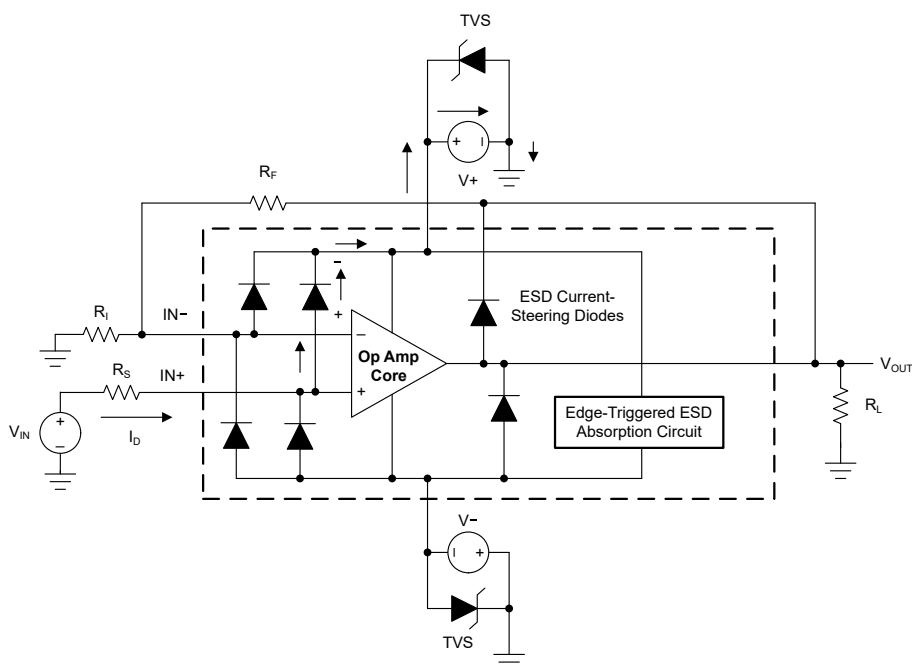
设计人员经常会问到关于运算放大器耐受电过应力的问题。这些问题侧重于器件输入，同时也会涉及电源引脚甚至输出引脚。这些不同引脚功能的每一个功能具有由独特的半导体制造工艺和连接到引脚的特定电路确定的电气过载限值。此外，这些电路均内置内部静电放电 (ESD) 保护功能，可在产品组装之前和组装过程中保护电路不受意外 ESD 事件的影响。

充分了解 ESD 基本电路及其与电气过载事件的关联性会有所帮助。图 6-2 展示了 TLVx888 中包含的 ESD 电路 (用虚线区域展示)。ESD 保护电路涉及多个电流驱动二极管。这些二极管从输入和输出引脚方向连接回内部供电线路，并且均连接到运算放大器的内部吸收器件。该保护电路在电路正常工作时处于未运行状态。

ESD 事件可产生短时高电压脉冲，随后在通过半导体器件放电时转换为短时高电流脉冲。ESD 保护电路设计在运算放大器核心周围，旨在为其提供电流路径，以防止造成损坏。保护电路吸收的能量将以热量形式耗散。

当 ESD 电压作用于两个或多个放大器引脚时，电流将流经一个或多个导流二极管。根据电流所选路径，该路径上的吸收器件可能激活。吸收器件具有触发或阈值电压，该电压高于 TLVx888 的正常工作电压，但低于器件击穿电压。超出该阈值后，吸收器件会迅速激活并将电源轨两端电压稳定在安全水平。

图 6-2 显示了当运算放大器接入某个电路时，ESD 保护元件将保持未激活状态，并且不会参与应用电路的运行。不过，如果施加的电压超出指定引脚的工作电压范围，可能会引起一些问题。如果出现这种情况，则存在部分内部 ESD 保护电路可能被偏置并传导电流的风险。此类电流将流经导流二极管路径，但很少涉及吸收器件。



注： $V_{IN} = (V+) + 500\text{mV}$ 。

TVS： $V+ < V_{TVSBR}(\text{min}) < 40\text{V}$ ，其中 $V_{TVSBR}(\text{min})$ 是 TVS 击穿电压的最小额定值。

过压条件下， R_S 的建议值约为 $5\text{k}\Omega$ 。

图 6-2. 与典型电路应用相关的等效内部 ESD 电路

图 6-2 给出了一个具体示例，其中输入电压 (V_{IN}) 高于正电源电压 ($V+$) 500mV 甚至更多。电路中将发生的具体情况取决于电源特性。如果 $V+$ 能够灌入电流，那么上面的一个输入导流二极管就会导通，并将电流传导至 $+V_S$ 。越来越高的 V_{IN} 会带来过高的电流。因此，数据表规范建议将应用的输入电流限制为 10mA。

如果电源无法吸收电流， V_{IN} 会开始将电流拉至运算放大器，然后作为正电源电压源进行接管。这种情况比较危险，因为该电压可能会超出运算放大器的绝对最大额定值。

另一个常见问题是，如果在电源 $V+$ 或 $V-$ 为 $0V$ 时向输入施加一个输入信号，放大器将如何响应。同样，此问题取决于电源在 $0V$ 或低于输入信号幅值时的特性。如果电源呈现高阻抗状态，则运算放大器电源电流可由输入源通过导流二极管进行提供。该状态不是放大器的正常偏置条件，可能导致规格下降或运行异常。如果电源表现为低阻态，则通过钳位二极管的电流将变得非常大。电流水平取决于输入源的供电能力以及输入路径中的所有电阻。

如果不确定电源对该电流的吸收能力，可在电源引脚处外接瞬态电压抑制器 (TVS) 二极管；另请参阅图 6-2。必须正确选择击穿电压，以确保二极管不会在正常工作期间导通。不过，击穿电压必须足够低，以便 TVS 二极管在电源引脚电压上升至超过安全工作电源电压水平时导通。

6.3.6 多路复用器友好型输入

TLVx888 采用专有的输入级设计，允许在保持高输入阻抗的同时施加输入差分电压。通常情况下，高电压 CMOS 或双极结输入放大器具有反向并联二极管，可保护输入晶体管以承受可能超过半导体工艺最大值的高 V_{GS} 电压，并防止损坏器件。当施加较大的输入阶跃、在通道之间切换或试图使用放大器作为比较器时，可以强制实施高 V_{GS} 电压。

TLVx888 通过开关输入技术解决了这些问题，该技术可防止在施加较大的差分电压时出现较大的输入偏置电流。这种输入架构解决了开关或多路复用应用中出现的许多问题，其中 RC 滤波网络的较大中断是由较高电势之间的快速切换引起的。图 6-3 显示了一种典型应用，其中多路复用器友好型输入可以提高趋稳时间性能。借助这些设计创新以及内置的压摆率提升和宽带宽，TLVx888 可提供出色的趋稳性能。TLVx888 也可用作比较器。差分 and 共模输入电压范围仍然适用。

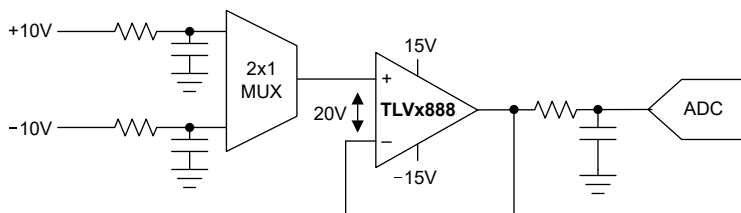


图 6-3. 多路复用应用

6.4 器件功能模式

TLVx888 具有单一功能模式，可在电源电压大于 $4.5V$ ($\pm 2.25V$) 时正常工作。TLVx888 的建议电源电压为 $36V$ ($\pm 18V$)。

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

7.1 应用信息

TLVx888 运算放大器兼具精密的偏移和漂移与出色的总体性能，使该器件成为许多精密应用的理想选择。凭借仅 $0.01\mu\text{V}/^\circ\text{C}$ 的精密温漂，该器件可在整个温度范围内提供稳定性。此外，该器件还集出色的 CMRR、PSRR 和 A_{OL} 直流性能与出色的低噪声运行于一体。与所有放大器一样，具有嘈杂或者高阻抗电源的应用需要放置在靠近器件引脚的去耦合电容器。在大多数情况下， $0.1\mu\text{F}$ 电容器已足够满足需求。

7.1.1 基本噪声计算

低噪声电路设计需要仔细分析所有噪声源。在许多情况下，外部噪声源可能具有主导作用；应考虑源阻抗对整体运算放大器噪声性能的影响。电路总计噪声是所有噪声分量的平方和根值。

源阻抗的电阻部分产生的热噪声与电阻的方根成正比。源阻抗一般为固定的值；因此，需通过选择运算放大器和反馈电阻来尽可能降低总噪声的相应分量。

图 7-1 显示采用增益配置的同相运算放大器电路。图 7-2 显示采用增益配置的反相运算放大器电路。在增益配置电路中，反馈网络电阻也会产生噪声。通常情况下，运算放大器的电流噪声根据反馈电阻不同，进而产生额外的噪声分量。但是，TLVx888 的低电流噪声意味着我们可以忽略电流噪声的作用。

一般可通过选择合适的反馈电阻值使这些噪声源降低至忽略不计。低阻抗反馈电阻可负载放大器的输出。以下为两种配置的总噪声计算公式。

有关噪声计算的其他资源，请访问 [TI 高精度实验室](#)。

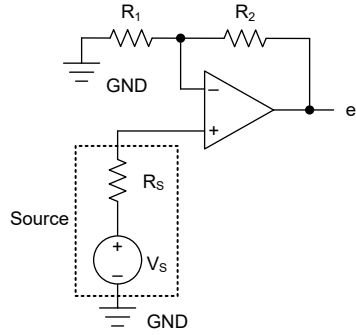


图 7-1. 同相增益配置中的噪声计算

$$E_o = e_o \sqrt{BW_N} [V_{RMS}] \quad (1)$$

$$e_o = \left(1 + \frac{R_2}{R_1}\right) \sqrt{e_S^2 + e_N^2 + (e_{R_1 \parallel R_2})^2 + (i_N R_S)^2 + \left(i_N \frac{R_1 R_2}{R_1 + R_2}\right)^2} \left[\frac{V}{\sqrt{Hz}}\right] \quad (2)$$

$$e_S = \sqrt{4k_B T(K) R_S} \left[\frac{V}{\sqrt{Hz}}\right] \quad (3)$$

$$e_{R_1 \parallel R_2} = \sqrt{4k_B T(K) \left(\frac{R_1 R_2}{R_1 + R_2}\right)} \left[\frac{V}{\sqrt{Hz}}\right] \quad (4)$$

$$k_B = 1.38065 \times 10^{-23} \left[\frac{J}{K}\right] \quad (5)$$

$$T(K) = 2.37.15 + T(^{\circ}C) [K] \quad (6)$$

其中

- e_n 是放大器的电压噪声频谱密度。对于 TLVx888, $e_n = 7.5nV/\sqrt{Hz}$ (1kHz 时)
- e_N 是总计噪声密度
- e_S 是 R_S 的热噪声
- $e_{R_1 \parallel R_2}$ 是 $R_1 \parallel R_2$ 的热噪声
- k_B 是玻尔兹曼常数
- $T(K)$ 是以开尔文为单位的温度

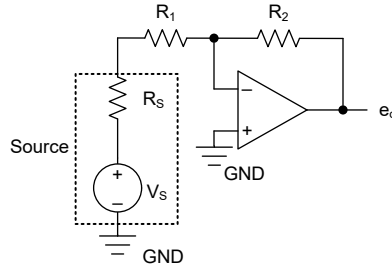


图 7-2. 反相增益配置中的噪声计算

$$E_o = e_o \sqrt{BW_N} [V_{RMS}] \quad (7)$$

$$e_o = \left(1 + \frac{R_2}{R_S + R_1}\right) \sqrt{e_N^2 + (e_{R_1 + R_S} \parallel R_2)^2 + \left(i_N \frac{(R_S + R_1)R_2}{R_S + R_1 + R_2}\right)^2} \left[\frac{V}{\sqrt{Hz}}\right] \quad (8)$$

$$e_{R_1 + R_S} \parallel R_2 = \sqrt{4k_B T(K) \left(\frac{(R_S + R_1)R_2}{R_S + R_1 + R_2}\right)} \left[\frac{V}{\sqrt{Hz}}\right] \quad (9)$$

$$k_B = 1.38065 \times 10^{-23} \left[\frac{J}{K}\right] \quad (10)$$

$$T(K) = 2.37.15 + T(^{\circ}C) [K] \quad (11)$$

其中：

- e_n 是放大器的电压噪声频谱密度。对于 TLVx888, $e_n = 7.5nV/\sqrt{Hz}$ (1kHz 时)
- e_N 是总计噪声密度
- e_S 是 R_S 的热噪声
- $e_{(R_1 + R_S) \parallel R_2}$ 是 $(R_1 + R_S) \parallel R_2$ 的热噪声
- k_B 是玻尔兹曼常数
- $T(K)$ 是以开尔文为单位的温度

7.2 典型应用

7.2.1 高侧电流检测

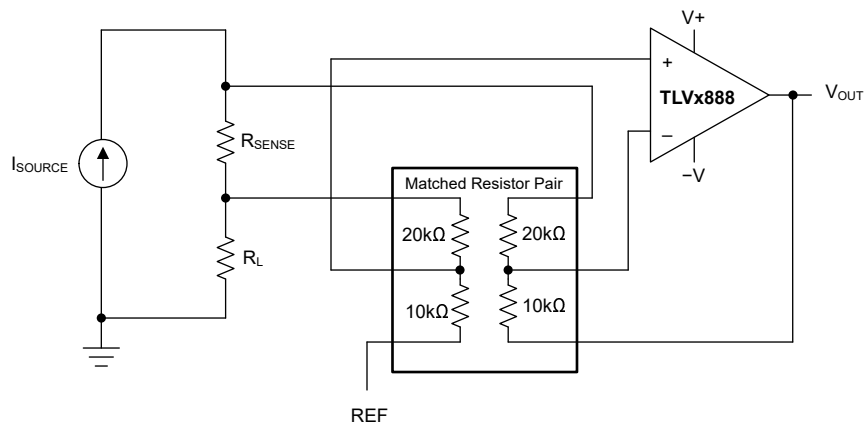


图 7-3. 高侧电流监控器

7.2.1.1 设计要求

常见的系统要求是监控输送到负载的电流。监控可确保保持正常电流水平，并在发生过流情况时发出警报。

幸运的是，一个相对简单的电流监控电路可以通过一个精密的运算放大器来实现，例如 TLVx888。该器件具有出色的精度和宽增益带宽积，可适应极高的增益配置。

TLVx888 被配置为具有预先确定增益的差分放大器。差分放大器输入连接在检测电阻上，负载电流会通过该检测电阻。检测电阻可以连接到负载电流流经的电路的高侧或低侧。通常会进行高侧电流检测。图 7-3 显示了适用的 TLVx888 配置。如果检测电阻可以放置在负载和接地之间，也可以应用低侧电流检测。

本设计示例使用以下参数：

- 双电源：±15V
- 线性输出电压范围：0V 至 5V
- 负载电流， I_L ：1mA 至 100mA

以下设计详细信息和公式可用于针对不同的输出电压范围和电流负载重新配置此设计。

7.2.1.2 详细设计过程

只要仔细考虑放大器的电气特性以保持线性运行，设计高侧电流监控电路就很简单。在配置系统时，还必须考虑其他特性，例如电流监控器级之后的模数转换器 (ADC) 的输入电压范围。

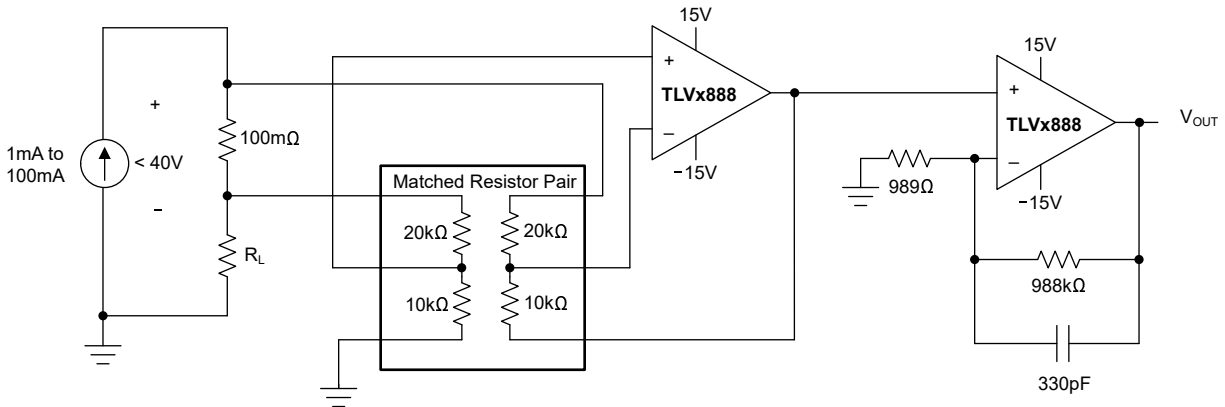


图 7-4. 采用增益级的高侧电流检测

例如，考虑设计一个 TLVx888 高侧电流监控器，该监控器的输出电压范围设置为与满量程输入范围为 0V 至 5V 的 ADC 输入兼容。尽管 TLVx888 被指定为轨到轨输出放大器，但线性输出工作范围（正如所有放大器）不会一直扩展到电源轨。必须考虑该线性工作范围。

在此设计示例中，TLVx888 由 $\pm 15\text{V}$ 供电；因此，该器件能够轻松提供 0V 至 5V 的摆幅；如果 ADC 具有更宽的输入范围，甚至可以提供更大的摆幅。

运算放大器线性输出电压范围的最佳测量源于《电气特性》表中列出的开环电压增益 (A_{OL}) 规格。 A_{OL} 测试条件指定了从每个电源轨到 600mV 的线性摆幅范围 ($R_L = 10\text{k}\Omega$)。

本例中使用了 100mA 的额定负载电流 (I_L)。然而，在大多数应用中，监控远低于 100mA 的电流电平的功能很有用。

电流检测电阻器 R_S 的选择归结为最大电流下可以承受的压降大小，以及允许的功率损耗或耗散。100mA 检测应用的一个良好折衷方案是 100mΩ 的 R_S 。该值会导致 1mW 的功率耗散，以及 100mA 时的 10mV 压降。

接下来，确定 TLVx888 差分放大器电路的增益。流经 100mΩ 检测电阻器的 100mA 最大电流在电阻器上产生 100mV 电压。差分放大器的增益受所需输入共模电压的限制。例如，1/2 的增益会提供电路所见的高侧电压的 1/3 衰减。此衰减足以将输入共模保持在 TLVx888 的范围内，即 $(V_+) - 1.7\text{V}$ 。

在 TLVx888 差分放大器电路输入端施加的差分电压会由差分放大器进行衰减，并且需要一个增益级来确保适当调节。方便起见，可以使用 TLV2888 的第二个通道。超低偏移电压和宽带宽可实现非常高的增益配置。在此示例中，1000V/V 的增益为 0V 至 5V 输出提供了必要的调节。

TLVx888 输出电压特意限制为 5V。但是，由于电源电压为 $\pm 15\text{V}$ ，输出电压可能会高得多，以支持具有更宽动态范围的更高电压数据转换器。

TLVx888 输出以及其他 CMOS 输出放大器的摆幅通常会接近 0V（在单电源配置中），而不是线性输出参数建议的值。电压输出摆幅 V_O （请参阅《电气特性》表）并不表示线性输出范围，而是表示输出可以向电源轨移动的接近程度。在该区域中，放大器输出接近饱和，并且放大器停止线性工作。因此，在电流监视器应用中，电流测量能力可以继续远低于 600mV 输出电平。不过，请记住，线性误差会变得很大。

最后，以下是关于尽可能提升高侧电流监控器性能的一些注意事项：

1. 所有电阻值对于获得准确的增益结果都至关重要。尽可能匹配【R1 和 R3】与【R2 和 R4】的电阻器对，从而尽可能减少共模不匹配误差。使用容差为 0.1% 或更好的电阻器。通常，与随机选择相比，选择卷带上的两个相邻电阻器可以提供紧密匹配。RES21A 提供了更优雅的电路设计，其性能优于分立式 0.1% 电阻器。

2. 将差分放大器的闭环增益 G 设置为合理的值，以降低增益误差并更大幅度地提高带宽。TLVx888 的高带宽可实现极高的增益配置。
3. 尽管通常会使用电流监控来监控直流电源电流，但也可以监控交流电流。需要特别注意电路的 -3dB 截止频率。

有关基于放大器的高侧电流监控器的更多信息，请参阅 [TI 模拟工程师电路设计指导手册：放大器](#)。

7.2.1.3 应用曲线

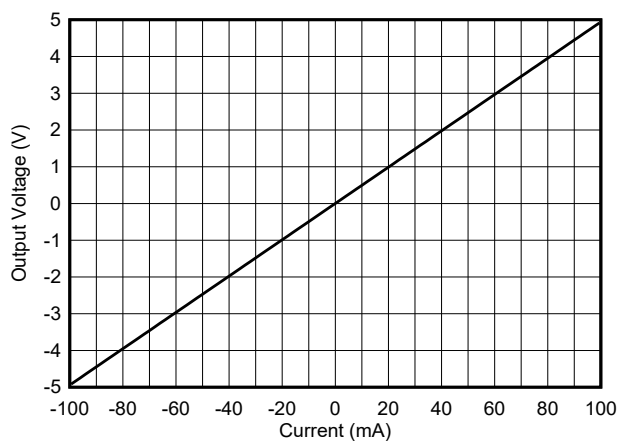


图 7-5. 电流检测测量模型

7.2.2 可编程电流源

图 7-6 显示了使用 TLVx888 的精密电流源的基本配置。该电路为浮动负载提供可配置的电流源。图 7-6 使用数模转换器 (DAC) 设置电流电平。例如，放大器输入端的 5V 满量程电压可提供 100mA 电流源。

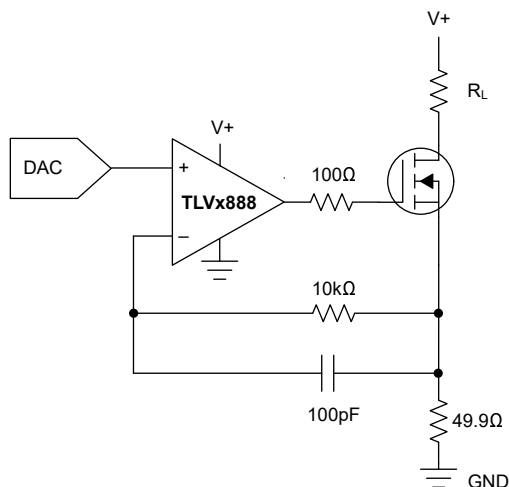


图 7-6. 可编程精密电流源

7.2.3 用于接地负载的可编程电流源

图 7-7 显示了将 TLVx888 配置为可编程电流源，用于以接地为基准的负载。为实现单个电源操作，采用两级设计。第一级设置参考电流，第二级用作具有增益的电流镜。TLVx888 用于调节两级晶体管中的电流。

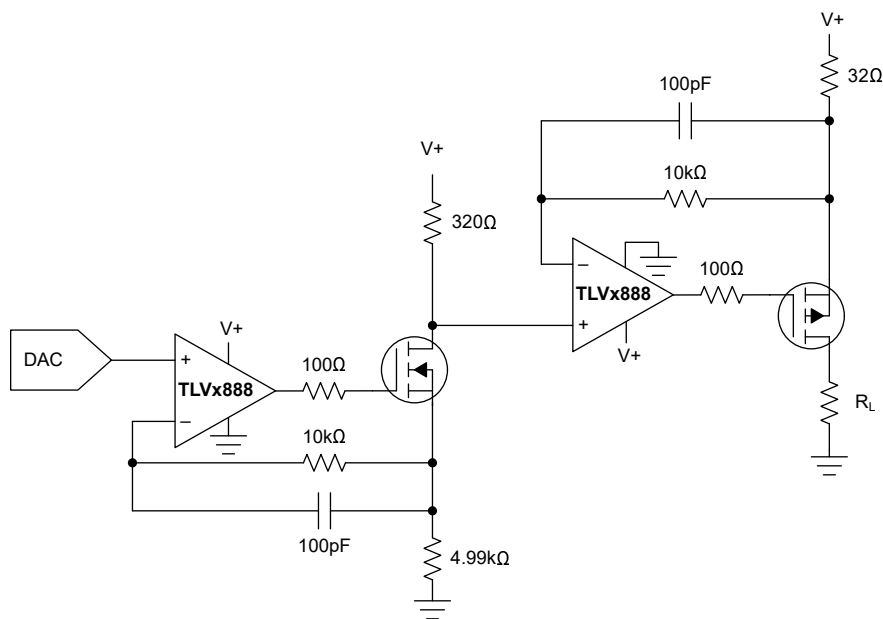


图 7-7. 用于以接地为基准的负载的单电源可编程电流源

7.3 电源相关建议

TLVx888 的额定工作电压范围是 4.5V 至 36V (±2.25V 至 ±18V)。TLVx888 可由单电源和双电源供电。TLVx888 不需要对称电源；运算放大器只需 4.5V 的最小电压即可工作。

小心

电源电压大于 40V 会对器件造成永久性损坏（请参阅绝对最大额定值表）。

将 0.1 μ F 旁路电容器置于电源引脚附近，以减少来自高噪声电源或高阻抗电源的耦合误差。有关旁路电容器放置的更多详细信息，请参阅 [节 7.4](#)。

7.4 布局

7.4.1 布局指南

为了实现器件的出色工作性能，请采用良好的 PCB 布局实践，：

- 要获得最低失调电压，请避免在因连接不均质导体形成的热电偶结中产生热电（塞贝克）效应的温度梯度。此外：
 - 使用低热电系数条件（避免异种金属）。
 - 将元件与电源或其他热源进行热隔离。
 - 将运算放大器和输入电路与气流（如冷却风扇气流）隔离。
- 噪声可通过运算放大器的电源引脚和整个电路的电源引脚传播到模拟电路中。旁路电容器通过提供模拟电路的本地低阻抗电源来减少耦合噪声。
 - 在每个电源引脚和接地端之间连接低 ESR 0.1 μ F 陶瓷旁路电容器，放置位置尽量靠近器件。针对单电源应用，V+ 与接地端之间可以接入单个旁路电容器。
- 将电路中模拟和数字部分单独接地是最简单和最有效的噪声抑制方法之一。多层 PCB 上的一层或多层通常专门用于作为接地平面。接地层有助于散热和减少 EMI 噪声拾取。对数字接地和模拟接地进行物理隔离，同时应注意接地电流的流动。有关更多详细信息，请参阅 [PCB 是一个运算放大器设计的组件模拟应用期刊](#)。
- 为了减少寄生耦合，请让输入布线尽可能远离电源或输出布线。如果这些布线无法分离，则相比平行，敏感布线与有噪声布线应垂直相交。
- 外部元件应尽可能靠近器件放置。如 [图 7-9](#) 所示，使反馈电阻 (R3) 和增益电阻 (R4) 靠近反相输入以更大限度地减小寄生电容。
- 尽可能缩短输入走线的长度。反相输入的短布线有助于更大限度地减小反相输入上的寄生电容。切记，输入布线是电路中最敏感的部分。
- 为获得出色性能，请在组装 PCB 板后对其进行清洁。
- 任何精密集成电路都可能因湿气渗入塑料封装中而出现性能变化。在执行任何 PCB 水清洁流程之后，将 PCB 组件烘干，以去除清洁时渗入器件封装中的湿气。大多数情形下，清洗后在 85°C 下低温烘干 30 分钟即可。

7.4.2 布局示例

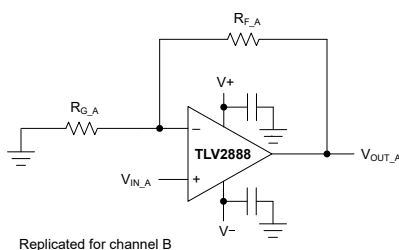


图 7-8. 原理图表示

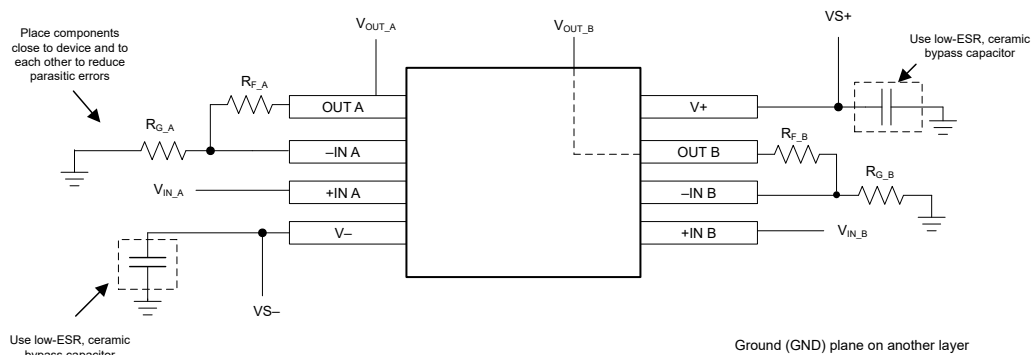


图 7-9. 同相放大器配置的运算放大器电路板布局

8 器件和文档支持

8.1 器件支持

8.1.1 开发支持

8.1.1.1 PSpice® for TI

PSpice® for TI 是可帮助评估模拟电路性能的设计和仿真环境。在进行布局和制造之前创建子系统设计和原型设计，可降低开发成本并缩短上市时间。

8.1.1.2 TINA-TI™ 仿真软件 (免费下载)

TINA-TI™ 仿真软件是一款简单易用、功能强大且基于 SPICE 引擎的电路仿真程序。TINA-TI 仿真软件是 TINA™ 软件的一款免费全功能版本，除了一系列无源和有源模型外，此版本软件还预先载入了一个宏模型库。TINA-TI 仿真软件提供所有传统的 SPICE 直流、瞬态和频域分析，以及其他设计功能。

TINA-TI 仿真软件提供全面的后处理能力，便于用户以多种方式获得结果，用户可从[设计和仿真工具网页](#)免费下载。虚拟仪器提供选择输入波形和探测电路节点、电压以及波形的能力，从而构建一个动态的快速启动工具。

备注

必须安装 TINA 软件或者 TINA-TI 软件后才能使用这些文件。请从 [TINA-TI™ 软件文件夹](#) 中下载免费的 TINA-TI 仿真软件。

8.2 文档支持

8.2.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，[零漂移放大器：特性和优势 应用简报](#)
- 德州仪器 (TI)，[PCB 是一个运算放大器设计的组件 应用说明](#)
- 德州仪器 (TI)，[运算放大器增益稳定性，第 3 部分：交流增益误差分析](#)
- 德州仪器 (TI)，[运算放大器增益稳定性，第 2 部分：直流增益误差分析](#)
- 德州仪器 (TI)，[在全差分有源滤波器中使用无限增益、MFB 滤波器拓扑 应用说明](#)
- 德州仪器 (TI)，[运算放大器性能分析应](#)
- 德州仪器 (TI)，[运算放大器的单电源操作 应用说明](#)
- 德州仪器 (TI)，[无铅组件涂层的货架期评估 应用说明](#)
- 德州仪器 (TI)，[反馈曲线图定义运算放大器交流性能 应用说明](#)
- 德州仪器 (TI)，[运算放大器的 EMI 抑制比 应用手册](#)
- 德州仪器 (TI)，[电阻式温度检测器的模拟线性化 应用说明](#)
- 德州仪器 (TI)，[TI 精密设计 TIPD102 高侧电压电流 \(V-I\) 转换器](#)

8.3 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.4 支持资源

TI E2E™ 中文支持论坛 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的[使用条款](#)。

8.5 商标

TINA-TI™ and TI E2E™ are trademarks of Texas Instruments.

TINA™ is a trademark of DesignSoft, Inc.

PSpice® is a registered trademark of Cadence Design Systems, Inc.
所有商标均为其各自所有者的财产。

8.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.7 术语表

TI 术语表 本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision B (December 2025) to Revision C (August 2026)	Page
• 将 TLV888 DSG (WSON) 从“预发布”更改为“量产数据 (正在供货)”	1
• 添加了 TLV2888DSG 封装 ESD 等级表	6
• 添加了 TLV2888DSG 封装热性能信息	7

Changes from Revision A (September 2025) to Revision B (December 2025)	Page
• 将 TLV888 DBV (SOT-23, 5)、TLV4888 D (SOIC, 14) 和 PW (TSSOP, 14) 从预览版更改为量产数据 (正在供货)	1
• 已将 ESD 等级 中的人体放电模式值 (HBM) 从 ±1000V 更改为 ±4000V	6

Changes from Revision * (December 2024) to Revision A (September 2025)	Page
• 将 TLV888D D (SOIC) 和 TLV2888 DGK (VSSOP) 封装从预发布更改为量产数据 (正在供货)	1
• 更新了 说明 中的应用电路	1
• 更新了 说明 中的失调电压温漂值，以更正拼写错误	1
• 更新了 TLV2888 (D , SOIC-8) 热性能信息	7
• 向 T _A = - 40°C 至 +125°C 时的共模抑制比中添加了注释 1	8
• 更新了 R _{LOAD} = 2k Ω 测试条件的开环电压增益	8
• 向 T _A = - 40°C 至+125°C 时的开环电压增益添加了注释 1	8
• 向空载条件下相对于电源轨的电压输出摆幅添加了注释 1	8
• 更新了空载条件下相对于电源轨的电压输出摆幅	8

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLV2888DGKR	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3VBS
TLV2888DR	Active	Production	SOIC (D) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TL2888
TLV2888DR.A	Active	Production	SOIC (D) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TL2888
TLV2888DSGR	Active	Production	WSON (DSG) 8	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	41TH
TLV4888DR	Active	Production	SOIC (D) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TLV4888
TLV4888PWR	Active	Production	TSSOP (PW) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TLV4888
TLV888DBVR	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	TL888
TLV888DR	Active	Production	SOIC (D) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TL888

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV2888DGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TLV2888DSGR	WSOP	DSG	8	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
TLV4888PWR	TSSOP	PW	14	3000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
TLV888DBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

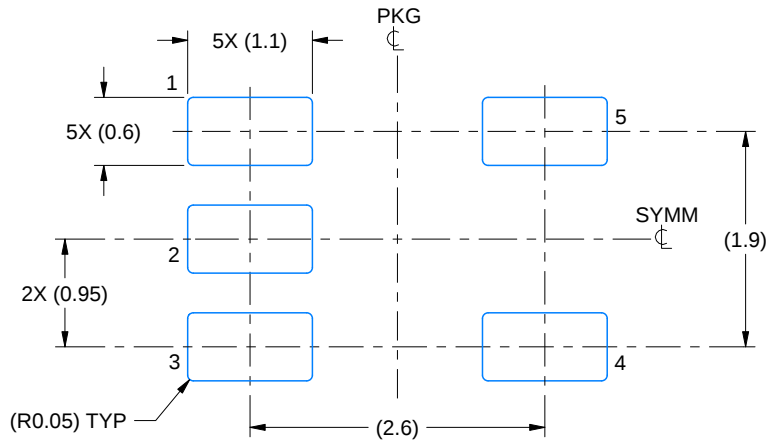
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV2888DGKR	VSSOP	DGK	8	2500	353.0	353.0	32.0
TLV2888DSGR	WSO8	DSG	8	3000	210.0	185.0	35.0
TLV4888PWR	TSSOP	PW	14	3000	353.0	353.0	32.0
TLV888DBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0

EXAMPLE BOARD LAYOUT

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

DGK0008A



PACKAGE OUTLINE

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



4214862/A 04/2023

NOTES:

PowerPAD is a trademark of Texas Instruments.

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.

EXAMPLE BOARD LAYOUT

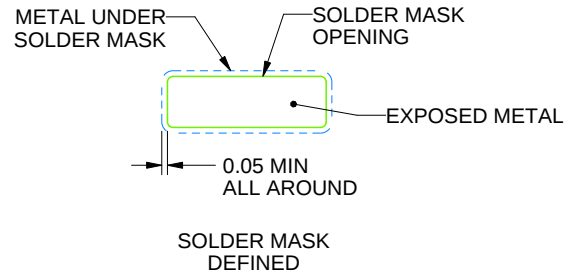
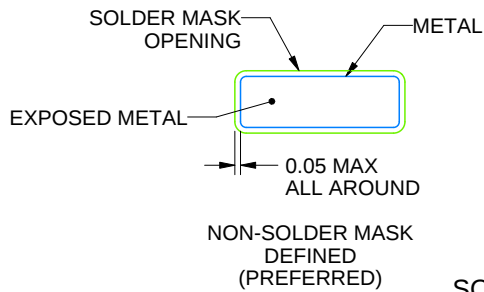
DGK0008A

TM VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGK0008A

TM VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
SCALE: 15X

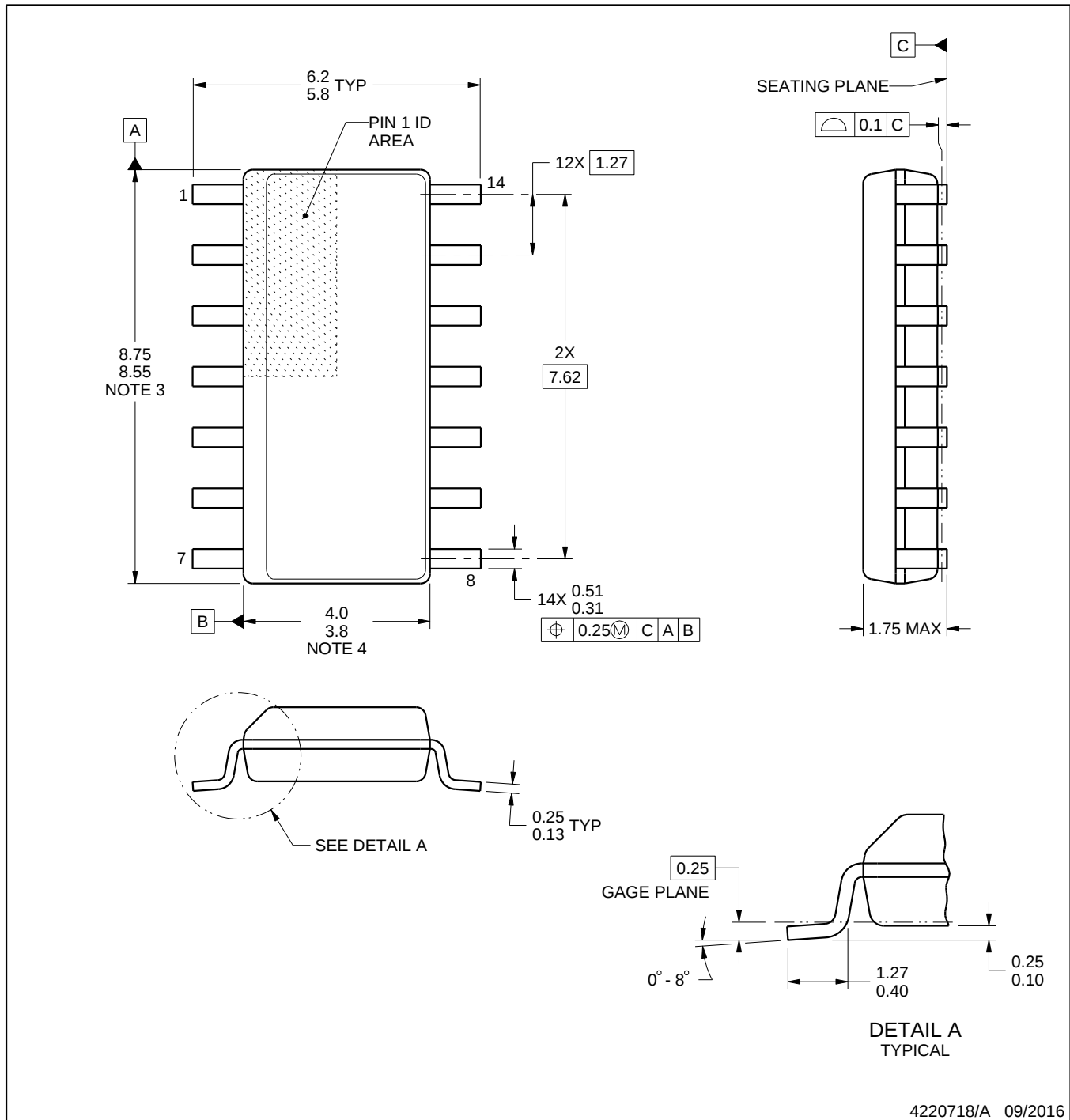
4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

D0014A**PACKAGE OUTLINE****SOIC - 1.75 mm max height**

SMALL OUTLINE INTEGRATED CIRCUIT



4220718/A 09/2016

NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.

EXAMPLE BOARD LAYOUT

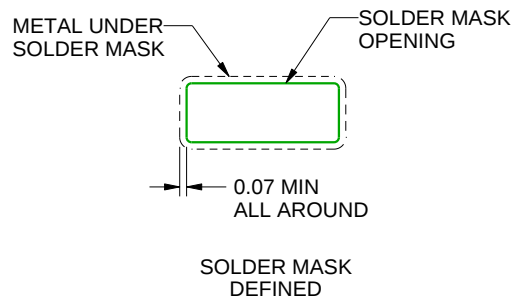
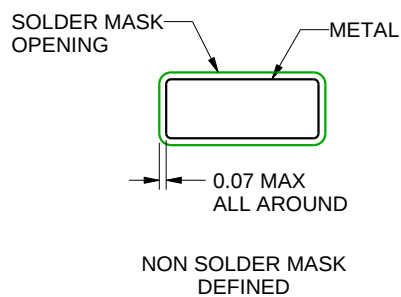
D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

DSG 8

WSON - 0.8 mm max height

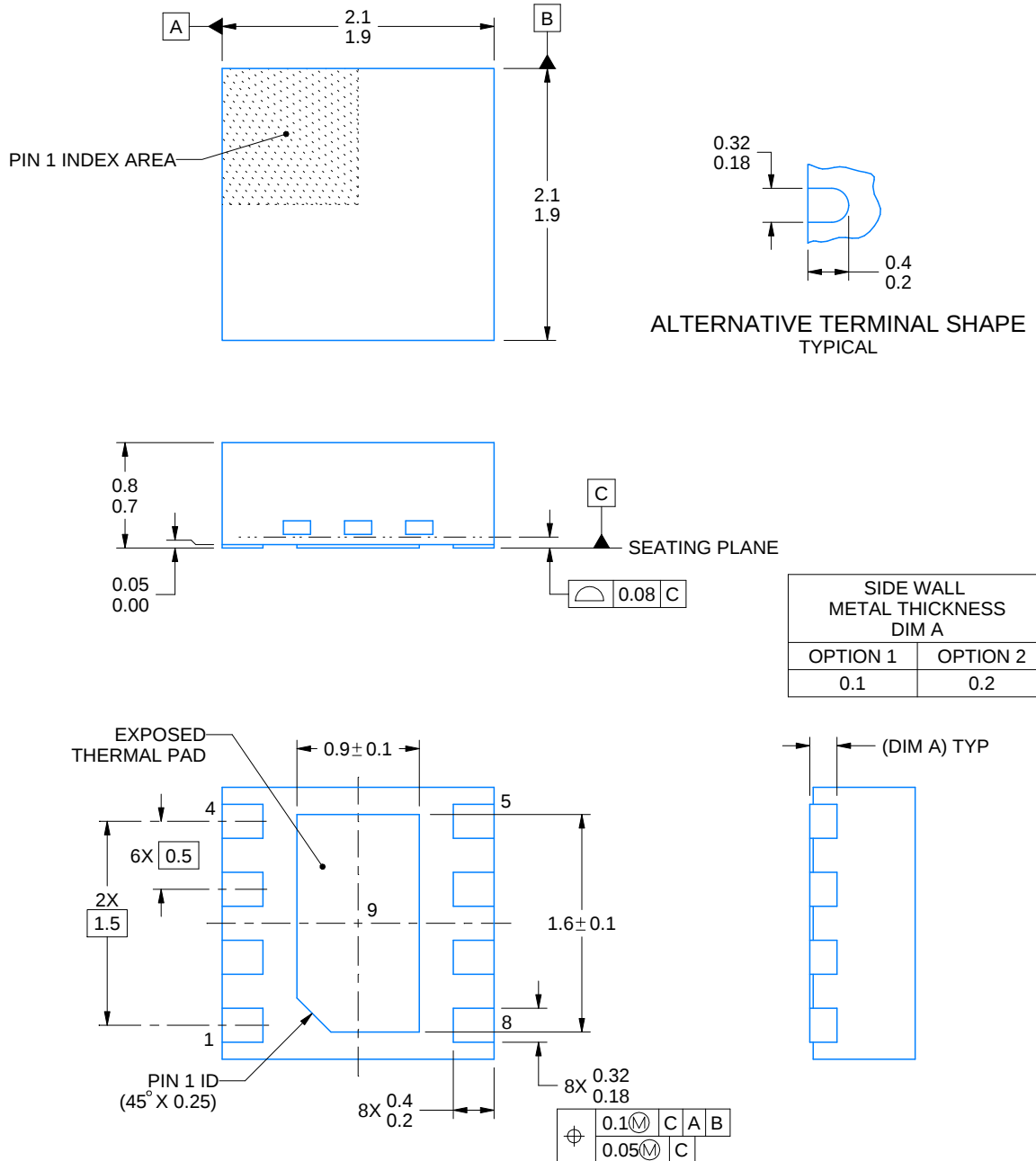
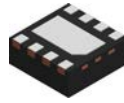
2 x 2, 0.5 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224783/A



4218900/E 08/2022

NOTES:

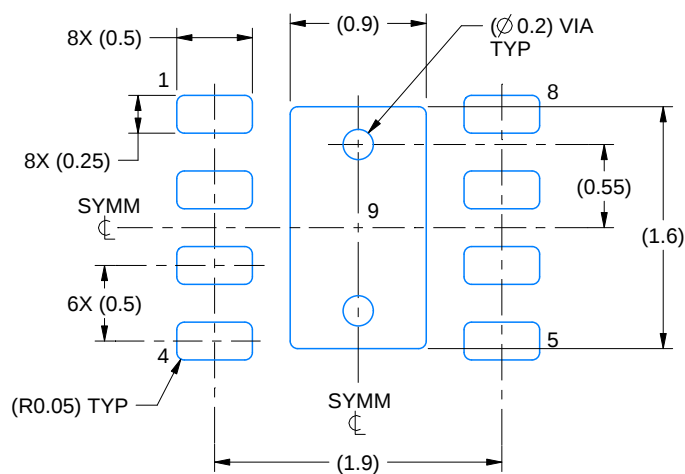
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

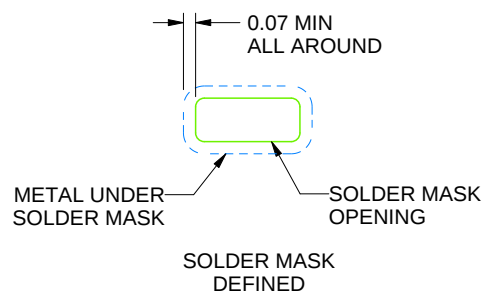
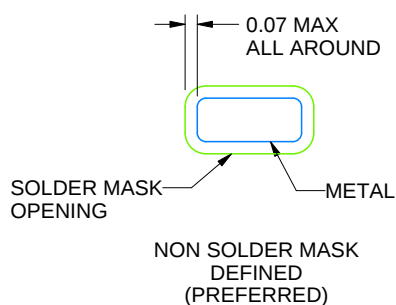
DSG0008A

WSN - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE
SCALE:20X



SOLDER MASK DETAILS

4218900/E 08/2022

NOTES: (continued)

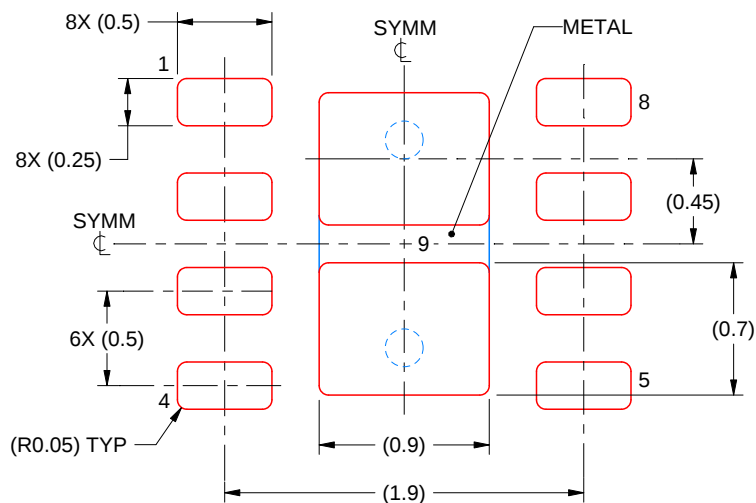
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slue271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DSG0008A

WSN - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 9:
87% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4218900/E 08/2022

NOTES: (continued)

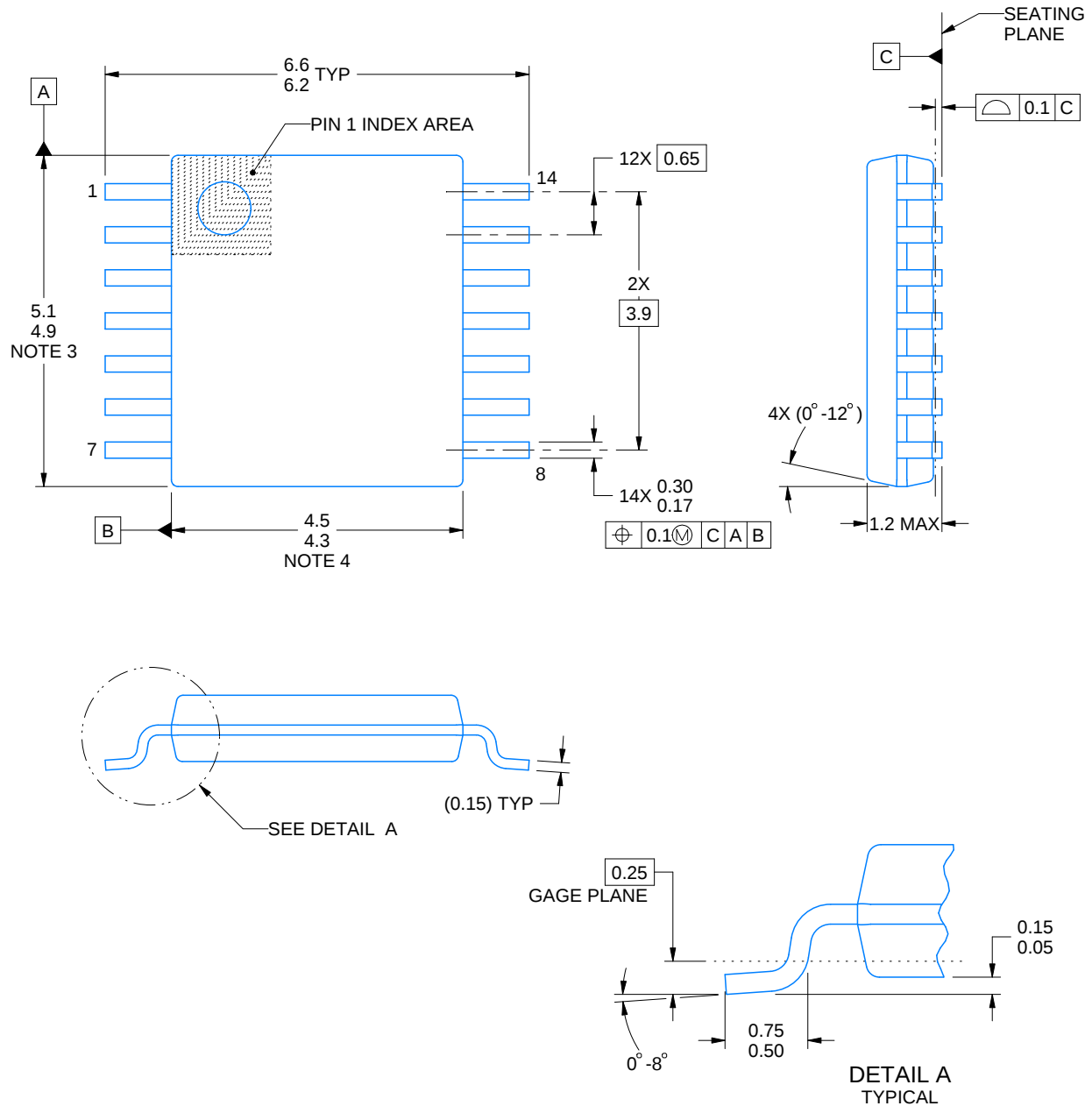
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PW0014A

PACKAGE OUTLINE

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



4220202/B 12/2023

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

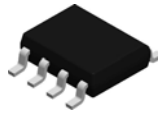


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

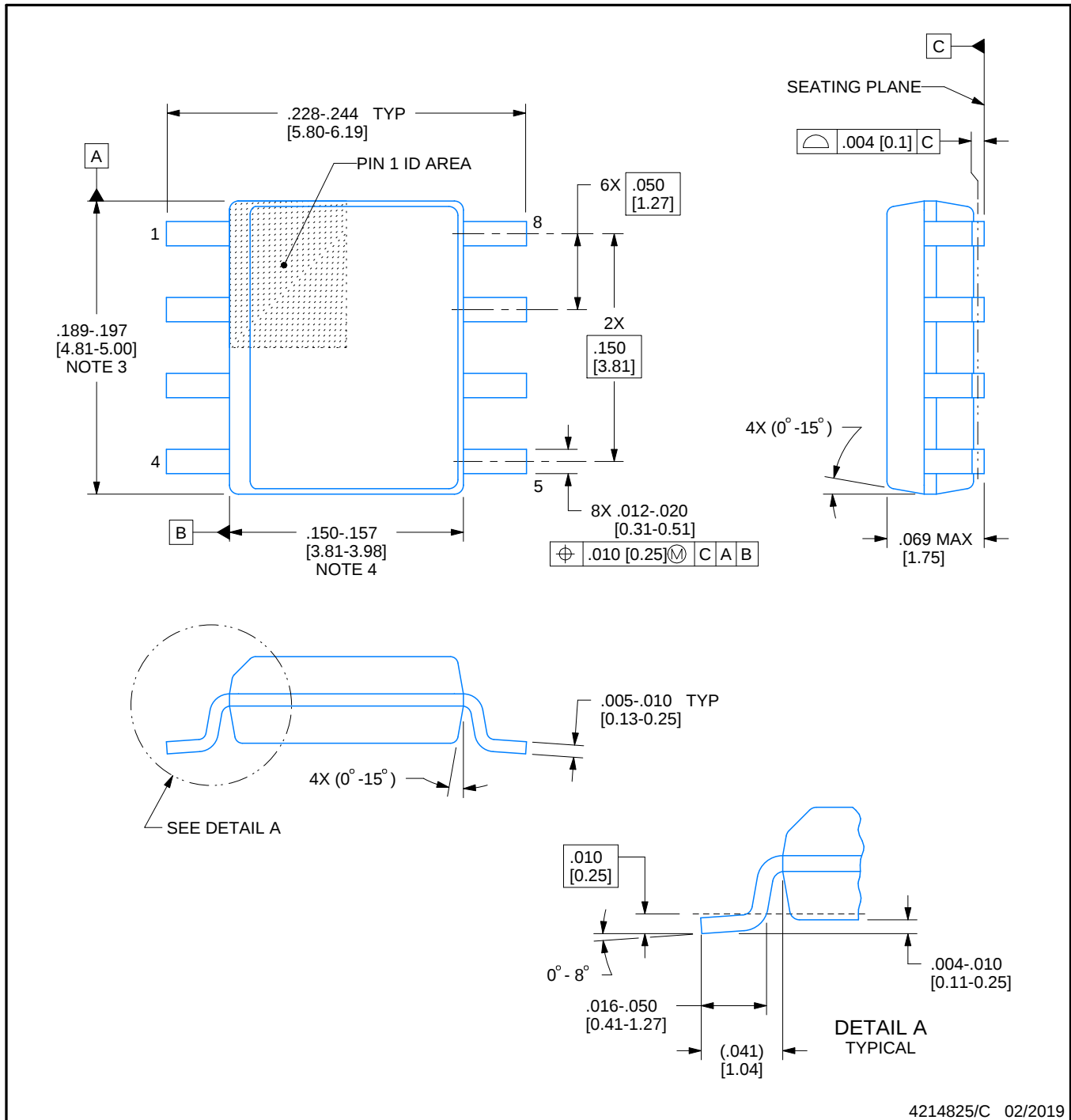


D0008A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES:

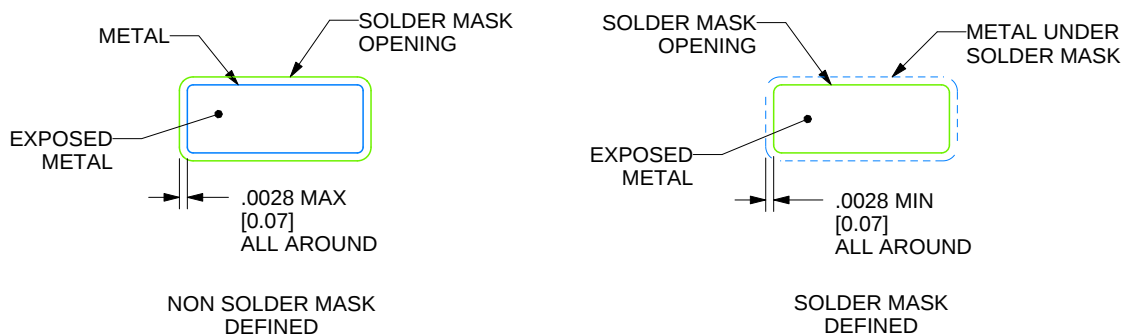
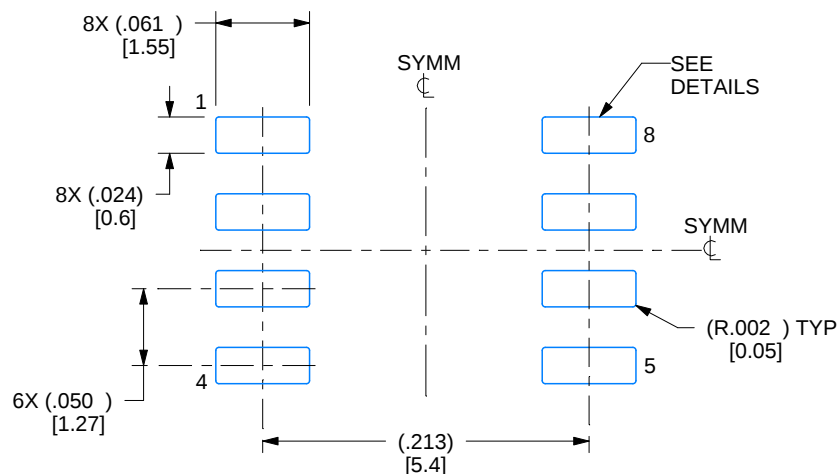
1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

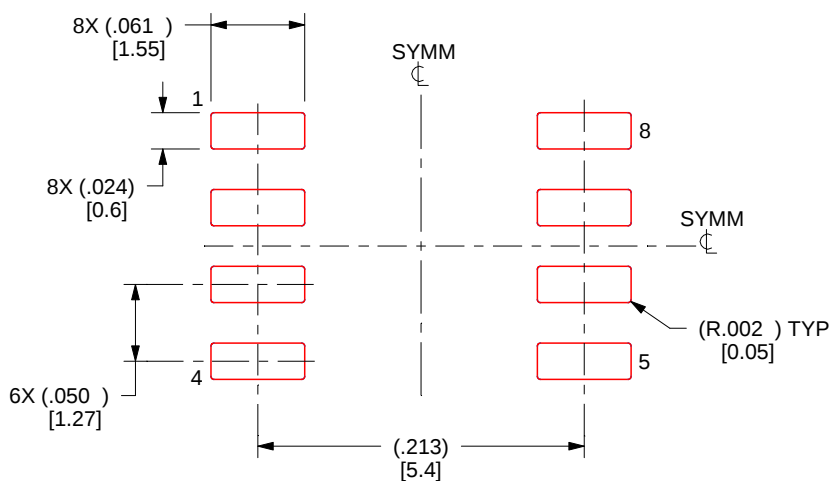
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月