TPS2041B, TPS2042B, TPS2043B, TPS2044B
TPS2051B, TPS2052B, TPS2053B, TPS2054B
ZHCSSK0Q – APRIL 2004 – REVISED OCTOBER 2026

TPS20xxB 限流、配电开关

1 特性

- 高侧 MOSFET：70mΩ
- 500mA 持续电流
- 过热和短路保护
- 精确电流限制（最小值 0.75A，最大值 1.25A）
- 工作电压范围：2.7V 至 5.5V
- 典型上升时间：0.6ms
- 欠压锁定
- 抗尖峰脉冲故障报告 ($\overline{OC}$)
- 上电期间无 $\overline{OC}$ 尖峰脉冲
- 最大待机电源电流：1μA（单路、双路）或 2μA（三路、四路）
- 环境温度范围：–40°C 至 85°C
- 安全相关认证
  - UL 列名
    - 文件编号 E169910
    - 符合 UL2367
    - IEC62368-1 CB 认证
  - MET 列名
    - 文件编号 E115731
    - 符合 UL2367
    - IEC62368-1 CB 认证
- 针对成组配置的 TPS2042B 和 TPS2052B 的其他 UL 认证

2 应用

- 高容性负载
- 短路保护

3 说明

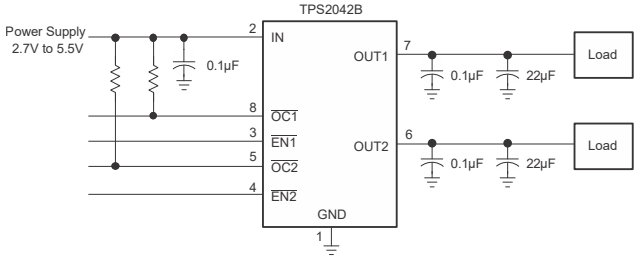
TPS20xxB 配电开关适用于遇到高电容负载和短路的应用。此系列器件包含 70mΩ N 沟道 MOSFET 电源开关，适用于需要在一个封装内包含多个电源开关的配电系统。可通过逻辑使能输入控制每个开关。栅极驱动由一个内部电荷泵提供，此电荷泵设计用于控制电源开关上升时间和下降时间以大大减少切换期间的电流涌入。电荷泵无需外部组件并可在低至 2.7V 的电源电压下工作。

当输出负载超过电流限制阈值或者出现短路时，该器件切换至恒流模式并将过流 ($\overline{OCx}$) 逻辑输出拉低，从而将输出电流限制在安全水平。如果持续重过载和短路增加了开关内的功率耗散，则将引起结温上升，此时，过热保护电路将关闭此开关以避免器件损坏。一旦器件充分冷却，此器件将自动从热关断中恢复。内部电路确保此开关在有效输入电压出现前保持关断状态。此配电开关旨在将电流限制设置为 1A（典型值）。

封装信息

器件型号	封装(1)	封装尺寸(2)
TPS20xxB	D（SOIC，8）	4.90mm × 3.91mm
	D（SOIC，16）	9.90mm × 3.91mm
	DBV（SOT-23，5）	2.90mm × 1.60mm
	DGN (HVSSOP，8)	3.00mm × 3.00mm
	DRB (SON, 8)	3.00mm × 3.00mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



典型应用原理图

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

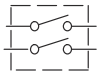
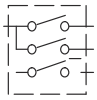
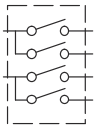
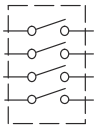
内容

1 特性 1
2 应用 1
3 说明 1
4 通用开关目录 3
5 引脚配置和功能 4
6 规格 7
6.1 绝对最大额定值 7
6.2 ESD 等级 7
6.3 建议运行条件 7
6.4 热性能信息 7
6.5 电气特性 8
6.6 典型特性（除 TPS2051BDBV 和 TPS2052BD 外的所有器件） 10
6.7 典型特性（TPS2051BDBV 和 TPS2052BD） 14
7 参数测量信息 17
8 详细说明 18
8.1 概述 18
8.2 功能方框图 18
8.3 特性说明 20
8.4 器件功能模式 22
9 应用和实施 23
9.1 应用信息 23
9.2 典型应用 23
9.3 电源相关建议 34
9.4 布局 35
10 器件和文档支持 37
10.1 接收文档更新通知 37
10.2 支持资源 37
10.3 商标 37
10.4 静电放电警告 37
10.5 术语表 37
11 修订历史记录 37
12 机械、封装和可订购信息 37

Copyright © 2026 Texas Instruments Incorporated

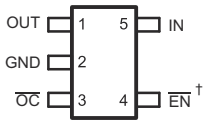
4 通用开关目录

GENERAL SWITCH CATALOG

33 mΩ, Single	80 mΩ, Single	80 mΩ, Dual	80 mΩ, Dual	80 mΩ, Triple	80 mΩ, Quad	80 mΩ, Quad
						
TPS201xA 0.2 A to 2 A TPS202x 0.2 A to 2 A TPS203x 0.2 A to 2 A	TPS2014 600 mA TPS2015 1 A TPS2041B 500 mA TPS2051B 500 mA TPS2045A 250 mA TPS2049 100 mA TPS2055A 250 mA TPS2061 1 A TPS2065 1 A TPS2068 1.5 A TPS2069 1.5 A	TPS2042B 500 mA TPS2052B 500 mA TPS2046B 250 mA TPS2056 250 mA TPS2062 1 A TPS2066 1 A TPS2060 1.5 A TPS2064 1.5 A	TPS2080 500 mA TPS2081 500 mA TPS2082 500 mA TPS2090 250 mA TPS2091 250 mA TPS2092 250 mA	TPS2043B 500 mA TPS2053B 500 mA TPS2047B 250 mA TPS2057A 250 mA TPS2063 1 A TPS2067 1 A	TPS2044B 500 mA TPS2054B 500 mA TPS2048A 250 mA TPS2058 250 mA	TPS2085 500 mA TPS2086 500 mA TPS2087 500 mA TPS2095 250 mA TPS2096 250 mA TPS2097 250 mA

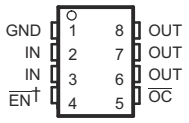
Copyright © 2026 Texas Instruments Incorporated

5 引脚配置和功能



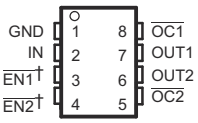
† TPS205xB 系列的所有使能输出均为高电平有效。

图 5-1. TPS2041B 和 TPS2051B：DBV 封装 5 引脚 SOT-23 顶视图



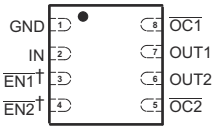
† TPS205xB 系列的所有使能输出均为高电平有效。

图 5-2. TPS2041B 和 TPS2051B：D 和 DGN 封装 8 引脚 SOIC 和 HVSSOP 顶视图



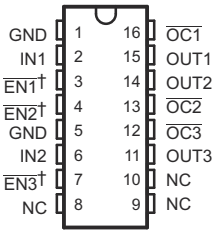
† TPS205xB 系列的所有使能输出均为高电平有效。

图 5-3. TPS2042B 和 TPS2052B：D 和 DGN 封装 8 引脚 SOIC 和 HVSSOP 顶视图



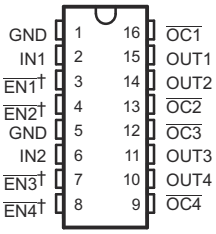
† TPS205xB 系列的所有使能输出均为高电平有效。

图 5-4. TPS2042B 和 TPS2052B：DRB 封装 8 引脚 SON 顶视图



† TPS205xB 系列的所有使能输出均为高电平有效。

图 5-5. TPS2043B 和 TPS2053B：D 封装 16 引脚 SOIC 顶视图



† TPS205xB 系列的所有使能输出均为高电平有效。

图 5-6. TPS2044B 和 TPS2054B：D 封装 16 引脚 SOIC 顶视图

表 5-1. 引脚功能（TPS2041B 和 TPS2051B）

名称	引脚				类型 (1)	说明
	TPS2041B	TPS2051B	TPS2041B	TPS2051B		
	SOIC 和 DGN		SOT-23			
$\overline{EN}$	4	—	4	—	I	使能输入，逻辑低电平导通电源开关
EN	—	4	—	4	I	使能输入，逻辑高电平接通电源开关
GND	1	1	2	2	—	接地
IN	2、3	2、3	5	5	I	输入电压
$\overline{OC}$	5	5	3	3	O	过流漏极开路输出，低电平有效
OUT	6、7、8	6、7、8	1	1	O	电源开关输出

(1) I = 输入，O = 输出

表 5-2. 引脚功能（TPS2042B 和 TPS2052B）

名称	引脚		类型(1)	说明
	TPS2042B	TPS2052B		
	SOIC、HVSSOP、SON			
$\overline{EN1}$	3	—	I	使能输入，逻辑低电平接通电源开关 IN-OUT1
$\overline{EN2}$	4	—	I	使能输入，逻辑低电平接通电源开关 IN-OUT2

Copyright © 2026 Texas Instruments Incorporated

表 5-2. 引脚功能（TPS2042B 和 TPS2052B）（续）

引脚			类型(1)	说明
名称	TPS2042B	TPS2052B		
	SOIC、HVSSOP、SON			
EN1	—	3	I	使能输入，逻辑高电平接通电源开关 IN-OUT1
EN2	—	4	I	使能输入，逻辑高电平接通电源开关 IN-OUT2
GND	1	1	—	接地
IN	2	2	I	输入电压
$\overline{OC1}$	8	8	O	过流漏极开路输出，低电平有效，IN-OUT1
$\overline{OC2}$	5	5	O	过流漏极开路输出，低电平有效，IN-OUT2
OUT1	7	7	O	电源开关输出，IN-OUT1
OUT2	6	6	O	电源开关输出，IN-OUT2
PowerPAD™	—	—	—	在内部连接至 GND；用于将器件热量散发至电路板引线。必须连接到 GND 引脚。

(1) I = 输入，O = 输出

表 5-3. 引脚功能（TPS2043B 和 TPS2053B）

引脚			类型(1)	说明
名称	TPS2043B	TPS2053B		
	SOIC	SOIC		
$\overline{EN1}$	3	—	I	使能输入，逻辑低电平接通电源开关 IN1-OUT1
$\overline{EN2}$	4	—	I	使能输入，逻辑低电平接通电源开关 IN1-OUT2
$\overline{EN3}$	7	—	I	使能输入，逻辑低电平接通电源开关 IN2-OUT3
EN1	—	3	I	使能输入，逻辑高电平接通电源开关 IN1-OUT1
EN2	—	4	I	使能输入，逻辑高电平接通电源开关 IN1-OUT2
EN3	—	7	I	使能输入，逻辑高电平接通电源开关 IN2-OUT3
GND	1、5	1、5	—	接地
IN1	2	2	I	OUT1 和 OUT2 的输入电压
IN2	6	6	I	OUT3 的输入电压
NC	8、9、10	8、9、10	—	无连接
$\overline{OC1}$	16	16	O	过流漏极开路输出，低电平有效，IN1-OUT1
$\overline{OC2}$	13	13	O	过流漏极开路输出，低电平有效，IN1-OUT2
$\overline{OC3}$	12	12	O	过流漏极开路输出，低电平有效，IN2-OUT3
OUT1	15	15	O	电源开关输出，IN1-OUT1
OUT2	14	14	O	电源开关输出，IN1-OUT2
OUT3	11	11	O	电源开关输出，IN2-OUT3

(1) I = 输入，O = 输出

表 5-4. 引脚功能（TPS2044B 和 TPS2054B）

引脚			类型(1)	说明
名称	TPS2044B	TPS2054B		
	SOIC	SOIC		
$\overline{EN1}$	3	—	I	使能输入，逻辑低电平接通电源开关 IN1-OUT1
$\overline{EN2}$	4	—	I	使能输入，逻辑低电平接通电源开关 IN1-OUT2
$\overline{EN3}$	7	—	I	使能输入，逻辑低电平接通电源开关 IN2-OUT3

Copyright © 2026 Texas Instruments Incorporated

表 5-4. 引脚功能（TPS2044B 和 TPS2054B）（续）

引脚			类型(1)	说明
名称	TPS2044B SOIC	TPS2054B SOIC		
$\overline{EN4}$	8	—	I	使能输入，逻辑低电平接通电源开关 IN2-OUT4
EN1	—	3	I	使能输入，逻辑高电平接通电源开关 IN1-OUT1
EN2	—	4	I	使能输入，逻辑高电平接通电源开关 IN1-OUT2
EN3	—	7	I	使能输入，逻辑高电平接通电源开关 IN2-OUT3
EN4	—	8	I	使能输入，逻辑高电平接通电源开关 IN2-OUT4
GND	1、5	1、5	—	接地
IN1	2	2	I	OUT1 和 OUT2 的输入电压
IN2	6	6	I	OUT3 和 OUT4 的输入电压
$\overline{OC1}$	16	16	O	过流漏极开路输出，低电平有效，IN1-OUT1
$\overline{OC2}$	13	13	O	过流漏极开路输出，低电平有效，IN1-OUT2
$\overline{OC3}$	12	12	O	过流漏极开路输出，低电平有效，IN2-OUT3
$\overline{OC4}$	9	9	O	过流漏极开路输出，低电平有效，IN2-OUT4
OUT1	15	15	O	电源开关输出，IN1-OUT1
OUT2	14	14	O	电源开关输出，IN1-OUT2
OUT3	11	11	O	电源开关输出，IN2-OUT3
OUT4	10	10	O	电源开关输出，IN2-OUT4

(1) I = 输入，O = 输出

Copyright © 2026 Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
$V_{I(IN)}$、$V_{I(INx)}$	输入电压 (2)	-0.3	6	V
$V_{O(OUT)}$、$V_{O(OUTx)}$ (2)	输出电压	-0.3	6	V
$V_{I(\overline{EN})}$、$V_{I(\overline{ENx})}$、$V_{I(EN)}$、$V_{I(ENx)}$	输入电压	-0.3	6	V
$V_{I(/OC)}$、$V_{I(\overline{OCx})}$	电压范围	-0.3	6	V
$I_{O(OUT)}$、$I_{O(OUTx)}$	持续输出电流	受内部限制		
T_J	工作虚拟结温	-40	125	°C
T_{stg}	贮存温度	-65	150	°C

(1) 超出*绝对最大额定值*运行可能会对器件造成永久损坏。*绝对最大额定值*并不表示器件在这些条件下或在*建议运行条件*以外的任何其他条件下能够正常运行。如果超出*建议运行条件*但在*绝对最大额定值*范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) 所有电压均以 GND 为基准。

6.2 ESD 等级

		值	单位
$V_{(ESD)}$ 静电放电	人体放电模式 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚 (1)	±2000	V
	充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101，所有引脚 (2)	±500	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
$V_{I(IN)}$、$V_{I(INx)}$	输入电压	2.7		5.5	V
$V_{I(\overline{EN})}$、$V_{I(\overline{ENx})}$、$V_{I(EN)}$、$V_{I(ENx)}$	输入电压	0		5.5	V
$I_{O(OUT)}$、$I_{O(OUTx)}$	持续输出电流	0		500	mA
T_J	工作虚拟结温	-40		125	°C

6.4 热性能信息

热指标 (1)		D (SOIC)		DBV (SOT-23)	DGN (HVSSOP)	DRB (SON)	单位
		8 引脚	16 引脚	5 引脚	8 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	119.3	81.6	208.6	53.6	47.5	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	67.6	42.7	122.9	58.7	53	°C/W
$R_{\theta JB}$	结至电路板热阻	59.6	39.1	37.8	35.5	14.2	°C/W
ψ_{JT}	结至顶部特征参数	20.3	10.4	14.6	2.7	1.2	°C/W
ψ_{JB}	结至电路板特征参数	59.1	38.8	36.9	35.3	14.2	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	不适用	6.7	7.3	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用手册。

Copyright © 2026 Texas Instruments Incorporated

6.5 电气特性

在建议的工作结温范围内，$V_{I(IN)}$ = 5.5V，I_O = 0.5A，$V_{I(/ENx)}$ = 0V（除非另有说明）

参数		测试条件(1)			最小值	典型值	最大值	单位
电源开关								
$r_{DS(on)}$	静态漏源导通状态电阻，5V 和 3.3V 工作电压	$V_{I(IN)}$ = 5V 或 3.3V，I_O = 0.5A，-40°C ≤ T_J ≤ 125°C		D 和 DGN 封装		70	135	mΩ
				仅限 DBV 封装		95	140	
	静态漏源导通状态电阻，2.7V 工作电压	$V_{I(IN)}$ = 2.7V，I_O = 0.5A，–40°C ≤ T_J ≤ 125°C		D 和 DGN 封装		75	150	mΩ
	静态漏源导通状态电阻，5V 工作电压	$V_{I(IN)}$ = 5V，I_O = 1A，连接 OUT1 和 OUT2，0°C ≤ T_J ≤ 70°C		DGN 封装，TPS2042B/52B			49	mΩ
t_r	上升时间，输出	$V_{I(IN)}$ = 5.5V	C_L = 1 µF，R_L = 10 Ω	T_J = 25°C		0.6	1.5	ms
		$V_{I(IN)}$ = 2.7V				0.4	1	
t_f	下降时间，输出	$V_{I(IN)}$ = 5.5V			0.05		0.5	
		$V_{I(IN)}$ = 2.7V			0.05		0.5	
使能输入 $\overline{EN}$ 和 $\overline{ENx}$								
V_{IH}	高电平输入电压	2.7V ≤ $V_{I(IN)}$ ≤ 5.5V			2			V
V_{IL}	低电平输入电压	2.7V ≤ $V_{I(IN)}$ ≤ 5.5V					0.8	V
I_I	输入电流	$V_{I(\overline{ENx})}$ = 0V 或 5.5V			-0.5		0.5	µA
t_{on}	开通时间	C_L = 100 µF，R_L = 10 Ω					3	ms
t_{off}	关断时间	C_L = 100 µF，R_L = 10 Ω					10	ms
电流限值								
I_{OS}	短路输出电流	$V_{I(IN)}$ = 5V，OUT 连接至 GND，器件使能进入短路		T_J = 25°C	0.75	1	1.25	A
				–40°C ≤ T_J ≤ 125°C	0.7	1	1.3	
		$V_{I(IN)}$ = 5V，OUT1 和 OUT2 连接至 GND，器件使能进入短路，在 IN 上测量		0°C ≤ T_J ≤ 70°C TPS2042B/52B	1.5			
I_{OC}(2)	过流跳变阈值	V_{IN} = 5V，100A/s	TPS2042B TPS2052B（仅限 DRB 封装）		I_{OS}	1.55	2	A
电源电流（TPS2041B、TPS2051B）								
电源电流、低电平输出		OUT 上无负载，$V_{I(\overline{ENx})}$ = 5.5V，或 $V_{I(ENx)}$ = 0V		T_J = 25°C		0.5	1	µA
				-40°C ≤ T_J ≤ 125°C		0.5	5	
电源电流、高电平输出		OUT 上无负载，$V_{I(\overline{ENx})}$ = 0V，或 $V_{I(ENx)}$ = 5.5V		T_J = 25°C		75	95	µA
				–40°C ≤ T_J ≤ 125°C		75	95	
泄漏电流		OUT 接地，$V_{I(\overline{ENx})}$ = 5.5V，或 $V_{I(ENx)}$ = 0V		–40°C ≤ T_J ≤ 125°C		1		µA
反向泄漏电流		$V_{I(OUTx)}$ = 5.5V，IN = 接地		T_J = 25°C		0		µA
电源电流（TPS2042B、TPS2052B）								
电源电流、低电平输出		OUT 上无负载，$V_{I(\overline{ENx})}$ = 5.5V		T_J = 25°C		0.5	1	µA
				–40°C ≤ T_J ≤ 125°C		0.5	5	

Copyright © 2026 Texas Instruments Incorporated

6.5 电气特性（续）

在建议的工作结温范围内，$V_{I(IN)}$ = 5.5V，I_O = 0.5A，$V_{I(/ENx)}$ = 0V（除非另有说明）

参数	测试条件(1)			最小值	典型值	最大值	单位
电源电流、高电平输出	OUT 上无负载，$V_{I(\overline{ENx})}$ = 0V	TPS20x2B（仅限 DRB 封装）	T_J = 25°C		50	70	μA
			–40°C ≤ T_J ≤ 125°C		50	90	
		TPS20x2B（D 和 DGN 封装）	T_J = 25°C		95	120	uA
			–40°C ≤ T_J ≤ 125°C		95	120	
泄漏电流	OUT 接地，$V_{I(\overline{ENx})}$ = 5.5V		–40°C ≤ T_J ≤ 125°C		1		μA
反向泄漏电流	$V_{I(OUTx)}$ = 5.5V，IN = 接地		T_J = 25°C		0.2		μA
电源电流（TPS2043B、TPS2053B）							
电源电流、低电平输出	OUT 上无负载，$V_{I(ENx)}$ = 0V		T_J = 25°C		0.5	2	μA
			–40°C ≤ T_J ≤ 125°C		0.5	10	
电源电流、高电平输出	OUT 上无负载，$V_{I(ENx)}$ = 5.5V		T_J = 25°C		65	90	μA
			–40°C ≤ T_J ≤ 125°C		65	110	
泄漏电流	OUT 接地，$V_{I(ENx)}$ = 0V		–40°C ≤ T_J ≤ 125°C		1		μA
反向泄漏电流	$V_{I(OUTx)}$ = 5.5V，INx = 接地		T_J = 25°C		0.2		μA
电源电流（TPS2044B、TPS2054B）							
电源电流、低电平输出	OUT 上无负载，$V_{I(\overline{ENx})}$ = 5.5V，或 $V_{I(ENx)}$ = 0V		T_J = 25°C		0.5	2	μA
			–40°C ≤ T_J ≤ 125°C		0.5	10	
电源电流、高电平输出	OUT 上无负载，$V_{I(\overline{ENx})}$ = 0V，或 $V_{I(ENx)}$ = 5.5V		T_J = 25°C		75	110	μA
			–40°C ≤ T_J ≤ 125°C		75	140	
泄漏电流	OUT 接地，$V_{I(\overline{ENx})}$ = 5.5V，或 $V_{I(ENx)}$ = 0V		–40°C ≤ T_J ≤ 125°C		1		μA
反向泄漏电流	$V_{I(OUTx)}$ = 5.5V，INx = 接地		T_J = 25°C		0.2		μA
欠压锁定（TPS20x3BD、TPS20x4BD 和 TPS20x2BDRB）							
低电平输入电压，IN，INx				2		2.5	V
迟滞，IN，INx	T_J = 25°C				75		mV
欠压锁定（TPS20x1B 和 TPS20x2B；D/DBV/DGN 封装）							
低电平输入电压，IN，INx				2		2.6	V
迟滞，IN，INx	T_J = 25°C				75		mV
过流 $\overline{OC}$ 和 $\overline{OCx}$							
输出低电压，$V_{OL(/OCx)}$	$I_{O(\overline{OCx})}$ = 5mA					0.4	V
关断状态电流	$V_{O(\overline{OCx})}$ = 5V 或 3.3V					1	μA
$\overline{OC}$ 抗尖峰脉冲	$\overline{OCx}$ 置为有效或置为无效			4	8	15	ms
热关断(3)							
热关断阈值				135			°C
从热关断恢复				125			°C
迟滞					10		°C

(1) 脉冲测试技术使结温保持接近环境温度；热效应必须单独考虑。

Copyright © 2026 Texas Instruments Incorporated

(2) 采用 D、DGN 和 DBV 封装的 TPS20x1B 和 TPS20x2B 器件没有过流跳变阈值。在不同测试条件下，电流被限制为 I_{OS}。有关更多详细信息，请参阅节 8.3.7。
(3) 热关断仅对过流情况做出反应。

6.6 典型特性（除 TPS2051BDBV 和 TPS2052BD 外的所有器件）

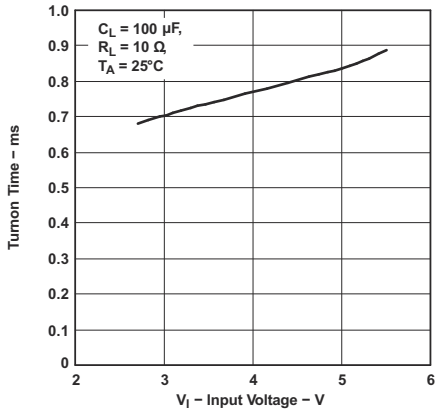


图 6-1. 导通时间与输入电压间的关系

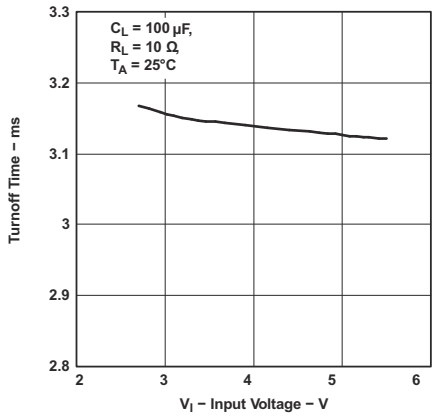


图 6-2. 关断时间与输入电压间的关系

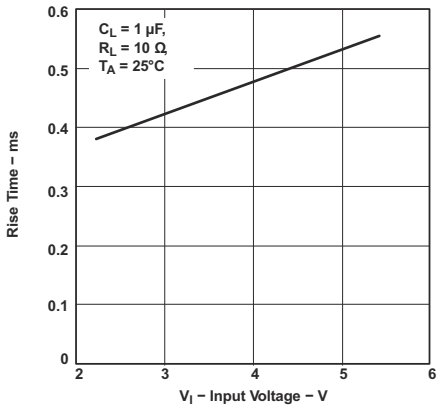


图 6-3. 上升时间与输入电压间的关系

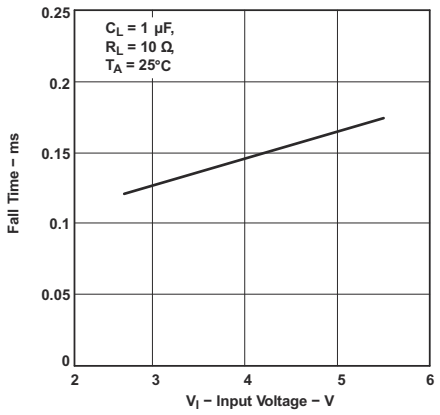


图 6-4. 下降时间与输入电压间的关系

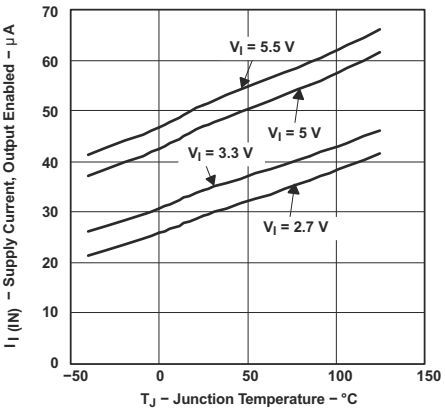


图 6-5. TPS20x2BDRB 电源电流（输出使能）与结温间的关系

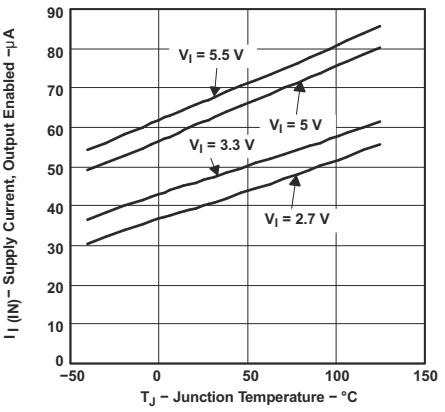


图 6-6. TPS2043B 和 TPS2053B 电源电流（输出使能）与结温间的关系

Copyright © 2026 Texas Instruments Incorporated

6.6 典型特性（除 TPS2051BDBV 和 TPS2052BD 外的所有器件）(续)

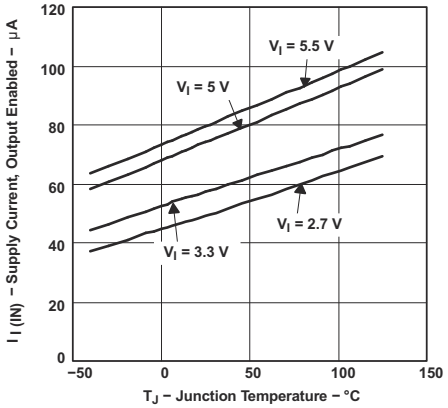


图 6-7. TPS2044B 和 TPS2054B 电源电流（输出使能）与结温间的关系

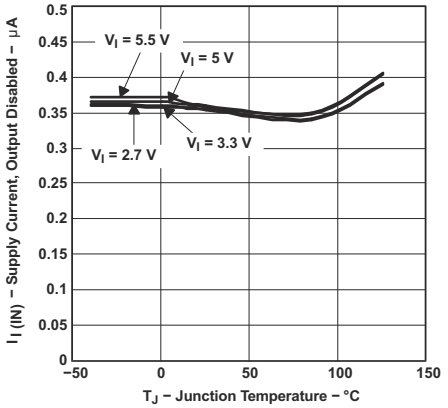


图 6-8. TPS20x2BDRB 电源电流（输出禁用）与结温间的关系

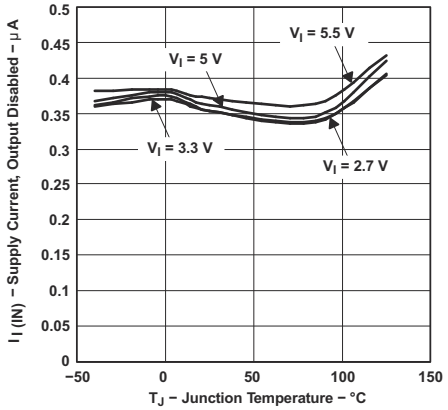


图 6-9. TPS2043B 和 TPS2053B 电源电流（输出禁用）与结温间的关系

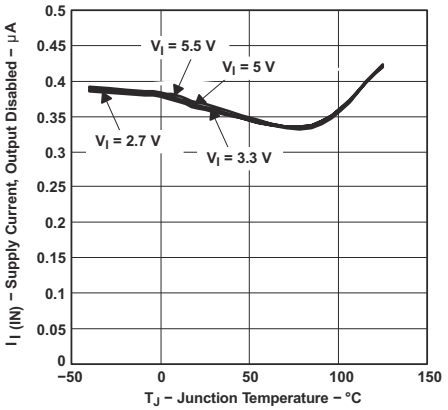


图 6-10. TPS2044B 和 TPS2054B 电源电流（输出禁用）与结温间的关系

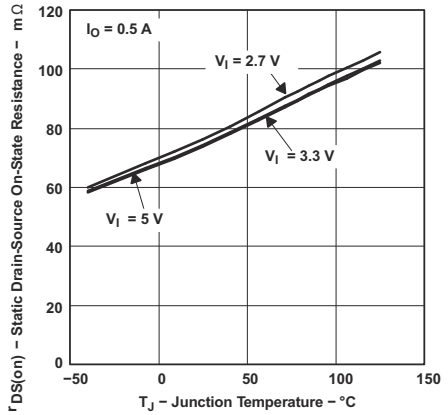


图 6-11. 静态漏源导通状态电阻与结温间的关系

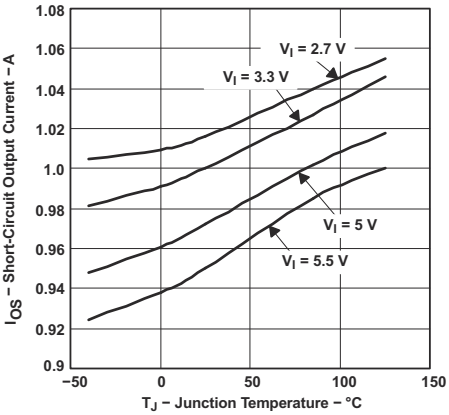


图 6-12. 短路输出电流与结温间的关系

Copyright © 2026 Texas Instruments Incorporated

6.6 典型特性（除 TPS2051BDBV 和 TPS2052BD 外的所有器件）(续)

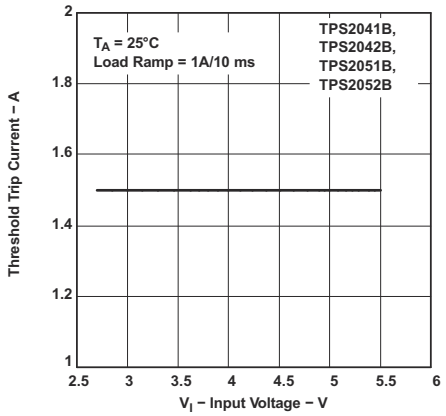


图 6-13. 阈值跳变电流与输入电压间的关系

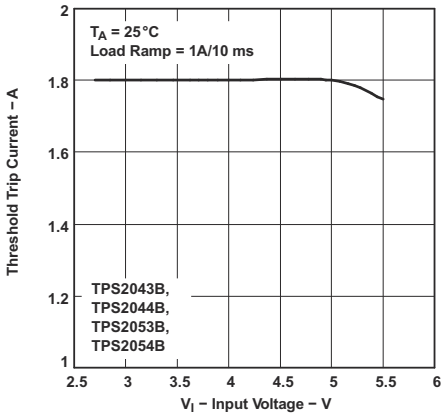


图 6-14. 阈值跳变电流与输入电压间的关系

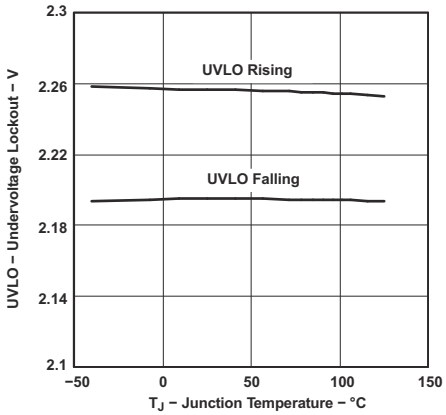


图 6-15. 欠压锁定与结温间的关系

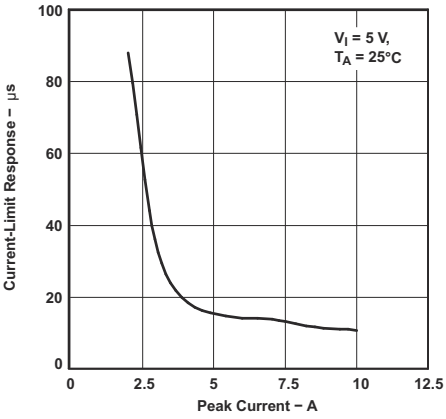


图 6-16. 电流限制响应与峰值电流间的关系

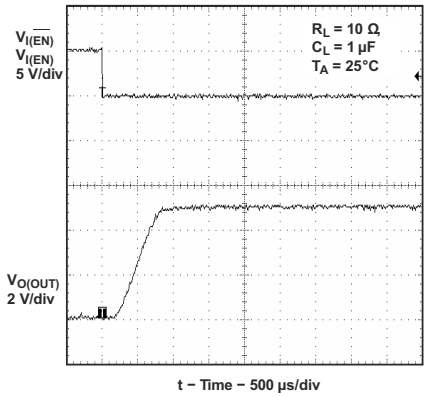


图 6-17. 1µF 负载下的导通延迟和上升时间

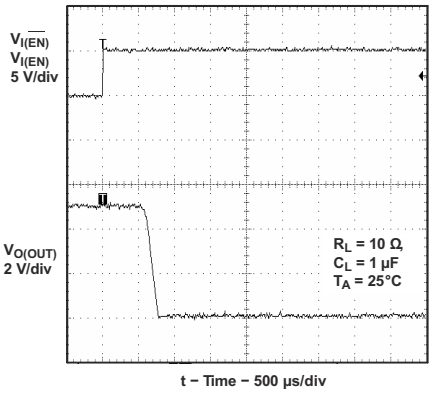


图 6-18. 1µF 负载下的关断延迟和下降时间

Copyright © 2026 Texas Instruments Incorporated

6.6 典型特性（除 TPS2051BDBV 和 TPS2052BD 外的所有器件）(续)

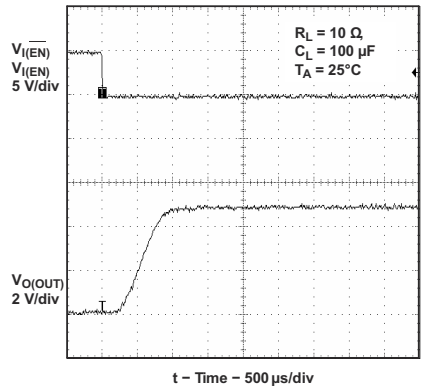


图 6-19. 100µF 负载下的导通延迟和上升时间

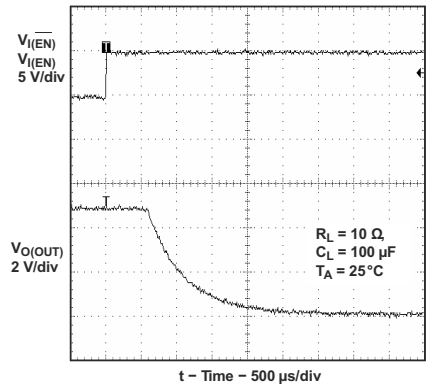


图 6-20. 100µF 负载下的关断延迟和下降时间

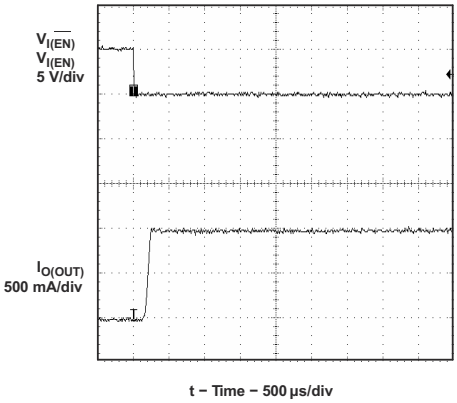


图 6-21. 短路电流、器件使能至短路

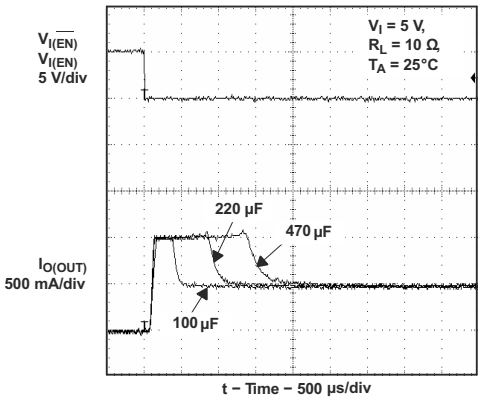


图 6-22. 不同负载电容下的浪涌电流

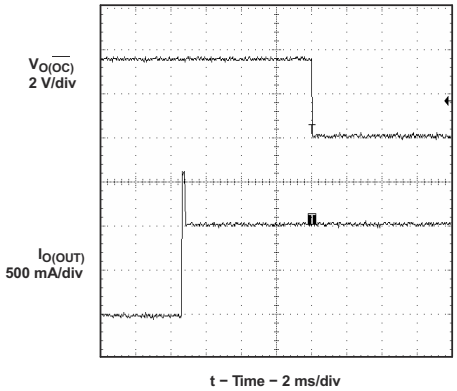


图 6-23. 3 Ω 负载连接到使能的器件

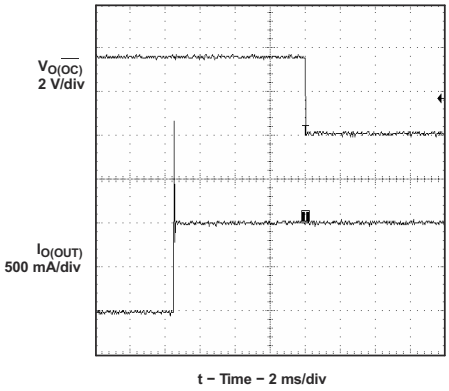


图 6-24. 2 Ω 负载连接到使能的器件

Copyright © 2026 Texas Instruments Incorporated

6.7 典型特性（TPS2051BDBV 和 TPS2052BD）

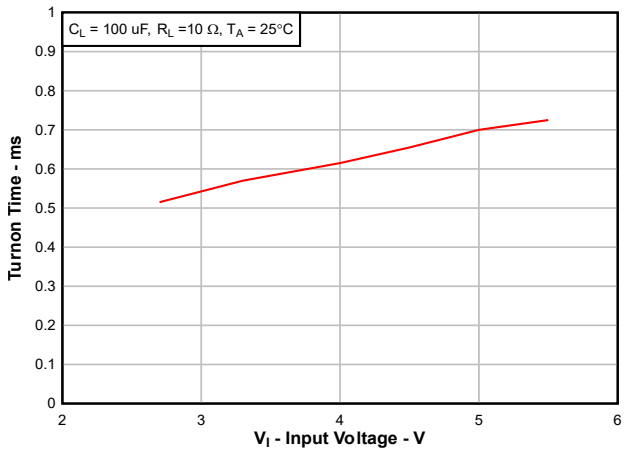


图 6-25. 导通时间与输入电压间的关系

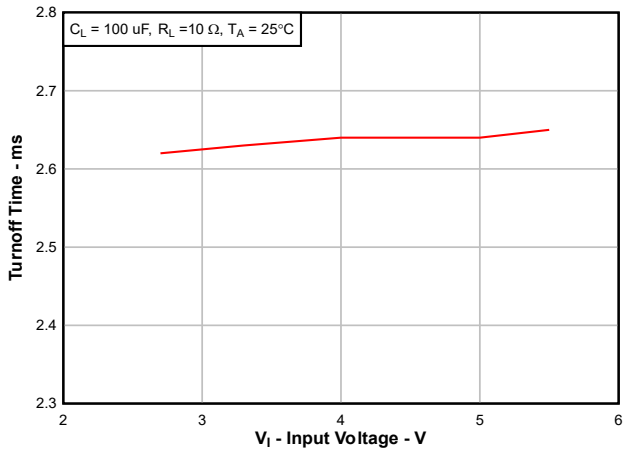


图 6-26. 关断时间与输入电压间的关系

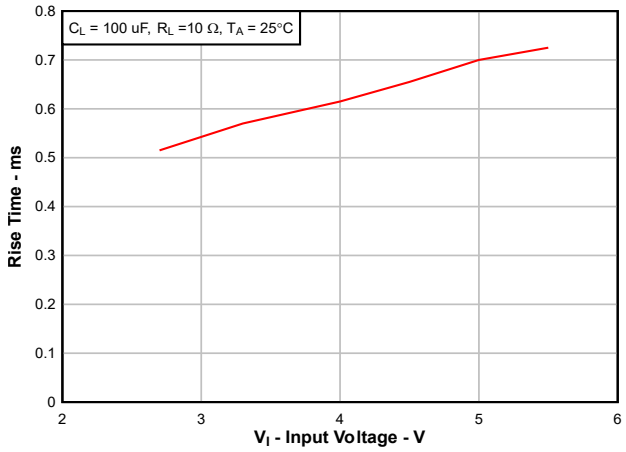
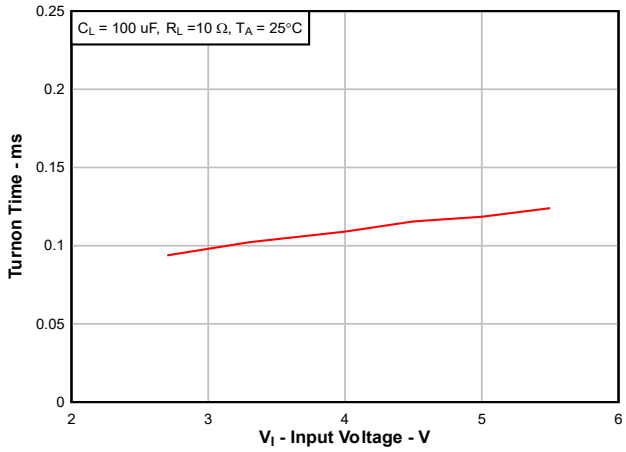


图 6-27. 上升时间与输入电压间的关系



\

图 6-28. 下降时间与输入电压间的关系

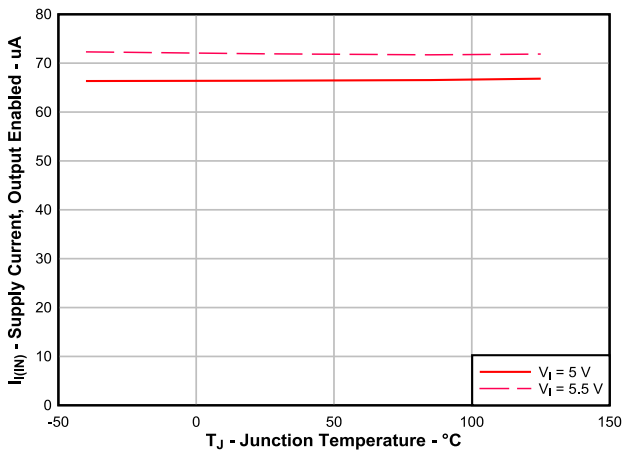


图 6-29. TPS2051BDBV 电源电流（输出使能）与结温间的关系

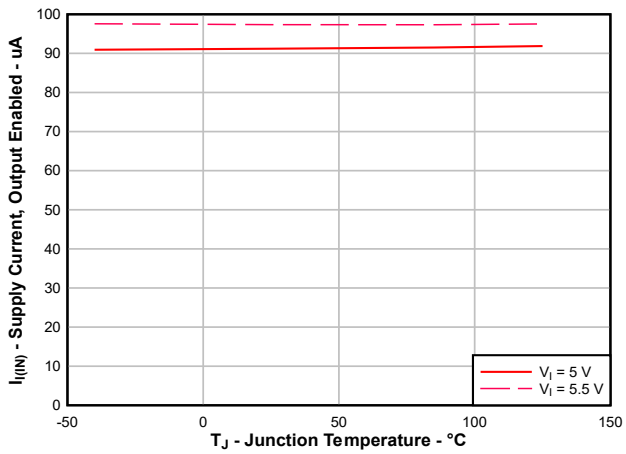


图 6-30. TPS2052BD 电源电流（输出使能）与结温间的关系

Copyright © 2026 Texas Instruments Incorporated

6.7 典型特性（TPS2051BDBV 和 TPS2052BD）(续)

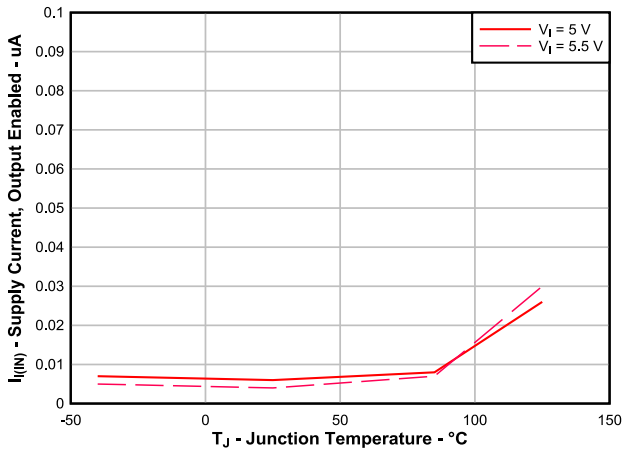


图 6-31. TPS2051BDBV 电源电流（输出禁用）与结温间的关系

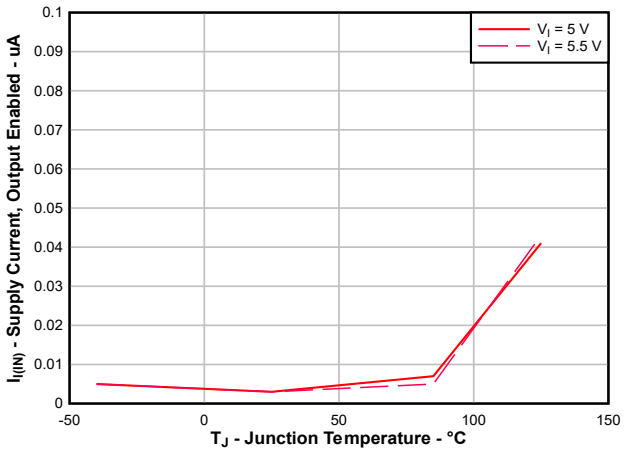


图 6-32. TPS2052BD 电源电流（输出禁用）与结温间的关系

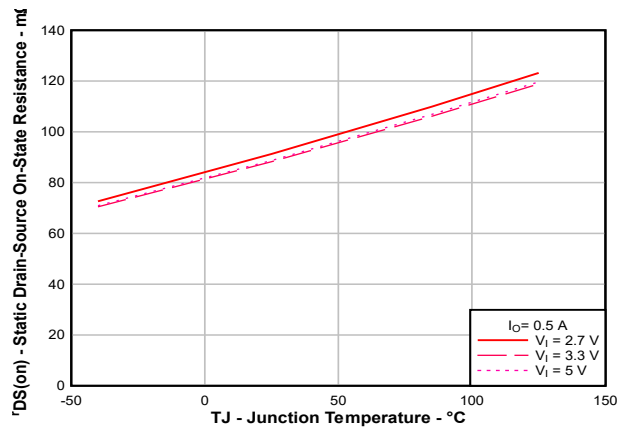


图 6-33. DBV 封装静态漏源导通状态电阻与结温间的关系

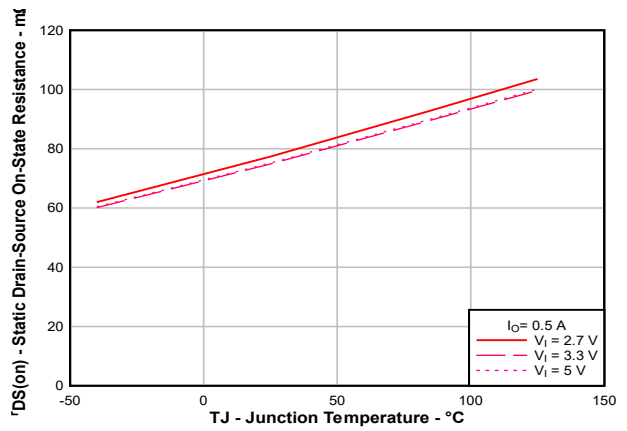


图 6-34. D 封装静态漏源导通状态电阻与结温间的关系

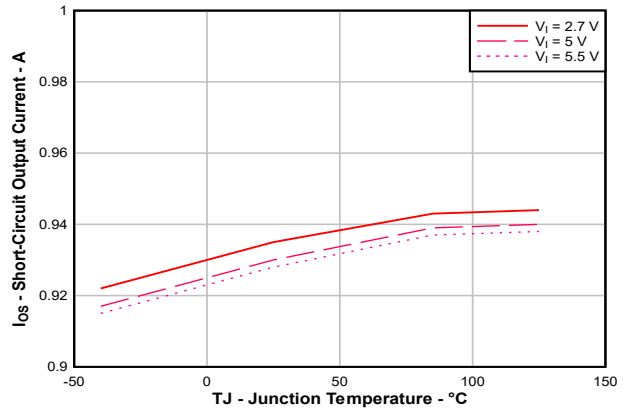


图 6-35. 短路输出电流与结温间的关系

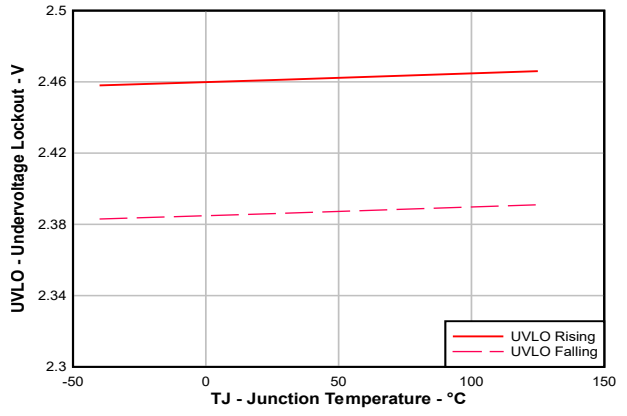


图 6-36. 欠压锁定与结温间的关系

Copyright © 2026 Texas Instruments Incorporated

6.7 典型特性（TPS2051BDBV 和 TPS2052BD）(续)

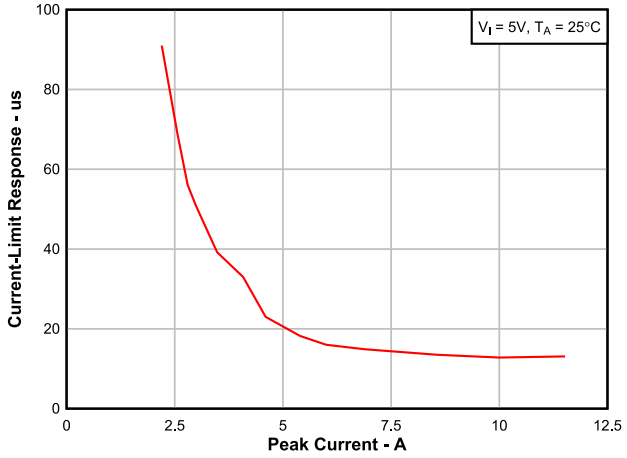


图 6-37. 电流限制响应与峰值电流间的关系

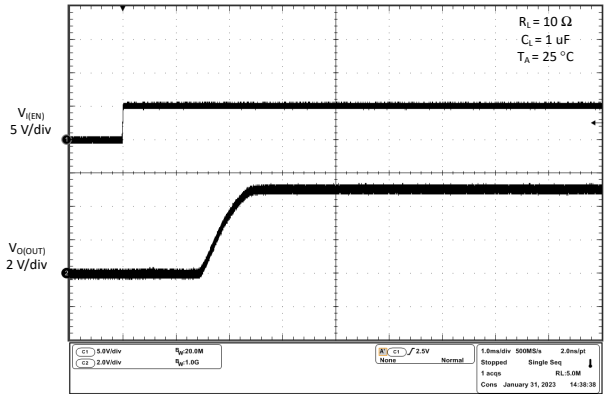


图 6-38. 1μF 负载下的导通延迟和上升时间

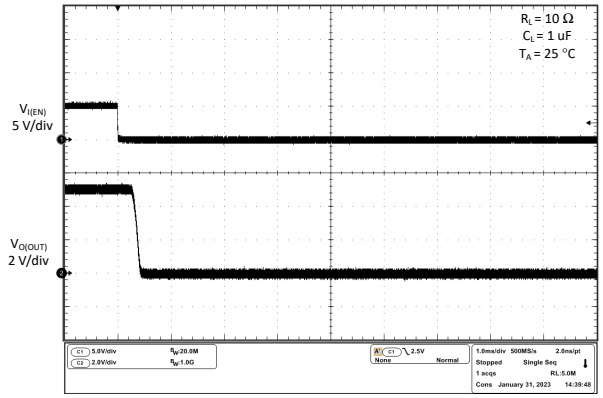


图 6-39. 1μF 负载下的关断延迟和下降时间

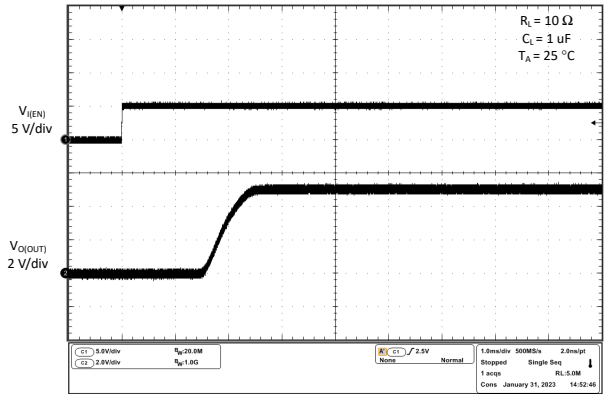


图 6-40. 100μF 负载下的导通延迟和上升时间

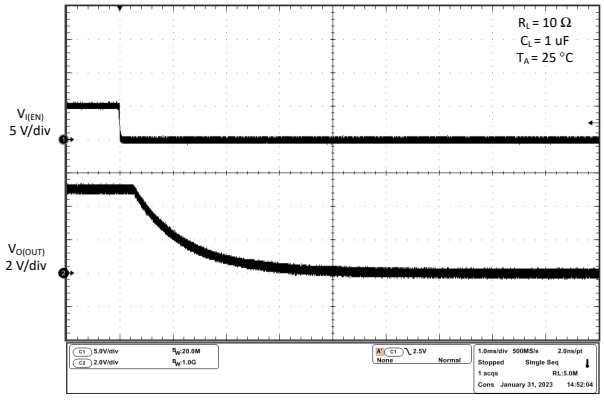


图 6-41. 100μF 负载下的关断延迟和下降时间

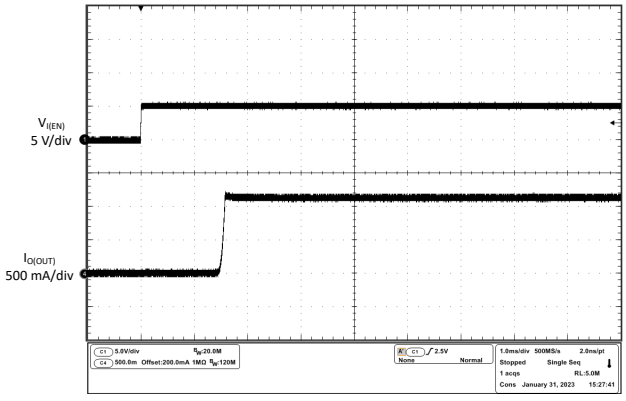


图 6-42. 短路电流、器件使能至短路

Copyright © 2026 Texas Instruments Incorporated

6.7 典型特性（TPS2051BDBV 和 TPS2052BD）(续)

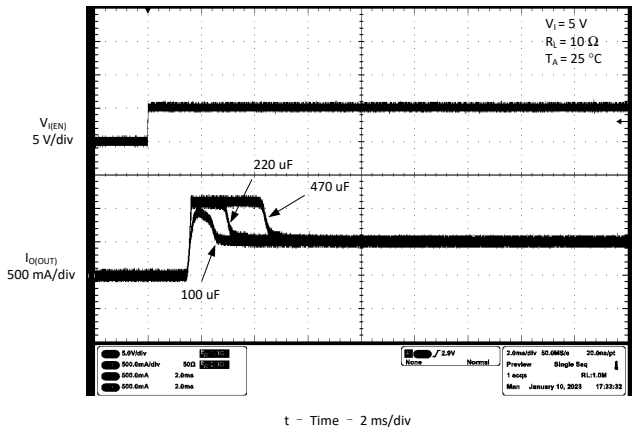


图 6-43. 不同负载电容下的浪涌电流

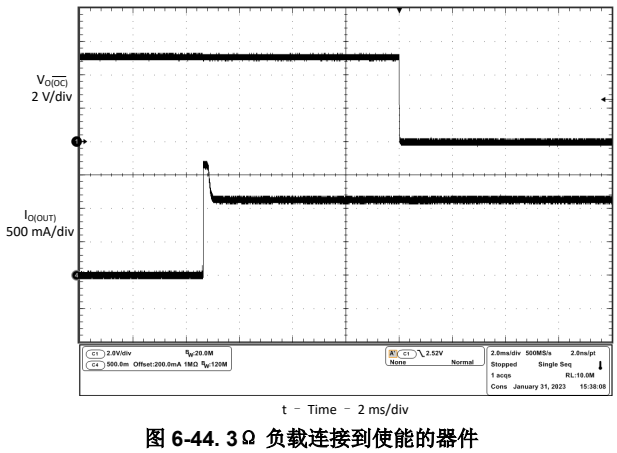


图 6-44. 3Ω 负载连接到使能的器件

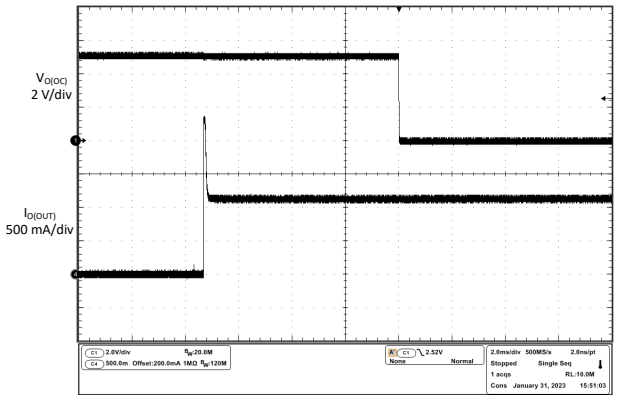


图 6-45. 2Ω 负载连接到使能的器件

7 参数测量信息

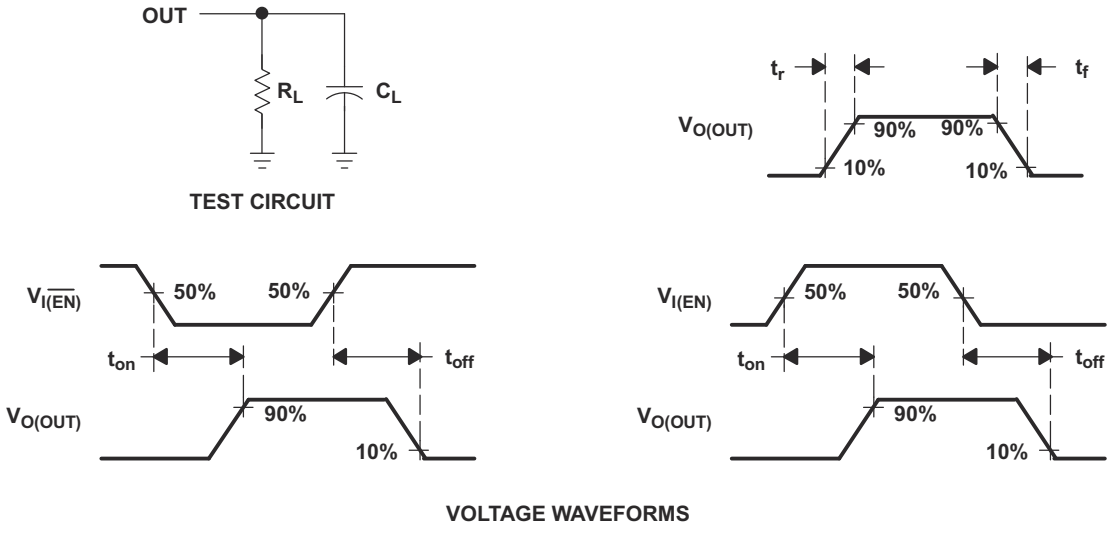


图 7-1. 测试电路和电压波形

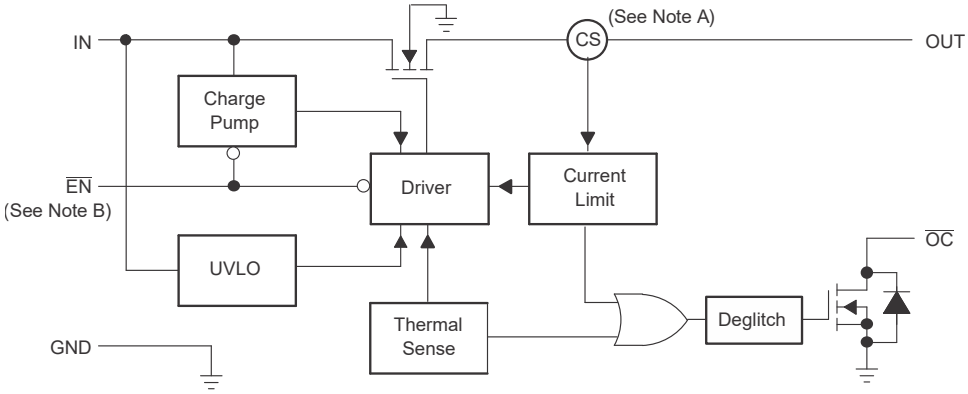
Copyright © 2026 Texas Instruments Incorporated

8 详细说明

8.1 概述

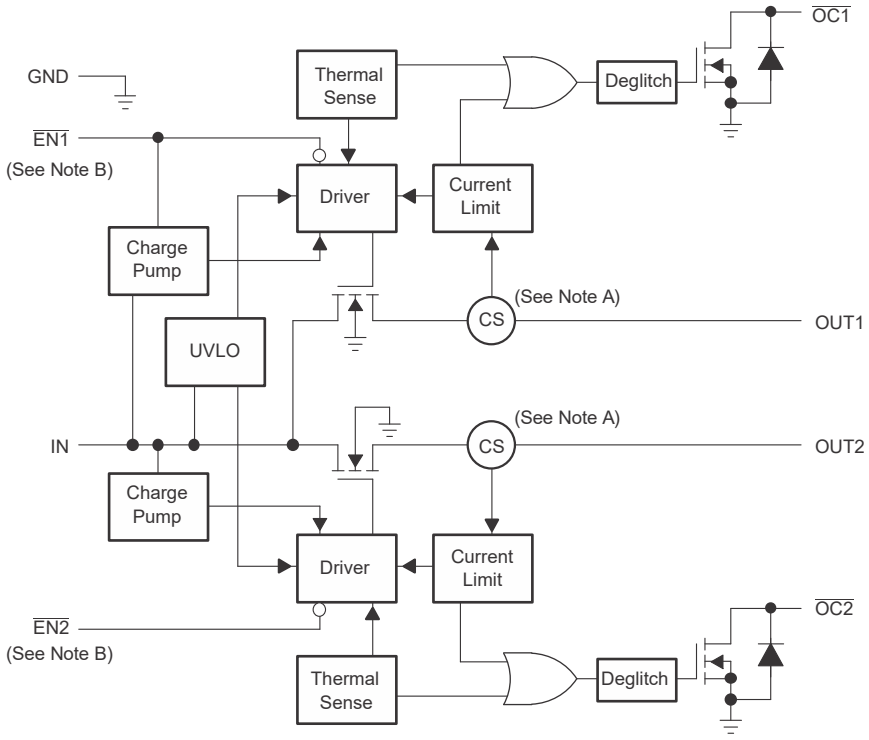
TPS20xxB 是限流配电开关，可提供 0.5A 的持续负载电流。此系列器件包含 70mΩ N 沟道 MOSFET 电源开关，适用于需要在一个封装内包含多个电源开关的配电系统。栅极驱动器由内部电荷泵提供，该电荷泵旨在最大程度减小开关过程中的电流浪涌。电荷泵无需外部元件并可在低至 2.7V 的电源电压下工作。

8.2 功能方框图



Note A: Current sense
Note B: Active low ($\overline{EN}$) for TPS2041B; Active high (EN) for TPS2051B

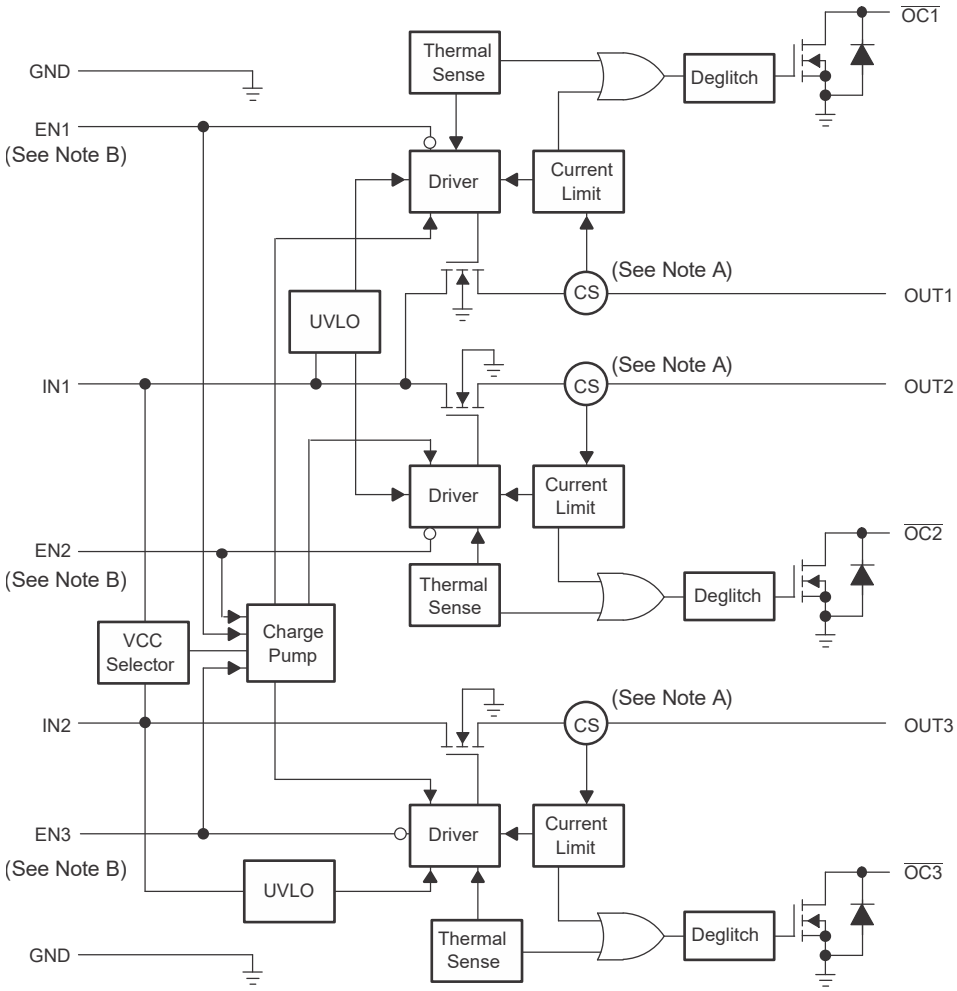
图 8-1. 功能方框图（TPS2041B 和 TPS2051B）



Note A: Current sense
Note B: Active low ($\overline{ENx}$) for TPS2042B; Active high (ENx) for TPS2052B

图 8-2. 功能方框图（TPS2042B 和 TPS2052B）

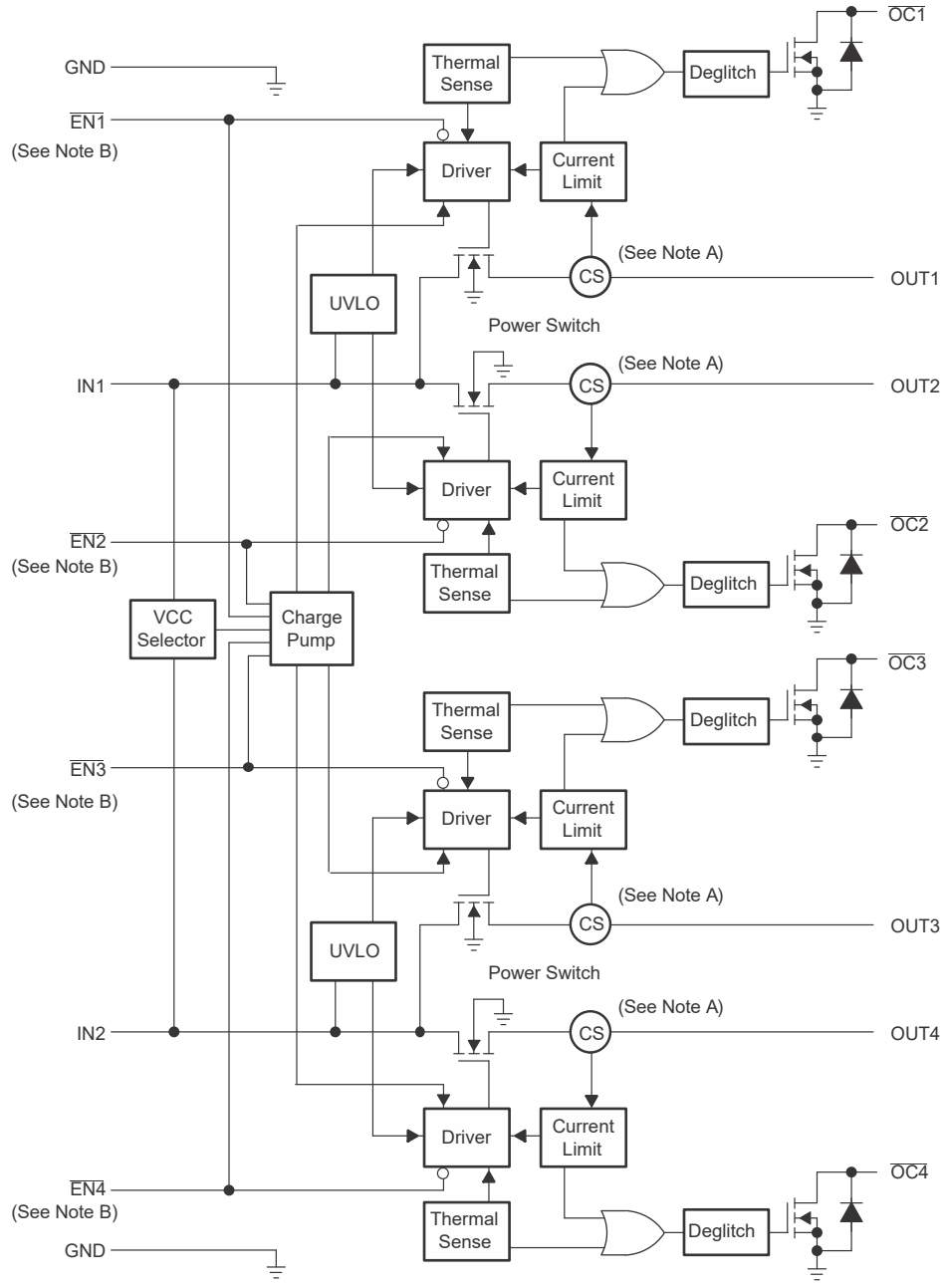
Copyright © 2026 Texas Instruments Incorporated



Note A: Current sense

Note B: Active low ($\overline{\text{ENx}}$) for TPS2043B; Active high (ENx) for TPS2053B

图 8-3. 功能方框图（TPS2043B 和 TPS2053B）



Note A: Current sense

Note B: Active low ($\overline{ENx}$) for TPS2044B; Active high (ENx) for TPS2054B

图 8-4. 功能方框图（TPS2044B 和 TPS2054B）

8.3 特性说明

8.3.1 电源开关

电源开关是具有低导通电阻的 N 沟道 MOSFET。配置为高侧开关时，电源开关在禁用时会阻止电流从 OUT 流向 IN 以及从 IN 流向 OUT。电源开关可提供最小 500mA 的电流。

Copyright © 2026 Texas Instruments Incorporated

8.3.2 电荷泵

内部电荷泵为驱动器电路供电并提供所需的电压将 MOSFET 的栅极拉高至源极以上。该电荷泵可在低至 2.7V 的输入电压下工作，并且只需极小的电源电流。

8.3.3 驱动器

驱动器控制电源开关的栅极电压。为了限制大电流浪涌并减少所产生的相关电磁干扰 (EMI)，驱动器集成了控制输出电压上升时间和下降时间的电路。

8.3.4 使能 ($\overline{ENx}$)

逻辑使能引脚会禁用电源开关以及电荷泵、驱动器及其他电路的偏置，以降低电源电流。当 $\overline{EN}$ 上存在逻辑高电平时，电源电流会降至小于 1 µA 或 2 µA。$\overline{EN}$ 上的逻辑零输入会恢复驱动和控制电路的偏置，并导通开关。使能输入与 TTL 和 CMOS 两种逻辑电平兼容。

8.3.5 使能 (ENx)

逻辑使能会禁用电源开关以及电荷泵、驱动器及其他电路的偏置，以降低电源电流。当 ENx 上存在逻辑低电平时，电源电流会降至小于 1 µA 或 2 µA。ENx 上的逻辑高电平输入会恢复驱动和控制电路的偏置，并导通开关。使能输入与 TTL 和 CMOS 两种逻辑电平兼容。

8.3.6 电流检测

检测 FET 可监测提供给负载的电流。检测 FET 可比传统电阻方法更高效地测量电流。当遇到过载或短路时，电流检测电路会向驱动器发送控制信号。驱动器进而降低栅极电压并将功率 FET 驱动到其饱和区，从而将输出切换到恒流模式，并在改变负载电压的同时保持电流恒定。

8.3.7 过流

采用检测 FET 检查过流情况。与电流检测电阻器不同，检测 FET 不会增加电流路径的串联电阻。当检测到过流情况时，器件保持恒定的输出电流并相应地降低输出电压。只有当故障持续时间长到足以激活热限制时，才会完全关断。

TPS20xxB 系列器件有两种电流限制曲线。

TPS20x3BD、TPS20x4BD 和 TPS20x2BDRB 器件的输出 I-V 特性类似于图 8-5 中标为**具有峰值的电流限制**的曲线。这种限制可通过两个参数来表征：过流跳变阈值 (I_{OC}) 和短路输出电流阈值 (I_{OS})。

采用 D、DGN 和 DBV 封装的 TPS20x1B 和 TPS20x2B 器件的输出 I-V 特性类似于图 8-5 中标为**平坦电流限制**的曲线。这种限制通过一个参数来表征，即短路电流 (I_{OS})。

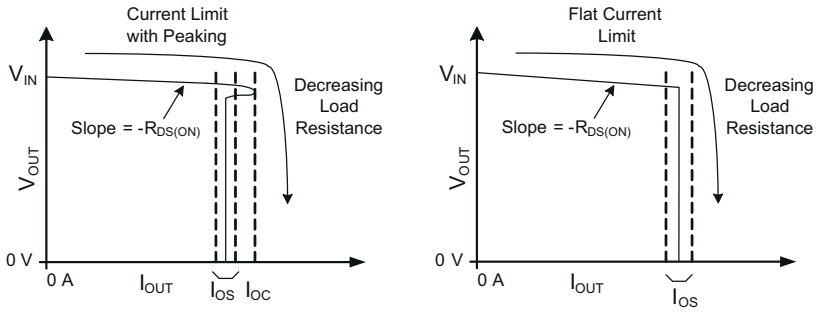


图 8-5. 电流限制曲线

8.3.7.1 过流情况（TPS20x3BD、TPS20x4BD 和 TPS20x2BDRB）

TPS20x3BD、TPS20x4BD 和 TPS20x2BDRB 器件可能发生三种过载情况。在第一种情况下，输出在器件使能之前或施加 $V_{I(IN)}$ 之前短路（请参阅图 6-21 至图 6-24）。TPS20xxB 检测到短路并立即切换到恒流输出。

在第二种情况下，在器件处于使能状态时发生短路或过载。在过载发生瞬间，在电流限制电路能够做出反应之前，可能短时间流过大电流。电流限制电路跳闸（达到过流跳变阈值 (I_{OC})）后，器件切换到恒流模式，电流被限制到短路输出电流阈值 (I_{OS})。

在第三种情况下，负载逐渐增加至超过建议工作电流。电流可以上升，直到达到过流跳变阈值 (I_{OC}) 或超过器件的热限制。TPS20x3BD、TPS20x4BD 和 TPS20x2BDRB 能够提供高至电流限制阈值的电流而不损坏器件。一旦达到过流跳变阈值 (I_{OC})，器件就会切换到其恒流模式，电流被限制到短路输出电流阈值 (I_{OS})。

8.3.7.2 过流情况（采用 D、DGN 和 DBV 封装的 TPS20x1B 和 TPS20x2B）

采用 D、DGN 和 DBV 封装的 TPS20x1B 和 TPS20x2B 器件可能发生三种过载情况。在第一种情况下，输出在器件使能之前或施加 $V_{I(IN)}$ 之前短路（请参阅图 6-42 至图 6-45）。TPS20xxB 检测到短路并立即切换到恒流输出。

在第二种情况下，在器件处于使能状态时发生短路或过载。在过载发生瞬间，在电流限制电路能够做出反应之前，可能短时间流过大电流。达到短路输出电流阈值 (I_{OS}) 后，器件切换到恒流模式。

在第三种情况下，负载逐渐增加至超过建议工作电流。达到短路输出电流阈值 (I_{OS}) 后，器件切换到恒流模式。

8.3.8 过流 ($\overline{OCx}$)

在遇到过流或过热情况时，$\overline{OCx}$ 漏极开路输出会置为有效（低电平有效）。输出保持有效，直到过流或过热情况消除。10ms 抗尖峰脉冲电路可防止 $\overline{OCx}$ 信号发生振荡或误触发。如果发生过热关断，$\overline{OCx}$ 将立即置为有效。

8.3.9 热检测

TPS20xxB 采用热检测技术来监测配电开关的工作温度。在过流或短路情况下，结温会升高。当由于过流情况使芯片温度升至约 140°C 时，内部热检测电路会关断开关，从而防止器件损坏。热检测电路内置迟滞，器件冷却约 10 度后，开关会重新导通。开关持续循环关断和导通，直到故障消除。当发生过热关断或过流时，漏极开路误报输出 ($\overline{OCx}$) 被置为有效（低电平有效）。

8.3.10 欠压锁定

电压检测电路监测输入电压。当输入电压低于约 2V 时，控制信号关断电源开关。

8.4 器件功能模式

TPS20xxB 器件没有其他功能模式。

Copyright © 2026 Texas Instruments Incorporated

9 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

9.1 应用信息

9.1.1 通用串行总线 (USB) 应用

通用串行总线 (USB) 接口是一种 12Mb/s 或 1.5Mb/s 的多路复用串行总线，专为低到中等带宽的 PC 外设（例如键盘、打印机、扫描仪和鼠标）而设计。四线 USB 接口专为外设的动态连接/断开（热插拔）而设计。两条线用于差分数据，两条线用于 5V 配电。

USB 数据是 3.3V 电平信号，但配电电压为 5V，以便在电源通过多个集线器和长电缆分配时支持压降。每个功能器件必须从 5V 输入或自身内部电源提供自己的稳压 3.3V 电源。

USB 规范定义了以下五类器件，每类按功耗要求加以区分：

- 主机和自供电集线器 (SPH)
- 总线供电集线器 (BPH)
- 低功耗、总线供电功能器件
- 高功率、总线供电功能器件
- 自供电功能器件

自供电和总线供电集线器向下游功能器件分配数据和电源。TPS20xxB 可为这些类别中的多种器件提供配电解决方案。

9.2 典型应用

9.2.1 典型应用 (TPS2042B)

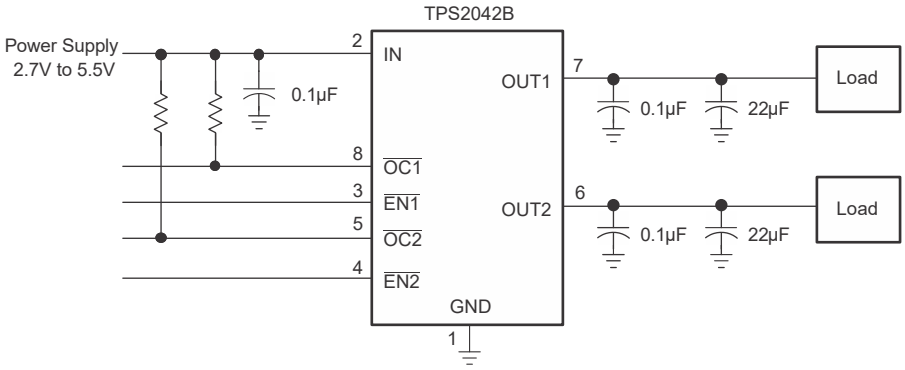


图 9-1. 典型应用（以 TPS2042B 为例）

9.2.1.1 设计要求

表 9-1 给出了该应用的设计参数。

表 9-1. 设计参数

设计参数	值
输入电压	5V
Output1 电压	5V
Output2 电压	5V
Output1 电流	0.5A
Output2 电流	0.5A

9.2.1.2 详细设计过程

9.2.1.2.1 电源注意事项

TI 建议在 IN 和 GND 之间靠近器件放置 0.01μF 至 0.1μF 的陶瓷旁路电容器。当输出负载较重时，TI 建议在必要的输出引脚上放置高容值电解电容器。此预防措施可减少可能导致输入振铃的电源瞬变。此外，使用 0.01 μ F 至 0.1 μ F 陶瓷电容器旁路输出可提高器件对短路瞬态的抗扰度。

9.2.1.2.2 $\overline{OC}$ 响应

在 10ms 抗尖峰脉冲超时后遇到过流或过热关断情况时，$\overline{OCx}$ 漏极开路输出会置为有效（低电平有效）。输出保持有效，直到过流或过热情况消除。将大电容负载连接到已使能器件可能导致瞬时过流情况；但是，由于 10ms 抗尖峰脉冲电路，$\overline{OCx}$ 不会发生误报。TPS20xxB 旨在消除过流误报。内部过流抗尖峰脉冲消除了对利用外部元件消除不必要脉冲的需求。当由于过热关断而关断开关时，$\overline{OCx}$ 不会进行抗尖峰脉冲处理。

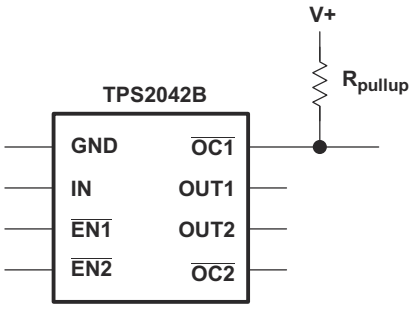


图 9-2. $\overline{OC}$ 引脚的典型电路（以 TPS2042B 为例）

9.2.1.3 应用曲线

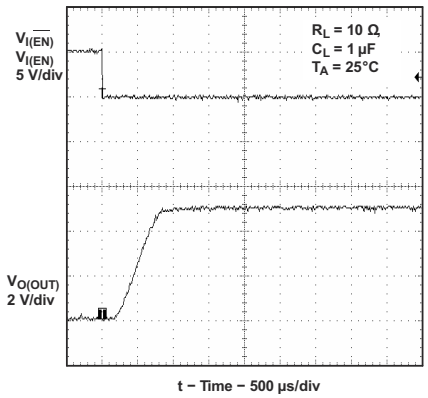


图 9-3. 1μF 负载下的导通延迟和上升时间

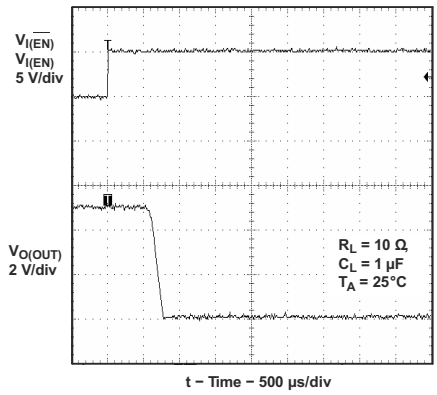


图 9-4. 1μF 负载下的关断延迟和下降时间

Copyright © 2026 Texas Instruments Incorporated

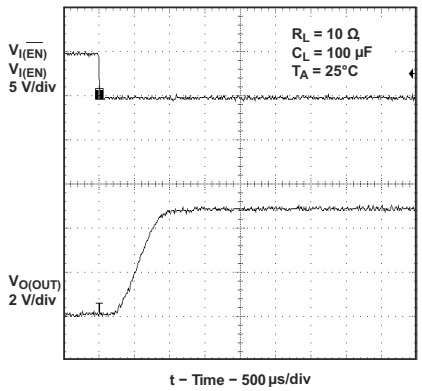


图 9-5. 100µF 负载下的导通延迟和上升时间

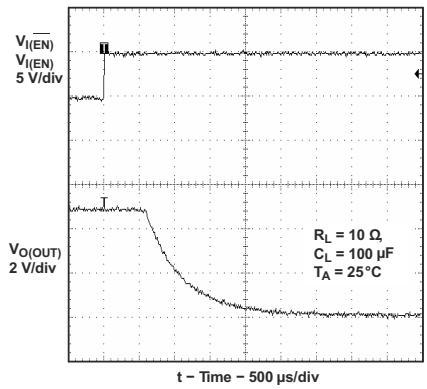


图 9-6. 100µF 负载下的关断延迟和下降时间

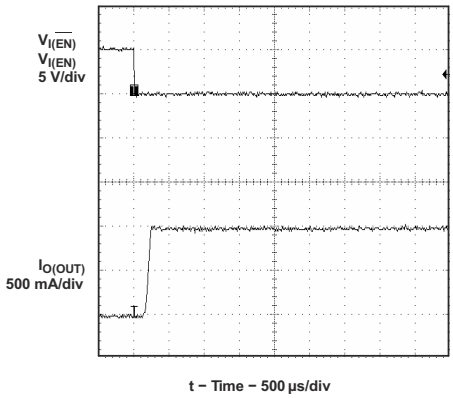


图 9-7. 短路电流、器件使能至短路

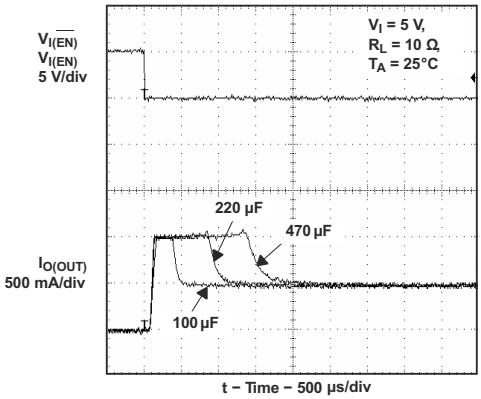


图 9-8. 不同负载电容下的浪涌电流

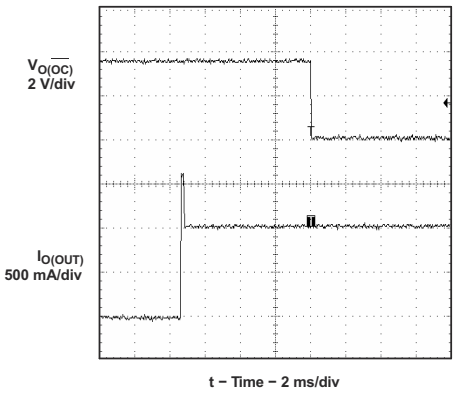


图 9-9. 3Ω 负载连接到使能的器件

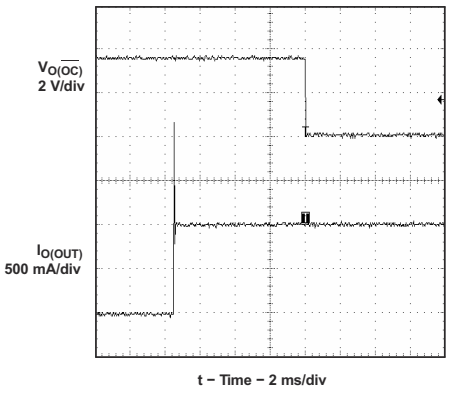


图 9-10. 2Ω 负载连接到使能的器件

9.2.2 主机和自供电集线器以及总线供电集线器

主机和自供电集线器具有本地电源，可为嵌入式功能和下游端口供电（请参阅图 9-11 和图 9-12）。在满负载和空载情况下，该电源必须向下游连接的板侧提供 5.25V 至 4.75V 电压。主机和 SPH 需要具有电流限制保护，并且必须向 USB 控制器报告过流情况。典型的 SPH 包括台式 PC、显示器、打印机和独立集线器。

Copyright © 2026 Texas Instruments Incorporated

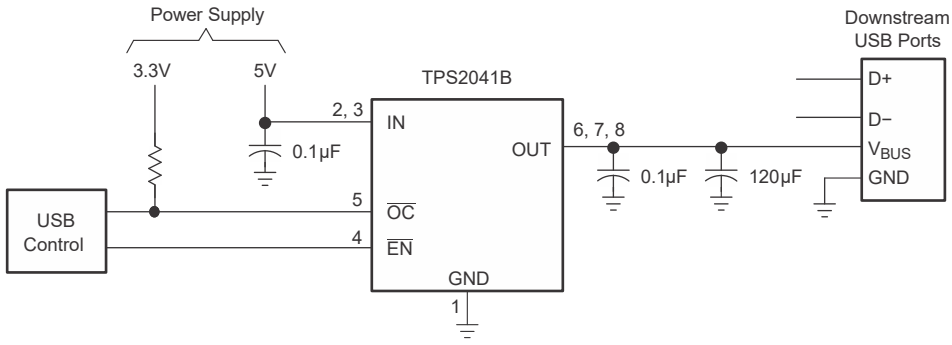


图 9-11. 典型的单端口 USB 主机和自供电集线器

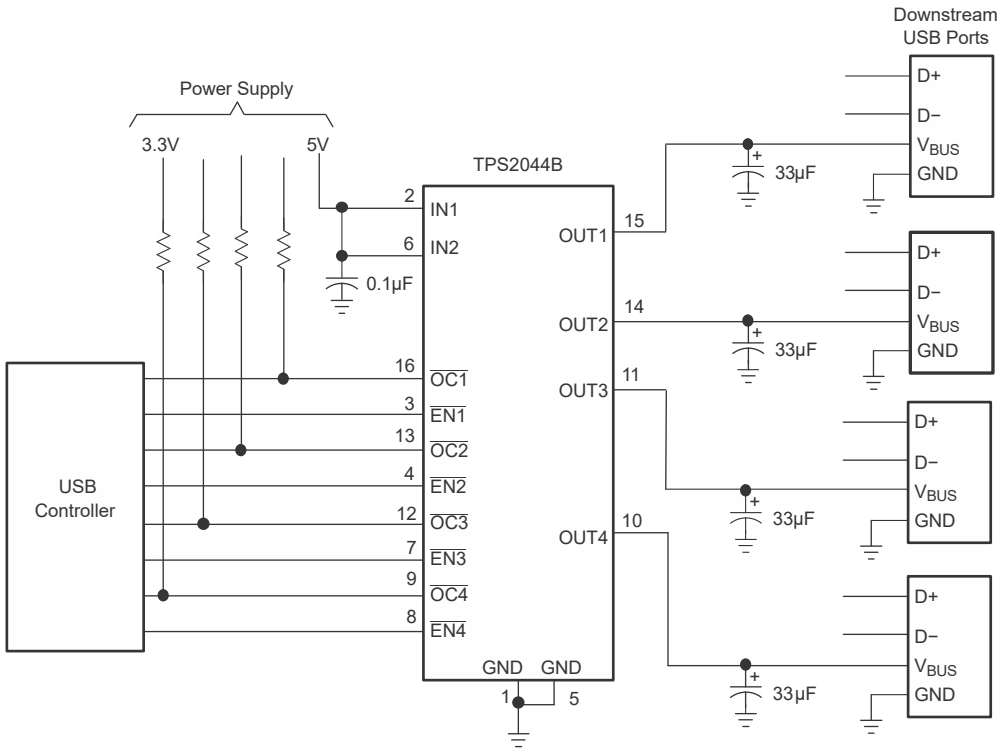


图 9-12. 典型的四端口 USB 主机和自供电集线器

9.2.2.1 设计要求

9.2.2.1.1 USB 配电要求

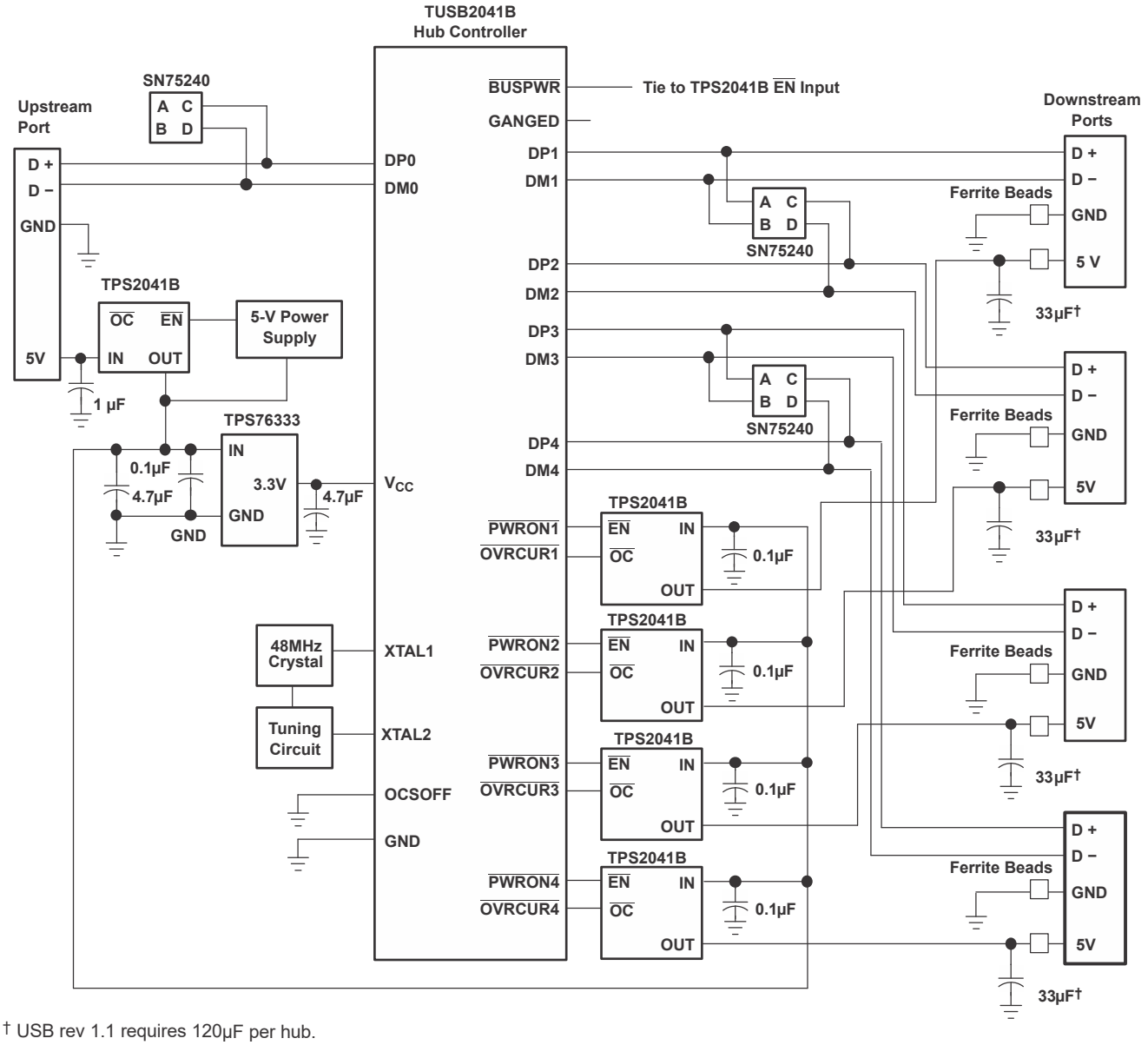
USB 可通过多种方式实现；而且，无论正在开发的是哪种 USB 器件，都可以实现多种配电功能。

- 主机和自供电集线器必须：
  - 限流下游端口
  - 报告 USB V_{BUS} 上的过流情况
- 总线供电集线器必须：
  - 使能/禁用下游端口的电源
  - 在低于 100mA 时加电
  - 限制浪涌电流（< 44Ω 和 10µF）
- 功能器件必须：
  - 限制浪涌电流

Copyright © 2026 Texas Instruments Incorporated

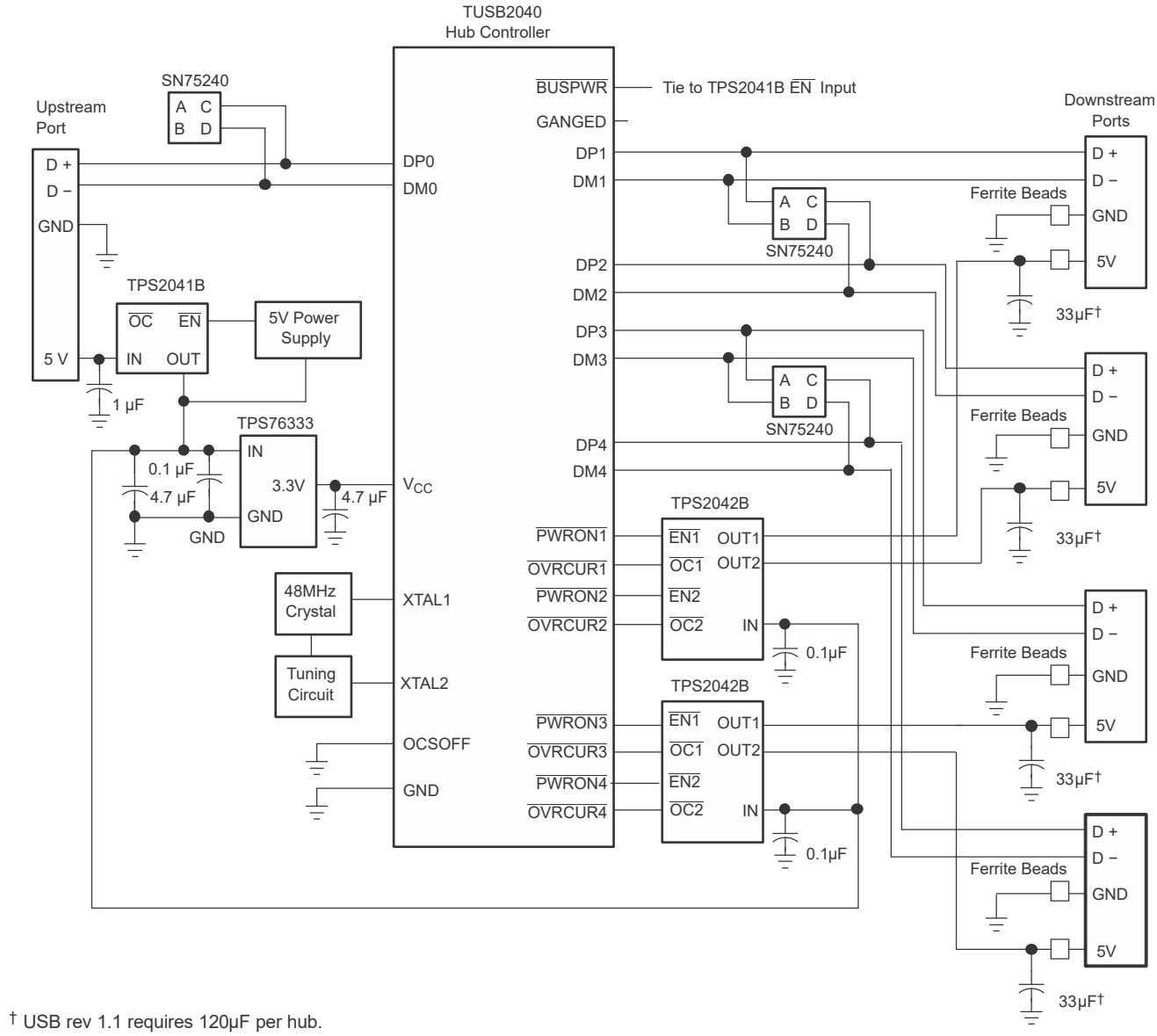
– 在低于 100mA 时加电

TPS20xxB 的特性集使其能够满足所有这些要求。集成式电流限制和过流报告功能是主机和自供电集线器所需要的。逻辑电平使能和受控上升时间满足总线供电集线器上输入和输出端口的需求，也满足总线供电功能器件输入端口的需求（请参阅图 9-13 至图 9-16）。



† USB rev 1.1 requires 120µF per hub.

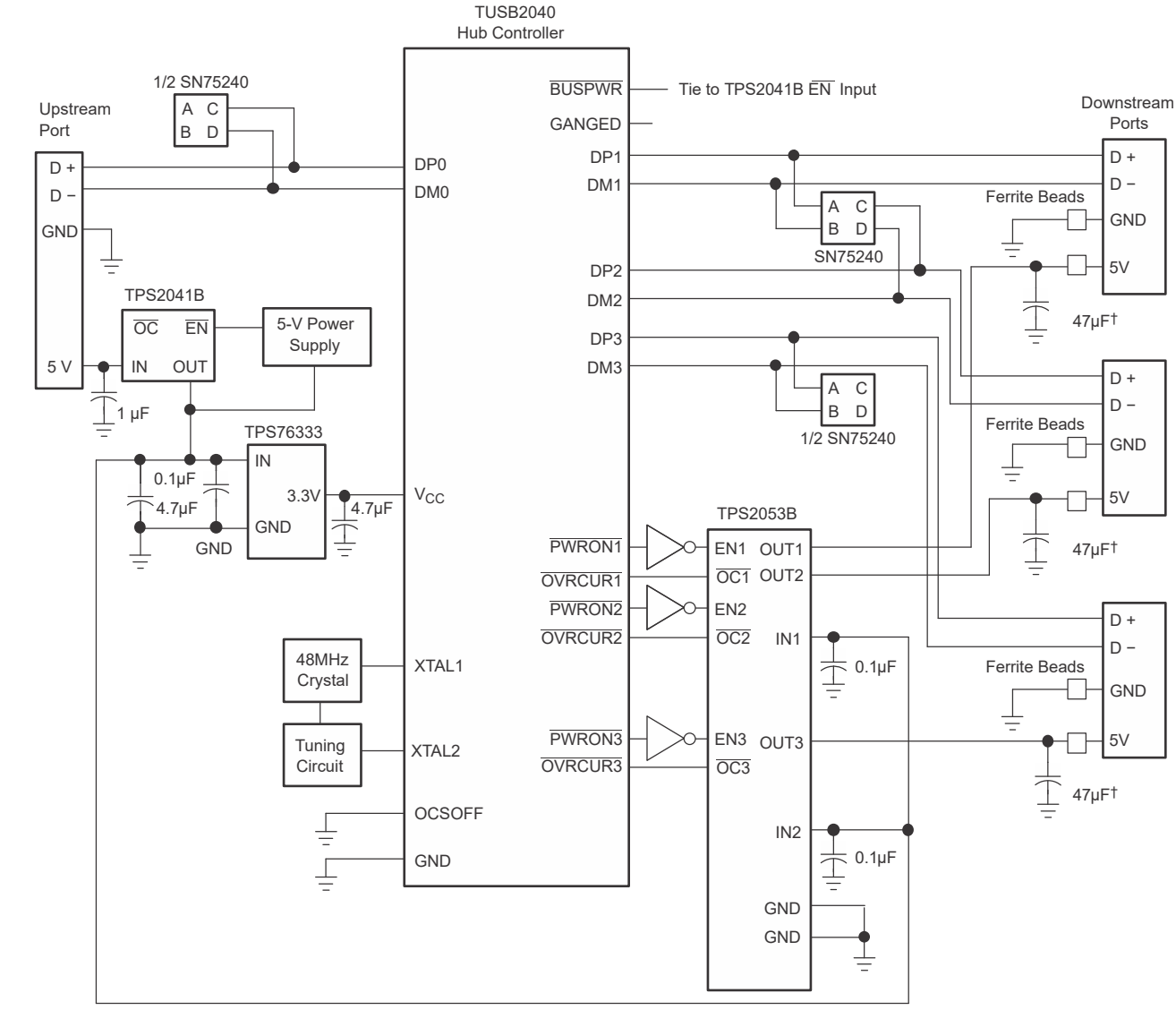
图 9-13. 混合自供电和总线供电集线器实现，TPS2041B 和 TPS2051B



† USB rev 1.1 requires 120µF per hub.

图 9-14. 混合自供电和总线供电集线器实现，TPS2042B 和 TPS2052B

Copyright © 2026 Texas Instruments Incorporated



† USB rev 1.1 requires 120µF per hub.

图 9-15. 混合自供电和总线供电集线器实现，TPS2043B 和 TPS2053B

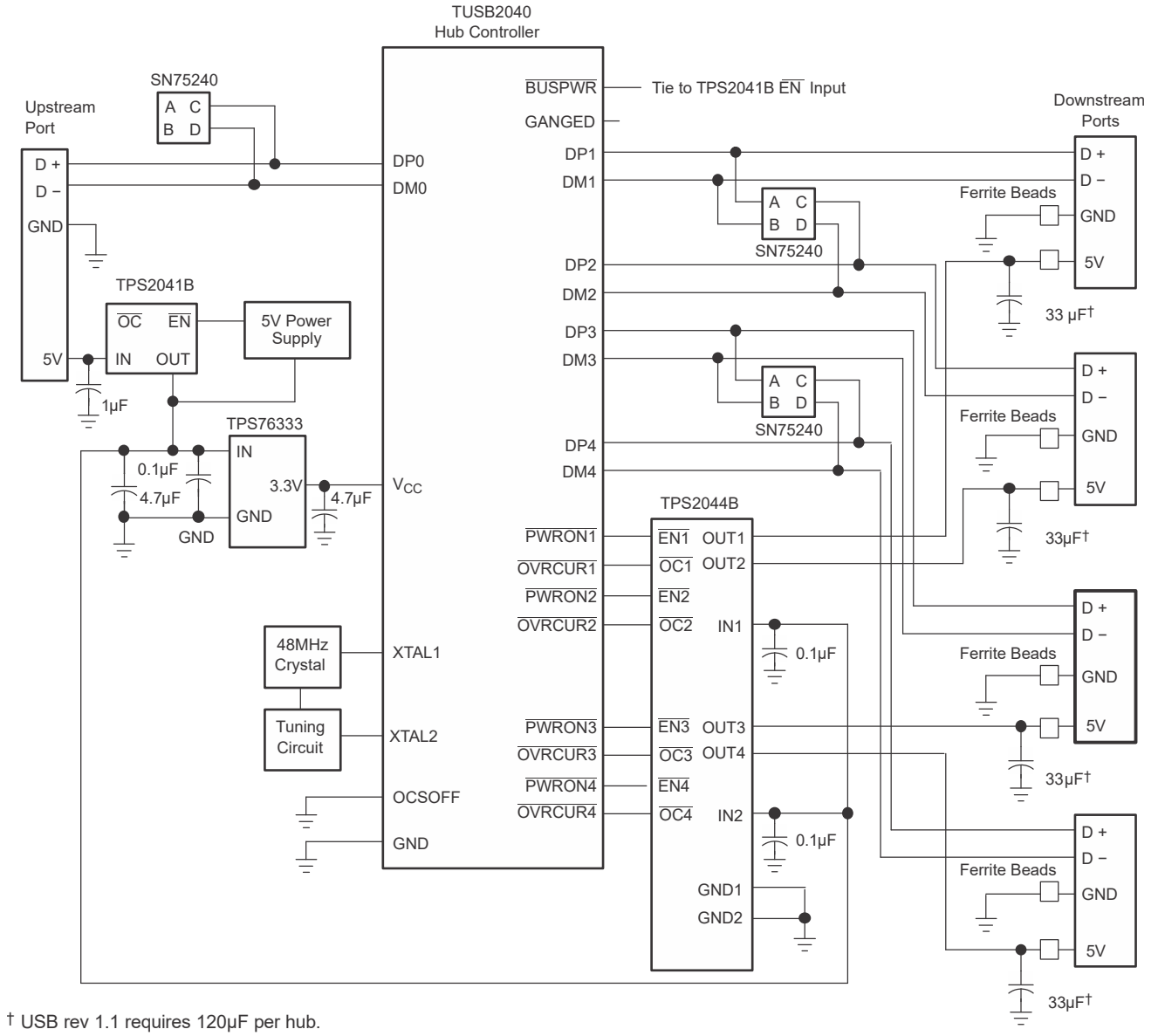


图 9-16. 混合自供电和总线供电集线器实现，TPS2044B 和 TPS2054B

9.2.2.2 详细设计过程

总线供电集线器从上游端口获取所有电源，并且通常包含嵌入式功能。集线器要求加电时的功耗须小于一个单位负载。BPH 通常具有一个嵌入式功能，并且集线器控制器始终有电。如果嵌入式功能和集线器在加电时需要超过 100mA，则在枚举完成前，嵌入式功能的电源可能需要保持关闭。这可以通过移除电源或关闭嵌入式功能的时钟来实现。如果嵌入式功能和控制器的总取电电流小于一个单位负载，则无需对该功能进行电源开关控制。总线供电器件消耗的总电流为控制器、嵌入式功能和下游端口电流之和，且从上游端口取用的电流不得超过 500mA。

9.2.2.2.1 低功耗总线供电和高功耗总线供电功能

低功耗和高功耗总线供电功能均从上游端口获取所有电源；低功耗功能消耗的电流始终小于 100mA；高功耗功能在加电时消耗的电流必须小于 100mA，并可在枚举后消耗高达 500mA。如果功能的负载在加电时超出 44Ω 和 10 µ F 的并联组合，那么器件必须实现浪涌电流限制（请参阅图 9-17）。

Copyright © 2026 Texas Instruments Incorporated

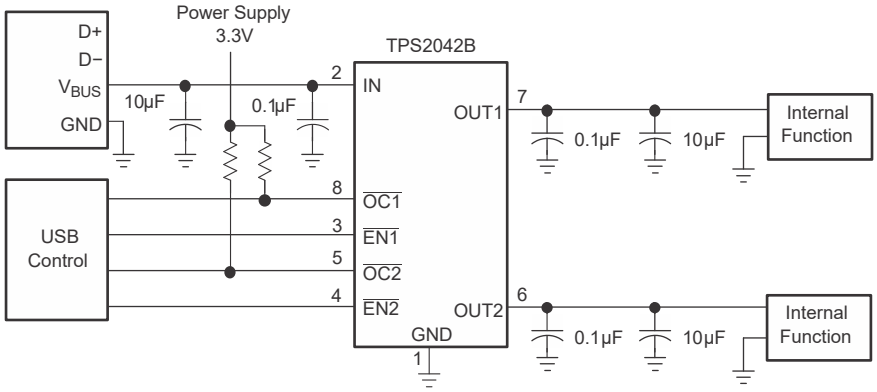


图 9-17. 高功耗总线供电功能（以 TPS2042B 为例）

9.2.2.3 应用曲线

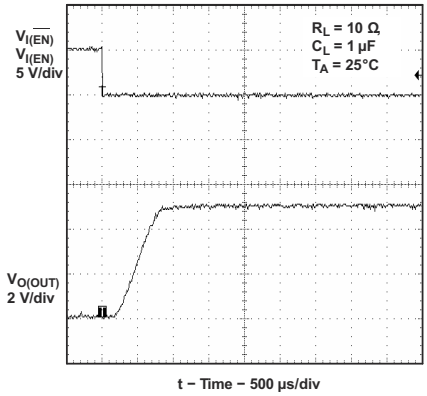


图 9-18. 1µF 负载下的导通延迟和上升时间

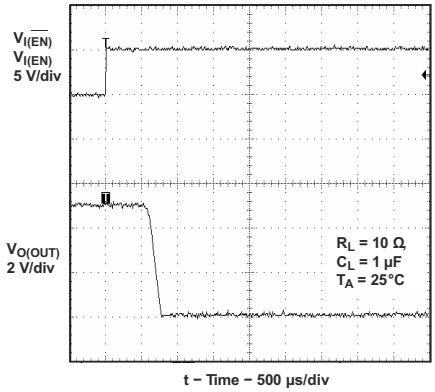


图 9-19. 1 µ F 负载下的关断延迟和下降时间

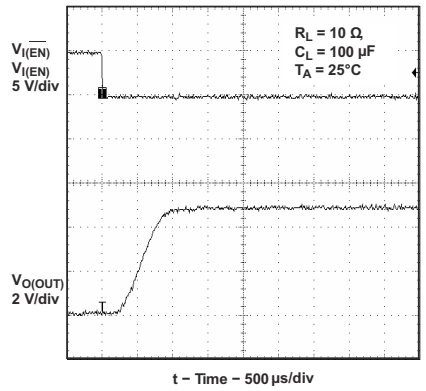


图 9-20. 100µF 负载下的导通延迟和上升时间

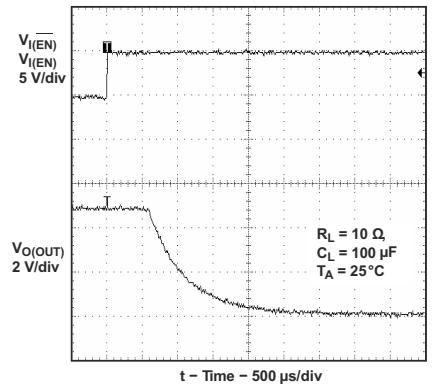


图 9-21. 100µF 负载下的关断延迟和下降时间

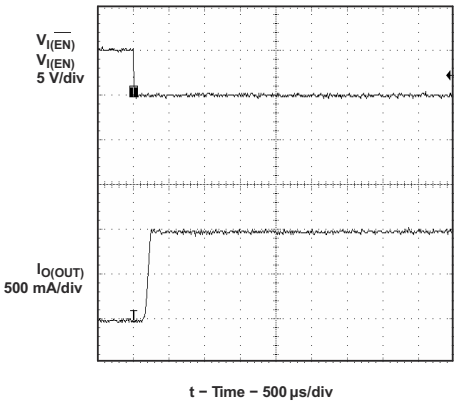


图 9-22. 短路电流、器件使能至短路

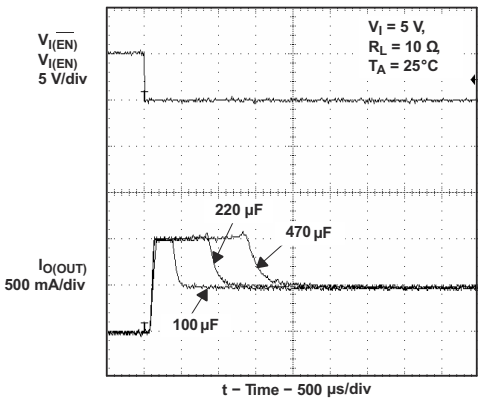


图 9-23. 不同负载电容下的浪涌电流

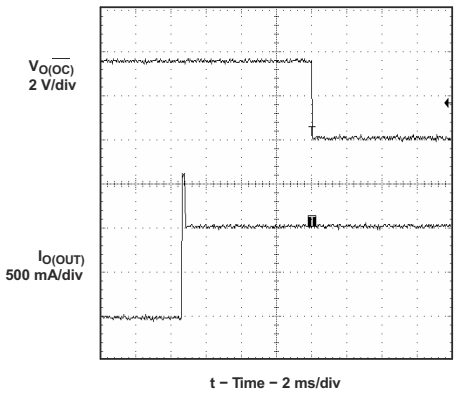


图 9-24. 3Ω 负载连接到使能的器件

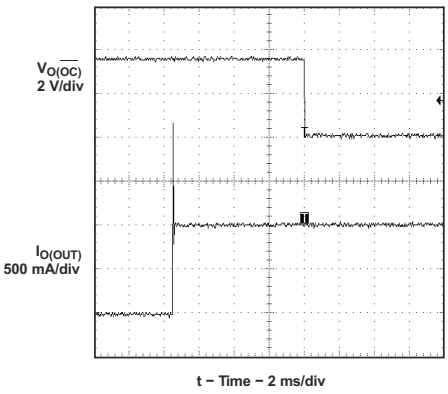


图 9-25. 2Ω 负载连接到使能的器件

9.2.3 通用热插拔应用

在许多应用中，可能需要在主器件仍在运行时移除模块或 PC 板。这些应用被视为热插拔应用。此类实现方案需要控制主电源和插入的卡上接收到的电流浪涌。控制这些浪涌的最有效方式是限制并缓慢提升施加到卡上的电流和电压，类似于电源正常上电的方式。由于 TPS20xxB 的受控上升时间和下降时间，这些器件可用于为热插入已供电系统的器件实现更柔和的启动。TPS20xxB 的 UVLO 特性还可确保卡移除后开关关断，以及下次插入期间开关关断。UVLO 特性可确保每次插入卡或模块时以受控上升时间软启动。

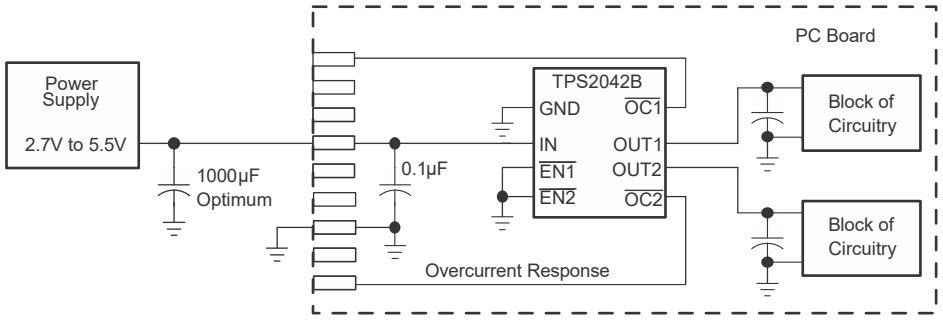


图 9-26. 典型的热插拔实现方案（以 TPS2042B 为例）

通过将 TPS20xxB 放置在 V_{CC} 输入与其余电路之间，插入后输入电源首先到达这些器件。开关的典型上升时间约为 1ms，在器件输出端提供缓慢的电压斜坡。此实现方案可控制系统浪涌电流，并为所有器件提供热插拔机制。

Copyright © 2026 Texas Instruments Incorporated

9.2.3.1 设计要求

表 9-2 给出了该应用的设计参数。

表 9-2. 设计参数

设计参数	值
输入电压	5V
Output1 电压	5V
Output2 电压	5V
Output1 电流	0.5A
Output2 电流	0.5A

9.2.3.2 详细设计过程

要开始设计过程，首先需要知道一些参数。设计人员必须了解以下内容：

- 正常输入工作电压
- 电流限值

输入和输出电容提升了器件的性能；必须针对特定的应用对实际电容进行优化。对于所有应用，为了实现本地噪声去耦，TI 建议在 IN 和 GND 之间尽可能靠近器件的位置放置一个 0.1 µ F 或更大的陶瓷旁路电容器。此预防措施可减少由于电源瞬变引起的输入振铃。可能需要在输入端增加额外的输入电容，以避免电压下冲超出与 TPS2042 器件共享同一电源轨的其他负载的 UVLO 阈值，也能防止在强瞬态工况下电压过冲超过该器件的绝对最大额定电压。在台架测试中，使用长感性电缆将评估板连接到台架电源时，防止电压下冲和过冲尤其重要。不需要输出电容。当输出端预期出现大瞬态电流时，TI 建议在输出引脚上放置高容值电解电容器，以减少在短路发生后和 TPS2042 器件突然降低 OUT 电流后输出电源总线电感引起的下冲。电感中存储的能量会使输出电压降低，并可能会在输出放电时将输出驱动为负值。

9.2.3.3 应用曲线

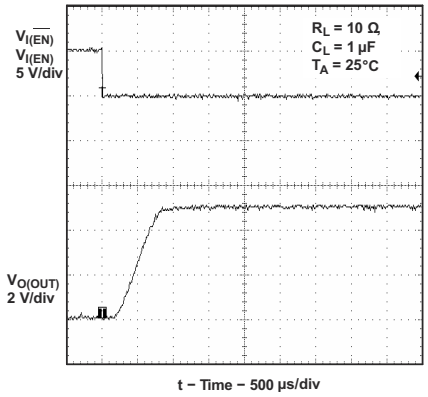


图 9-27. 1µF 负载下的导通延迟和上升时间

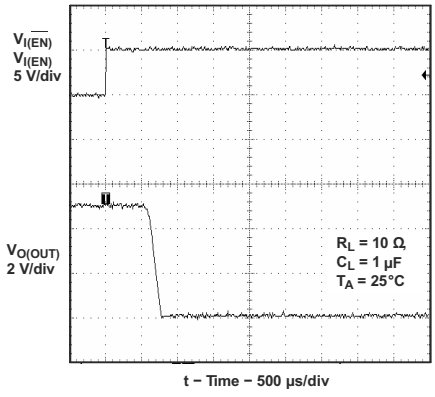


图 9-28. 1µF 负载下的关断延迟和下降时间

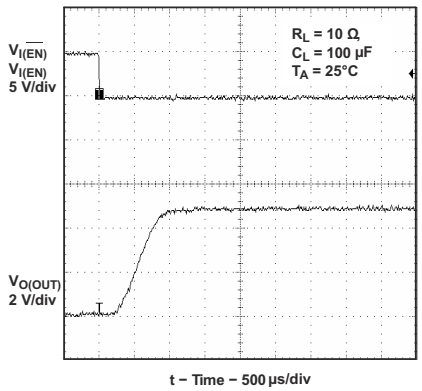


图 9-29. 100µF 负载下的导通延迟和上升时间

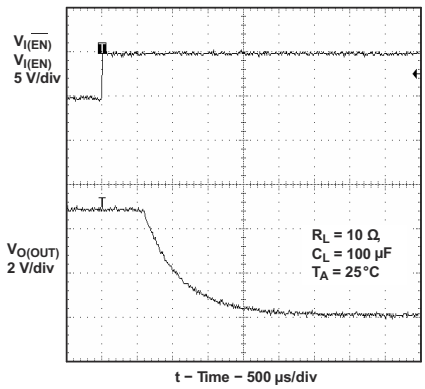


图 9-30. 100µF 负载下的关断延迟和下降时间

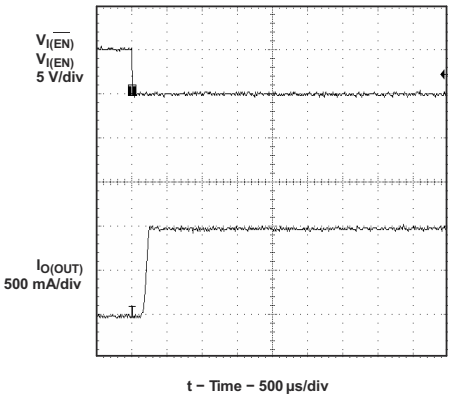


图 9-31. 短路电流、器件使能至短路

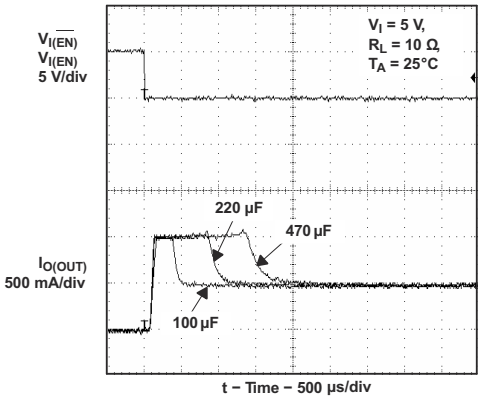


图 9-32. 不同负载电容下的浪涌电流

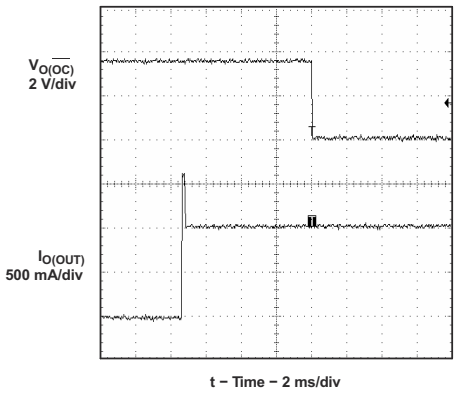


图 9-33. 3Ω 负载连接到使能的器件

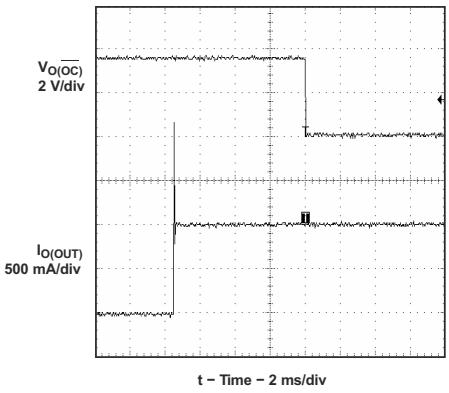


图 9-34. 2Ω 负载连接到使能的器件

9.3 电源相关建议

9.3.1 欠压锁定 (UVLO)

欠压锁定确保加电时电源开关处于关断状态。每当输入电压降至约 2V 以下时，电源开关会迅速关断。UVLO 便于设计热插入系统，在此类系统中，无法在移除输入电源之前关断电源开关。UVLO 还使开关在电源达到至少 2V 前不会导通，即使开关已使能。重新插入时，电源开关导通，上升时间受控，以减少 EMI 和电压过冲。

Copyright © 2026 Texas Instruments Incorporated

9.4 布局

9.4.1 布局指南

- 将 100nF 旁路电容器放置在 IN 和 GND 引脚附近，并使用低电感走线进行连接。
- 当输出端预计会出现大瞬态电流时，建议将一个高容值电解电容器和一个 100nF 旁路电容器放置在输出引脚上。
- 必须使用宽而短的铜线迹将 PowerPAD 直接连接到 PCB 接地层。

9.4.2 布局示例

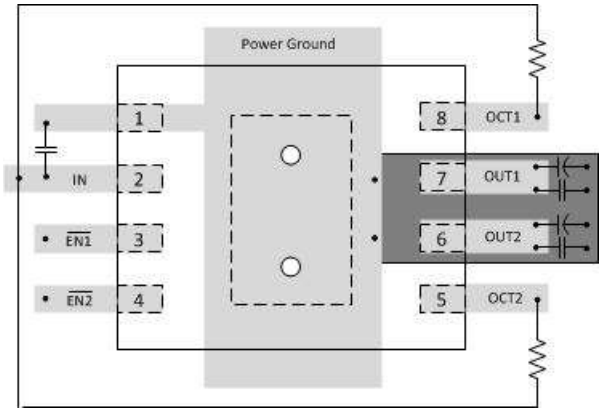


图 9-35. 布局建议

9.4.3 功率耗散

N 沟道 MOSFET 上的低导通电阻允许大电流通过小型表面贴装封装。与功率封装相比，这些封装的热阻较高；检查功率耗散和结温是一种稳妥的设计实践。从确定与输入电压和运行温度相关的 N 通道 MOSFET 的 $r_{DS(导通)}$ 开始。开始估算时，使用感兴趣的最高工作环境温度并从图 6-11 中读取 $r_{DS(on)}$ 值。使用该值，通过方程式 计算每个开关的功率耗散：

$$D_P = r_{DS(on)} \times I^2$$

将此数值乘以正在使用的开关数量。此步骤得出 N 沟道 MOSFET 的总功率耗散。

最后，使用方程式 计算结温：

$$T_J = P_D \times R_{\theta JA} + T_A$$

其中

- T_A = 环境温度 (°C)
- $R_{\theta JA}$ = 热阻
- P_D = 基于所用开关数量的总功率耗散

将计算得出的结温与初始估算值进行对比。如果相差超过几度，使用算得的值作为新估算值进行重复计算。通常，二次或三次迭代就足以得到合理的答案。

9.4.4 过热保护

当严重过载或短路故障持续较长时间时，过热保护会防止 IC 损坏。TPS20xxB 采用热检测技术来监测配电开关的工作结温。在过流或短路情况下，由于功率耗散过大，结温会升高。一旦由于过流情况使芯片温度升至约 140°C，内部热检测电路就会关断电源开关，从而防止电源开关损坏。热检测电路内置迟滞，器件冷却约 10°C

Copyright © 2026 Texas Instruments Incorporated

后，开关会重新导通。开关以这种方式反复通断，直到负载故障或输入电源移除。当发生过热关断或过流时，$\overline{OCx}$ 漏极开路输出被置为有效（低电平有效）。

Copyright © 2026 Texas Instruments Incorporated

10 器件和文档支持

10.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.2 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

10.3 商标

PowerPAD™ and TI E2E™ are trademarks of Texas Instruments.
所有商标均为其各自所有者的财产。

10.4 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.5 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

11 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision P (August 2024) to Revision Q (October 2026)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式	1
• 添加了 MET 列名认证	1
• 从 UL 认可更新为 UL 列名，文件号 E169910	1
• 添加了 UL2367 合规信息	1
• 添加了 IEC62368-1 CB 认证	1

Changes from Revision O (June 2024) to Revision P (August 2024)	Page
• 删除了有关向此部分添加 TPS2051BDB 的修订历史记录注释	21

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

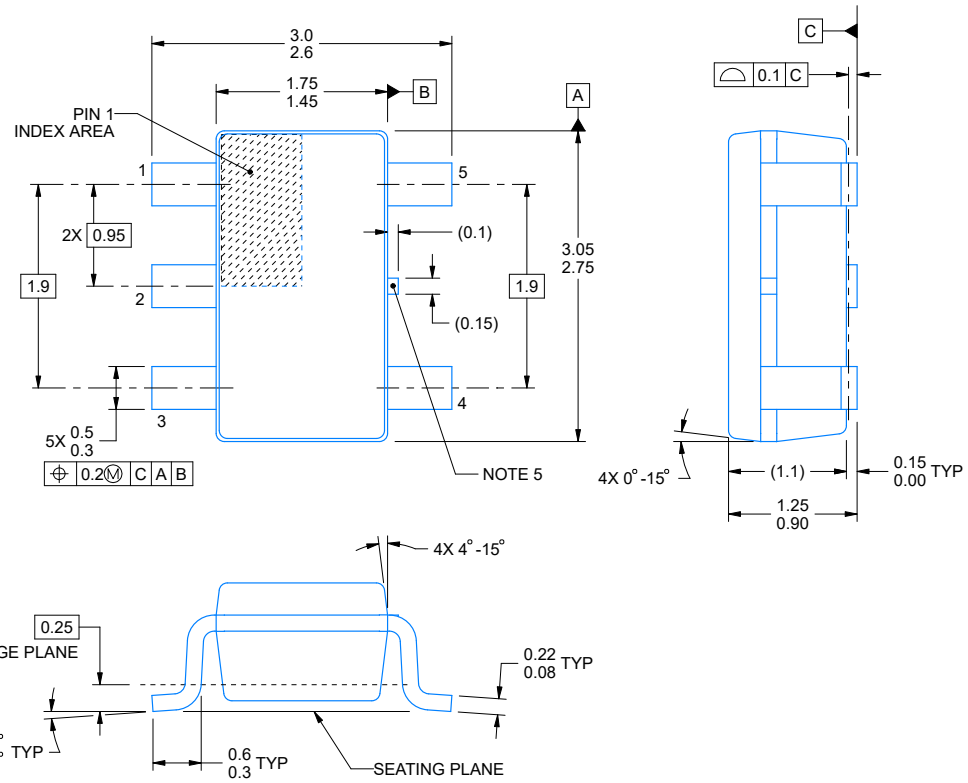
Copyright © 2026 Texas Instruments Incorporated

TPS2XXX/XXXX
DBV0005A-C02

PACKAGE OUTLINE

SOT-23 - 1.25 mm max height

SMALL OUTLINE TRANSISTOR



4231207/B 09/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.

Texas Instruments
www.ti.com

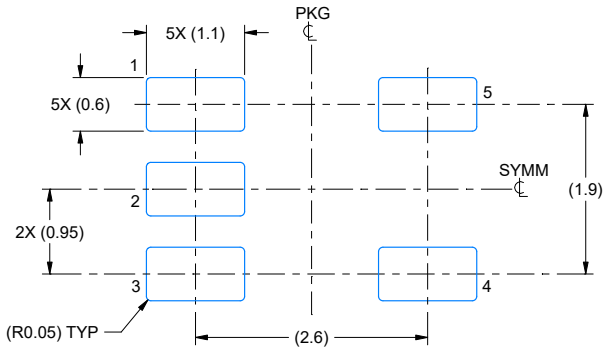
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

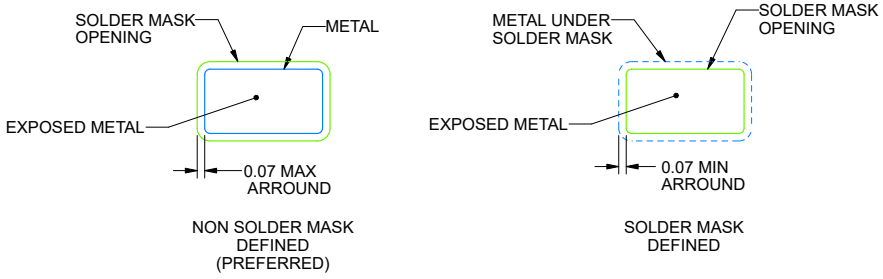
DBV0005A-C02

SOT-23 - 1.25 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4231207/B 09/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

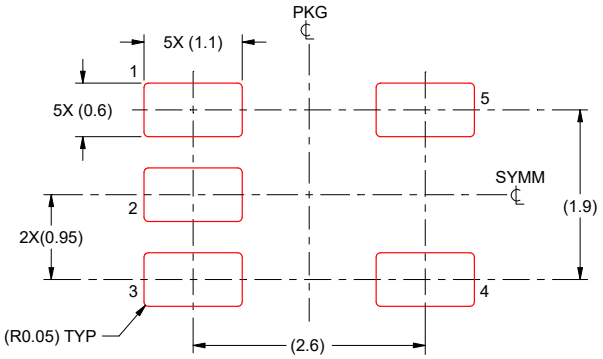
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

DBV0005A-C02

SOT-23 - 1.25 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4231207/B 09/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS2041BDBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	PLII
TPS2041BDBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	PLII
TPS2041BDBVRG4	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	PLII
TPS2041BDGNR	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAU | NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	2041B
TPS2041BDGNR.A	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2041B
TPS2041BDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2041B
TPS2041BDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2041B
TPS2041BDRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2041B
TPS2042BDGNR	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2042B
TPS2042BDGNR.A	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2042B
TPS2042BDGNRG4	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2042B
TPS2042BDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2042B
TPS2042BDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2042B
TPS2042BDRBR	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2042
TPS2042BDRBR.A	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2042
TPS2042BDRBT	Active	Production	SON (DRB) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2042
TPS2042BDRBT.A	Active	Production	SON (DRB) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2042
TPS2042BDRBTG4	Active	Production	SON (DRB) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2042
TPS2042BDRBTG4.A	Active	Production	SON (DRB) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2042
TPS2042BDRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2042B
TPS2043BD	Active	Production	SOIC (D) | 16	40 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2043B
TPS2043BD.A	Active	Production	SOIC (D) | 16	40 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2043B
TPS2043BDR	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2043B
TPS2043BDR.A	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2043B
TPS2043BDRG4	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2043B
TPS2044BD	Active	Production	SOIC (D) | 16	40 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2044B
TPS2044BD.A	Active	Production	SOIC (D) | 16	40 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2044B
TPS2044BDG4	Active	Production	SOIC (D) | 16	40 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2044B
TPS2044BDR	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2044B

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS2044BDR.A	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2044B
TPS2044BDRG4	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2044B
TPS2051BDBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	PLJI
TPS2051BDBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PLJI
TPS2051BDBVR1G4.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	PLJI
TPS2051BDBVT	Obsolete	Production	SOT-23 (DBV) | 5	-	-	Call TI	Call TI	-40 to 125	PLJI
TPS2051BDGNR	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAU | NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	2051B
TPS2051BDGNR.A	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2051B
TPS2051BDGNRG4	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2051B
TPS2051BDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2051B
TPS2051BDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2051B
TPS2051BDRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2051B
TPS2052BDGNR	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2052B
TPS2052BDGNR.A	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2052B
TPS2052BDGNRG4	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2052B
TPS2052BDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2052B
TPS2052BDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2052B
TPS2052BDRBR	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2052
TPS2052BDRBR.A	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2052
TPS2052BDRBR.B	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2052
TPS2052BDRBT	Active	Production	SON (DRB) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	2052
TPS2052BDRBT.A	Active	Production	SON (DRB) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	2052
TPS2052BDRBT.B	Active	Production	SON (DRB) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	2052
TPS2052BDRBTG4	Active	Production	SON (DRB) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2052
TPS2052BDRBTG4.A	Active	Production	SON (DRB) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2052
TPS2053BD	Active	Production	SOIC (D) | 16	40 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2053B
TPS2053BD.A	Active	Production	SOIC (D) | 16	40 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2053B
TPS2053BDR	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2053B
TPS2053BDR.A	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2053B
TPS2054BD	Active	Production	SOIC (D) | 16	40 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2054B
TPS2054BD.A	Active	Production	SOIC (D) | 16	40 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2054B

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS2054BDR	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2054B
TPS2054BDR.A	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2054B
TPS2054BDRG4	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2054B
TPS2054BDRG4.A	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2054B

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TPS2041B, TPS2042B, TPS2051B :

- Automotive : TPS2041B-Q1, TPS2042B-Q1, TPS2051B-Q1

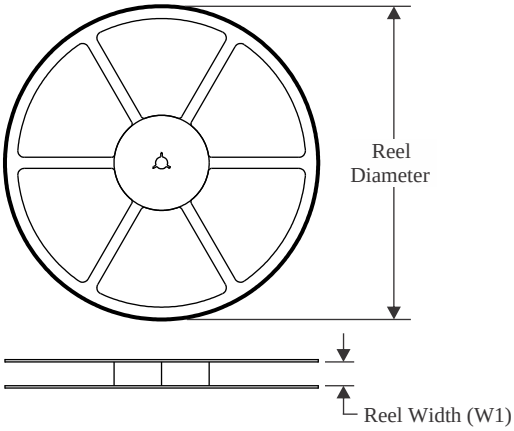
- Enhanced Product : TPS2041B-EP

NOTE: Qualified Version Definitions:

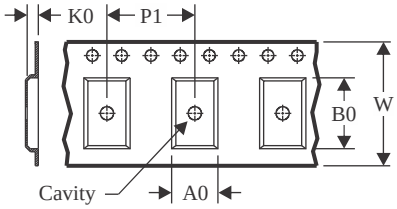
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects
- Enhanced Product - Supports Defense, Aerospace and Medical Applications

TAPE AND REEL INFORMATION

REEL DIMENSIONS

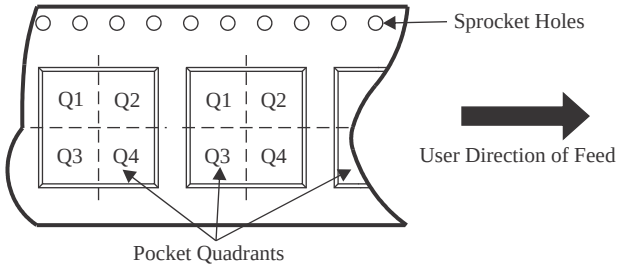


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

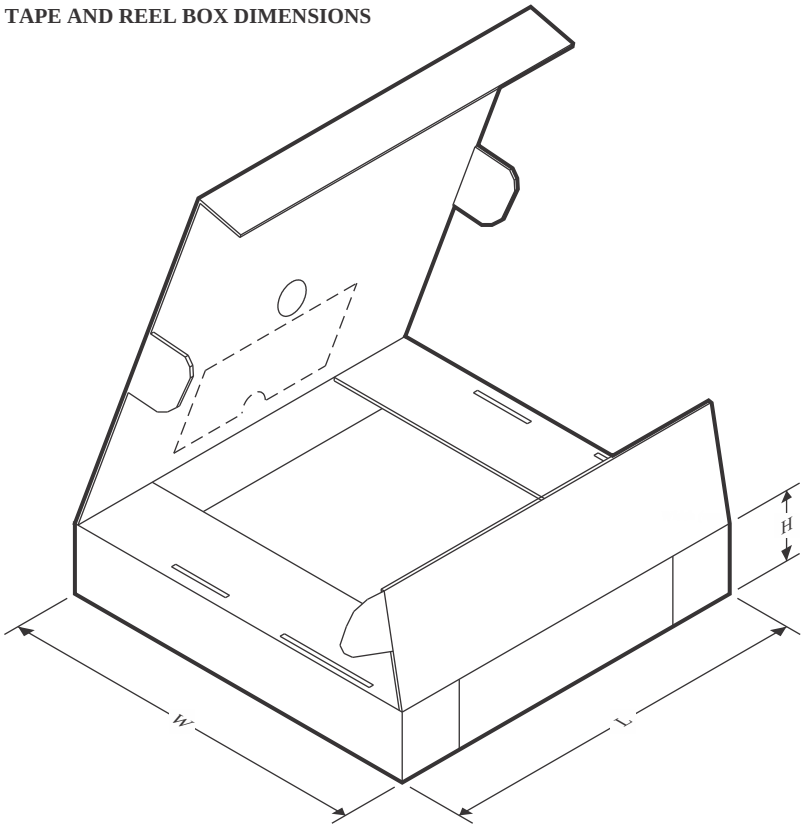


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS2041BDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS2041BDBVR	SOT-23	DBV	5	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS2041BDGNR	HVSSOP	DGN	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TPS2041BDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TPS2041BDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TPS2042BDGNR	HVSSOP	DGN	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TPS2042BDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TPS2042BDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TPS2042BDRBR	SON	DRB	8	3000	330.0	12.4	3.3	3.3	1.0	8.0	12.0	Q2
TPS2042BDRBT	SON	DRB	8	250	180.0	12.4	3.3	3.3	1.0	8.0	12.0	Q2
TPS2042BDRBTG4	SON	DRB	8	250	180.0	12.4	3.3	3.3	1.0	8.0	12.0	Q2
TPS2043BDR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
TPS2044BDR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
TPS2051BDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS2051BDGNR	HVSSOP	DGN	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TPS2051BDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS2052BDGNR	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.3	1.3	8.0	12.0	Q1
TPS2052BDGNR	HVSSOP	DGN	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TPS2052BDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TPS2052BDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TPS2052BDRBR	SON	DRB	8	3000	330.0	12.4	3.3	3.3	1.0	8.0	12.0	Q2
TPS2052BDRBT	SON	DRB	8	250	180.0	12.4	3.3	3.3	1.0	8.0	12.0	Q2
TPS2052BDRBTG4	SON	DRB	8	250	180.0	12.4	3.3	3.3	1.0	8.0	12.0	Q2
TPS2053BDR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
TPS2054BDR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
TPS2054BDRG4	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS

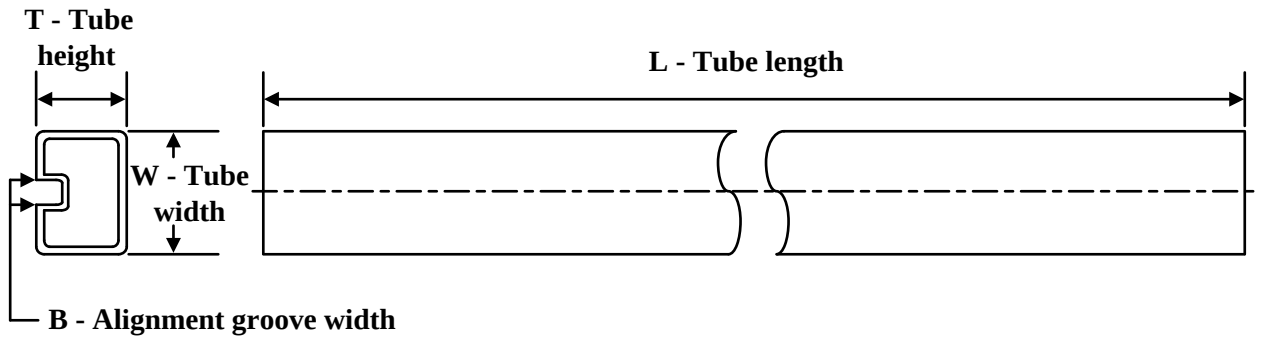


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS2041BDBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS2041BDBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
TPS2041BDGNR	HVSSOP	DGN	8	2500	353.0	353.0	32.0
TPS2041BDR	SOIC	D	8	2500	353.0	353.0	32.0
TPS2041BDR	SOIC	D	8	2500	353.0	353.0	32.0
TPS2042BDGNR	HVSSOP	DGN	8	2500	353.0	353.0	32.0
TPS2042BDR	SOIC	D	8	2500	353.0	353.0	32.0
TPS2042BDR	SOIC	D	8	2500	353.0	353.0	32.0
TPS2042BDRBR	SON	DRB	8	3000	346.0	346.0	35.0
TPS2042BDRBT	SON	DRB	8	250	200.0	183.0	25.0
TPS2042BDRBTG4	SON	DRB	8	250	200.0	183.0	25.0
TPS2043BDR	SOIC	D	16	2500	353.0	353.0	32.0
TPS2044BDR	SOIC	D	16	2500	353.0	353.0	32.0
TPS2051BDBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS2051BDGNR	HVSSOP	DGN	8	2500	353.0	353.0	32.0
TPS2051BDR	SOIC	D	8	2500	353.0	353.0	32.0
TPS2052BDGNR	HVSSOP	DGN	8	2500	346.0	346.0	35.0
TPS2052BDGNR	HVSSOP	DGN	8	2500	353.0	353.0	32.0

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS2052BDR	SOIC	D	8	2500	353.0	353.0	32.0
TPS2052BDR	SOIC	D	8	2500	353.0	353.0	32.0
TPS2052BDRBR	SON	DRB	8	3000	346.0	346.0	35.0
TPS2052BDRBT	SON	DRB	8	250	200.0	183.0	25.0
TPS2052BDRBTG4	SON	DRB	8	250	200.0	183.0	25.0
TPS2053BDR	SOIC	D	16	2500	340.5	336.1	32.0
TPS2054BDR	SOIC	D	16	2500	353.0	353.0	32.0
TPS2054BDRG4	SOIC	D	16	2500	353.0	353.0	32.0

TUBE



*All dimensions are nominal

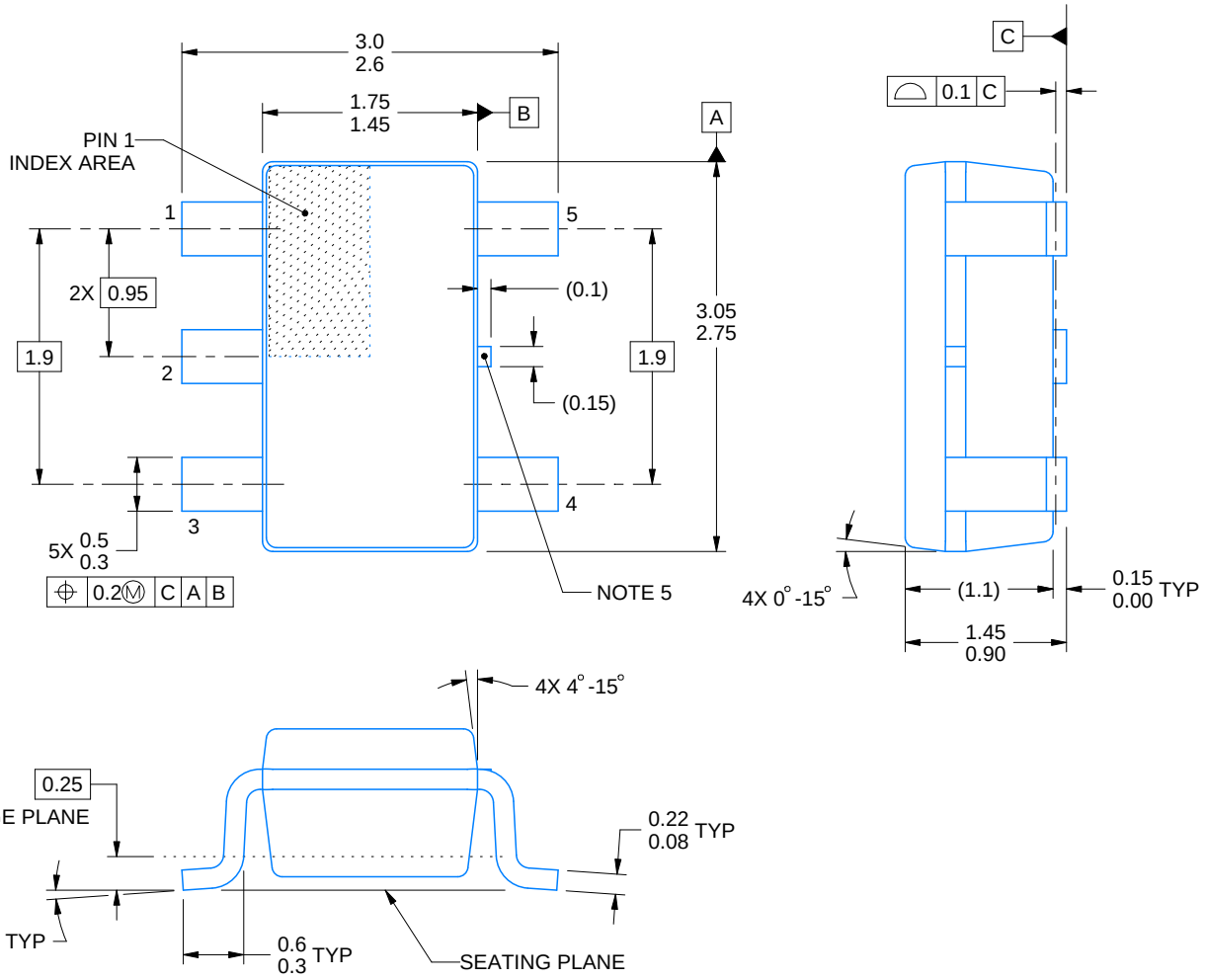
Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
TPS2043BD	D	SOIC	16	40	507	8	3940	4.32
TPS2043BD.A	D	SOIC	16	40	507	8	3940	4.32
TPS2044BD	D	SOIC	16	40	507	8	3940	4.32
TPS2044BD.A	D	SOIC	16	40	507	8	3940	4.32
TPS2044BDG4	D	SOIC	16	40	507	8	3940	4.32
TPS2053BD	D	SOIC	16	40	507	8	3940	4.32
TPS2053BD.A	D	SOIC	16	40	507	8	3940	4.32
TPS2054BD	D	SOIC	16	40	507	8	3940	4.32
TPS2054BD.A	D	SOIC	16	40	507	8	3940	4.32

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

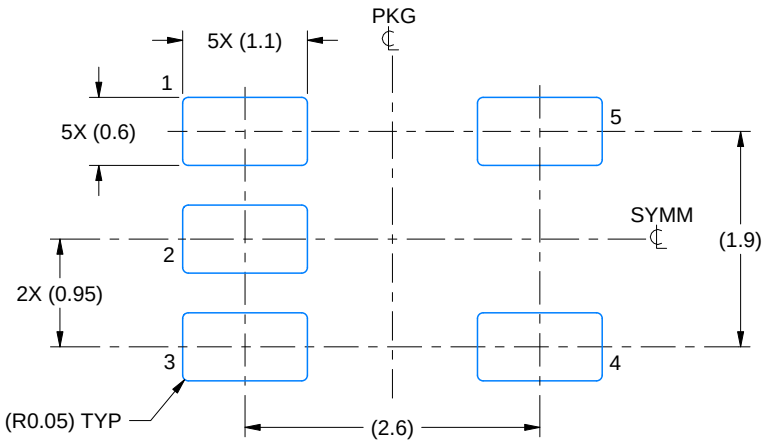
SMALL OUTLINE TRANSISTOR



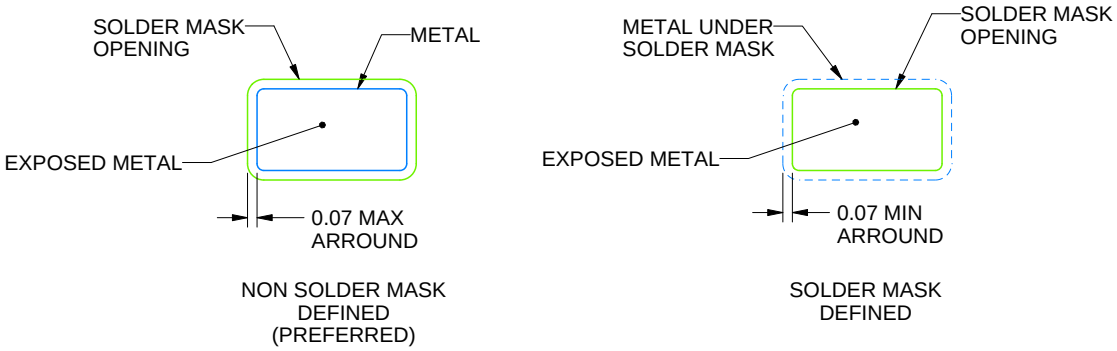
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

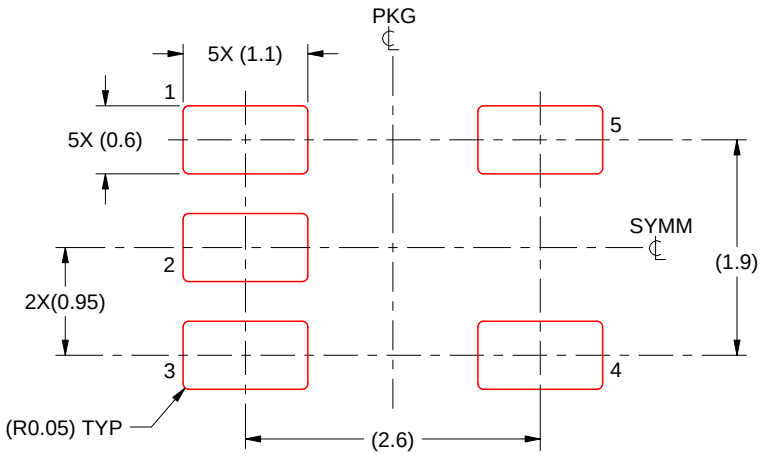


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

DRB 8

VSON - 1 mm max height

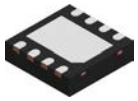
PLASTIC SMALL OUTLINE - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4203482/L

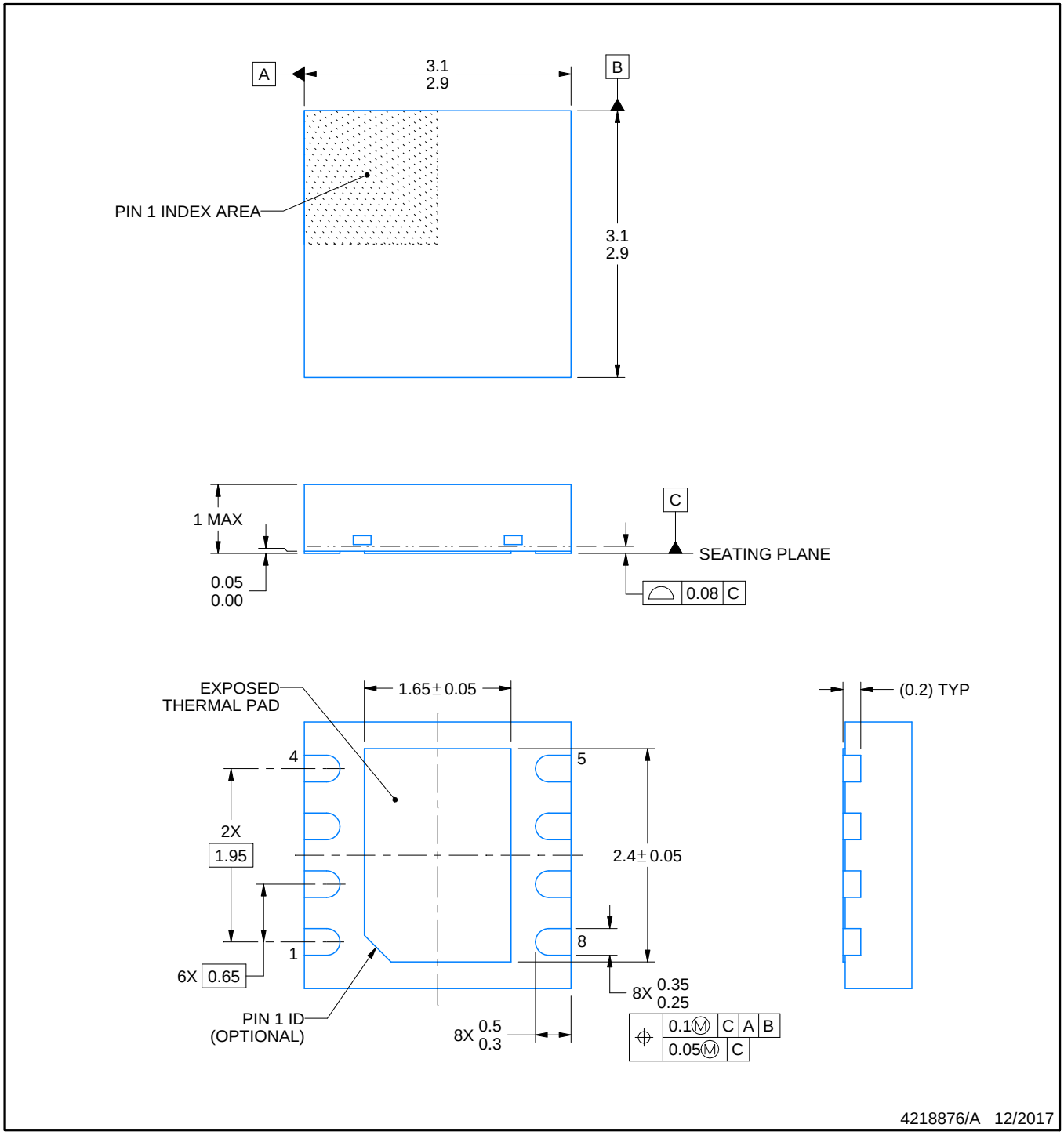
DRB0008B



PACKAGE OUTLINE

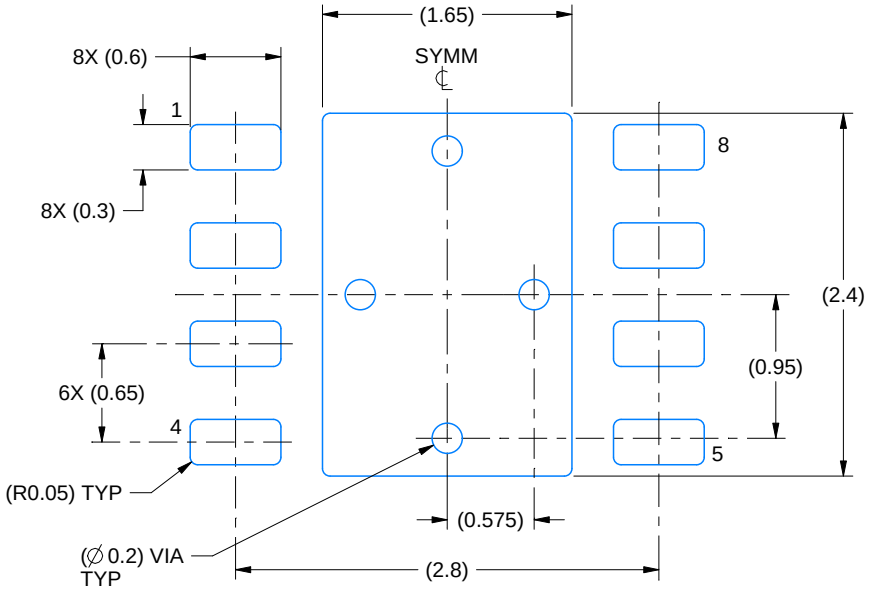
VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD

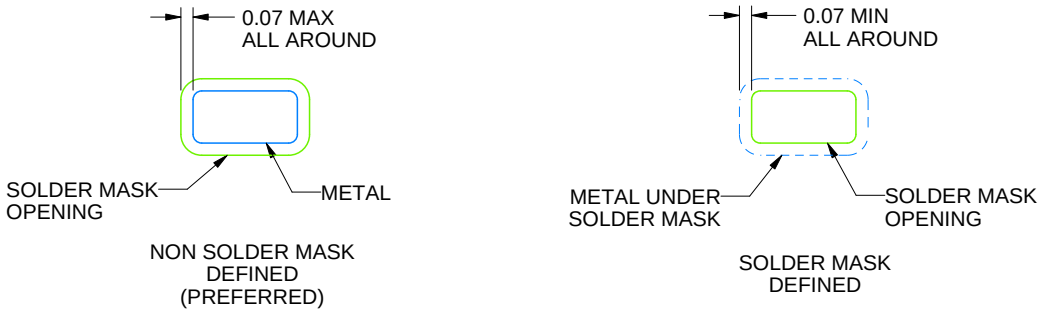


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:20X

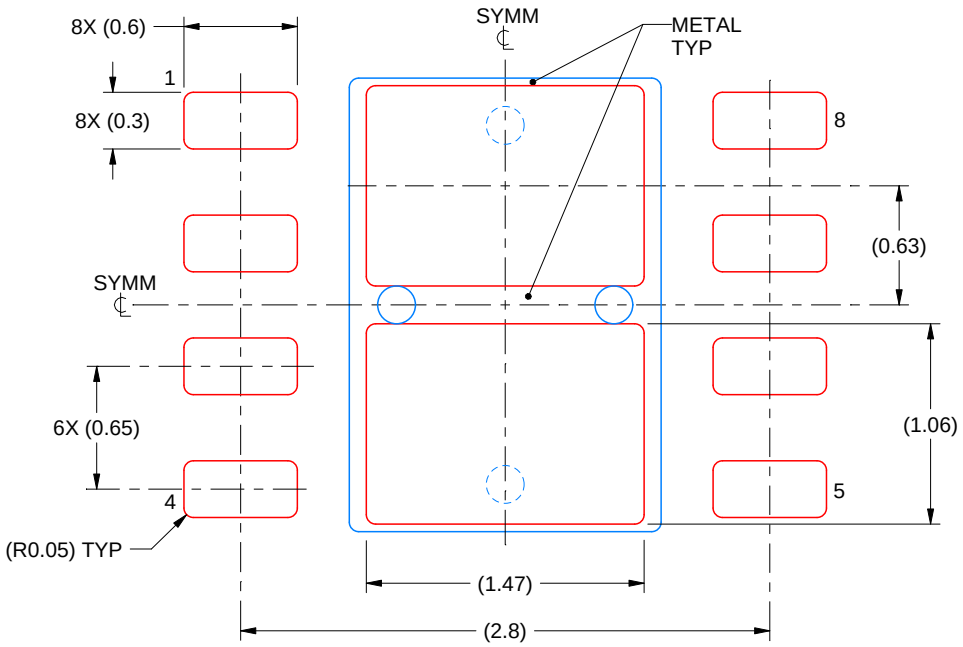


SOLDER MASK DETAILS

4218876/A 12/2017

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

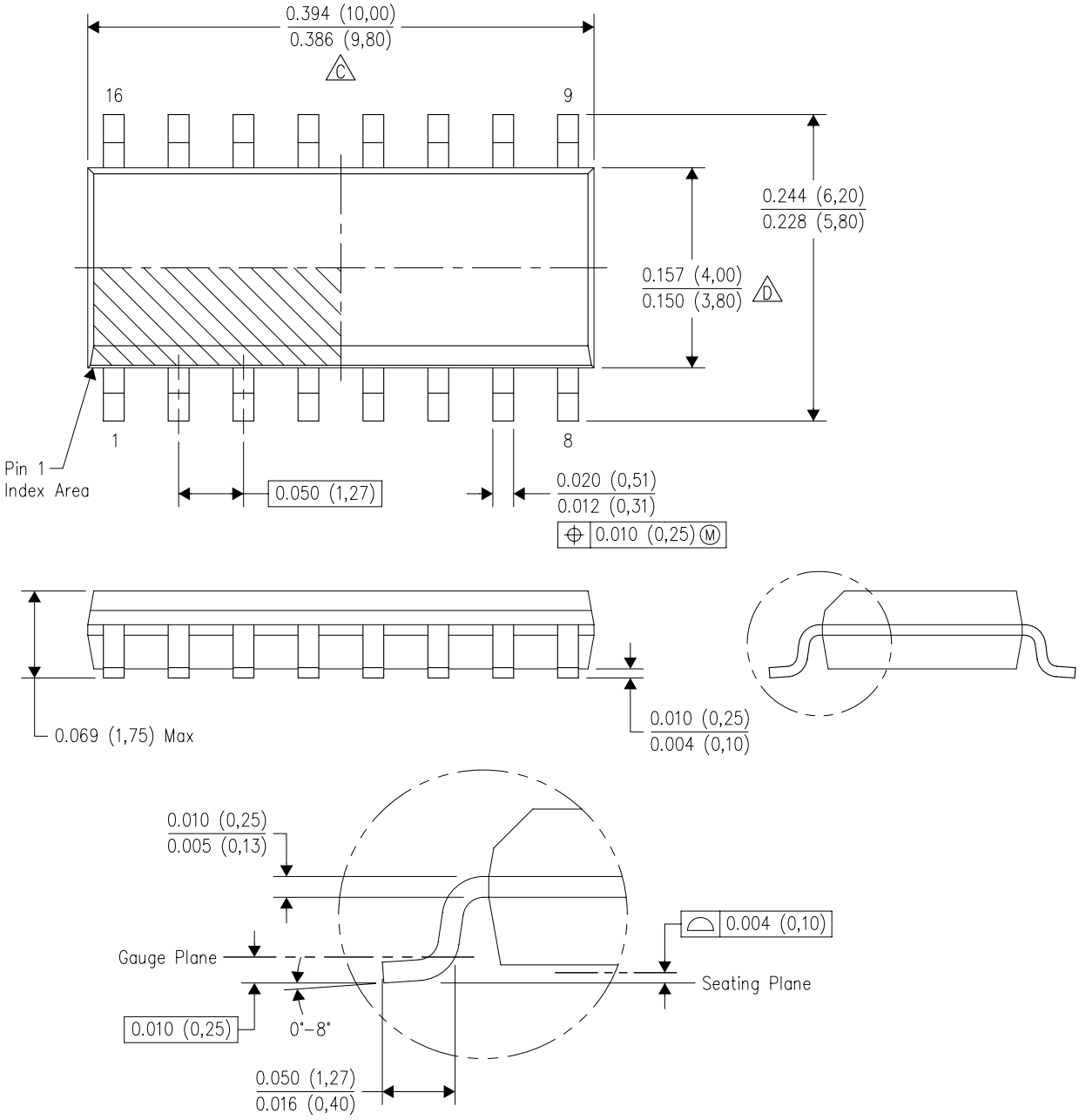
EXPOSED PAD
81% PRINTED SOLDER COVERAGE BY AREA
SCALE:25X

4218876/A 12/2017

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

D (R–PDSO–G16) PLASTIC SMALL OUTLINE



NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
E. Reference JEDEC MS–012 variation AC.

GENERIC PACKAGE VIEW

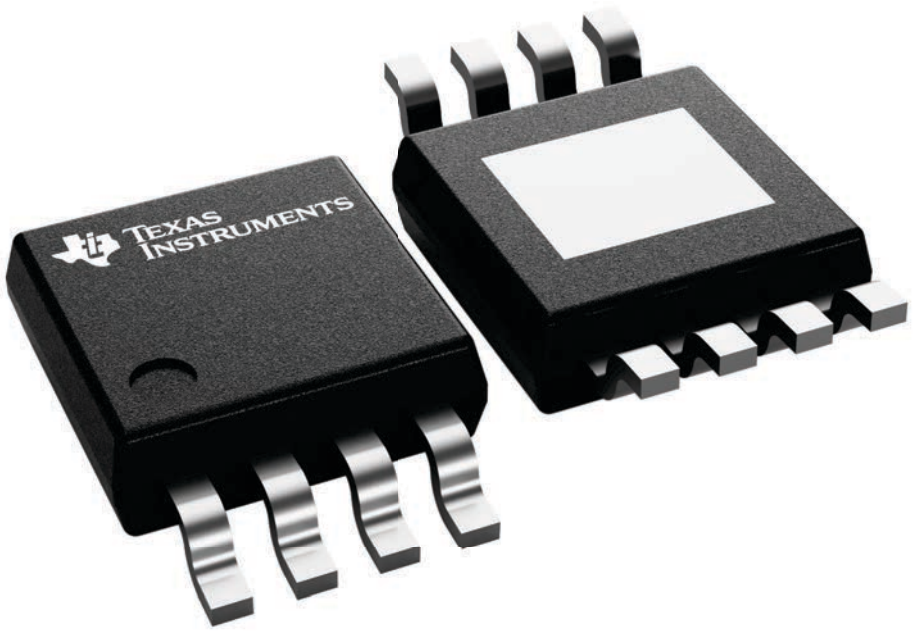
DGN 8

PowerPAD™ HVSSOP - 1.1 mm max height

3 x 3, 0.65 mm pitch

SMALL OUTLINE PACKAGE

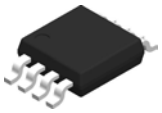
This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4225482/B

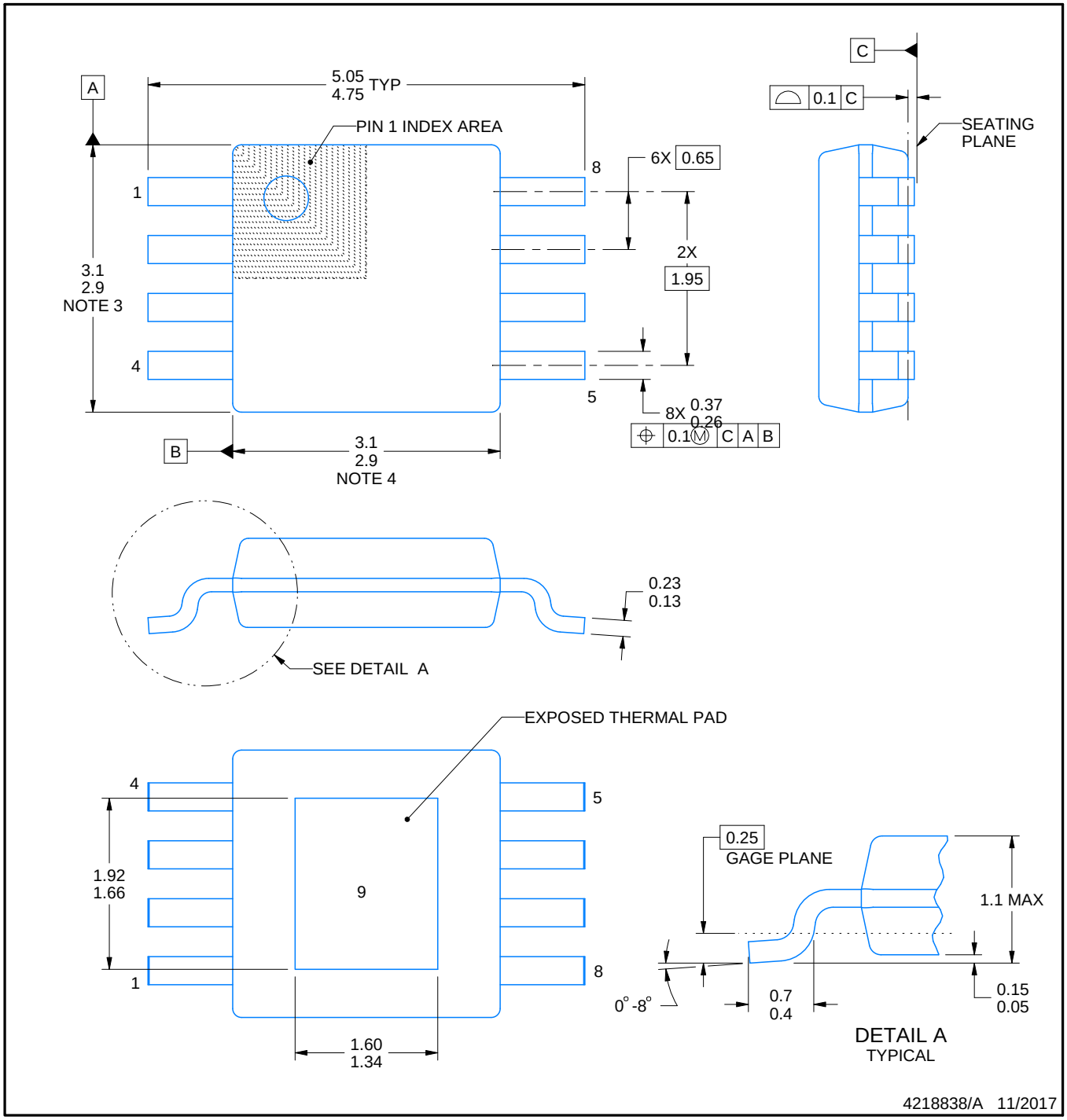
PACKAGE OUTLINE

DGN0008C



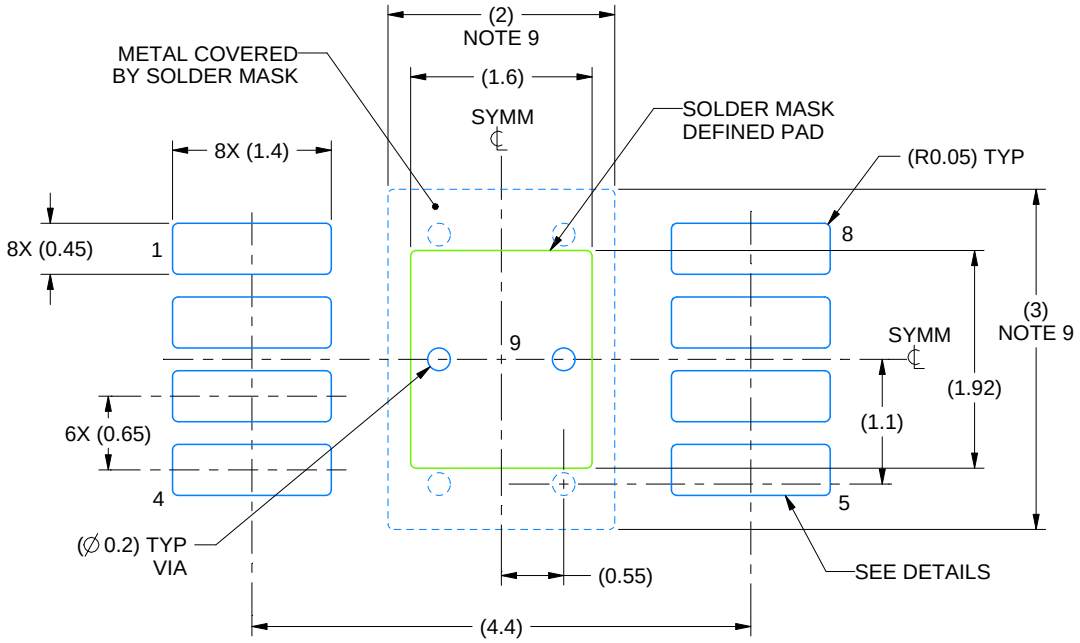
HVSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE

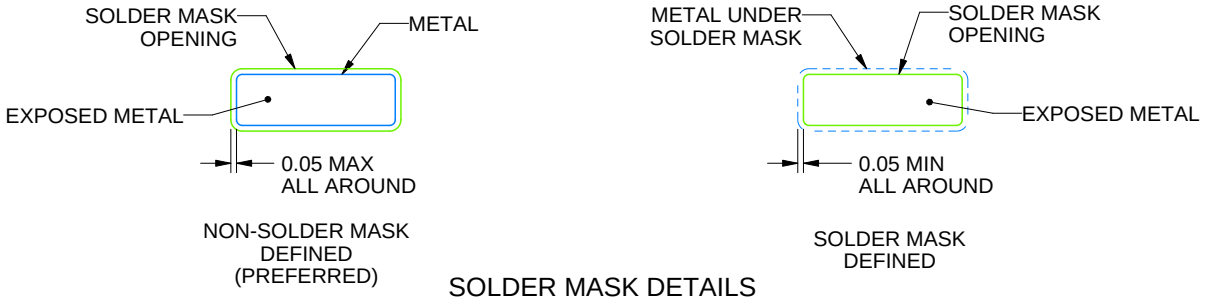


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

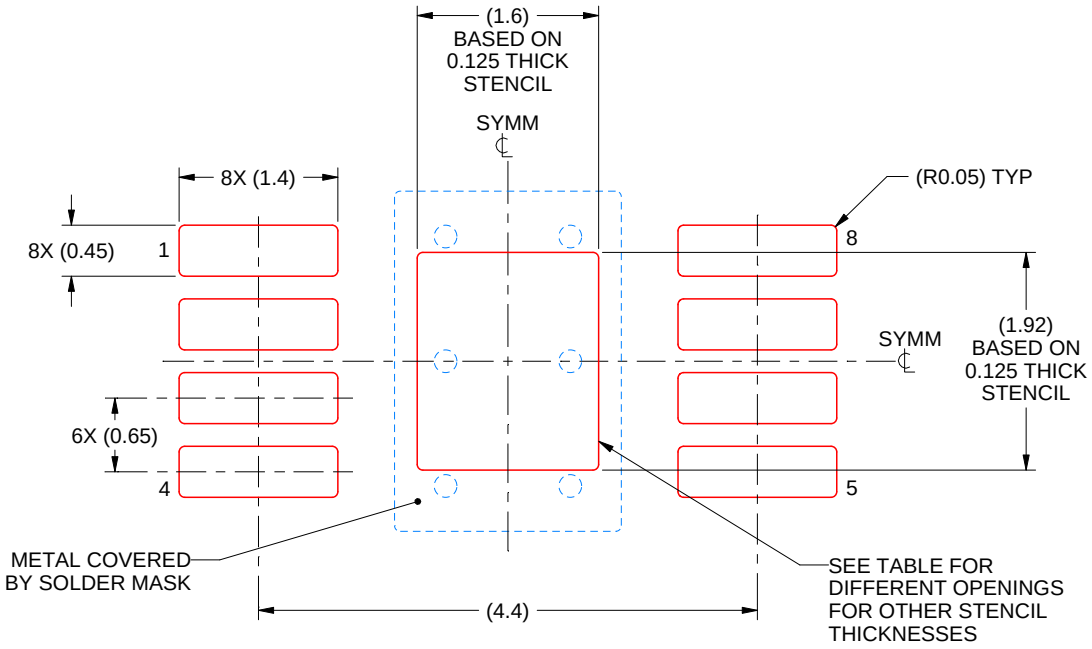


SOLDER MASK DETAILS

4218838/A 11/2017

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
EXPOSED PAD 9:
100% PRINTED SOLDER COVERAGE BY AREA
SCALE: 15X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	1.79 X 2.15
0.125	1.60 X 1.92 (SHOWN)
0.15	1.46 X 1.75
0.175	1.35 X 1.62

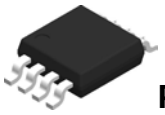
4218838/A 11/2017

NOTES: (continued)

10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
11. Board assembly site may have different recommendations for stencil design.

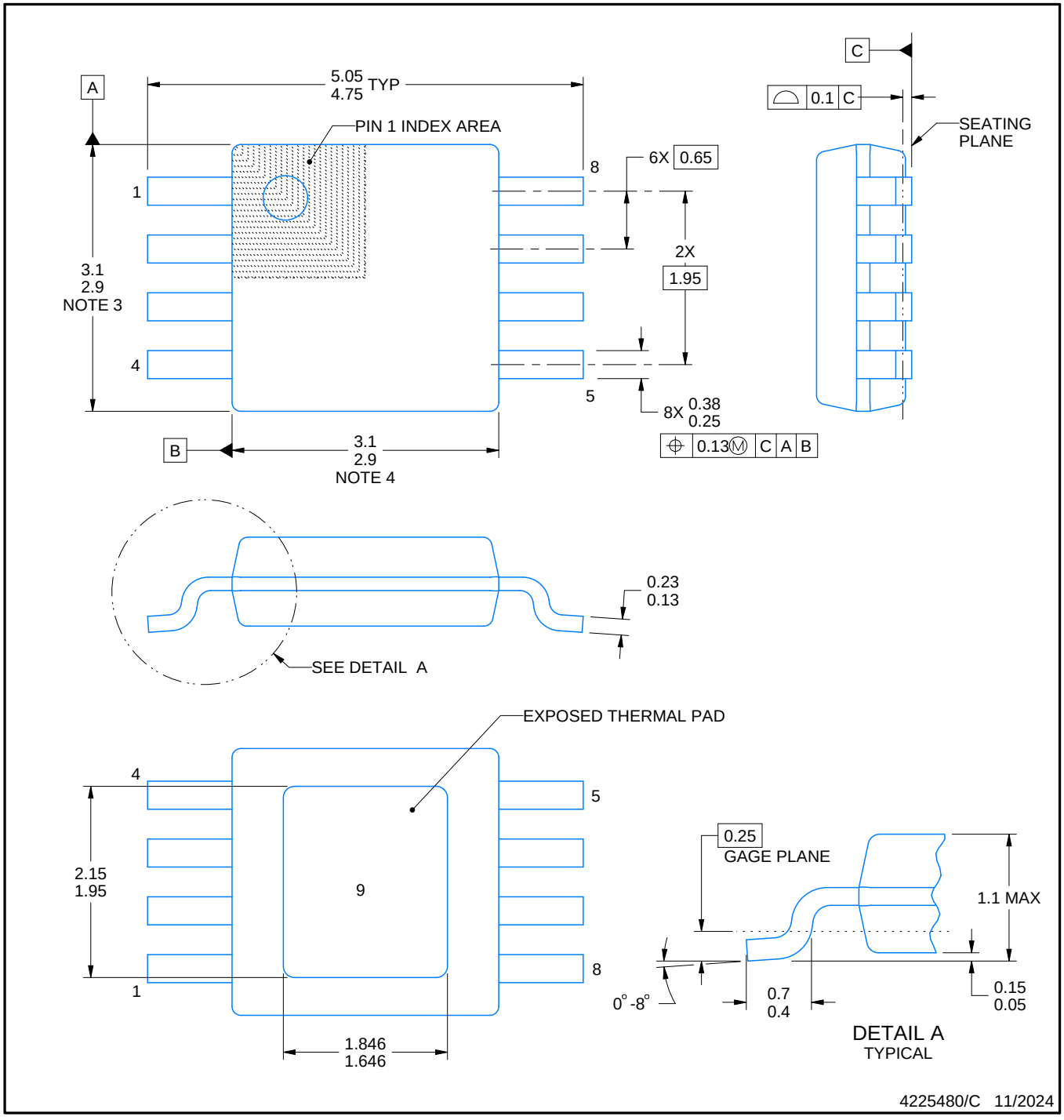
PACKAGE OUTLINE

DGN0008G



PowerPAD™ HVSSOP - 1.1 mm max height

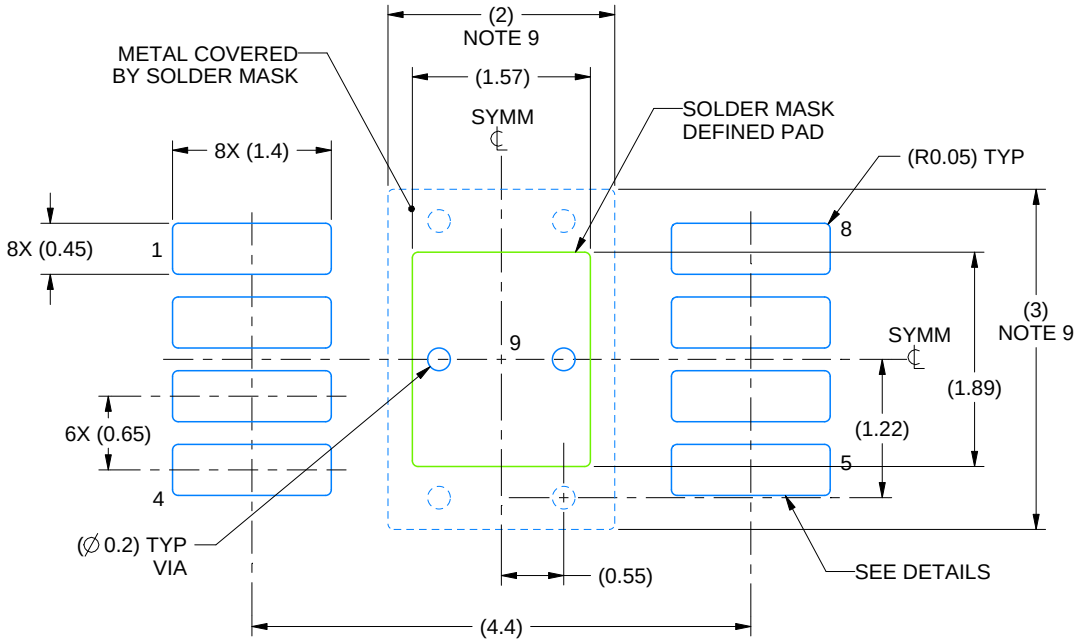
SMALL OUTLINE PACKAGE



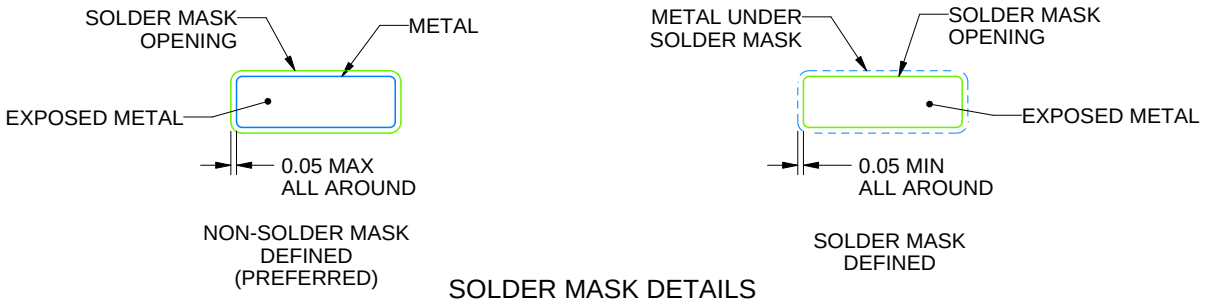
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

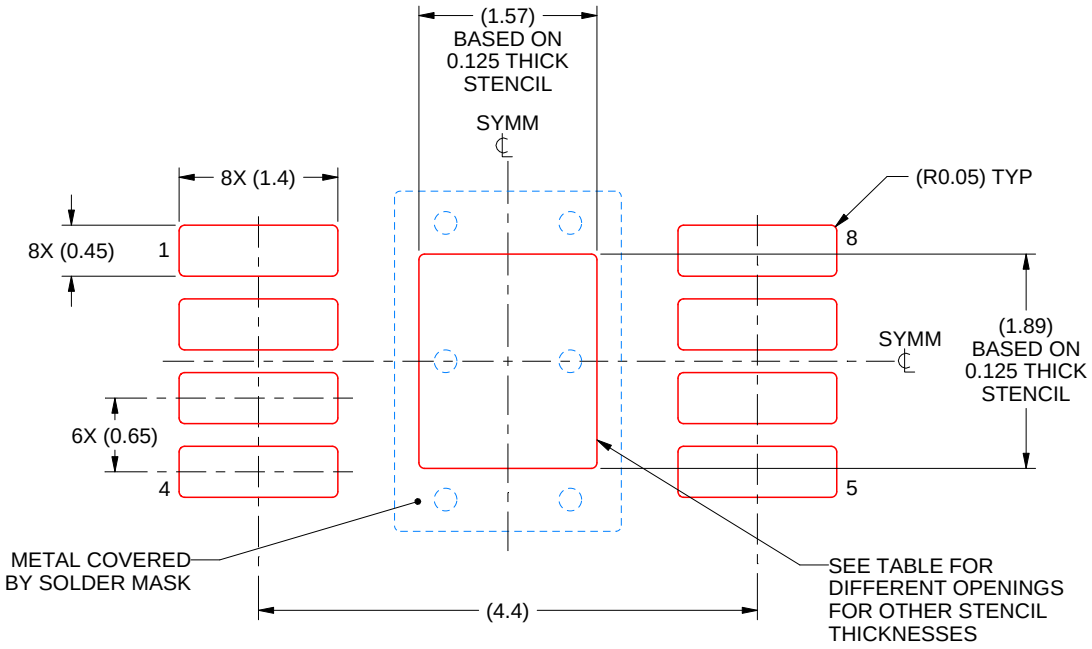


SOLDER MASK DETAILS

4225480/C 11/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
EXPOSED PAD 9:
100% PRINTED SOLDER COVERAGE BY AREA
SCALE: 15X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	1.76 X 2.11
0.125	1.57 X 1.89 (SHOWN)
0.15	1.43 X 1.73
0.175	1.33 X 1.60

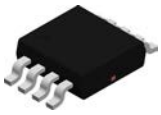
4225480/C 11/2024

NOTES: (continued)

10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
11. Board assembly site may have different recommendations for stencil design.

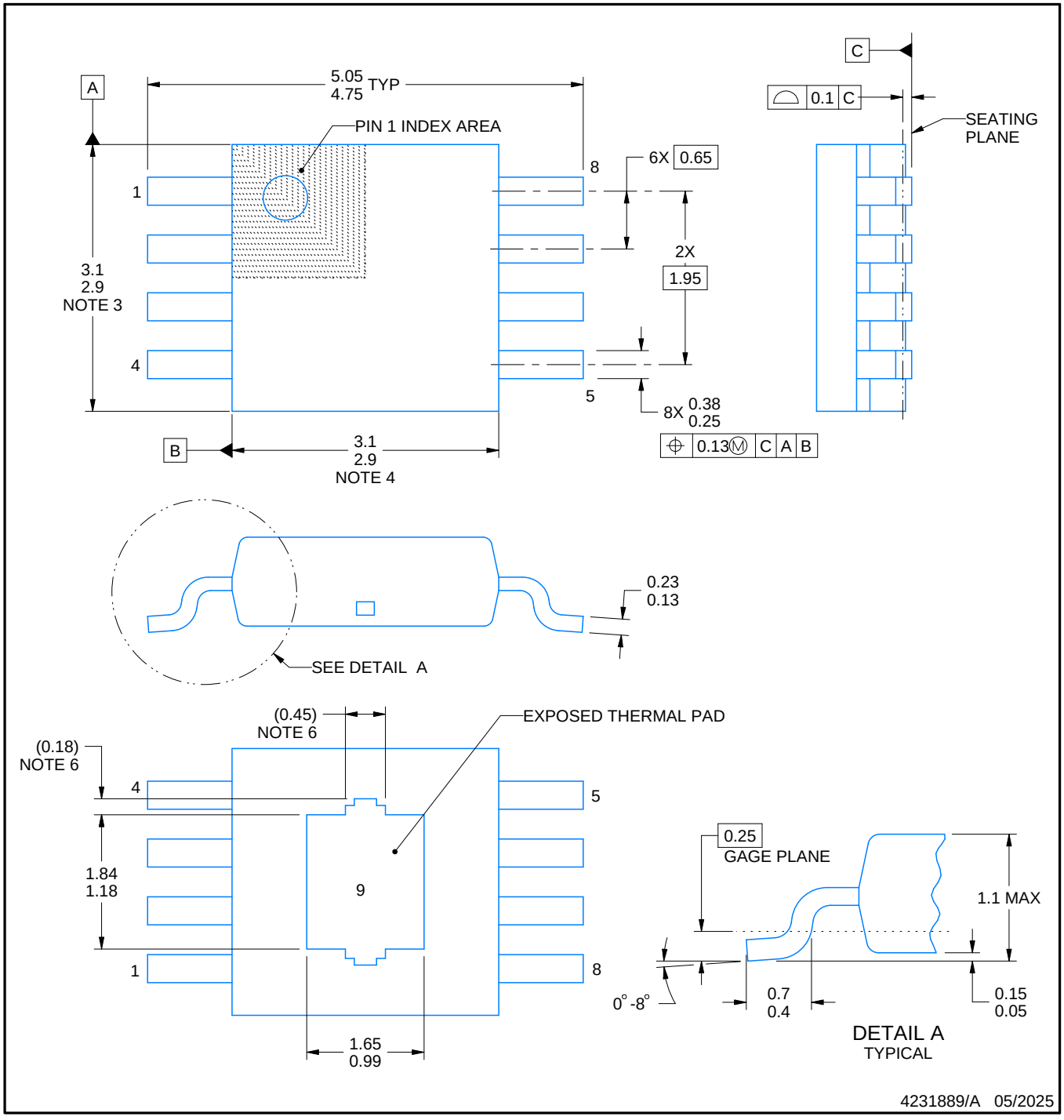
PACKAGE OUTLINE

DGN0008K



PowerPAD™ VSSOP - 1.1 mm max height

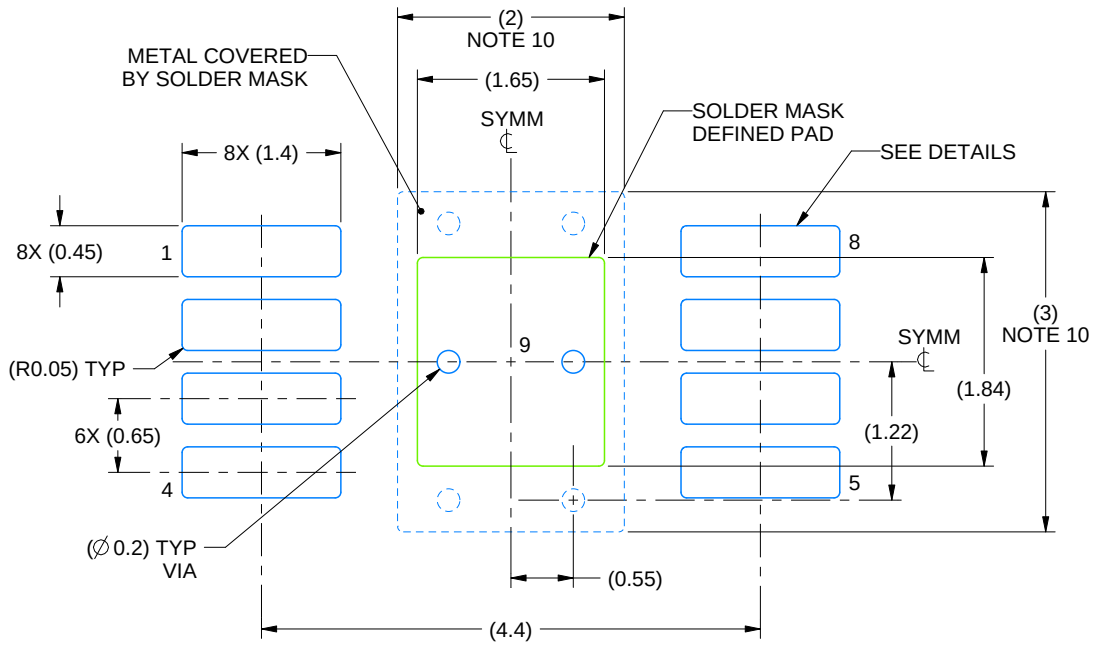
SMALL OUTLINE PACKAGE



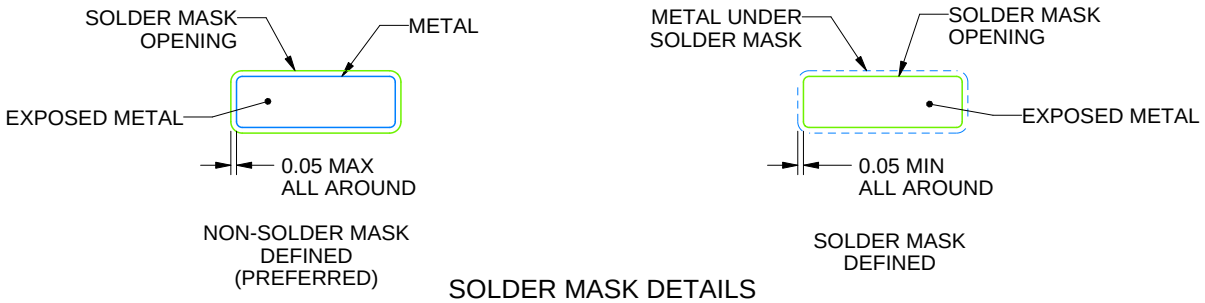
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.
6. Features may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

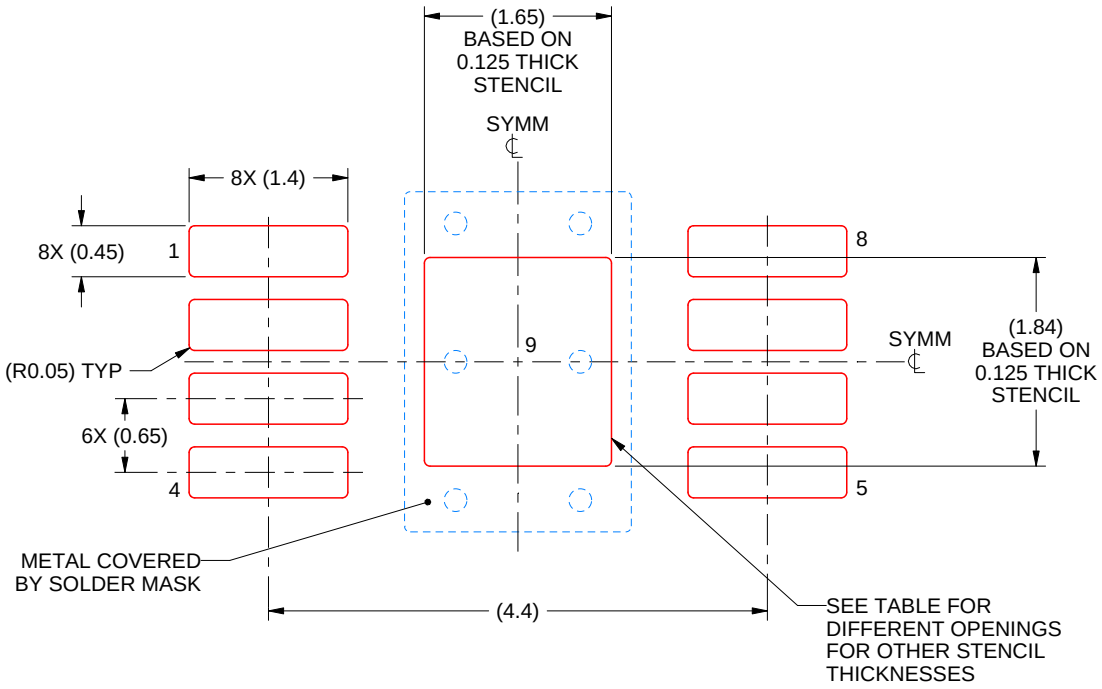


SOLDER MASK DETAILS

4231889/A 05/2025

NOTES: (continued)

7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
9. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
10. Size of metal pad may vary due to creepage requirement.



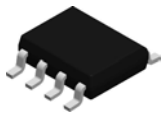
SOLDER PASTE EXAMPLE
EXPOSED PAD 9:
100% PRINTED SOLDER COVERAGE BY AREA
SCALE: 15X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	1.84 X 2.06
0.125	1.65 X 1.84 (SHOWN)
0.15	1.51 X 1.68
0.175	1.39 X 1.56

4231889/A 05/2025

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

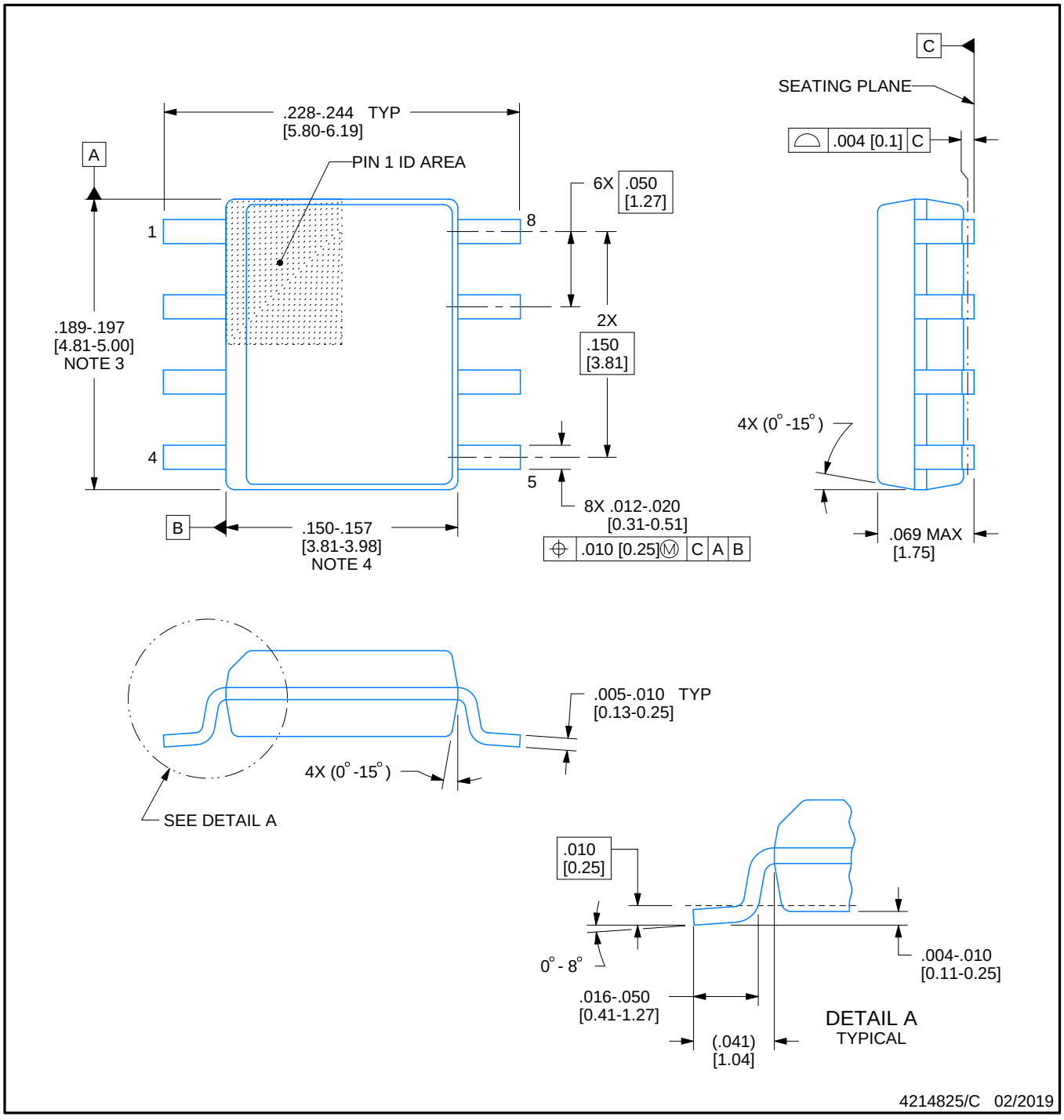


PACKAGE OUTLINE

D0008A

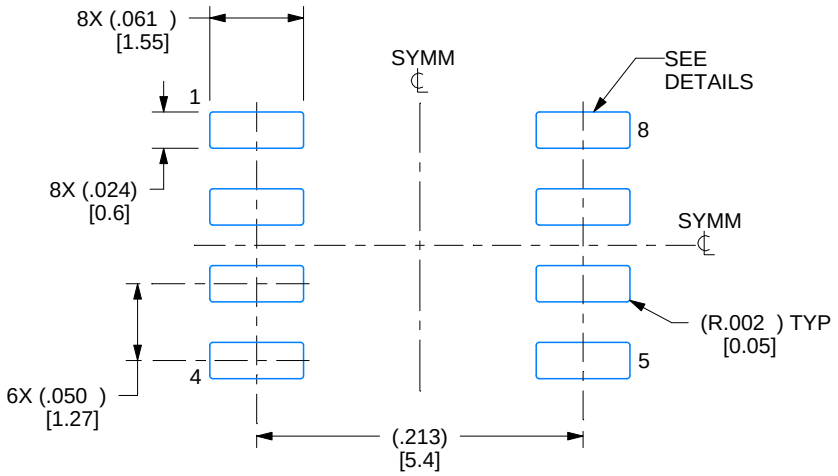
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

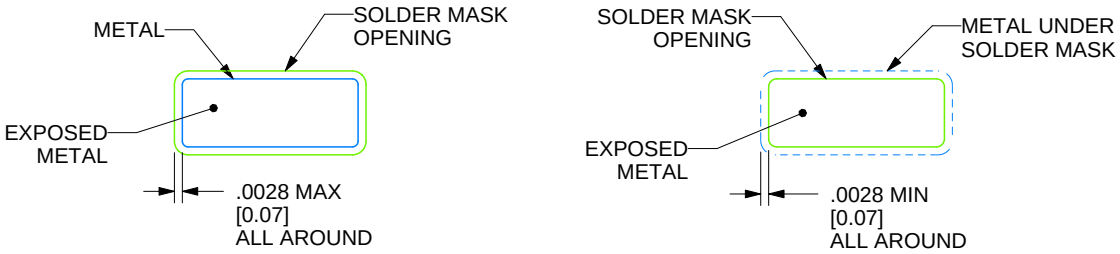


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

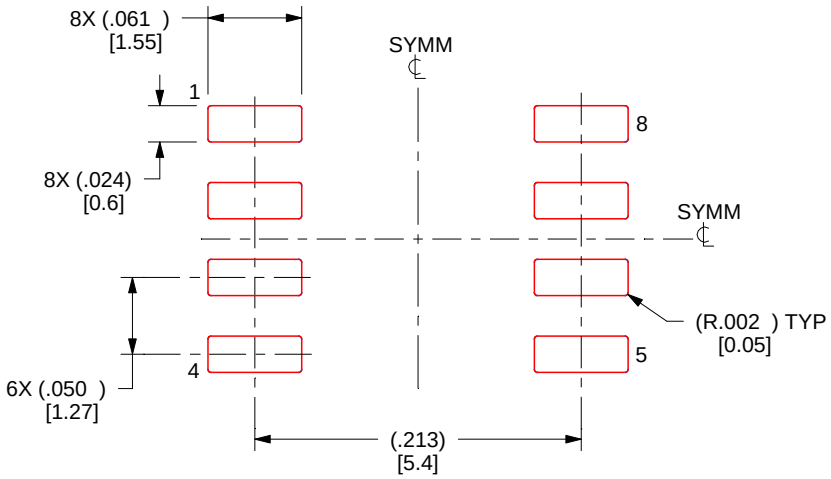
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月