LMKDB11xx PCIe 第 1 代至第 7 代超低抖动 LP-HCSL 时钟缓冲器系列

1 特性

- LP-HCSL 时钟缓冲器和时钟多路复用器支持：
  - PCIe 第 1 代到第 7 代
  - CC（通用时钟）和 IR（独立基准）PCIe 架构
  - 带或不带 SSC 的输入时钟
- 符合 Intel DB2000QL 和 DB1206 标准：
  - 所有器件均符合 DB2000QL 规格
  - LMKDB1120 与 DB2000QL 引脚兼容
  - LMKDB1112 与 DB1206 引脚兼容
- 极低的附加抖动：
  - 在 156.25MHz 下具有 31fs 的最大 12kHz 至 20MHz RMS 附加抖动
  - PCIe 第 4 代的最大附加抖动为 13fs
  - PCIe 第 5 代的最大附加抖动为 5fs
  - PCIe 第 6 代的最大附加抖动为 3fs
  - PCIe 第 7 代的最大附加抖动为 2.1fs
- 失效防护输入
- 失效防护输出（仅限 LMKDB1120FS、LMKDB1108FS 和 LMKDB1104FS）
- 灵活的上电序列
- 自动输出禁用
- 独立输出使能
- 用于启用或禁用高速输出的 SBI（边带接口）
- LOS（信号丢失）输入检测
- 85Ω 或 100Ω 输出阻抗
- 1.8V/3.3V ± 10% 电源
- –40°C 至 105°C 环境温度

2 应用

- 高性能计算
- 服务器主板
- NIC/SmartNIC
- 硬件加速器

3 说明

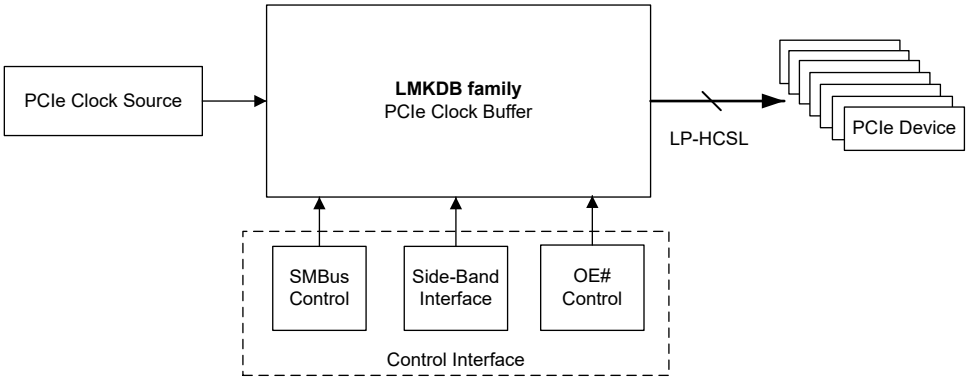
LMKDB 器件是一系列超低抖动 LP-HCSL 缓冲器，支持 PCIe 第 1 代到第 7 代并符合 DB2000QL 规格。该器件提供灵活的上电序列、失效防护输入、失效防护输出、单独的输出有效和无效引脚、输入信号丢失 (LOS) 检测和自动输出禁用功能，以及出色的电源噪声抑制性能。

支持 1.8V 和 3.3V 电源电压。对于 LMKDB1120，使用 1.8V 电源可比 3.3V 电源节省 250mW 功耗。

封装信息

器件型号	封装(1)	封装尺寸(2)
LMKDB1120 / LMKDB1120FS	NPP（TLGA，80）	6mm × 6mm
LMKDB1112	ZSF (LGA, 64)	5mm × 5mm
LMKDB1108 / LMKDB1108FS	RKP（VQFN，40）	5mm × 5mm
LMKDB1104 / LMKDB1104FS	REX（VQFN，28）	4mm × 4mm
LMKDB1102	REY（VQFN，20）	3mm × 3mm

(1) 有关所有可用封装，请参阅节 13。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



典型应用

内容

1 特性 1
2 应用 1
3 说明 1
4 器件比较 3
5 引脚配置和功能 4
6 规格 19
6.1 绝对最大额定值 19
6.2 ESD 等级 19
6.3 建议运行条件 19
6.4 热性能信息 19
6.5 电气特性 20
6.6 SMBus 时序要求 30
6.7 SBI 时序要求 30
6.8 时序图 31
6.9 典型特性 32
7 参数测量信息 32
8 详细说明 34
8.1 概述 34
8.2 功能方框图 34
8.3 特性说明 35
8.4 器件功能模式 40
9 寄存器映射 44
9.1 LMKDB1120 和 LMKDB1120FS 寄存器 44
9.2 LMKDB1112 寄存器 56
9.3 LMKDB1108 和 LMKDB1108FS 寄存器 67
9.4 LMKDB1104 和 LMKDB1104FS 寄存器 77
10 应用和实施 86
10.1 应用信息 86
10.2 典型应用 86
10.3 电源相关建议 87
10.4 布局 89
11 器件和文档支持 91
11.1 文档支持 91
11.2 接收文档更新通知 91
11.3 支持资源 91
11.4 商标 91
11.5 静电放电警告 91
11.6 术语表 91
12 修订历史记录 91
13 机械、封装和可订购信息 93
13.1 机械数据 94

Copyright © 2025 Texas Instruments Incorporated

4 器件比较

表 4-1. 器件比较

器件型号	类型	输入	输出	输出阻抗	特性
LMKDB1120Z85	缓存器	1	20	85Ω	所有输入失效防护
LMKDB1120FS85	缓存器	1	20	85Ω	所有输入和输出都具有失效防护功能
LMKDB1120Z100	缓存器	1	20	100Ω	所有输入失效防护
LMKDB1116Z85 (1)	缓存器	1	16	85Ω	所有输入失效防护
LMKDB1116Z100 (1)	缓存器	1	16	100Ω	所有输入失效防护
LMKDB1113Z85 (1)	缓存器	1	13	85Ω	所有输入失效防护
LMKDB1113Z100 (1)	缓存器	1	13	100Ω	所有输入失效防护
LMKDB1112Z85	缓存器	1	12	85Ω	所有输入失效防护
LMKDB1112Z100	缓存器	1	12	100Ω	所有输入失效防护
LMKDB1108Z85	缓存器	1	8	85Ω	所有输入失效防护
LMKDB1108FS85	缓存器	1	8	85Ω	所有输入和输出都具有失效防护功能
LMKDB1108Z100	缓存器	1	8	100Ω	所有输入失效防护
LMKDB1104Z85	缓存器	1	4	85Ω	所有输入失效防护
LMKDB1104FS85	缓存器	1	4	85Ω	所有输入和输出都具有失效防护功能
LMKDB1104Z100	缓存器	1	4	100Ω	所有输入失效防护
LMKDB1102	缓存器	1	2	85Ω 或 100Ω 可选	所有输入失效防护
LMKDB1216 (1)	多路复用器	2	16	85Ω 或 100Ω 可选	所有输入失效防护
LMKDB1208 (1)	多路复用器	2	8	85Ω 或 100Ω 可选	所有输入失效防护
LMKDB1204	多路复用器	2	4	85Ω 或 100Ω 可选	所有输入失效防护
LMKDB1202	多路复用器	2	2	85Ω 或 100Ω 可选	所有输入失效防护

(1) 仅为预发布版。如需更多详细信息，请联系 TI。

Copyright © 2025 Texas Instruments Incorporated

5 引脚配置和功能

图 5-1. LMKDB1120 和 LMKDB1120FS 6mm × 6mm NPP 封装 80 引脚 TLGA 顶视图

图例		
时钟输入	时钟输出	POWER
GND	逻辑控制/状态	无连接

表 5-1. LMKDB1120 和 LMKDB1120FS 引脚功能

引脚		类型(1)	说明
名称(2) (3)	编号		
时钟输入			

Copyright © 2025 Texas Instruments Incorporated

表 5-1. LMKDB1120 和 LMKDB1120FS 引脚功能（续）

引脚		类型[1]	说明
名称[2] [3]	编号		
CLKIN_P	G1	I	差分时钟输入。
CLKIN_N	H1	I	
时钟输出			
CLK0_P	J1	O	LP-HCSL 差分时钟输出 0。如果未使用，则不连接。
CLK0_N	K1	O	
CLK1_P	L1	O	LP-HCSL 差分时钟输出 1。如果未使用，则不连接。
CLK1_N	M1	O	
CLK2_P	M2	O	LP-HCSL 差分时钟输出 2。如果未使用，则不连接。
CLK2_N	M3	O	
CLK3_P	M4	O	LP-HCSL 差分时钟输出 3。如果未使用，则不连接。
CLK3_N	M5	O	
CLK4_P	M7	O	LP-HCSL 差分时钟输出 4。如果未使用，则不连接。
CLK4_N	M8	O	
CLK5_P	M9	O	LP-HCSL 差分时钟输出 5。如果未使用，则不连接。
CLK5_N	M10	O	
CLK6_P	M11	O	LP-HCSL 差分时钟输出 6。如果未使用，则不连接。
CLK6_N	M12	O	
CLK7_P	L12	O	LP-HCSL 差分时钟输出 7。如果未使用，则不连接。
CLK7_N	K12	O	
CLK8_P	J12	O	LP-HCSL 差分时钟输出 8。如果未使用，则不连接。
CLK8_N	H12	O	
CLK9_P	G12	O	LP-HCSL 差分时钟输出 9。如果未使用，则不连接。
CLK9_N	F12	O	
CLK10_P	D12	O	LP-HCSL 差分时钟输出 10。如果未使用，则不连接。
CLK10_N	C12	O	
CLK11_P	B12	O	LP-HCSL 差分时钟输出 11。如果未使用，则不连接。
CLK11_N	A12	O	
CLK12_P	A11	O	LP-HCSL 差分时钟输出 12。如果未使用，则不连接。
CLK12_N	A10	O	
CLK13_P	A9	O	LP-HCSL 差分时钟输出 13。如果未使用，则不连接。
CLK13_N	A8	O	
CLK14_P	A7	O	LP-HCSL 差分时钟输出 14。如果未使用，则不连接。
CLK14_N	A6	O	
CLK15_P	A5	O	LP-HCSL 差分时钟输出 15。如果未使用，则不连接。
CLK15_N	A4	O	
CLK16_P	A3	O	LP-HCSL 差分时钟输出 16。如果未使用，则不连接。
CLK16_N	A2	O	
CLK17_P	A1	O	LP-HCSL 差分时钟输出 17。如果未使用，则不连接。
CLK17_N	B1	O	
CLK18_P	C1	O	LP-HCSL 差分时钟输出 18。如果未使用，则不连接。
CLK18_N	D1	O	
CLK19_P	E1	O	LP-HCSL 差分时钟输出 19。如果未使用，则不连接。
CLK19_N	F1	O	
POWER			

Copyright © 2025 Texas Instruments Incorporated

表 5-1. LMKDB1120 和 LMKDB1120FS 引脚功能（续）

引脚		类型[1]	说明
名称[2] [3]	编号		
VDDA	H2	P	模拟电源。建议进行额外的电源滤波。有关详细信息，请参阅 节 10.3。
VDDCLK	B2、B6、B11、L2、L11	P	输出电源
散热焊盘 (GND)	Pad	G	器件接地，散热焊盘。
逻辑控制/状态			
vOE0#/NC	J2	I	控制 CLK0 的低电平有效输入。内部下拉电阻。该引脚可以不连接，以便与 DB2000QL 引脚排列匹配。 0 = 输出有效，1 = 输出无效
vOE1#/NC	K2	I	控制 CLK1 的低电平有效输入。内部下拉电阻。该引脚可以不连接，以便与 DB2000QL 引脚排列匹配。 0 = 输出有效，1 = 输出无效
vOE2#/NC	L3	I	控制 CLK2 的低电平有效输入。内部下拉电阻。该引脚可以不连接，以便与 DB2000QL 引脚排列匹配。 0 = 输出有效，1 = 输出无效
vOE3#/NC	L6	I	控制 CLK3 的低电平有效输入。内部下拉电阻。该引脚可以不连接，以便与 DB2000QL 引脚排列匹配。 0 = 输出有效，1 = 输出无效
vOE4#/NC	L9	I	控制 CLK4 的低电平有效输入。内部下拉电阻。该引脚可以不连接，以便与 DB2000QL 引脚排列匹配。 0 = 输出有效，1 = 输出无效
vOE5#/SBI_IN	L8	I	控制 CLK5 或 SBI 数据输入引脚的低电平有效输入。SBI_EN 引脚控制该引脚的功能。内部下拉电阻。 OE 模式：0 = 有效输出，1 = 无效输出。 边带模式：SBI 数据输入。
vOE6#/SBI_CLK	L10	I	控制 CLK6 或 SBI 时钟输入引脚的低电平有效输入。SBI_EN 引脚控制该引脚的功能。内部下拉电阻。 OE 模式：0 = 有效输出，1 = 无效输出。 边带模式：SBI 时钟输入。
vOE7#	K11	I	控制 CLK7 的低电平有效输入。内部下拉电阻。 0 = 输出有效，1 = 输出无效
vOE8#	H11	I	控制 CLK8 的低电平有效输入。内部下拉电阻。 0 = 输出有效，1 = 输出无效
vOE9#	E12	I	控制 CLK9 的低电平有效输入。内部下拉电阻。 0 = 输出有效，1 = 输出无效
vOE10#/SHFT_LD#	E11	I	控制 CLK10 或 SBI 低电平有效移位寄存器负载引脚的低电平有效输入。SBI_EN 引脚控制该引脚的功能。内部下拉电阻。 OE 模式：0 = 有效输出，1 = 无效输出。 边带模式：SBI 移位寄存器负载输入。
vOE11#	C11	I	控制 CLK11 的低电平有效输入。内部下拉电阻。 0 = 输出有效，1 = 输出无效
vOE12#	B10	I	控制 CLK12 的低电平有效输入。内部下拉电阻。 0 = 输出有效，1 = 输出无效
vOE13#/NC	B9	I	控制 CLK13 的低电平有效输入。内部下拉电阻。该引脚可以不连接，以便与 DB2000QL 引脚排列匹配。 0 = 输出有效，1 = 输出无效

Copyright © 2025 Texas Instruments Incorporated

表 5-1. LMKDB1120 和 LMKDB1120FS 引脚功能（续）

引脚		类型(1)	说明
名称(2) (3)	编号		
OE14#/NC	B7	I	控制 CLK14 的低电平有效输入。内部下拉电阻。该引脚可以不连接，以便与 DB2000QL 引脚排列匹配。 0 = 输出有效，1 = 输出无效
vOE15#/NC	B5	I	控制 CLK15 的低电平有效输入。内部下拉电阻。该引脚可以不连接，以便与 DB2000QL 引脚排列匹配。 0 = 输出有效，1 = 输出无效
vOE16#/NC	B3	I	控制 CLK16 的低电平有效输入。内部下拉电阻。该引脚可以不连接，以便与 DB2000QL 引脚排列匹配。 0 = 输出有效，1 = 输出无效
vOE17#/NC	D2	I	控制 CLK17 的低电平有效输入。内部下拉电阻。该引脚可以不连接，以便与 DB2000QL 引脚排列匹配。 0 = 输出有效，1 = 输出无效
vOE18#/NC	D11	I	控制 CLK18 的低电平有效输入。内部下拉电阻。该引脚可以不连接，以便与 DB2000QL 引脚排列匹配。 0 = 输出有效，1 = 输出无效
vOE19#/NC	J11	I	控制 CLK19 的低电平有效输入。内部下拉电阻。该引脚可以不连接，以便与 DB2000QL 引脚排列匹配。 0 = 输出有效，1 = 输出无效
SBI_OUT/NC	C2	O	SBI 数据输出引脚/无连接。该引脚可以不连接，以便与 DB2000QL 引脚排列匹配。
vPWRGD/PWRDN#	M6	I	电源正常/断电低电平有效。多功能输入引脚。内部上拉电阻。 在第一次从低电平转换到高电平时，用作电源正常引脚以启动器件 在随后的低电平/高电平转换中，用作断电低电平有效引脚，控制器件进入或退出断电模式。 低电平 = 断电模式 高电平 = 正常运行模式
vSBI_EN	E2	I	SBI 使能。内部下拉电阻。上电后请勿更改该引脚的状态。 上电时为低电平 = 禁用 SBI 接口。引脚 L8、L10 和 E11 用作 OE 引脚。上电时为高电平 = 启用 SBI 接口。 引脚 L8、L10 和 E11 用作 SBI 接口引脚。SMBus 和其他 OE 引脚保持正常工作。
^vSADR1_tri	B8	I	SMBus 地址 3 电平输入引脚。内部上拉和下拉电阻。
^vSADR0_tri	B4	I	SMBus 地址 3 电平输入引脚。内部上拉和下拉电阻。
LOS#/NC	G11	O	输入时钟信号丢失低电平有效/无连接。开漏。需要外部上拉电阻。该引脚可以不连接，以便与 DB2000QL 引脚排列匹配。 低电平 = 输入时钟无效。 高电平 = 输入时钟有效。
SMB_DATA	L4	I/O	SMBus 数据。需要外部上拉电阻。如果未使用，则不连接。
SMB_CLK	L5	I	SMBus 时钟。需要外部上拉电阻。如果未使用，则不连接。
NC	F2、F11、G2、L7	NC	无连接。

(1) I = 输入，O = 输出，I/O = 输入或输出，G = 接地，P = 电源，NC = 无连接
(2) 前缀为“^”的引脚有一个内部上拉电阻器。前缀为“v”的引脚有一个内部下拉电阻器。带“^v”的引脚具有内部上拉电阻和内部下拉电阻，因此当引脚悬空时会选择中电平。具有“^/v”的引脚具有基于所选功能的内部上拉或下拉电阻。
(3) “#”符号表示低电平有效。

Copyright © 2025 Texas Instruments Incorporated

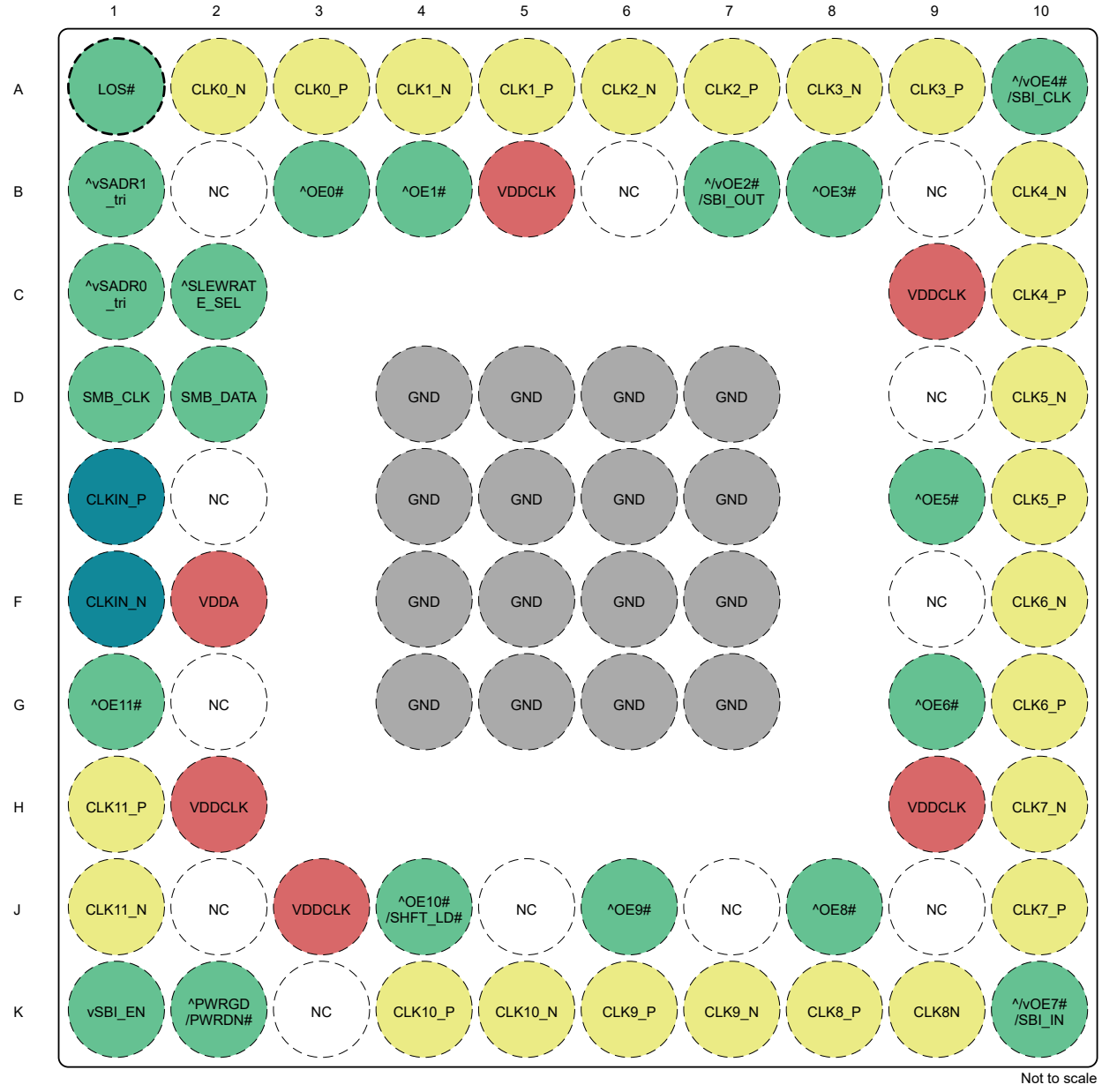


图 5-2. LMKDB1112 5mm × 5mm 封装 64 引脚 LGA（顶视图）

图例		
时钟输入	时钟输出	POWER
GND	逻辑控制/状态	无连接

表 5-2. LMKDB1112 引脚功能

引脚		类型(1)	说明
名称(2) (3)	编号		
时钟输入			
CLKIN_P	E1	I	差分时钟输入。
CLKIN_N	F1	I	
时钟输出			

Copyright © 2025 Texas Instruments Incorporated

表 5-2. LMKDB1112 引脚功能（续）

引脚		类型(1)	说明
名称(2) (3)	编号		
CLK0_N	A2	O	LP-HCSL 差分时钟输出 0。如果未使用，则不连接。
CLK0_P	A3	O	
CLK1_N	A4	O	LP-HCSL 差分时钟输出 1。如果未使用，则不连接。
CLK1_P	A5	O	
CLK2_N	A6	O	LP-HCSL 差分时钟输出 2。如果未使用，则不连接。
CLK2_P	A7	O	
CLK3_N	A8	O	LP-HCSL 差分时钟输出 3。如果未使用，则不连接。
CLK3_P	A9	O	
CLK4_P	C10	O	LP-HCSL 差分时钟输出 4。如果未使用，则不连接。
CLK4_N	B10	O	
CLK5_P	E10	O	LP-HCSL 差分时钟输出 5。如果未使用，则不连接。
CLK5_N	D10	O	
CLK6_P	G10	O	LP-HCSL 差分时钟输出 6。如果未使用，则不连接。
CLK6_N	F10	O	
CLK7_P	J10	O	LP-HCSL 差分时钟输出 7。如果未使用，则不连接。
CLK7_N	H10	O	
CLK8_P	K8	O	LP-HCSL 差分时钟输出 8。如果未使用，则不连接。
CLK8N	K9	O	
CLK9_P	K6	O	LP-HCSL 差分时钟输出 9。如果未使用，则不连接。
CLK9_N	K7	O	
CLK10_P	K4	O	LP-HCSL 差分时钟输出 10。如果未使用，则不连接。
CLK10_N	K5	O	
CLK11_P	H1	O	LP-HCSL 差分时钟输出 11。如果未使用，则不连接。
CLK11_N	J1	O	
POWER			
VDDA	F2	P	模拟电源。建议进行额外的电源滤波。有关详细信息，请参阅 节 10.3。
VDDCLK	B5、C9、H2、H9、J3	P	输出电源
GND	D4、D5、D6、D7、E4、E5、E6、E7、F4、F5、F6、F7,G4、G5、G6、G7	G	器件接地引脚。
逻辑控制/状态			
^OE0#	B3	I	控制 CLK0 的低电平有效输入。内部上拉电阻。 0 = 输出有效，1 = 输出无效
^OE1#	B4	I	控制 CLK1 的低电平有效输入。内部上拉电阻。 0 = 输出有效，1 = 输出无效
^/vOE2#/SBI_OUT	B7	I 或 O	控制 CLK2 或 SBI 数据输出引脚的低电平有效输入。内部上拉电阻。SBI_EN 引脚控制该引脚的功能。 OE 模式，启用内部上拉电阻：0 = 有效输出，1 = 无效输出。 SBI 模式：SBI 移位寄存器数据输出。
^OE3#	B8	I	控制 CLK3 的低电平有效输入。内部上拉电阻。 0 = 输出有效，1 = 输出无效

Copyright © 2025 Texas Instruments Incorporated

表 5-2. LMKDB1112 引脚功能（续）

引脚		类型(1)	说明
名称(2) (3)	编号		
^/vOE4#/SBI_CLK	A10	I	控制 CLK4 或 SBI 时钟输入引脚的低电平有效输入。SBI_EN 引脚控制该引脚的功能。 OE 模式，启用内部上拉电阻：0 = 有效输出，1 = 无效输出。 边带模式，启用内部下拉电阻：SBI 时钟输入。
^OE5#	E9	I	控制 CLK5 的低电平有效输入。内部上拉电阻。 0 = 输出有效，1 = 输出无效
^OE6#	G9	I	控制 CLK6 的低电平有效输入。内部上拉电阻。 0 = 输出有效，1 = 输出无效
^/vOE7#/SBI_IN	K10	I	控制 CLK7 或 SBI 数据输入引脚的低电平有效输入。SBI_EN 引脚控制该引脚的功能。 OE 模式，启用内部上拉电阻：0 = 有效输出，1 = 无效输出。 边带模式，启用内部下拉电阻：SBI 数据输入。
^OE8#	J8	I	控制 CLK8 的低电平有效输入。内部上拉电阻。 0 = 输出有效，1 = 输出无效
^OE9#	J6	I	控制 CLK9 的低电平有效输入。内部上拉电阻。 0 = 输出有效，1 = 输出无效
^OE10#/SHFT_LD#	J4	I	控制 CLK10 或 SBI 低电平有效移位寄存器负载引脚的低电平有效输入。SBI_EN 引脚控制该引脚的功能。OE 模式，启用内部上拉电阻：0 = 有效输出，1 = 无效输出。 边带模式，启用内部下拉电阻：SBI 锁存寄存器输入。
^OE11#	G1	I	控制 CLK11 的低电平有效输入。内部上拉电阻。 0 = 输出有效，1 = 输出无效
^PWRGD/PWRDN#	K2	I	电源正常/断电低电平有效。多功能输入引脚。内部上拉电阻。 在第一次从低电平转换到高电平时，用作电源正常引脚以启动器件 在随后的低电平/高电平转换中，用作断电低电平有效引脚，控制器件进入或退出断电模式。 低电平 = 断电模式 高电平 = 正常运行模式
vSBI_EN	K1	I	SBI 使能。内部下拉电阻。上电后请勿更改该引脚的状态。 上电时为低电平 = 禁用 SBI 接口。引脚 L8、L10 和 E11 用作 OE 引脚。上电时为高电平 = 启用 SBI 接口。 引脚 L8、L10 和 E11 用作 SBI 接口引脚。SMBus 和其他 OE 引脚保持正常工作。
^vSADR1_tri	B1	I	SMBus 地址 3 电平输入引脚。内部上拉和下拉电阻。
^vSADR0_tri	C1	I	SMBus 地址 3 电平输入引脚。内部上拉和下拉电阻。
^SLEWRATE_SEL	C2	I	LP-HCSL 差分时钟输出压摆率选择引脚。内部上拉电阻。 低电平 = 慢速压摆率。 高电平 = 快速压摆率。
LOS#	A1	O	输入时钟信号丢失低电平有效。开漏。需要外部上拉电阻。 低电平 = 输入时钟无效。 高电平 = 输入时钟有效。
SMB_DATA	D2	I/O	SMBus 数据。需要外部上拉电阻。如果未使用，则不连接。
SMB_CLK	D1	I	SMBus 时钟。需要外部上拉电阻。如果未使用，则不连接。
NC	B2、B6、B9、D9、E2、F9、G2、J2、J5、J7、J9、K3	NC	无连接。

(1) I = 输入，O = 输出，I/O = 输入或输出，G = 接地，P = 电源，NC = 无连接

Copyright © 2025 Texas Instruments Incorporated

(2) 前缀为“^”的引脚有一个内部上拉电阻器。前缀为“v”的引脚有一个内部下拉电阻器。带“^v”的引脚具有内部上拉电阻和内部下拉电阻，因此当引脚悬空时会选择中电平。具有“^/v”的引脚具有基于所选功能的内部上拉或下拉电阻。

(3) “#”符号表示低电平有效。

Copyright © 2025 Texas Instruments Incorporated

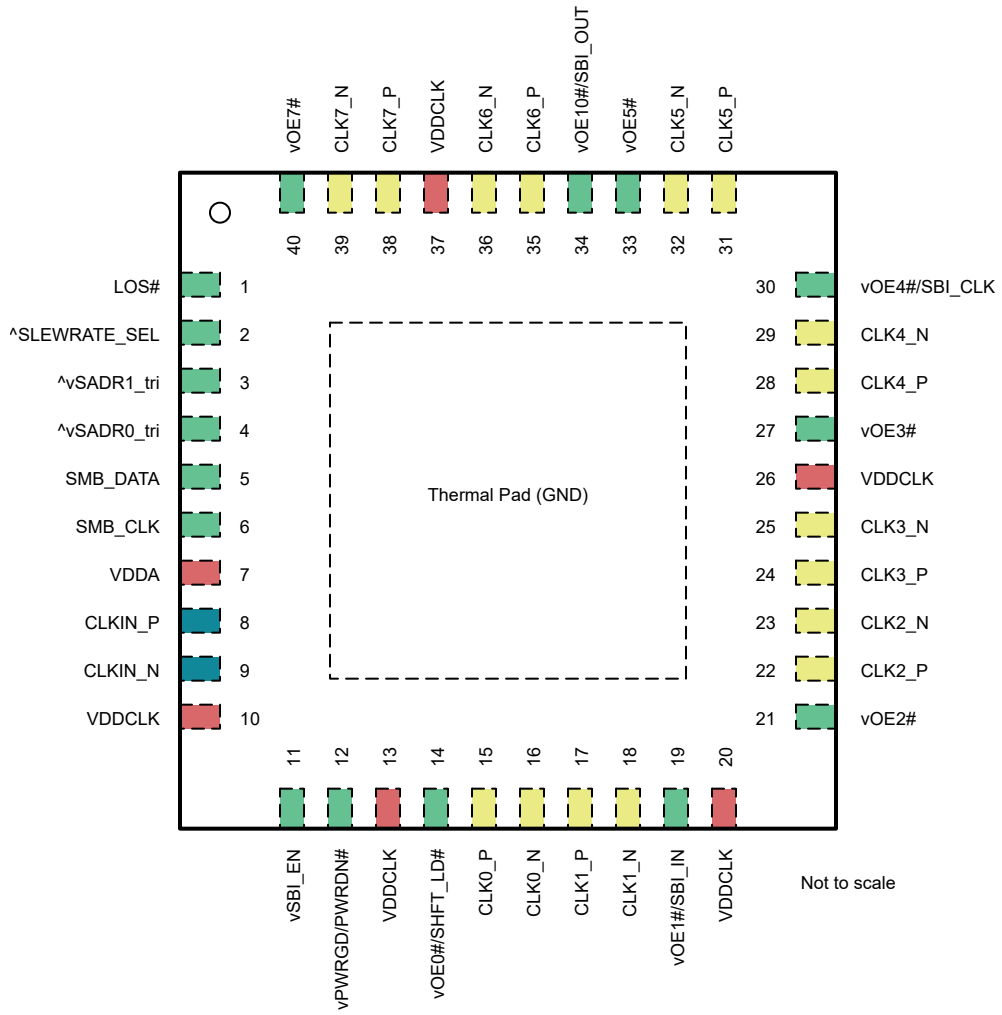


图 5-3. LMKDB1108 和 LMKDB1108FS 5mm x 5mm VQFN 封装 40 引脚 顶视图

图例		
时钟输入	时钟输出	POWER
GND	逻辑控制/状态	无连接

表 5-3. LMKDB1108 和 LMKDB1108FS 引脚功能

引脚		类型(1)	说明
名称(2) (3)	编号		
时钟输入			
CLKIN_P	8	I	差分时钟输入。
CLKIN_N	9	I	
时钟输出			
CLK0_P	15	O	LP-HCSL 差分时钟输出 0。如果未使用，则不连接。
CLK0_N	16	O	
CLK1_P	17	O	LP-HCSL 差分时钟输出 1。如果未使用，则不连接。
CLK1_N	18	O	
CLK2_P	22	O	LP-HCSL 差分时钟输出 2。如果未使用，则不连接。
CLK2_N	23	O	

Copyright © 2025 Texas Instruments Incorporated

表 5-3. LMKDB1108 和 LMKDB1108FS 引脚功能（续）

引脚		类型[1]	说明
名称[2] [3]	编号		
CLK3_P	24	O	LP-HCSL 差分时钟输出 3。如果未使用，则不连接。
CLK3_N	25	O	
CLK4_P	28	O	LP-HCSL 差分时钟输出 4。如果未使用，则不连接。
CLK4_N	29	O	
CLK5_P	31	O	LP-HCSL 差分时钟输出 5。如果未使用，则不连接。
CLK5_N	32	O	
CLK6_P	35	O	LP-HCSL 差分时钟输出 6。如果未使用，则不连接。
CLK6_N	36	O	
CLK7_P	38	O	LP-HCSL 差分时钟输出 7。如果未使用，则不连接。
CLK7_N	39	O	
POWER			
VDDA	7	P	模拟电源。建议进行额外的电源滤波。有关详细信息，请参阅 节 10.3。
VDDCLK	10、13、20、26、37、	P	输出电源
散热焊盘 (GND)	Pad	G	器件接地，散热焊盘。
逻辑控制/状态			
vOE0#/SHFT_LD#	14	I	控制 CLK0 或 SBI 低电平有效移位寄存器负载引脚的低电平有效输入。SBI_EN 引脚控制该引脚的功能。内部下拉电阻。OE 模式：0 = 有效输出，1 = 无效输出。 边带模式：SBI 锁存寄存器输入。
vOE1#/SBI_IN	19	I	控制 CLK1 或 SBI 数据输入引脚的低电平有效输入。SBI_EN 引脚控制该引脚的功能。内部下拉电阻。OE 模式：0 = 有效输出，1 = 无效输出。 边带模式：SBI 数据输入。
vOE2#	21	I	控制 CLK2 的低电平有效输入。内部下拉电阻。 0 = 输出有效，1 = 输出无效
vOE3#	27	I	控制 CLK3 的低电平有效输入。内部下拉电阻。 0 = 输出有效，1 = 输出无效
vOE4#/SBI_CLK	30	I	控制 CLK4 或 SBI 时钟输入引脚的低电平有效输入。SBI_EN 引脚控制该引脚的功能。内部下拉电阻。OE 模式：0 = 有效输出，1 = 无效输出。 边带模式：SBI 时钟输入。
vOE5#	33	I	控制 CLK5 的低电平有效输入。内部下拉电阻。 0 = 输出有效，1 = 输出无效
vOE10#/SBI_OUT	34	I 或 O	控制 CLK6 或 SBI 数据输出引脚的低电平有效输入。内部下拉电阻。SBI_EN 引脚控制该引脚的功能。 OE 模式：0 = 有效输出，1 = 无效输出。 SBI 模式：SBI 移位寄存器数据输出。
vOE7#	40	I	控制 CLK7 的低电平有效输入。内部下拉电阻。 0 = 输出有效，1 = 输出无效
vPWRGD/PWRDN#	12	I	电源正常/断电低电平有效。多功能输入引脚。内部下拉电阻。 在第一次从低电平转换到高电平时，用作电源正常引脚以启动器件 在随后的低电平/高电平转换中，用作断电低电平有效引脚，控制器件进入或退出断电模式。 低电平 = 断电模式 高电平 = 正常运行模式

Copyright © 2025 Texas Instruments Incorporated

表 5-3. LMKDB1108 和 LMKDB1108FS 引脚功能（续）

引脚		类型(1)	说明
名称(2) (3)	编号		
vSBI_EN	11	I	SBI 使能。内部下拉电阻。上电后请勿更改该引脚的状态。 上电时为低电平 = 禁用 SBI 接口。引脚 20、32、48 和 55 用作 OE 引脚。 上电时为高电平 = 启用 SBI 接口。引脚 20、32、48 和 55 用作 SBI 接口引脚。SMBus 和其他 OE 引脚保持正常工作。
^vSADR1_tri	3	I	SMBus 地址 3 电平输入引脚。内部上拉和下拉电阻。
^vSADR0_tri	4	I	SMBus 地址 3 电平输入引脚。内部上拉和下拉电阻。
^SLEWRATE_SEL	2	I	LP-HCSL 差分时钟输出压摆率选择引脚。内部上拉电阻。 低电平 = 慢速压摆率。 高电平 = 快速压摆率。
LOS#	1	O	输入时钟信号丢失低电平有效/无连接。开漏。需要外部上拉电阻。 低电平 = 输入时钟无效。 高电平 = 输入时钟有效。
SMB_DATA	5	I/O	SMBus 数据。需要外部上拉电阻。如果未使用，则不连接。
SMB_CLK	6	I	SMBus 时钟。需要外部上拉电阻。如果未使用，则不连接。

(1) I = 输入，O = 输出，I/O = 输入或输出，G = 接地，P = 电源，NC = 无连接
(2) 前缀为“^”的引脚有一个内部上拉电阻器。前缀为“v”的引脚有一个内部下拉电阻器。带“^v”的引脚具有内部上拉电阻和内部下拉电阻，因此当引脚悬空时会选择中电平。
(3) “#”符号表示低电平有效。

Copyright © 2025 Texas Instruments Incorporated

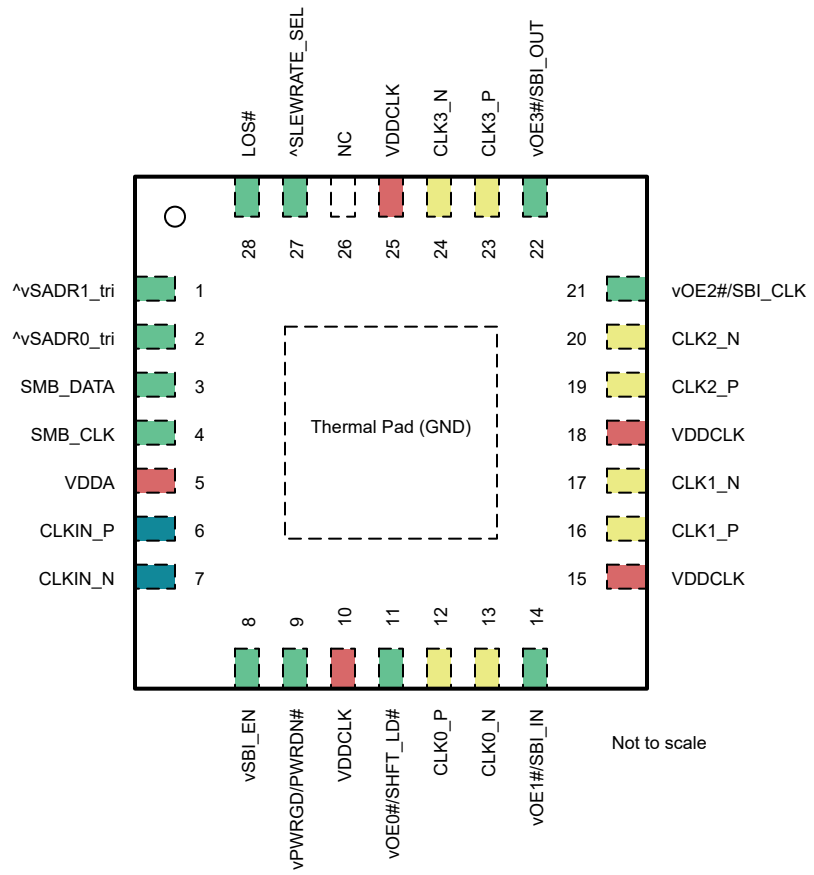


图 5-4. LMKDB1104 和 LMKDB1104FS 4mm x 4mm VQFN 封装 28 引脚 顶视图

图例		
时钟输入	时钟输出	POWER
GND	逻辑控制/状态	无连接

表 5-4. LMKDB1104 和 LMKDB1104FS 引脚功能

引脚		类型[1]	说明
名称[2] [3]	编号		
时钟输入			
CLKIN_P	6	I	差分时钟输入。
CLKIN_N	7	I	
时钟输出			
CLK0_P	12	O	LP-HCSL 差分时钟输出 0。如果未使用，则不连接。
CLK0_N	13	O	
CLK1_P	16	O	LP-HCSL 差分时钟输出 1。如果未使用，则不连接。
CLK1_N	17	O	
CLK2_P	19	O	LP-HCSL 差分时钟输出 2。如果未使用，则不连接。
CLK2_N	20	O	
CLK3_P	23	O	LP-HCSL 差分时钟输出 3。如果未使用，则不连接。
CLK3_N	24	O	
POWER			
VDDA	5	P	模拟电源。建议进行额外的电源滤波。有关详细信息，请参阅 节 10.3。

Copyright © 2025 Texas Instruments Incorporated

表 5-4. LMKDB1104 和 LMKDB1104FS 引脚功能（续）

引脚		类型(1)	说明
名称(2) (3)	编号		
VDDCLK	10、15、18、25	P	输出电源
散热焊盘 (GND)	Pad	G	器件接地，散热焊盘。
逻辑控制/状态			
vOE0#/SHFT_LD#	11	I	控制 CLK0 或 SBI 低电平有效移位寄存器负载引脚的低电平有效输入。SBI_EN 引脚控制该引脚的功能。内部下拉电阻。OE 模式：0 = 有效输出，1 = 无效输出。 边带模式：SBI 锁存寄存器输入。
vOE1#/SBI_IN	14	I	控制 CLK1 或 SBI 数据输入引脚的低电平有效输入。SBI_EN 引脚控制该引脚的功能。内部下拉电阻。OE 模式：0 = 有效输出，1 = 无效输出。 边带模式：SBI 数据输入。
vOE2#/SBI_CLK	21	I	控制 CLK2 或 SBI 时钟输入引脚的低电平有效输入。SBI_EN 引脚控制该引脚的功能。内部下拉电阻。OE 模式：0 = 有效输出，1 = 无效输出。 边带模式：SBI 时钟输入。
vOE3#/SBI_OUT	22	I 或 O	控制 CLK3 或 SBI 数据输出引脚的低电平有效输入。内部下拉电阻。SBI_EN 引脚控制该引脚的功能。 OE 模式：0 = 有效输出，1 = 无效输出。 SBI 模式：SBI 移位寄存器数据输出。
vPWRGD/PWRDN#	9	I	电源正常/断电低电平有效。多功能输入引脚。内部下拉电阻。 在第一次从低电平转换到高电平时，用作电源正常引脚以启动器件 在随后的低电平/高电平转换中，用作断电低电平有效引脚，控制器件进入或退出断电模式。 低电平 = 断电模式 高电平 = 正常运行模式
vSBI_EN	8	I	SBI 使能。内部下拉电阻。上电后请勿更改该引脚的状态。 上电时为低电平 = 禁用 SBI 接口。引脚 20、32、48 和 55 用作 OE 引脚。 上电时为高电平 = 启用 SBI 接口。引脚 20、32、48 和 55 用作 SBI 接口引脚。SMBus 和其他 OE 引脚保持正常工作。
^vSADR1_tri	1	I	SMBus 地址 3 电平输入引脚。内部上拉和下拉电阻。
^vSADR0_tri	2	I	SMBus 地址 3 电平输入引脚。内部上拉和下拉电阻。
^SLEWRATE_SEL	27	I	LP-HCSL 差分时钟输出压摆率选择引脚。内部上拉电阻。 低电平 = 慢速压摆率。 高电平 = 快速压摆率。
LOS#	28	O	输入时钟信号丢失低电平有效/无连接。开漏。需要外部上拉电阻。 低电平 = 输入时钟无效。 高电平 = 输入时钟有效。
SMB_DATA	3	I/O	SMBus 数据。需要外部上拉电阻。如果未使用，则不连接。
SMB_CLK	4	I	SMBus 时钟。需要外部上拉电阻。如果未使用，则不连接。
NC	26	NC	无连接。

(1) I = 输入，O = 输出，I/O = 输入或输出，G = 接地，P = 电源，NC = 无连接
(2) 前缀为“^”的引脚有一个内部上拉电阻器。前缀为“v”的引脚有一个内部下拉电阻器。带“^v”的引脚具有内部上拉电阻和内部下拉电阻，因此当引脚悬空时会选择中电平。
(3) “#”符号表示低电平有效。

Copyright © 2025 Texas Instruments Incorporated

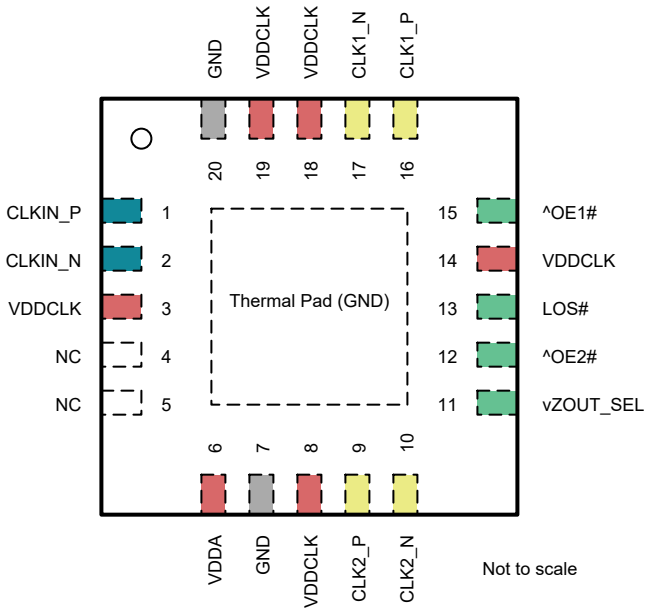


图 5-5. LMKDB1102 3mm x 3mm VQFN 封装 20 引脚 顶视图

图例		
时钟输入	时钟输出	POWER
GND	逻辑控制/状态	无连接

表 5-5. LMKDB1102 引脚功能

引脚		类型[1]	说明
名称[2] [3]	编号		
时钟输入			
CLKIN_P	1	I	差分时钟输入。
CLKIN_N	2	I	
时钟输出			
CLK1_P	16	O	LP-HCSL 差分时钟输出 1。如果未使用，则不连接。
CLK1_N	17	O	
CLK2_P	9	O	LP-HCSL 差分时钟输出 2。如果未使用，则不连接。
CLK2_N	10	O	
POWER			
VDDA	6	P	模拟电源。建议进行额外的电源滤波。有关详细信息，请参阅 节 10.3。
VDDCLK	3、8、14、18、19	P	输出电源
GND	7、20	G	器件接地，散热焊盘。
散热焊盘 (GND)	Pad	G	器件接地，散热焊盘。
逻辑控制/状态			
^OE1#	15	I	控制 CLK1 的低电平有效输入。内部上拉电阻。 0 = 输出有效，1 = 输出无效

Copyright © 2025 Texas Instruments Incorporated

表 5-5. LMKDB1102 引脚功能（续）

引脚		类型(1)	说明
名称(2) (3)	编号		
^OE2#	12	I	控制 CLK2 的低电平有效输入。内部上拉电阻。 0 = 输出有效，1 = 输出无效
LOS#	13	O	输入时钟信号丢失低电平有效/无连接。开漏。需要外部上拉电阻。 低电平 = 输入时钟无效。 高电平 = 输入时钟有效。
vZOUT_SEL	11	I	LP-HCSL 差分时钟输出阻抗选择。内部下拉电阻。 低电平 = 85Ω。 高电平 = 100Ω。
NC	4、5	NC	无连接。

(1) I = 输入，O = 输出，I/O = 输入或输出，G = 接地，P = 电源，NC = 无连接
(2) 前缀为“^”的引脚有一个内部上拉电阻器。前缀为“v”的引脚有一个内部下拉电阻器。带“^v”的引脚具有内部上拉电阻和内部下拉电阻，因此当引脚悬空时会选择中电平。
(3) “#”符号表示低电平有效。

Copyright © 2025 Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
V_{DDx}	任何 VDD 引脚上的电源电压	-0.3	3.63	V
V_{IN}	CLKIN 和数字输入引脚上的输入电压	-0.3	3.63	V
I_{OUT}	输出电流 - 持续 (CLKOUT)		30	mA
	输出电流 - 持续（SMB_DATA、SBI_OUT）		25	mA
	输出电流 - 浪涌 (CLKOUT)		60	mA
	输出电流 - 浪涌（SMB_DATA、SBI_OUT）		50	mA
T_S	贮存温度	-65	150	℃

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。“绝对最大额定值”并不表示器件在这些条件下或在“建议运行条件”以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

6.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±2000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准(2)	±500	

(1) JEDEC 文档 JEP155 指出：500V HBM 可通过标准 ESD 控制流程实现安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 能够在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
T_J	结温			125	°C
T_A	环境温度	-40		105	°C
V_{DD}	电源电压	2.97	3.3	3.6	V
		1.71	1.8	1.89	V
V_{IN}	CLKIN 和数字输入引脚上的输入电压	-0.3		3.6	V
t_{ramp}	功率斜升时间	0.05		5	ms

6.4 热性能信息

封装	引脚	热指标(1)						单位
		$R_{\theta JA}$	$R_{\theta JC(top)}$	$R_{\theta JB}$	Ψ_{JT}	Ψ_{JB}	$R_{\theta JC(bot)}$	
NPP0080 (TLGA)	80	33.1	31.9	16.2	0.5	16.0	1.8	°C/W
ZSF0064 (LGA)	64	65.0	31.4	42.5	0.8	42.4	不适用	°C/W
RKP0040 (VQFN)	40	33.6	24.6	13.8	0.4	13.7	4.2	°C/W
REX0028 (VQFN)	28	44.2	36.8	20.6	0.9	20.6	5.9	°C/W
REY0020 (VQFN)	20	46.4	50.4	20.3	1.1	20.3	6.5	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用手册。

Copyright © 2025 Texas Instruments Incorporated

6.5 电气特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
时钟输入要求						
$V_{IN, cross}$	时钟输入交叉点电压		100		1400	mV
DC_{IN}	时钟输入占空比		45		55	%
V_{IN}	差分时钟输入幅度（差分峰峰值电压的一半）	$f_0 \leqslant 300MHz$	200		2000	mV
		$300MHz < f_0 \leqslant 400MHz$	250		2000	mV
dV_{IN}/dt	时钟输入压摆率	在 -150mV 至 +150mV 范围内测量差分波形	0.6			V/ns
时钟输出特性 - 100MHz 85Ω PCIe						
$V_{OH,AC}$	输出电压高电平	DB2000QL 交流测试负载(6)	670		820	mV
$V_{OL,AC}$	输出电压低电平		-100		100	mV
$V_{max,AC}$	最大输出电压（包括过冲）		670		920	mV
$V_{min,AC}$	最小输出电压（包括下冲）		-100		100	mV
$V_{OH,DC}$	直流测试负载时输出电压高电平	DB2000QL 直流测试负载(2)	225		270	mV
$V_{OL,DC}$	直流测试负载时输出电压低电平		10		150	mV
$V_{ovs,DC}$	直流测试负载时输出过冲电压				75	mV
$V_{uds,DC}$	直流测试负载时输出下冲电压		-75			mV
Z_{diff}	差分输出阻抗	在 V_{OL}/V_{OH}，V_{DD} = 3.3V 时测量	80.75	85	89.25	Ω
		在 V_{OL}/V_{OH}，V_{DD} = 1.8V 时测量	81	85	90	Ω
$Z_{diff-crossing}$	差分输出阻抗 - 交叉	在转换期间测量	68	85	102	Ω
dV/dt	输出压摆率	在 -150mV 至 +150mV 范围内测量差分波形。最低压摆率(6) (7)	1.5		2.2	V/ns
		在 -150mV 至 +150mV 范围内测量差分波形。低压摆率(6) (7)	1.8		2.6	V/ns
		在 -150mV 至 +150mV 范围内测量差分波形。高压摆率（默认）(6) (7)	2		2.9	V/ns
		在 -150mV 至 +150mV 范围内测量差分波形。最高压摆率(6) (7)	2.4		4	V/ns
ΔdV/dt	上升沿速率与下降沿速率匹配	DB2000QL 交流测试负载(6)			10	%
DCD	占空比失真	在差分波形上测量。输入占空比 = 50%(6)	-1		1	%
$V_{cross,AC}$	绝对交叉点电压	DB2000QL 交流测试负载(6)	250		550	mV
$V_{cross,DC}$	绝对交叉点电压	DB2000QL 直流测试负载(2)	130		200	mV
$\Delta V_{cross,AC}$	V_{cross} 在所有时钟边沿上的变化	DB2000QL 交流测试负载(6)			140	mV
$\Delta V_{cross-DC}$	V_{cross} 在所有时钟边沿上的变化	DB2000QL 直流测试负载(2)			35	mV
$\lvert V_{RB} \rvert$	PCIe 中定义的回铃电压绝对值	DB2000QL 交流测试负载(6)	100			mV
t_{stable}	允许 V_{RB} 之前的时间	DB2000QL 交流测试负载(6)	500			ps
时钟输出特性 - 100MHz 100Ω PCIe						
V_{max}	包括过冲的输出电压高电平	PCIe 交流测试负载(1)	670		920	mV
V_{min}	包括下冲的输出电压低电平	PCIe 交流测试负载(1)	-100		100	mV
V_{OH}	输出电压高电平	PCIe 交流测试负载(1)	670		820	mV
V_{OL}	输出电压低电平	PCIe 交流测试负载(1)	-100		100	mV

Copyright © 2025 Texas Instruments Incorporated

6.5 电气特性（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
Z_{diff}	差分输出直流阻抗	V_{DD} = 3.3V	95	100	105	Ω
		V_{DD} = 1.8V	95	100	105	Ω
dV/dt	输出压摆率	在 -150mV 至 +150mV 范围内测量差分波形。最低压摆率(1) (7)	1.5		2.2	V/ns
		在 -150mV 至 +150mV 范围内测量差分波形。低压摆率(1) (7)	1.8		2.6	V/ns
		在 -150mV 至 +150mV 范围内测量差分波形。高压摆率(1) (7)	2		2.9	V/ns
		在 -150mV 至 +150mV 范围内测量差分波形。最高压摆率(1) (7)	2.4		4	V/ns
ΔdV/dt	上升沿速率与下降沿速率匹配	PCIe 交流测试负载(1)			10	%
DCD	占空比失真	在差分波形上测量。输入占空比 = 50%(1)	-1		1	%
V_{cross}	绝对交叉点电压	PCIe 交流测试负载(1)	250		550	mV
ΔV_{cross}	V_{cross} 在所有时钟边沿上的变化	PCIe 交流测试负载(1)			140	mV
$\lvert V_{RB} \rvert$	PCIe 中定义的回铃电压绝对值	PCIe 交流测试负载(1)	100			mV
t_{stable}	允许 V_{RB} 之前的时间	PCIe 交流测试负载(1)	500			ps
时钟输出特性 - 非 PCIe						
V_{OH}	输出电压高电平	输出摆幅编程为 800mV。f_0 = 156.25MHz 或 312.5MHz	720		880	mV
V_{OL}	输出电压低电平		-120		120	mV
V_{OH}	输出电压高电平	输出摆幅编程为 900mV。f_0 = 156.25MHz 或 312.5MHz	780		980	mV
V_{OL}	输出电压低电平		-120		120	mV
t_R，t_F	单端波形的上升/下降时间，20% 至 80%	输出摆幅编程为 800mV。最快的压摆率。f_0 = 156.25MHz 或 312.5MHz			340	ps
		输出摆幅编程为 900mV。最快的压摆率。f_0 = 156.25MHz 或 312.5MHz			370	ps
DCD	占空比失真	输入占空比 = 50%	-1		1	%
时钟输出特性 - 100MHz 85Ω PCIe（LMKDB1120FS、LMKDB1108FS、LMKDB1104FS）						
$V_{OH,AC}$	输出电压高电平	DB2000QL 交流测试负载(6)	670		820	mV
$V_{OL,AC}$	输出电压低电平		-100		100	mV
$V_{max,AC}$	最大输出电压（包括过冲）		670		920	mV
$V_{min,AC}$	最小输出电压（包括下冲）		-100		100	mV
$V_{OH,DC}$	直流测试负载时输出电压高电平	DB2000QL 直流测试负载(2)	225		270	mV
$V_{OL,DC}$	直流测试负载时输出电压低电平		10		150	mV
$V_{ovs,DC}$	直流测试负载时输出过冲电压				75	mV
$V_{uds,DC}$	直流测试负载时输出下冲电压		-75			mV
Z_{diff}	差分输出阻抗	在 V_{OL}/V_{OH}，V_{DD} = 3.3V 时测量	80.75	85	89.25	Ω
		在 V_{OL}/V_{OH}，V_{DD} = 1.8V 时测量	81	85	90	Ω
Z_{diff}	差分输出阻抗	在 V_{OL}/V_{OH}、V_{DD} = 3.3V、T_A = 0℃ 至 105℃ 时测量	80.75	85	89.25	Ω
		在 V_{OL}/V_{OH}、V_{DD} = 1.8V、T_A = 0℃ 至 105℃ 时测量	81	85	90	Ω
Z_{diff}	差分输出阻抗	最小摆幅，V_{DD} = 3.3V	80		88.5	Ω
Z_{diff}	差分输出阻抗	最大摆幅，V_{DD} = 3.3V	86.5		106.5	Ω
Z_{diff}	差分输出阻抗	最小摆幅，V_{DD} = 1.8V	80		89	Ω

Copyright © 2025 Texas Instruments Incorporated

6.5 电气特性（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
Z_{diff}	差分输出阻抗	最大摆幅，V_{DD} = 1.8V	88		112.5	Ω
$Z_{diff-crossing}$	差分输出阻抗 - 交叉	在转换期间测量	68	85	102	Ω
dV/dt	输出压摆率	最小摆幅默认压摆率设置	2.4		2.85	V/ns
dV/dt	输出压摆率	最大摆幅。默认压摆率设置	3.5		4.8	V/ns
dV/dt	输出压摆率	在 -150mV 至 +150mV 范围内测量差分波形。最低压摆率(6) (7)	1.3		2.2	V/ns
		在 -150mV 至 +150mV 范围内测量差分波形。低压摆率(6) (7)	2.5		3	V/ns
		在 -150mV 至 +150mV 范围内测量差分波形。高压摆率（默认）(6) (7)	3		3.5	V/ns
		在 -150mV 至 +150mV 范围内测量差分波形。最高压摆率(6) (7)	2.4		4	V/ns
ΔdV/dt	上升沿速率与下降沿速率匹配	DB2000QL 交流测试负载(6)			10	%
DCD	占空比失真	在差分波形上测量。输入占空比 = 50%(6)	-1		1	%
$V_{cross,AC}$	绝对交叉点电压	DB2000QL 交流测试负载(6)	250		550	mV
$V_{cross,DC}$	绝对交叉点电压	DB2000QL 直流测试负载(2)	130		200	mV
$\Delta V_{cross,AC}$	V_{cross} 在所有时钟边沿上的变化	DB2000QL 交流测试负载(6)			140	mV
$\Delta V_{cross-DC}$	V_{cross} 在所有时钟边沿上的变化	DB2000QL 直流测试负载(2)			35	mV
$\|V_{RB}\|$	PCIe 中定义的回铃电压绝对值	DB2000QL 交流测试负载(6)	100			mV
V_{RB}	DB800ZL 中定义的回铃电压	DB2000QL 交流测试负载(6)	-200		200	mV
t_{stable}	允许 V_{RB} 之前的时间	DB2000QL 交流测试负载(6)	500			ps
时钟输出特性 - 非 PCIe（LMKDB1120FS、LMKDB1108FS、LMKDB1104FS）						
V_{OH}	输出电压高电平	输出摆幅编程为 800mV。f_0 = 156.25MHz 或 312.5MHz	720		890	mV
V_{OL}	输出电压低电平		-120		120	mV
V_{OH}	输出电压高电平	输出摆幅编程为 900mV。f_0 = 156.25MHz 或 312.5MHz	780		980	mV
V_{OL}	输出电压低电平		-120		120	mV
t_R，t_F	单端波形的上升/下降时间，20% 至 80%	输出摆幅编程为 800mV。最快的压摆率。f_0 = 156.25MHz 或 312.5MHz			402	ps
		输出摆幅编程为 900mV。最快的压摆率。f_0 = 156.25MHz 或 312.5MHz			419	ps
DCD	占空比失真	输入占空比 = 50%	-1		1	%
频率和时序特性						
f_0	工作频率	禁用自动输出禁用功能	1		400	MHz
		启用自动输出禁用功能	25		400	MHz
$t_{startup}$	启动时间	冷启动。从 VDD 有效（最终 VDD 的 90%）到输出时钟稳定之间测量(3)。输入时钟在 VDD 有效之前提供。PWRGD_PWRDN# 引脚连接至 VDD。$f_0 \geq$ 100MHz			0.4	ms
		冷启动。从 VDD 有效（最终 VDD 的 90%）到输出时钟稳定之间测量(3)。输入时钟在 VDD 有效之前提供。PWRGD_PWRDN# 引脚连接至 VDD。f_0 < 100MHz			0.8	ms

Copyright © 2025 Texas Instruments Incorporated

6.5 电气特性（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
t_{stable}	时钟稳定时间	VDD 稳定。从 PWRGD 置为有效(4) 到输出时钟稳定之间测量。$f_0 \geq$ 100MHz(3)			0.4	ms
		VDD 稳定。从 PWRGD 置为有效(4) 到输出时钟稳定之间测量。$f_0 <$ 100MHz(3)			0.8	ms
$t_{PD\#}$	断电置为无效时间	从 PWRDN# 置为无效(4) 到输出时钟稳定之间测量。$f_0 \geq$ 100MHz(3)			0.15	ms
		从 PWRDN# 置为无效(4) 到输出时钟稳定之间测量。$f_0 <$ 100MHz(3)			0.5	ms
t_{OE}	输出使能/禁用时间	从 OE 置为有效/置为无效(4) 到输出时钟启动/停止经过的时间。	4		10	clk
$t_{LOS\text{-}assert}$	LOS# 置为有效时间	从输入时钟丢失到 LOS# 置为有效经过的时间。$f_0 <$ 100MHz			120	ns
		从输入时钟丢失到 LOS# 置为有效经过的时间。$f_0 \geq$ 100MHz			120	ns
$t_{LOS\text{-}deassert}$	LOS# 置为无效时间	从输入时钟存在到 LOS# 置为无效经过的时间。$f_0 <$ 100MHz			340	ns
		从输入时钟存在到 LOS# 置为无效经过的时间。$f_0 \geq$ 100MHz			105	ns
t_{AOD}	自动输出禁用时间	从 LOS# 置为有效到输出禁用（两个输出均为低电平/低电平）经过的时间。$f_0 <$ 100MHz			0.07	ns
		从 LOS# 置为有效到输出禁用（两个输出均为低电平/低电平）经过的时间，$f_0 \geq$ 100MHz			0.07	ns
t_{AOE}	自动输出使能时间	从 LOS# 置为无效到输出时钟稳定经过的时间。$f_0 <$ 100MHz(3)			115	ns
		从 LOS# 置为无效到输出时钟稳定经过的时间，$f_0 \geq$ 100MHz(3)			22	ns
t_{switch}	开关时间	在两个 100MHz 输入时钟之间切换（仅限多路复用器）			70	ns
偏斜和延迟特性						
t_{skew}	输出到输出偏斜	同一组			50	ps
		任何组			50	ps
	器件间延迟				330	ps
t_{PD}	输入到输出延迟				1	ns
Δt_{PD}	输入到输出延迟变化	单个器件过热和过压			1.7	ps/℃
抖动特性（LMKDB1120、LMKDB1108、LMKDB1104、LMKDB1102）						

Copyright © 2025 Texas Instruments Incorporated

6.5 电气特性（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
$J_{PCIe1-CC}$	PCIe 第 1 代 CC 抖动	单个时钟输入。输入压摆率 ≥ 3.5V/ns。差分输入摆幅 ≥ 1600mV			442.5	fs
$J_{PCIe2-CC}$	PCIe 第 2 代 CC 抖动				39	fs
$J_{PCIe3-CC}$	PCIe 第 3 代 CC 抖动				12.3	fs
$J_{PCIe4-CC}$	PCIe 第 4 代 CC 抖动				12.3	fs
$J_{PCIe5-CC}$	PCIe 第 5 代 CC 抖动				4.9	fs
$J_{PCIe6-CC}$	PCIe 第 6 代 CC 抖动				3	fs
$J_{PCIe7-CC}$	PCIe 第 7 代 CC 抖动				2.1	fs
$J_{PCIe2-IR}$	PCIe 第 2 代 IR 抖动				33.8	fs
$J_{PCIe3-IR}$	PCIe 第 3 代 IR 抖动				14.1	fs
$J_{PCIe4-IR}$	PCIe 第 4 代 IR 抖动				14.5	fs
$J_{PCIe5-IR}$	PCIe 第 5 代 IR 抖动				3.9	fs
$J_{PCIe6-IR}$	PCIe 第 6 代 IR 抖动				3	fs
$J_{PCIe7-IR}$	PCIe 第 7 代 IR 抖动				2.1	fs
$J_{PCIe1-CC}$	PCIe 第 1 代 CC 抖动	单个时钟输入。输入压摆率 ≥ 1.5V/ns。差分输入摆幅 ≥ 800mV			583.2	fs
$J_{PCIe2-CC}$	PCIe 第 2 代 CC 抖动				51.3	fs
$J_{PCIe3-CC}$	PCIe 第 3 代 CC 抖动				16	fs
$J_{PCIe4-CC}$	PCIe 第 4 代 CC 抖动				16	fs
$J_{PCIe5-CC}$	PCIe 第 5 代 CC 抖动				6.4	fs
$J_{PCIe6-CC}$	PCIe 第 6 代 CC 抖动				3.9	fs
$J_{PCIe7-CC}$	PCIe 第 7 代 CC 抖动				2.8	fs
$J_{PCIe2-IR}$	PCIe 第 2 代 IR 抖动				41.9	fs
$J_{PCIe3-IR}$	PCIe 第 3 代 IR 抖动				18.3	fs
$J_{PCIe4-IR}$	PCIe 第 4 代 IR 抖动				18.9	fs
$J_{PCIe5-IR}$	PCIe 第 5 代 IR 抖动				5.1	fs
$J_{PCIe6-IR}$	PCIe 第 6 代 IR 抖动				3.8	fs
$J_{PCIe7-IR}$	PCIe 第 7 代 IR 抖动				2.6	fs
$J_{DB2000QL}$	DB2000QL 滤波器	输入压摆率 ≥ 1.5V/ns。差分输入摆幅 ≥ 800mV(6)		8.7	11.5	fs
		输入压摆率 ≥ 3.5V/ns。差分输入摆幅 ≥ 1600mV(6)		6.5	9	fs
$J_{RMS-additive}$	附加 12kHz 至 20MHz RMS 抖动	f = 100MHz，压摆率 ≥ 3.5V/ns		27.3	37.5	fs
		f = 100MHz，压摆率 ≥ 1.5V/ns		37.4	48.5	fs
	附加 12kHz 至 20MHz RMS 抖动	f = 156.25MHz，压摆率 ≥ 3.5V/ns		21.9	31	fs
		f = 156.25MHz，压摆率 ≥ 1.5V/ns		29.4	38.5	fs
	附加 12kHz 至 70MHz RMS 抖动	f = 156.25MHz，压摆率 ≥ 3.5V/ns		35.1	48.5	fs
		f = 156.25MHz，压摆率 ≥ 1.5V/ns		47.1	60.5	fs
	附加 12kHz 至 20MHz RMS 抖动	f = 312.5MHz，压摆率 ≥ 3.5V/ns		19.3	28	fs
		f = 312.5MHz，压摆率 ≥ 1.5V/ns		27.4	39.5	fs
	附加 12kHz 至 70MHz RMS 抖动	f = 312.5MHz，压摆率 ≥ 3.5V/ns		29.5	41.5	fs
		f = 312.5MHz，压摆率 ≥ 1.5V/ns		40.7	58	fs
抖动特性 (LMKDB1112)						

Copyright © 2025 Texas Instruments Incorporated

6.5 电气特性（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
$J_{PCIe1-CC}$	PCIe 第 1 代 CC 抖动	单个时钟输入。输入压摆率 ≥ 3.5V/ns。差分输入摆幅 ≥ 1600mV			481.1	fs
$J_{PCIe2-CC}$	PCIe 第 2 代 CC 抖动	单个时钟输入。输入压摆率 ≥ 3.5V/ns。差分输入摆幅 ≥ 1600mV			42.6	fs
$J_{PCIe3-CC}$	PCIe 第 3 代 CC 抖动	单个时钟输入。输入压摆率 ≥ 3.5V/ns。差分输入摆幅 ≥ 1600mV			13.5	fs
$J_{PCIe4-CC}$	PCIe 第 4 代 CC 抖动	单个时钟输入。输入压摆率 ≥ 3.5V/ns。差分输入摆幅 ≥ 1600mV			13.5	fs
$J_{PCIe5-CC}$	PCIe 第 5 代 CC 抖动	单个时钟输入。输入压摆率 ≥ 3.5V/ns。差分输入摆幅 ≥ 1600mV			5.4	fs
$J_{PCIe6-CC}$	PCIe 第 6 代 CC 抖动	单个时钟输入。输入压摆率 ≥ 3.5V/ns。差分输入摆幅 ≥ 1600mV			3.3	fs
$J_{PCIe7-CC}$	PCIe 第 7 代 CC 抖动	单个时钟输入。输入压摆率 ≥ 3.5V/ns。差分输入摆幅 ≥ 1600mV			2.3	fs
$J_{PCIe2-IR}$	PCIe 第 2 代 IR 抖动	单个时钟输入。输入压摆率 ≥ 3.5V/ns。差分输入摆幅 ≥ 1600mV			36.6	fs
$J_{PCIe3-IR}$	PCIe 第 3 代 IR 抖动	单个时钟输入。输入压摆率 ≥ 3.5V/ns。差分输入摆幅 ≥ 1600mV			11.5	fs
$J_{PCIe4-IR}$	PCIe 第 4 代 IR 抖动	单个时钟输入。输入压摆率 ≥ 3.5V/ns。差分输入摆幅 ≥ 1600mV			11.5	fs
$J_{PCIe5-IR}$	PCIe 第 5 代 IR 抖动	单个时钟输入。输入压摆率 ≥ 3.5V/ns。差分输入摆幅 ≥ 1600mV			4.2	fs
$J_{PCIe6-IR}$	PCIe 第 6 代 IR 抖动	单个时钟输入。输入压摆率 ≥ 3.5V/ns。差分输入摆幅 ≥ 1600mV			3.2	fs
$J_{PCIe7-IR}$	PCIe 第 7 代 IR 抖动	单个时钟输入。输入压摆率 ≥ 3.5V/ns。差分输入摆幅 ≥ 1600mV			2.3	fs
$J_{PCIe1-CC}$	PCIe 第 1 代 CC 抖动	单个时钟输入。输入压摆率 ≥ 1.5V/ns。差分输入摆幅 ≥ 800mV			638.5	fs
$J_{PCIe2-CC}$	PCIe 第 2 代 CC 抖动	单个时钟输入。输入压摆率 ≥ 1.5V/ns。差分输入摆幅 ≥ 800mV			56.5	fs
$J_{PCIe3-CC}$	PCIe 第 3 代 CC 抖动	单个时钟输入。输入压摆率 ≥ 1.5V/ns。差分输入摆幅 ≥ 800mV			17.9	fs
$J_{PCIe4-CC}$	PCIe 第 4 代 CC 抖动	单个时钟输入。输入压摆率 ≥ 1.5V/ns。差分输入摆幅 ≥ 800mV			17.9	fs
$J_{PCIe5-CC}$	PCIe 第 5 代 CC 抖动	单个时钟输入。输入压摆率 ≥ 1.5V/ns。差分输入摆幅 ≥ 800mV			7.1	fs
$J_{PCIe6-CC}$	PCIe 第 6 代 CC 抖动	单个时钟输入。输入压摆率 ≥ 1.5V/ns。差分输入摆幅 ≥ 800mV			4.3	fs
$J_{PCIe7-CC}$	PCIe 第 7 代 CC 抖动	单个时钟输入。输入压摆率 ≥ 1.5V/ns。差分输入摆幅 ≥ 800mV			3.0	fs
$J_{PCIe2-IR}$	PCIe 第 2 代 IR 抖动	单个时钟输入。输入压摆率 ≥ 1.5V/ns。差分输入摆幅 ≥ 800mV			45.7	fs
$J_{PCIe3-IR}$	PCIe 第 3 代 IR 抖动	单个时钟输入。输入压摆率 ≥ 1.5V/ns。差分输入摆幅 ≥ 800mV			14.9	fs
$J_{PCIe4-IR}$	PCIe 第 4 代 IR 抖动	单个时钟输入。输入压摆率 ≥ 1.5V/ns。差分输入摆幅 ≥ 800mV			14.9	fs
$J_{PCIe5-IR}$	PCIe 第 5 代 IR 抖动	单个时钟输入。输入压摆率 ≥ 1.5V/ns。差分输入摆幅 ≥ 800mV			5.5	fs

Copyright © 2025 Texas Instruments Incorporated

6.5 电气特性（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
$J_{PCIe6-IR}$	PCIe 第 6 代 IR 抖动	单个时钟输入。输入压摆率 ≥ 1.5V/ns。差分输入摆幅 ≥ 800mV			4.1	fs
$J_{PCIe7-IR}$	PCIe 第 7 代 IR 抖动	单个时钟输入。输入压摆率 ≥ 1.5V/ns。差分输入摆幅 ≥ 800mV			2.9	fs
$J_{DB2000QL}$	DB2000QL 滤波器	输入压摆率 ≥ 3.5V/ns。差分输入摆幅 ≥ 1600mV(6)		8.1	9.7	fs
$J_{DB2000QL}$	DB2000QL 滤波器	输入压摆率 ≥ 1.5V/ns。差分输入摆幅 ≥ 800mV(6)		10.2	12.2	fs
$J_{RMS-additive}$	附加 12kHz 至 20MHz RMS 抖动	f = 100MHz，压摆率 ≥ 3.5V/ns		34.1	37.5	fs
$J_{RMS-additive}$	附加 12kHz 至 20MHz RMS 抖动	f = 100MHz，压摆率 ≥ 1.5V/ns		42.3	48.5	fs
$J_{RMS-additive}$	附加 12kHz 至 20MHz RMS 抖动	f = 156.25MHz，转换率 ≥ 3.5V/ns，VDD = 2.5/3.3V		27.3	31	fs
$J_{RMS-additive}$	附加 12kHz 至 20MHz RMS 抖动	f = 156.25MHz，转换率 ≥ 1.5V/ns，VDD = 2.5/3.3V		29.9	38.5	fs
$J_{RMS-additive}$	附加 12kHz 至 70MHz RMS 抖动	f = 156.25MHz，转换率 ≥ 3.5V/ns，VDD = 2.5/3.3V		42.3	48.5	fs
$J_{RMS-additive}$	附加 12kHz 至 70MHz RMS 抖动	f = 156.25MHz，转换率 ≥ 1.5V/ns，VDD = 2.5/3.3V		49.8	60.5	fs
$J_{RMS-additive}$	附加 12kHz 至 20MHz RMS 抖动	f = 312.5MHz，压摆率 ≥ 3.5V/ns		25.0	28	fs
$J_{RMS-additive}$	附加 12kHz 至 20MHz RMS 抖动	f = 312.5MHz，压摆率 ≥ 1.5V/ns		25.5	39.5	fs
$J_{RMS-additive}$	附加 12kHz 至 70MHz RMS 抖动	f = 312.5MHz，压摆率 ≥ 3.5V/ns		37.7	41.5	fs
$J_{RMS-additive}$	附加 12kHz 至 70MHz RMS 抖动	f = 312.5MHz，压摆率 ≥ 1.5V/ns		39.8	58	fs
$J_{RMS-additive}$	附加 12kHz 至 20MHz RMS 抖动	f = 156.25MHz，压摆率 ≥ 3.5V/ns，VDD = 1.8V		29.9	31.9	fs
$J_{RMS-additive}$	附加 12kHz 至 20MHz RMS 抖动	f = 156.25MHz，压摆率 ≥ 1.5V/ns，VDD = 1.8V		32.0	34.2	fs
$J_{RMS-additive}$	附加 12kHz 至 70MHz RMS 抖动	f = 156.25MHz，压摆率 ≥ 3.5V/ns，VDD = 1.8V		45.1	50.0	fs
$J_{RMS-additive}$	附加 12kHz 至 70MHz RMS 抖动	f = 156.25MHz，压摆率 ≥ 1.5V/ns，VDD = 1.8V		51.7	57.7	fs
抖动特性（LMKDB1120FS、LMKDB1108FS、LMKDB1104FS）						

Copyright © 2025 Texas Instruments Incorporated

6.5 电气特性（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
$J_{PCIe1-CC}$	PCIe 第 1 代 CC 抖动	单个时钟输入。输入压摆率 ≥ 3.5V/ns。差分输入摆幅 ≥ 1600mV			453.5	fs
$J_{PCIe2-CC}$	PCIe 第 2 代 CC 抖动				44.5	fs
$J_{PCIe3-CC}$	PCIe 第 3 代 CC 抖动				12.8	fs
$J_{PCIe4-CC}$	PCIe 第 4 代 CC 抖动				12.8	fs
$J_{PCIe5-CC}$	PCIe 第 5 代 CC 抖动				5	fs
$J_{PCIe6-CC}$	PCIe 第 6 代 CC 抖动				3.1	fs
$J_{PCIe7-CC}$	PCIe 第 7 代 CC 抖动				2.2	fs
$J_{PCIe2-IR}$	PCIe 第 2 代 IR 抖动				39.5	fs
$J_{PCIe3-IR}$	PCIe 第 3 代 IR 抖动				14.15	fs
$J_{PCIe4-IR}$	PCIe 第 4 代 IR 抖动				14.65	fs
$J_{PCIe5-IR}$	PCIe 第 5 代 IR 抖动				4.1	fs
$J_{PCIe6-IR}$	PCIe 第 6 代 IR 抖动				3.4	fs
$J_{PCIe7-IR}$	PCIe 第 7 代 IR 抖动				2.4	fs
$J_{PCIe1-CC}$	PCIe 第 1 代 CC 抖动	单个时钟输入。输入压摆率 ≥ 1.5V/ns。差分输入摆幅 ≥ 800mV			599	fs
$J_{PCIe2-CC}$	PCIe 第 2 代 CC 抖动				54	fs
$J_{PCIe3-CC}$	PCIe 第 3 代 CC 抖动				16.8	fs
$J_{PCIe4-CC}$	PCIe 第 4 代 CC 抖动				16.8	fs
$J_{PCIe5-CC}$	PCIe 第 5 代 CC 抖动				6.6	fs
$J_{PCIe6-CC}$	PCIe 第 6 代 CC 抖动				4.1	fs
$J_{PCIe7-CC}$	PCIe 第 7 代 CC 抖动				3.9	fs
$J_{PCIe2-IR}$	PCIe 第 2 代 IR 抖动				48	fs
$J_{PCIe3-IR}$	PCIe 第 3 代 IR 抖动				18.3	fs
$J_{PCIe4-IR}$	PCIe 第 4 代 IR 抖动				18.9	fs
$J_{PCIe5-IR}$	PCIe 第 5 代 IR 抖动				5.3	fs
$J_{PCIe6-IR}$	PCIe 第 6 代 IR 抖动				4.1	fs
$J_{PCIe7-IR}$	PCIe 第 7 代 IR 抖动				2.9	fs
$J_{DB2000QL}$	DB2000QL 滤波器	输入压摆率 ≥ 1.5V/ns。差分输入摆幅 ≥ 800mV(6)		9.2	12.5	fs
		输入压摆率 ≥ 3.5V/ns。差分输入摆幅 ≥ 1600mV(6)		7.4	10.2	fs
$J_{RMS-additive}$	附加 12kHz 至 20MHz RMS 抖动	f = 100MHz，压摆率 ≥ 3.5V/ns		30	41.5	fs
		f = 100MHz，压摆率 ≥ 1.5V/ns		37.4	49.25	fs
	附加 12kHz 至 20MHz RMS 抖动	f = 156.25MHz，压摆率 ≥ 3.5V/ns		24.5	32	fs
		f = 156.25MHz，压摆率 ≥ 1.5V/ns		29.4	40.2	fs
	附加 12kHz 至 70MHz RMS 抖动	f = 156.25MHz，压摆率 ≥ 3.5V/ns		40	49.5	fs
		f = 156.25MHz，压摆率 ≥ 1.5V/ns		47.1	63.2	fs
	附加 12kHz 至 20MHz RMS 抖动	f = 312.5MHz，压摆率 ≥ 3.5V/ns		19.3	29	fs
		f = 312.5MHz，压摆率 ≥ 1.5V/ns		24.6	42	fs
	附加 12kHz 至 70MHz RMS 抖动	f = 312.5MHz，压摆率 ≥ 3.5V/ns		29.5	42.5	fs
		f = 312.5MHz，压摆率 ≥ 1.5V/ns		36	60	fs
电源电流特性						
$I_{DD,total}$	LMKDB1102 总电源电流	所有输出均运行，f_0 = 100MHz			41	mA

Copyright © 2025 Texas Instruments Incorporated

6.5 电气特性（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
$I_{DD,total}$	LMKDB1104FS 总电源电流	所有输出均运行，f_0 = 100MHz			54	mA
$I_{DD,total}$	LMKDB1104 总电源电流	所有输出均运行，f_0 = 100MHz			54	mA
$I_{DD,total}$	LMKDB1108FS 总电源电流	所有输出均运行，f_0 = 100MHz			85.7	mA
$I_{DD,total}$	LMKDB1108 总电源电流	所有输出均运行，f_0 = 100MHz			85.7	mA
$I_{DD,total}$	LMKDB1112 总电源电流	所有输出均运行，f_0 = 100MHz			113.5	mA
$I_{DD,total}$	LMKDB1120FS 总电源电流	所有输出均运行，f_0 = 100MHz			162	mA
$I_{DD,total}$	LMKDB1120 总电源电流	所有输出均运行，f_0 = 100MHz			162	mA
$I_{DD,core}$	LMKDB1102 内核电源电流	引脚 PWRGD/PWRDN# = 高电平，所有输出均禁用			25.5	mA
$I_{DD,core}$	LMKDB1104FS 内核电源电流	引脚 PWRGD/PWRDN# = 高电平，所有输出均禁用			36.3	mA
$I_{DD,core}$	LMKDB1104 内核电源电流	引脚 PWRGD/PWRDN# = 高电平，所有输出均禁用			25.5	mA
$I_{DD,core}$	LMKDB1108FS 内核电源电流	引脚 PWRGD/PWRDN# = 高电平，所有输出均禁用			36.3	mA
$I_{DD,core}$	LMKDB1108 内核电源电流	引脚 PWRGD/PWRDN# = 高电平，所有输出均禁用			36.3	mA
$I_{DD,core}$	LMKDB1112 内核电源电流	引脚 PWRGD/PWRDN# = 高电平，所有输出均禁用			36.3	mA
$I_{DD,core}$	LMKDB1120FS 内核电源电流	引脚 PWRGD/PWRDN# = 高电平，所有输出均禁用			37.9	mA
$I_{DD,core}$	LMKDB1120 内核电源电流	引脚 PWRGD/PWRDN# = 高电平，所有输出均禁用			37.9	mA
I_{DDO}	每个输出的输出电源电流（LMKDB1120FS、LMKDB1108FS、LMKDB1104FS）	f_0 = 100MHz			6.9	mA
I_{DDO}	每个输出的输出电源电流（LMKDB1120FS、LMKDB1108FS、LMKDB1104FS）	f_0 = 400MHz			9.7	mA
I_{DDO}	每个输出的输出电源电流	f_0 = 100MHz			6.4	mA
		f_0 = 400MHz			9.2	mA
I_{PD}	LMKDB1104、LMKDB1104FS、LMKDB1108、LMKDB1108FS、LMKDB1112、LMKDB1120FS 和 LMKDB1120 断电电流	引脚 PWRGD/PWRDN# = 低电平			5.6	mA
PSNR 特性（LMKDB1120、LMKDB1108、LMKDB1104、LMKDB1102）						

Copyright © 2025 Texas Instruments Incorporated

6.5 电气特性（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
PSNR	电源噪声抑制，V_{DD} = 3.3V(5)	10kHz 噪声纹波			-93	dBc
		50kHz 噪声纹波			-91	dBc
		100kHz 噪声纹波			-91	dBc
		500kHz 噪声纹波			-95	dBc
		1MHz 噪声纹波			-96	dBc
		5MHz 噪声纹波			-111	dBc
		10MHz 噪声纹波			-99	dBc
	电源噪声抑制，V_{DD} = 1.8V(5)	10kHz 噪声纹波			-85	dBc
		50kHz 噪声纹波			-89	dBc
		100kHz 噪声纹波			-91	dBc
		500kHz 噪声纹波			-93	dBc
		1MHz 噪声纹波			-94	dBc
		5MHz 噪声纹波			-109	dBc
		10MHz 噪声纹波			-97	dBc
I/O 特性						
V_{IH}	输入电压高电平	2 电平逻辑输入，V_{DD} = 3.3V ± 10%	2		V_{DD} + 0.3	V
V_{IL}	输入电压低电平		-0.3		0.8	V
V_{IH}	输入电压高电平	3 电平逻辑输入，V_{DD} = 3.3V ± 10%	2.4		V_{DD} + 0.3	V
V_{IM}	输入电压中电平		1.2		1.8	V
V_{IL}	输入电压低电平		-0.3		0.8	V
V_{IH}	输入电压高电平	2 电平逻辑输入，V_{DD} = 1.8V ± 5%	1.3		V_{DD} + 0.3	V
V_{IL}	输入电压低电平		-0.3		0.4	V
V_{IH}	输入电压高电平	3 电平逻辑输入，V_{DD} = 1.8V ± 5%	1.3		V_{DD} + 0.3	V
V_{IM}	输入电压中电平		0.65		0.95	V
V_{IL}	输入电压低电平		-0.3		0.4	V
V_{OH}	输出高电压	SBI_OUT，I_{OH} = -2mA	2.4		V_{DD} + 0.3	V
V_{OL}	输出低电压	SBI_OUT，I_{OL} = 2mA			0.4	V
$I_{leakage}$	输出漏电流（LMKDB1120FS、LMKDB1108FS、LMKDB1104FS）	器件未上电时，输出连接到 V_{DD} ± 10% 时的输出漏电流。			10	µA
I_{IN}	输入漏电流	CLKINx_P	-40		40	µA
		CLKINx_N	-40		40	µA
		带内部下拉的单端输入	-30		30	µA
		无内部下拉的单端输入	-5		5	µA
		三电平逻辑输入	-30		30	µA
$R_{PU,PD}$	用于单端输入的内部上拉/下拉电阻			120		kΩ
SMBus 电气特性						
V_{IH}	SMB_CLK、SMB_DATA 输入高电压		0.8 × V_{DD}			V
V_{IL}	SMB_CLK、SMB_DATA 输入低电压				0.3 × V_{DD}	V

Copyright © 2025 Texas Instruments Incorporated

6.5 电气特性（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
V_{HYS}	施密特触发输入迟滞		0.05 × V_{DD}			V
V_{OL}	SMB_DATA 输出低电压	I_{OL} = 4mA			0.4	V
I_{LEAK}	SMB_CLK、SMB_DATA 输入漏电流		-10		10	µA
C_{PIN}	SMB_CLK、SMB_DATA 引脚电容				10	pF

(1) PCIe 交流测试负载
(2) DB2000QL 直流测试负载
(3) 第一个时钟沿用于时序测量。在稳定之前，时钟输出被静音。
(4) 对于输入引脚，当输入电压达到“高”电平所需的最小电压或“低”电平所需的最大电压时，开始置为有效或置为无效
(5) 所有电源引脚都连接在一起。将 0.1µF 电容器放置在靠近每个电源引脚的位置。在去耦电容器之前施加 50mVpp 纹波。测量时钟输出端的杂散电平
(6) DB2000QL 交流测试负载
(7) 压摆率在很大程度上取决于 PCB 布线特性

6.6 SMBus 时序要求

		100kHz 等级		400kHz 等级		单位
		最小值	最大值	最小值	最大值	
f_{SMB}	SMBus 工作频率	10	100	10	400	kHz
f_{BUF}	停止条件和启动条件之间的总线空闲时间	4.7	–	1.3	–	µs
t_{HD_STA}	（重复）启动条件后的保持时间	4.0	–	0.6	–	µs
t_{SU_STA}	重复启动条件建立时间	4.7	–	0.6	–	µs
t_{SU_STO}	停止条件建立时间	4.0	–	0.6	–	µs
t_{HD_DAT}	数据保持时间	0	–	0	–	ns
t_{SU_DAT}	数据设置时间	250	–	100	–	ns
$t_{TIMEOUT}$	检测时钟低电平超时	25	35	25	35	ms
t_{LOW}	时钟低电平时间	4.7	–	1.3	–	µs
t_{HIGH}	时钟高电平周期	4.0	50	0.6	50	µs
t_{LOW_SEXT}	累计时钟低电平延长时间（辅助器件）	–	25	–	25	ms
t_{LOW_PEXT}	累计时钟低电平延长时间（主器件）	–	10	–	10	ms
t_F	时钟/数据下降时间	–	300	–	300	ns
t_R	时钟/数据上升时间	–	1000	–	300	ns
t_{SPIKE}	噪声尖峰抑制时间	–	–	0	50	ns
t_{POR}	上电复位后器件必须运行的时间		500		500	ms

6.7 SBI 时序要求

		最小值	最大值	单位
t_{PERIOD}	时钟周期	40	-	ns
t_{SETUP}	SHFT 设置到 SBI_CLK 上升沿	10	–	ns
t_{DSU}	SBI_IN 数据设置到 SBI_CLK 上升沿	5	–	ns
t_{DHOLD}	SBI_CLK 上升沿之后的 SBI_IN 数据保持	2	–	ns
t_{DOUT}	SBI_CLK 上升沿至 SBI_OUT 数据有效	2	–	ns
t_{LD}	CLK 上升沿到 LD# 下降沿	10	–	ns
t_{OE}	从 LD# 下降沿到输出使能/禁用生效的延迟	4	10	时钟

Copyright © 2025 Texas Instruments Incorporated

		最小值	最大值	单位
t_{SLEW}	SBI_CLK 20% 至 80% 压摆率	0.7	4	V/ns

6.8 时序图

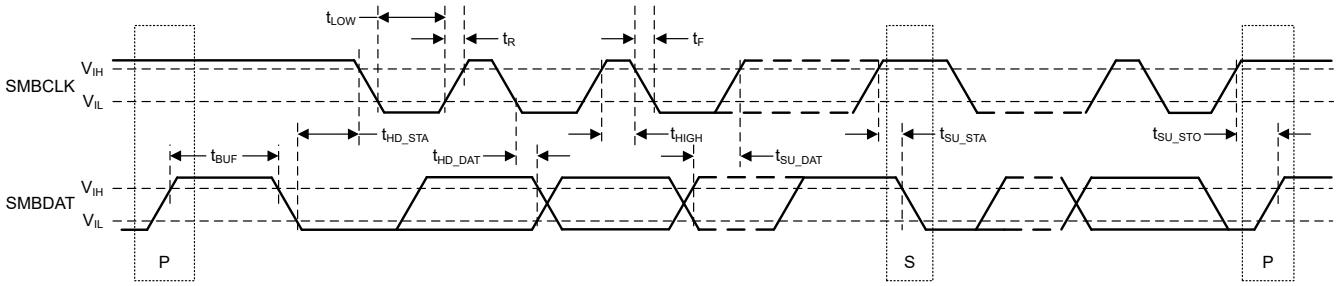


图 6-1. SMBus 时序图

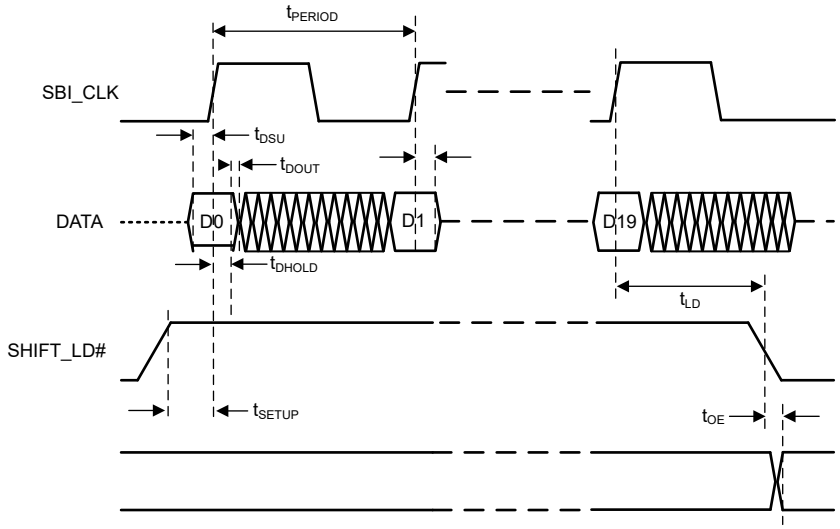


图 6-2. SBI 时序图

6.9 典型特性

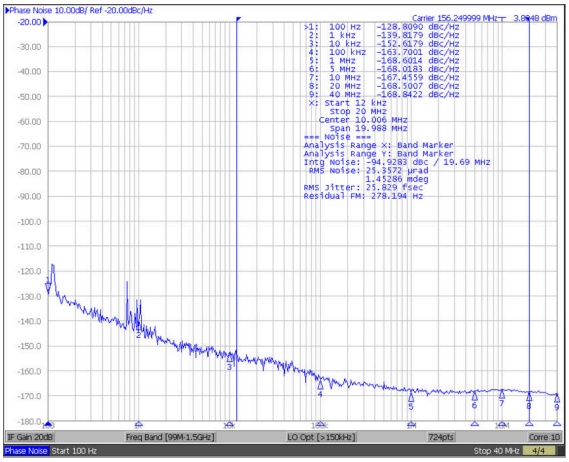
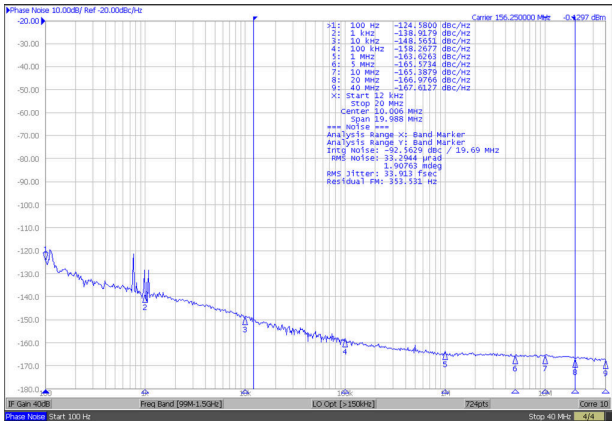


图 6-3. 156.25MHz 下的输入源 (12kHz - 20MHz)



请参阅“图注”表中的注释 1 和注释 2

图 6-4. 156.25MHz 下的 LMKDB11xx 相位噪声/输出抖动 (12kHz - 20MHz)

表 6-1. 图注

注释	
(1)	图中的典型 RMS 抖动值显示了每个频率的总输出 RMS 抖动 (J_{OUT}) 和源时钟 RMS 抖动 (J_{SOURCE})。根据这些值，附加 RMS 抖动可计算为：$J_{ADD} = SQRT(J_{OUT}^2 - J_{SOURCE}^2)$。
(2)	156.25MHz 下的 $J_{ADD} = SQRT(33.9^2 - 25.8^2) = 22.0fs$

7 参数测量信息

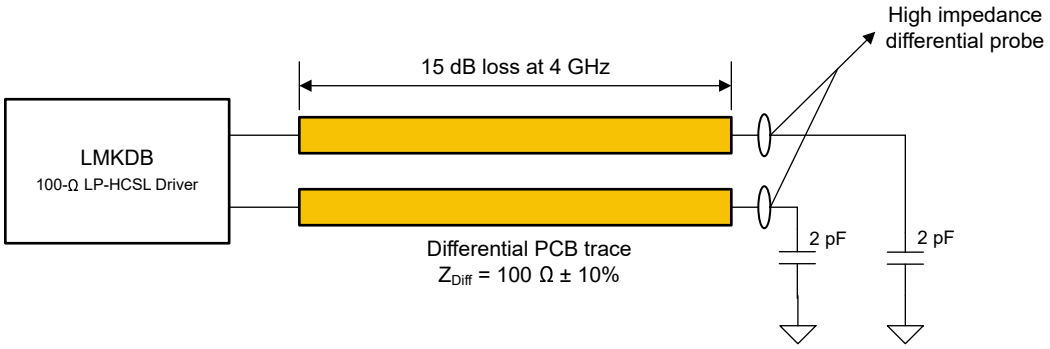


图 7-1. PCIe 交流测试负载

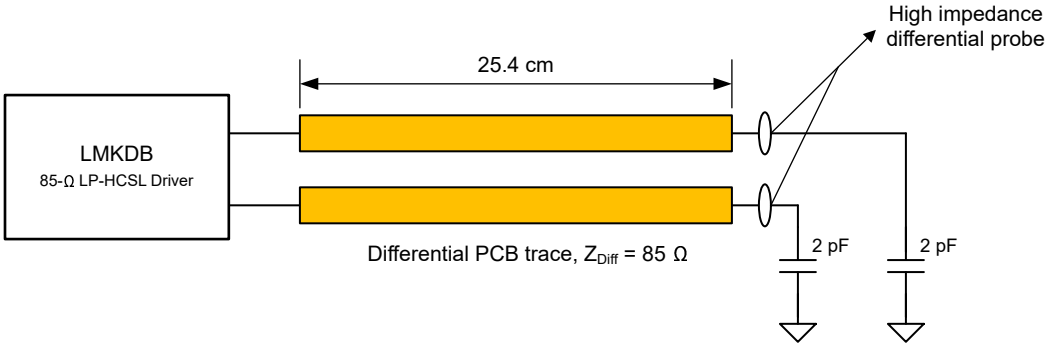


图 7-2. DB2000QL 交流测试负载

Copyright © 2025 Texas Instruments Incorporated

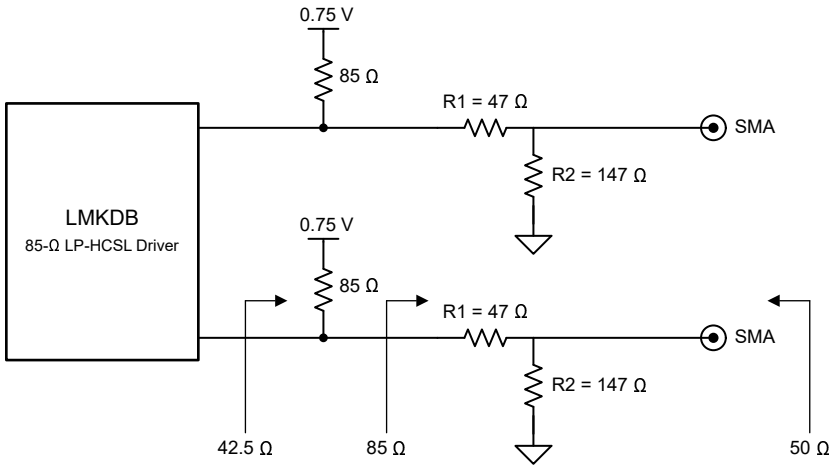


图 7-3. DB2000QL 直流测试负载

8 详细说明

8.1 概述

LMKDB11xx 是符合 DB2000QL 标准的时钟缓冲器，分配为 PCIe 第 1 代到第 7 代应用设计的 LP-HCSL 时钟，具有超低附加抖动和超低传播延迟。LMKDB11xx 缓冲器器件可以为整个时钟路径提供足够的抖动余量，主要用于满足 PCIe 第 5 代、第 6 代和第 7 代缓冲器级联以及以太网扇出应用的要求。LMKDB11xx 还支持 1.8V 和 3.3V 电源电压，旨在实现更出色的设计灵活性。

LMKDB11xx 具有针对所有输出的单独 OE 控制，从而提供更出色的设计灵活性。每个器件的每个输出还具有可编程的压摆率、可编程的输出振幅摆动和自动输出禁用功能。该器件支持 100Ω 或 85Ω LP-HCSL 以及失效防护输入和输出，通过节 4 所示的器件型号来表示，其输出频率高达 400MHz。

LMKDB11xx 可同时使用引脚模式、SMBus 模式和边带接口 (SBI) 模式。有关特定器件上每个可用选项的更多详细信息，请参阅节 5。与 SMBUS 相比，SBI 以更快的速度（最高 25MHz）启用或禁用输出时钟。此外，由于 SBI 和 SMBus 可以同时运行，因此在加电后仍然可以使用 SMBus 来接管器件控制和回读状态。有关更多详细信息，请参阅节 8.4。

有关器件引脚的详细说明，请参阅节 8，有关器件寄存器的更多详细信息，请参阅*寄存器映射*。

8.2 功能方框图

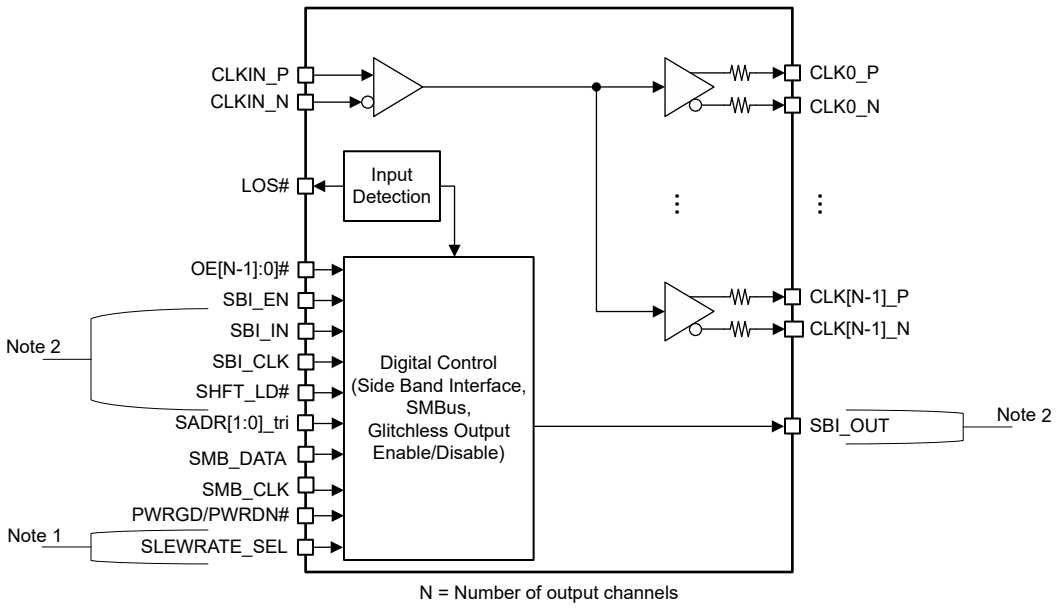


图 8-1. LMKDB11xx 功能方框图

Copyright © 2025 Texas Instruments Incorporated

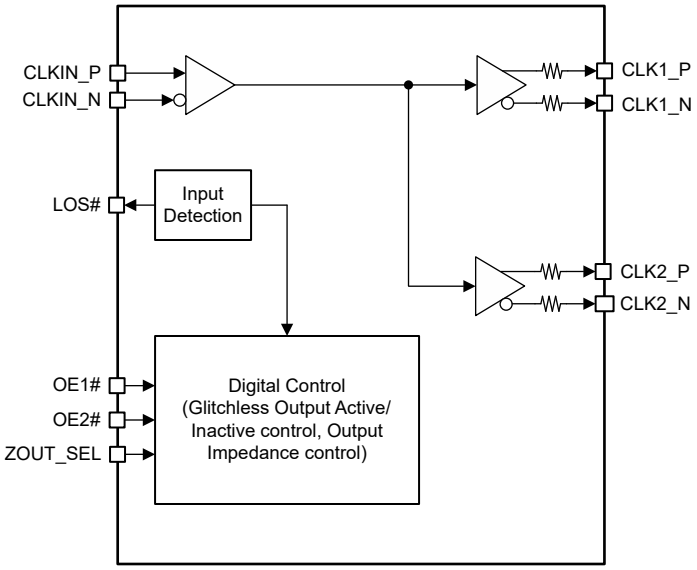


图 8-2. LMKDB1102 功能方框图

8.3 特性说明

8.3.1 输入特性

8.3.1.1 在器件断电时运行输入时钟

该器件支持在断电时运行输入时钟。这与失效防护功能不同，如果使用失效防护功能，当器件电源关闭时，可以将输入拉至静态 VDD。如果在向时钟缓冲器供电之前时钟输入可用，此功能非常有用。

8.3.1.2 失效防护输入

所有时钟输入引脚和数字输入引脚都支持失效防护。失效防护意味着当器件电源关闭时，引脚可以被驱动至 VDD，而不会导致任何泄漏或可靠性问题。例如，在器件加电之前，OE# 引脚可以被驱动至 VDD，以便输出保持静音，直到 OE# 引脚在上电后某个时间变为低电平。

8.3.1.3 输入配置

LMKDB11xx 器件输入缓冲级支持四种不同的配置：

- 直流耦合 HCSL 输入。
- 带有外部 100Ω 端接电阻的直流耦合 LVDS 输入信号。
- 具有内部自偏置的交流耦合输入。有关更多详细信息，请参阅交流耦合或直流耦合时钟输入。
- 内部 50Ω 接地端子。有关更多详细信息，请参阅用于时钟输入的内部端接。

所有具有两个输入的器件都具有独立的交流耦合和输入端接选项。若要配置每个输入，请参阅寄存器映射以了解配置位。

Copyright © 2025 Texas Instruments Incorporated

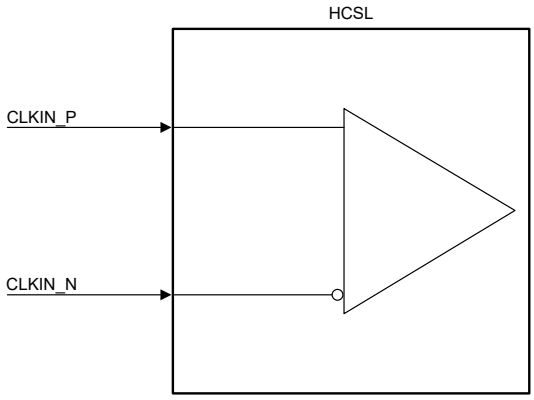


图 8-3. HCSL 输入接口（PCIe 标准）

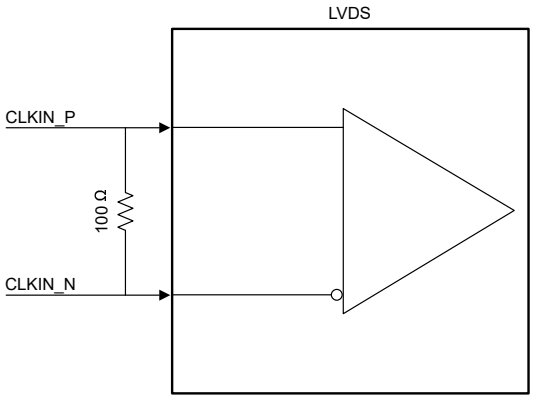


图 8-4. LVDS 输入接口

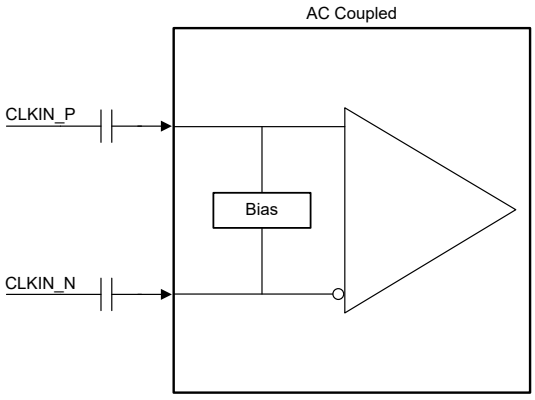


图 8-5. 外部交流耦合输入

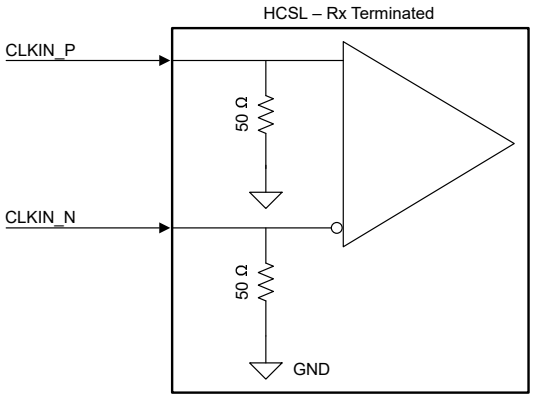


图 8-6. 接收器内部终端

8.3.1.3.1 用于时钟输入的内部端接

可以选择为差分时钟输入启用 50Ω 内部端接。对于 LP-HCSL 输入，禁用内部端接。对于 HCSL 输入，如果未提供外部端接，则启用内部端接。默认情况下，内部端接处于禁用状态。

8.3.1.3.2 交流耦合或直流耦合时钟输入

输入时钟可以是交流耦合，也可以是直流耦合。如果输入是直流耦合，则输入信号摆幅电平必须与*时钟输入要求*下的规格中的电平相匹配。此外，对于直流耦合输入，寄存器 RX_EN_AC_INPUT 必须设置为 0；对于交流耦合输入，该寄存器必须设置为 1。有关 RX_EN_AC_INPUT 的更多信息，请参考*寄存器映射*。

8.3.2 灵活的电源序列

8.3.2.1 PWRDN# 置为有效和置为无效

在建议的断电序列下，当输入时钟有效时，PWRDN# 置为有效。确保在输入时钟周期的连续两个上升沿将 PWRDN# 引脚保持在低电平。因此，所有时钟输出在没有干扰的情况下静音到低电平/低电平（OUTx_P = 低电平、OUTx_N =低电平）。按照任何其他序列都会使器件进入未定义模式，并可能导致干扰或无效输出。例如，如果在输入时钟被移除后 PWRGD/PWRDN# 被拉至低电平，器件会进入干扰状态，此时输出一直处于低电平（但**前提是**在 CLKIN 信号重新导通之前，PWRGD/PWRDN# 引脚没有从低电平恢复到高电平）。如果 PWRGD/PWRDN# 在 CLKIN 信号返回之前被拉回高电平，则不会出现问题。

8.3.2.2 OE# 置为有效和置为无效

可以随时将 OE# 引脚置为有效和置为无效，无论：

- 器件电源打开还是关闭
- PWRGD/PWRDN# 引脚被拉高还是拉低

Copyright © 2025 Texas Instruments Incorporated

- 时钟输入有效还是无效

仅当满足以下所有条件时，OE# 引脚才会生效：

1. 时钟输入有效
2. PWRGD/PWRDN# 引脚为高电平
3. 器件已打开电源

否则，输出始终静音，并且 OE# 置为有效或置为无效没有影响。

如果 OE# 引脚在以下任一情况下变为低电平：

1. 输入时钟无效
2. PWRGD/PWRDN# 引脚为低电平
3. 器件电源已关闭

那么，当满足以下所有条件时：

1. 时钟输入有效
2. PWRGD/PWRDN# 引脚为高电平
3. 器件已打开电源

输出启用时没有任何毛刺脉冲（假设寄存器 OE 和 SBI OE 处于活动状态）。

8.3.2.3 器件电源关闭时的时钟输入和 PWRGD/PWRDN# 行为

当器件电源关闭时，输入时钟可以运行、悬空、低电平/低电平或上拉至 VDD，无论 PWRGD/PWRDN# 引脚状态如何（低电平、高电平、低电平到高电平转换和高电平到低电平转换）都是如此。表 8-1 展示了所有支持的序列；其中时钟输入可在应用 VDD 之前或之后应用。

表 8-1. 灵活的上电序列

VDD	PWRGD/PWRDN#	CLKIN_P/CLKIN_N
不存在	X	运行
		悬空
		低/低
存在	0 或 1	运行
		悬空
		低/低

8.3.3 LOS 和 OE

8.3.3.1 LMKDB1120 的附加 OE# 引脚和向后兼容性

DB2000QL 规格只定义了 8 个 OE# 引脚。LMKDB1120 增加了 12 个额外的 OE# 引脚，这样，20 个输出分别有一个专用的 OE# 引脚。这增加了设计灵活性。LMKDB1120 与 DB2000QL 向后引脚兼容，因为所有 OE# 引脚均具有内部下拉电阻。这些额外的 OE# 引脚在悬空时没有影响（OE# 引脚为有效低电平），因为这三种类型的 OE 控制遵循与逻辑。

8.3.3.2 同步 OE

输出同步启用和禁用。同步 OE 是指当输出启用或禁用时，输出端没有毛刺脉冲或矮脉冲。

Copyright © 2025 Texas Instruments Incorporated

8.3.3.3 OE 控制寄存器

OE（输出使能）可以启用或禁用特定输出。支持三种类型的 OE 控制：OE 引脚、通过 SMBus 实现的 OE 寄存器位和通过 SBI 实现的 OE 控制。这三种控制遵循 AND 逻辑。仅当全部三种控制均启用输出时，才会启用该输出。如果任何控制禁用该输出，则该输出将被禁用。

8.3.3.4 自动输出禁用

默认启用自动输出禁用 (AOD) 功能，可以通过 SMBus 将其禁用。当输入时钟变为无效且 LOS# 有效时，输出时钟将静音为低电平/低电平（OUTx_P = 低电平，OUTx_N = 低电平）。在 LOS# 处于活动状态之前和输入时钟无效之后（因为 LOS 检测需要时间），输出时钟在最后一个输入状态之后保持稳定状态。例如，如果输入时钟停止在低电平/高电平，则输出时钟先保持在低电平/高电平，然后在 LOS# 处于活动状态后静音为低电平/低电平。

8.3.3.5 LOS 检测

LOS（输入信号丢失）检测时钟输入是否有效。当输入时钟有效时，LOS# 寄存器位 = 1，LOS# 引脚 = 高电平。当输入时钟无效时，LOS 寄存器位 = 0，LOS# 引脚 = 低电平。

上电时，LOS# 引脚保持低电平，直到检测到输入有效。因此，LOS# 引脚可用于 OE# 插入等操作的时序。

仅当 PWRGD/PWRDN# 引脚为高电平时，LOS# 信号才有效。如果该引脚为低电平，则无论输入有效性如何，LOS# 都为低电平

8.3.4 输出特性

8.3.4.1 双端接

对于常规 PCIe 应用，LP-HCSL 输出不需要外部端接，但 LMKDB 系列确实支持双端接（这并不常见）。在这种情况下，应放置一个外部 50Ω 端接并将摆幅减半。由于输出端使用 50Ω 端接至地，这会导致额外的功耗。

8.3.4.2 可编程输出压摆率

LMKDB 系列通过 SMBus 和引脚模式提供压摆率控制选项。引脚模式选项可控制所有输出的全局压摆率。SMBus 压摆率控制为每个单独的输出支持可编程输出压摆率。压摆率在很大程度上取决于布线特性，包括布线宽度、覆铜厚度、基板高度、介电常数和损耗正切。

LMKDB 压摆率控制设置使用图 7-1 中所示的 PCIe 测试负载进行测试。

8.3.4.2.1 通过引脚控制压摆率

LMKDB11xx 为特定器件提供全局压摆率控制引脚。有关每个器件上压摆率引脚的详细信息，请参阅节 5。该引脚可设置为低电平以实现慢速压摆率设置，设置为高电平以实现高压摆率。表 8-2 提供了有关通过引脚模式实现压摆率控制选项的更多信息。

表 8-2. 引脚模式压摆率控制

引脚状态	压摆率设置	压摆率范围 (V/ns)
低	低	1.8 - 2.6
高	高	2 - 2.9

8.3.4.2.2 通过 SMBus 进行压摆率控制

LMKDB11xx 具有 16 个不同的压摆率选项，可供分配给输出。0x0 是最快的压摆率设置，0xF 是最慢的压摆率设置。要设置每个输出的压摆率，请执行以下步骤：

1. 共有四个不同的寄存器 SLEWRATE_OPT#，可存储多达四个不同的压摆率。通过向每个 SLEWRATE_OPT# 寄存器分配从 0x0（最快）到 0xF（最慢）的值来选择所需的压摆率。为每个 SLEWRATE_OPT# 寄存器设置的默认值可在表 8-3 中找到。
   a. 例如，如果需要最快、第二快和最慢的压摆率，请将 0x0、0x1 和 0xF 分别赋值给寄存器 SLEWRATE_OPT#。SLEWRATE_OPT1 = 0x0（最快），SLEWRATE_OPT2 = 0x1（第二快），

Copyright © 2025 Texas Instruments Incorporated

SLEWRATE_OPT3 = 0xF（最慢）。不必对 SLEWRATE_OPT4 赋值，但如果您希望将多个寄存器设置为相同的压摆率，则可以将 SLEWRATE_OPT4 分配给之前三种设置中的任何一个。

2. 使用 SLEWRATE_SEL_CLKX_LSB 和 SLEWRATE_SEL_CLKX_MSB 为每个输出设置压摆率选项（如表 8-3 所示），或使用 TICSPro 中 Output Slew Rate Control 部分下的下拉菜单设置压摆率选项。所有输出的默认 SLEWRATE_OPT# 寄存器赋值为 SLEWRATE_OPT2，其默认压摆率为 0x6。

在节 6 的*时钟输出特性 - 100MHz 85Ω PCIe* 或*时钟输出特性 - 100MHz 100Ω PCIe* 下面的*输出压摆率* 规格中可以找到四种默认压摆率的相应范围。

表 8-3. LMKDB11xx 默认 SLEWRATE_OPT_# 值

寄存器字段名称	默认值	默认压摆率
SLEWRATE_OPT_1	0x0	最高
SLEWRATE_OPT_2	0x6	高电平（所有输出的默认值）
SLEWRATE_OPT_3	0xA	低
SLEWRATE_OPT_4	0xF	最低

表 8-4. LMKDB11xxFS 默认 SLEWRATE_OPT_# 值

寄存器字段名称	默认值	默认压摆率
SLEWRATE_OPT_1	0x0	最高
SLEWRATE_OPT_2	0x2	高电平（所有输出的默认值）
SLEWRATE_OPT_3	0x6	低
SLEWRATE_OPT_4	0xF	最低

表 8-5. SLEWRATE_SEL_CLKX_LSB 和 SLEWRATE_SEL_CLKX_MSB 压摆率选择

SLEWRATE_SEL_CLKX_LSB	SLEWRATE_SEL_CLKX_MSB	压摆率选项选择
0	0	SLEWRATE_OPT_4
1	0	SLEWRATE_OPT_3
0	1	SLEWRATE_OPT_2
1	1	SLEWRATE_OPT_1

要将压摆率编程为所需的压摆率，需要遵循以下顺序：

1. [可选]：如果表 8-3 中为各个压摆率速度显示的默认分配不符合要求，则可以将其中一个压摆率选项值更改为另一个压摆率。
2. [仅限 LMKDB1108 和 1104]：将 SLEWRATE_CTRL_MODE 寄存器编程为 1，以便选择用于压摆率控制的 SMBus 编程模式。有关 LMKDB1108 和 LMKDB1104 寄存器位信息，请参阅节 9。
3. 对 SLEWRATE_SEL_CLKX_MSB 和 SLEWRATE_SEL_CLKX_LSB 进行编程，将时钟输出 X 分配给所需的压摆率速度选项，如表 8-5 所示。在表 8-3 中可以找到每个选项的默认分配。

8.3.4.3 可编程输出摆幅

LMKDB 系列支持 600mV 至 975mV 范围的可编程 LP-HCSL 摆幅。对于缓冲器和多路复用器，所有输出均分别通过寄存器 AMP 和 AMP_BANKX 编程为相同的输出摆幅。要将输出编程为所需的摆幅，请参阅寄存器映射。

8.3.4.4 准确的输出阻抗

LMKDB 系列支持 100Ω LP-HCSL 和 85Ω LP-HCSL。输出阻抗被精确修整为 ±5%。这有助于提高阻抗匹配和时钟信号完整性。

Copyright © 2025 Texas Instruments Incorporated

8.3.4.5 可编程输出阻抗

LMKDB1102 提供引脚模式选项，可选择 100Ω 或 85Ω LP-HCSL 输出阻抗，为设计提供了灵活性。可以使用器件上的 ZOUT_SEL 引脚选择输出阻抗，如表 8-6 所示。如果悬空，则默认通过内部下拉电阻器选择 85Ω 输出阻抗。

表 8-6. 可编程输出阻抗

ZOUT_SEL	输出阻抗
低	85Ω
高	100Ω

8.3.4.6 失效防护输出

器件比较 中列出的带有后缀“FS”的 LMKDB110x 具有失效防护输出。失效防护意味着当器件电源关闭时，输出可以被驱动至 VDD，而不会导致任何泄漏或可靠性问题。该功能为系统中 FLEXIO 引脚上的时钟输出布线设计提供了额外灵活性。

8.4 器件功能模式

8.4.1 SMBus 模式

在 SMBus 模式下，可以通过 SMBus 引脚写入和读取 LMKDB11xx 器件 SMBus 寄存器。引脚 SADR1 和 SADR0 设置 SMBus 地址。

SADR1	SADR0	8 位 SMBus 地址（读/写位 = 0）
低	低	0xD8
低	浮点	0xDA
低	高	0xDE
浮点	低	0xC2
浮点	浮点	0xC4
浮点	高	0xC6
高	低	0xCA
高	浮点	0xCC
高	高	0xCE

表 8-7. 命令代码定义

位	说明
7	0 = *块读取* 或 *块写入* 操作 1 = *字节读取* 或 *字节写入* 操作
(6:0)	用于 *字节* 操作的寄存器地址，或用于 *块* 操作的起始寄存器地址

Copyright © 2025 Texas Instruments Incorporated

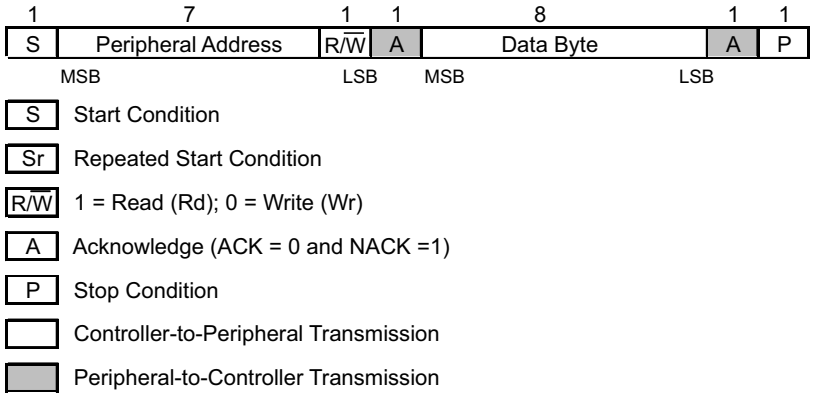


图 8-7. 一般编程序列

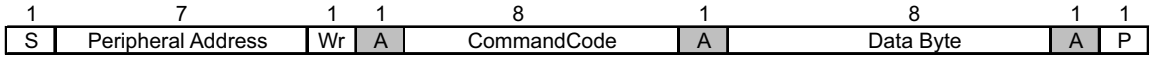


图 8-8. 字节写入协议

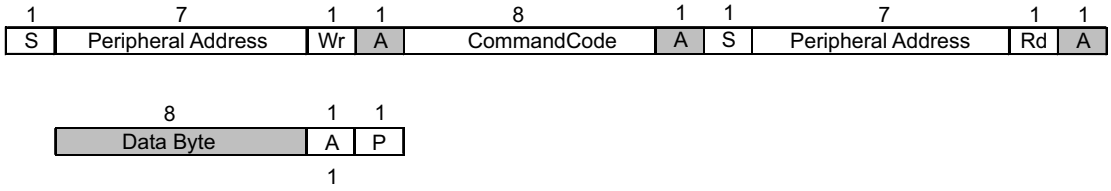


图 8-9. 字节读取协议

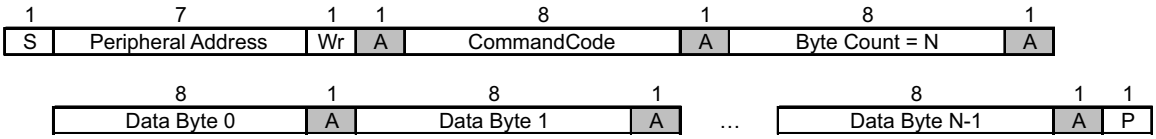


图 8-10. 块写入协议

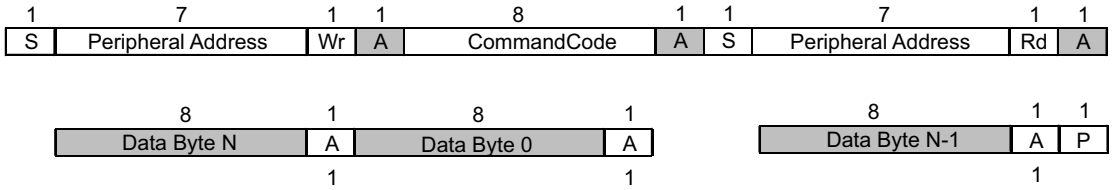


图 8-11. 块读取协议

8.4.2 SBI 模式

边带接口 (SBI) 是一个简单的 3 线或 4 线串行接口，包括 SHFT_LD#、SBI_IN、SBI_CLK 和 SBI_OUT (可选) 引脚。当 SHFT_LD# 引脚为高电平时，SBI_CLK 的上升沿将 SBI_IN 逐位移动到移位寄存器中。使数据移位后，SHFT_LD# 的下降沿将移位寄存器内容加载到输出寄存器中。SBI 寄存器可以通过 SBI_OUT 引脚移出，形成菊花链拓扑。

启用 SBI 模式不会禁用 SMBus。PWRGD/PWRDN# 引脚为低电平时可以访问 SBI 寄存器。

上电后请勿更改 SBI_EN 引脚状态。

Copyright © 2025 Texas Instruments Incorporated

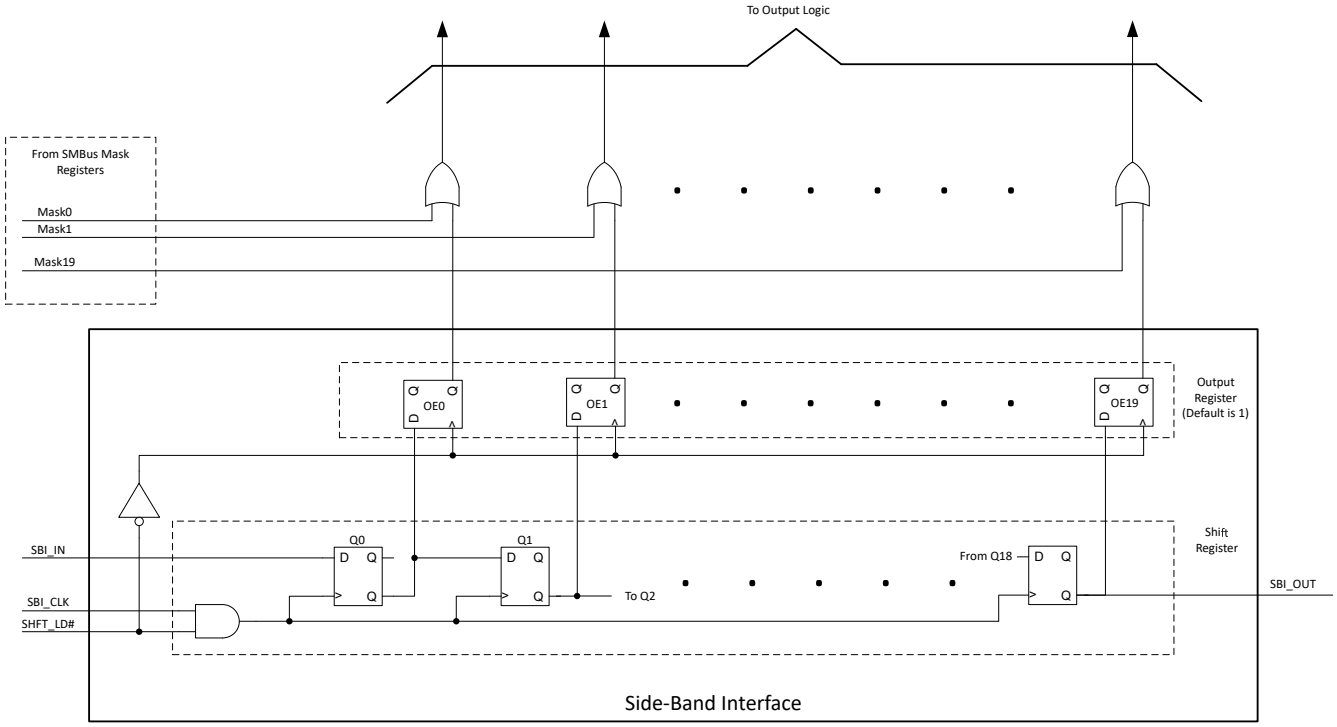


图 8-12. SBI 控制逻辑

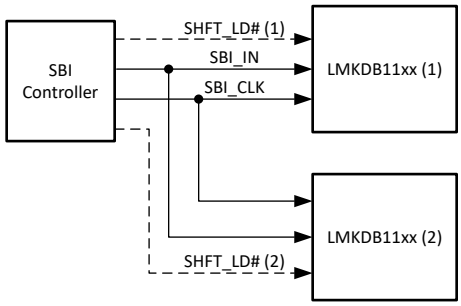


图 8-13. SBI 星型拓扑

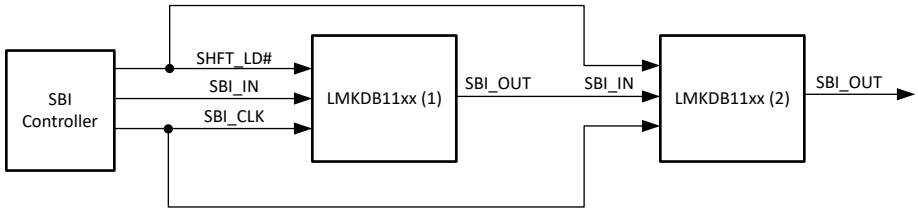


图 8-14. SBI 菊花链拓扑

SBI 寄存器序列:

- LMKDB1120 : SBI_IN – CLK0、CLK1、CLK2、CLK3、CLK4、CLK5、CLK6、CLK7、CLK8、CLK9、CLK10、CLK11、CLK12、CLK13、CLK14、CLK15、CLK16、CLK17、CLK18、CLK19 – SBI_OUT
- LMKDB1108 : SBI_IN – CLK7、CLK6、CLK5、CLK4、CLK3、CLK2、CLK1、CLK0 – SBI_OUT
- LMKDB1112 : SBI_IN – CLK11、CLK10、CLK9、CLK8、CLK7、CLK6、CLK5、CLK4、CLK3、CLK2、CLK1、CLK0 – SBI_OUT

Copyright © 2025 Texas Instruments Incorporated

- LMKDB1104：SBI_IN – CLK3、CLK2、CLK1、CLK0 – SBI_OUT

8.4.3 引脚模式

如果不需要 SMBus 或 SBI 接口，可以将 SMBus 引脚或 SBI 引脚保持悬空。器件可在引脚模式下运行，且输出可通过 OE# 引脚启用或禁用。

Copyright © 2025 Texas Instruments Incorporated

9 寄存器映射

9.1 LMKDB1120 和 LMKDB1120FS 寄存器

表 9-1 列出了 LMKDB1120 和 LMKDB1120FS 寄存器的存储器映射寄存器。表 9-1 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不得修改寄存器内容。

表 9-1. LMKDB1120 和 LMKDB1120FS 寄存器

偏移	首字母缩写词	寄存器名称	部分
0h	R0	CLK16 至 CLK19 的输出使能控制	节 9.1.1
1h	R1	CLK0 至 CLK7 的输出使能控制	节 9.1.2
2h	R2	CLK8 至 CLK15 的输出使能控制	节 9.1.3
3h	R3	CLK5 至 CLK12 的 OE 引脚回读	节 9.1.4
4h	R4	AOD 使能控制和 SBI_EN 回读	节 9.1.5
5h	R5	器件信息	节 9.1.6
6h	R6	器件信息 (续)	节 9.1.7
7h	R7	SMBus 字节计数器	节 9.1.8
8h	R8	CLK0 至 CLK7 的 SBI 掩码	节 9.1.9
9h	R9	CLK8 和 CLK15 的 SBI 掩码	节 9.1.10
Ah	R10	CLK16 和 CLK19 的 SBI 掩码	节 9.1.11
Bh	R11	CLK0 至 CLK7 的输出压摆率选择 MSB	节 9.1.12
Ch	R12	CLK8 至 CLK15 的输出压摆率选择 MSB	节 9.1.13
Dh	R13	CLK16 至 CLK19 的输出压摆率选择 MSB	节 9.1.14
14h	R20	输出幅度	节 9.1.15
15h	R21	输入配置、在 PD 中保存配置、SMB SDATA 监测和 LOS 回读	节 9.1.16
21h	R33	CLK0 至 CLK7 的 SBI 掩码回读	节 9.1.17
22h	R34	CLK8 至 CLK15 的 SBI 掩码回读	节 9.1.18
23h	R35	CLK16 至 CLK19 的 SBI 掩码回读	节 9.1.19
26h	R38	不可清除的 SMBUS 写入锁定	节 9.1.20
27h	R39	LOS 事件状态和可清除的 SMBus 写入锁定	节 9.1.21
5Bh	R91	压摆率速度选项 1 和 2 分配	节 9.1.22
5Ch	R92	压摆率速度选项 3 和 4 分配	节 9.1.23
62h	R98	CLK0 至 CLK7 的输出压摆率选择 LSB	节 9.1.24
63h	R99	CLK8 至 CLK15 的输出压摆率选择 LSB	节 9.1.25
64h	R100	CLK16 至 CLK19 的输出压摆率选择 LSB	节 9.1.26

复杂的位访问类型经过编码可适应小型表单元。表 9-2 展示了适用于此部分中访问类型的代码。

表 9-2. LMKDB1120 和 LMKDB1120FS 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
RC	R C	读取 以清除
写入类型		
W	W	写入

Copyright © 2025 Texas Instruments Incorporated

表 9-2. LMKDB1120 和 LMKDB1120FS 访问类型代码（续）

访问类型	代码	说明
W1C	W 1C	写入 1 以清零
WSC	W	写入
复位或默认值		
-n		复位后的值或默认值

9.1.1 R0 寄存器（偏移 = 0h）[复位 = 78h]

R0 如表 9-3 所示。

返回到汇总表。

表 9-3. R0 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0h	保留
6	CLK_EN_19	R/W	1h	CLK19 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已启用
5	CLK_EN_18	R/W	1h	CLK18 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已启用
4	CLK_EN_17	R/W	1h	CLK17 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已启用
3	CLK_EN_16	R/W	1h	CLK16 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已启用
2:0	RESERVED	R	0h	保留

9.1.2 R1 寄存器（偏移 = 1h）[复位 = FFh]

R1 如表 9-4 所示。

返回到汇总表。

表 9-4. R1 寄存器字段说明

位	字段	类型	复位	说明
7	CLK_EN_7	R/W	1h	CLK7 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已启用
6	CLK_EN_6	R/W	1h	CLK6 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已启用
5	CLK_EN_5	R/W	1h	CLK5 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已启用
4	CLK_EN_4	R/W	1h	CLK4 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已启用

Copyright © 2025 Texas Instruments Incorporated

表 9-4. R1 寄存器字段说明（续）

位	字段	类型	复位	说明
3	CLK_EN_3	R/W	1h	CLK3 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已启用
2	CLK_EN_2	R/W	1h	CLK2 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已启用
1	CLK_EN_1	R/W	1h	CLK1 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已启用
0	CLK_EN_0	R/W	1h	CLK0 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已启用

9.1.3 R2 寄存器（偏移 = 2h）[复位 = FFh]

R2 如表 9-5 所示。

返回到汇总表。

表 9-5. R2 寄存器字段说明

位	字段	类型	复位	说明
7	CLK_EN_15	R/W	1h	CLK15 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已启用
6	CLK_EN_14	R/W	1h	CLK14 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已启用
5	CLK_EN_13	R/W	1h	CLK13 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已启用
4	CLK_EN_12	R/W	1h	CLK12 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已启用
3	CLK_EN_11	R/W	1h	CLK11 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已启用
2	CLK_EN_10	R/W	1h	CLK10 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已启用
1	CLK_EN_9	R/W	1h	CLK9 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已启用
0	CLK_EN_8	R/W	1h	CLK8 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已启用

9.1.4 R3 寄存器（偏移 = 3h）[复位 = 00h]

R3 如表 9-6 所示。

返回到汇总表。

Copyright © 2025 Texas Instruments Incorporated

表 9-6. R3 寄存器字段说明

位	字段	类型	复位	说明
7	RB_OEb_12	R	0h	OEb12 的状态
6	RB_OEb_11	R	0h	OEb11 的状态
5	RB_OEb_10	R	0h	OEb10 的状态
4	RB_OEb_9	R	0h	OEb9 的状态
3	RB_OEb_8	R	0h	OEb8 的状态
2	RB_OEb_7	R	0h	OEb7 的状态
1	RB_OEb_6	R	0h	OEb6 的状态
0	RB_OEb_5	R	0h	OEb5 的状态

9.1.5 R4 寄存器（偏移 = 4h）[复位 = 10h]

R4 如表 9-7 所示。

返回到汇总表。

表 9-7. R4 寄存器字段说明

位	字段	类型	复位	说明
7:5	RESERVED	R	0h	保留
4	BANK1_AOD_ENABLE	R/W	1h	当检测到 LOS 事件时，启用自动输出禁用，切换到低电平/低电平。有关详细信息，请参阅“自动输出禁用”部分。 0h = 禁用 1h = 启用
3:1	RESERVED	R	0h	保留
0	RB_SBI_ENQ	R	0h	SBI_ENQ 的状态

9.1.6 R5 寄存器（偏移 = 5h）[复位 = 0Ah]

R5 如表 9-8 所示。

返回到汇总表。

表 9-8. R5 寄存器字段说明

位	字段	类型	复位	说明
7:4	REV_ID	R	0h	器件版本
3:0	VENDOR_ID	R	Ah	供应商 ID

9.1.7 R6 寄存器（偏移 = 6h）[复位 = C9h]

R6 如表 9-9 所示。

返回到汇总表。

表 9-9. R6 寄存器字段说明

位	字段	类型	复位	说明
7:0	DEV_ID	R	C9h	器件 ID

Copyright © 2025 Texas Instruments Incorporated

9.1.8 R7 寄存器（偏移 = 7h）[复位 = 07h]

R7 如表 9-10 所示。

返回到汇总表。

表 9-10. R7 寄存器字段说明

位	字段	类型	复位	说明
7:5	RESERVED	R	0h	保留
4:0	SMBUS_BC	R/W	7h	SMBus 块读取字节计数

9.1.9 R8 寄存器（偏移 = 8h）[复位 = 00h]

R8 如表 9-11 所示。

返回到汇总表。

表 9-11. R8 寄存器字段说明

位	字段	类型	复位	说明
7	SBI_MASK_7	R/W	0h	屏蔽 CLK7 的边带禁用
6	SBI_MASK_6	R/W	0h	屏蔽 CLK6 的边带禁用
5	SBI_MASK_5	R/W	0h	屏蔽 CLK5 的边带禁用
4	SBI_MASK_4	R/W	0h	屏蔽 CLK4 的边带禁用
3	SBI_MASK_3	R/W	0h	屏蔽 CLK3 的边带禁用
2	SBI_MASK_2	R/W	0h	屏蔽 CLK2 的边带禁用
1	SBI_MASK_1	R/W	0h	屏蔽 CLK1 的边带禁用
0	SBI_MASK_0	R/W	0h	屏蔽 CLK0 的边带禁用

9.1.10 R9 寄存器（偏移 = 9h）[复位 = 00h]

R9 如表 9-12 所示。

返回到汇总表。

表 9-12. R9 寄存器字段说明

位	字段	类型	复位	说明
7	SBI_MASK_15	R/W	0h	屏蔽 CLK15 的边带禁用
6	SBI_MASK_14	R/W	0h	屏蔽 CLK14 的边带禁用
5	SBI_MASK_13	R/W	0h	屏蔽 CLK13 的边带禁用
4	SBI_MASK_12	R/W	0h	屏蔽 CLK12 的边带禁用
3	SBI_MASK_11	R/W	0h	屏蔽 CLK11 的边带禁用
2	SBI_MASK_10	R/W	0h	屏蔽 CLK10 的边带禁用
1	SBI_MASK_9	R/W	0h	屏蔽 CLK9 的边带禁用
0	SBI_MASK_8	R/W	0h	屏蔽 CLK8 的边带禁用

9.1.11 R10 寄存器（偏移 = Ah）[复位 = 00h]

R10 如表 9-13 所示。

返回到汇总表。

Copyright © 2025 Texas Instruments Incorporated

表 9-13. R10 寄存器字段说明

位	字段	类型	复位	说明
7:4	RESERVED	R	0h	保留
3	SBI_MASK_19	R/W	0h	屏蔽 CLK19 的边带禁用
2	SBI_MASK_18	R/W	0h	屏蔽 CLK18 的边带禁用
1	SBI_MASK_17	R/W	0h	屏蔽 CLK17 的边带禁用
0	SBI_MASK_16	R/W	0h	屏蔽 CLK16 的边带禁用

9.1.12 R11 寄存器（偏移 = Bh）[复位 = FFh]

R11 如表 9-14 所示。

返回到汇总表。

表 9-14. R11 寄存器字段说明

位	字段	类型	复位	说明
7	SLEWRATE_SEL_CLK7_MSB	R/W	1h	MSB CLK7 压摆率选择
6	SLEWRATE_SEL_CLK6_MSB	R/W	1h	MSB CLK6 压摆率选择
5	SLEWRATE_SEL_CLK5_MSB	R/W	1h	MSB CLK5 压摆率选择
4	SLEWRATE_SEL_CLK4_MSB	R/W	1h	MSB CLK4 压摆率选择
3	SLEWRATE_SEL_CLK3_MSB	R/W	1h	MSB CLK3 压摆率选择
2	SLEWRATE_SEL_CLK2_MSB	R/W	1h	MSB CLK2 压摆率选择
1	SLEWRATE_SEL_CLK1_MSB	R/W	1h	MSB CLK1 压摆率选择
0	SLEWRATE_SEL_CLK0_MSB	R/W	1h	MSB CLK0 压摆率选择

9.1.13 R12 寄存器（偏移 = Ch）[复位 = FFh]

R12 如表 9-15 所示。

返回到汇总表。

表 9-15. R12 寄存器字段说明

位	字段	类型	复位	说明
7	SLEWRATE_SEL_CLK15_MSB	R/W	1h	MSB CLK15 压摆率选择
6	SLEWRATE_SEL_CLK14_MSB	R/W	1h	MSB CLK14 压摆率选择
5	SLEWRATE_SEL_CLK13_MSB	R/W	1h	MSB CLK13 压摆率选择
4	SLEWRATE_SEL_CLK12_MSB	R/W	1h	MSB CLK12 压摆率选择
3	SLEWRATE_SEL_CLK11_MSB	R/W	1h	MSB CLK11 压摆率选择
2	SLEWRATE_SEL_CLK10_MSB	R/W	1h	MSB CLK10 压摆率选择

Copyright © 2025 Texas Instruments Incorporated

表 9-15. R12 寄存器字段说明（续）

位	字段	类型	复位	说明
1	SLEWRATE_SEL_CLK9_MSB	R/W	1h	MSB CLK9 压摆率选择
0	SLEWRATE_SEL_CLK8_MSB	R/W	1h	MSB CLK8 压摆率选择

9.1.14 R13 寄存器（偏移 = Dh）[复位 = 0Fh]

R13 如表 9-16 所示。

返回到汇总表。

表 9-16. R13 寄存器字段说明

位	字段	类型	复位	说明
7:4	RESERVED	R	0h	保留
3	SLEWRATE_SEL_CLK19_MSB	R/W	1h	MSB CLK19 压摆率选择
2	SLEWRATE_SEL_CLK18_MSB	R/W	1h	MSB CLK18 压摆率选择
1	SLEWRATE_SEL_CLK17_MSB	R/W	1h	MSB CLK17 压摆率选择
0	SLEWRATE_SEL_CLK16_MSB	R/W	1h	MSB CLK16 压摆率选择

9.1.15 R20 寄存器（偏移 = 14h）[复位 = 66h]

R20 如表 9-17 所示。

返回到汇总表。

表 9-17. R20 寄存器字段说明

位	字段	类型	复位	说明
7:4	AMP	R/W	6h	全局差分输出控制 = 0.6V 至大约 1V 25mV/步长 默认值 = 0.75V 0h = 600mV 1h = 625mV 2h = 650mV 3h = 675mV 4h = 700mV 5h = 725mV 6h = 750mV 7h = 775mV 8h = 800mV 9h = 825mV Ah = 850mV Bh = 875mV Ch = 900mV Dh = 925mV Eh = 950mV Fh = 975mV
3:0	RESERVED	R	0h	保留

9.1.16 R21 寄存器（偏移 = 15h）[复位 = 0Ch]

R21 如表 9-18 所示。

Copyright © 2025 Texas Instruments Incorporated

返回到汇总表。

表 9-18. R21 寄存器字段说明

位	字段	类型	复位	说明
7	RX1_EN_AC_INPUT	R/W	0h	当 CLKIN 是交流耦合时启用接收器偏置 0h = 直流耦合输入 1h = 交流耦合输入
6	RX1_EN_RTERM_LSB	R/W	0h	启用 CLKIN1 上的端接电阻器 0h = 输入端接 R 禁用 1h = 输入端接 R 启用
5	RESERVED	R	0h	保留
4	RESERVED	R	0h	保留
3	PD_RESTOREB	R/W	1h	断电时保存配置；1'b0：配置已清除；1'b1：配置已保存
2	SDATA_TIMEOUT_EN	R/W	1h	启用 SMB SDATA 超时监控 0h = 禁用 SDATA 超时 1h = 启用 SDATA 超时
1	RESERVED	R	0h	保留
0	LOSb_RB	R	0h	实时回读丢失检测块输出 0h = 检测到 LOS 事件 1h = 未检测到 LOS 事件

9.1.17 R33 寄存器（偏移 = 21h）[复位 = FFh]

R33 如表 9-19 所示。

返回到汇总表。

表 9-19. R33 寄存器字段说明

位	字段	类型	复位	说明
7	SBI_CLK_7	R	1h	CLK7 边带禁用回读
6	SBI_CLK_6	R	1h	CLK6 边带禁用回读
5	SBI_CLK_5	R	1h	CLK5 边带禁用回读
4	SBI_CLK_4	R	1h	CLK4 边带禁用回读
3	SBI_CLK_3	R	1h	CLK3 边带禁用回读
2	SBI_CLK_2	R	1h	CLK2 边带禁用回读
1	SBI_CLK_1	R	1h	CLK1 边带禁用回读
0	SBI_CLK_0	R	1h	CLK0 边带禁用回读

9.1.18 R34 寄存器（偏移 = 22h）[复位 = FFh]

R34 如表 9-20 所示。

返回到汇总表。

表 9-20. R34 寄存器字段说明

位	字段	类型	复位	说明
7	SBI_CLK_15	R	1h	CLK15 边带禁用回读
6	SBI_CLK_14	R	1h	CLK14 边带禁用回读
5	SBI_CLK_13	R	1h	CLK13 边带禁用回读
4	SBI_CLK_12	R	1h	CLK12 边带禁用回读
3	SBI_CLK_11	R	1h	CLK11 边带禁用回读

Copyright © 2025 Texas Instruments Incorporated

表 9-20. R34 寄存器字段说明（续）

位	字段	类型	复位	说明
2	SBI_CLK_10	R	1h	CLK10 边带禁用回读
1	SBI_CLK_9	R	1h	CLK9 边带禁用回读
0	SBI_CLK_8	R	1h	CLK8 边带禁用回读

9.1.19 R35 寄存器（偏移 = 23h）[复位 = 0Fh]

R35 如表 9-21 所示。

返回到汇总表。

表 9-21. R35 寄存器字段说明

位	字段	类型	复位	说明
7:4	RESERVED	R	0h	保留
3	SBI_CLK_19	R	1h	CLK19 边带禁用回读
2	SBI_CLK_18	R	1h	CLK18 边带禁用回读
1	SBI_CLK_17	R	1h	CLK17 边带禁用回读
0	SBI_CLK_16	R	1h	CLK16 边带禁用回读

9.1.20 R38 寄存器（偏移 = 26h）[复位 = 00h]

R38 如表 9-22 所示。

返回到汇总表。

表 9-22. R38 寄存器字段说明

位	字段	类型	复位	说明
7:1	RESERVED	R	0h	保留
0	WRITE_LOCK	W1C	0h	不可清除的 SMBus 写入锁定位。当写入 1 时，无法写入 SMBus 控制寄存器。该位只能通过下电上电来清除。 0h = SMBus 未进行写入锁定 1h = SMBus 已进行写入锁定

9.1.21 R39 寄存器（偏移 = 27h）[复位 = 00h]

R39 如表 9-23 所示。

返回到汇总表。

表 9-23. R39 寄存器字段说明

位	字段	类型	复位	说明
7:2	RESERVED	R	0h	保留
1	LOS_EVT	R/WSC	0h	高电平时的 LOS 事件状态，指示检测到 LOS 事件。可通过向该位写入 1 来清除。 0h = 未检测到 LOS 事件 1h = 检测到 LOS 事件
0	WRITE_LOCK_RW1C	R/W	0h	可清除的 SMBus 写入锁定位。当写入 1 时，无法写入 SMBus 控制寄存器。可通过向该位写入 1 来清除该位。 0h = SMBus 未进行写入锁定 1h = SMBus 已进行写入锁定

Copyright © 2025 Texas Instruments Incorporated

9.1.22 R91 寄存器（偏移 = 5Bh）[复位 = 00h]

R91 如表 9-24 所示。

返回到汇总表。

表 9-24. R91 寄存器字段说明

位	字段	类型	复位	说明
7:4	SLEWRATE_OPT_2	R/W	2h/6h	有四个寄存器分配，每个分配存储一个压摆率值（从 16 个可用压摆率值中选择）。此寄存器位与第 2 个选项相关。有关详细信息，请参阅“可编程输出压摆率”部分。 0h = 0 1h = 1 2h = 2（LMKDB1120FS 的默认设置） 3h = 3 4h = 4 5h = 5 6h = 6（LMKDB1120 的默认设置） 7h = 7 8h = 8 9h = 9 Ah = 10 Bh = 11 Ch = 12 Dh = 13 Eh = 14 Fh = 15
3:0	SLEWRATE_OPT_1	R/W	0h	有四个寄存器分配，每个分配存储一个压摆率值（从 16 个可用压摆率值中选择）。此寄存器位与第 1 个选项相关。有关详细信息，请参阅“可编程输出压摆率”部分。 0h = 0 1h = 1 2h = 2 3h = 3 4h = 4 5h = 5 6h = 6 7h = 7 8h = 8 9h = 9 Ah = 10 Bh = 11 Ch = 12 Dh = 13 Eh = 14 Fh = 15

9.1.23 R92 寄存器（偏移 = 5Ch）[复位 = 00h]

R92 如表 9-25 所示。

返回到汇总表。

Copyright © 2025 Texas Instruments Incorporated

表 9-25. R92 寄存器字段说明

位	字段	类型	复位	说明
7:4	SLEWRATE_OPT_4	R/W	Fh	有四个寄存器分配，每个分配存储一个压摆率值（从 16 个可用压摆率值中选择）。此寄存器位与第 4 个选项相关。有关详细信息，请参阅“可编程输出压摆率”部分。 0h = 0 1h = 1 2h = 2 3h = 3 4h = 4 5h = 5 6h = 6 7h = 7 8h = 8 9h = 9 Ah = 10 Bh = 11 Ch = 12 Dh = 13 Eh = 14 Fh = 15
3:0	SLEWRATE_OPT_3	R/W	6h/Ah	有四个寄存器分配，每个分配存储一个压摆率值（从 16 个可用压摆率值中选择）。此寄存器位与第 3 个选项相关。有关详细信息，请参阅“可编程输出压摆率”部分。 0h = 0 1h = 1 2h = 2 3h = 3 4h = 4 5h = 5 6h = 6（LMKDB1120FS 的默认设置） 7h = 7 8h = 8 9h = 9 Ah = 10（LMKDB1120 的默认设置） Bh = 11 Ch = 12 Dh = 13 Eh = 14 Fh = 15

9.1.24 R98 寄存器（偏移 = 62h）[复位 = 00h]

R98 如表 9-26 所示。

返回到汇总表。

表 9-26. R98 寄存器字段说明

位	字段	类型	复位	说明
7	SLEWRATE_SEL_CLK7_LSB	R/W	0h	LSB CLK7 压摆率选择
6	SLEWRATE_SEL_CLK6_LSB	R/W	0h	LSB CLK6 压摆率选择
5	SLEWRATE_SEL_CLK5_LSB	R/W	0h	LSB CLK5 压摆率选择
4	SLEWRATE_SEL_CLK4_LSB	R/W	0h	LSB CLK4 压摆率选择
3	SLEWRATE_SEL_CLK3_LSB	R/W	0h	LSB CLK3 压摆率选择
2	SLEWRATE_SEL_CLK2_LSB	R/W	0h	LSB CLK2 压摆率选择

Copyright © 2025 Texas Instruments Incorporated

表 9-26. R98 寄存器字段说明（续）

位	字段	类型	复位	说明
1	SLEWRATE_SEL_CLK1_LSB	R/W	0h	LSB CLK1 压摆率选择
0	SLEWRATE_SEL_CLK0_LSB	R/W	0h	LSB CLK0 压摆率选择

9.1.25 R99 寄存器（偏移 = 63h）[复位 = 00h]

R99 如表 9-27 所示。

返回到汇总表。

表 9-27. R99 寄存器字段说明

位	字段	类型	复位	说明
7	SLEWRATE_SEL_CLK15_LSB	R/W	0h	LSB CLK15 压摆率选择
6	SLEWRATE_SEL_CLK14_LSB	R/W	0h	LSB CLK14 压摆率选择
5	SLEWRATE_SEL_CLK13_LSB	R/W	0h	LSB CLK13 压摆率选择
4	SLEWRATE_SEL_CLK12_LSB	R/W	0h	LSB CLK12 压摆率选择
3	SLEWRATE_SEL_CLK11_LSB	R/W	0h	LSB CLK11 压摆率选择
2	SLEWRATE_SEL_CLK10_LSB	R/W	0h	LSB CLK10 压摆率选择
1	SLEWRATE_SEL_CLK9_LSB	R/W	0h	LSB CLK9 压摆率选择
0	SLEWRATE_SEL_CLK8_LSB	R/W	0h	LSB CLK8 压摆率选择

9.1.26 R100 寄存器（偏移 = 64h）[复位 = 00h]

R100 如表 9-28 所示。

返回到汇总表。

表 9-28. R100 寄存器字段说明

位	字段	类型	复位	说明
7:4	RESERVED	R	0h	保留
3	SLEWRATE_SEL_CLK19_LSB	R/W	0h	LSB CLK19 压摆率选择
2	SLEWRATE_SEL_CLK18_LSB	R/W	0h	LSB CLK18 压摆率选择
1	SLEWRATE_SEL_CLK17_LSB	R/W	0h	LSB CLK17 压摆率选择
0	SLEWRATE_SEL_CLK16_LSB	R/W	0h	LSB CLK16 压摆率选择

Copyright © 2025 Texas Instruments Incorporated

9.2 LMKDB1112 寄存器

表 9-29 列出了 LMKDB1112 寄存器的存储器映射寄存器。表 9-29 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 9-29. LMKDB1112 寄存器

偏移	首字母缩写词	寄存器名称	部分
0h	R0	CLK0 至 CLK5 的输出使能控制	节 9.2.1
1h	R1	CLK6 至 CLK11 的输出使能控制	节 9.2.2
2h	R2	CLK0 至 CLK5 的 OE 引脚回读	节 9.2.3
3h	R3	CLK6 至 CLK11 的 OE 引脚回读	节 9.2.4
4h	R4	ACP 使能控制和 SBI_EN 回读	节 9.2.5
5h	R5	器件信息	节 9.2.6
6h	R6	器件信息 (续)	节 9.2.7
7h	R7	SMBus 字节计数器	节 9.2.8
8h	R8	CLK0 至 CLK5 的 SBI 掩码	节 9.2.9
9h	R9	CLK6 至 CLK11 的 SBI 掩码	节 9.2.10
Bh	R11	CLK0 至 CLK5 的 SBI 回读	节 9.2.11
Ch	R12	CLK6 至 CLK11 的 SBI 回读	节 9.2.12
11h	R17	输出幅度控制	节 9.2.13
12h	R18	输入接收器偏置和端接电阻器控制	节 9.2.14
14h	R20	CLK0 至 CLK5 的输出压摆率选择 MSB	节 9.2.15
15h	R21	CLK6 至 CLK11 的输出压摆率选择 MSB	节 9.2.16
26h	R38	不可清除的 SMBus 写入锁定	节 9.2.17
27h	R39	LOS 状态和可清除的 SMBus 写入锁定	节 9.2.18
5Bh	R91	压摆率速度选项 1 和 2 分配	节 9.2.19
5Ch	R92	压摆率速度选项 3 和 4 分配	节 9.2.20
61h	R97	转换率模式选择	节 9.2.21
62h	R98	CLK0 至 CLK5 的输出压摆率选择 LSB	节 9.2.22
63h	R99	CLK6 至 CLK11 的输出压摆率选择 LSB	节 9.2.23

复杂的位访问类型经过编码可适应小型表单元。表 9-30 展示了适用于此部分中访问类型的代码。

表 9-30. LMKDB1112 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
写入类型		
W	W	写入
WMC	W	写入
WSC	W	写入
复位或默认值		
-n		复位后的值或默认值

9.2.1 R0 寄存器 (偏移 = 0h) [复位 = B7h]

R0 如表 9-31 所示。

Copyright © 2025 Texas Instruments Incorporated

返回到汇总表。

表 9-31. R0 寄存器字段说明

位	字段	类型	复位	说明
7	CLK_EN_5	R/W	1h	CLK5 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已使能
6	RESERVED	R	0h	保留位
5	CLK_EN_4	R/W	1h	CLK4 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已使能
4	CLK_EN_3	R/W	1h	CLK3 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已使能
3	RESERVED	R	0h	保留位
2	CLK_EN_2	R/W	1h	CLK2 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已使能
1	CLK_EN_1	R/W	1h	CLK1 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已使能
0	CLK_EN_0	R/W	1h	CLK0 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已使能

9.2.2 R1 寄存器（偏移 = 1h）[复位 = 6Fh]

R1 如表 9-32 所示。

返回到汇总表。

表 9-32. R1 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0h	保留位
6	CLK_EN_11	R/W	1h	CLK11 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已使能
5	CLK_EN_10	R/W	1h	CLK10 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已使能
4	RESERVED	R	0h	保留位
3	CLK_EN_9	R/W	1h	CLK9 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已使能
2	CLK_EN_8	R/W	1h	CLK8 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已使能
1	CLK_EN_7	R/W	1h	CLK7 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已使能
0	CLK_EN_6	R/W	1h	CLK6 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已使能

Copyright © 2025 Texas Instruments Incorporated

9.2.3 R2 寄存器（偏移 = 2h）[复位 = 00h]

R2 如表 9-33 所示。

返回到汇总表。

表 9-33. R2 寄存器字段说明

位	字段	类型	复位	说明
7	RB_OEb_5	R	0h	OEb5 的状态
6	RESERVED	R	0h	保留位
5	RB_OEb_4	R	0h	OEb4 的状态
4	RB_OEb_3	R	0h	OEb3 的状态
3	RESERVED	R	0h	保留位
2	RB_OEb_2	R	0h	OEb2 的状态
1	RB_OEb_1	R	0h	OEb1 的状态
0	RB_OEb_0	R	0h	OEb0 的状态

9.2.4 R3 寄存器（偏移 = 3h）[复位 = 00h]

R3 如表 9-34 所示。

返回到汇总表。

表 9-34. R3 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0h	保留位
6	RB_OEb_11	R	0h	OEb11 的状态
5	RB_OEb_10	R	0h	OEb10 的状态
4	RESERVED	R	0h	保留位
3	RB_OEb_9	R	0h	OEb9 的状态
2	RB_OEb_8	R	0h	OEb8 的状态
1	RB_OEb_7	R	0h	OEb7 的状态
0	RB_OEb_6	R	0h	OEb6 的状态

9.2.5 R4 寄存器（偏移 = 4h）[复位 = 10h]

R4 如表 9-35 所示。

返回到汇总表。

表 9-35. R4 寄存器字段说明

位	字段	类型	复位	说明
7:5	RESERVED	R	0h	保留位
4	BANK1_ACP_ENABLE	R/W	1h	当检测到 LOS 事件时，启用自动时钟停止在低电平/低电平，BANK1
3:1	RESERVED	R	0h	保留位
0	RB_SBI_ENQ	R	0h	SBI_ENQ 的状态

9.2.6 R5 寄存器（偏移 = 5h）[复位 = 0Ah]

R5 如表 9-36 所示。

Copyright © 2025 Texas Instruments Incorporated

返回到汇总表。

表 9-36. R5 寄存器字段说明

位	字段	类型	复位	说明
7:4	REV_ID	R	0h	器件版本
3:0	VENDOR_ID	R	Ah	供应商 ID

9.2.7 R6 寄存器（偏移 = 6h）[复位 = 50h]

R6 如表 9-37 所示。

返回到汇总表。

表 9-37. R6 寄存器字段说明

位	字段	类型	复位	说明
7:0	DEV_ID	R	50h	器件 ID

9.2.8 R7 寄存器（偏移 = 7h）[复位 = 07h]

R7 如表 9-38 所示。

返回到汇总表。

表 9-38. R7 寄存器字段说明

位	字段	类型	复位	说明
7:5	RESERVED	R	0h	保留位
4:0	SMBUS_BC	R/W	7h	SMBUS 块读取字节计数

9.2.9 R8 寄存器（偏移 = 8h）[复位 = 00h]

R8 如表 9-39 所示。

返回到汇总表。

表 9-39. R8 寄存器字段说明

位	字段	类型	复位	说明
7	SBI_MASK_5	R/W	0h	屏蔽 CLK5 的边带禁用
6	RESERVED	R	0h	保留位
5	SBI_MASK_4	R/W	0h	屏蔽 CLK4 的边带禁用
4	SBI_MASK_3	R/W	0h	屏蔽 CLK3 的边带禁用
3	RESERVED	R	0h	保留位
2	SBI_MASK_2	R/W	0h	屏蔽 CLK2 的边带禁用
1	SBI_MASK_1	R/W	0h	屏蔽 CLK1 的边带禁用
0	SBI_MASK_0	R/W	0h	屏蔽 CLK0 的边带禁用

9.2.10 R9 寄存器（偏移 = 9h）[复位 = 00h]

R9 如表 9-40 所示。

返回到汇总表。

Copyright © 2025 Texas Instruments Incorporated

表 9-40. R9 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0h	保留位
6	SBI_MASK_11	R/W	0h	屏蔽 CLK11 的边带禁用
5	SBI_MASK_10	R/W	0h	屏蔽 CLK10 的边带禁用
4	RESERVED	R	0h	保留位
3	SBI_MASK_9	R/W	0h	屏蔽 CLK9 的边带禁用
2	SBI_MASK_8	R/W	0h	屏蔽 CLK8 的边带禁用
1	SBI_MASK_7	R/W	0h	屏蔽 CLK7 的边带禁用
0	SBI_MASK_6	R/W	0h	屏蔽 CLK6 的边带禁用

9.2.11 R11 寄存器（偏移 = Bh）[复位 = 00h]

R11 如表 9-41 所示。

返回到汇总表。

表 9-41. R11 寄存器字段说明

位	字段	类型	复位	说明
7	SBI_CLK_5	R	0h	CLK5 边带禁用回读
6	RESERVED	R	0h	保留位
5	SBI_CLK_4	R	0h	CLK4 边带禁用回读
4	SBI_CLK_3	R	0h	CLK3 边带禁用回读
3	RESERVED	R	0h	保留位
2	SBI_CLK_2	R	0h	CLK2 边带禁用回读
1	SBI_CLK_1	R	0h	CLK1 边带禁用回读
0	SBI_CLK_0	R	0h	CLK0 边带禁用回读

9.2.12 R12 寄存器（偏移 = Ch）[复位 = 00h]

R12 如表 9-42 所示。

返回到汇总表。

表 9-42. R12 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0h	保留位
6	SBI_CLK_11	R	0h	CLK11 边带禁用回读
5	SBI_CLK_10	R	0h	CLK10 边带禁用回读
4	RESERVED	R	0h	保留位
3	SBI_CLK_9	R	0h	CLK9 边带禁用回读
2	SBI_CLK_8	R	0h	CLK8 边带禁用回读
1	SBI_CLK_7	R	0h	CLK7 边带禁用回读
0	SBI_CLK_6	R	0h	CLK6 边带禁用回读

9.2.13 R17 寄存器（偏移 = 11h）[复位 = 66h]

R17 如表 9-43 所示。

Copyright © 2025 Texas Instruments Incorporated

返回到汇总表。

表 9-43. R17 寄存器字段说明

位	字段	类型	复位	说明
7:4	AMP	R/W	6h	全局差分输出控制 = 0.6V 至大约 1V 25mV/步长 默认值 = 0.75V 0h = 600mV 1h = 625mV 2h = 650mV 3h = 675mV 4h = 700mV 5h = 725mV 6h = 750mV 7h = 775mV 8h = 800mV 9h = 825mV Ah = 850mV Bh = 875mV Ch = 900mV Dh = 925mV Eh = 950mV Fh = 975mV
3:0	RESERVED	R	0h	保留位

9.2.14 R18 寄存器（偏移 = 12h）[复位 = 08h]

R18 如表 9-44 所示。

返回到汇总表。

表 9-44. R18 寄存器字段说明

位	字段	类型	复位	说明
7	d_RX_EN_AC_INPUT	R/W	0h	当 CLKIN 是交流耦合时启用接收器偏置 0h = 直流耦合输入 1h = 交流耦合输入
6	d_RX_EN_RTERM_LSB	R/W	0h	启用 CLKIN 上的端接电阻器 0h = 输入端接 R 禁用 1h = 输入端接 R 启用
5:4	RESERVED	R	0h	保留位
3	PD_RESTOREB	R/W	1h	断电时保存配置 0h = 配置已清除 1h = 配置已保存
2:1	RESERVED	R	0h	保留位
0	LOSb_RB	R	0h	实时回读丢失检测块输出 0h = 检测到 LOS 事件 1h = 未检测到 LOS 事件

9.2.15 R20 寄存器（偏移 = 14h）[复位 = B7h]

R20 如表 9-45 所示。

返回到汇总表。

表 9-45. R20 寄存器字段说明

位	字段	类型	复位	说明
7	SLEWRATE_SEL_CLK5_MSB	R/W	1h	MSB CLK5 压摆率选择

Copyright © 2025 Texas Instruments Incorporated

表 9-45. R20 寄存器字段说明（续）

位	字段	类型	复位	说明
6	RESERVED	R	0h	保留位
5	SLEWRATE_SEL_CLK4__MSB	R/W	1h	MSB CLK4 压摆率选择
4	SLEWRATE_SEL_CLK3__MSB	R/W	1h	MSB CLK3 压摆率选择
3	RESERVED	R	0h	保留位
2	SLEWRATE_SEL_CLK2__MSB	R/W	1h	MSB CLK2 压摆率选择
1	SLEWRATE_SEL_CLK1__MSB	R/W	1h	MSB CLK1 压摆率选择
0	SLEWRATE_SEL_CLK0__MSB	R/W	1h	MSB CLK0 压摆率选择

9.2.16 R21 寄存器（偏移 = 15h）[复位 = 6Fh]

R21 如表 9-46 所示。

返回到汇总表。

表 9-46. R21 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0h	保留位
6	SLEWRATE_SEL_CLK11__MSB	R/W	1h	MSB CLK11 压摆率选择
5	SLEWRATE_SEL_CLK10__MSB	R/W	1h	MSB CLK10 压摆率选择
4	RESERVED	R	0h	保留位
3	SLEWRATE_SEL_CLK9__MSB	R/W	1h	MSB CLK9 压摆率选择
2	SLEWRATE_SEL_CLK8__MSB	R/W	1h	MSB CLK8 压摆率选择
1	SLEWRATE_SEL_CLK7__MSB	R/W	1h	MSB CLK7 压摆率选择
0	SLEWRATE_SEL_CLK6__MSB	R/W	1h	MSB CLK6 压摆率选择

9.2.17 R38 寄存器（偏移 = 26h）[复位 = 00h]

R38 如表 9-47 所示。

返回到汇总表。

表 9-47. R38 寄存器字段说明

位	字段	类型	复位	说明
7:1	RESERVED	R	0h	保留位
0	WRITE_LOCK	R/WMC	0h	不可清除的 SMBus 写入锁定位。当写入 1 时，无法写入 SMBus 控制寄存器。该位只能通过下电上电来清除 0h = SMBus 未被该位进行写入锁定。请参阅 WRITE_LOCK_RW1C 位。 1h = SMBus 已进行写入锁定

Copyright © 2025 Texas Instruments Incorporated

9.2.18 R39 寄存器（偏移 = 27h）[复位 = 00h]

R39 如表 9-48 所示。

返回到汇总表。

表 9-48. R39 寄存器字段说明

位	字段	类型	复位	说明
7:2	RESERVED	R	0h	保留
1	LOS_EVT	R/WSC	0h	高电平时的 LOS 事件状态，表示检测到 LOS 事件。可通过写入 1 来清除 0h = 未检测到 LOS 事件 1h = 检测到 LOS 事件
0	WRITE_LOCK_RW1C	R/W	0h	可清除的 SMBus 写入锁定位。当写入 1 时，无法写入 SMBus 控制寄存器。可通过向该位写入 1 来清除该位。 0h = SMBus 未被该位进行写入锁定。请参阅 WRITE_LOCK 位。 1h = SMBus 已进行写入锁定

9.2.19 R91 寄存器（偏移 = 5Bh）[复位 = 60h]

R91 如表 9-49 所示。

返回到汇总表。

表 9-49. R91 寄存器字段说明

位	字段	类型	复位	说明
7:4	SLEWRATE_OPT_2	R/W	6h	有四个寄存器分配，每个分配存储一个压摆率值（从 16 个可用压摆率值中选择）。此寄存器位与第 2 个选项相关。有关详细信息，请参阅“可编程输出压摆率”部分。 0h = 0 1h = 1 2h = 2 3h = 3 4h = 4 5h = 5 6h = 6（LMKDB1112 的默认值） 7h = 7 8h = 8 9h = 9 Ah = 10 Bh = 11 Ch = 12 Dh = 13 Eh = 14 Fh = 15

Copyright © 2025 Texas Instruments Incorporated

表 9-49. R91 寄存器字段说明（续）

位	字段	类型	复位	说明
3:0	SLEWRATE_OPT_1	R/W	0h	有四个寄存器分配，每个分配存储一个压摆率值（从 16 个可用压摆率值中选择）。此寄存器位与第 1 个选项相关。有关详细信息，请参阅“可编程输出压摆率”部分。 0h = 0 1h = 1 2h = 2 3h = 3 4h = 4 5h = 5 6h = 6 7h = 7 8h = 8 9h = 9 Ah = 10 Bh = 11 Ch = 12 Dh = 13 Eh = 14 Fh = 15

9.2.20 R92 寄存器（偏移 = 5Ch）[复位 = FAh]

R92 如 表 9-50 所示。

返回到汇总表。

表 9-50. R92 寄存器字段说明

位	字段	类型	复位	说明
7:4	SLEWRATE_OPT_4	R/W	Fh	有四个寄存器分配，每个分配存储一个压摆率值（从 16 个可用压摆率值中选择）。此寄存器位与第 4 个选项相关。有关详细信息，请参阅“可编程输出压摆率”部分。 0h = 0 1h = 1 2h = 2 3h = 3 4h = 4 5h = 5 6h = 6 7h = 7 8h = 8 9h = 9 Ah = 10 Bh = 11 Ch = 12 Dh = 13 Eh = 14 Fh = 15

Copyright © 2025 Texas Instruments Incorporated

表 9-50. R92 寄存器字段说明（续）

位	字段	类型	复位	说明
3:0	SLEWRATE_OPT_3	R/W	Ah	有四个寄存器分配，每个分配存储一个压摆率值（从 16 个可用压摆率值中选择）。此寄存器位与第 3 个选项相关。有关详细信息，请参阅“可编程输出压摆率”部分。 0h = 0 1h = 1 2h = 2 3h = 3 4h = 4 5h = 5 6h = 6 7h = 7 8h = 8 9h = 9 Ah = 10 Bh = 11 Ch = 12 Dh = 13 Eh = 14 Fh = 15

9.2.21 R97 寄存器（偏移 = 61h）[复位 = 12h]

R97 如表 9-51 所示。

返回到汇总表。

表 9-51. R97 寄存器字段说明

位	字段	类型	复位	说明
7	SLEWRATE_CTRL_MOD_E	R/W	0h	设置使用哪种模式来更改输出转换率 0h = 引脚模式 1h = SMBus 模式
6	RESERVED	R	0h	保留
5:3	RESERVED	R	0h	保留
2:0	RESERVED	R	0h	保留

9.2.22 R98 寄存器（偏移 = 62h）[复位 = 00h]

R98 如表 9-52 所示。

返回到汇总表。

表 9-52. R98 寄存器字段说明

位	字段	类型	复位	说明
7	SLEWRATE_SEL_CLK5_LSB	R/W	0h	LSB CLK5 压摆率控制
6	RESERVED	R	0h	保留
5	SLEWRATE_SEL_CLK4_LSB	R/W	0h	LSB CLK4 压摆率控制
4	SLEWRATE_SEL_CLK3_LSB	R/W	0h	LSB CLK3 压摆率控制
3	RESERVED	R	0h	保留
2	SLEWRATE_SEL_CLK2_LSB	R/W	0h	LSB CLK2 压摆率控制
1	SLEWRATE_SEL_CLK1_LSB	R/W	0h	LSB CLK1 压摆率控制

Copyright © 2025 Texas Instruments Incorporated

表 9-52. R98 寄存器字段说明（续）

位	字段	类型	复位	说明
0	SLEWRATE_SEL_CLK0__LSB	R/W	0h	LSB CLK0 压摆率控制

9.2.23 R99 寄存器（偏移 = 63h）[复位 = 00h]

R99 如表 9-53 所示。

返回到汇总表。

表 9-53. R99 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0h	保留
6	SLEWRATE_SEL_CLK11__LSB	R/W	0h	LSB CLK11 压摆率控制
5	SLEWRATE_SEL_CLK10__LSB	R/W	0h	LSB CLK10 压摆率控制
4	RESERVED	R	0h	保留
3	SLEWRATE_SEL_CLK9_LSB	R/W	0h	LSB CLK9 压摆率控制
2	SLEWRATE_SEL_CLK8_LSB	R/W	0h	LSB CLK8 压摆率控制
1	SLEWRATE_SEL_CLK7_LSB	R/W	0h	LSB CLK7 压摆率控制
0	SLEWRATE_SEL_CLK6_LSB	R/W	0h	LSB CLK6 压摆率控制

Copyright © 2025 Texas Instruments Incorporated

9.3 LMKDB1108 和 LMKDB1108FS 寄存器

表 9-54 列出了 LMKDB1108 和 LMKDB1108FS 寄存器的存储器映射寄存器。表 9-54 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不得修改寄存器内容。

表 9-54. LMKDB1108 和 LMKDB1108FS 寄存器

偏移	首字母缩写词	寄存器名称	部分
0h	R0	CLK2 至 CLK7 的输出使能控制	节 9.3.1
1h	R1	CLK0 和 CLK1 的输出使能控制	节 9.3.2
2h	R2	CLK2 至 CLK7 的 OE 引脚回读	节 9.3.3
3h	R3	CLK0 和 CLK1 的 OE 引脚回读	节 9.3.4
4h	R4	AOD 使能控制和 SBI_EN 回读	节 9.3.5
5h	R5	器件信息	节 9.3.6
6h	R6	器件信息 (续)	节 9.3.7
7h	R7	SMBus 字节计数器	节 9.3.8
8h	R8	CLK2 至 CLK7 的 SBI 掩码	节 9.3.9
9h	R9	CLK0 和 CLK1 的 SBI 掩码	节 9.3.10
Bh	R11	CLK0 至 CLK5 的 SBI 掩码回读	节 9.3.11
Ch	R12	CLK6 和 CLK7 的 SBI 掩码回读	节 9.3.12
11h	R17	输出幅度	节 9.3.13
12h	R18	输入配置、在 PD 中保存配置、SMB SDATA 监测和 LOS 回读	节 9.3.14
14h	R20	CLK2 至 CLK7 的输出压摆率选择 MSB	节 9.3.15
15h	R21	CLK0 和 CLK1 的输出压摆率选择 MSB	节 9.3.16
26h	R38	不可清除的 SMBUS 写入锁定	节 9.3.17
27h	R39	LOS 事件状态和可清除的 SMBus 写入锁定	节 9.3.18
35h	R53	压摆率模式控制选择	节 9.3.19
5Bh	R91	压摆率速度选项 1 和 2 分配	节 9.3.20
5Ch	R92	压摆率速度选项 3 和 4 分配	节 9.3.21
62h	R98	CLK0 至 CLK7 的输出压摆率选择 LSB	节 9.3.22

复杂的位访问类型经过编码可适应小型表单元。表 9-55 展示了适用于此部分中访问类型的代码。

表 9-55. LMKDB1108 和 LMKDB1108FS 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
RC	R C	读取 以清除
写入类型		
W	W	写入
W1C	W 1C	写入 1 以清零
WSC	W	写入
复位或默认值		
-n		复位后的值或默认值

Copyright © 2025 Texas Instruments Incorporated

9.3.1 R0 寄存器（偏移 = 0h）[复位 = EEh]

R0 如表 9-56 所示。

返回到汇总表。

表 9-56. R0 寄存器字段说明

位	字段	类型	复位	说明
7	CLK_EN_2	R/W	1h	CLK2 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已启用
6	CLK_EN_3	R/W	1h	CLK3 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已启用
5	CLK_EN_4	R/W	1h	CLK4 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已启用
4	RESERVED	R	0h	保留
3	CLK_EN_5	R/W	1h	CLK5 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已启用
2	CLK_EN_6	R/W	1h	CLK6 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已启用
1	CLK_EN_7	R/W	1h	CLK7 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已启用
0	RESERVED	R	0h	保留

9.3.2 R1 寄存器（偏移 = 1h）[复位 = 24h]

R1 如表 9-57 所示。

返回到汇总表。

表 9-57. R1 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5	CLK_EN_0	R/W	1h	CLK0 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已启用
4:3	RESERVED	R	0h	保留
2	CLK_EN_1	R/W	1h	CLK1 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已启用
1:0	RESERVED	R	0h	保留

9.3.3 R2 寄存器（偏移 = 2h）[复位 = 00h]

R2 如表 9-58 所示。

返回到汇总表。

Copyright © 2025 Texas Instruments Incorporated

表 9-58. R2 寄存器字段说明

位	字段	类型	复位	说明
7	RB_OEb_2	R	0h	OEb2 的状态
6	RB_OEb_3	R	0h	OEb3 的状态
5	RB_OEb_4	R	0h	OEb4 的状态
4	RESERVED	R	0h	保留
3	RB_OEb_5	R	0h	OEb5 的状态
2	RB_OEb_6	R	0h	OEb6 的状态
1	RB_OEb_7	R	0h	OEb7 的状态
0	RESERVED	R	0h	保留

9.3.4 R3 寄存器（偏移 = 3h）[复位 = 00h]

R3 如表 9-59 所示。

返回到汇总表。

表 9-59. R3 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5	RB_OEb_0	R	0h	OEb0 的状态
4:3	RESERVED	R	0h	保留
2	RB_OEb_1	R	0h	OEb1 的状态
1:0	RESERVED	R	0h	保留

9.3.5 R4 寄存器（偏移 = 4h）[复位 = 10h]

R4 如表 9-60 所示。

返回到汇总表。

表 9-60. R4 寄存器字段说明

位	字段	类型	复位	说明
7:5	RESERVED	R	0h	保留
4	AOD_ENABLE	R/W	1h	当检测到 LOS 事件时，启用自动输出禁用 (AOD)，切换到低电平/低电平。有关详细信息，请参阅“自动输出禁用”部分。 0h = 已禁用（直流耦合） 1h = 已启用（交流耦合）
3:1	RESERVED	R	0h	保留
0	RB_SBI_ENQ	R	0h	SBI_ENQ 的状态

9.3.6 R5 寄存器（偏移 = 5h）[复位 = 0Ah]

R5 如表 9-61 所示。

返回到汇总表。

表 9-61. R5 寄存器字段说明

位	字段	类型	复位	说明
7:4	REV_ID	R	0h	修订 ID

Copyright © 2025 Texas Instruments Incorporated

表 9-61. R5 寄存器字段说明（续）

位	字段	类型	复位	说明
3:0	VENDOR_ID	R	Ah	供应商 ID

9.3.7 R6 寄存器（偏移 = 6h）[复位 = 08h]

R6 如表 9-62 所示。

返回到汇总表。

表 9-62. R6 寄存器字段说明

位	字段	类型	复位	说明
7:0	DEV_ID	R	8h	器件 ID

9.3.8 R7 寄存器（偏移 = 7h）[复位 = 07h]

R7 如表 9-63 所示。

返回到汇总表。

表 9-63. R7 寄存器字段说明

位	字段	类型	复位	说明
7:5	RESERVED	R	0h	保留
4:0	SMBUS_BC	R/W	7h	SMBUS 块读取字节计数

9.3.9 R8 寄存器（偏移 = 8h）[复位 = 00h]

R8 如表 9-64 所示。

返回到汇总表。

表 9-64. R8 寄存器字段说明

位	字段	类型	复位	说明
7	SBI_MASK_2	R/W	0h	屏蔽 CLK2 的边带禁用
6	SBI_MASK_3	R/W	0h	屏蔽 CLK3 的边带禁用
5	SBI_MASK_4	R/W	0h	屏蔽 CLK4 的边带禁用
4	RESERVED	R	0h	保留
3	SBI_MASK_5	R/W	0h	屏蔽 CLK5 的边带禁用
2	SBI_MASK_6	R/W	0h	屏蔽 CLK6 的边带禁用
1	SBI_MASK_7	R/W	0h	屏蔽 CLK7 的边带禁用
0	RESERVED	R	0h	保留

9.3.10 R9 寄存器（偏移 = 9h）[复位 = 00h]

R9 如表 9-65 所示。

返回到汇总表。

表 9-65. R9 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留

Copyright © 2025 Texas Instruments Incorporated

表 9-65. R9 寄存器字段说明（续）

位	字段	类型	复位	说明
5	SBI_MASK_0	R/W	0h	屏蔽 CLK0 的边带禁用
4:3	RESERVED	R	0h	保留
2	SBI_MASK_1	R/W	0h	屏蔽 CLK1 的边带禁用
1:0	RESERVED	R	0h	保留

9.3.11 R11 寄存器（偏移 = Bh）[复位 = EEh]

R11 如表 9-66 所示。

返回到汇总表。

表 9-66. R11 寄存器字段说明

位	字段	类型	复位	说明
7	SBI_CLK_2	R	1h	CLK5 边带禁用回读
6	SBI_CLK_3	R	1h	CLK4 边带禁用回读
5	SBI_CLK_4	R	1h	CLK3 边带禁用回读
4	RESERVED	R	0h	保留
3	SBI_CLK_5	R	1h	CLK2 边带禁用回读
2	SBI_CLK_6	R	1h	CLK1 边带禁用回读
1	SBI_CLK_7	R	1h	CLK0 边带禁用回读
0	RESERVED	R	0h	保留

9.3.12 R12 寄存器（偏移 = Ch）[复位 = 24h]

R12 如表 9-67 所示。

返回到汇总表。

表 9-67. R12 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5	SBI_CLK_0	R	1h	CLK7 边带禁用回读
4:3	RESERVED	R	0h	保留
2	SBI_CLK_1	R	1h	CLK6 边带禁用回读
1:0	RESERVED	R	0h	保留

9.3.13 R17 寄存器（偏移 = 11h）[复位 = 66h]

R17 如表 9-68 所示。

返回到汇总表。

Copyright © 2025 Texas Instruments Incorporated

表 9-68. R17 寄存器字段说明

位	字段	类型	复位	说明
7:4	AMP	R/W	6h	全局差分输出控制 0.6V 至 1V 25mV/步长（默认值 = 0.8V） 0h = 600mV 1h = 625mV 2h = 650mV 3h = 675mV 4h = 700mV 5h = 725mV 6h = 750mV 7h = 775mV 8h = 800mV 9h = 825mV Ah = 850mV Bh = 875mV Ch = 900mV Dh = 925mV Eh = 950mV Fh = 975mV
3:0	RESERVED	R	0h	保留

9.3.14 R18 寄存器（偏移 = 12h）[复位 = 08h]

R18 如表 9-69 所示。

返回到汇总表。

表 9-69. R18 寄存器字段说明

位	字段	类型	复位	说明
7	RX_EN_AC_INPUT	R/W	0h	当 CLKIN 是交流耦合时启用接收器偏置 0h = 直流耦合输入 1h = 交流耦合输入
6	RX_EN_RTERM_LSB	R/W	0h	启用/禁用 CLKIN1 上的端接电阻器 0h = 已禁用 1h = 已启用
5:4	RESERVED	R	0h	保留
3	PD_RESTOREB	R/W	1h	断电时保存配置 0h = 配置已清除 1h = 配置已保存
2:1	RESERVED	R	0h	保留
0	LOSb_RB	R	0h	实时回读丢失检测块输出 0h = 检测到 LOS 事件 1h = 未检测到 LOS 事件

9.3.15 R20 寄存器（偏移 = 14h）[复位 = EEh]

R20 如表 9-70 所示。

返回到汇总表。

表 9-70. R20 寄存器字段说明

位	字段	类型	复位	说明
7	SLEWRATE_SEL_CLK2_MSB	R/W	1h	MSB CLK2 压摆率选择
6	SLEWRATE_SEL_CLK3_MSB	R/W	1h	MSB CLK3 压摆率选择

Copyright © 2025 Texas Instruments Incorporated

表 9-70. R20 寄存器字段说明（续）

位	字段	类型	复位	说明
5	SLEWRATE_SEL_CLK4_MSB	R/W	1h	MSB CLK4 压摆率选择
4	RESERVED	R	0h	保留
3	SLEWRATE_SEL_CLK5_MSB	R/W	1h	MSB CLK5 压摆率选择
2	SLEWRATE_SEL_CLK6_MSB	R/W	1h	MSB CLK6 压摆率选择
1	SLEWRATE_SEL_CLK7_MSB	R/W	1h	MSB CLK7 压摆率选择
0	RESERVED	R	0h	保留

9.3.16 R21 寄存器（偏移 = 15h）[复位 = 24h]

R21 如表 9-71 所示。

返回到汇总表。

表 9-71. R21 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5	SLEWRATE_SEL_CLK0_MSB	R/W	1h	MSB CLK0 压摆率选择
4:3	RESERVED	R	0h	保留
2	SLEWRATE_SEL_CLK1_MSB	R/W	1h	MSB CLK1 压摆率选择
1:0	RESERVED	R	0h	保留

9.3.17 R38 寄存器（偏移 = 26h）[复位 = 00h]

R38 如表 9-72 所示。

返回到汇总表。

表 9-72. R38 寄存器字段说明

位	字段	类型	复位	说明
7:1	RESERVED	R	0h	保留
0	WRITE_LOCK	R	0h	不可清除的 SMBus 写入锁定位。当写入 1 时，无法写入 SMBus 控制寄存器。该位只能通过下电上电来清除。 0h = SMBus 未进行写入锁定 1h = SMBus 已进行写入锁定

9.3.18 R39 寄存器（偏移 = 27h）[复位 = 00h]

R39 如表 9-73 所示。

返回到汇总表。

表 9-73. R39 寄存器字段说明

位	字段	类型	复位	说明
7:2	RESERVED	R	0h	保留

Copyright © 2025 Texas Instruments Incorporated

表 9-73. R39 寄存器字段说明（续）

位	字段	类型	复位	说明
1	LOS_EVT	R/W	0h	LOS 事件状态。处于高电平时，指示检测到 LOS 事件。可通过写入 1 来清除。 0h = 未检测到 LOS 事件 1h = 检测到 LOS 事件
0	WRITE_LOCK_RW1C	R	0h	可清除的 SMBus 写入锁定位。当写入 1 时，无法写入 SMBus 控制寄存器。可通过向该位写入 1 来清除该位。 0h = SMBus 未进行写入锁定 1h = SMBus 已进行写入锁定

9.3.19 R53 寄存器（偏移 = 35h）[复位 = 00h]

R53 如表 9-74 所示。

返回到汇总表。

表 9-74. R53 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5	SLEWRATE_CTRL_MODE	R/WSC	0h	设置使用哪种模式来更改输出压摆率 0h = 引脚模式 1h = SMBus 模式
4:0	RESERVED	R	0h	保留

9.3.20 R91 寄存器（偏移 = 5Bh）[复位 = 60h]

R91 如表 9-75 所示。

返回到汇总表。

表 9-75. R91 寄存器字段说明

位	字段	类型	复位	说明
7:4	SLEWRATE_OPT_2	R/W	2h/6h	有四个寄存器分配，每个分配存储一个压摆率值（从 16 个可用压摆率值中选择）。此寄存器位与第 2 个选项相关。有关详细信息，请参阅“可编程输出压摆率”部分。 0h = 0 1h = 1 2h = 2（LMKDB1108FS 的默认设置） 3h = 3 4h = 4 5h = 5 6h = 6（LMKDB1108 的默认设置） 7h = 7 8h = 8 9h = 9 Ah = 10 Bh = 11 Ch = 12 Dh = 13 Eh = 14 Fh = 15

Copyright © 2025 Texas Instruments Incorporated

表 9-75. R91 寄存器字段说明（续）

位	字段	类型	复位	说明
3:0	SLEWRATE_OPT_1	R/W	0h	有四个寄存器分配，每个分配存储一个压摆率值（从 16 个可用压摆率值中选择）。此寄存器位与第 1 个选项相关。有关详细信息，请参阅“可编程输出压摆率”部分。 0h = 0 1h = 1 2h = 2 3h = 3 4h = 4 5h = 5 6h = 6 7h = 7 8h = 8 9h = 9 Ah = 10 Bh = 11 Ch = 12 Dh = 13 Eh = 14 Fh = 15

9.3.21 R92 寄存器（偏移 = 5Ch）[复位 = FAh]

R92 如表 9-76 所示。

返回到汇总表。

表 9-76. R92 寄存器字段说明

位	字段	类型	复位	说明
7:4	SLEWRATE_OPT_4	R/W	Fh	有四个寄存器分配，每个分配存储一个压摆率值（从 16 个可用压摆率值中选择）。此寄存器位与第 4 个选项相关。有关详细信息，请参阅“可编程输出压摆率”部分。 0h = 0 1h = 1 2h = 2 3h = 3 4h = 4 5h = 5 6h = 6 7h = 7 8h = 8 9h = 9 Ah = 10 Bh = 11 Ch = 12 Dh = 13 Eh = 14 Fh = 15

Copyright © 2025 Texas Instruments Incorporated

表 9-76. R92 寄存器字段说明（续）

位	字段	类型	复位	说明
3:0	SLEWRATE_OPT_3	R/W	6h/Ah	有四个寄存器分配，每个分配存储一个压摆率值（从 16 个可用压摆率值中选择）。此寄存器位与第 3 个选项相关。有关详细信息，请参阅“可编程输出压摆率”部分。 0h = 0 1h = 1 2h = 2 3h = 3 4h = 4 5h = 5 6h = 6（LMKDB1108FS 的默认设置） 7h = 7 8h = 8 9h = 9 Ah = 10（LMKDB1108 的默认设置） Bh = 11 Ch = 12 Dh = 13 Eh = 14 Fh = 15

9.3.22 R98 寄存器（偏移 = 62h）[复位 = 00h]

R98 如表 9-77 所示。

返回到汇总表。

表 9-77. R98 寄存器字段说明

位	字段	类型	复位	说明
7	SLEWRATE_SEL_CLK7_LSB	R/W	0h	LSB CLK7 压摆率控制
6	SLEWRATE_SEL_CLK6_LSB	R/W	0h	LSB CLK6 压摆率控制
5	SLEWRATE_SEL_CLK5_LSB	R/W	0h	LSB CLK5 压摆率控制
4	SLEWRATE_SEL_CLK4_LSB	R/W	0h	LSB CLK4 压摆率控制
3	SLEWRATE_SEL_CLK3_LSB	R/W	0h	LSB CLK3 压摆率控制
2	SLEWRATE_SEL_CLK2_LSB	R/W	0h	LSB CLK2 压摆率控制
1	SLEWRATE_SEL_CLK1_LSB	R/W	0h	LSB CLK1 压摆率控制
0	SLEWRATE_SEL_CLK0_LSB	R/W	0h	LSB CLK0 压摆率控制

Copyright © 2025 Texas Instruments Incorporated

9.4 LMKDB1104 和 LMKDB1104FS 寄存器

表 9-78 列出了 LMKDB1104 和 LMKDB1104FS 寄存器的存储器映射寄存器。表 9-78 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不得修改寄存器内容。

表 9-78. LMKDB1104 和 LMKDB1104FS 寄存器

偏移	首字母缩写词	寄存器名称	部分
0h	R0	CLK2 和 CLK3 的输出使能控制	节 9.4.1
1h	R1	CLK0 和 CLK1 的输出使能控制	节 9.4.2
2h	R2	CLK2 和 CLK3 的 OE 引脚回读	节 9.4.3
3h	R3	CLK0 和 CLK1 的 OE 引脚回读	节 9.4.4
4h	R4	SBI_EN 和 CLKIN AOD 使能控制的回读状态	节 9.4.5
5h	R5	器件信息	节 9.4.6
6h	R6	器件信息 (续)	节 9.4.7
7h	R7	SMBus 字节计数器	节 9.4.8
8h	R8	屏蔽 CLK3 和 CLK2 的边带禁用	节 9.4.9
9h	R9	屏蔽 CLK1 和 CLK0 的边带禁用	节 9.4.10
Bh	R11	CLK3 和 CLK2 边带禁用回读	节 9.4.11
Ch	R12	CLK1 和 CLK0 边带禁用回读	节 9.4.12
11h	R17	输出幅度	节 9.4.13
12h	R18	输入配置、在 PD 中保存配置、压摆率选择模式、SMB SDATA 监测和 LOS 回读	节 9.4.14
14h	R20	CLK2 和 CLK3 的输出压摆率选择 MSB	节 9.4.15
15h	R21	CLK0 和 CLK1 的输出压摆率选择 MSB	节 9.4.16
26h	R38	不可清除的 SMBUS 写入锁定	节 9.4.17
27h	R39	LOS 事件状态和可清除的 SMBus 写入锁定	节 9.4.18
5Bh	R91	压摆率速度选项 1 和 2 分配	节 9.4.19
5Ch	R92	压摆率速度选项 3 和 4 分配	节 9.4.20
62h	R98	CLK0 和 CLK1 的输出压摆率选择 LSB	节 9.4.21
63h	R99	CLK2 和 CLK3 的输出压摆率选择 LSB	节 9.4.22

复杂的位访问类型经过编码可适应小型表单元。表 9-79 展示了适用于此部分中访问类型的代码。

表 9-79. LMKDB1104 和 LMKDB1104FS 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
写入类型		
W	W	写入
W1C	W 1C	写入 1 以清零
复位或默认值		
-n		复位后的值或默认值

9.4.1 R0 寄存器 (偏移 = 0h) [复位 = 24h]

R0 如表 9-80 所示。

返回到汇总表。

表 9-80. R0 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5	CLK_EN_2	R/W	1h	CLK2 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已启用
4:3	RESERVED	R	0h	保留
2	CLK_EN_3	R/W	1h	CLK3 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已启用
1:0	RESERVED	R	0h	保留

9.4.2 R1 寄存器（偏移 = 1h）[复位 = 22h]

R1 如表 9-81 所示。

返回到汇总表。

表 9-81. R1 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5	CLK_EN_0	R/W	1h	CLK0 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已启用
4:2	RESERVED	R	0h	保留
1	CLK_EN_1	R/W	1h	CLK1 的输出使能 0h = 输出已禁用（低电平/低电平） 1h = 输出已启用
0	RESERVED	R	0h	保留

9.4.3 R2 寄存器（偏移 = 2h）[复位 = 00h]

R2 如表 9-82 所示。

返回到汇总表。

表 9-82. R2 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5	RB_OEb_2	R	0h	OEb2 的状态
4:3	RESERVED	R	0h	保留
2	RB_OEb_3	R	0h	OEb3 的状态
1:0	RESERVED	R	0h	保留

9.4.4 R3 寄存器（偏移 = 3h）[复位 = 00h]

R3 如表 9-83 所示。

返回到汇总表。

Copyright © 2025 Texas Instruments Incorporated

表 9-83. R3 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5	RB_OEb_0	R	0h	OEb0 的状态
4:2	RESERVED	R	0h	保留
1	RB_OEb_1	R	0h	OEb1 的状态
0	RESERVED	R	0h	保留

9.4.5 R4 寄存器（偏移 = 4h）[复位 = 10h]

R4 如表 9-84 所示。

返回到汇总表。

表 9-84. R4 寄存器字段说明

位	字段	类型	复位	说明
7:5	RESERVED	R	0h	保留
4	AOD_ENABLE	R/W	1h	当检测到 LOS 事件时，启用 CLKIN 的自动输出禁用 (AOD)，切换到低电平/低电平。有关详细信息，请参阅“自动输出禁用”部分。 0h = 不活动 1h = 活动
3:1	RESERVED	R	0h	保留
0	RB_SBI_ENQ	R	0h	SBI_ENQ 的状态

9.4.6 R5 寄存器（偏移 = 5h）[复位 = 0Ah]

R5 如表 9-85 所示。

返回到汇总表。

表 9-85. R5 寄存器字段说明

位	字段	类型	复位	说明
7:4	REV_ID	R	0h	修订 ID
3:0	VENDOR_ID	R	Ah	供应商 ID

9.4.7 R6 寄存器（偏移 = 6h）[复位 = 04h]

R6 如表 9-86 所示。

返回到汇总表。

表 9-86. R6 寄存器字段说明

位	字段	类型	复位	说明
7:0	DEV_ID	R	4h	器件 ID

9.4.8 R7 寄存器（偏移 = 7h）[复位 = 07h]

R7 如表 9-87 所示。

返回到汇总表。

Copyright © 2025 Texas Instruments Incorporated

表 9-87. R7 寄存器字段说明

位	字段	类型	复位	说明
7:5	RESERVED	R	0h	保留
4:0	SMBUS_BC	R/W	7h	SMBUS 块读取字节计数

9.4.9 R8 寄存器（偏移 = 8h）[复位 = 00h]

R8 如表 9-88 所示。

返回到汇总表。

表 9-88. R8 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5	SBI_MASK_2	R/W	0h	屏蔽 CLK2 的边带禁用
4:3	RESERVED	R	0h	保留
2	SBI_MASK_3	R/W	0h	屏蔽 CLK3 的边带禁用
1:0	RESERVED	R	0h	保留

9.4.10 R9 寄存器（偏移 = 9h）[复位 = 00h]

R9 如表 9-89 所示。

返回到汇总表。

表 9-89. R9 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5	SBI_MASK_0	R/W	0h	屏蔽 CLK0 的边带禁用
4:2	RESERVED	R	0h	保留
1	SBI_MASK_1	R/W	0h	屏蔽 CLK1 的边带禁用
0	RESERVED	R	0h	保留

9.4.11 R11 寄存器（偏移 = Bh）[复位 = 24h]

R11 如表 9-90 所示。

返回到汇总表。

表 9-90. R11 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5	SBI_CLK_2	R	1h	CLK2 边带禁用回读
4:3	RESERVED	R	0h	保留
2	SBI_CLK_3	R	1h	CLK3 边带禁用回读
1:0	RESERVED	R	0h	保留

9.4.12 R12 寄存器（偏移 = Ch）[复位 = 22h]

R12 如表 9-91 所示。

Copyright © 2025 Texas Instruments Incorporated

返回到汇总表。

表 9-91. R12 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5	SBI_CLK_0	R	1h	CLK0 边带禁用回读
4:2	RESERVED	R	0h	保留
1	SBI_CLK_1	R	1h	CLK1 边带禁用回读
0	RESERVED	R	0h	保留

9.4.13 R17 寄存器（偏移 = 11h）[复位 = 66h]

R17 如表 9-92 所示。

返回到汇总表。

表 9-92. R17 寄存器字段说明

位	字段	类型	复位	说明
7:4	AMP	R/W	6h	全局差分输出控制，约 0.6V 至 1V 25mV/步长（默认值 = 0.75V） 0h = 600mV 1h = 625mV 2h = 650mV 3h = 675mV 4h = 700mV 5h = 725mV 6h = 750mV 7h = 775mV 8h = 800mV 9h = 825mV Ah = 850mV Bh = 875mV Ch = 900mV Dh = 925mV Eh = 950mV Fh = 975mV
3:0	RESERVED	R	0h	保留

9.4.14 R18 寄存器（偏移 = 12h）[复位 = 0Ah]

R18 如表 9-93 所示。

返回到汇总表。

表 9-93. R18 寄存器字段说明

位	字段	类型	复位	说明
7	RX_CLKIN_EN_AC_INPUT	R/W	0h	当 CLKIN 是交流耦合时启用接收器偏置 0h = 直流耦合输入 1h = 交流耦合输入
6	RX_CLKIN_EN_RTERM	R/W	0h	启用 CLKIN1 上的端接电阻器 0h = 输入端接未激活 1h = 输入端接激活
5	RESERVED	R	0h	保留
4	SLEWRATE_CTRL_MODE	R	0h	引脚模式和寄存器模式之间的压摆率选择首选项。 0h = 引脚控制 1h = 寄存器控制

Copyright © 2025 Texas Instruments Incorporated

表 9-93. R18 寄存器字段说明（续）

位	字段	类型	复位	说明
3	PD_RESTOREB	R	1h	断电时保存配置 0h = 配置已清除 1h = 配置已保存
2	RESERVED	R	0h	保留
1	SDATA_TIMEOUT_EN	R	1h	启用 SMBus SDATA 超时监控 0h = 禁用 SDATA 超时 1h = 启用 SDATA 超时
0	LOSb_RB	R	0h	实时回读丢失检测块输出 0h = 检测到 LOS 事件 1h = 未检测到 LOS 事件

9.4.15 R20 寄存器（偏移 = 14h）[复位 = 24h]

R20 如表 9-94 所示。

返回到汇总表。

表 9-94. R20 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5	SLEWRATE_SEL_CLK2_MSB	R/W	1h	MSB CLK2 压摆率选择
4:3	RESERVED	R	0h	保留
2	SLEWRATE_SEL_CLK3_MSB	R/W	1h	MSB CLK3 压摆率选择
1:0	RESERVED	R	0h	保留

9.4.16 R21 寄存器（偏移 = 15h）[复位 = 22h]

R21 如表 9-95 所示。

返回到汇总表。

表 9-95. R21 寄存器字段说明

位	字段	类型	复位	说明
7:6	RESERVED	R	0h	保留
5	SLEWRATE_SEL_CLK0_MSB	R/W	1h	MSB CLK0 压摆率选择
4:2	RESERVED	R	0h	保留
1	SLEWRATE_SEL_CLK1_MSB	R/W	1h	MSB CLK1 压摆率选择
0	RESERVED	R	0h	保留

9.4.17 R38 寄存器（偏移 = 26h）[复位 = 00h]

R38 如表 9-96 所示。

返回到汇总表。

Copyright © 2025 Texas Instruments Incorporated

表 9-96. R38 寄存器字段说明

位	字段	类型	复位	说明
7:1	RESERVED	R	0h	保留
0	WRITE_LOCK	R	0h	不可清除的 SMBus 写入锁定位。当写入 1 时，无法写入 SMBus 控制寄存器。该位只能通过下电上电来清除。 0h = SMBus 未进行写入锁定 1h = SMBus 已进行写入锁定

9.4.18 R39 寄存器（偏移 = 27h）[复位 = 00h]

R39 如表 9-97 所示。

返回到汇总表。

表 9-97. R39 寄存器字段说明

位	字段	类型	复位	说明
7:2	RESERVED	R	0h	保留
1	LOS_EVT	R	0h	LOS 事件状态。处于高电平时，指示检测到 LOS 事件。可通过写入 1 来清除。 0h = 未检测到 LOS 事件 1h = 检测到 LOS 事件
0	WRITE_LOCK_RW1C	R/W1C	0h	可清除的 SMBus 写入锁定位。当写入 1 时，无法写入 SMBus 控制寄存器。可通过向该位写入 1 来清除该位。 0h = SMBus 未进行写入锁定 1h = SMBus 已进行写入锁定

9.4.19 R91 寄存器（偏移 = 5Bh）[复位 = 60h]

R91 如表 9-98 所示。

返回到汇总表。

表 9-98. R91 寄存器字段说明

位	字段	类型	复位	说明
7:4	SLEWRATE_OPT_2	R/W	2h/6h	有四个寄存器分配，每个分配存储一个压摆率值（从 16 个可用压摆率值中选择）。此寄存器位与第 2 个选项相关。有关详细信息，请参阅“可编程输出压摆率”部分。 0h = 0（最快） 1h = 1 2h = 2（LMKDB1104FS 的默认设置） 3h = 3 4h = 4 5h = 5 6h = 6（LMKDB1104 的默认设置） 7h = 7 8h = 8 9h = 9 Ah = 10 Bh = 11 Ch = 12 Dh = 13 Eh = 14 Fh = 15（最慢）

Copyright © 2025 Texas Instruments Incorporated

表 9-98. R91 寄存器字段说明（续）

位	字段	类型	复位	说明
3:0	SLEWRATE_OPT_1	R/W	0h	有四个寄存器分配，每个分配存储一个压摆率值（从 16 个可用压摆率值中选择）。此寄存器位与第 1 个选项相关。有关详细信息，请参阅“可编程输出压摆率”部分。 0h = 0（最快） 1h = 1 2h = 2 3h = 3 4h = 4 5h = 5 6h = 6 7h = 7 8h = 8 9h = 9 Ah = 10 Bh = 11 Ch = 12 Dh = 13 Eh = 14 Fh = 15（最慢）

9.4.20 R92 寄存器（偏移 = 5Ch）[复位 = FAh]

R92 如表 9-99 所示。

返回到汇总表。

表 9-99. R92 寄存器字段说明

位	字段	类型	复位	说明
7:4	SLEWRATE_OPT_4	R/W	Fh	有四个寄存器分配，每个分配存储一个压摆率值（从 16 个可用压摆率值中选择）。此寄存器位与第 4 个选项相关。有关详细信息，请参阅“可编程输出压摆率”部分。 0h = 0（最快） 1h = 1 2h = 2 3h = 3 4h = 4 5h = 5 6h = 6 7h = 7 8h = 8 9h = 9 Ah = 10 Bh = 11 Ch = 12 Dh = 13 Eh = 14 Fh = 15（最慢）

Copyright © 2025 Texas Instruments Incorporated

表 9-99. R92 寄存器字段说明（续）

位	字段	类型	复位	说明
3:0	SLEWRATE_OPT_3	R/W	6h/Ah	有四个寄存器分配，每个分配存储一个压摆率值（从 16 个可用压摆率值中选择）。此寄存器位与第 3 个选项相关。有关详细信息，请参阅“可编程输出压摆率”部分。 0h = 0（最快） 1h = 1 2h = 2 3h = 3 4h = 4 5h = 5 6h = 6（LMKDB1104FS 的默认设置） 7h = 7 8h = 8 9h = 9 Ah = 10（LMKDB1104 的默认设置） Bh = 11 Ch = 12 Dh = 13 Eh = 14 Fh = 15（最慢）

9.4.21 R98 寄存器（偏移 = 62h）[复位 = 00h]

R98 如表 9-100 所示。

返回到汇总表。

表 9-100. R98 寄存器字段说明

位	字段	类型	复位	说明
7	SLEWRATE_SEL_CLK1_LSB	R/W	0h	LSB CLK1 压摆率控制
6:5	RESERVED	R	0h	保留
4	SLEWRATE_SEL_CLK0_LSB	R/W	0h	LSB CLK0 压摆率控制
3:0	RESERVED	R	0h	保留

9.4.22 R99 寄存器（偏移 = 63h）[复位 = 00h]

R99 如表 9-101 所示。

返回到汇总表。

表 9-101. R99 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0h	保留
6	SLEWRATE_SEL_CLK3_LSB	R/W	0h	LSB CLK3 压摆率控制
5:3	RESERVED	R	0h	保留
2	SLEWRATE_SEL_CLK2_LSB	R/W	0h	LSB CLK2 压摆率控制
1:0	RESERVED	R	0h	保留

Copyright © 2025 Texas Instruments Incorporated

10 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

10.1 应用信息

LMKDB 器件是一系列超低附加抖动 LP-HCSL 时钟缓冲器和时钟多路复用器。该器件可通过 SMBus 寄存器、边带接口和 OE# 引脚进行控制。

10.2 典型应用

以下示例显示了 PCIe 和以太网时钟分配。根据给定源提供 PCIe 时钟 (100MHz) 或以太网时钟 (156.25MHz) 的多个副本。

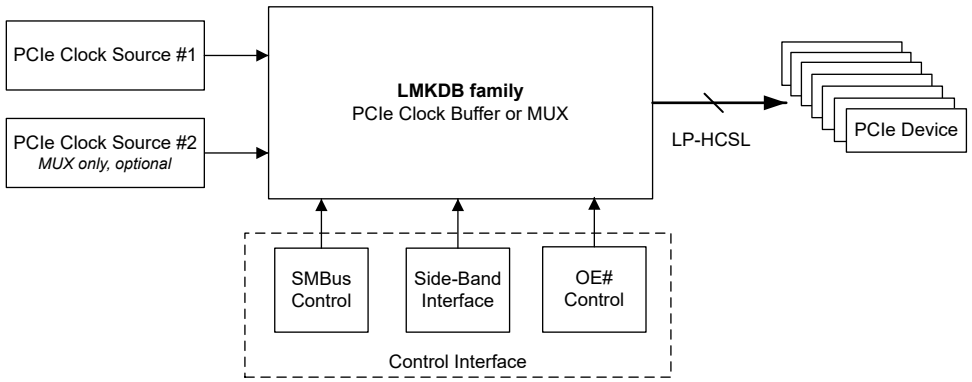


图 10-1. 典型应用

10.2.1 设计要求

分别为 PCIe 时钟扇出和以太网时钟扇出找到两个缓冲器。必须满足抖动要求，并且必须更大程度缩小占用空间。

表 10-1. 设计参数

参数	值
PCIe 时钟数量	15
156.25MHz 以太网时钟数量	7
PCIe 架构	CC（通用时钟）
PCIe 参考时钟压摆率	≥3.5V/ns
PCIe 第 5 代参考时钟抖动	45fs（最大值）
PCIe 第 5 代总抖动	50fs（最大值）
156.25MHz 参考时钟压摆率	≥3.5V/ns
156.25MHz 参考时钟抖动（12kHz 至 20MHz）	90fs（最大值）
156.25MHz 总抖动（12kHz 至 20MHz）	100fs（最大值）

10.2.2 详细设计过程

首先，使用 RMS 加法计算时钟缓冲器的抖动预算。时钟缓冲器允许的最大附加抖动是参考时钟抖动的平方与总时钟抖动的平方之间的差的平方根。

Copyright © 2025 Texas Instruments Incorporated

缓冲器允许的最大 PCIe 第 5 代附加抖动为 sqrt(50^2 – 45^2) = 21fs。根据 *电气特性* 表下面的 规格，通用时钟和 ≥3.5V/ns 输入压摆率测试条件下的 PCIe 第 5 代附加抖动最大值为 13fs，远低于所要求的 21fs。因此，LMKDB1120（20 个输出）可用于 PCIe 第 5 代时钟分配。

同样，156.25MHz 时允许的最大 12kHz 至 20MHz 附加抖动为 sqrt(100^2 – 90^2) = 43fs。根据 *电气特性* 表下面的 规格，156.25MHz 时的 12kHz 至 20MHz 附加抖动最大值为 31fs，远低于所要求的 43fs。因此，LMKDB1108（8 个输出）可用于以太网时钟分配。

10.2.3 应用曲线

以下各图分别是在 156.25MHz 频率下使用 LMKDB 之前和之后的示例相位噪声图。LMKDB 时钟缓冲器从 12kHz 至 20MHz 增加了 22fs（典型值）抖动。所有 LMKDB 器件都具有非常相似的性能。

为了更好地了解抖动以及 LMKDB 的附加抖动如何引起 22fs 抖动，请参阅 *时间就是一切：怎样测量附加抖动* TI 博客文章。

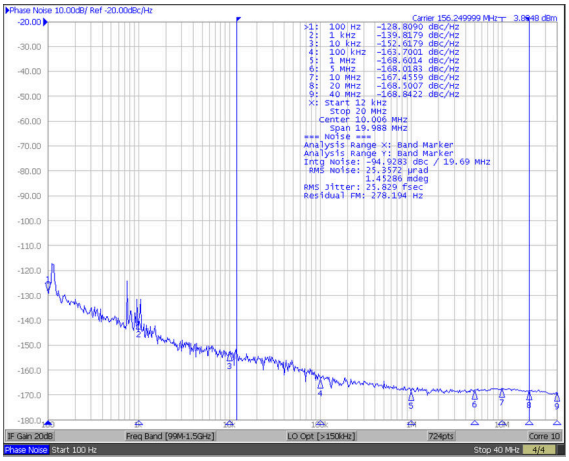
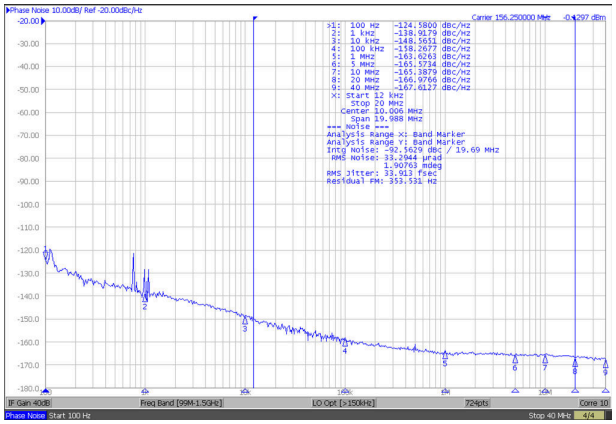


图 10-2. 156.25MHz 下的输入源 (12kHz - 20MHz)



请参阅“图注”表中的注释 1 和注释 2

图 10-3. 156.25MHz 下的 LMKDB11xx/120x 相位噪声/输出抖动 (12kHz - 20MHz)

表 10-2. 图注

注释	
(1)	图中的典型 RMS 抖动值显示了每个频率的总输出 RMS 抖动 (J_{OUT}) 和源时钟 RMS 抖动 (J_{SOURCE})。根据这些值，附加 RMS 抖动可计算为：J_{ADD} = SQRT(J_{OUT} ^{2} – J_{SOURCE} ^{2})。
(2)	156.25MHz 下的 J_{ADD} = SQRT(33.9^2- 25.8^2) = 22.0 fs

10.3 电源相关建议

在每个电源引脚附近放置一个 0.1 µ F 电容器。为了更大程度地降低 VDDA、VDD_IN0 和 VDD_IN1 上的噪声，请在引脚旁放置一个 2.2 Ω 的电阻器。可以将所有电源引脚都分组到一个电源轨上。TI 建议对整个芯片使用铁氧体磁珠和一个 10µF 电容器来接地。图 10-4 和图 10-5 展示了一个示例电源原理图。

Copyright © 2025 Texas Instruments Incorporated

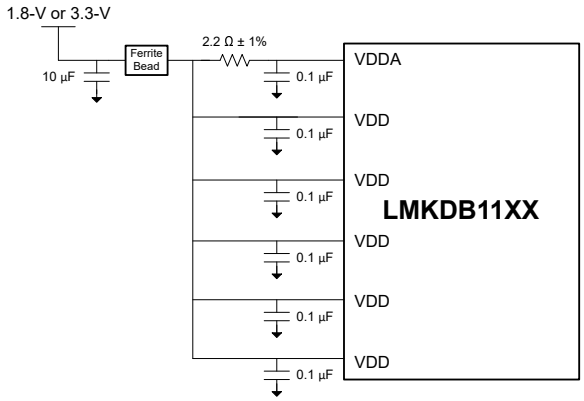


图 10-4. LMKDB11XX 缓冲器的电源建议

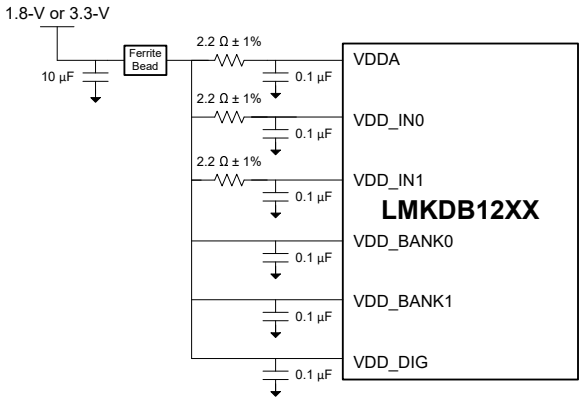


图 10-5. LMKDB12XX 多路复用器的电源建议

如果两个输入均用于多路复用器器件，并且两个输入具有不同的频率（包括使用 SSC 的 PCIe 和不使用 SSC 的 PCIe），则通过添加更多铁氧体磁珠来隔离输入和相应的输出组。

Copyright © 2025 Texas Instruments Incorporated

10.4 布局

10.4.1 布局指南

在器件 DAP 和 PCB 之间使用低电感接地连接。

将 PCB 布线阻抗与器件输出阻抗（85Ω 或 100Ω 差分阻抗）相匹配。消除残桩并减少传输线上的不连续性。

10.4.2 布局示例

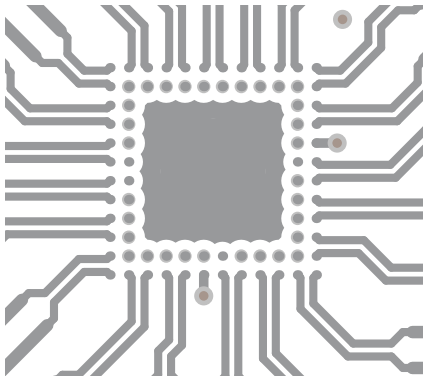


图 10-6. LMKDB1120 和 LMKDB1120FS 布局示例 - 顶层

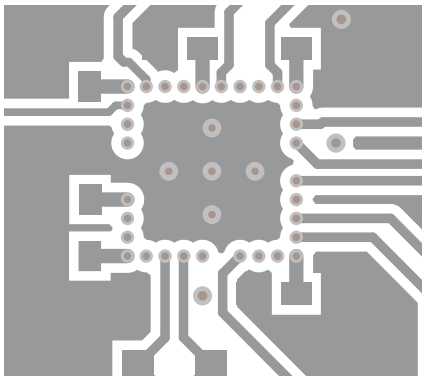


图 10-7. LMKDB1120 和 LMKDB1120FS 布局示例 - 底层

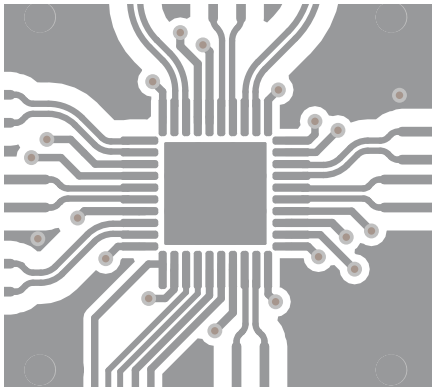


图 10-8. LMKDB1108 和 LMKDB1108FS 布局示例 - 顶层

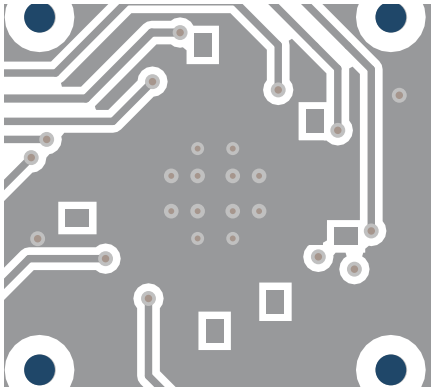


图 10-9. LMKDB1108 和 LMKDB1108FS 布局示例 - 底层

Copyright © 2025 Texas Instruments Incorporated

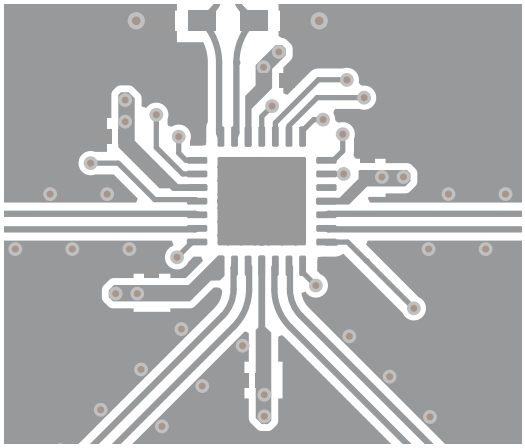


图 10-10. LMKDB1104 和 LMKDB1104FS 布局示例 - 顶层

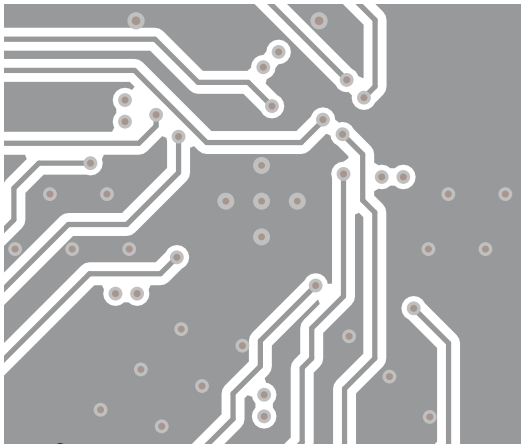


图 10-11. LMKDB1104 和 LMKDB1104FS 布局示例 - 底层

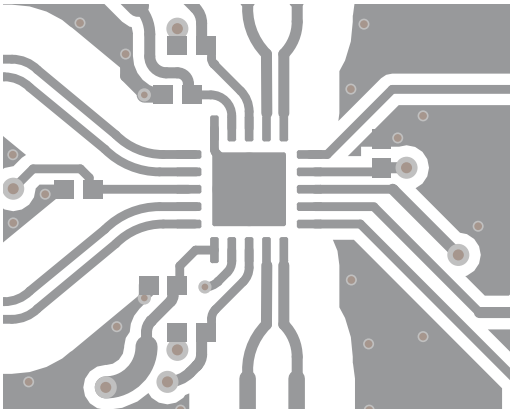


图 10-12. LMKDB1202 布局示例 - 顶层

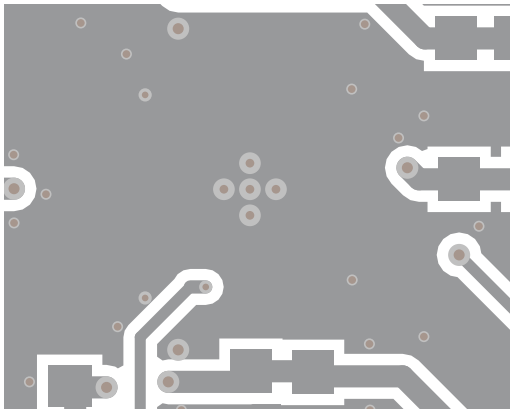


图 10-13. LMKDB1202 布局示例 - 底层

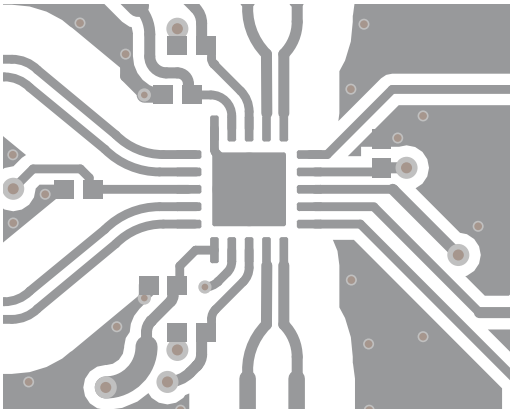


图 10-14. LMKDB1102 布局示例 - 顶层

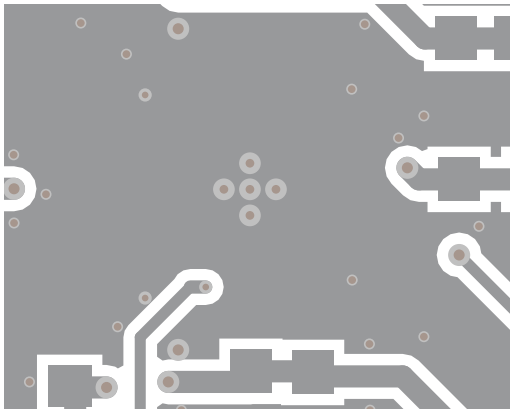


图 10-15. LMKDB1102 布局示例 - 底层

Copyright © 2025 Texas Instruments Incorporated

11 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

11.1 文档支持

11.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，*LMKDB1120 评估模块*，用户指南。
- 德州仪器 (TI)，*LMKDB1108 评估模块*，用户指南。
- 德州仪器 (TI)，*LMKDB1104 评估模块*，用户指南。
- 德州仪器 (TI)，*LMKDB1204 评估模块*，用户指南。
- 德州仪器 (TI)，*LMKDB11021202 评估模块* 用户指南
- 德州仪器 (TI)，*时间就是一切：怎样测量附加抖动，博客文章*

11.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

11.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

11.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

11.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

11.6 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

12 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision E (August 2025) to Revision F (November 2025)	Page
• 更新以包含 LMKDB1112 寄存器映射	1
• 删除了*器件比较* 表中 LMKDB1112 行的预发布信息	3
• 将 LMKDB1112 OE 引脚行为更新为内部上拉	4

Copyright © 2025 Texas Instruments Incorporated

Changes from Revision D (June 2024) to Revision E (August 2025) **Page**

- 通篇更新了表格、图和交叉参考的编号格式 1
- 将 LMKDB1204 和 LMKDB1202 移至新的数据表 (SNAS927) 1
- 添加了 LMKDB1112 引脚排列说明和图表。更新了引脚图和有关引脚的一般说明。 4
- 将 图 7-1 图表负载更新至 2pF。 32
- 更新了仅限缓冲器系列的概述部分。 34
- 更新了 LMKDB11xx 器件的功能图，并将 LMKDB1202 和 LMKDB1204 功能图移至新数据表。 34
- 更新了压摆率说明部分。 38
- 在标题示例中添加了 LMDB1120FS、LMKD1108FS 和 LMKDB1104。删除了 LMKDB1204 布局示例并将其移至 SNAS927。 89

Changes from Revision C (May 2024) to Revision D (June 2024) **Page**

- 通篇更新了表格、图和交叉参考的编号格式 1
- 将 R17 寄存器 7:4 的名称更新为“AMP”，以便匹配 LMKDB1108 的 GUI 名称： 1
- 更新了 R18 表，将 LMKDB1108 的保留位 5:4 一行堆叠在一起 1
- 露出寄存器 R5，用于更改 LMKDB1108 的 REV_ID 1
- 露出 R91 和 R92，以显示 LMKDB1108 的输出压摆率控制 1
- 更正了控制 LMKDB1204 正确芯片输出的寄存器名称（R0、R1、R2、R3、R20、R21） 1
- 将 *LMKBD1108 RKP 封装 40 引脚 VQFN（顶视图）* 中引脚 4 的 *^vSADR1_tri* 更新为 *^vSADR0_tri* 4
- 将 *LMKBD1108 RKP 封装 40 引脚 VQFN（顶视图）* 中引脚 7 的名称和说明从“VDD”更新为“VDDA”。 4
- 将 *LMKBD1108 RKP 封装 40 引脚 VQFN（顶视图）* 中引脚 10 的名称和说明从“VDDA”更新为“VDD”。 4
- 更新了功能方框图 *LMKDB12xx*、*LMKDB12xx 或 LMKDB1102 功能方框图*，将 HW_SW_CTRL 引脚命名修正为 SMB_EN。更改了功能方框图的结构 34
- 更新了功能方框图 *LMKDB12xx*、*LMKDB12xx 或 LMKDB1102 功能方框图*，将 HW_SW_CTRL 引脚命名修正为 SMB_EN 34
- 更改了功能方框图的结构 34
- 在节 8.3.4.2 部分中添加了引脚模式说明。 38
- 添加了 LMDB1102、LMKDB1202、LMKDB1104、LMKD1204 和 LMKDB1108 的布局示例。 89

Changes from Revision B (February 2024) to Revision C (May 2024) **Page**

- 通篇更新了表格、图和交叉参考的编号格式 1
- 删除了 *器件比较* 表中 LMKDB1204 行的预发布信息 3
- 将 *LMKDB1108 功能* 中引脚 4 的 *^vSADR1_tri* 更新为 *^vSADR0_tri* 4
- 添加了 输入配置 部分。 35
- 添加了表 8-1 37

Changes from Revision A (December 2023) to Revision B (February 2024) **Page**

- 通篇更新了表格、图和交叉参考的编号格式 1
- 在 *PWRDN# 置为有效和置为无效* 部分添加了有关建议的 PWRDN# 置为有效/置为无效序列和不正确遵循所产生影响的附加说明 36

Copyright © 2025 Texas Instruments Incorporated

Changes from Revision * (November 2023) to Revision A (December 2023) **Page**

- 通篇更新了表格、图和交叉参考的编号格式 1

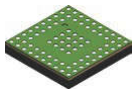
13 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

13.1 机械数据

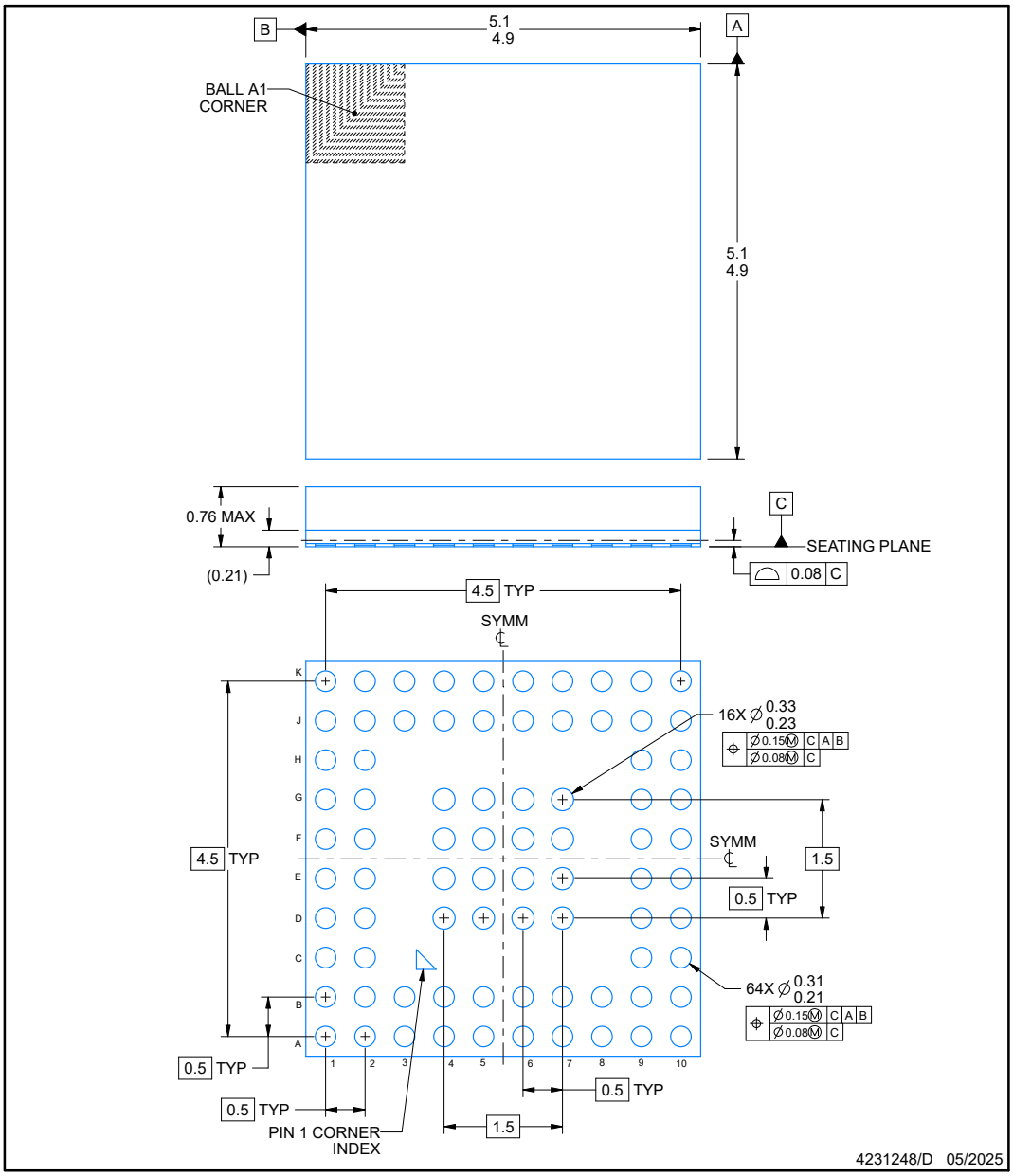
ZSF0064A



PACKAGE OUTLINE

LGA - 0.76 mm max height

LAND GRID ARRAY



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

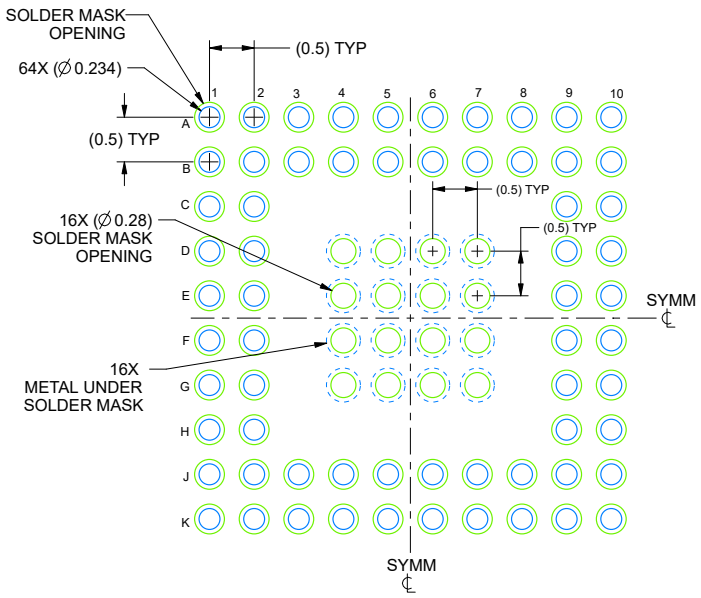
www.ti.com

Copyright © 2025 Texas Instruments Incorporated

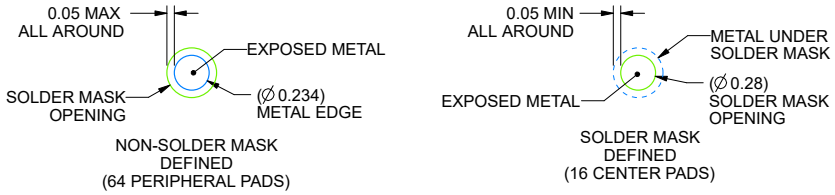
EXAMPLE BOARD LAYOUT

ZSF0064A — **LGA - 0.76 mm max height**

LAND GRID ARRAY



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



SOLDER MASK DETAILS
NOT TO SCALE

4231248/D 05/2025

NOTES: (continued)

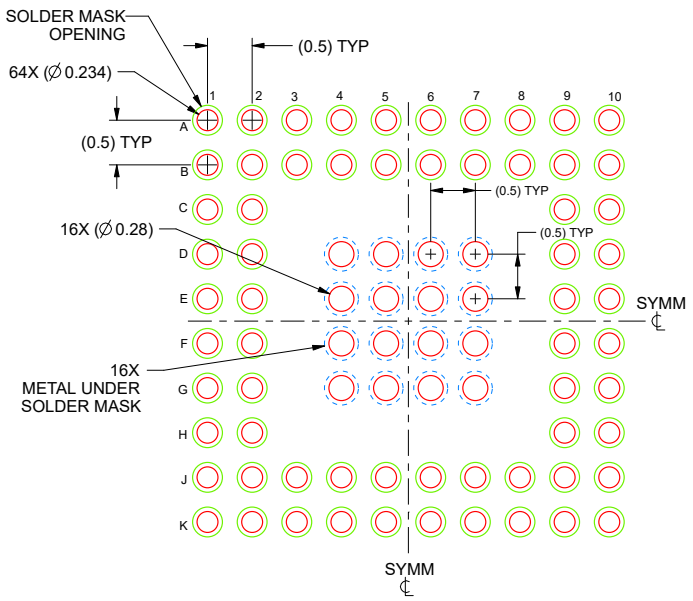
3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. For information, see Texas Instruments literature number SPRAA99 (www.ti.com/lit/spraa99).

Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

ZSF0064A — **LGA - 0.76 mm max height**

LAND GRID ARRAY



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 15X

4231248/D 05/2025

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

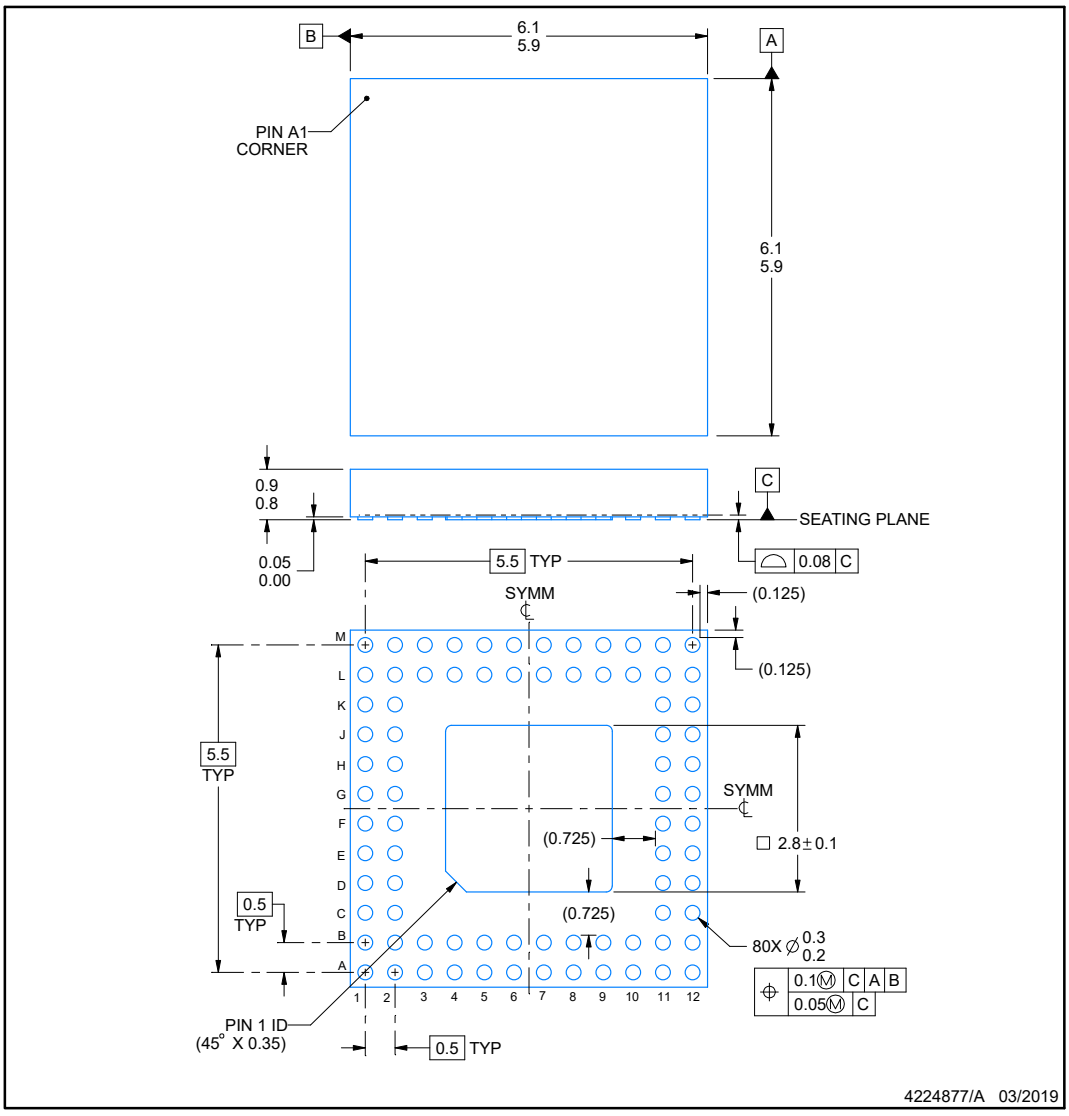
Copyright © 2025 Texas Instruments Incorporated

PACKAGE OUTLINE

NPP0080A

TLGA - 0.9 mm max height

THIN LAND GRID ARRAY



NOTES:

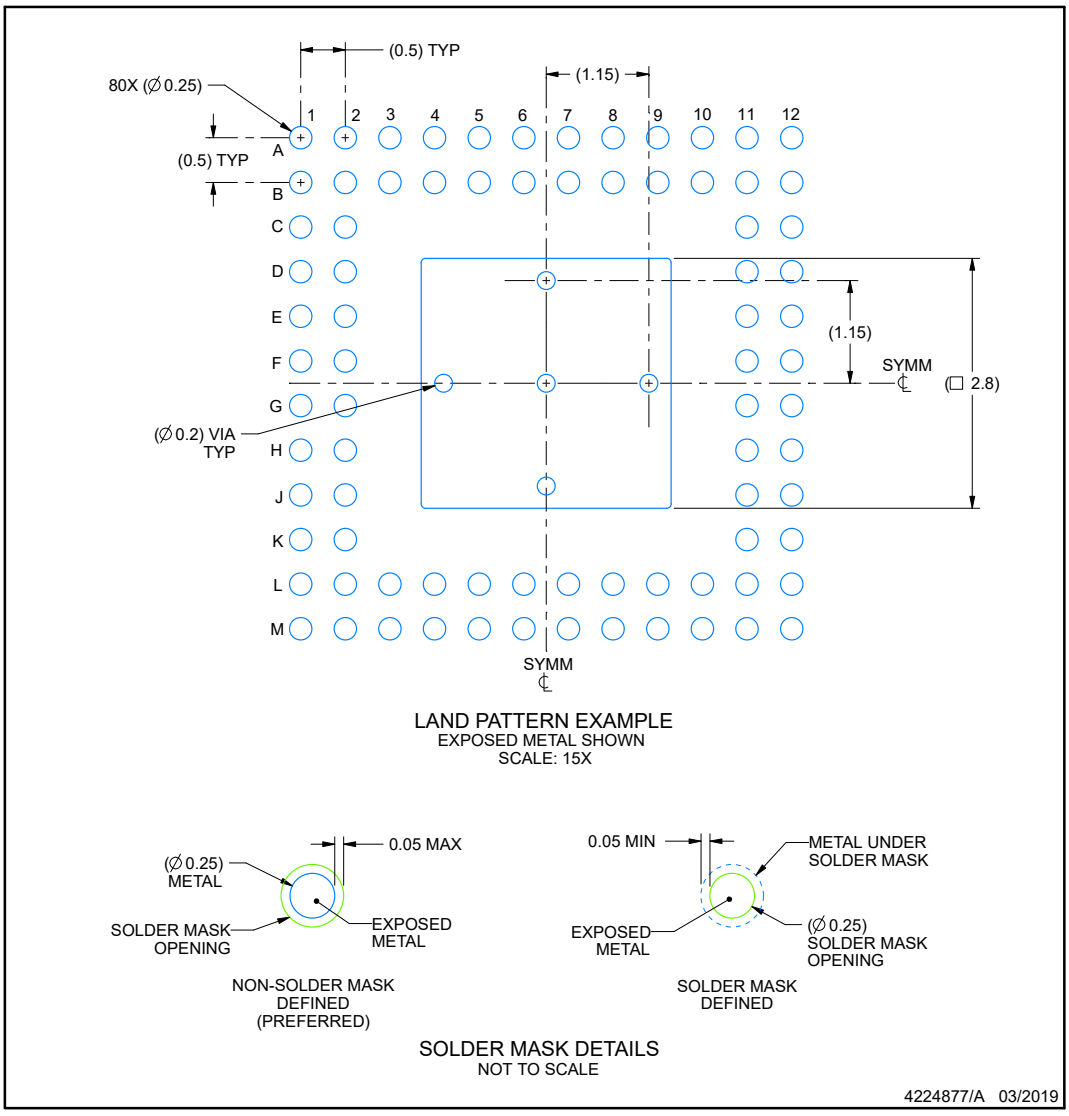
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

Copyright © 2025 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

NPP0080A — **TLGA - 0.9 mm max height**

THIN LAND GRID ARRAY



NOTES: (continued)

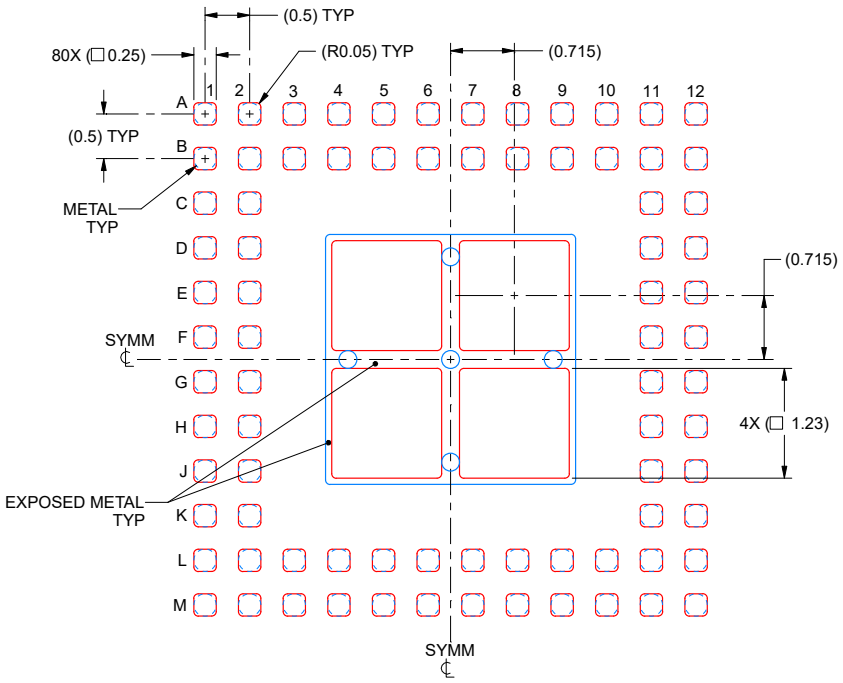
4. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. See Texas Instruments Literature No. SNVA009 (www.ti.com/lit/snva009).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

NPP0080A **TLGA - 0.9 mm max height**

THIN LAND GRID ARRAY



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE: 15X

4224877/A 03/2019

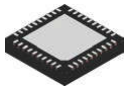
NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

Copyright © 2025 Texas Instruments Incorporated

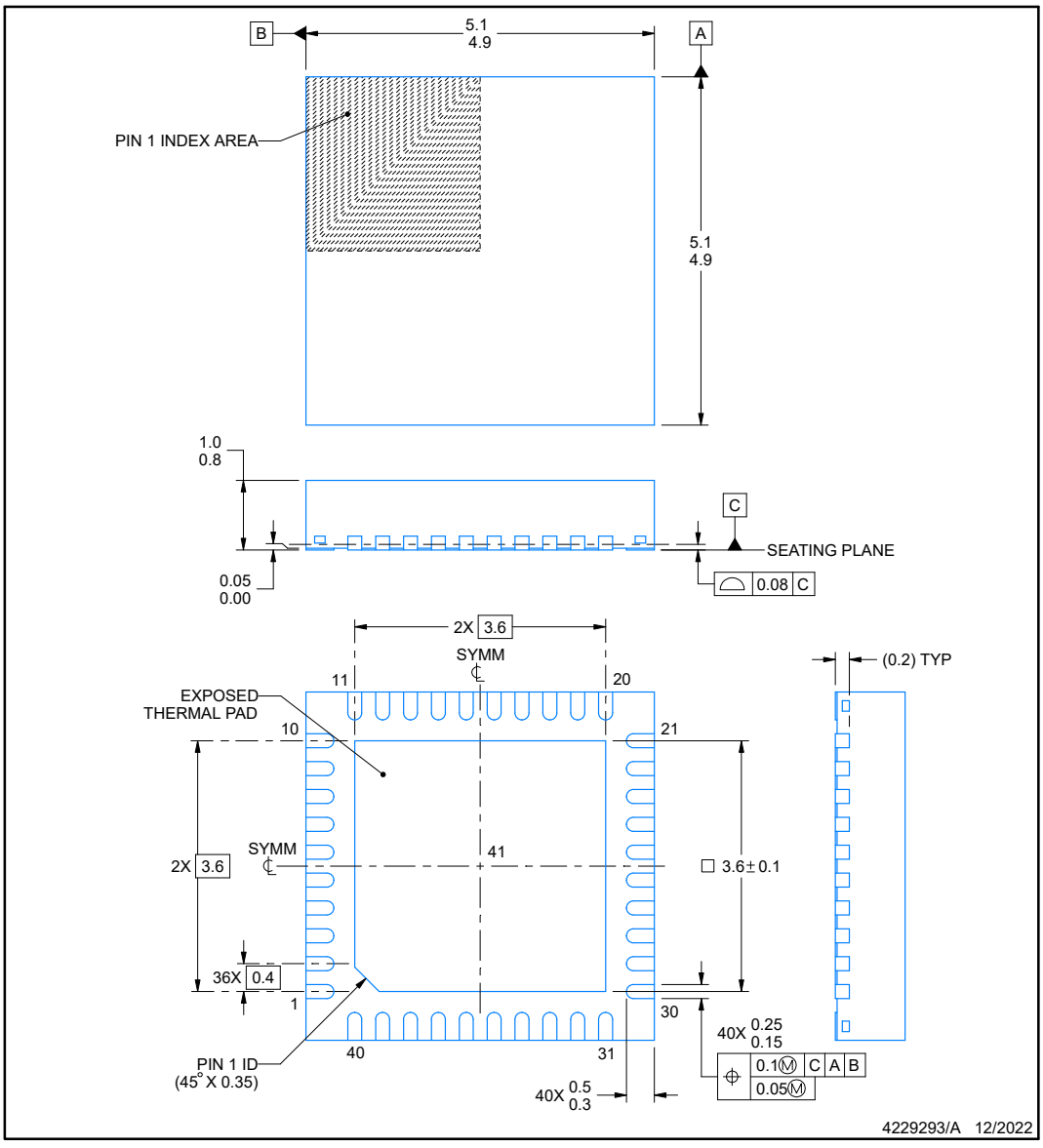
PACKAGE OUTLINE

RKP0040A



VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

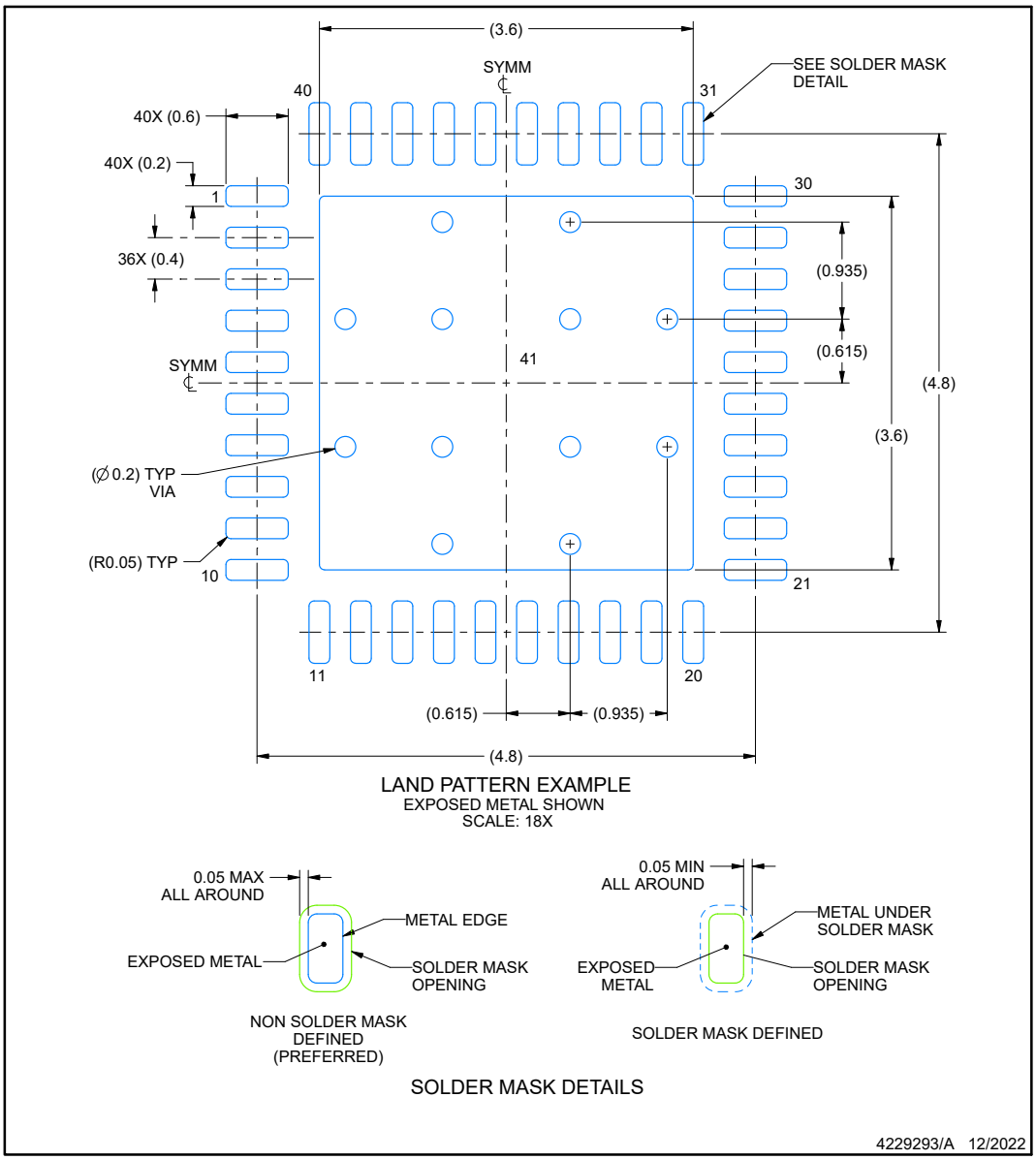
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

Copyright © 2025 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

RKP0040A — **VQFN - 1 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

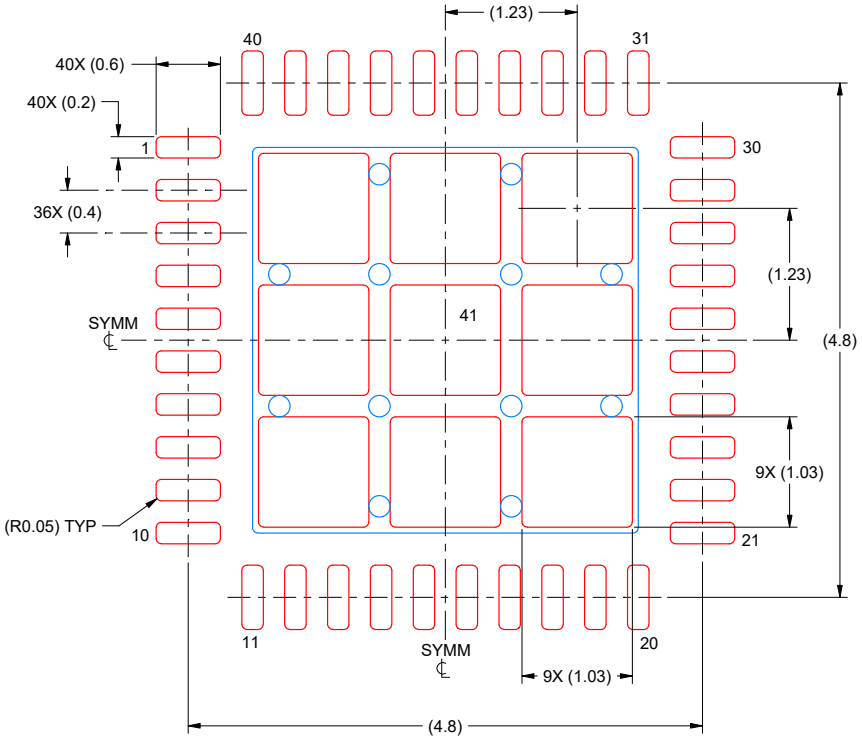
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

RKP0040A — **VQFN - 1 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 18X

EXPOSED PAD 41
74% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4229293/A 12/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

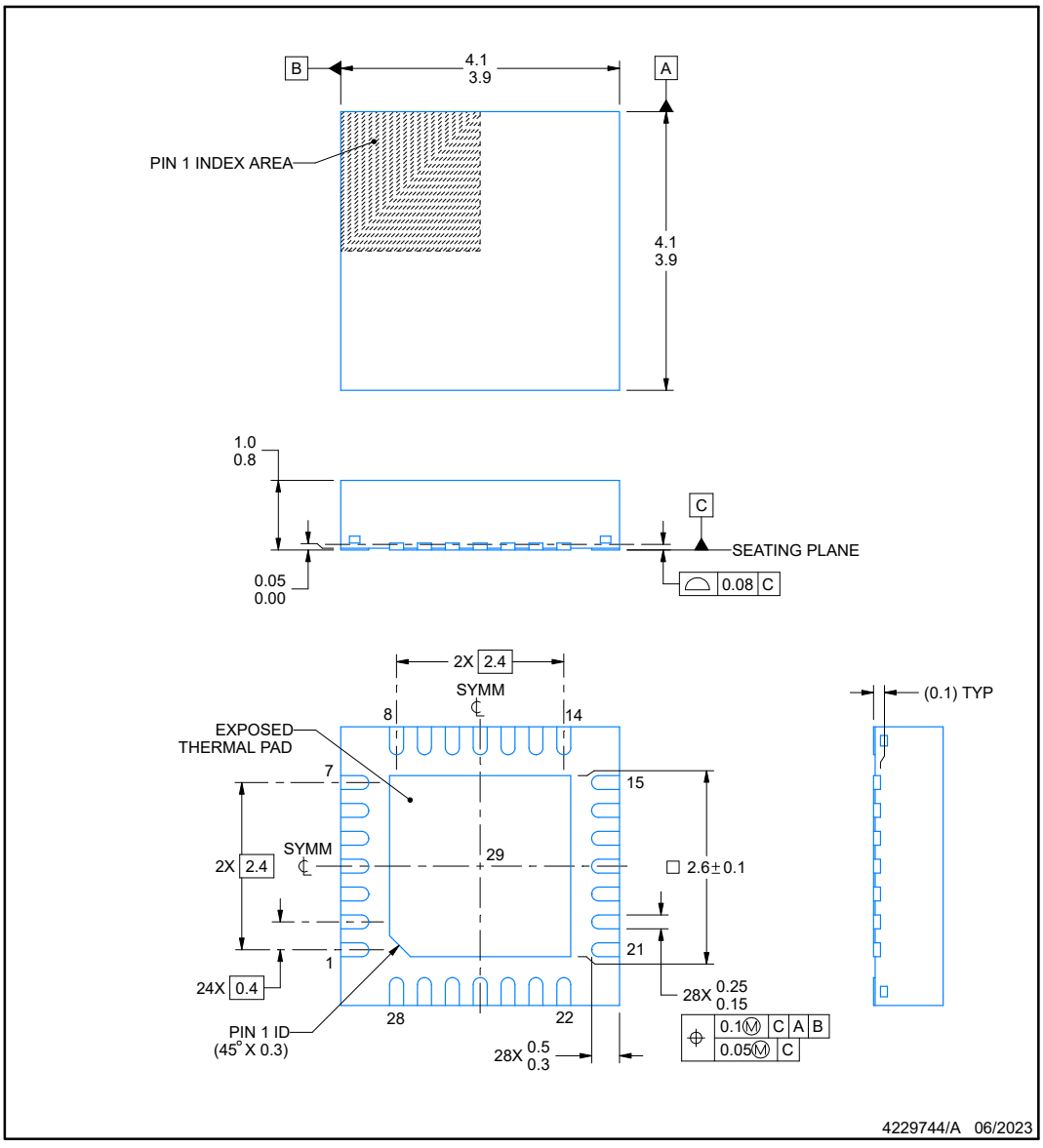
Copyright © 2025 Texas Instruments Incorporated

PACKAGE OUTLINE

REX0028A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

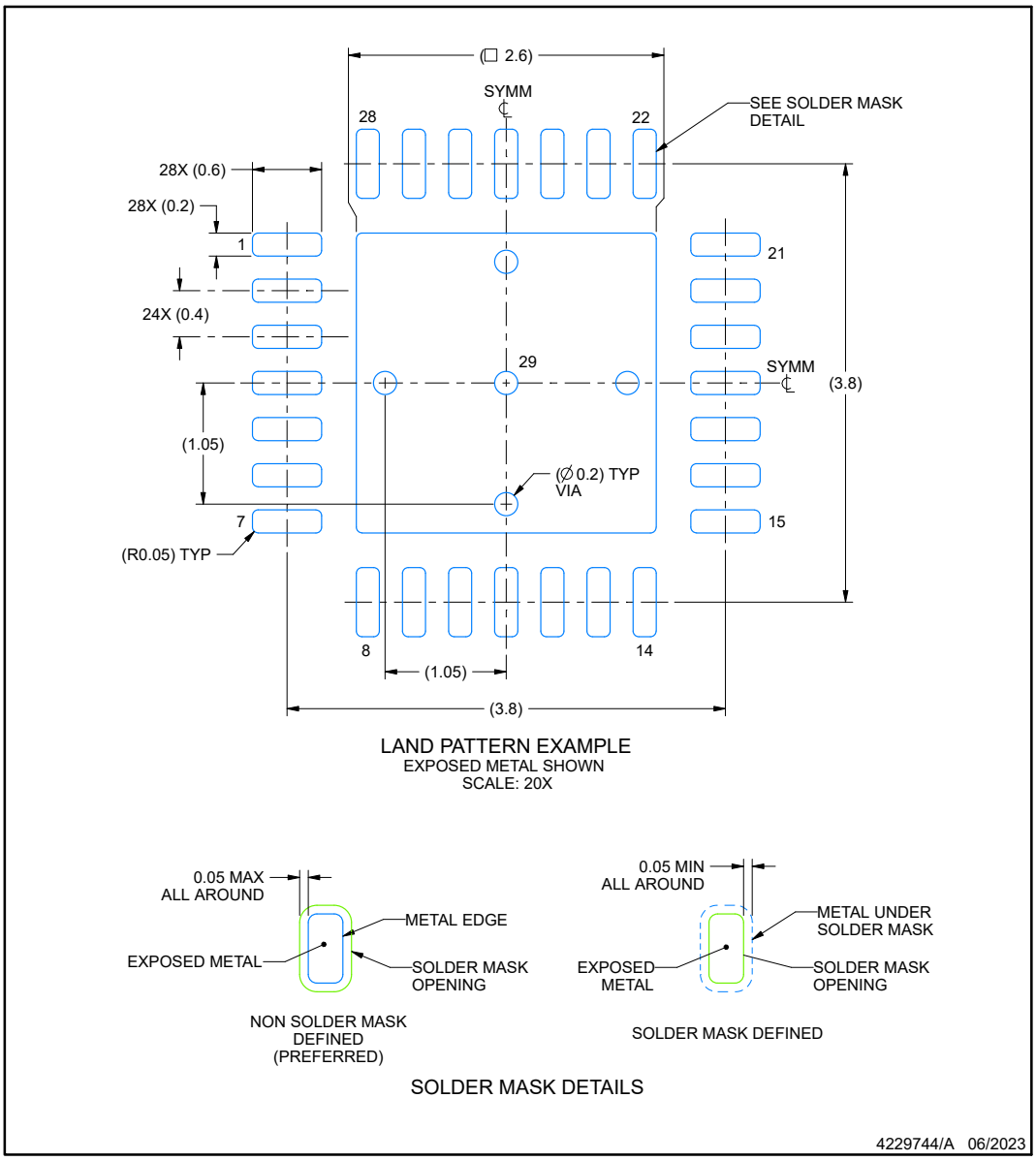
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

Copyright © 2025 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

REX0028A — **VQFN - 1 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

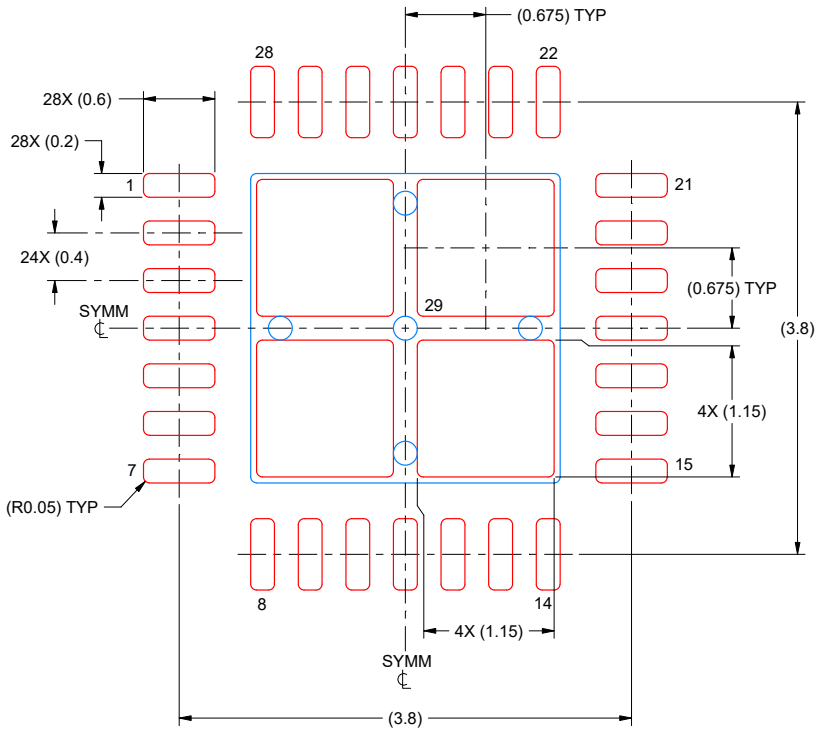
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

REX0028A — **VQFN - 1 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.1 MM THICK STENCIL
SCALE: 20X

EXPOSED PAD 29
78% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4229744/A 06/2023

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

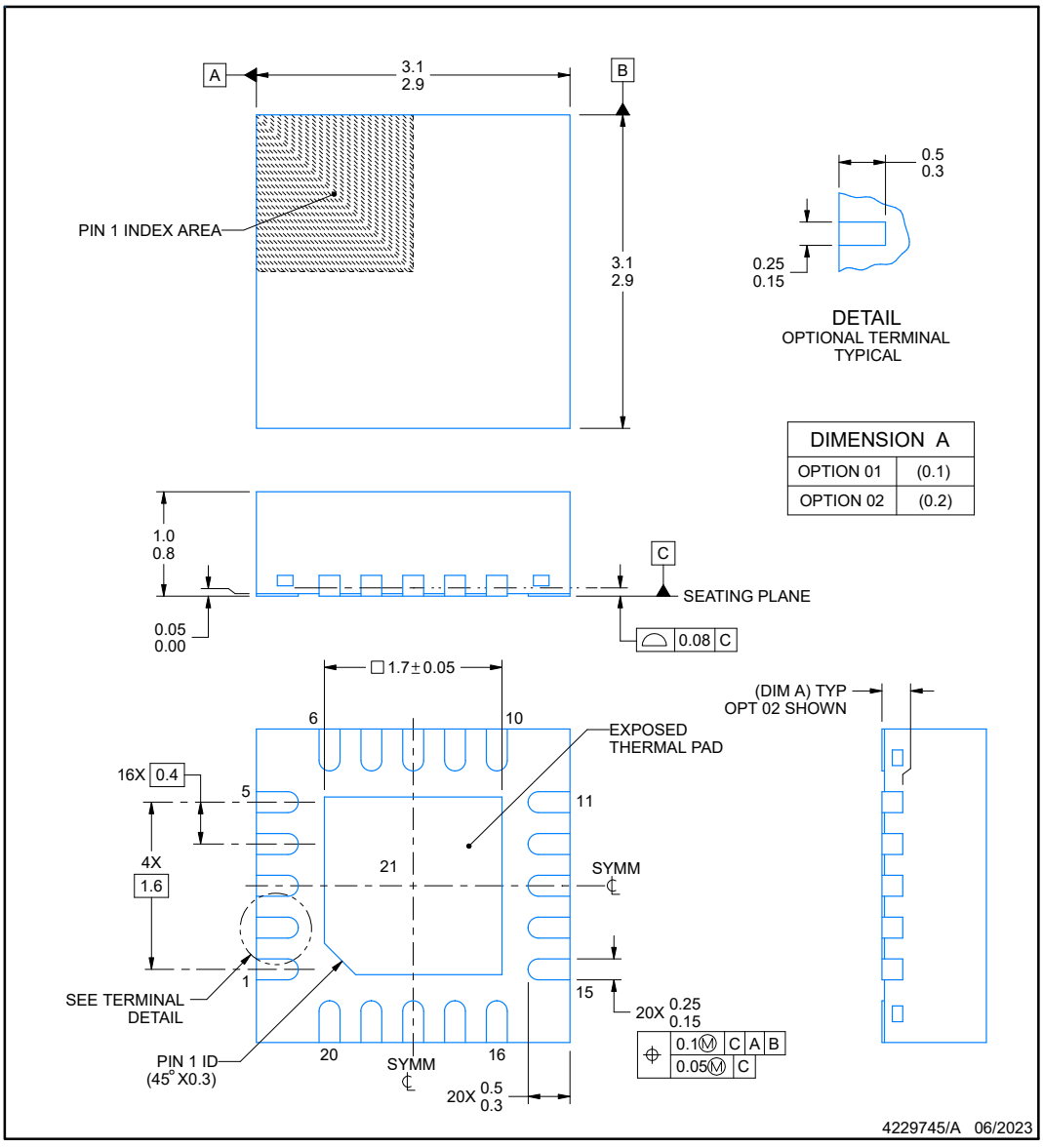
Copyright © 2025 Texas Instruments Incorporated

PACKAGE OUTLINE

REY0020B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

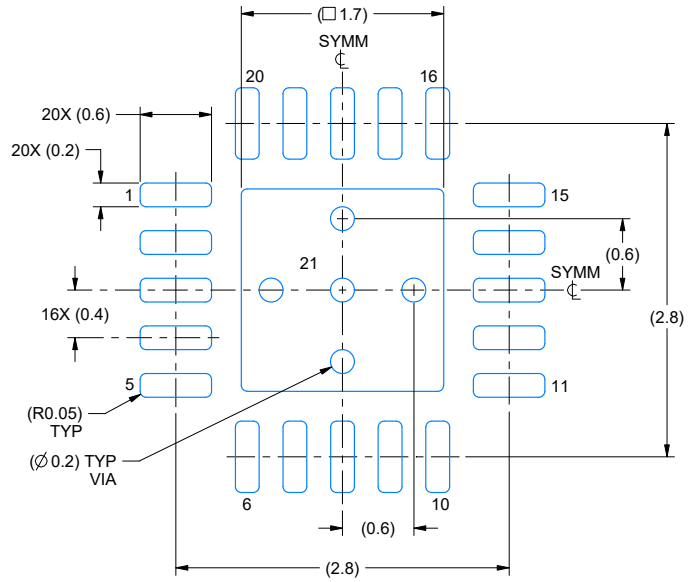
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

Copyright © 2025 Texas Instruments Incorporated

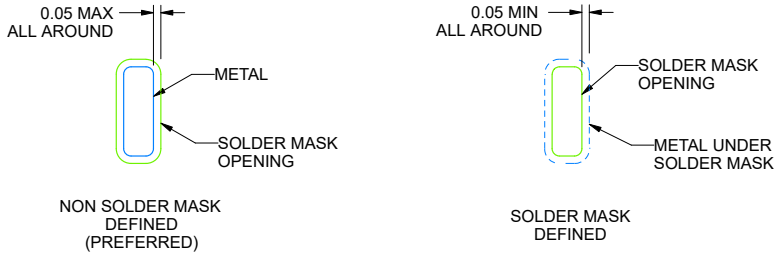
EXAMPLE BOARD LAYOUT

REY0020B — **VQFN - 1 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X



SOLDER MASK DETAILS

4229745/A 06/2023

NOTES: (continued)

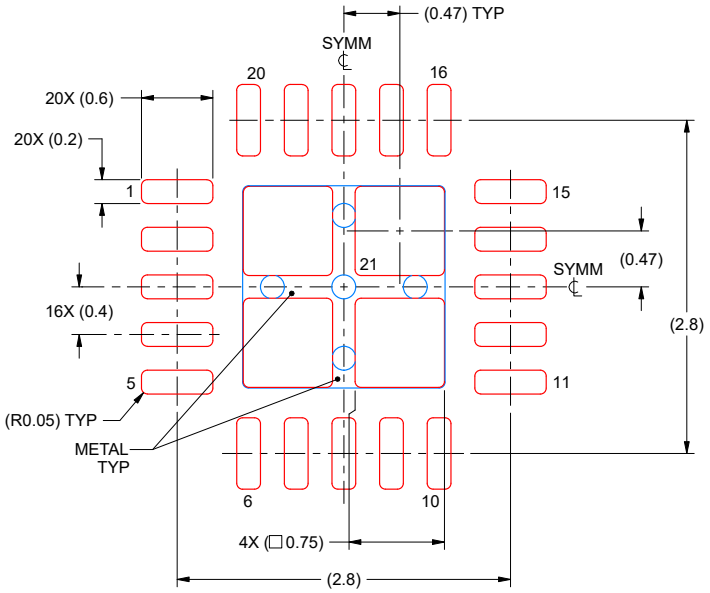
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

REY0020B — **VQFN - 1 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL

EXPOSED PAD 21:
78% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:20X

4229745/A 06/2023

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMKDB1102REYR	Active	Production	VQFN (REY) | 20	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	DB1102
LMKDB1102REYR.A	Active	Production	VQFN (REY) | 20	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	DB1102
LMKDB1102REYT	Active	Production	VQFN (REY) | 20	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	DB1102
LMKDB1102REYT.A	Active	Production	VQFN (REY) | 20	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	DB1102
LMKDB1104FS85REXR	Active	Production	VQFN (REX) | 28	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	LMKDB 1104FA
LMKDB1104Z100REXR	Active	Production	VQFN (REX) | 28	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	LMKDB 114Z100
LMKDB1104Z100REXR.A	Active	Production	VQFN (REX) | 28	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	LMKDB 114Z100
LMKDB1104Z100REXT	Active	Production	VQFN (REX) | 28	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	LMKDB 114Z100
LMKDB1104Z100REXT.A	Active	Production	VQFN (REX) | 28	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	LMKDB 114Z100
LMKDB1104Z85REXR	Active	Production	VQFN (REX) | 28	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	LMKDB 1104Z85
LMKDB1104Z85REXR.A	Active	Production	VQFN (REX) | 28	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	LMKDB 1104Z85
LMKDB1104Z85REXT	Active	Production	VQFN (REX) | 28	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	LMKDB 1104Z85
LMKDB1104Z85REXT.A	Active	Production	VQFN (REX) | 28	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	LMKDB 1104Z85
LMKDB1108FS85RKPR	Active	Production	VQFN (RKP) | 40	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	LMKDB 1108FA
LMKDB1108Z100RKPR	Active	Production	VQFN (RKP) | 40	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	LMKDB 108Z100
LMKDB1108Z100RKPR.A	Active	Production	VQFN (RKP) | 40	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	LMKDB 108Z100
LMKDB1108Z100RKPT	Active	Production	VQFN (RKP) | 40	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	LMKDB 108Z100
LMKDB1108Z100RKPT.A	Active	Production	VQFN (RKP) | 40	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	LMKDB 108Z100

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMKDB1108Z85RKPR	Active	Production	VQFN (RKP) | 40	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	LMKDB 1108Z85
LMKDB1108Z85RKPR.A	Active	Production	VQFN (RKP) | 40	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	LMKDB 1108Z85
LMKDB1108Z85RKPT	Active	Production	VQFN (RKP) | 40	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	LMKDB 1108Z85
LMKDB1108Z85RKPT.A	Active	Production	VQFN (RKP) | 40	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	LMKDB 1108Z85
LMKDB1120FS85NPPR	Active	Production	TLGA (NPP) | 80	4000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	LMKDB 1120FA
LMKDB1120Z100NPPR	Active	Production	TLGA (NPP) | 80	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	LMKDB 1120Z100
LMKDB1120Z100NPPR.A	Active	Production	TLGA (NPP) | 80	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	LMKDB 1120Z100
LMKDB1120Z100NPPR.B	Active	Production	TLGA (NPP) | 80	2500 | LARGE T&R	-	Call TI	Call TI	-40 to 105	
LMKDB1120Z100NPPT	Active	Production	TLGA (NPP) | 80	250 | SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	LMKDB 1120Z100
LMKDB1120Z100NPPT.A	Active	Production	TLGA (NPP) | 80	250 | SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	LMKDB 1120Z100
LMKDB1120Z100NPPT.B	Active	Production	TLGA (NPP) | 80	250 | SMALL T&R	-	Call TI	Call TI	-40 to 105	
LMKDB1120Z85NPPR	Active	Production	TLGA (NPP) | 80	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	LMKDB 1120Z85
LMKDB1120Z85NPPR.A	Active	Production	TLGA (NPP) | 80	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	LMKDB 1120Z85
LMKDB1120Z85NPPT	Active	Production	TLGA (NPP) | 80	250 | SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	LMKDB 1120Z85
LMKDB1120Z85NPPT.A	Active	Production	TLGA (NPP) | 80	250 | SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	LMKDB 1120Z85

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

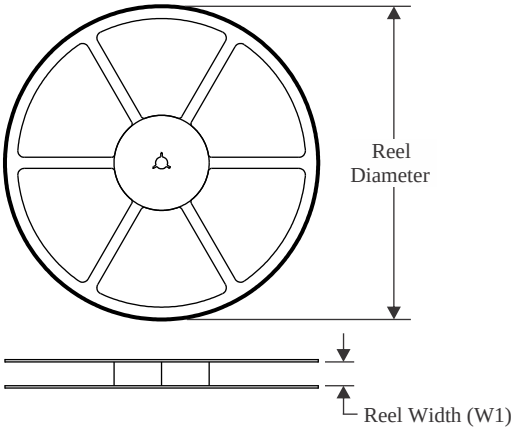
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

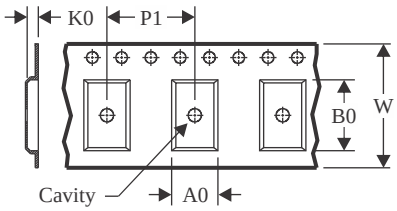
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

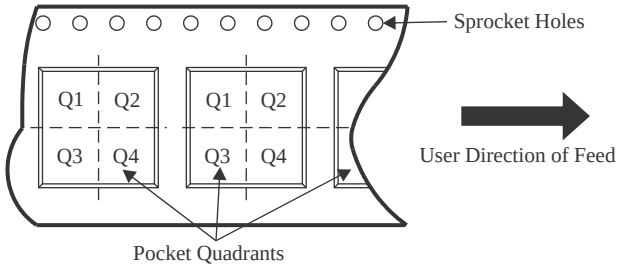


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

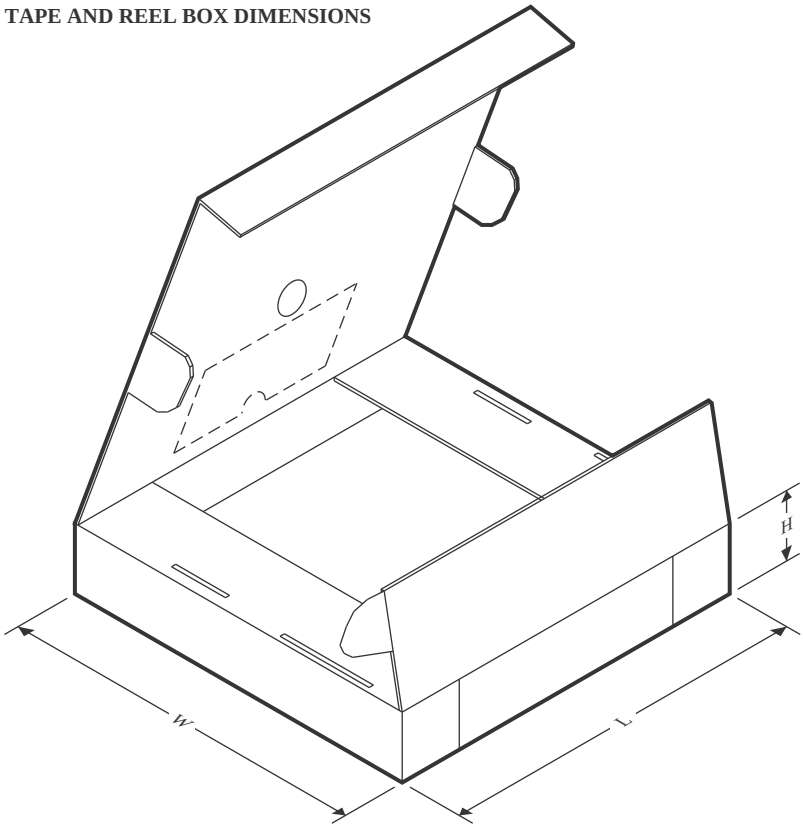
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMKDB1102REYR	VQFN	REY	20	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
LMKDB1104FS85REXR	VQFN	REX	28	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
LMKDB1104Z100REXR	VQFN	REX	28	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
LMKDB1104Z85REXR	VQFN	REX	28	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
LMKDB1108FS85RKPR	VQFN	RKP	40	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
LMKDB1108Z100RKPR	VQFN	RKP	40	2500	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
LMKDB1108Z100RKPT	VQFN	RKP	40	250	180.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
LMKDB1108Z85RKPR	VQFN	RKP	40	2500	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
LMKDB1108Z85RKPT	VQFN	RKP	40	250	180.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
LMKDB1120FS85NPPR	TLGA	NPP	80	4000	330.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2
LMKDB1120Z100NPPR	TLGA	NPP	80	2500	330.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2
LMKDB1120Z100NPPT	TLGA	NPP	80	250	180.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2
LMKDB1120Z85NPPR	TLGA	NPP	80	2500	330.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2
LMKDB1120Z85NPPT	TLGA	NPP	80	250	180.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

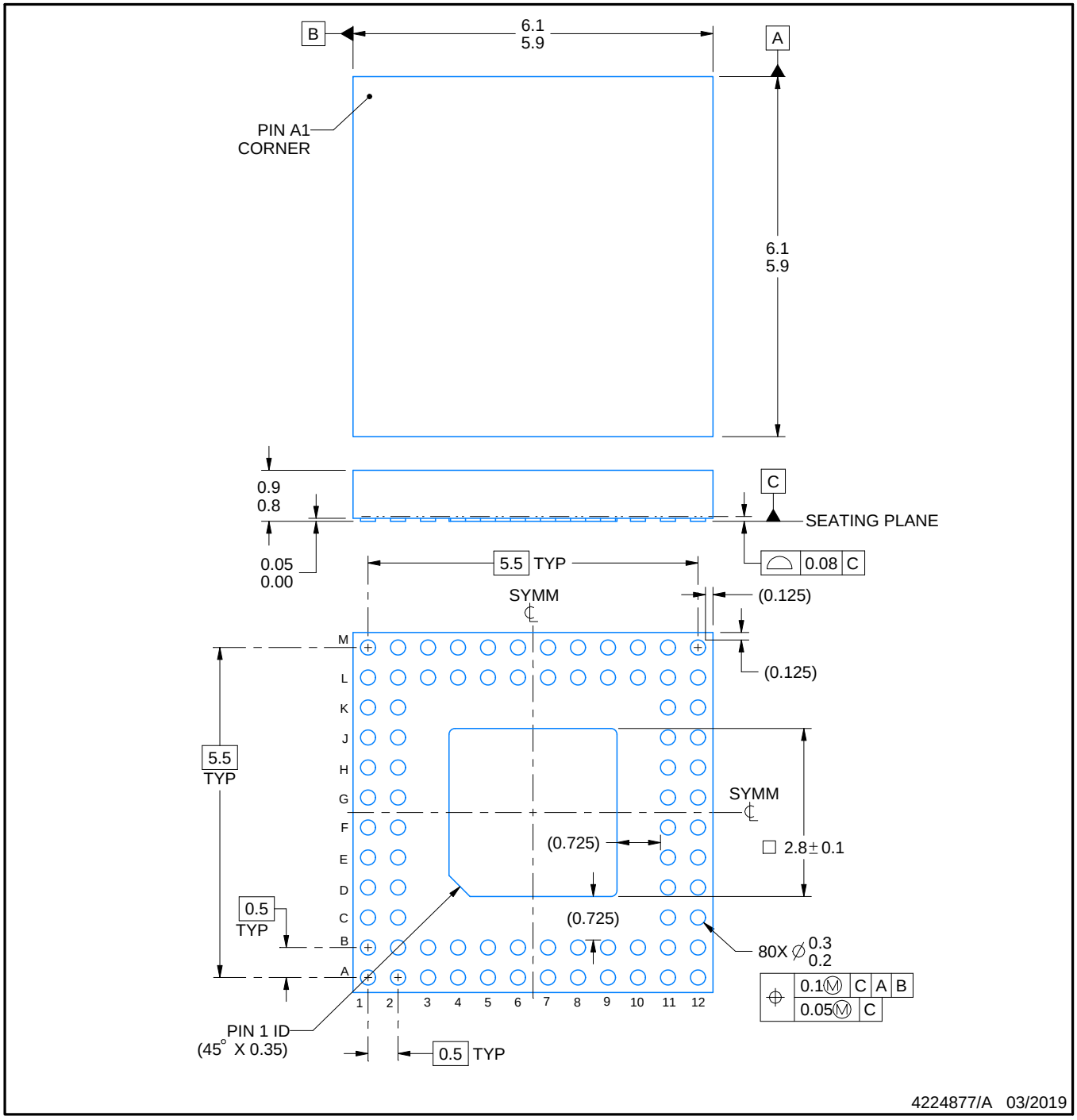
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMKDB1102REYR	VQFN	REY	20	3000	367.0	367.0	35.0
LMKDB1104FS85REXR	VQFN	REX	28	3000	360.0	360.0	36.0
LMKDB1104Z100REXR	VQFN	REX	28	3000	367.0	367.0	35.0
LMKDB1104Z85REXR	VQFN	REX	28	3000	367.0	367.0	35.0
LMKDB1108FS85RKPR	VQFN	RKP	40	3000	360.0	360.0	36.0
LMKDB1108Z100RKPR	VQFN	RKP	40	2500	367.0	367.0	35.0
LMKDB1108Z100RKPT	VQFN	RKP	40	250	210.0	185.0	35.0
LMKDB1108Z85RKPR	VQFN	RKP	40	2500	367.0	367.0	35.0
LMKDB1108Z85RKPT	VQFN	RKP	40	250	210.0	185.0	35.0
LMKDB1120FS85NPPR	TLGA	NPP	80	4000	367.0	367.0	38.0
LMKDB1120Z100NPPR	TLGA	NPP	80	2500	367.0	367.0	38.0
LMKDB1120Z100NPPT	TLGA	NPP	80	250	210.0	185.0	35.0
LMKDB1120Z85NPPR	TLGA	NPP	80	2500	367.0	367.0	38.0
LMKDB1120Z85NPPT	TLGA	NPP	80	250	210.0	185.0	35.0

PACKAGE OUTLINE

NPP0080A

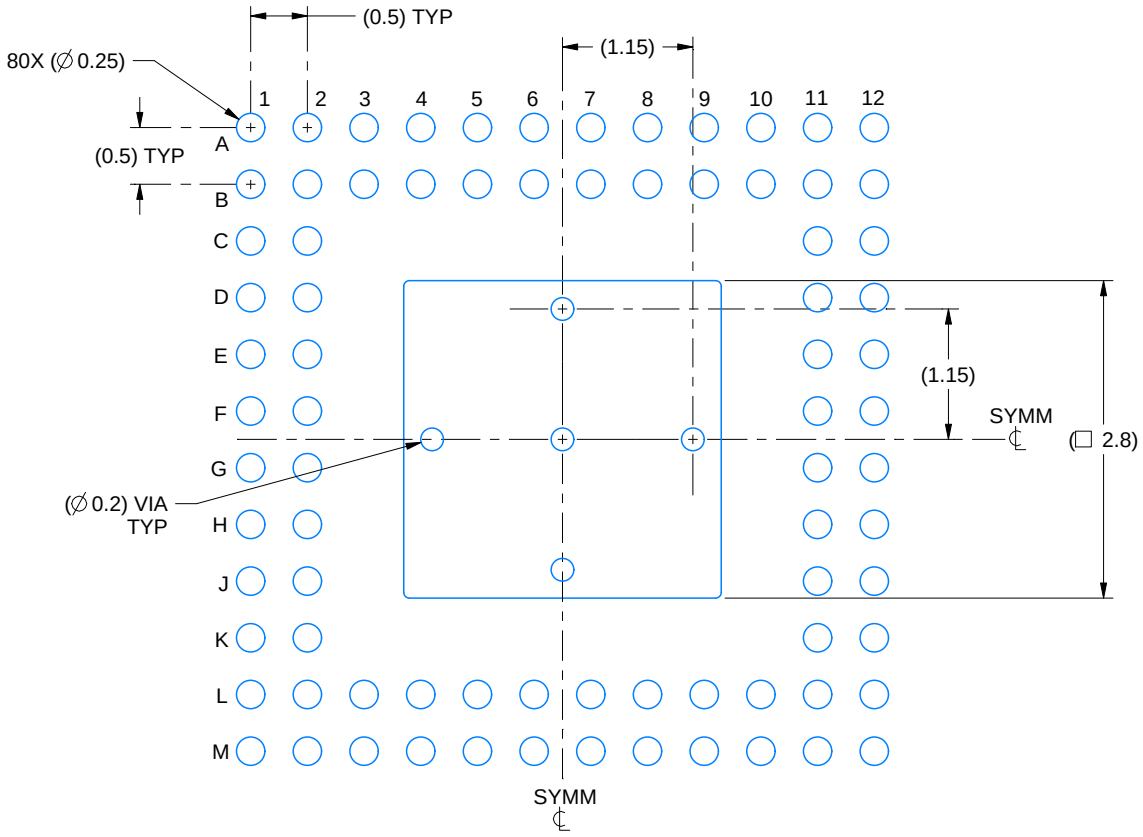
TLGA - 0.9 mm max height

THIN LAND GRID ARRAY

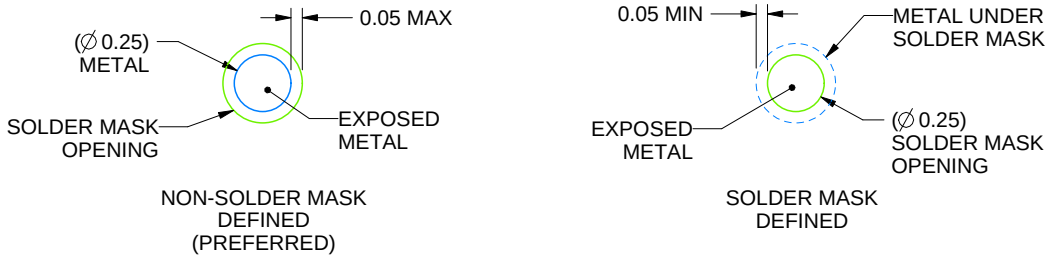


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

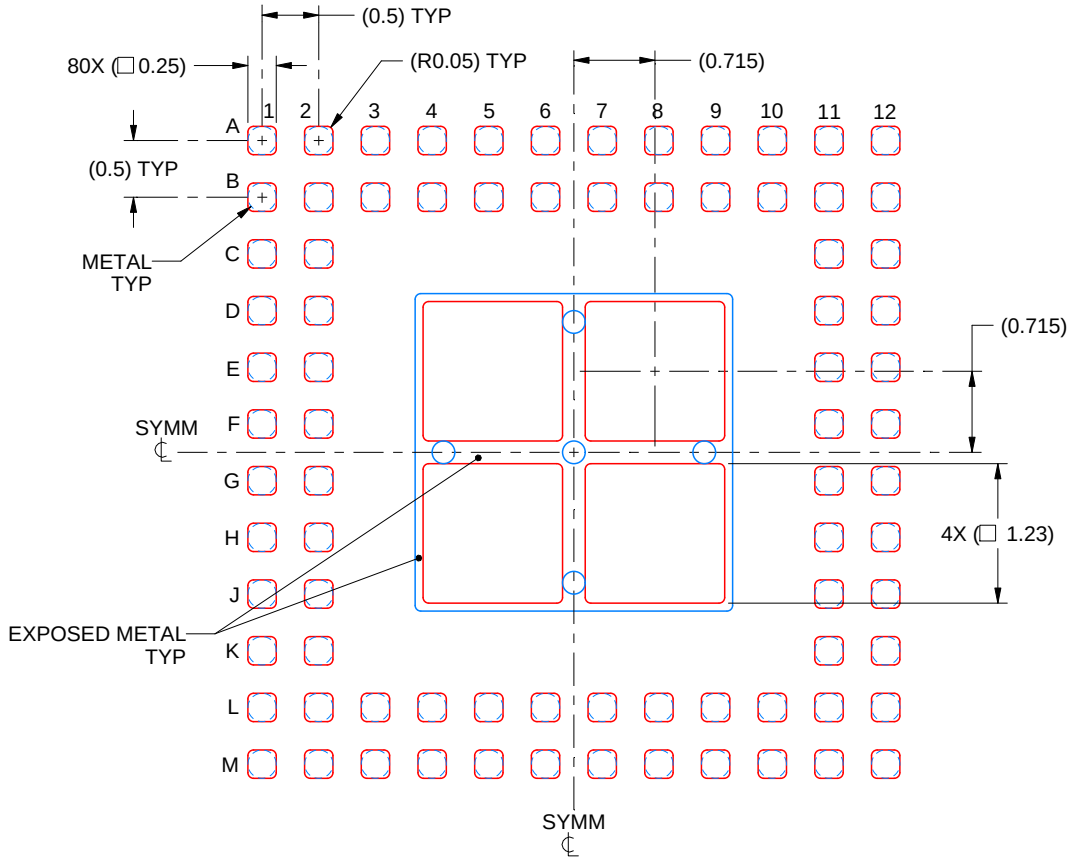


SOLDER MASK DETAILS
NOT TO SCALE

4224877/A 03/2019

NOTES: (continued)

4. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. See Texas Instruments Literature No. SNVA009 (www.ti.com/lit/snva009).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE: 15X

4224877/A 03/2019

NOTES: (continued)

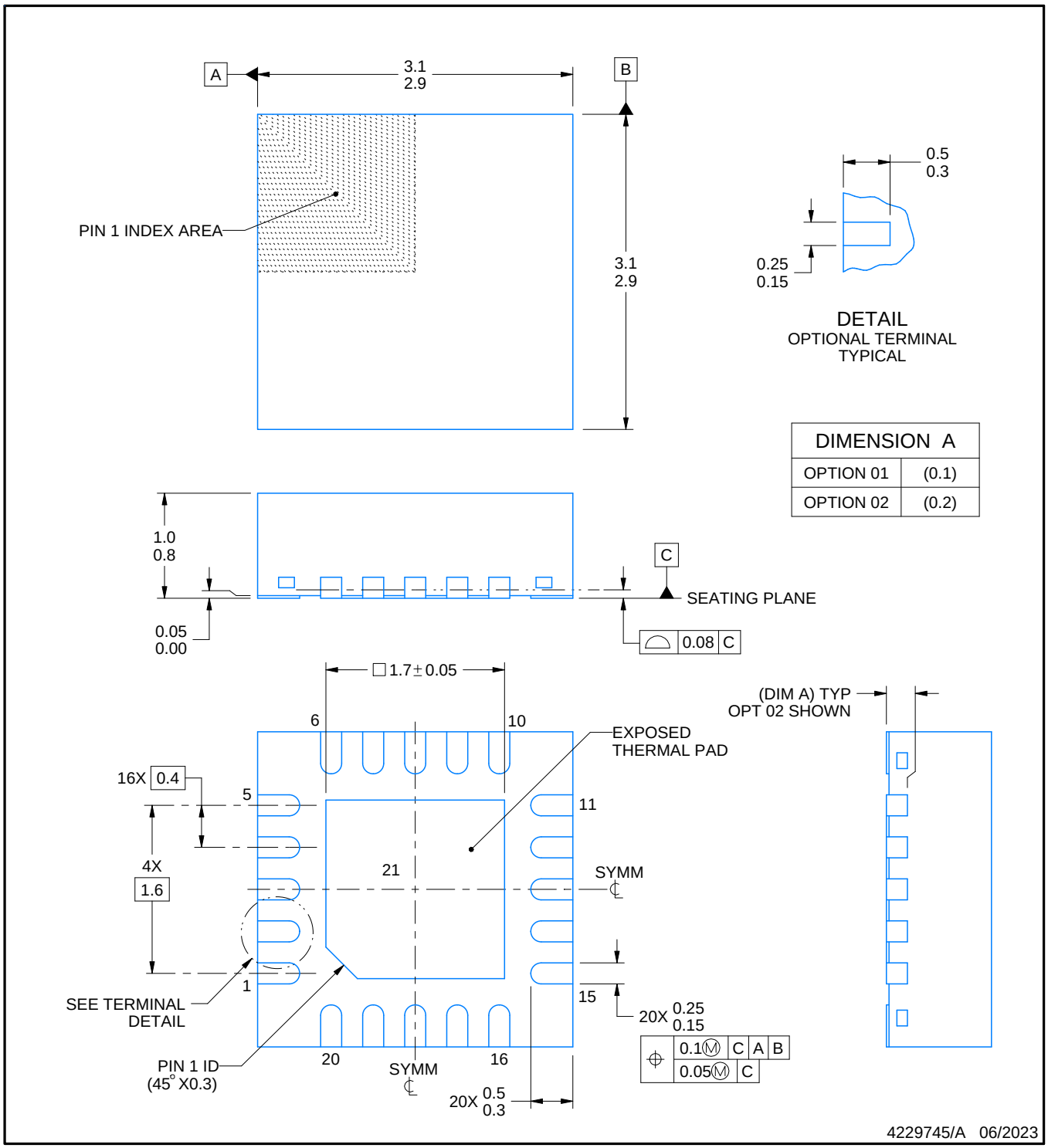
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

REY0020B

PACKAGE OUTLINE

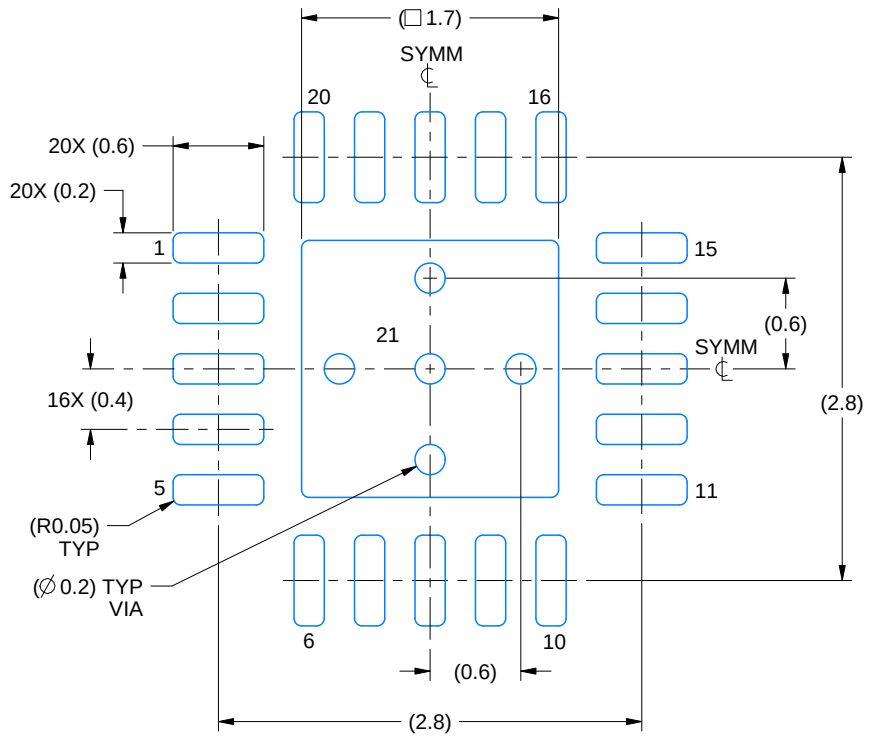
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

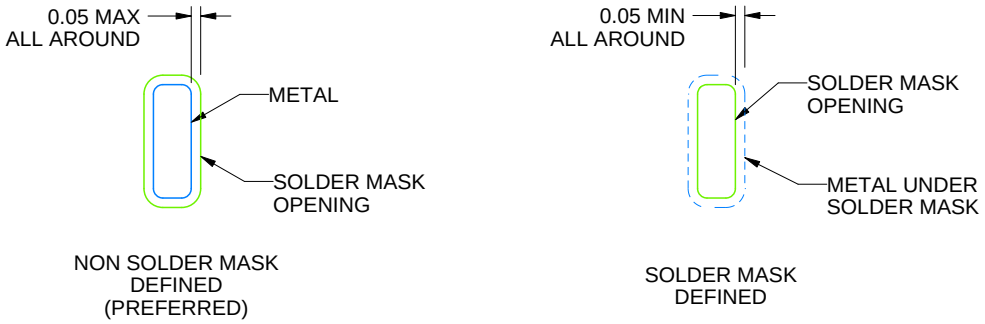


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X

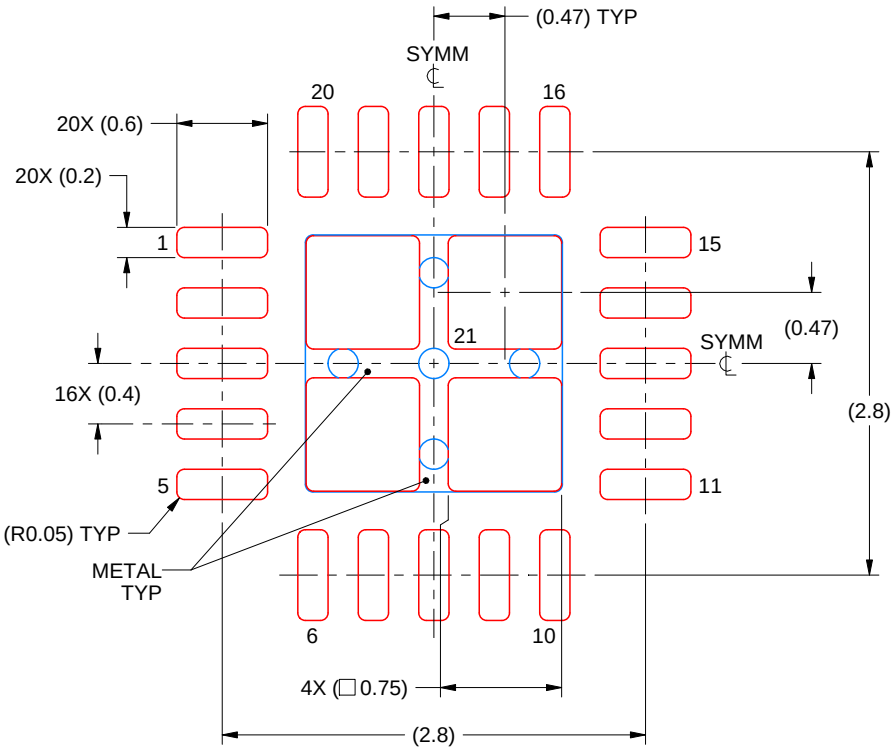


SOLDER MASK DETAILS

4229745/A 06/2023

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL

EXPOSED PAD 21:
78% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:20X

4229745/A 06/2023

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

GENERIC PACKAGE VIEW

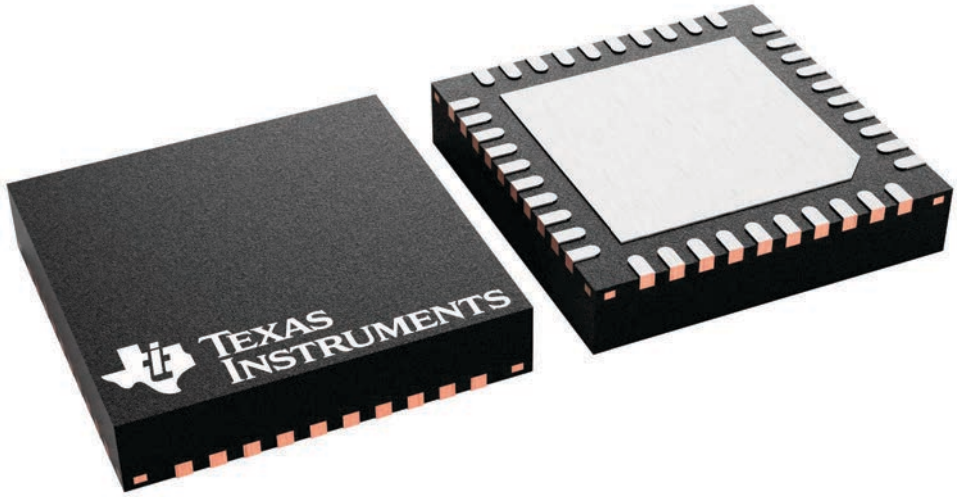
RKP 40

VQFN - 1 mm max height

5 x 5, 0.4 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



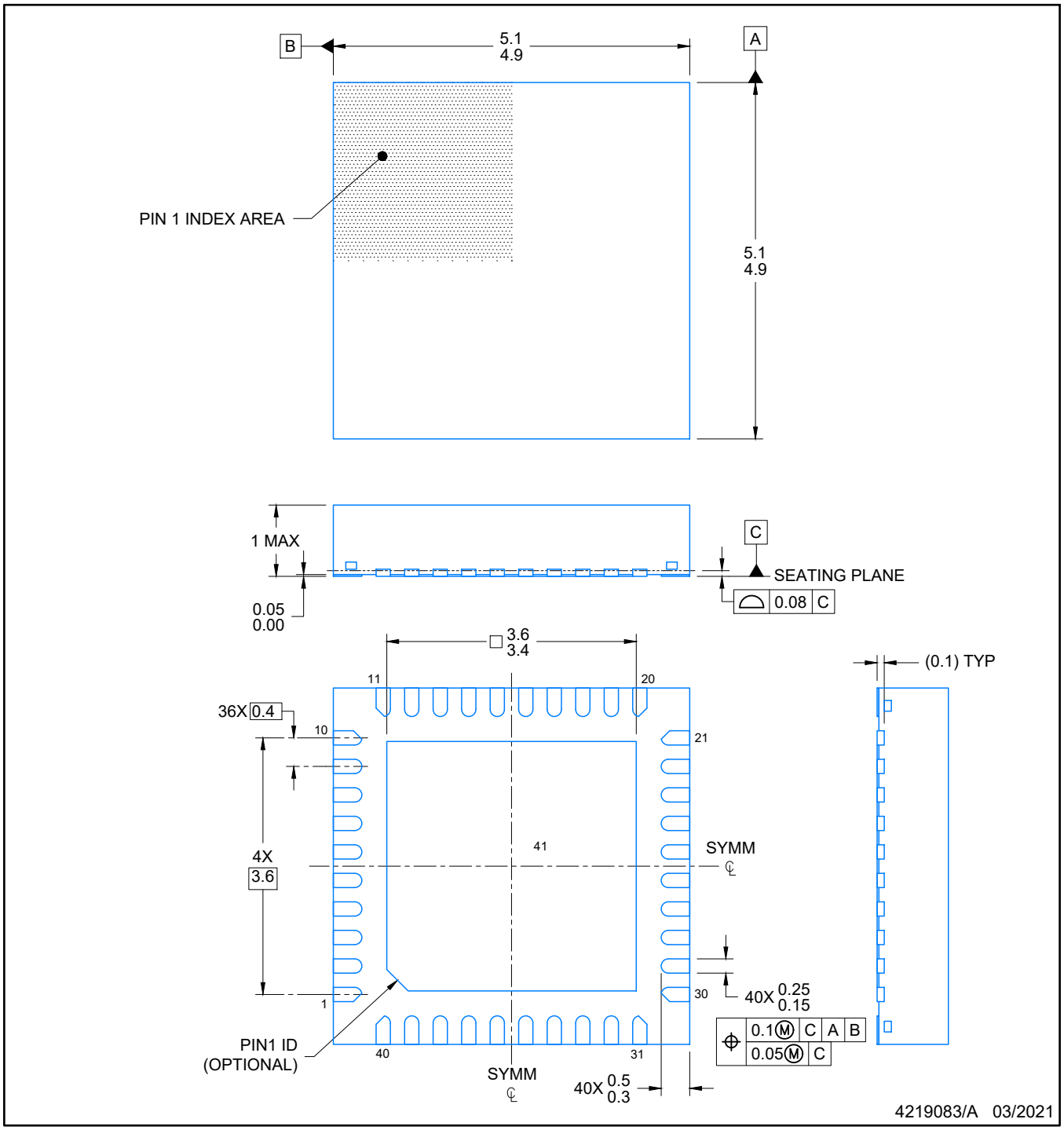
4229305/A

PACKAGE OUTLINE

RKP0040B

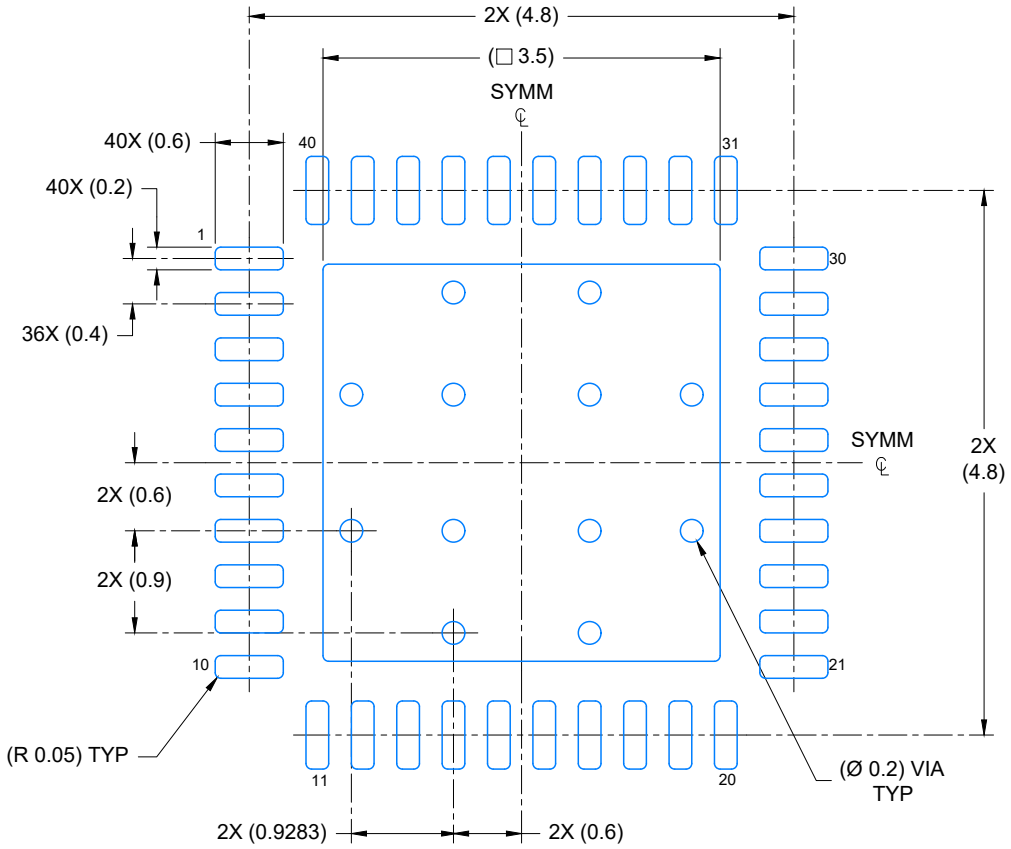
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK- NO LEAD

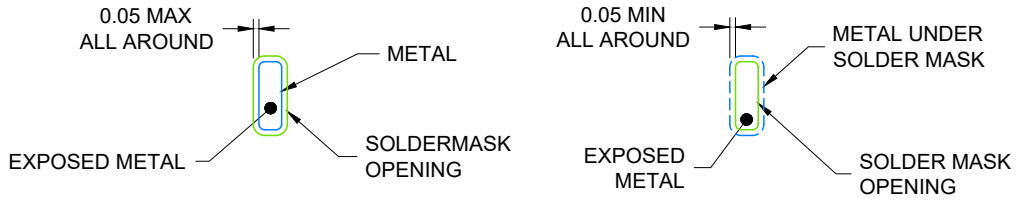


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



NON- SOLDER MASK DEFINED (PREFERRED)

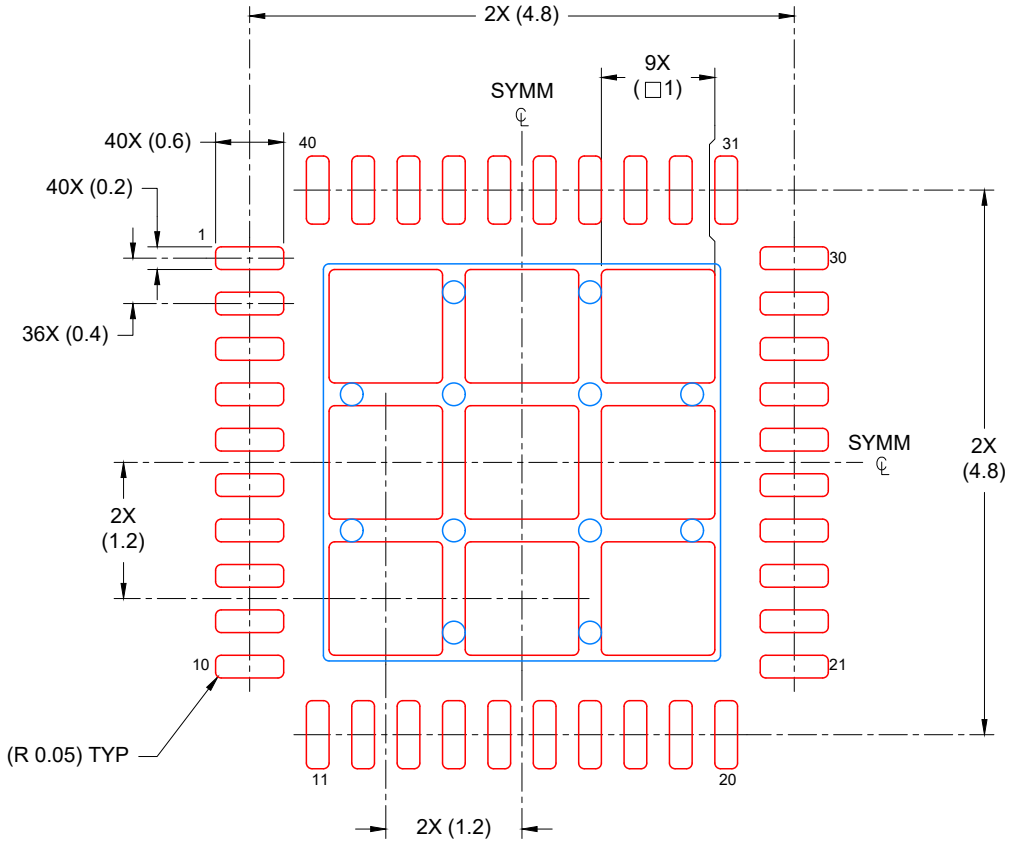
SOLDER MASK DEFINED

SOLDER MASK DETAILS

4219083/A 03/2021

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271) .
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
74% PRINTED COVERAGE BY AREA
SCALE: 15X

4219083/A 03/2021

NOTES: (continued)

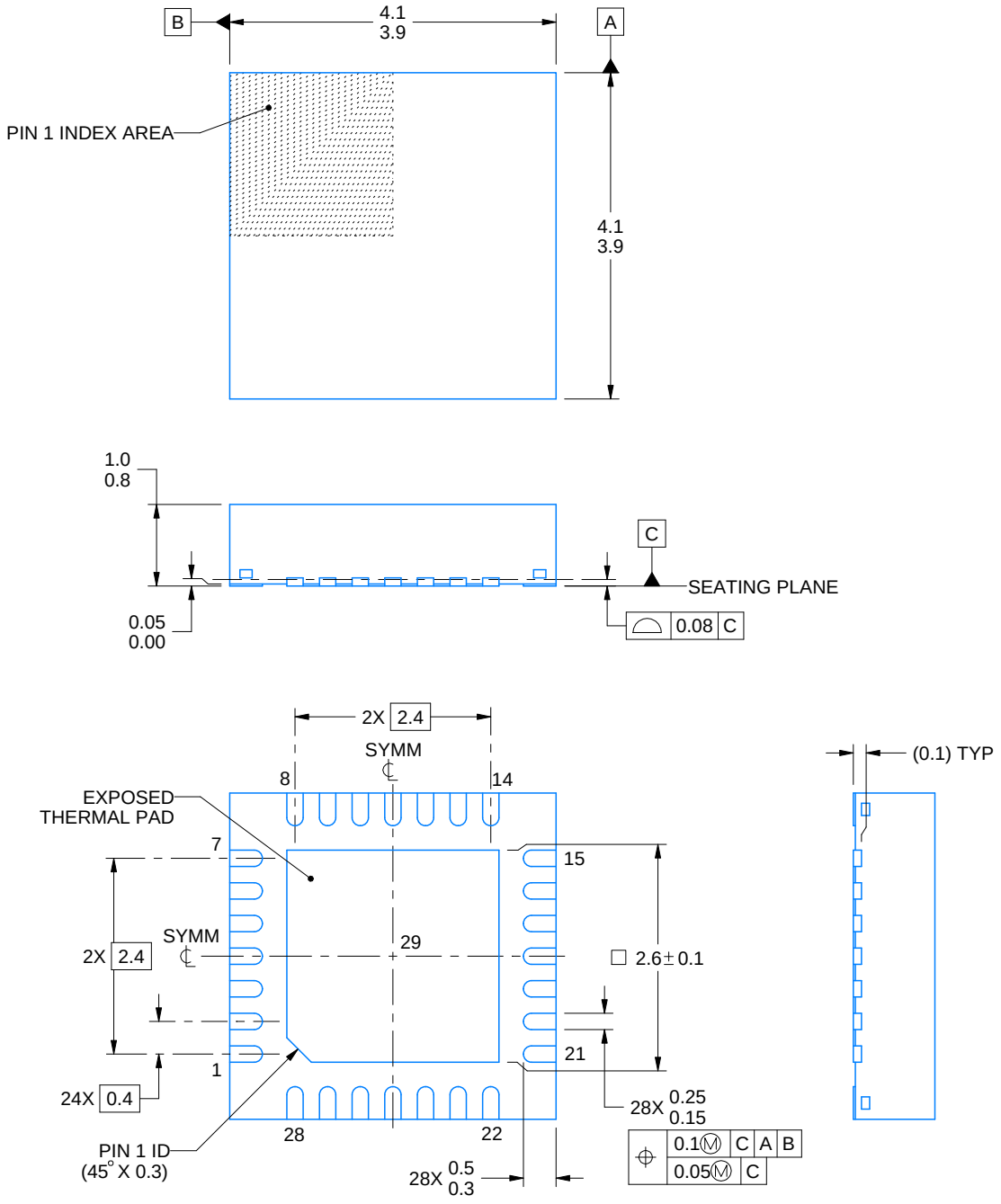
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

REX0028A

PACKAGE OUTLINE

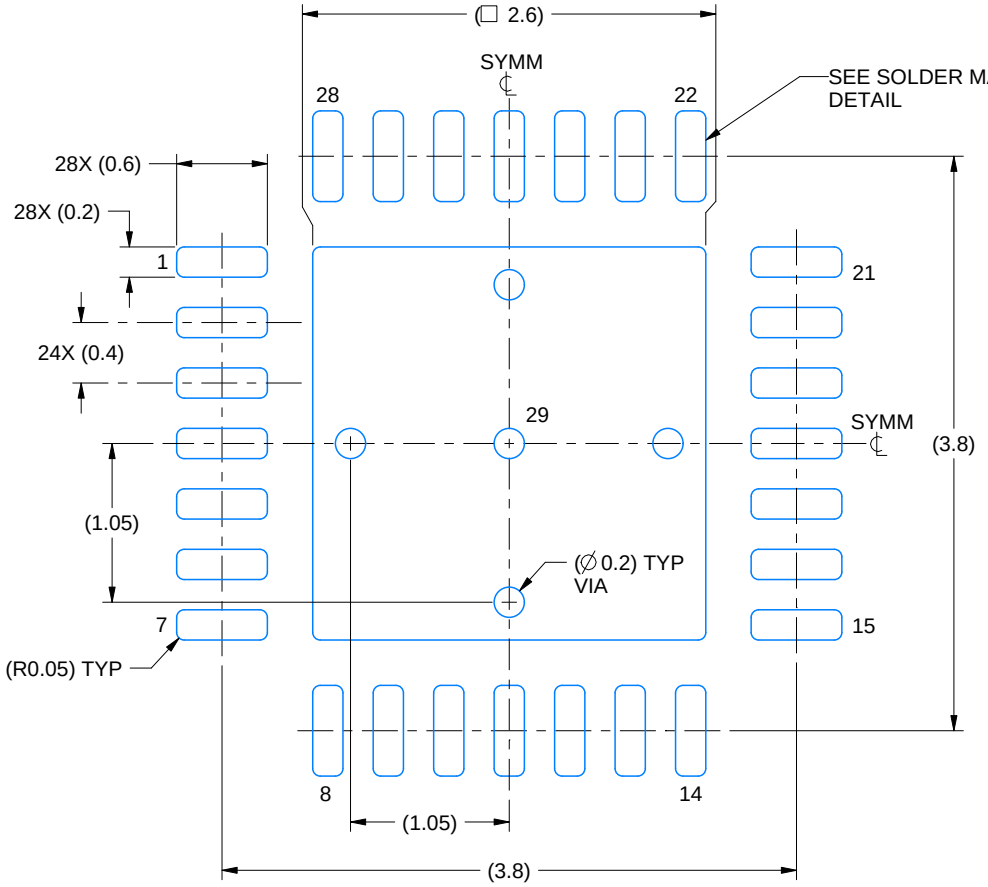
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

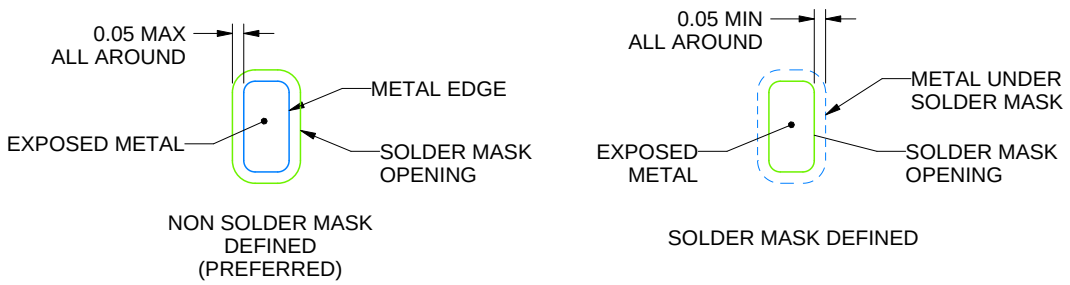


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X

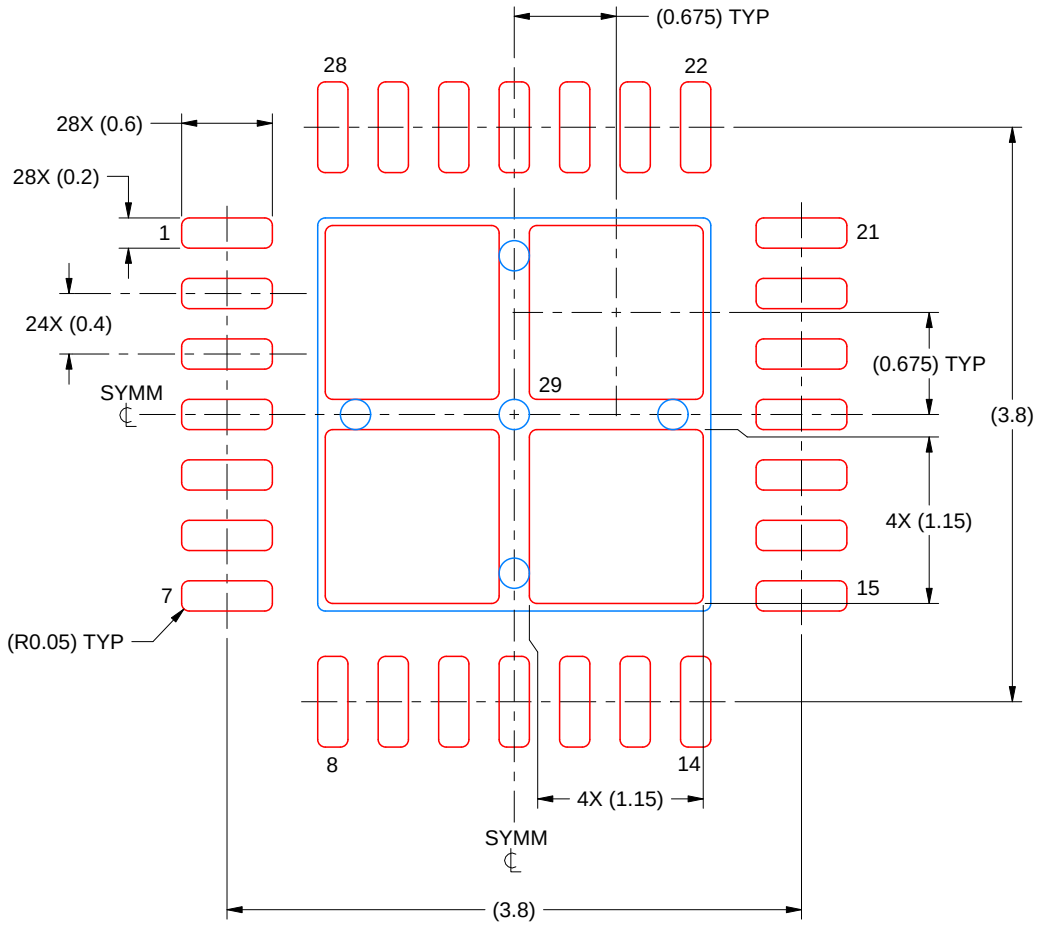


SOLDER MASK DETAILS

4229744/B 07/2025

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 20X

EXPOSED PAD 29
78% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4229744/B 07/2025

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月