

TPS25948xx 具有双向电力输送的 3.5V 至 23V、12.2mΩ、8A 电子保险丝

1 特性

- 宽工作输入电压范围：3.5V 至 23V
 - 绝对最大值为 28V
 - 可以从 IN 或 OUT 供电
- 集成式背对背 FET 具有低导通电阻： $R_{ON} = 12.2m\Omega$ (典型值)
- 具有真反向电流阻断功能的理想二极管运行状态 (RCB)
 - 外部引脚控制 (RCBCTRL)，可禁用 RCB 并允许在稳态下进行双向电力输送，以支持 USB OTG 或 DRP 操作
- 快速过压保护
 - 可调节过压锁定 (OVLO)，响应时间为 $1\mu s$ (典型值)
- 过流保护，具有负载电流监控器输出 (ILM)
 - 有效电流限制响应
 - 可调节阈值 (I_{LIM}) 1A 至 9A
 - $I_{LIM} > 3A$ 时精度为 $\pm 10\%$ (最大值)
 - 可调节瞬态消隐计时器 (ITIMER)，支持 $> I_{LIM}$ 的峰值电流
 - 输出负载电流监控精度： $I_{OUT} = 3A$ 时为 $\pm 6\%$ (典型值)
- 通过快速跳变响应实现短路保护
 - $< 1\mu s$ (典型值) 响应时间
 - 可调节和固定阈值
- 具有可调节欠压锁定阈值 (UVLO) 的高电平有效使能输入
- 可调节的输出压摆率控制 (dVdt)
- 过热保护
- 数字输出：电源正常 (SPLYGD/SPLYGD) 和故障指示 (FLT)
- UL 2367 认证 (已计划)
- IEC 62368-1 CB 认证 (已计划)
- IEC 61000-4-5：输入电压为 28V
- 小尺寸：PowerWCSP 2.4mm × 1.7mm，0.5mm 间距

2 应用

- 适配器和充电器输入保护
- USB PD 保护：智能手机、平板电脑、PC、轻薄本、显示器、扩展坞
- 服务器主板、附加卡
- 企业级存储：HBA、SAN 和 eSSD
- 电源多路复用和 ORing

3 说明

TPS25948xx 系列电子保险丝是采用小型封装的高度集成电路保护和电源管理解决方案。此类器件提供采用少量外部元件的多种保护模式，能够非常有效地抵御过载、短路、电压浪涌和过多浪涌电流。集成式背对背 FET 可帮助阻止从输出端到输入端反向电流流动，从而使该器件非常适合电源多路复用器和 ORing 应用以及需要负载侧能量保持存储解决方案的系统（如果输入电源发生故障）。此类器件采用基于线性 ORing 的方案，可确保实现几乎为零的直流反向电流，并以最小的正向压降和功率耗散来仿真实想的二极管行为。该器件还提供了一个外部引脚控制选项，用于禁用反向电流阻断并允许稳态双向电力输送。

可以使用单个外部电容器来调节输出压摆率和浪涌电流。通过在输入超过可调过压阈值时切断输出，可以保护负载免受输入过压情况的影响。此类器件可通过主动限制电流来应对输出过载。用户可以调节输出电流限值阈值以及瞬态过流消隐计时器。电流限值控制引脚还用作模拟负载电流监控器。

此类器件采用 2.4mm × 1.7mm、12 焊球 Power Wafer Chip Scale Package (PowerWCSP)，旨在改善热性能并减小系统尺寸。

此类器件的额定工作结温范围为 $-40^{\circ}C$ 至 $+125^{\circ}C$ 。

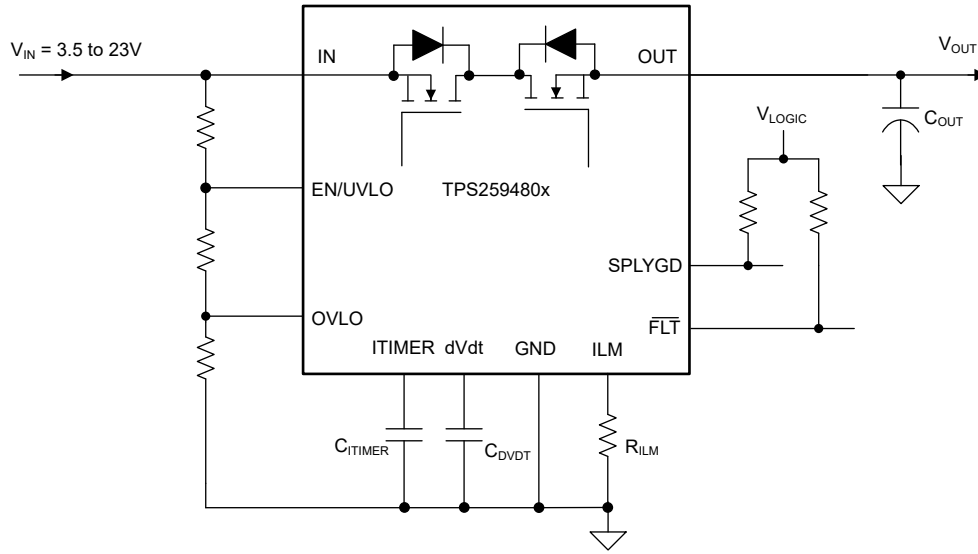
封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
TPS25948xxYWP	YWP (PWCSPP, 12)	2.43mm × 1.71mm

(1) 如需了解所有可用版本，请参阅数据表末尾的可订购产品附录。

(2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。





简化版原理图

内容

1 特性	1	8 应用和实施	35
2 应用	1	8.1 应用信息.....	35
3 说明	1	8.2 单器件, 自控型.....	35
4 器件比较表	4	8.3 典型应用.....	36
5 引脚配置和功能	5	8.4 有源 ORing.....	42
6 规格	6	8.5 优先电源多路复用.....	43
6.1 绝对最大额定值.....	6	8.6 并行运行.....	48
6.2 ESD 等级.....	6	8.7 USB PD 端口保护.....	49
6.3 建议运行条件.....	6	8.8 电源相关建议.....	50
6.4 热性能信息.....	7	8.9 布局.....	51
6.5 电气特性.....	7	9 器件和文档支持	54
6.6 时序要求.....	10	9.1 文档支持.....	54
6.7 开关特性.....	10	9.2 接收文档更新通知.....	54
6.8 典型特性.....	11	9.3 支持资源.....	54
7 详细说明	18	9.4 商标.....	54
7.1 概述.....	18	9.5 静电放电警告.....	54
7.2 功能方框图.....	19	9.6 术语表.....	54
7.3 特性说明.....	23	10 修订历史记录	54
7.4 器件功能模式.....	34	11 机械、封装和可订购信息	56

4 器件比较表

器件型号	稳态快速跳变阈值	SPLYGD 极性	$\overline{\text{FLT}}$ 或 RCBCTRL	对故障的响应	EN/VULO 极性
TPS259480AYWP	可调 ($2 \times I_{\text{LIM}}$)	高电平有效	FLT	自动重试	高电平有效
TPS259480LYWP				闭锁	
TPS259482AYWP			自动重试		
TPS259482LYWP			闭锁		
TPS259481AYWP	固定	低电平有效	RCBCTRL	自动重试	
TPS259481LYWP				闭锁	
TPS259483AYWP				自动重试	
TPS259484AYWP	可调 ($2 \times I_{\text{LIM}}$)	高电平有效		自动重试	

5 引脚配置和功能

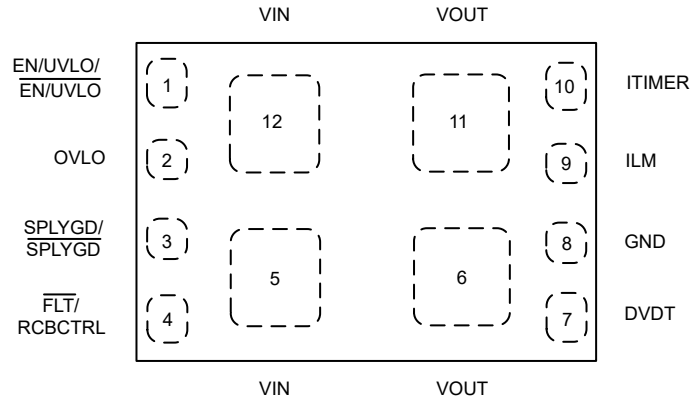


图 5-1. YWP 封装，12 焊球 PWCSPP (顶视图)

表 5-1. 引脚功能

引脚		类型	说明
名称	编号		
EN/UVLO	1	模拟输入	器件的高电平有效使能端。该引脚上从输入电源到 GND 的电阻分压器可用于调节欠压锁定阈值。不保持悬空。有关详细信息，请参阅节 7.3.1。
EN/UVLO		模拟输入	器件的低电平有效使能端。设置为低电平以使器件自动开启。设置为高电平可禁用该器件不保持悬空。有关高电平和低电平的阈值，请参阅 EN/UVLO 电气表
OVLO	2	模拟输入	该引脚上从电源到 GND 的电阻分压器可用于调节过压锁定阈值。该引脚也可用作器件的低电平有效使能端。不保持悬空。有关详细信息，请参阅节 7.3.2。
SPLYGD	3	数字输出	TPS259480x/2x/3x：高电平有效电源正常指示。这是一个开漏信号，当输入电源有效且通道已完成浪涌序列时，该信号被置为高电平有效。这可用于启用/禁用辅助电源电子保险丝，以促进优先级电源多路复用配置中的平稳切换。更多详细信息，请参阅节 7.3.8。
SPLYGD		数字输出	TPS259481x：低电平有效电源正常指示。这是一个开漏信号，当输入电源有效且通道已完成浪涌序列时，该信号被置为低电平有效。这可用于启用/禁用辅助电源电子保险丝，以促进优先级电源多路复用配置中的平稳切换。更多详细信息，请参阅节 7.3.8。
FLT	4	数字输出	TPS259480x：低电平有效故障事件指示器。这是一个开漏信号，当检测到故障时被拉低。更多详细信息，请参阅节 7.3.7。
RCBCTRL		数字输入	TPS259481x/2x/3x：高电平有效反向电流阻断使能输入。将该引脚悬空或拉高可始终启用反向电流阻断。将该引脚拉至低电平可禁用稳态下的反向电流阻断，从而启用双向电流。
IN	5、12	电源	电源输入。
OUT	6、11	电源	电源输出。
DVDT	7	模拟输出	该引脚与 GND 之间的电容器可设置输出导通压摆率。将该引脚悬空以在获得最快的导通压摆率。有关详细信息，请参阅节 7.3.3.1。
GND	8	接地	这是所有内部电路的接地基准，必须连接到系统 GND。
ILM	9	模拟输出	这是用于限制和监测输出电流的双功能引脚。该引脚与 GND 之间的外部电阻器可设置启动及稳态期间的输出电流限制阈值。引脚电压还可用作模拟输出负载电流监测信号。不保持悬空。更多详细信息，请参阅节 7.3.3.2。
ITIMER	10	模拟输出	该引脚与 GND 之间的电容器设置过流消隐间隔，在该间隔期间，在器件过流响应采取措施之前，输出电流可能暂时超过设定的电流限制（但低于快速跳变阈值）。将该引脚保持开路状态，以便对过流事件做出最快响应。更多详细信息，请参阅节 7.3.3.2。

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾

参数		引脚	最小值	最大值	单位
$V_{IN,MAX}$	最大输入电压范围, $-40^{\circ}\text{C} \leq T_J \leq 125^{\circ}\text{C}$	IN	-0.3	28	V
$SR_{IN(R)}$	最大输入电压上升压摆率			100	V/ μs
$SR_{IN(F)}$	最大输入电压下降压摆率			10	V/ μs
$V_{OUT,MAX}$	最大输出电压范围, $-40^{\circ}\text{C} \leq T_J \leq 125^{\circ}\text{C}$	OUT	-0.3	最小值 (28, $V_{IN} + 21$)	
$V_{OUT,MAX}$	最大输出电压范围, $-10^{\circ}\text{C} \leq T_J \leq 125^{\circ}\text{C}$	OUT	-0.3	最小值 (28, $V_{IN} + 22$)	
$V_{OUT,MAX,PLS}$	最小输出电压脉冲 (< 1 μs)	OUT	-0.8		
$V_{EN/UVLO,MAX}$	最大使能引脚电压范围	EN/UVLO	-0.3	6.5	V
$V_{OVLO,MAX}$	最大 OVLO 引脚电压范围	OVLO	-0.3	6.5	V
$V_{dVdt,MAX}$	最大 dVdt 引脚电压范围	dVdt	受内部限制		V
$V_{ITIMER,MAX}$	最大 ITIMER 引脚电压范围	ITIMER	受内部限制		V
$V_{RCBCTRL,MAX}$	最大 RCBCTRL 引脚电压范围	RCBCTRL	-0.3	6.5	V
$V_{SPLYGD,MAX}$	最大 SPLYGD/ $\overline{\text{SPLYGD}}$ 引脚电压范围	SPLYGD/ $\overline{\text{SPLYGD}}$	-0.3	6.5	V
$V_{FLT,MAX}$	最大 $\overline{\text{FLT}}$ 引脚电压范围	FLT	-0.3	6.5	V
$V_{ILM,MAX}$	最大 ILM 引脚电压范围	ILM	受内部限制		V
I_{MAX}	最大持续开关电流	从 IN 到 OUT 或从 OUT 到 IN	受内部限制		A
$T_{J,MAX}$	最高工作结温		受内部限制		$^{\circ}\text{C}$
$T_{LEAD,MAX}$	最高引线温度			300	$^{\circ}\text{C}$
$T_{STG,MAX}$	最高存储温度		-65	150	$^{\circ}\text{C}$

- (1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果在建议运行条件之外但又在绝对最大额定值范围内使用, 器件可能不会完全正常运行, 这可能会影响器件的可靠性、功能和性能, 并缩短器件的寿命。

6.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	± 2000	V
		充电器件模型 (CDM), 符合 ANSI/ESDA/JEDEC JS-002 ⁽²⁾	± 500	

- (1) JEDEC 文档 JEP155 指出: 500V HBM 时能够在标准 ESD 控制流程下安全生产。
 (2) JEDEC 文档 JEP157 指出: 250V CDM 时能够在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数		引脚	最小值	最大值	单位
V_{IN}	输入电压范围	IN	3.5	23	V
V_{OUT}	输出电压范围	OUT		最小值 (23, $V_{IN} + 20$)	V
$V_{EN/UVLO}$	使能引脚电压范围	EN/UVLO		5 ⁽¹⁾	V

6.3 建议运行条件 (续)

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数		引脚	最小值	最大值	单位
V _{OVLO}	OVLO 引脚电压范围	OVLO	0.5	1.5	V
V _{dVdt}	dVdt 电容器电压额定值	dVdt	V _{IN} + 5V ⁽²⁾		V
V _{RCBCTRL}	RCBCTRL 引脚电压范围	RCBCTRL		5	V
V _{FLT}	FLT 引脚电压范围	FLT		5	V
V _{SPLYGD}	SPLYGD/SPLYGD 引脚电压范围	SPLYGD/SPLYGD		5	V
V _{ITIMER}	ITIMER 引脚电容器电压额定值	ITIMER	4		V
R _{ILM}	ILM 引脚电阻	ILM	536	4834	Ω
I _{LOAD}	连续开关电流, T _J ≤ 125°C	从 IN 到 OUT 或从 OUT 到 IN		8	A
T _J	结温		-40	125	°C

- 如果电源电压低于 5V, 可以直接将 EN 引脚上拉至 IN。对于大于 5V 的电源电压, 建议使用电阻分压器来降低电压。
- 在电源不等的 PowerMUX 场景中, 必须根据 2 个电源轨中的最高值选择每个器件的 dVdt 电容器额定值。

6.4 热性能信息

热指标 ⁽¹⁾		TPS25948xx	单位
		YWP (PWCSP)	
		12 引脚	
R _{θJA}	结至环境热阻	33.4 ⁽²⁾	°C/W
Ψ _{JT}	结至顶部特征参数	0.3 ⁽²⁾	°C/W
Ψ _{JB}	结至电路板特征参数	11.2 ⁽²⁾	°C/W

- 有关新旧热指标的更多信息, 请参阅 [半导体和 IC 封装热指标应用手册](#)。
- 自定义 PCB 布局 2s2p

6.5 电气特性

(测试条件, 除非另有说明) - 40°C ≤ T_J ≤ 125°C, V_{IN} = 12V, OUT = 开路, V_{EN/UVLO} = 2V, V_{OVLO} = 0V, R_{ILM} = 536 Ω, dVdt = 开路, ITIMER = 开路, SPLYGD/SPLYGD = 开路, FLT = 对于 TPS259480x 为开路, RCBCTRL = 对于 TPS259481x/2x/3x 为开路。所有电压均以 GND 为基准。

测试参数	说明	最小值	典型值	最大值	单位
输入电源 (IN)					
V _{UVP(R),IN}	IN 电源欠压保护上升阈值	2.7	3.0	3.3	V
V _{UVP(F),IN}	IN 电源欠压保护下降阈值	2.2	2.4	2.65	V
I _{Q(ON,IN)}	从 IN 供电时的 IN 电源开启状态静态电流, V _{EN} > V _{UVLO(R)}		439	640	μA
I _{Q(OFF,UVLO,IN)}	从 IN 供电时的 IN 电源关闭状态电流, V _{SD(F)} < V _{EN} < V _{UVLO(R)} (仅限 TPS259480x/1x/2x/3x 型号)		73	193	μA
I _{Q(OFF,UVLO,IN)}	从 IN 供电时的 IN 电源关闭状态电流, V _{EN} > V _{UVLO(R)} (仅限 TPS259484x 型号)		73	193	μA
I _{OUTLKG(ON)}	从 IN 供电时的 OUT 电源漏电流		432	640	μA
I _{OUTLKG(OFF)}	从 IN 供电时的 OUT 电源漏电流, UVLO 条件 (V _{SD(F)} < V _{EN} < V _{UVLO(R)}) (仅限 TPS259480x/1x/2x/3x 型号)		7	29	μA
I _{OUTLKG(OFF)}	从 IN 供电时的 OUT 电源漏电流, UVLO 条件 (V _{EN} > V _{UVLO(R)}) (仅限 TPS259484x 型号)		7	29	μA
I _{SD(IN)}	从 IN 供电时的 IN 电源关断电流, V _{EN} < V _{SD(F)} (仅限 TPS259480x/1x/2x/3x 型号)		7	12	μA

6.5 电气特性 (续)

(测试条件, 除非另有说明) - $-40^{\circ}\text{C} \leq T_J \leq 125^{\circ}\text{C}$, $V_{\text{IN}} = 12\text{V}$, $\text{OUT} = \text{开路}$, $V_{\text{EN/UVLO}} = 2\text{V}$, $V_{\text{OVLO}} = 0\text{V}$, $R_{\text{ILM}} = 536\ \Omega$, $dVdT = \text{开路}$, $\text{ITIMER} = \text{开路}$, $\text{SPLYGD/SPLYGD} = \text{开路}$, $\text{FLT} = \text{对于 TPS259480x 为开路}$, $\text{RCBCTRL} = \text{对于 TPS259481x/2x/3x 为开路}$ 。所有电压均以 GND 为基准。

测试参数	说明	最小值	典型值	最大值	单位
$V_{\text{UVP(R),OUT}}$	OUT 电源欠压保护上升阈值	2.7	3.0	3.3	V
$V_{\text{UVP(F),OUT}}$	OUT 电源欠压保护下降阈值	2.2	2.4	2.65	V
输出电源 (OUT)					
$I_{\text{Q(ON,OUT)}}$	从 OUT 供电时的 OUT 电源开启状态静态电流, $V_{\text{EN}} > V_{\text{UVLO(R)}}$ (仅限 TPS259480x/1x/2x/3x 型号)		422	640	μA
$I_{\text{Q(ON,OUT)}}$	从 OUT 供电时的 OUT 电源开启状态静态电流, $V_{\text{EN}} < V_{\text{UVLO(R)}}$ (仅限 TPS259484x 型号)		422	640	μA
$I_{\text{Q(OFF,UVLO,OUT)}}$	从 OUT 供电时的 OUT 电源关闭状态电流, $V_{\text{SD(F)}} < V_{\text{EN}} < V_{\text{UVLO(R)}}$ (仅限 TPS259480x/1x/2x/3x 型号)		71	110	μA
$I_{\text{Q(OFF,UVLO,OUT)}}$	从 OUT 供电时的 OUT 电源关闭状态电流, $V_{\text{EN}} > V_{\text{UVLO(R)}}$ (仅限 TPS259484x 型号)		71	110	μA
$I_{\text{SD(OUT)}}$	由 OUT 供电时的 OUT 电源关断电流, $V_{\text{EN}} < V_{\text{SD(F)}}$ (仅限 TPS259480x/1x/2x/3x 型号)		7	29	μA
导通电阻 (IN - OUT)					
R_{ON}	$V_{\text{IN}} = 12\text{V}$, $I_{\text{OUT}} = 3\text{A}$, $T_J = 25^{\circ}\text{C}$		12.2	15	$\text{m}\Omega$
	$3.5 \leq V_{\text{IN}} \leq 23\text{V}$, $I_{\text{OUT}} = 3\text{A}$, $-40^{\circ}\text{C} \leq T_J \leq 125^{\circ}\text{C}$			20	$\text{m}\Omega$
使能/欠压锁定 (EN/UVLO)					
$V_{\text{UVLO(R)}}$	用于打开 FET 的 EN/UVLO 引脚上升阈值 (仅限 TPS259480x/1x/2x/3x 型号)	1.17	1.2	1.23	V
$V_{\text{UVLO(R)}}$	用于关闭 FET 的 EN/UVLO 引脚上升阈值 (仅限 TPS259484x 型号)	1.17	1.2	1.23	V
$V_{\text{UVLO(F)}}$	用于关闭 FET 的 EN/UVLO 引脚下降阈值 (仅限 TPS259480x/1x/2x/3x 型号)	1.07	1.1	1.12	V
$V_{\text{UVLO(F)}}$	用于打开 FET 的 EN/UVLO 引脚下降阈值 (仅限 TPS259484x 型号)	1.07	1.1	1.12	V
$V_{\text{SD(F)}}$	用于最小关断暗流的 EN/UVLO 引脚下降阈值 (仅限 TPS259480x/1x/2x/3x 型号)	0.54	0.75		V
I_{ENLKG}	EN/UVLO 引脚漏电流	-0.1		0.1	μA
过压锁定 (OVLO)					
$V_{\text{OV(R)}}$	OVLO 引脚上升阈值	1.18	1.2	1.23	V
$V_{\text{OV(F)}}$	OVLO 引脚下降阈值	1.07	1.1	1.12	V
I_{OVLKG}	OVLO 引脚漏电流, $0.5\text{V} < V_{\text{OVLO}} < 1.5\text{V}$	-0.1		0.1	μA
输出负载电流监测器 (IMON)					
G_{IMON}	模拟负载电流监测器增益 (IMON : IOUT), $I_{\text{OUT}} = 1\text{A}$, $I_{\text{OUT}} < I_{\text{LIM}}$	114	133	154	$\mu\text{A/A}$
G_{IMON}	模拟负载电流监测器增益 (IMON : IOUT), $I_{\text{OUT}} = 3\text{A}$ 至 8A , $I_{\text{OUT}} < I_{\text{LIM}}$	116	133	149	$\mu\text{A/A}$
过流保护 (OUT)					
I_{LIM}	过流阈值, $R_{\text{ILM}} = 2.43\text{k}\Omega$	1.75	1.99	2.25	A
	过流阈值, $R_{\text{ILM}} = 1.62\text{k}\Omega$	2.7	2.98	3.3	A
	过流阈值, $R_{\text{ILM}} = 604\ \Omega$	7.2	8	8.7	A

6.5 电气特性 (续)

(测试条件, 除非另有说明) - $-40^{\circ}\text{C} \leq T_J \leq 125^{\circ}\text{C}$, $V_{IN} = 12\text{V}$, $\text{OUT} = \text{开路}$, $V_{EN/UVLO} = 2\text{V}$, $V_{OVLO} = 0\text{V}$, $R_{ILM} = 536\ \Omega$, $dVdt = \text{开路}$, $\text{ITIMER} = \text{开路}$, $\text{SPLYGD}/\text{SPLYGD} = \text{开路}$, $\overline{\text{FLT}} = \text{对于 TPS259480x 为开路}$, $\text{RCBCTRL} = \text{对于 TPS259481x/2x/3x 为开路}$ 。所有电压均以 GND 为基准。

测试参数	说明	最小值	典型值	最大值	单位
I_{FLT}	断路器阈值, ILM 引脚断开 (单点失效)			0.1	A
	断路器阈值, ILM 引脚短接至 GND (单点失效)		1.4	2.5	A
I_{SCGain}	可扩展快速跳变电流阈值 (I_{SC}): I_{LIM} 比率 (TPS259480x/2x 型号的稳态/启动电流, 以及 TPS259481x/3x 型号的启动电流)	170%	184%	240%	
I_{FFT}	固定快速跳变电流阈值, 仅限 TPS259480x/2x 型号	16.9	25.1	31.0	A
	固定快速跳变电流阈值, 仅限 TPS259481x/3x 型号	15	22.8	29	A
V_{FB}	退出折返电流限制的 V_{OUT} 阈值	1.5	1.9	2.3	V
过流故障计时器 (ITIMER)					
V_{INT}	ITIMER 引脚内部上拉电压	2.3	2.6	2.7	V
R_{ITIMER}	ITIMER 引脚内部上拉电阻		15.7		k Ω
I_{ITIMER}	ITIMER 引脚放电电流, $I_{\text{OUT}} > I_{\text{LIM}}$	1.5	1.9	2.45	μA
ΔV_{ITIMER}	ITIMER 放电差分电压阈值	1.28	1.51	1.75	V
反向电流阻断 (IN - OUT)					
V_{FWD}	$V_{\text{IN}} - V_{\text{OUT}}$ 正向调节电压, $I_{\text{OUT}} = 10\text{mA}$	0.1	10.6	24.5	mV
V_{REVTH}	用于快速 BFET 关断的 $V_{\text{IN}} - V_{\text{OUT}}$ 阈值 (进入反向电流阻断)	-44.8	-29.5	-14.8	mV
V_{FWDTH}	用于快速 BFET 开启的 $V_{\text{IN}} - V_{\text{OUT}}$ 阈值 (退出反向电流阻断)	70	105.9	140	mV
I_{REVLKG}	反向电流阻断条件下的反向漏电流	-2	-1.1		μA
电源正常指示 (SPLYGD/SPLYGD)					
V_{SPLYGD}	SPLYGD 引脚低电压 $V_{\text{IN}} > 3.3\text{V}$, 强上拉			600	mV
V_{SPLYGD}	SPLYGD 引脚低电压 $V_{\text{IN}} < 3.3\text{V}$, $\text{EN} < V_{\text{SD(F)}}$, 弱上拉		650	930	mV
V_{SPLYGD}	SPLYGD 引脚低电压 $V_{\text{IN}} < 3.3\text{V}$, $\text{EN} < V_{\text{SD(F)}}$, 强上拉		785	990	mV
$I_{\text{SPLYGDLKG}}$	SPLYGD 高位漏电流	-3		3	μA
$I_{\text{SPLYGDBLKG}}$	SPLYGD 高位漏电流	-3		3	μA
故障指示 (FLT) 或反向阻断控制 (RCBCTRL)					
I_{FLTBLKG}	$\overline{\text{FLT}}$ 漏电流	-1		1	μA
R_{FLTB}	$\overline{\text{FLT}}$ 引脚内部下拉电阻, 仅限 TPS259480x 型号		11.8		Ω
I_{RCBCTRL}	RCBCTRL 引脚内部上拉电流, 仅限 TPS259481x/2x/3x 型号		5		μA
$V_{\text{IH,RCBCTRL}}$	RCBCTRL 引脚逻辑高电平检测阈值, 仅限 TPS259481x/2x/3x 型号	1.09	1.15	1.2	V
$V_{\text{IL,RCBCTRL}}$	RCBCTRL 引脚逻辑低电平检测阈值, 仅限 TPS259481x/2x/3x 型号	1.0	1.0	1.11	V
过热保护 (OTP)					
TSD	热关断上升阈值, T_J 上升		154		$^{\circ}\text{C}$
TSD _{HYS}	热关断迟滞, T_J 下降		10		$^{\circ}\text{C}$
压摆率控制 (DVDT)					
I_{dvdt}	dVdt 引脚充电电流	2.6	5.3	9	μA

6.6 时序要求

参数		测试条件	最小值	典型值	最大值	单位
t_{OVLO}	过压锁定响应时间	$V_{OVLO} > V_{OV(R)}$ 至 $V_{OUT} \downarrow$		1		μs
t_{LIM}	电流限制响应时间	$I_{OUT} > 1.2 \times I_{LIM}$ 且 ITIMER 已到期, 直至 I_{OUT} 稳定在 I_{LIM} 的 5% 以内		250		μs
t_{SC}	可扩展快速跳变响应时间 (仅限 TPS259480x/2x)	$I_{OUT} > 3 \times I_{LIM}$ 至 $I_{OUT} \downarrow$		900		ns
t_{FT}	固定快速跳变响应时间	$I_{OUT} > I_{FFT}$ 至 $I_{OUT} \downarrow$		750		ns
t_{RST}	故障后的自动重试间隔 (仅限 TPS25948xA)			103		ms
t_{SWOV}	OVLO 快速恢复响应时间	$V_{OVLO} < V_{OV(F)}$ 至 $V_{OUT} \uparrow$		85.3		μs
t_{SWRCB}	反向电流阻断恢复时间	$(V_{IN} - V_{OUT}) > V_{FWDTH}$ 至 $V_{OUT} \uparrow$		46.5		μs
t_{RCB}	反向电流阻断比较器响应时间	$(V_{OUT} - V_{IN}) > 1.3 \times V_{REVTH}$ 至 BFET OFF		1.1		μs
$t_{SPLYGDA}$	电源正常置为有效抗尖峰脉冲			14.7		μs
$t_{SPLYGDD}$	电源正常置为无效抗尖峰脉冲			14.3		μs

6.7 开关特性

输出上升压摆率在个工作电压范围内在内部控制并保持恒定, 可确保导通时序不受负载条件影响。可通过在 $dVdt$ 引脚与接地之间添加电容来调节上升压摆率。随着 C_{dVdt} 增加, 上升压摆率 (SR) 会变慢。有关更多详细信息, 请参阅压摆率和浪涌电流控制 ($dVdt$) 部分。但是, 关断延迟和下降时间取决于负载电容 (C_{OUT}) 和负载电阻 (R_L) 的 RC 时间常数。开关特性仅对电源在稳定状态条件下可用且负载电压在器件启用之前完全放电的上电序列有效。除非另有说明, 否则典型值是在 $T_J = 25^\circ\text{C}$ 时测得。 $R_{OUT} = 100 \Omega$, $C_{OUT} = 1 \mu\text{F}$

参数		VIN	$C_{dVdt} = \text{开路}$	$C_{dVdt} = 3.3\text{nF}$	$C_{dVdt} = 6.8\text{nF}$	单位
$t_{D,ON}$	导通延迟	3.5	0.15	0.78	1.31	ms
		12	0.17	1.04	2.04	ms
		23	0.18	1.60	3.44	ms
SR_{ON}	输出上升压摆率	3.5	14.40	1.25	0.58	V/ms
		12	25.30	1.36	0.60	V/ms
		23	38.30	1.44	0.65	V/ms
t_R	上升时间	3.5	0.20	2.12	4.59	ms
		12	0.36	7.04	17.08	ms
		23	0.47	12.83	27.70	ms
t_{ON}	导通时间	3.5	0.41	2.88	5.89	ms
		12	0.55	8.09	19.14	ms
		23	0.65	14.66	31.20	ms
$t_{D,OFF}$	关断延迟	3.5	17.30	17.30	17.30	μs
		12	15.80	15.80	15.80	μs
		23	13.50	13.50	13.50	μs
t_F	下降时间	3.5	取决于 R_{OUT} 和 C_{OUT}			μs
		12				
		23				

6.8 典型特性

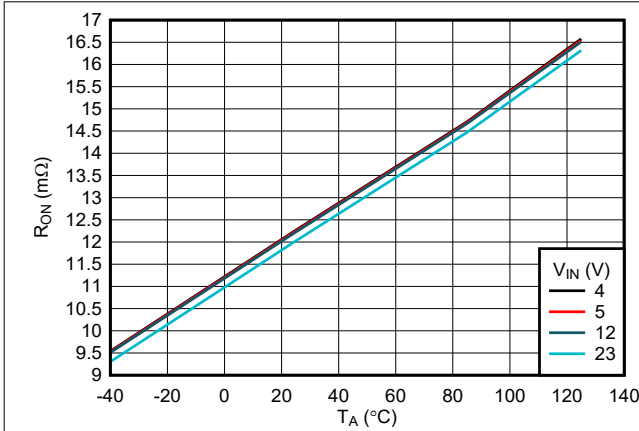


图 6-1. 导通电阻与温度间的关系

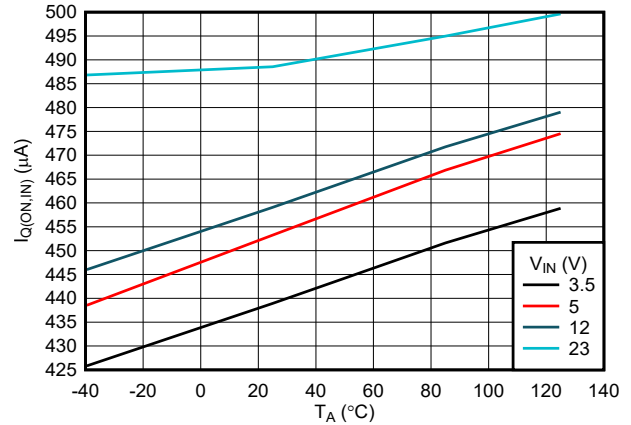


图 6-2. IN 静态电流与温度间的关系

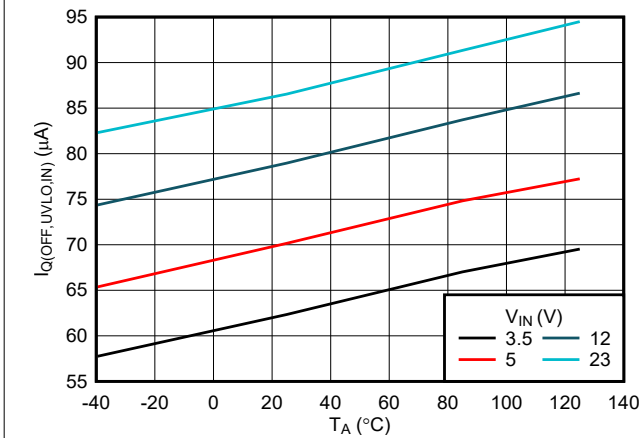


图 6-3. 输入关断状态 (UVLO) 电流与温度间的关系

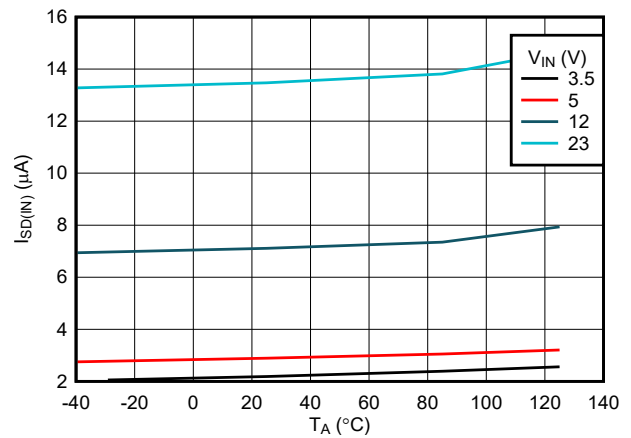


图 6-4. IN 关断电流与温度间的关系

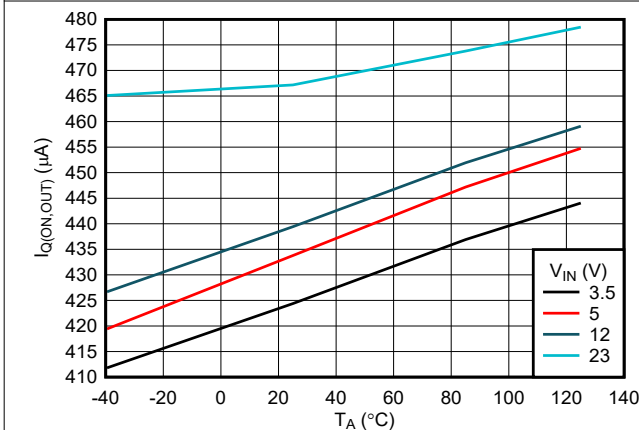


图 6-5. OUT 静态电流与温度间的关系

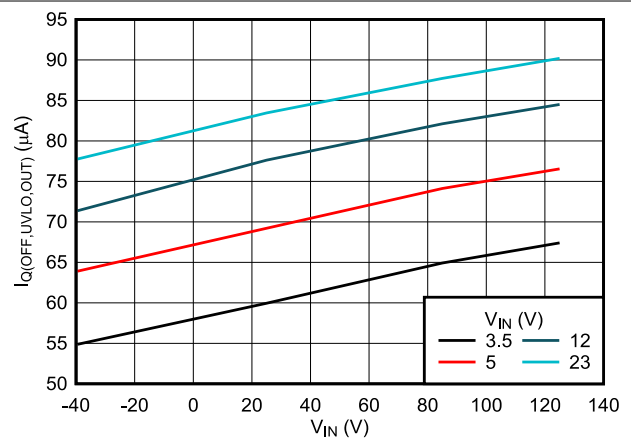
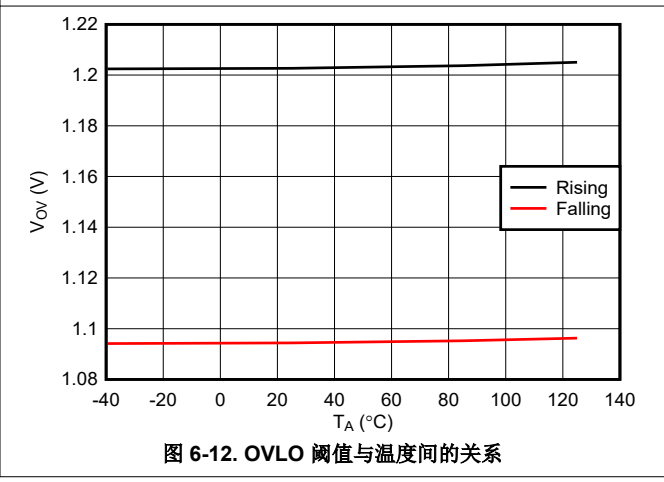
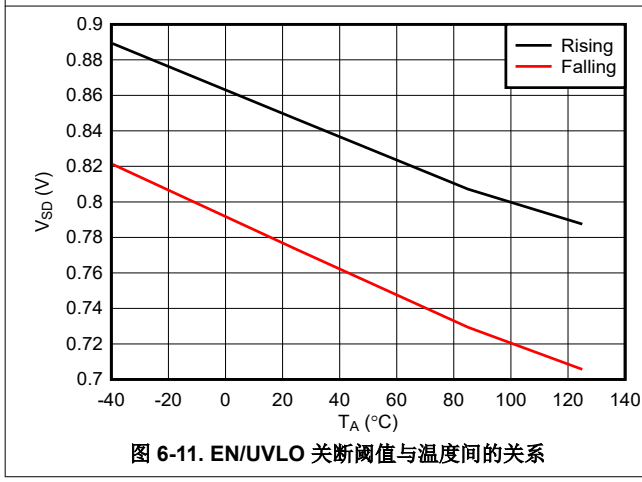
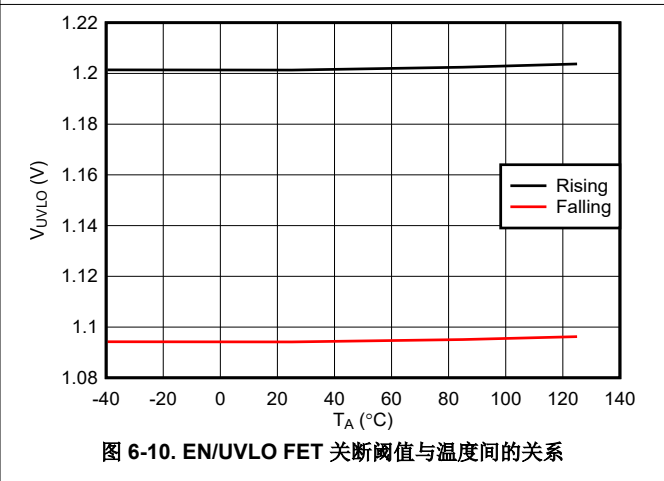
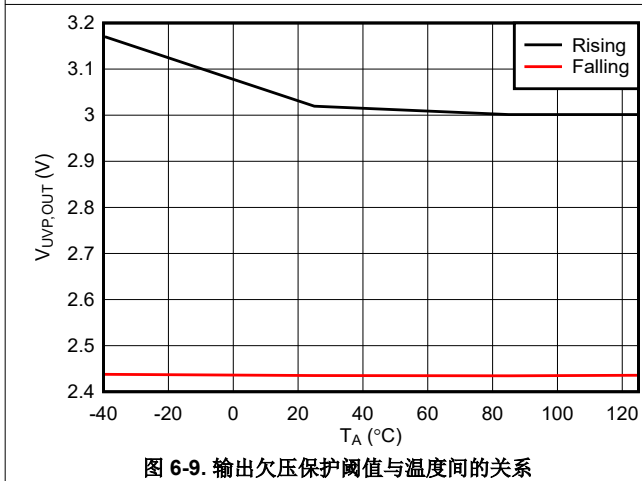
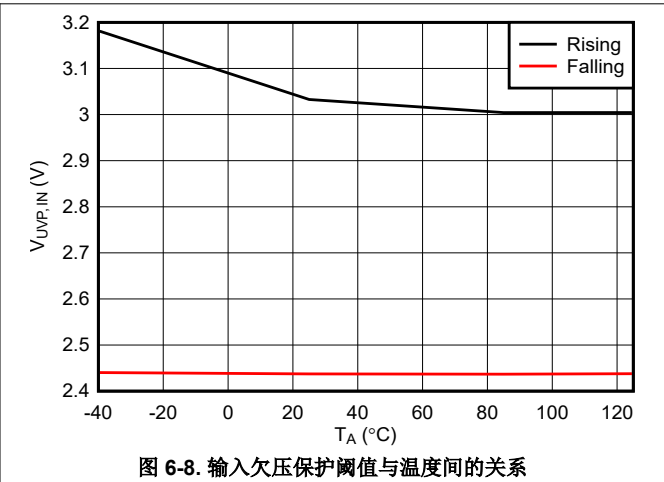
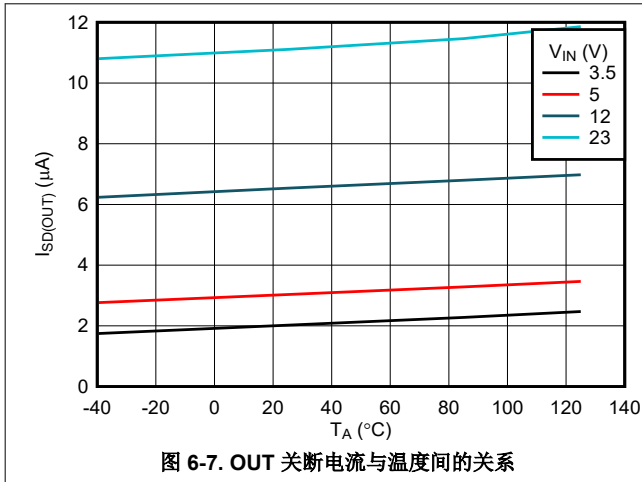


图 6-6. 输出关断状态 (UVLO) 电流与温度间的关系

6.8 典型特性 (续)



6.8 典型特性 (续)

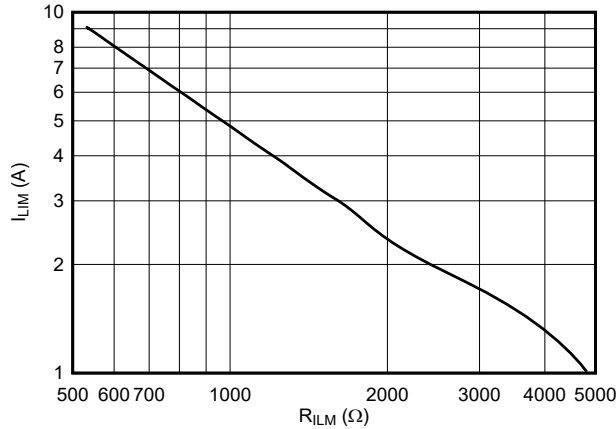


图 6-13. 过流阈值与 ILM 电阻间的关系

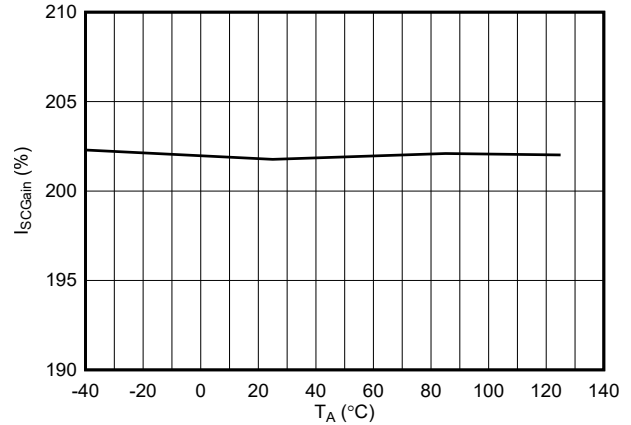


图 6-14. 稳态可扩展快速跳变阈值：电流限制阈值 (I_{LIM}) 比值与温度间的关系 (TPS259480x/2x)

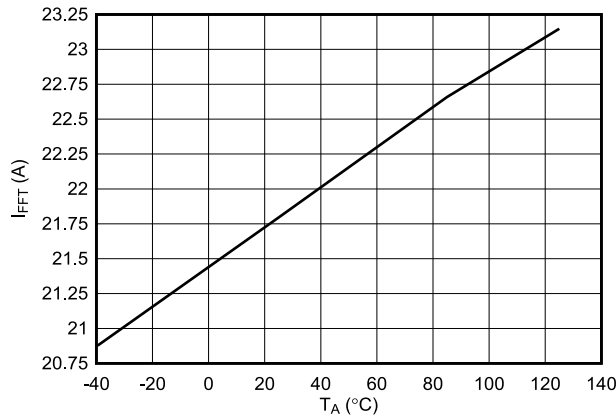


图 6-15. 稳态固定快速跳变电流阈值与温度间的关系 (TPS259481x/3x)

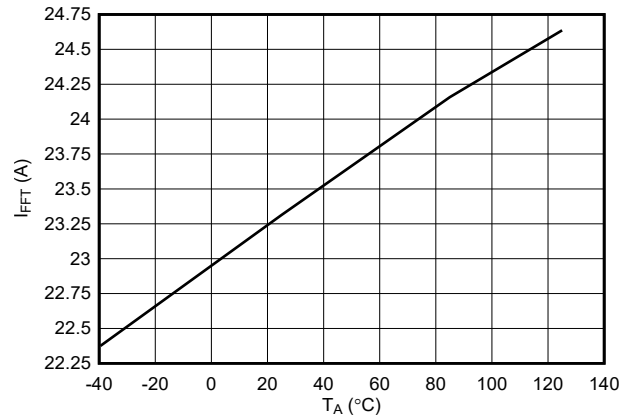


图 6-16. 稳态固定快速跳变电流阈值与温度间的关系 (TPS259480x/2x)

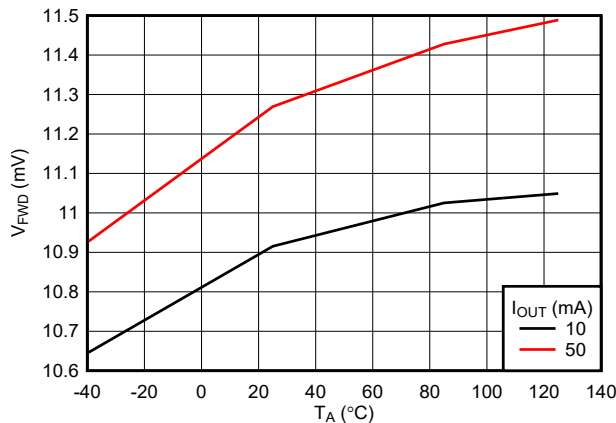


图 6-17. RCB — 正向调节电压与温度间的关系

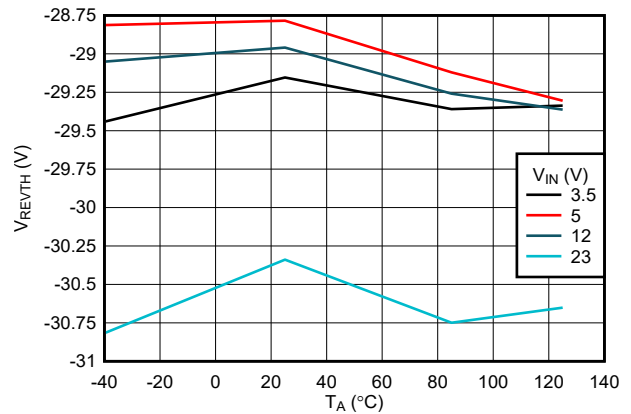


图 6-18. RCB — 反向比较器阈值与温度间的关系

6.8 典型特性 (续)

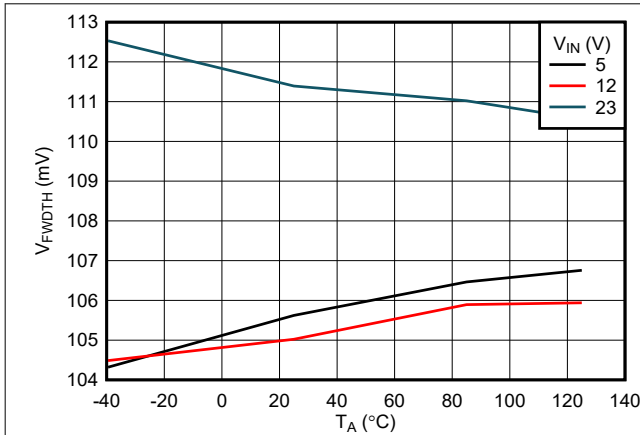


图 6-19. RCB 正向比较器阈值与温度间的关系

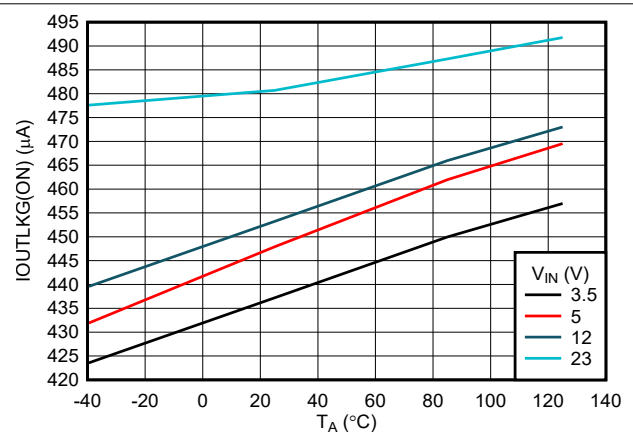


图 6-20. 导通状态反向电流阻断期间的输出漏电流

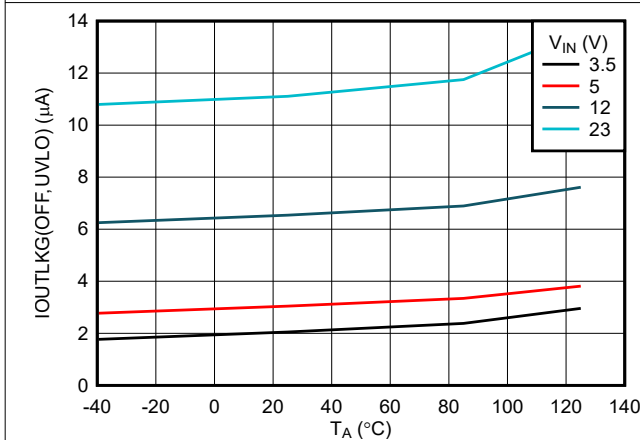


图 6-21. 关断状态期间的反向漏电流

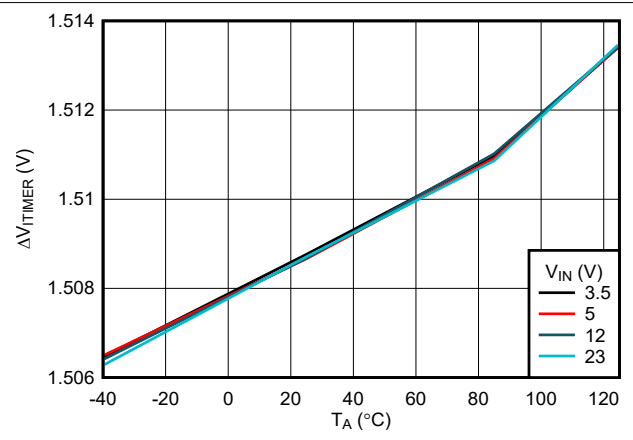


图 6-22. ITIMER 引脚放电差分电压阈值与温度间的关系

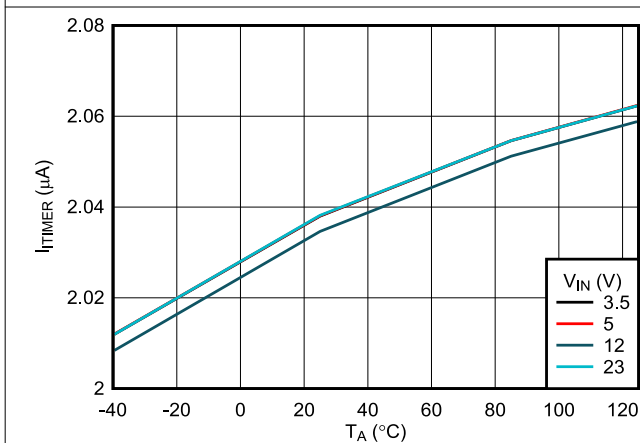


图 6-23. ITIMER 放电电流与温度间的关系

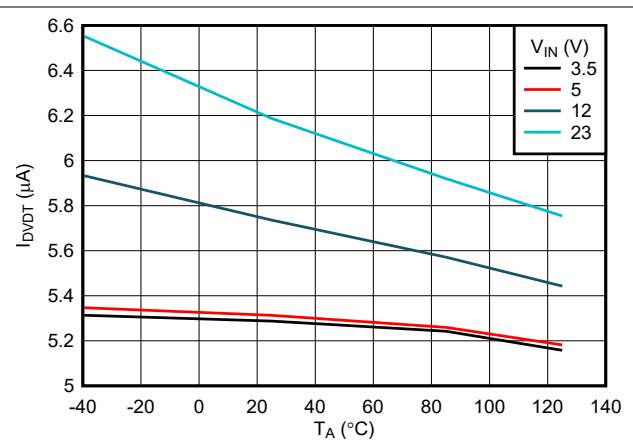


图 6-24. DVDT 充电电流与温度间的关系

6.8 典型特性 (续)

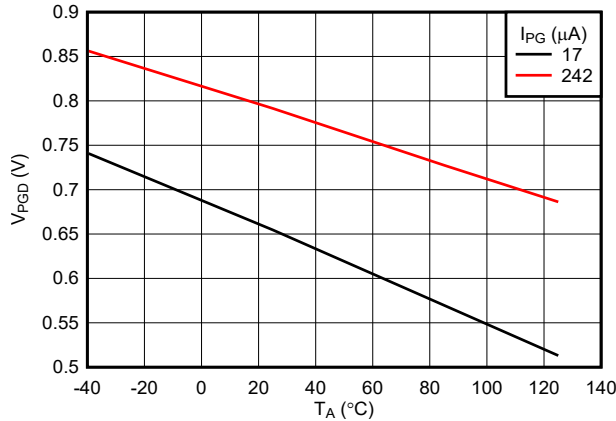


图 6-25. 无输入电源时的 PG 低电压与温度间的关系

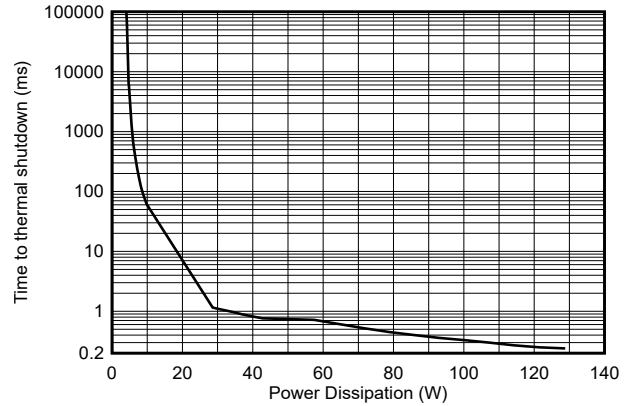
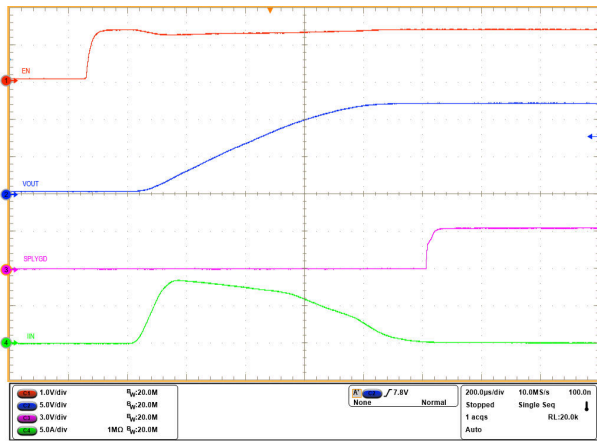
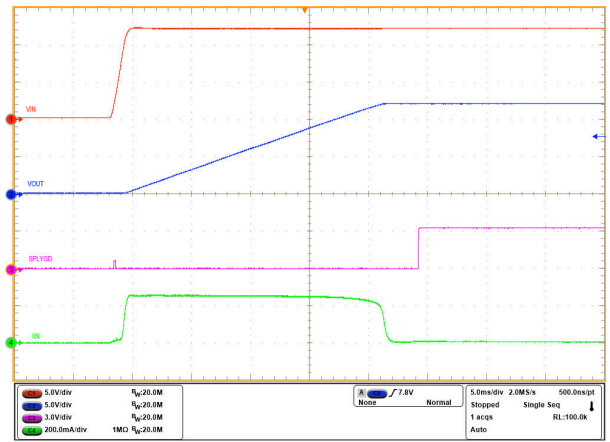


图 6-26. 浪涌状态期间的热关断时间



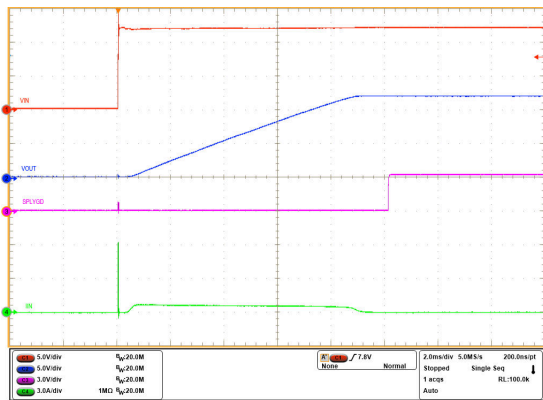
$V_{IN} = 12V$, $C_{OUT} = 220 \mu F$, C_{dVdt} = 开路, $V_{EN/UVLO}$ 升至 2V

图 6-27. 通过使能引脚启动



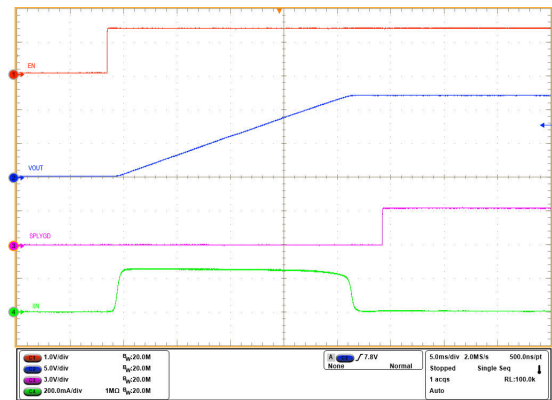
$V_{EN/UVLO} = 2V$, $C_{OUT} = 220 \mu F$, $C_{dVdt} = 10nF$, V_{IN} 上升至 12V

图 6-28. 通过电源启动



$C_{IN} = 0.1 \mu F$, $C_{OUT} = 220 \mu F$, $C_{dVdt} = 10nF$, EN/UVLO 通过电阻梯连接到 IN, 12V 热插拔到 IN

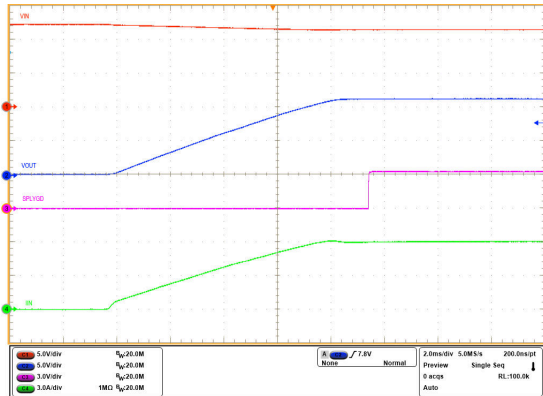
图 6-29. 输入热插拔



$V_{IN} = 12V$, $C_{OUT} = 220 \mu F$, $C_{dVdt} = 10nF$, $V_{EN/UVLO}$ 升至 2V

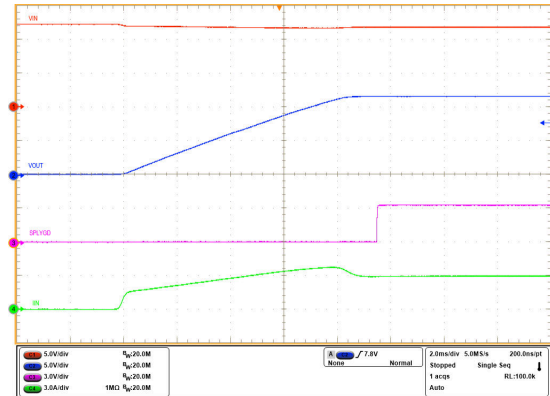
图 6-30. 具有容性负载时的浪涌电流

6.8 典型特性 (续)



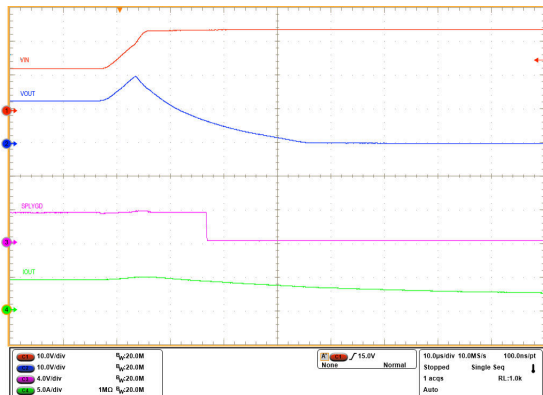
$V_{IN} = 12V$, $C_{OUT} = 220 \mu F$, $R_{OUT} = 2 \Omega$, $C_{dVdt} = 3300pF$, $V_{EN/UVLO}$ 升至 2V

图 6-31. 具有阻止性和容性负载时的浪涌电流



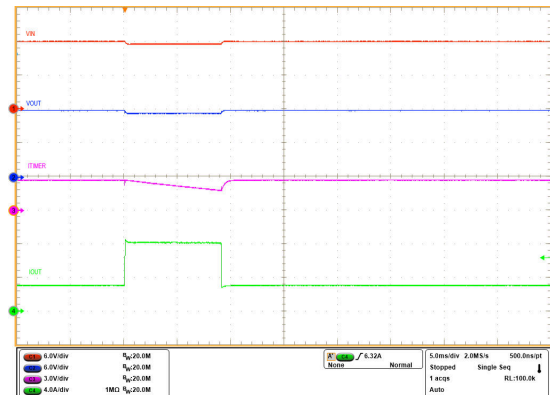
$V_{IN} = 12V$, $C_{OUT} = 690 \mu F$, $R_{OUT} = 4 \Omega$, $C_{dVdt} = 3300pF$, $V_{EN/UVLO}$ 升至 2V

图 6-32. 具有阻止性和容性负载时的浪涌电流



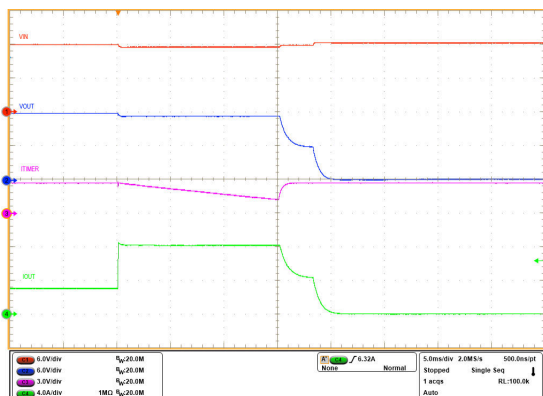
V_{IN} 过压阈值设置为 20V, V_{IN} 从 12V 上升至 23V

图 6-33. 过压锁定响应



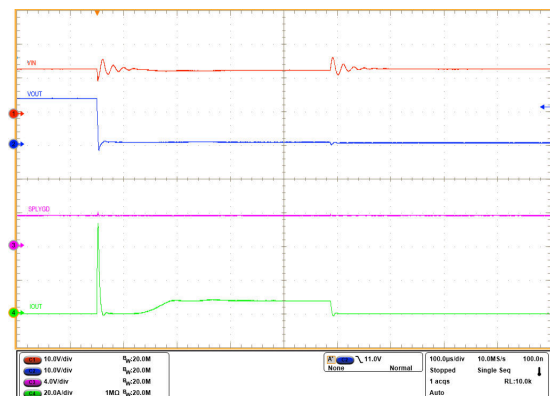
$V_{IN} = 12V$, $C_{TIMER} = 22nF$, $C_{OUT} = 220 \mu F$, I_{LIM} 设置为 4.5A, I_{OUT} 在 9ms 内从 3A 升至 8A 再降至 3A

图 6-34. 瞬态过流消隐计时器响应



$V_{IN} = 12V$, $C_{TIMER} = 22nF$, $C_{OUT} = 220 \mu F$, I_{LIM} 设置为 4.5A, I_{OUT} 从 3A 升至 9A

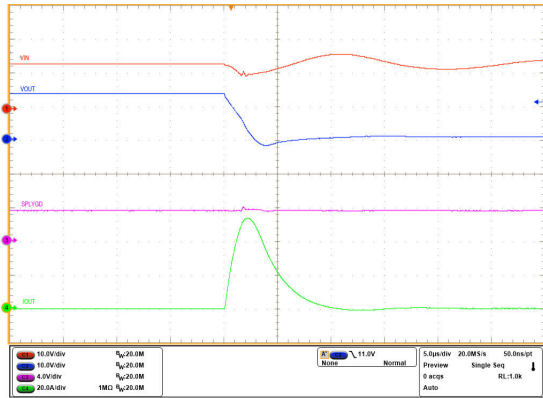
图 6-35. 有效电流限制响应, 后跟 TSD



$V_{IN} = 12V$, I_{LIM} 设置为 9A, $V_{EN/UVLO} = 2V$, OUT 从开路变为短路至 GND

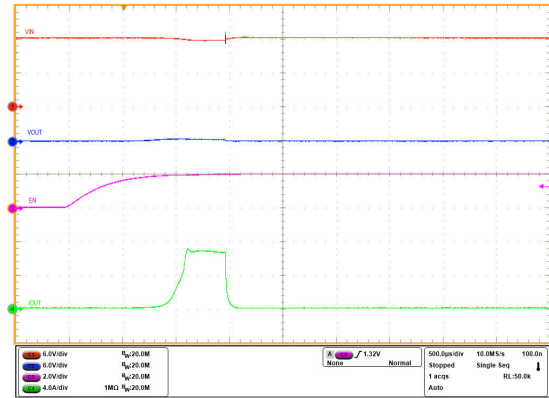
图 6-36. 稳态期间的输出短路

6.8 典型特性 (续)



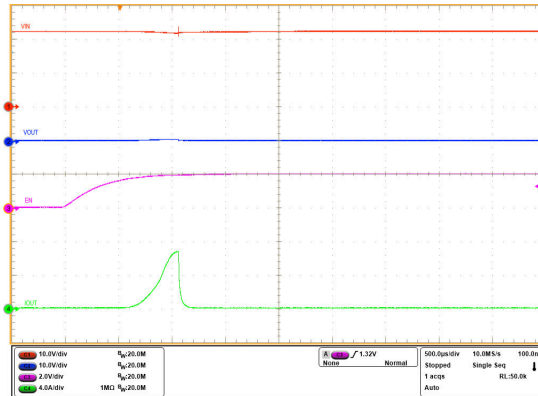
$V_{IN} = 12V$, I_{LIM} 设置为 $9A$, $V_{EN/UVLO} = 2V$, OUT 从开路变为短路至 GND

图 6-37. 稳态期间的输出短路 (放大图)



$V_{IN} = 12V$, OUT 短路至 GND, I_{LIM} 设置为 $4.5A$, $V_{EN/UVLO}$ 从 $0V$ 升至 $2V$

图 6-38. 上电至短路



$V_{IN} = 22V$, OUT 短路至 GND, I_{LIM} 设置为 $9A$, $V_{EN/UVLO}$ 从 $0V$ 升至 $2V$

图 6-39. 上电至短路

7 详细说明

7.1 概述

TPS25948xx 是具有集成电源路径的电子保险丝，用于在系统中建立安全的电力输送。该器件通过监测 IN 和 OUT 总线电压开始运行。当电源电压 (V_{IN} 或 V_{OUT}) 超过欠压保护阈值 (V_{UVP}) 时，器件对 EN/UVLO 引脚进行采样。该引脚上的高电平 ($> V_{UVLO}$) 使内部内部电源路径 (BFET+HFET) 开始导通，并允许电流在 IN 和 OUT 之间流动。当 EN/UVLO 保持低电平 ($< V_{UVLO}$) 时，内部电源路径将关断，以阻止 IN 和 OUT 之间的电流流动。

成功启动序列后，该器件主动监测负载电流和总线电压并控制内部 HFET，以确保不超过用户可调节过流限制阈值 (I_{LIM})，并且在超过用户可调节过压锁定阈值 (V_{OVLO}) 后切断过压尖峰。该器件还提供快速保护，避免在短路事件期间发生严重过流。这可使系统免受有害电压和电流的影响。同时，用户可调节过流消隐计时器使系统能够在电子保险丝不出现跳变的情况下通过负载电流曲线的中等瞬态峰值。这确保了针对实际故障的稳健保护解决方案，并且不受瞬变的影响，从而确保实现超长的系统正常运行时间。

该器件集成了反向电流阻断 FET (BFET)，运行方式与理想二极管类似。BFET 在正向导通模式下进行线性调节以保持较小的恒定正向压降 (V_{FWD})，并在输出电压超过输入电压时完全关断以阻断反向电流。在某些器件型号中，可以使用外部引脚控制 (RCBCTRL) 禁用反向电流阻断，从而允许双向电流流动，支持 USB On-The-Go 或 DRP (双角色端口) 等应用。

该器件还有内置的基于热传感器的关断机制来在器件内部温度 (T_J) 超过建议的运行条件时保护自身。

7.2 功能方框图

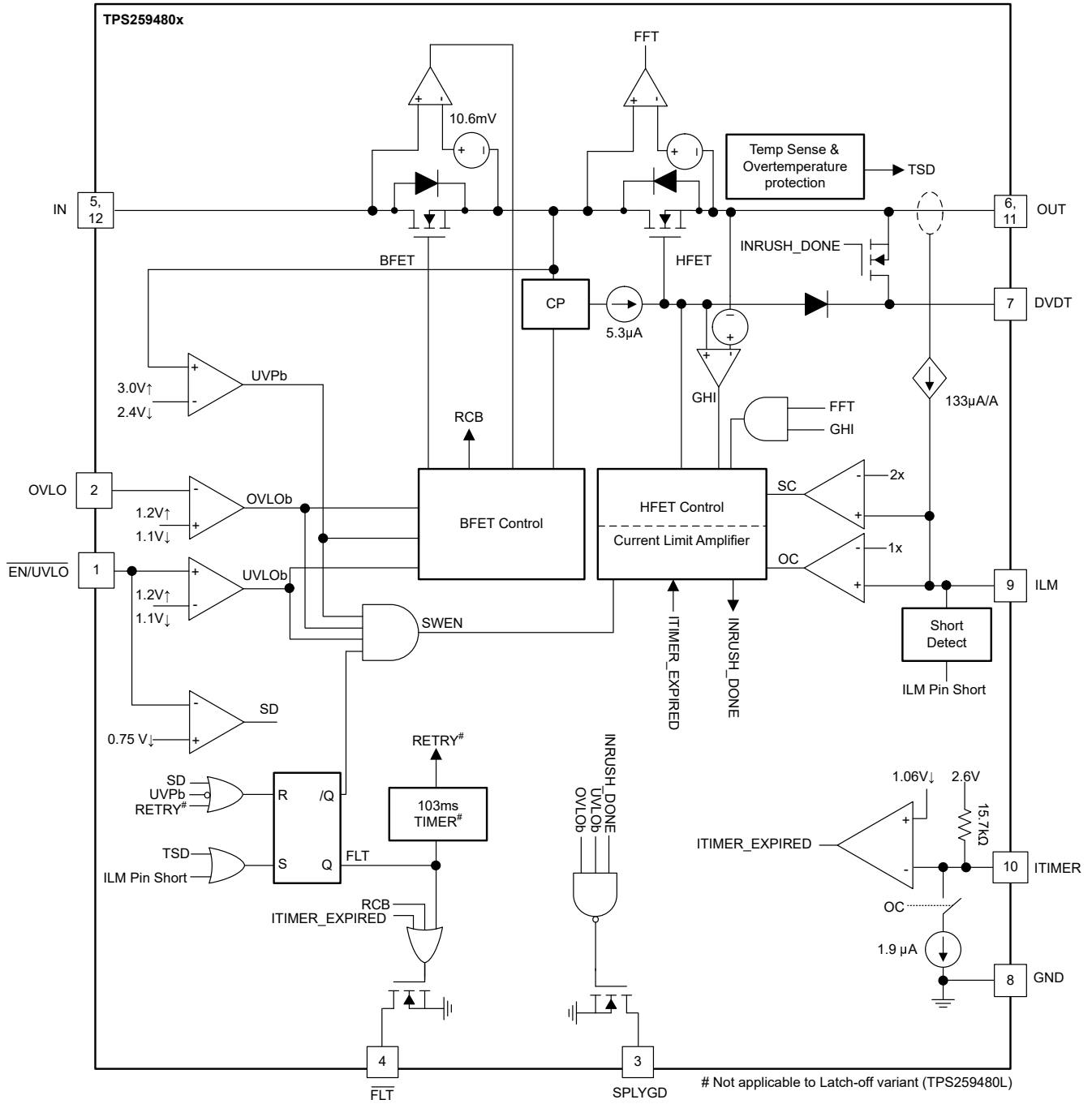
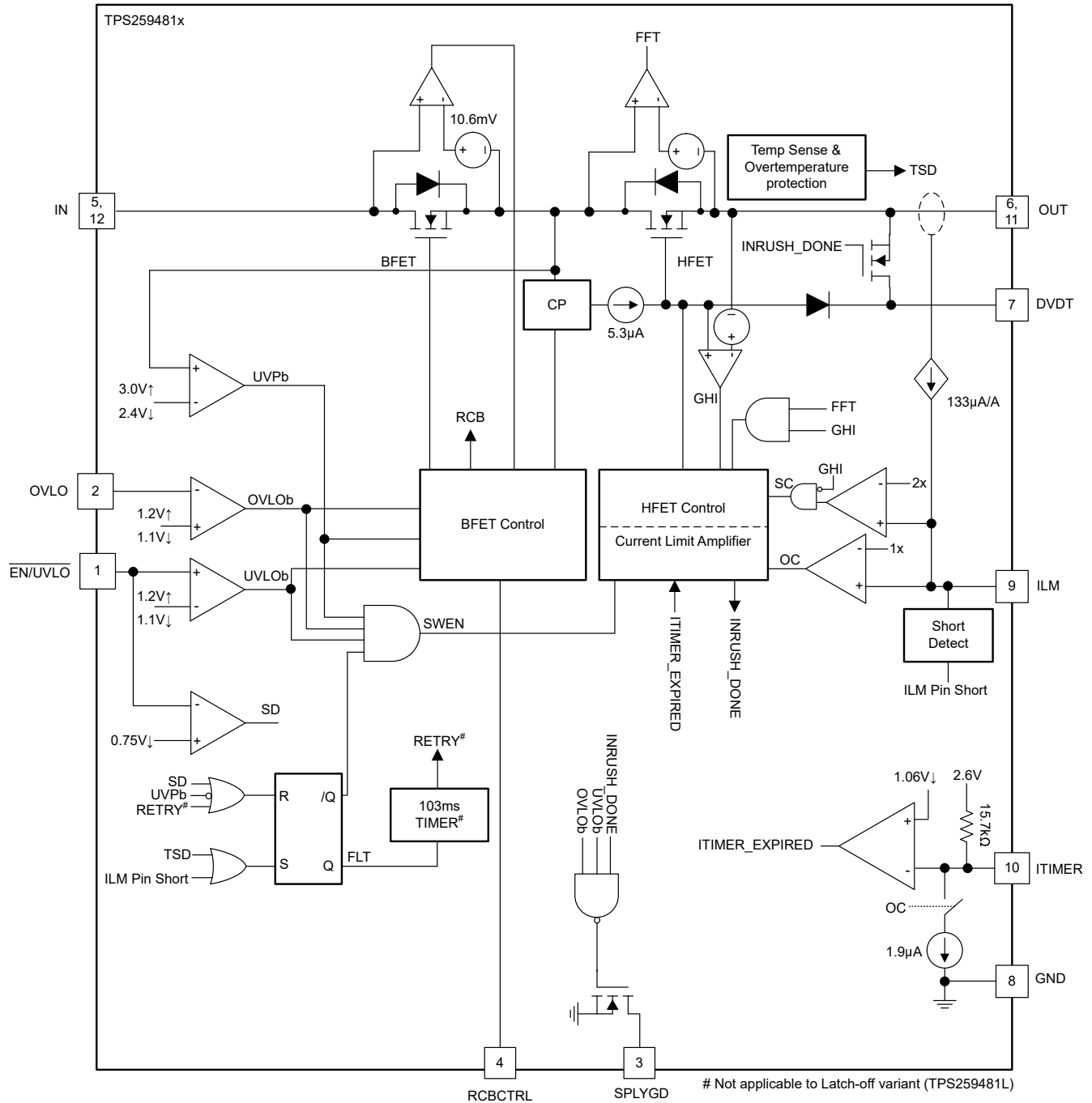


图 7-1. TPS259480x 方框图



TPS259483 的方框图相同，只是 SPLYGD 极性与 TPS259481 相反

图 7-2. TPS259481x 方框图

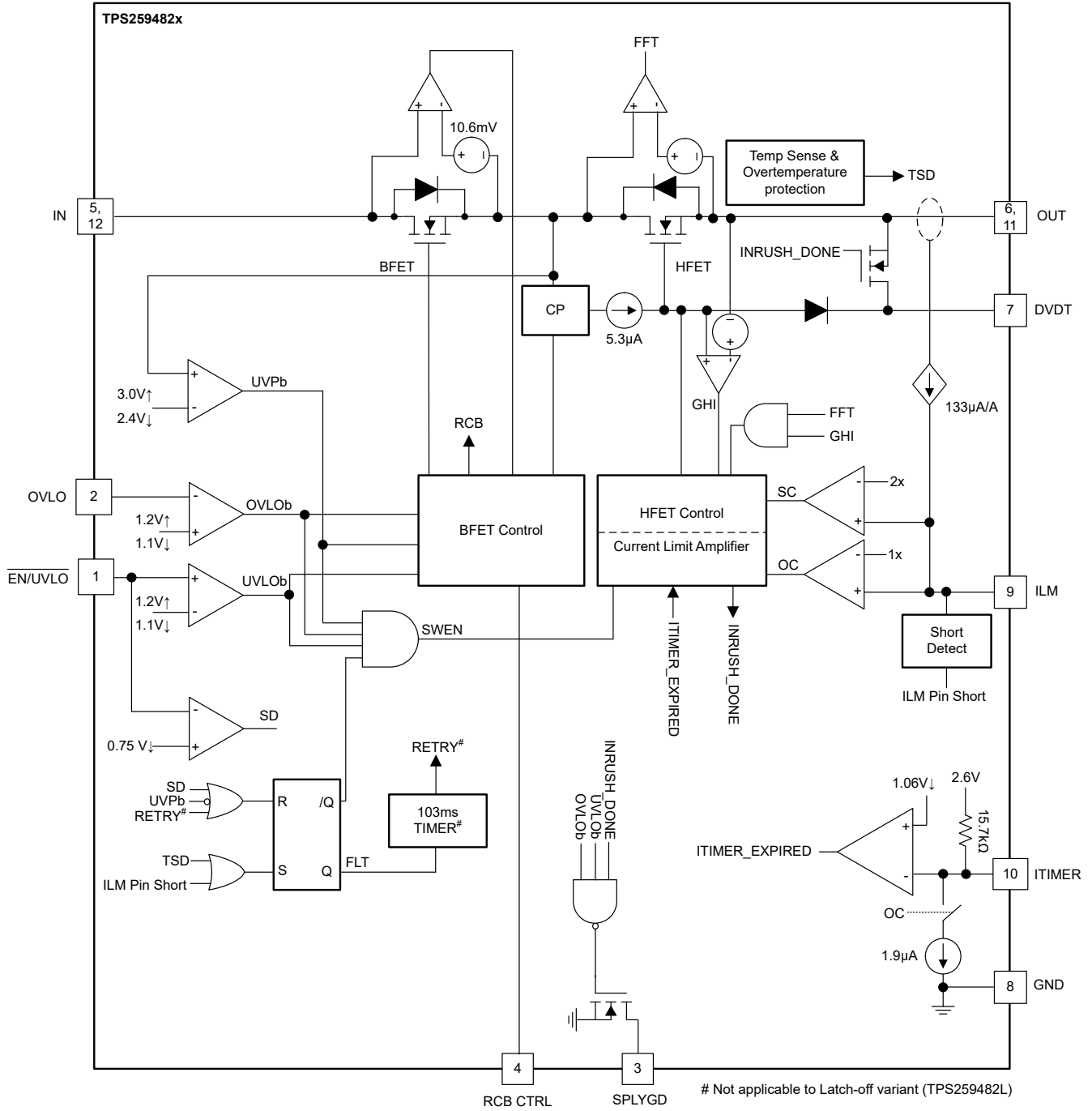


图 7-3. TPS259482x 方框图

7.3 特性说明

TPS25948xx 电子保险丝是一款功能丰富的紧凑型电源管理器件，可在系统发生故障时提供检测、保护和指示。

7.3.1 欠压锁定 (UVLO 和 UVP)

TPS259481x/2x/3x 会在 IN 和 OUT 上实现欠压保护，以防施加的电压变得过低，导致系统或器件无法正常运行。欠压保护的默认锁定阈值为 V_{UVP} ，该值在内部固定。此外，EN/UVLO 引脚上的 UVLO 比较器允许从外部将欠压保护阈值调整为用户定义的值。图 7-5 和方程式 1 显示了如何使用电阻分压器设置给定电压电源的 UVLO 设定点。

对于 TPS259484，该器件实施低电平有效 EN。这在需要自动开启的应用中特别有用。将该引脚接地，以验证在超过 $V_{IN_{UVP(R)}}$ 后器件是否自动导通。当 V_{IN} 降至 $V_{IN_{UVP(F)}}$ 以下时，器件将关闭。或者，使用 MCU 输出，通过将器件设置为高于 EN/UVLO 上升阈值来关闭器件，并通过将引脚拉至低于 EN/UVLO 下降阈值来开启器件。

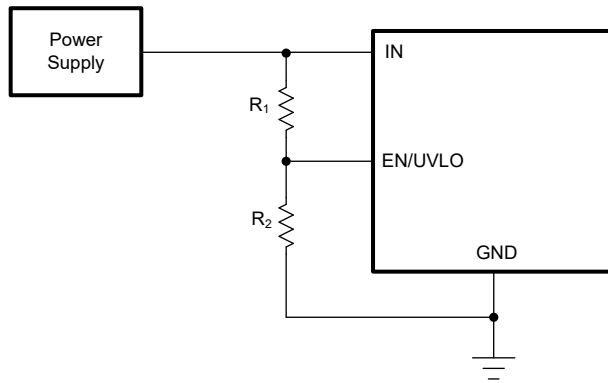


图 7-5. 可调节的欠压保护

$$V_{IN(UV)} = V_{UVLO(F)} \times \frac{R_1 + R_2}{R_2} \quad (1)$$

7.3.2 过压锁定 (OVLO)

TPS25948xx 允许用户在总线上实现过压保护，以保护系统免受电源过压状况的影响。OVLO 引脚上的内部快速比较器允许将欠压锁定阈值调节为用户定义的值。OVLO 引脚上的电压超过 OVLO 上升阈值 $V_{OV(R)}$ 后，器件会关闭两个 FET 以切断供电路径输出电源。此后，器件会等待 OVLO 引脚上的电压降至 OVLO 下降阈值 $V_{OV(F)}$ 以下，然后再次导通 FET。上升和下降阈值略有不同，以提供迟滞。图 7-6 和方程式 2 显示了如何使用电阻分压器设置给定电压电源的 OVLO 设定点。

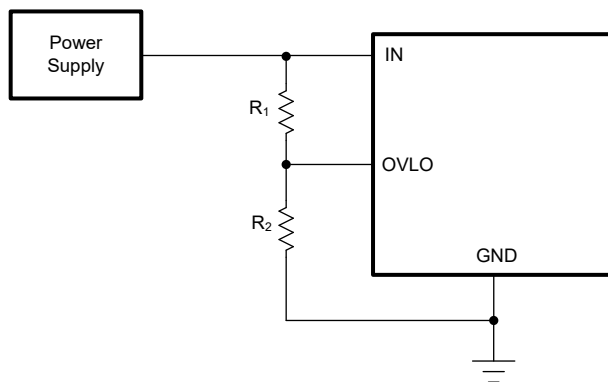


图 7-6. 可调节过压保护

$$V_{IN(OV)} = V_{OV(F)} \times \frac{R1 + R2}{R2} \quad (2)$$

从 OVLO 事件恢复时，TPS25948xx 绕过浪涌控制 (dVdt)，并以限流方式启动，以在电源瞬态条件下加快导通速度并更大限度地减少电源压降。

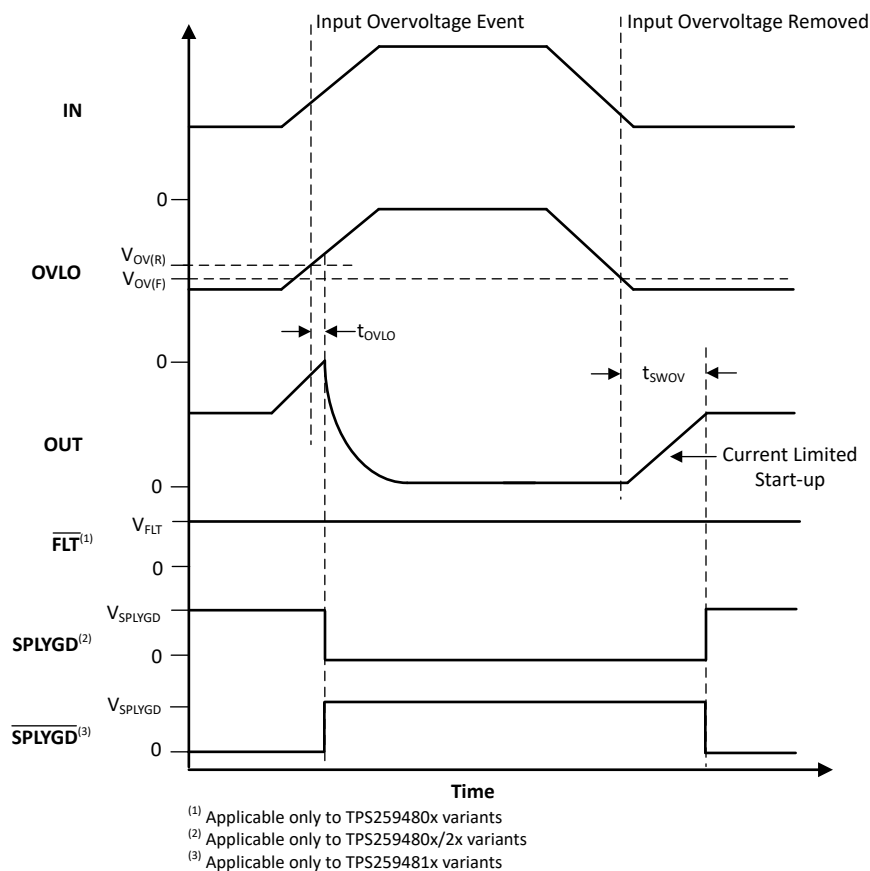


图 7-7. TPS25948xx 过压锁定和恢复

7.3.3 浪涌电流、过流和短路保护

TPS25948xx 包含四个级别的过流保护：

1. 可调节压摆率 (dVdt) 和浪涌电流控制
2. 可调阈值 (I_{LIM})，用于在启动或稳态期间提供过流保护
3. 可调阈值 (I_{SC})，用于在启动或稳态期间对严重过流作出快速跳变响应
4. 用于快速跳变响应的固定阈值 (I_{FFT})，可在稳态期间快速防止硬输出短路

7.3.3.1 压摆率 (dVdt) 和浪涌电流控制

在热插拔事件期间或尝试在启动期间为大输出电容充电时，可能会存在较大的浪涌电流。如果浪涌电流未受合理管控，可能会损坏输入连接器和/或导致系统电源下降，从而导致系统中其他地方意外重启。导通期间的浪涌电流与负载电容和上升压摆率成正比。

可以使用 [方程式 3](#) 来确定在给定负载电容 (C_{OUT}) 下限制浪涌电流 (I_{INRUSH}) 所需的压摆率 (SR)：

$$I_{INRUSH} \text{ (mA)} = C_{OUT} \text{ (}\mu\text{F)} \times SR_{ON} \text{ (V/ms)} \quad (3)$$

可以在 dVdt 引脚上连接一个电容器，以控制导通期间的上升压摆率并降低浪涌电流。可使用以下公式计算产生给定压摆率所需的 C_{dVdt} 电容：

$$CDVDT \text{ (pF)} = \frac{5000}{SRON \text{ (V/ms)}} \quad (4)$$

通过使 dVdt 引脚保持开路，可以实现最快的输出压摆率。

备注

1. 上面的压摆率计算适用于 C_{dVdt} > 1nF。对于较低的 C_{dVdt} 值，内部栅极电容可能占主导地位，并导致实际压摆率偏离计算结果。
2. 启动期间仅在 HFET 上提供压摆率控制，从而实现从 IN 到 OUT 的浪涌电流控制。
3. 对于 C_{dVdt} > 10nF，建议在 dVdt 引脚上添加一个与电容器串联的 100 Ω 电阻器。

7.3.3.2 工作电流限制

在经过用户可调节的瞬态故障消隐间隔后，TPS25948xx 主动限制电流来响应输出过流情况。当负载电流超过 ILM 引脚电阻器 (R_{ILM}) 设置的过流阈值 (I_{LIM}) 但仍低于短路阈值 (2 × I_{LIM} 或 I_{FFT}，具体取决于型号) 时，器件开始使用内部 1.9 μA 下拉电流对 ITIMER 引脚电容器放电。如果在 ITIMER 电容器 (C_{ITIMER}) 放电 ΔV_{ITIMER} 之前，负载电流降至过流阈值以下，则通过在内部将 ITIMER 上拉至 V_{INT} 来重置 ITIMER，并且不会启动断路器操作。此操作允许短负载瞬态脉冲通过器件而不会使电流受到限制。如果过流情况持续存在，C_{ITIMER} 会继续放电，一旦下放电 ΔV_{ITIMER}，电流限制就会开始调节 HFET，以主动将电流限制为设定的过流阈值 (I_{LIM})。同时，C_{ITIMER} 再次充电至 V_{INT}，以便在下一次过流事件之前处于默认状态。这样可确保为每个过流事件提供完整的消隐计时器间隔。可使用 [方程式 5](#) 来计算所需过流阈值对应的 R_{ILM} 值。

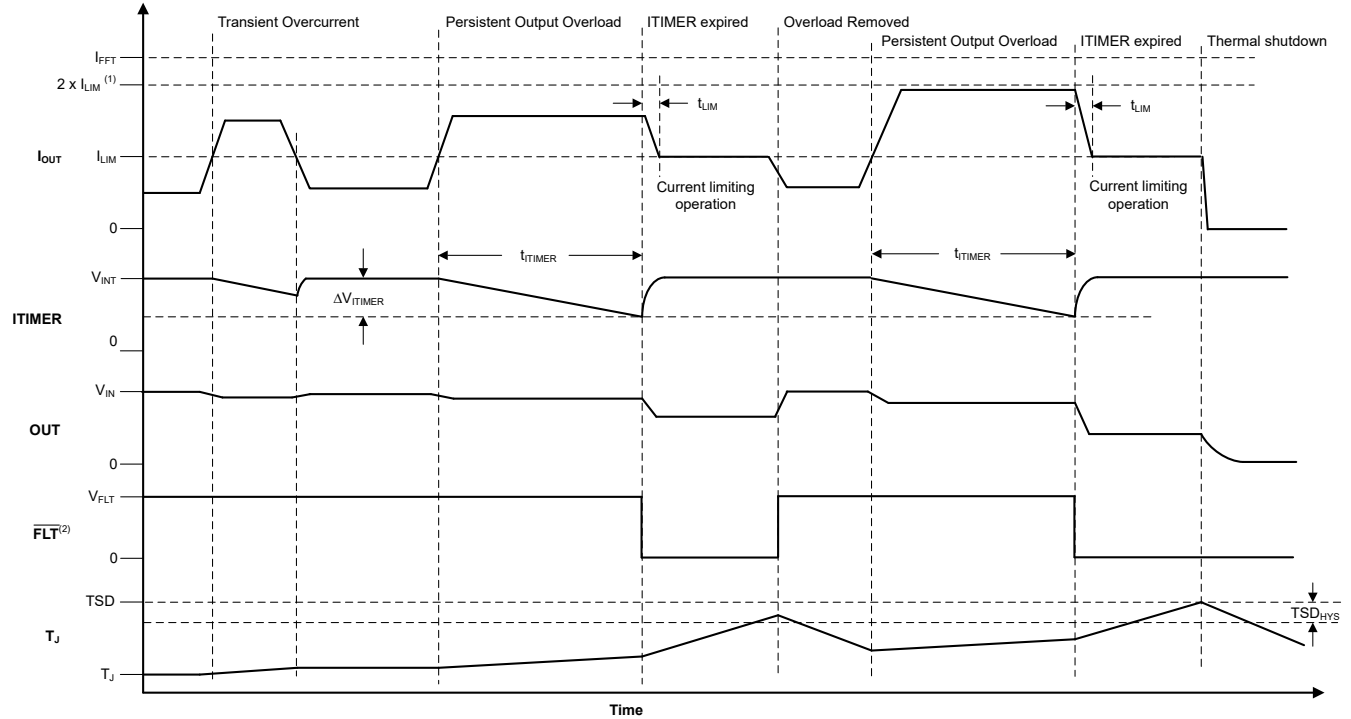
$$RILM \text{ (}\Omega\text{)} = \frac{4834}{I_{LIM} \text{ (A)}} \quad (5)$$

备注

1. TPS259480x/2x 型号可在 ITIMER 持续时间内提供高达 2 × I_{LIM} 的最大瞬态负载电流。TPS259481x/3x 型号可在 ITIMER 持续时间内提供高达 I_{FFT} 的最大瞬态负载电流。
2. 使 ILM 引脚保持开路状态会将电流限制设置为零，并导致器件进入电流限制或在输出端以最轻的负载执行快速跳变。
3. 电流限制电路采用折返机制。折返区域的电流限制阈值 (0V < V_{OUT} < V_{FB}) 低于稳态电流限制阈值 (I_{LIM})。
4. 在正常运行期间，在任何时候将 ILM 引脚短接至接地端都会被检测为故障，并且器件会关断。在检测到引脚短路情况之前，器件允许在这种情况下存在最小电流 (I_{FLT})。

允许瞬态的持续时间可以通过在 ITIMER 引脚与接地之间使用适当的电容值来调整。设置所需瞬态过流消隐间隔所需的 C_{ITIMER} 值，可使用 [方程式 6](#) 计算得出。

$$CITIMER \text{ (nF)} = \frac{t_{ITIMER} \text{ (ms)} \times I_{ITIMER} \text{ (}\mu\text{A)}}{\Delta V_{ITIMER} \text{ (V)}} \quad (6)$$



⁽¹⁾ Applicable only to TPS259480x/2x variants
⁽²⁾ Applicable only to TPS259480x variants

图 7-8. TPS25948xx 主动电流限制响应

备注

1. 使 ITIMER 引脚保持开路可让器件以尽可能小的延迟限制电流。
2. 将 ITIMER 引脚短接至地可使过流响应延迟最小（类似于 ITIMER 引脚开路情况），但会增加器件电流消耗。不建议采用这种运行模式。
3. 基于 R_{ILM} 的主动电流限制在启动期间处于活动状态。在启动电流超过 I_{LIM} 的情况下，器件会将电流调节到设定的限制。但是，在启动期间，无需等待 ITIMER 延迟即可启用电流限制。
4. 增大 C_{ITIMER} 值会延长过流消隐间隔，但也会延长 C_{ITIMER} 充电至 V_{INT} 所需的时间。如果下一个过流事件在 C_{ITIMER} 完全充电之前发生，则放电至 ITIMER 过期阈值所需的时间更短，因此提供比预期更短的消隐间隔。

在主动电流限制期间，输出电压下降，导致 HFET 上的器件功率耗散增加。如果器件内部温度 (T_J) 超过热关断阈值 (TSD)，则会关断 HFET。器件因 TSD 故障而关断后，会保持闭锁状态 (TPS25948xL 型号) 或在固定的延迟后自动重启 (TPS25948xA 型号)。有关器件响应过热情况的更多详细信息，请参阅 [过热保护 \(OTP\)](#)。

7.3.3.3 短路保护

在输出短路事件期间，流过器件的电流会迅速增大。当检测到严重过流情况时，该器件会触发快速跳变响应，以将电流限制在安全水平。对于 TPS259480x/2x 型号，内部快速跳变比较器采用可扩展阈值 ($I_{SC} = 2 \times I_{LIM}$)。这使用户能够调整快速跳变阈值，而不是使用固定阈值，该值可能太高以至于不适用于某些低电流系统。该器件还采用固定快速跳变阈值 (I_{FFT})，可在稳态期间提供快速短路保护。固定快速跳变阈值高于建议的最大用户可调节可扩展快速跳变阈值。TPS259481x/3x 型号仅采用固定快速跳变阈值。当电流超过 I_{SC} 或 I_{FFT} 后，会在 t_{SC} 或 t_{FT} 内将 HFET 完全关断。此后，器件会尝试在短的抗尖峰脉冲间隔 (30 μ s) 后以限流方式（而不是 $dVdt$ 受限方式）重新开启 HFET。这缺号 HFET 能够在瞬态过流事件后快速恢复，并更大限度地减少输出电压下降。但是，如果故障仍然存在，该器件将保持电流限制状态，从而导致结温升高并最终进入热关断状态。有关器件响应过热情况的详细信息，请参阅 [过热保护 \(OTP\)](#) 部分。

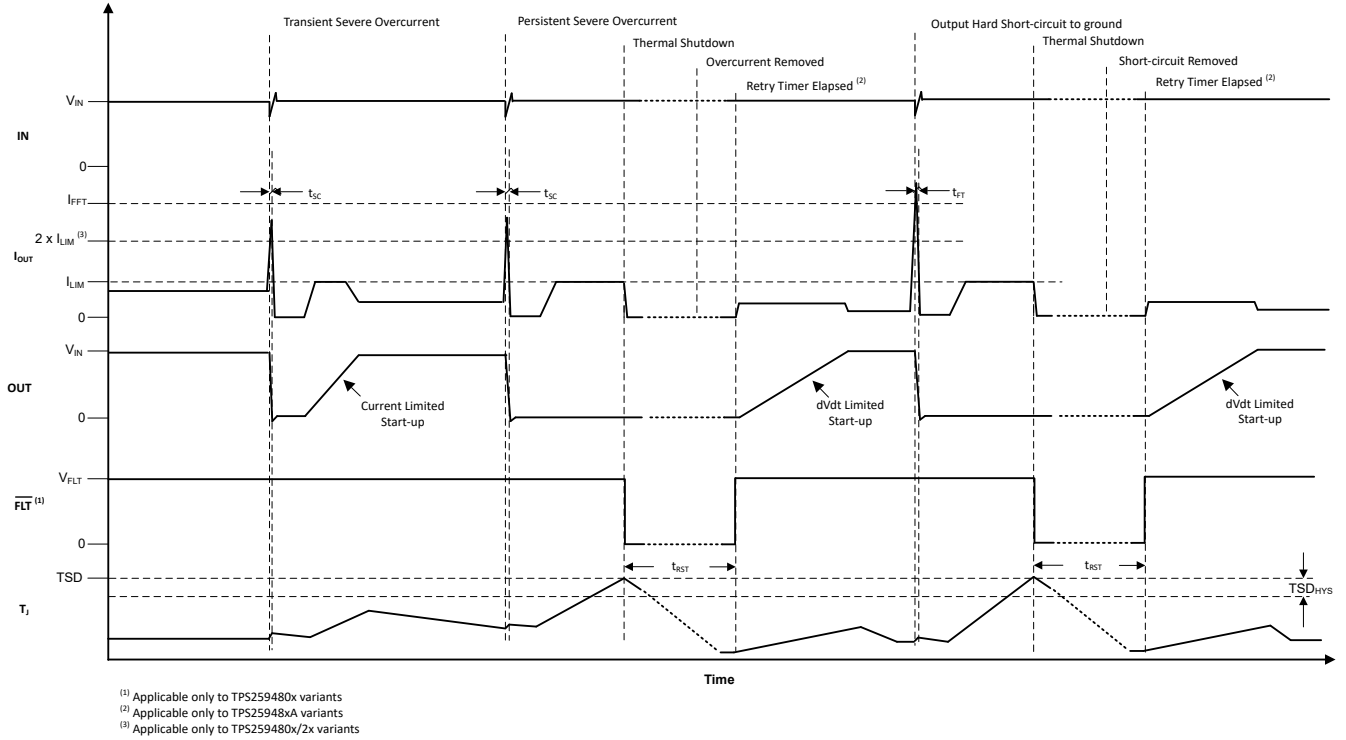


图 7-9. TPS259480x/2x 短路响应

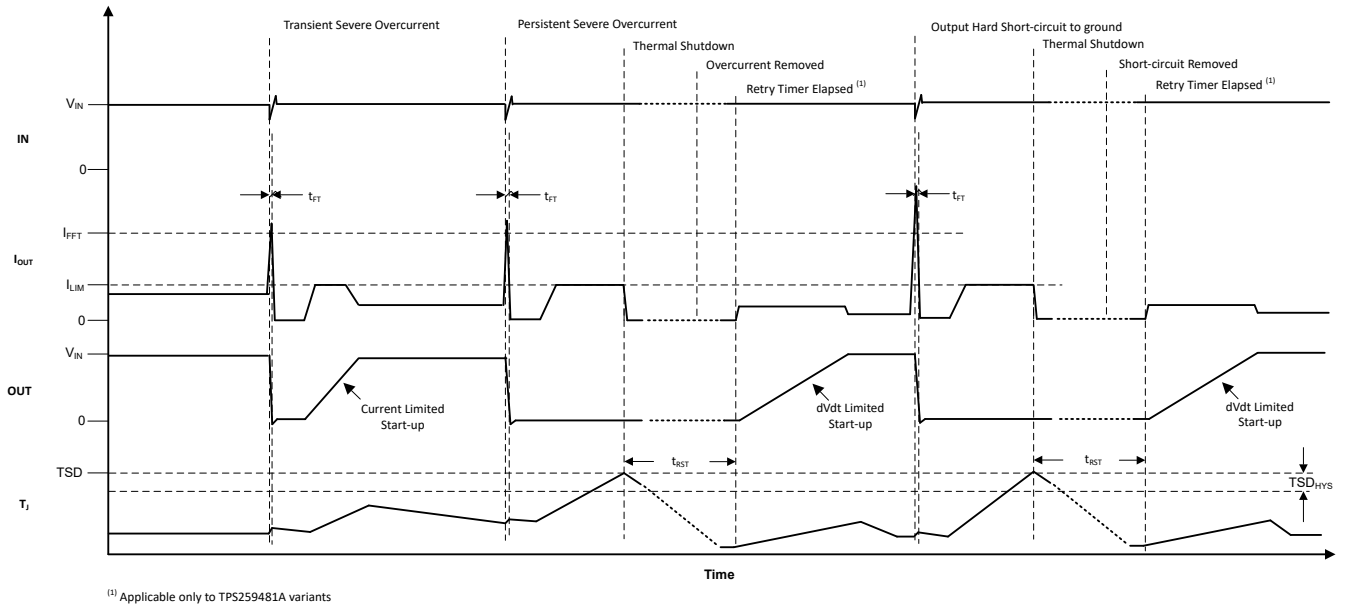
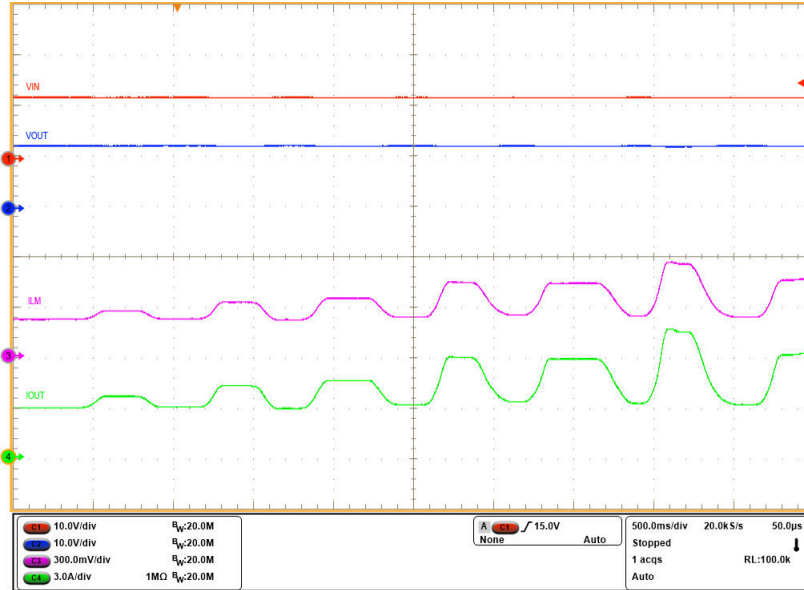


图 7-10. TPS259481x/3x 短路响应

7.3.4 模拟负载电流监视器

TPS25948xx 通过在 ILM 引脚上提供与流过 FET 的电流成比例的模拟电流检测输出，使系统能够精确监测输出负载电流。用户可以检测 R_{ILM} 两端的电压 (V_{ILM}) 来获得输出负载电流的测量值。

$$I_{LOAD} (A) = \frac{V_{IMON} (\mu V)}{R_{ILM} (\Omega) \times G_{IMON} (\mu A/A)} \quad (7)$$



$V_{IN} = 12V$, $C_{OUT} = 220 \mu F$, $R_{ILM} = 536 \Omega$, I_{OUT} 在 3A 和 8A 之间动态变化

图 7-11. 模拟负载电流监测器响应

备注

ILM 引脚对容性负载敏感。需要精心设计和布局，以确保 ILM 引脚上的寄生容性负载小于 50pF，从而确保稳定运行。

7.3.5 反向电流保护

TPS25948xx 的功能与理想二极管类似，在所有条件下阻止从 OUT 到 IN 的反向电流。该器件集成了以共漏极配置连接的背对背 MOSFET。IN 和 OUT 引脚之间的压降受到持续监控，并且阻断 FET (BFET) 的栅极驱动器会根据需要进行调节，以将正向压降调节到 V_{FWD} 。该闭环调节方案（线性 ORing 控制器）可在反向电流事件中支持 MOSFET 平稳关断，并确保几乎没有直流反向电流。

该器件还使用基于传统比较器 (V_{REVTH}) 的反向阻断机制来对瞬态反向电流提供快速响应 (t_{RCB})。器件进入反向电流阻断条件后，会等待 ($V_{IN} - V_{OUT}$) 正向压降超过 V_{FWDTH} ，然后再执行快速恢复以达到完全正向导通状态。这提供了足够的迟滞，以防止电源噪声或纹波对反向电流阻断响应造成影响。反向电流阻断的恢复速度非常快 (t_{SWRCB})。这可确保尽可能降低电源压降，这在电源多路复用/ORing 和 USB 快速角色交换 (FRS) 等应用中很有用。

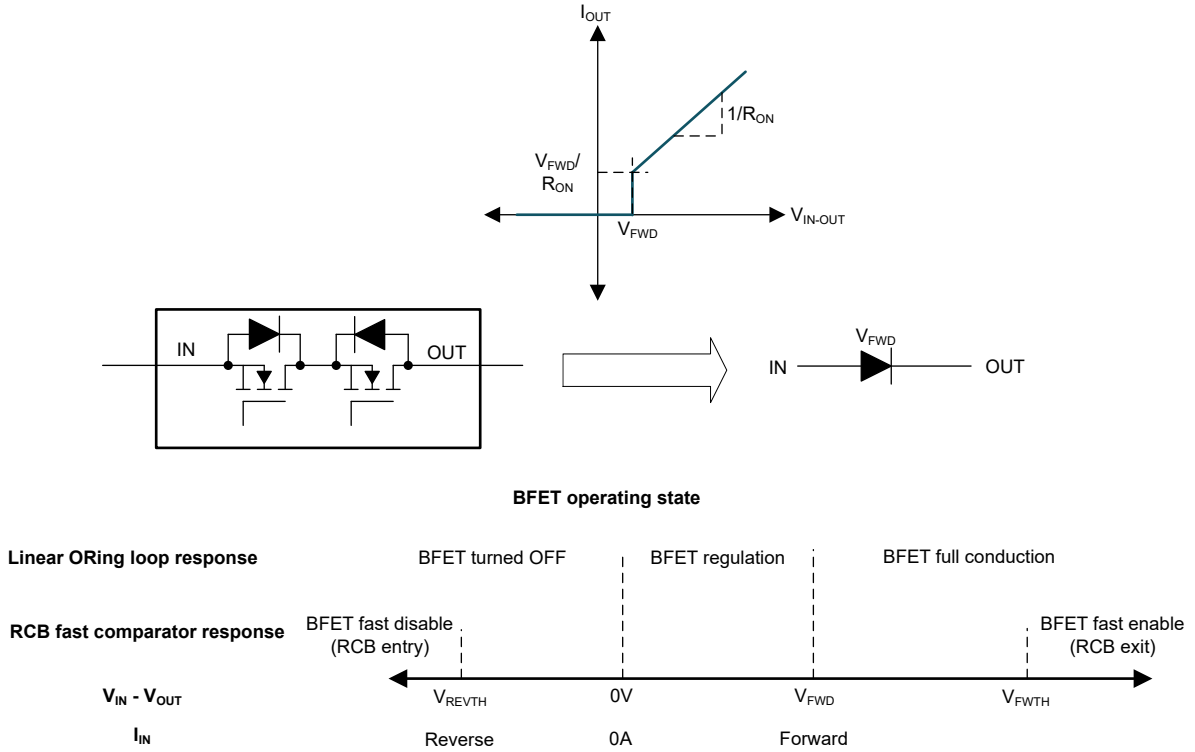


图 7-12. 反向电流阻断响应

以下波形展示了各种情况下的反向电流阻断性能。

在输出端的快速电压阶跃（例如热插拔）期间，基于快速比较器的反向阻断机制可确保输入轨上的跳变或干扰最小。

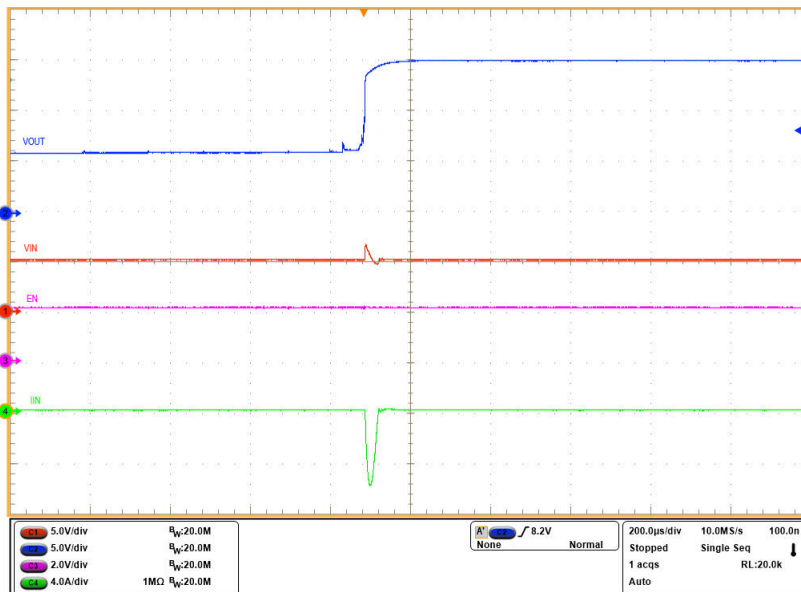


图 7-13. 输出端快速电压阶跃期间的反向电流阻断性能

在输出端的慢速电压斜升期间，基于线性 ORing 的反向阻断机制可确保几乎没有从 OUT 到 IN 的直流电流，从而避免输入电压轨缓慢充电至输出电压。

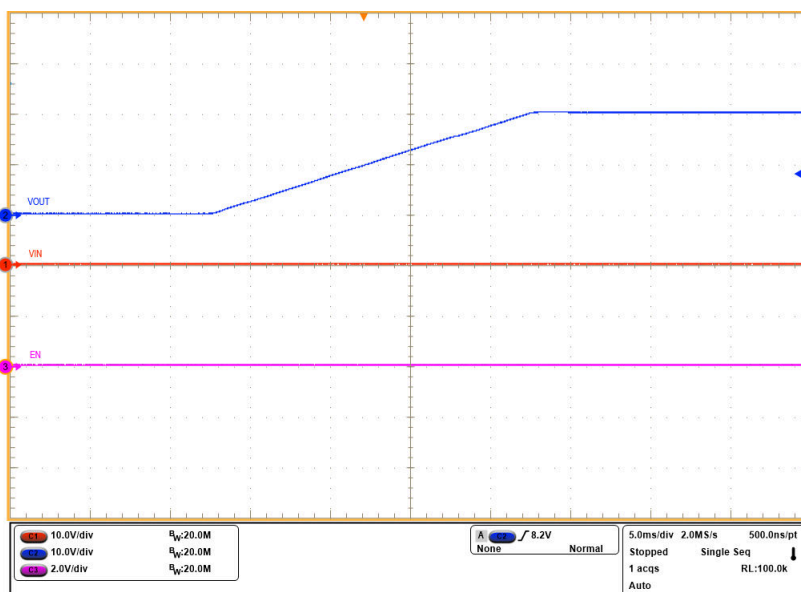


图 7-14. 输出端慢速电压斜升期间的反向电流阻断性能

如果在输出储能元件（大容量电容器或超级电容器）充电至全电压期间输入电源下降或断开，则线性 ORing 方案可更大限度地减少从 OUT 到 IN 的自放电。这确保了关键备用电源应用中输出存储元件的最大保持时间。

对于依靠检测输入电压判断电源是否接入的应用场景，该器件还能避免电源状态指示异常问题。

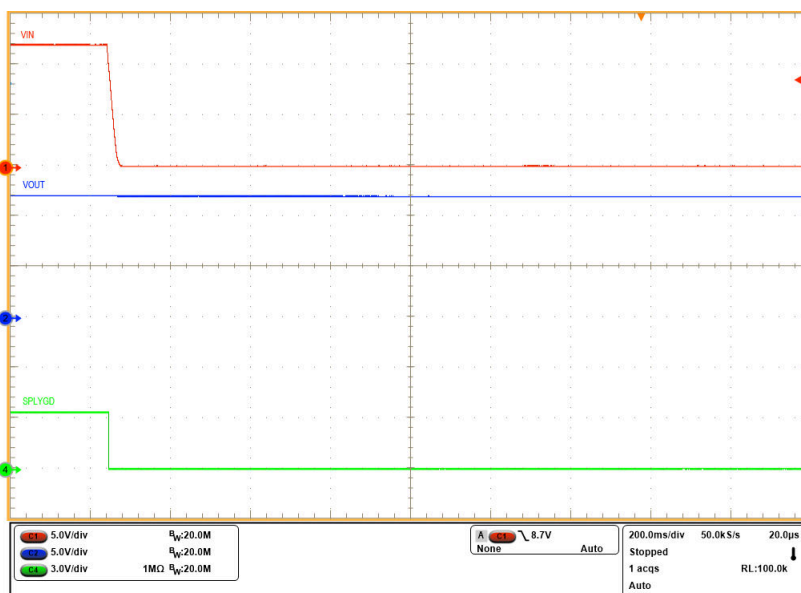


图 7-15. 输入电源故障期间的反向电流阻断性能

TPS259481x/2x/3x 型号提供了使用 RCBCTRL 引脚来禁用反向电流阻断方案的选项。让 RCBCTRL 引脚悬空或将其拉高，会在稳态期间启用反向电流阻断，而将该引脚拉低会禁用反向电流阻断。

备注

RCBCTRL 引脚仅在稳态期间控制反向电流阻断机制。在禁用状态或故障状态下，它不会产生影响，此工况下反向电流阻断功能始终保持开启。

7.3.6 过热保护 (OTP)

TPS25948xx 会始终监测内部芯片温度 (T_J)，并在温度超过安全工作水平 (TSD) 时立即关断器件，从而保护器件免受损坏。在芯片充分冷却之前，即结温度降至 ($TSD - TSD_{HYS}$) 以下之前，器件不会重新导通。

当 TPS25948xL (闭锁型号) 检测到热过载时，它会关断并保持闭锁状态，直到器件下电上电或重新使能。当 TPS25948xA (自动重试型号) 检测到热过载时，它会保持关断状态，直到它冷却至 TSD_{HYS} 。此后，该器件会保持关断状态并额外延迟 t_{RST} ，此后如果它仍处于使能状态，则会自动重试导通。

表 7-1. 热关断

器件	进入 TSD	退出 TSD
TPS25948xL (闭锁)	$T_J \geq TSD$	$T_J < TSD - TSD_{HYS}$ V_{IN} 下电上电至 0V 然后高于 $V_{UVP(R)}$ ，或者 EN/UVLO 切换至低于 $V_{SD(F)}$
TPS25948xA (自动重试)	$T_J \geq TSD$	$T_J < TSD - TSD_{HYS}$ V_{IN} 下电上电至 0V 然后高于 $V_{UVP(R)}$ ，或者 EN/UVLO 切换至低于 $V_{SD(F)}$ 或 t_{RST} 计时器到时间

7.3.7 故障响应和指示 (\overline{FLT})

下表汇总了器件如何应对各种故障情况。此外，TPS259480x 型号上还提供了一个低电平有效的外部故障指示 (\overline{FLT}) 引脚。

表 7-2. 故障汇总

事件	保护响应	内部锁存故障	\overline{FLT} 引脚状态 ⁽¹⁾	\overline{FLT} 置为有效的延迟 ⁽¹⁾
过热	关断	Y	L	
欠压锁定 (UVP 或 UVLO)	关断	N	H	
输入过压	关断	N	H	
瞬态过流 ($I_{LIM} < I_{OUT} < 2 \times I_{LIM}$ 或 I_{FFT} 持续时间小于 t_{TIMER})	无	N	H	
持续过流	电流限值	N	L	t_{TIMER}
输出短路至 GND	断路器后跟电流限制	N	H	
ILM 引脚开路 (在稳态期间)	关断	N	H	
ILM 引脚短接至 GND	关断	Y	L	
反向电流 ($(V_{OUT} - V_{IN}) > V_{REVTH}$)	反向电流阻断	N	H	

(1) 仅适用于 TPS259480x 型号。

可以通过对器件进行下电上电 (将 V_{IN} 拉至 0V) 或通过 EN/UVLO 引脚电压拉至 $V_{SD(F)}$ 以下来清除内部锁存的故障。这还会针对 TPS259480x 型号释放 \overline{FLT} 引脚下拉电阻，并为 TPS25948xA (自动重试) 型号复位 t_{RST} 计时器。

在闭锁故障期间，将 EN/UVLO 拉至低于 UVLO 阈值对器件没有影响。这对于 TPS25948xL (闭锁) 和 TPS25948xA (自动重试) 型号都是如此。

对于 TPS25948xA (自动重试) 型号，在故障后 t_{RST} 计时器到期时，器件会自动重新启动，并且 \overline{FLT} 引脚会取消置位 (TPS259480A 型号)。

7.3.8 电源正常指示 (SPLYGD/ $\overline{\text{SPLYGD}}$)

TPS25948xx 提供数字输出 (SPLYGD/ $\overline{\text{SPLYGD}}$)，该输出被置为有效以指示优先级输入电源何时处于有效范围 (高于 UVP/UVLO 且低于 OVLO 阈值) 内并且器件已成功完成其浪涌序列。SPLYGD/ $\overline{\text{SPLYGD}}$ 引脚是开漏信号，需要将其上拉至外部电源。对于 TPS259480x/2x/3x 型号，SPLYGD 是高电平有效输出。对于 TPS259481x 型号， $\overline{\text{SPLYGD}}$ 是低电平有效输出。

上电后，SPLYGD/ $\overline{\text{SPLYGD}}$ 引脚最初置为无效。该器件启动一个浪涌序列，在该序列中，以受控方式导通 HFET。当 FET 栅极电压达到完全过驱时 (指示浪涌序列已完成并且器件能够提供全功率)，SPLYGD/ $\overline{\text{SPLYGD}}$ 引脚被置为有效。此后，仅当输入电源失效 (低于 UVP/UVLO 或高于 OVLO 阈值) 时，SPLYGD/ $\overline{\text{SPLYGD}}$ 引脚才会置为无效。任何负载侧事件/故障都无法对 SPLYGD/ $\overline{\text{SPLYGD}}$ 置为无效进行任何控制。

当两个 TPS25948xx 器件以优先级电源多路复用器配置连接时，该引脚用于控制辅助通道。它还可用作向下游负载或系统监控器提供的电源有效状态指示。

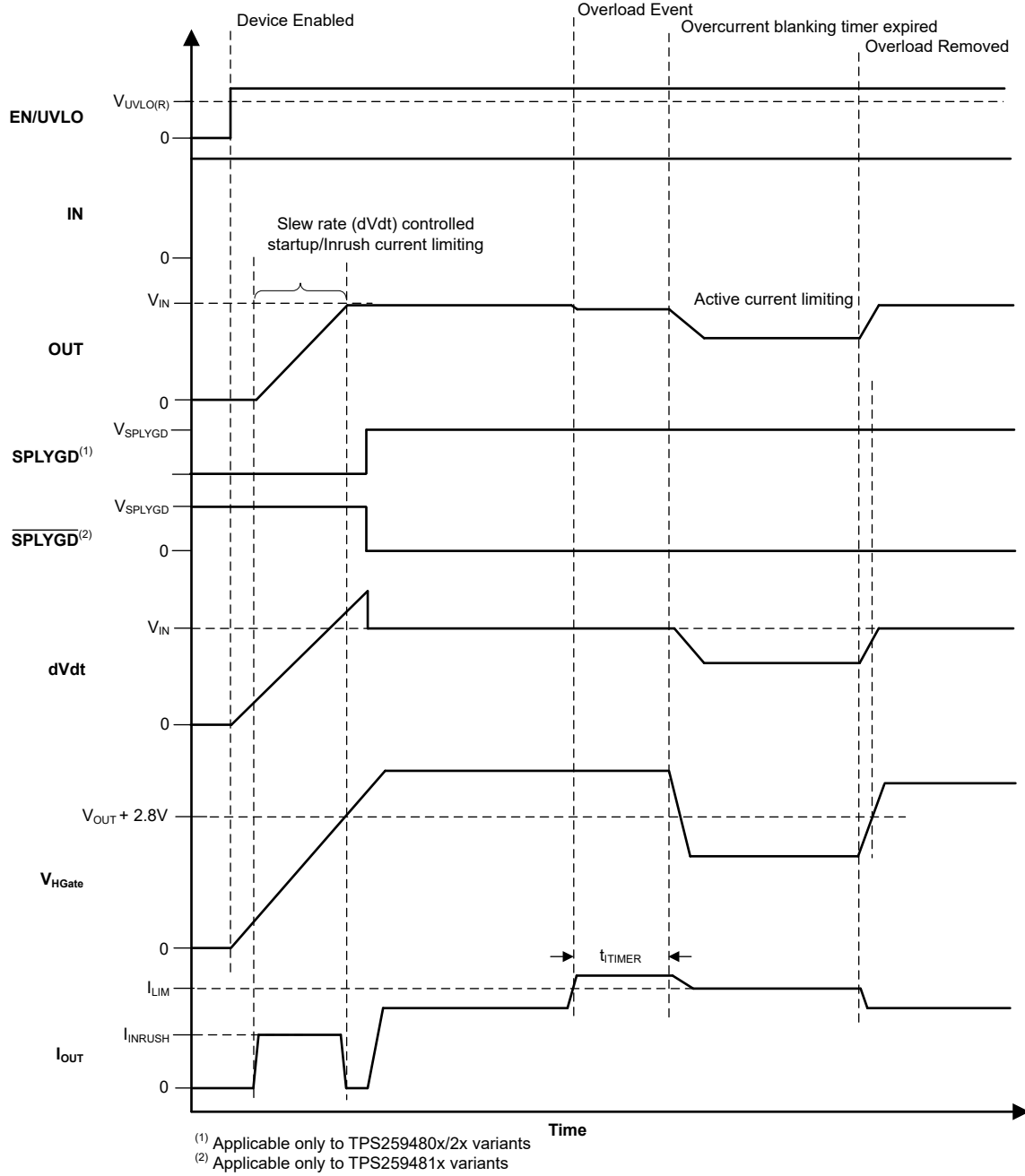


图 7-16. TPS25948xx SPLYGD 行为

表 7-3. TPS25948xx SPLYGD/SPLYGD 指示摘要

事件/条件	SPLYGD 引脚 ⁽¹⁾	SPLYGD 引脚 ⁽²⁾
电源欠压 (UVP)	L	L
关断 ($EN < V_{SD}$)	L	L
欠压 (UVLO)	L	H
过压 (OVLO)	L	H
浪涌	L	H
稳态	H	L
过流	H	L
短路	H	L
ILM 引脚开路	H	L
ILM 引脚短接至 GND	H	L
反向电流 ($(V_{OUT} - V_{IN}) > V_{REVTH}$)	H	L
过热	H	L

(1) 仅适用于 TPS259480x/2x/3x 型号。

(2) 仅适用于 TPS259481x 型号。

当器件未通电时，SPLYGD 引脚应保持低电平。不过，在这种情况下，没有有源下拉来将该引脚一直驱动至 0V。如果 SPLYGD 引脚被上拉至即使器件未通电也存在的独立电源，则此引脚上可能会出现一个小电压，具体取决于引脚灌电流，这是上拉电源电压和电阻的函数。尽可能减小灌电流，以使该引脚电压保持在足够低的水平，使得在此情况下不会被相关的外部电路检测为逻辑高电平。这还可以确保在优先级电源多路复用器配置中不会无意中关闭辅助通道。

7.4 器件功能模式

表 7-4. TPS259481x/2x/3x 反向电流阻断工作

RCBCTRL 引脚连接	稳态下的反向电流阻断
低	禁用
开路或高电平	启用

8 应用和实例

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1 应用信息

TPS25948x 是一款 3.5V 至 23V、8A 电子保险丝，通常用于电源轨保护应用。该器件的工作电压范围为 3.5V 至 23V，具有可调节过压和欠压保护功能。它能够控制浪涌电流，并提供反向电流保护。它可用于各种系统，例如适配器或充电器输入保护，智能手机、平板电脑、PC、笔记本电脑、显示器、扩展坞、服务器和 PC 主板中的 USB PD 保护，或是附加卡、企业级存储 (RAID/HBA/SAN/eSSD)、电源多路复用 (ORing)。可以使用后续小节中介绍的设计过程，根据应用要求选择支持的元件值。此外，Web 产品文件夹中还提供了电子表格设计工具，[TPS25948x 设计计算器](#)。

8.2 单器件，自控型

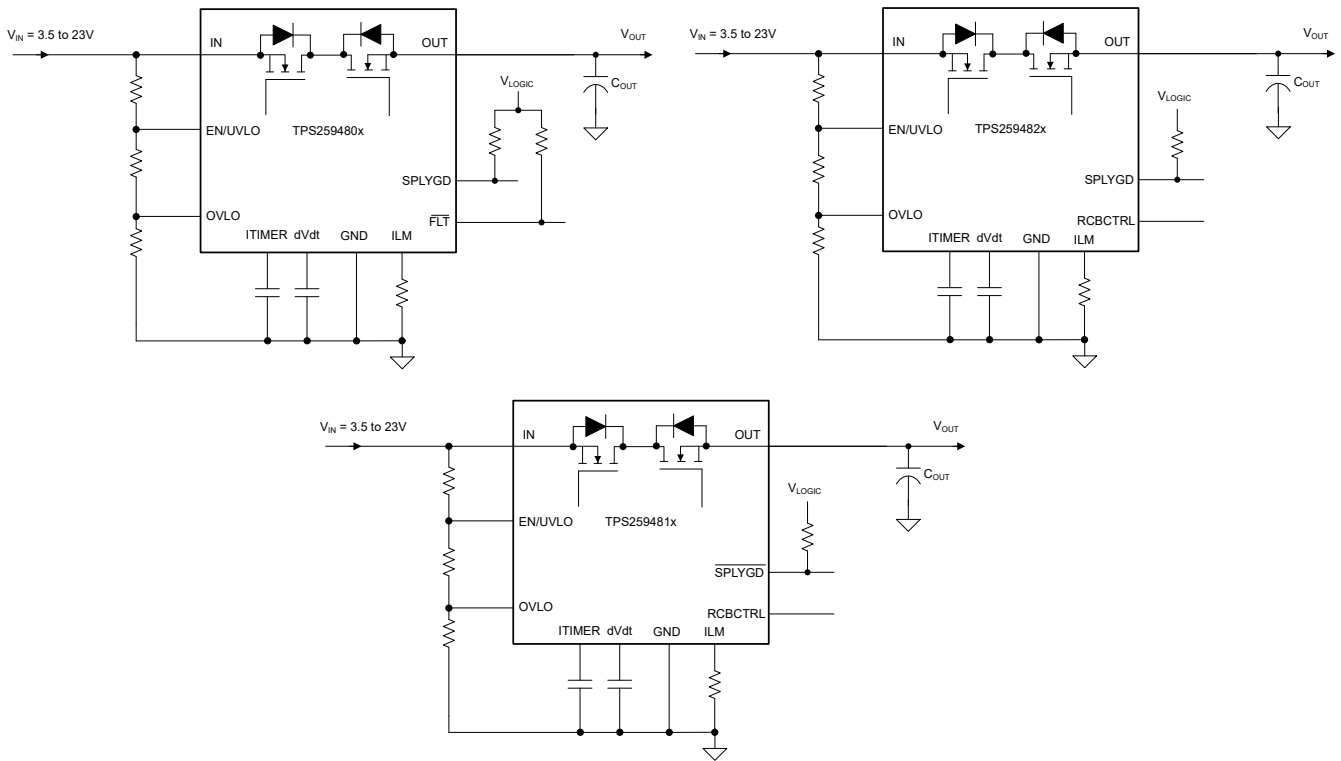


图 8-1. 单器件，自控型

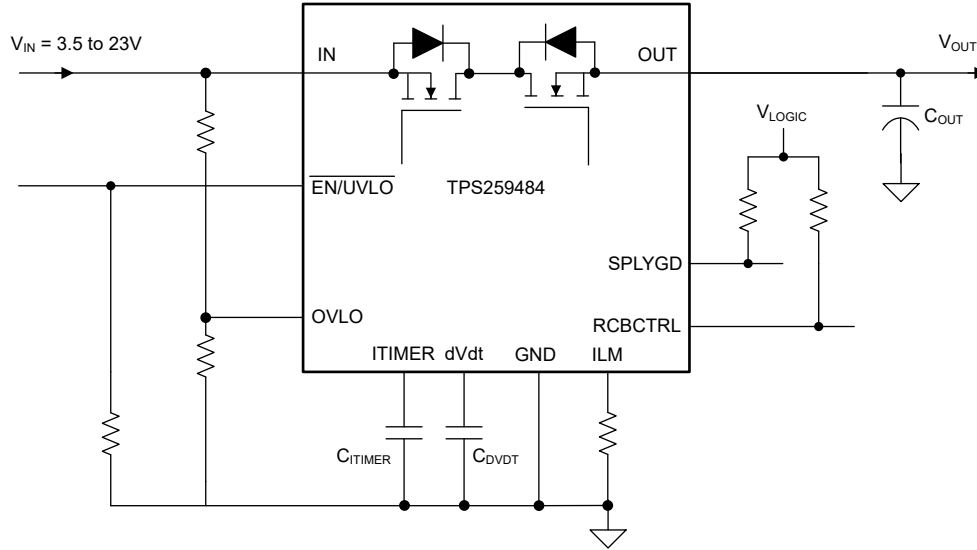


图 8-2. 单器件、自控型 TPS259484

其他不同的情况：

在主机 MCU 控制的系统中，可以通过主机 GPIO 来驱动 EN/UVLO 或 OVLO，以控制该器件。

ILM 引脚可以连接到 MCU ADC 输入，用于电流监控。

备注

建议将 ILM 引脚上的寄生电容保持在 50pF 以下，以确保稳定运行。

8.3 典型应用

智能手机配备了 USB OTG 功能，该功能不仅允许 USB 端口用于为手机电池充电，还允许智能手机充当 USB 主机并为耳机、U 盘等外部附件供电。一些智能手机还支持无线充电路径，而且可用于向其他设备无线共享电源。TPS259482x 可用作此类应用中的双向电源开关，如 图 8-5 所示。对于 USB 电源路径，在端口上连接外部充电器时，TPS259482x 提供从 IN 引脚到 OUT 引脚的传导路径，电池充电器 IC 配置成为电池充电并为内部电路供电。在这种情况下，TPS259482x 还提供过压和过流保护。在另一个用例场景中，当耳机等配件连接到 USB 端口时，手机 MCU 会检测到这种情况，电池充电器配置为 OTG 升压模式，以便从电池向 USB 端口供电。MCU 还将下拉 RCBCTRL 引脚，允许电流从 OUT 引脚流向 TPS259482x 的 IN 引脚，启用 TPS259482x 并建立能够向附件提供高功率的低阻抗电源路径。同样，TPS259482x 还在无线充电和功率共享子系统中提供受控的双向功率流。

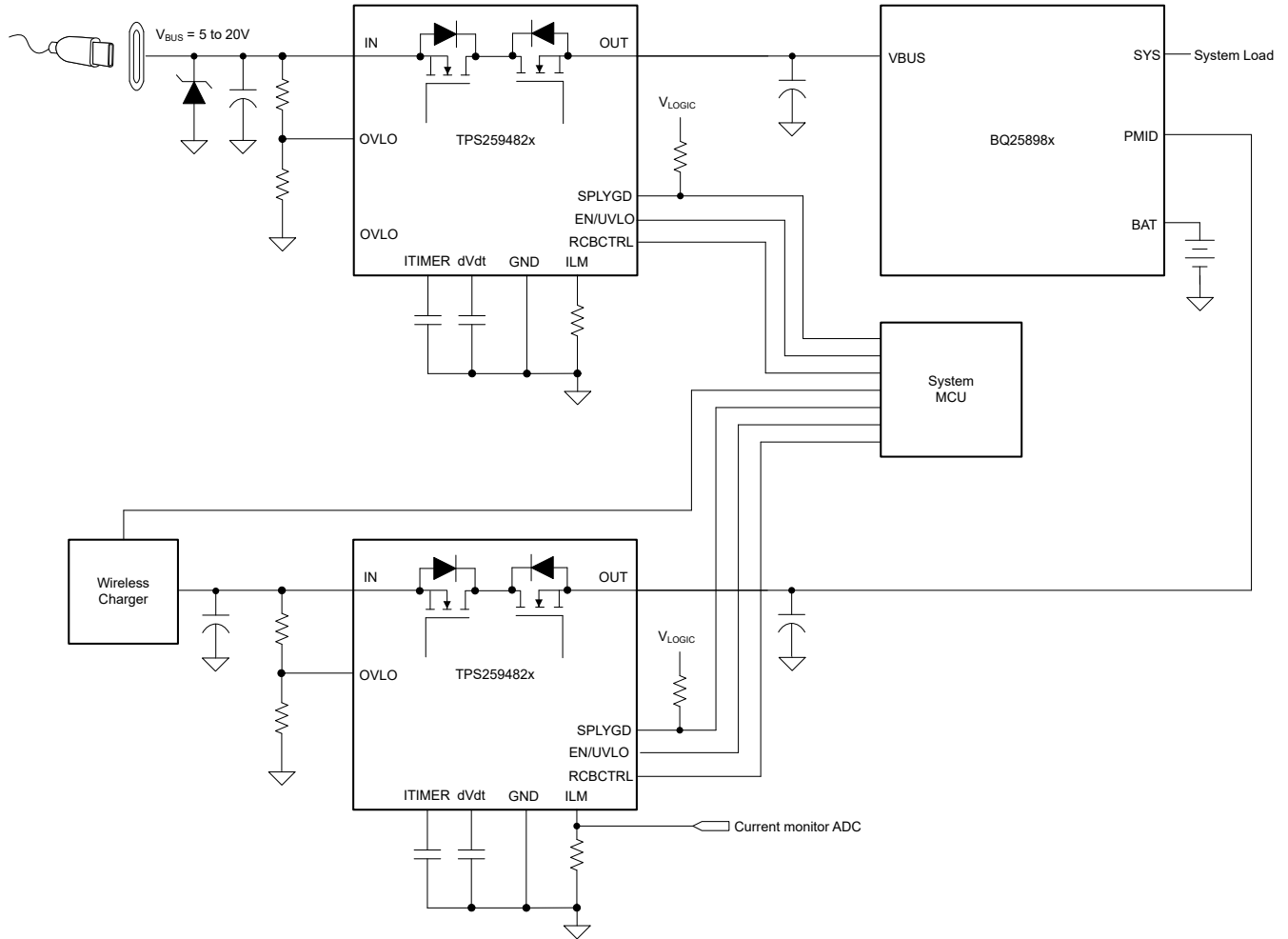


图 8-3. 智能手机电源路径示例

具有两种及以上能源的应用，例如 POS 机、PCIe 卡、平板电脑和便携式电池供电设备，要求一种能源优先于另一种能源。例如，主电源（壁式适配器）优先于内部电池备用电源。这些应用仅在主输入电压低于用户定义的阈值时才需要从主电源切换到备用电源。TPS259484 器件可以为优先电源多路复用需求提供简单解决方案。借助低电平有效 EN 引脚，无需针对每个器件在 IN 端使用电阻分压器来实现器件使能。此外，为了确保优先级电源多路复用，较高优先级器件的 SPLYGD 通过将较低优先级电源路径的 EN 连接到 TPS259484 的 EN 来关闭这些路径。如果 EN 引脚为高电平有效，则无需在 EN 引脚上使用任何额外的反相器。采用低电平有效可以节省电阻分压器和 FET（用于信号反转），从而降低电源多路复用器实施的成本。

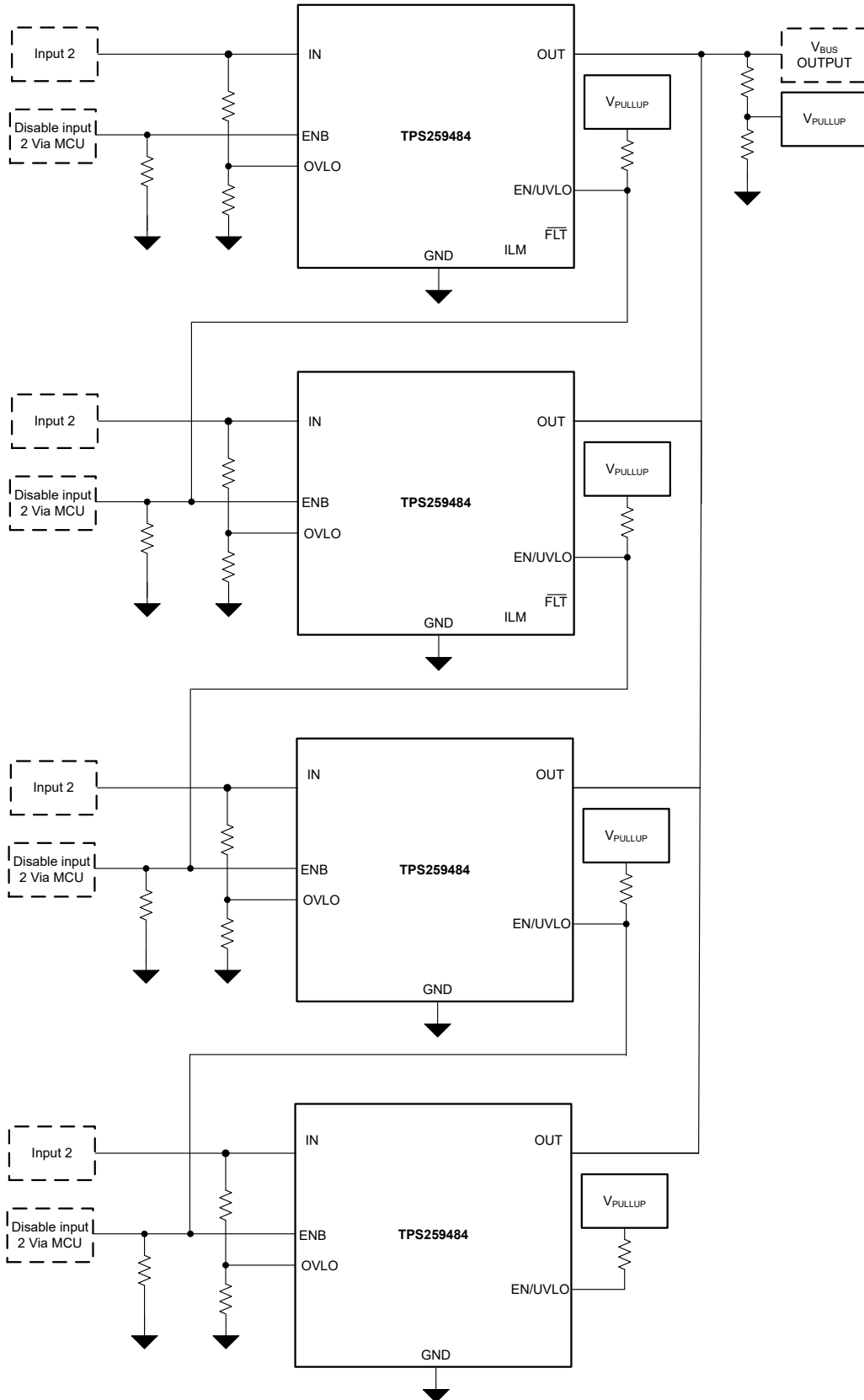
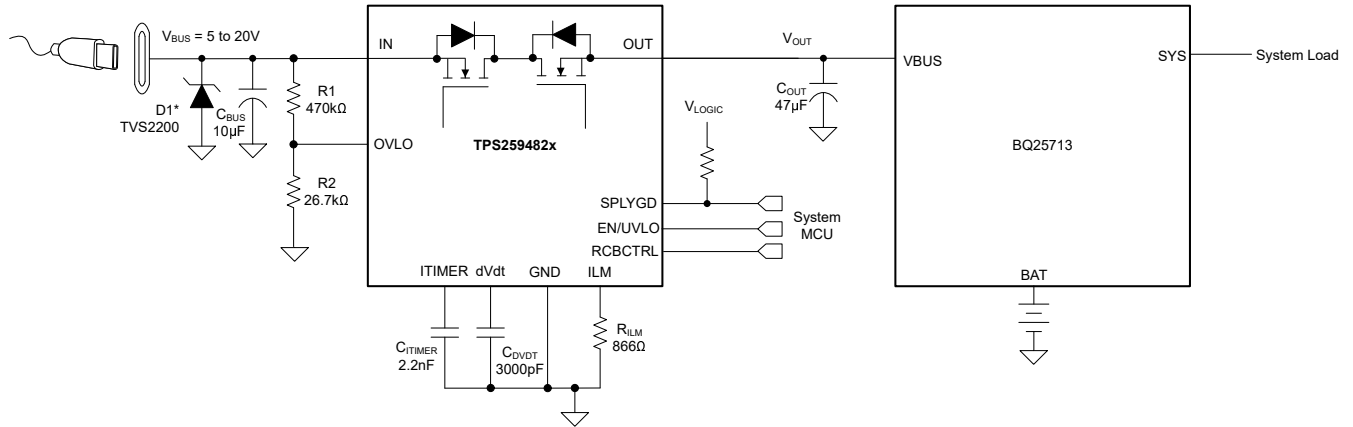


图 8-4. 具有 4 × TPS25948 的优先级电源多路复用器



*根据输入和输出电感进行瞬态保护所需的可选电路元件。有关详细信息，请参阅 节 8.8.1。

图 8-5. USB On-The-Go 端口保护设计示例

8.3.1 设计要求

表 8-1. 设计参数

参数	值
充电期间的总线电压 (V_{IN})	20V
充电期间的过压保护阈值 ($V_{IN(OV)}$)	22V
最大连续充电电流	5A
充电期间的负载瞬态消隐间隔 (t_{ITIMER})	2ms
输出电容 (C_{OUT})	47 μ F
输出上升时间 (T_R)	12ms
充电期间的过流阈值 (I_{LIM})	5.5A

8.3.2 详细设计过程

8.3.2.1 设置过压阈值

电源过压阈值通过电阻 R1 与 R2 进行设定，其阻值可按以下公式计算：

$$V_{IN(OV)} = \frac{V_{OV(R)} \times (R1 + R2)}{R2} \quad (8)$$

其中 $V_{OV(R)}$ 是 OVLO 上升阈值。由于 R1、R2 泄漏来自输入电源 V_{IN} 的电流，因此必须根据来自输入电源 V_{IN} 的可接受漏电流来选择这些电阻器。R1、R2 从电源汲取的电流为 $I_{R12} = V_{IN}/(R1 + R2)$ 。但是，由于连接到电阻器串的外部有源元件而产生的漏电流会增加这些计算的误差。因此，电阻串电流 I_{R12} 必须选择为 OVLO 引脚上预期漏电流的 20 倍。

根据器件电气规范，OVLO 漏电流为 0.1 μ A (最大值)， $V_{OV(R)} = 1.2V$ 。根据设计要求， $V_{IN(OV)} = 22V$ 。为了求解该公式，首先选择 R1 = 470k Ω 值，然后使用 方程式 8 求解 R2 = 27.11k Ω 。

使用最接近的标准 1% 电阻值，结果为 R1 = 470k Ω ，R2 = 26.7k Ω 。

8.3.2.2 设置输出电压上升时间 (t_R)

为了实现成功的设计，器件的结温在动态 (启动) 和稳态条件下都应保持在绝对最大额定值以下。动态功率应力通常比静态应力大一个数量级，因此务必确定系统电容所需的正确启动时间和浪涌电流限制，以避免启动期间发生热关断。

实现所需输出上升时间所需的转换率 (SR) 的计算公式如下：

$$SR (V/ms) = \frac{VIN (V)}{tR (ms)} = \frac{20 V}{12 ms} = 1.67 V/ms \quad (9)$$

实现此压摆率所需的 C_{dVdt} 可通过以下公式计算：

$$CdVdt (pF) = \frac{5000}{SR (V/ms)} = \frac{5000}{1.67} = 2994 pF \quad (10)$$

选择最接近的标准电容值 3000pF。

对于此压摆率，可以使用以下公式计算浪涌电流：

$$IINRUSH (mA) = SR (V/ms) \times COUT (\mu F) = 1.67 \times 47 = 79 mA \quad (11)$$

浪涌期间器件内部平均功耗的计算公式为：

$$PDINRUSH (W) = \frac{IINRUSH (A) \times VIN (V)}{2} = \frac{0.079 \times 20}{2} = 0.8 W \quad (12)$$

对于给定的功率损耗，器件的热关断时间必须大于斜升时间 t_R ，才能避免启动视频。图 8-6 显示了热关断限制，对于 0.8W 功率，关断时间超过 10s，与 $t_R = 12ms$ 相比，可谓非常大。因此，使用 12ms 作为此应用的启动时间是安全的。

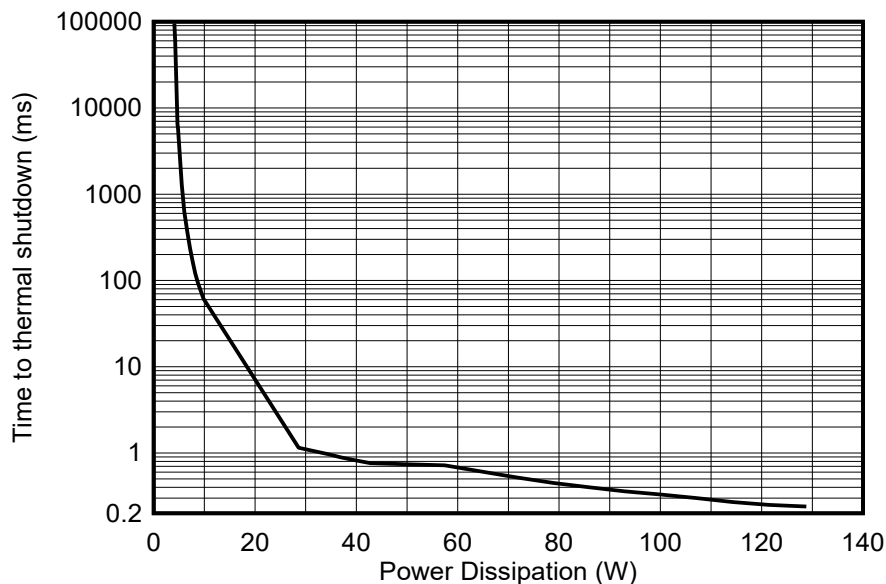


图 8-6. 浪涌期间的热关断图

8.3.2.3 设置过流阈值 (I_{LIM})

过流保护阈值可以使用 R_{ILM} 电阻器进行设置，其值可通过以下公式计算：

$$RILM (\Omega) = \frac{4834}{ILIM (A)} = \frac{4834}{5.5 A} = 879 \Omega \quad (13)$$

选择最接近的 1% 标准电阻值 866 Ω 。

8.3.2.4 设置过流消隐时间间隔 (t_{TIMER})

过流消隐计时器间隔可使用 C_{TIMER} 电容器进行设置，其值计算如下：

$$C_{ITIMER} \text{ (nF)} = \frac{t_{ITIMER} \text{ (ms)} \times I_{ITIMER} \text{ (\mu A)}}{\Delta V_{ITIMER} \text{ (V)}} = \frac{2 \times 1.9}{1.51} = 2.51 \text{ nF} \quad (14)$$

选择最接近的标准电容值 2.2nF。

8.3.3 应用曲线

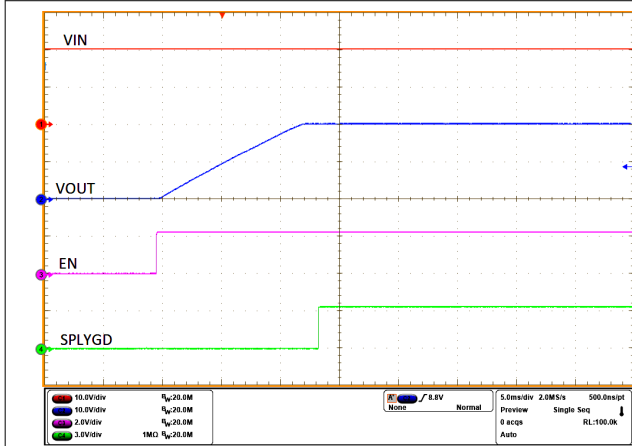


图 8-7. 上电

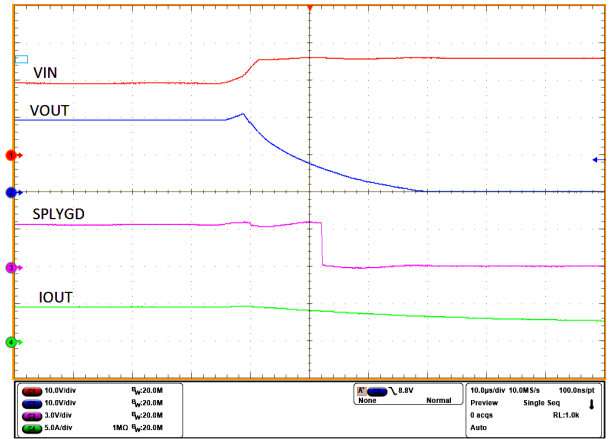


图 8-8. 过压保护

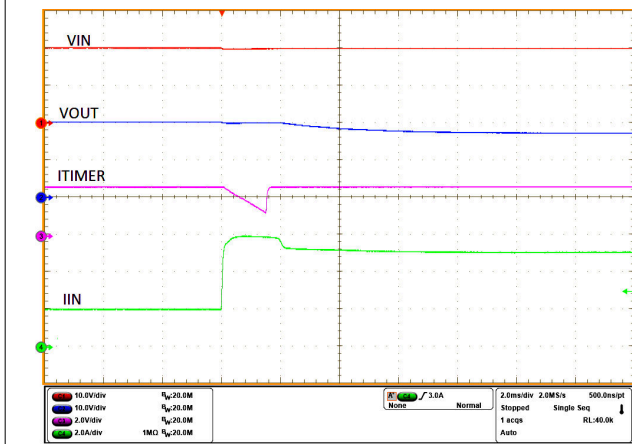


图 8-9. 过流保护

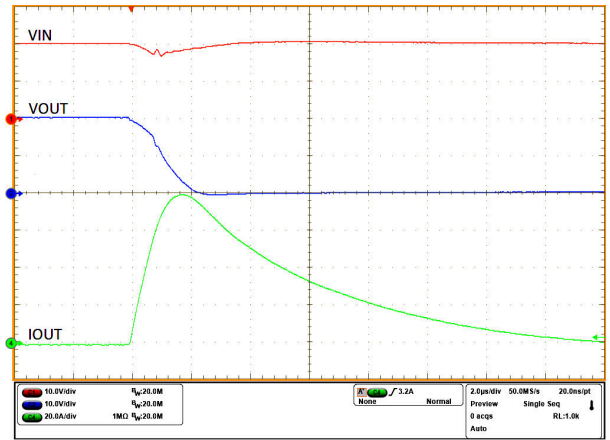


图 8-10. 输出短路保护

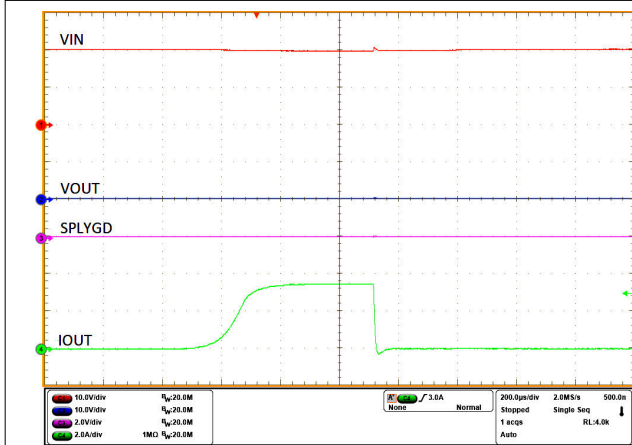


图 8-11. 唤醒至短路保护

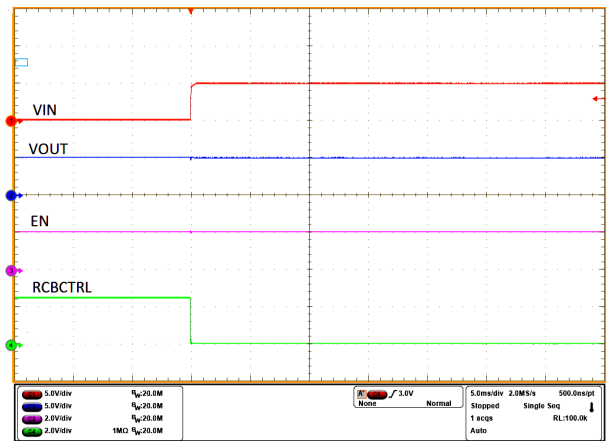


图 8-12. 在 OTG 模式中上电

8.4 有源 ORing

下面的图 8-13 显示了典型的冗余电源配置。肖特基 ORing 二极管已广泛用于连接并联电源，例如将壁式适配器与电池或保持储能电容器并联运行。使用 ORing 二极管的缺点是压降较高并相关的功率损耗。TPS25948xx 具有集成的低欧姆值背对背 FET，可提供简单高效的解决方案。下面的图 8-13 显示了使用 TPS259480x 器件的有源 ORing 实现方案。

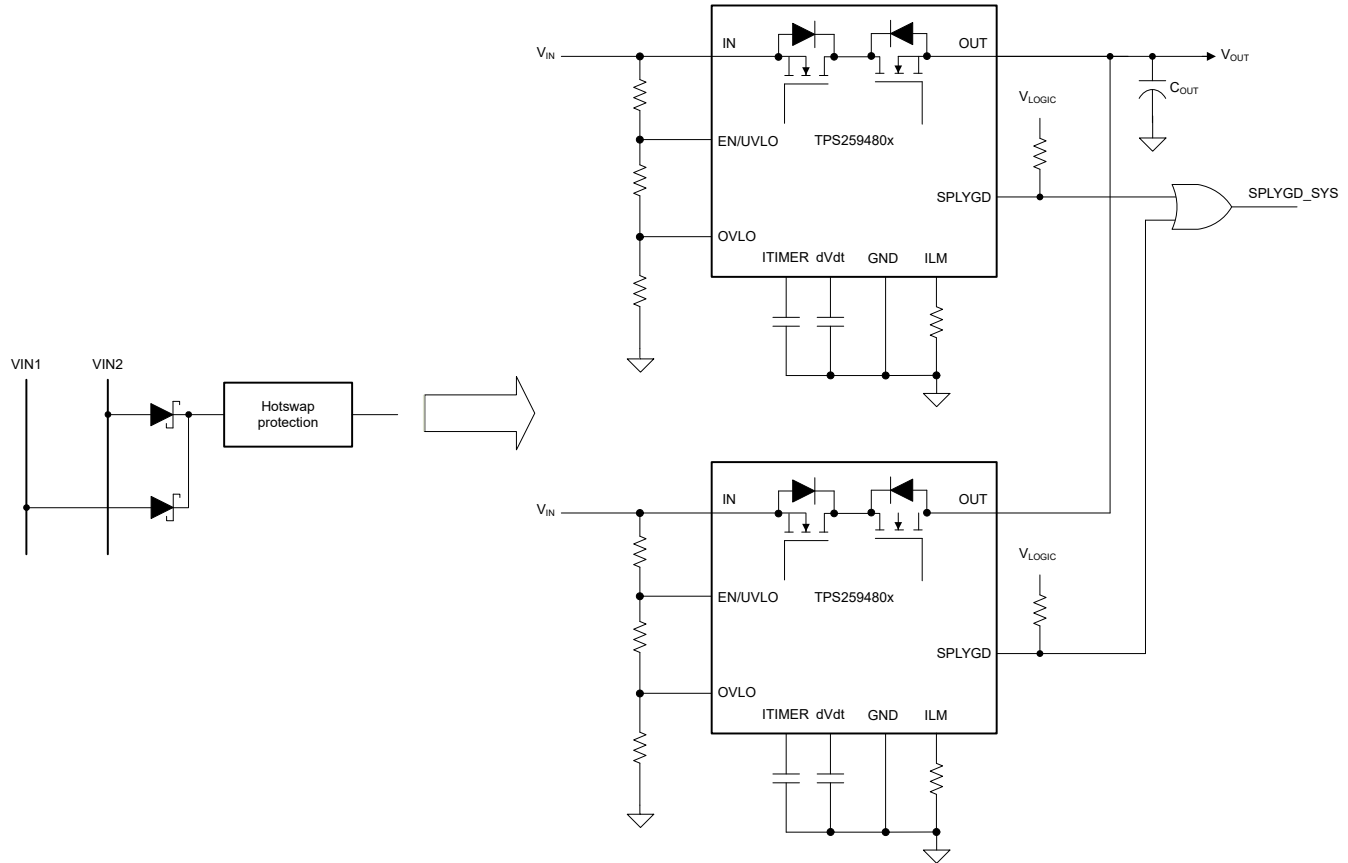


图 8-13. 两个器件：有源 ORing 配置

TPS25948xx 中的线性 ORing 机制可确保在任一电源的快速或慢速斜升期间，没有反向电流从一个电源流向另一个电源。

以下波形展示了电源轨按顺序斜升时的有源 ORing 行为。

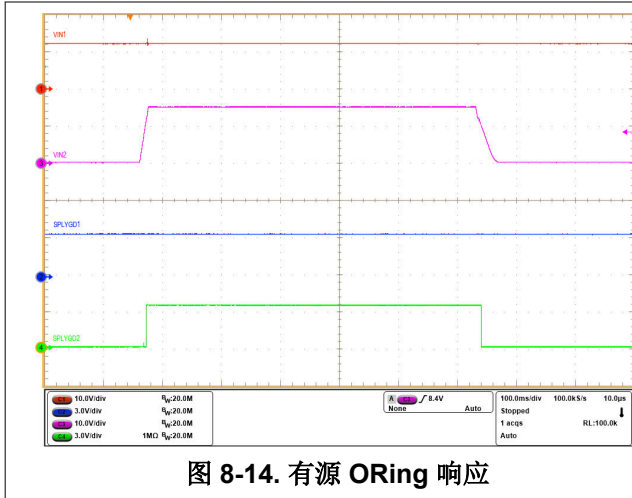


图 8-14. 有源 ORing 响应

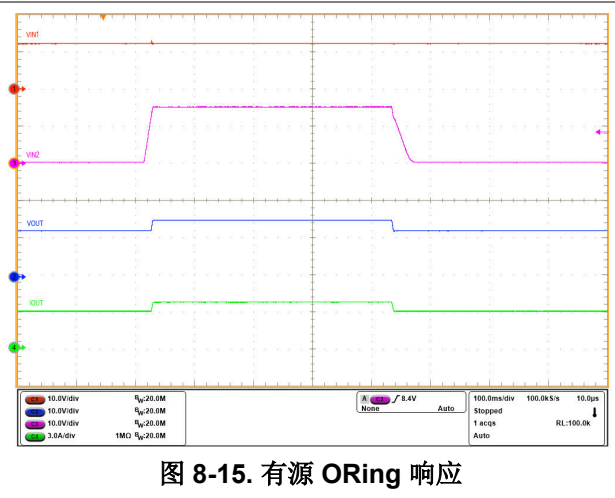


图 8-15. 有源 ORing 响应

当总线电压 (IN1 和 IN2) 匹配时, 每条路径中的器件都会看到正向压降, 并且器件会输送负载电流。在此期间, 电流按照每个器件上的差分压降之比在电源轨之间共享。

除了电源 ORing 外, 该器件还可始终保护系统免受过压、过多浪涌电流、过载和短路故障的影响。

备注

ORing 可以在两个类似的电源轨之间或不同的电源轨之间完成。对于电压组合偏斜的 ORing 情况, 应根据 2 个电源中的最高值选择 dVdt 引脚电容器额定值。有关更多详细信息, 请参阅建议工作条件表。

8.5 优先电源多路复用

具有两种能源的应用, 例如 PCIe 卡、平板电脑和便携式电池供电设备, 要求一种能源优先于另一种能源。例如, 主电源 (壁式适配器) 优先于内部电池备用电源。这些应用仅在主输入电压低于用户定义的阈值时才需要从主电源切换到备用电源。TPS25948xx 器件可以为优先电源多路复用需求提供简单解决方案。

图 8-16 显示了使用 TPS259480x 器件的典型优先电源多路复用实施方案。当存在主 (优先级) 电源 (IN1) 并且在有效范围内 (不处于 UV/OV 状态) 时, 无论辅助电源电压 (VIN2) 是大于、等于还是小于主电源电压 (VIN1), 主路径器件路径都会为 OUT 总线供电。通过使用主路径器件的 SPLYGD 信号强制 OVLO 引脚为高电平, 辅助路径中的器件保持关断状态。

一旦主电源电压下降到超出用户定义的有效工作范围 (SPLYGD/OV 条件), 主路径器件就会将 UV 置为无效, 从而向辅助路径器件发出导通信号, 并且系统开始采用辅助电源运行。在此转换过程中, 辅助路径器件绕过其 dVdt 限制的启动, 并执行快速恢复, 以开始在 t_{swov} 内供电。

当主电源恢复时, 主路径器件以定义的压摆率完全导通, 然后将其 SPLYGD 引脚置为高电平以关断辅助路径器件, 从而实现从辅助电源到主电源的无缝转换, 同时具有超小的输出压降且不出现击穿电流。

电源多路复用应用中的一个关键考虑因素是从一个电源切换到另一个电源期间输出总线下降到的最小电压。这又取决于多种因素, 包括输出负载电流 (I_{LOAD})、输出总线保持电容 (C_{OUT}) 和切换时间 (t_{sw})。

当从主电源 (VIN1) 切换到辅助电源 (VIN2) 或从辅助电源切换到主电源时, 可使用 方程式 15 计算最小总线电压。在这里, 切换时间 (t_{sw}) 等于 TPS259480x 型号完全导通并开始向负载输送电流所花费的快速 OVLO 恢复时间 (t_{swov})。

$$V_{OUT,min} (V) = \min (V_{IN1}, V_{IN2}) - \frac{t_{SW} (\mu s) \times I_{LOAD} (A)}{C_{OUT} (\mu F)} \quad (15)$$

当从辅助电源 (V_{IN2}) 切换到主电源 (V_{IN1}) 或从辅助电源切换到主电源时, 可使用 [方程式 16](#) 计算最小总线电压。在这里, 最大切换时间等于 RCB 恢复时间 (t_{SWRCB}), 具体取决于 V_{IN1} 是等于还是小于 V_{IN2} 。

$$V_{OUT,min} (V) = \min (V_{IN1}, V_{IN2}) - V_{FWDTH} (V) - \frac{t_{SWRCB} (\mu s) \times I_{LOAD} (A)}{C_{OUT} (\mu F)} \quad (16)$$

器件的 SPLYGD 引脚可用作数字指示, 以识别两个电源中的哪一个处于活动状态并向负载供电。

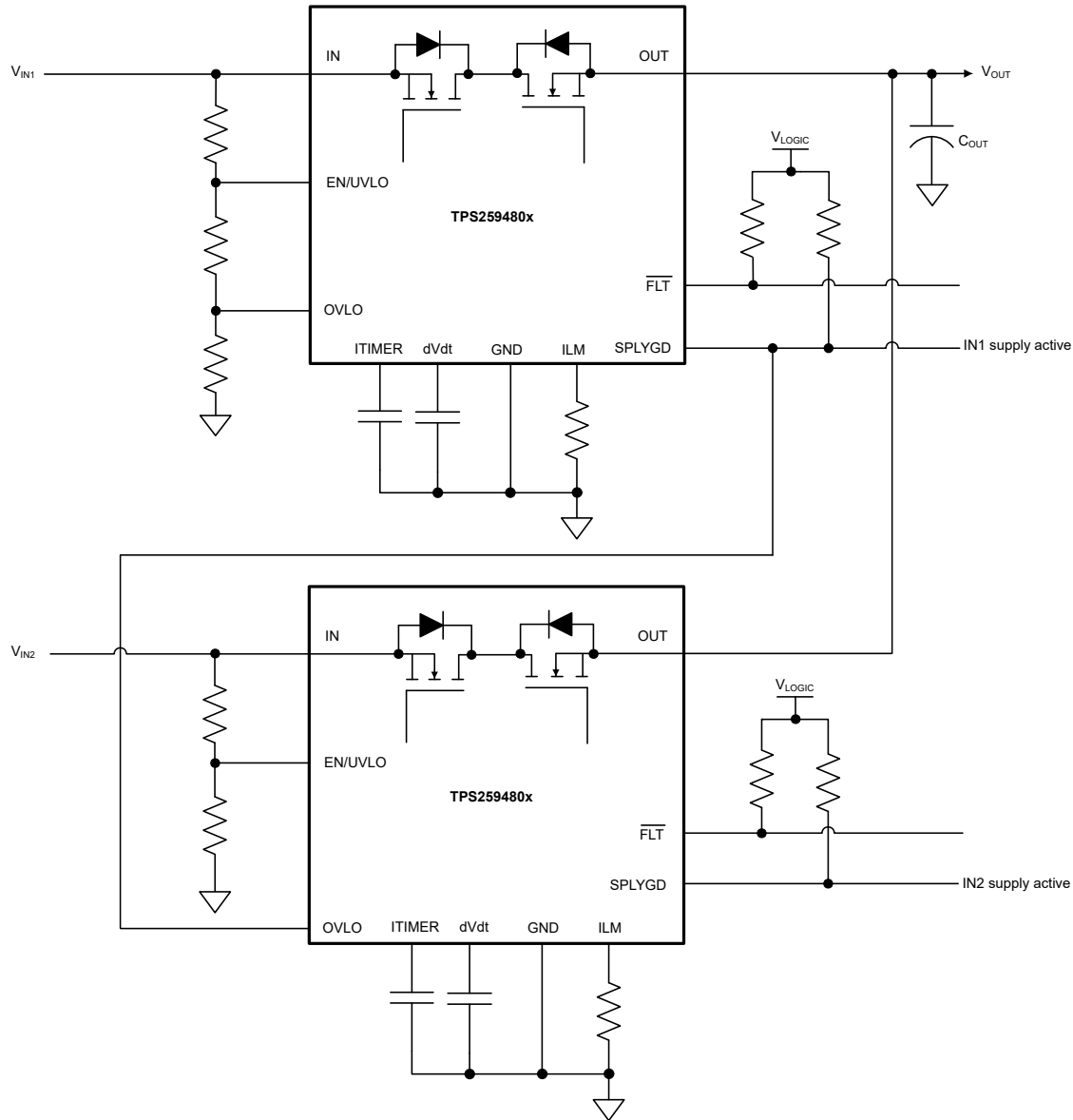


图 8-16. 具有 2 × TPS25948x 的优先电源多路复用 — 方案 1

该配置提供了最紧凑的优先级电源多路复用解决方案, 具有多种优势, 包括两个通道上的有源电流限制保护及初级通道上的过压保护。它还提供了从主电源到辅助电源的最快切换时间, 但代价是主路径处于工作状态时辅助路径上的静态电流略有增加。此外, 它使用的外部元件最少, 但代价是在辅助通道上绕过过压保护。

以下波形展示了优先电源多路复用配置中的 TPS25948x 性能。

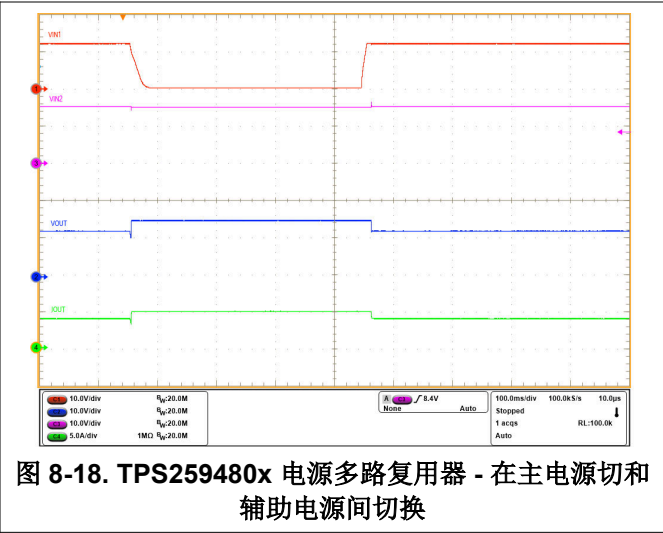
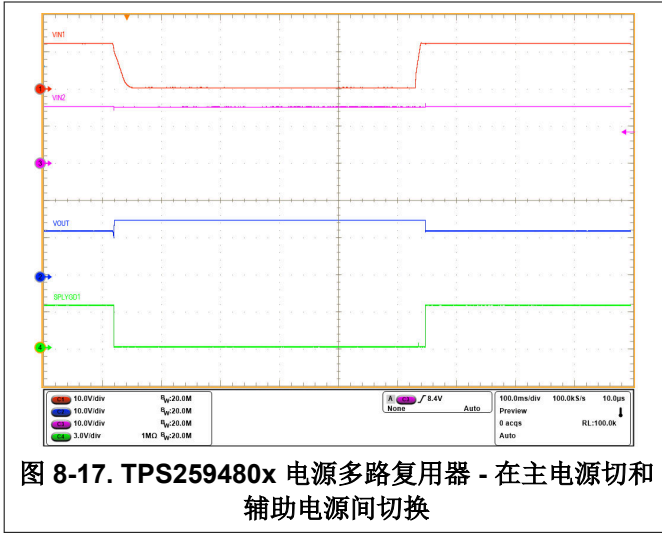


图 8-17. TPS25948x 电源多路复用器 - 在主电源切和辅助电源间切换

图 8-18. TPS25948x 电源多路复用器 - 在主电源切和辅助电源间切换

如果两个通道都需要过压保护，则上述配置可能存在差异。这需要一个额外的信号 N-FET 来驱动辅助路径器件的 OVLO 引脚，如 图 8-19 所示。切换时间与之前的配置类似。

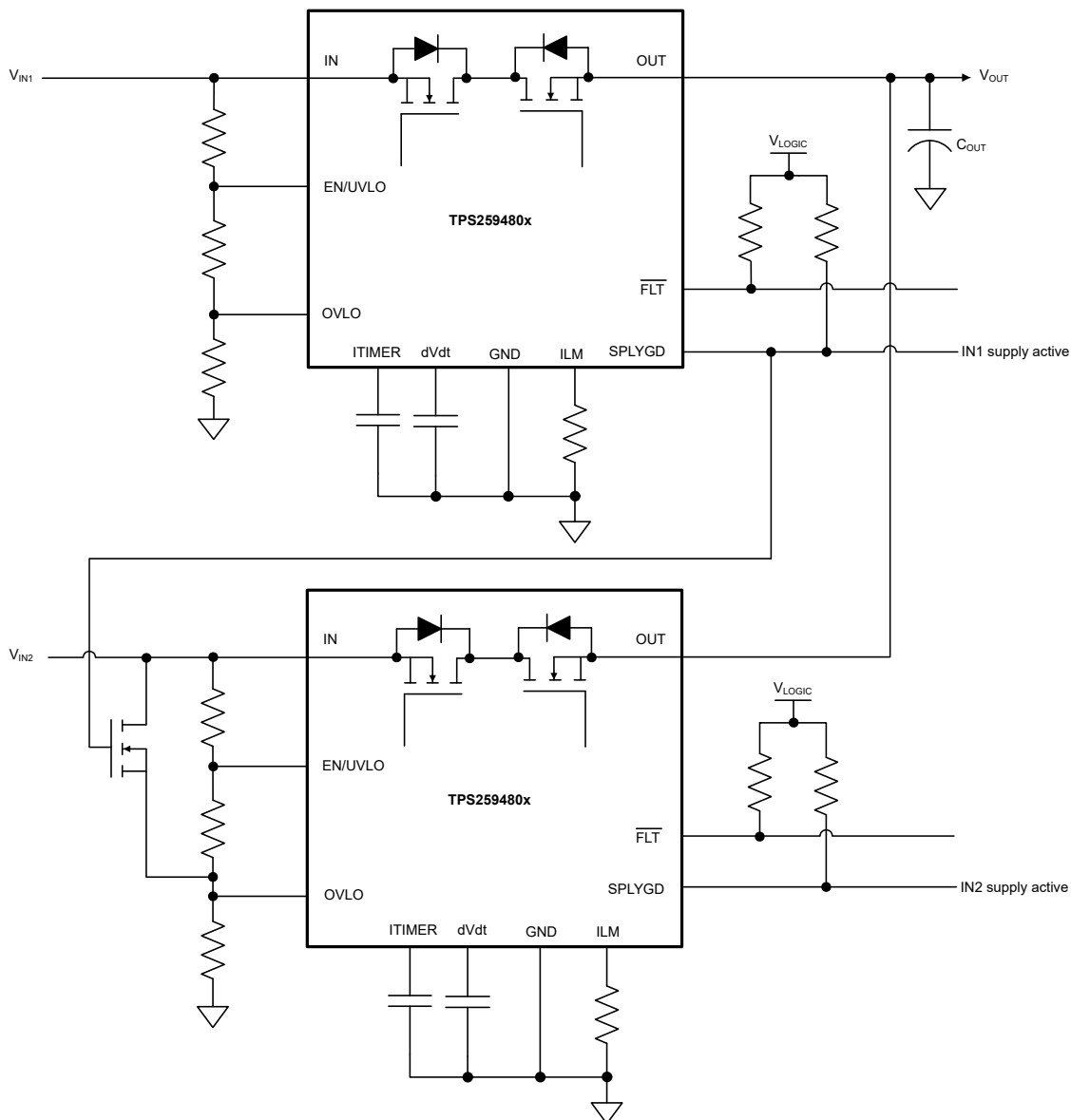


图 8-19. 具有 2 × TPS25948x 的优先电源多路复用 — 方案 2

先前配置的另一变体可确保主通道处于运行状态时辅助通道上的静态电流最小，但代价是需要额外的 N-FET 来驱动辅助路径器件的 EN/UVLO 引脚，如 图 8-20 所示。同时，与之前的配置相比，它的主电源与辅助电源之间的切换延迟更高。

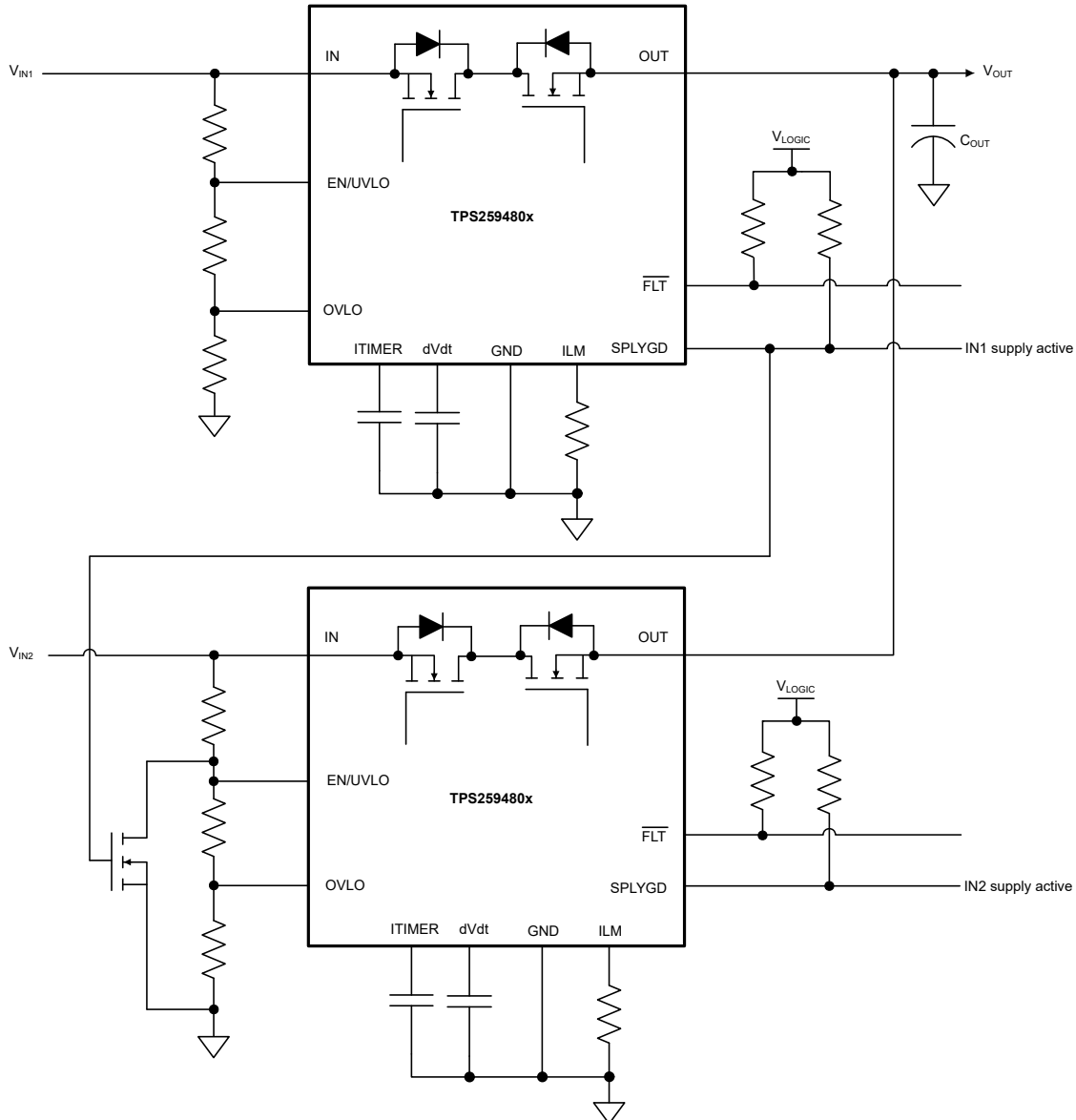


图 8-20. 具有 2 × TPS25948x 的优先电源多路复用 — 方案 3

从较高的电源轨切换到较低的电源轨时，可以使用 [方程式 17](#) 计算最小总线电压。在这里，切换时间等于器件退出反向电流阻断状态所需的时间 (t_{SWRCB})。

$$V_{OUT,min} (V) = \min (V_{IN1}, V_{IN2}) - V_{FWDTH} (V) - \frac{t_{SWRCB} (\mu s) \times I_{LOAD} (A)}{C_{OUT} (\mu F)} \quad (17)$$

从较低的电源轨切换到较高的电源轨时，可以使用 [方程式 18](#) 计算最小总线电压。在这里，切换时间 (t_{SW}) 是器件完全导通并开始向负载提供电流所需的时间，它等于器件导通时间 (t_{ON})，其中包括导通延迟 ($t_{D,ON}$) 和上升时间 (t_R)，它们由 $dVdt$ 电容器 (C_{dVdt}) 和总线电压决定。

$$V_{OUT,min} (V) = \min (V_{IN1}, V_{IN2}) - \frac{t_{SW} (\mu s) \times I_{LOAD} (A)}{C_{OUT} (\mu F)} \quad (18)$$

备注

1. 电源多路复用可在两个类似电源轨（例如 12V 主电源轨和 12V 辅助电源轨，3.3V 主电源轨和 3.3V 辅助电源轨）之间或不同电源轨（例如 12V 主电源轨和 5V 辅助电源轨，或相反）之间实现。
2. 对于电压组合偏斜的电源多路复用情况，必须注意为较低电压通道器件在 EN/OVLO 引脚上设计电路元件，使得当另一个通道上存在较高电压时，不会超过这些引脚上的绝对最大额定值。此外，必须根据两个电源中的最高值选择 dVdt 引脚电容器额定值。有关更多详细信息，请参阅建议工作条件表。

8.6 并行运行

需要更高电流能力的应用可以使用两个或以上 TPS25948x 器件并联，如 图 8-21 所示。在此配置中，第一个器件最初导通以提供浪涌电流限制。通过使用第一个器件的 SPLYGD 信号将其 EN/UVLO 引脚驱动为低电平，使第二个器件保持关断状态。浪涌序列完成后，第一个器件将其 SPLYGD 引脚置为高电平并导通第二个器件。第二个器件将其 SPLYGD 信号置为有效以指示何时完全导通，从而向系统指示并联组合已准备好提供完整的稳态电流。

进入稳态后，两个器件几乎平均分摊电流。电流中可能存在轻微偏移，具体取决于器件间 R_{ON} 的变化以及 PCB 布线电阻失配。

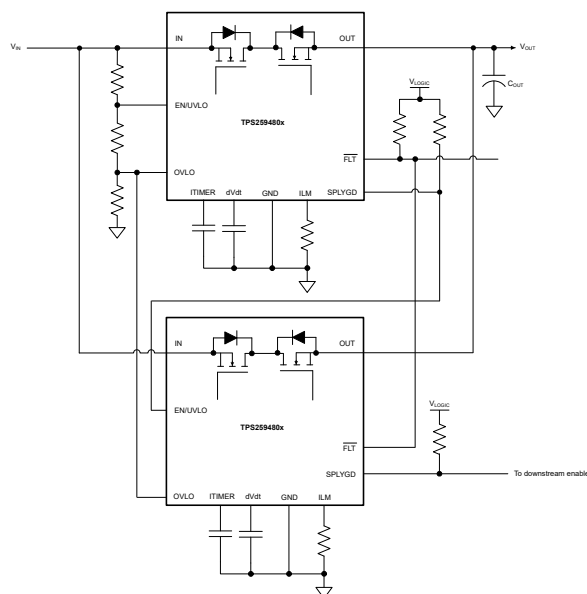


图 8-21. 两个器件并联以提供更高的稳态电流

以下波形展示了启动期间和稳态期间的并联配置行为。

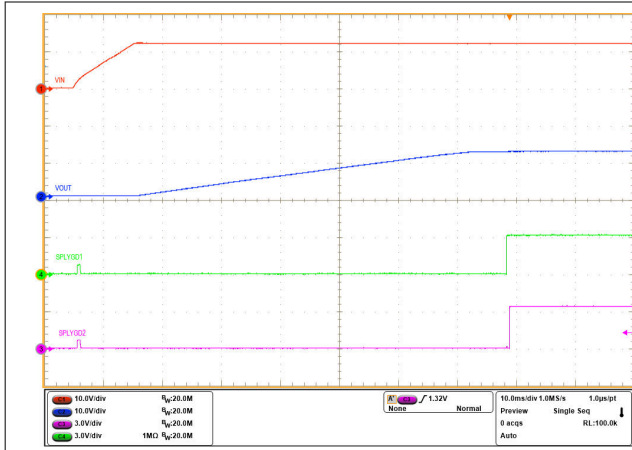


图 8-22. 启动期间的并联器件时序

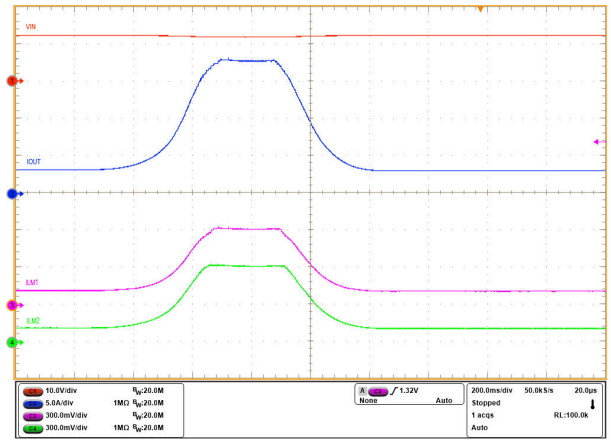


图 8-23. 稳态期间的并联器件负载电流

8.7 USB PD 端口保护

PC、笔记本电脑、扩展坞、显示器等终端设备拥有可配置为 DFP (供电方)、UFP (受电方) 或 DRP (供电方 + 受电方) 的 USB PD 端口。TPS25948xx 可用作 USB PD 端口的完全集成电源路径解决方案，如下方图 8-24 所示。

TPS25948xx 提供 USB 电源路径上所需的所有基本保护功能，例如过压、过流和短路保护以及监测和控制。TPS25948xx 中的线性 ORing 机制可确保在任一电源的快速或慢速斜升期间，没有反向电流从一个电源流向另一个电源。

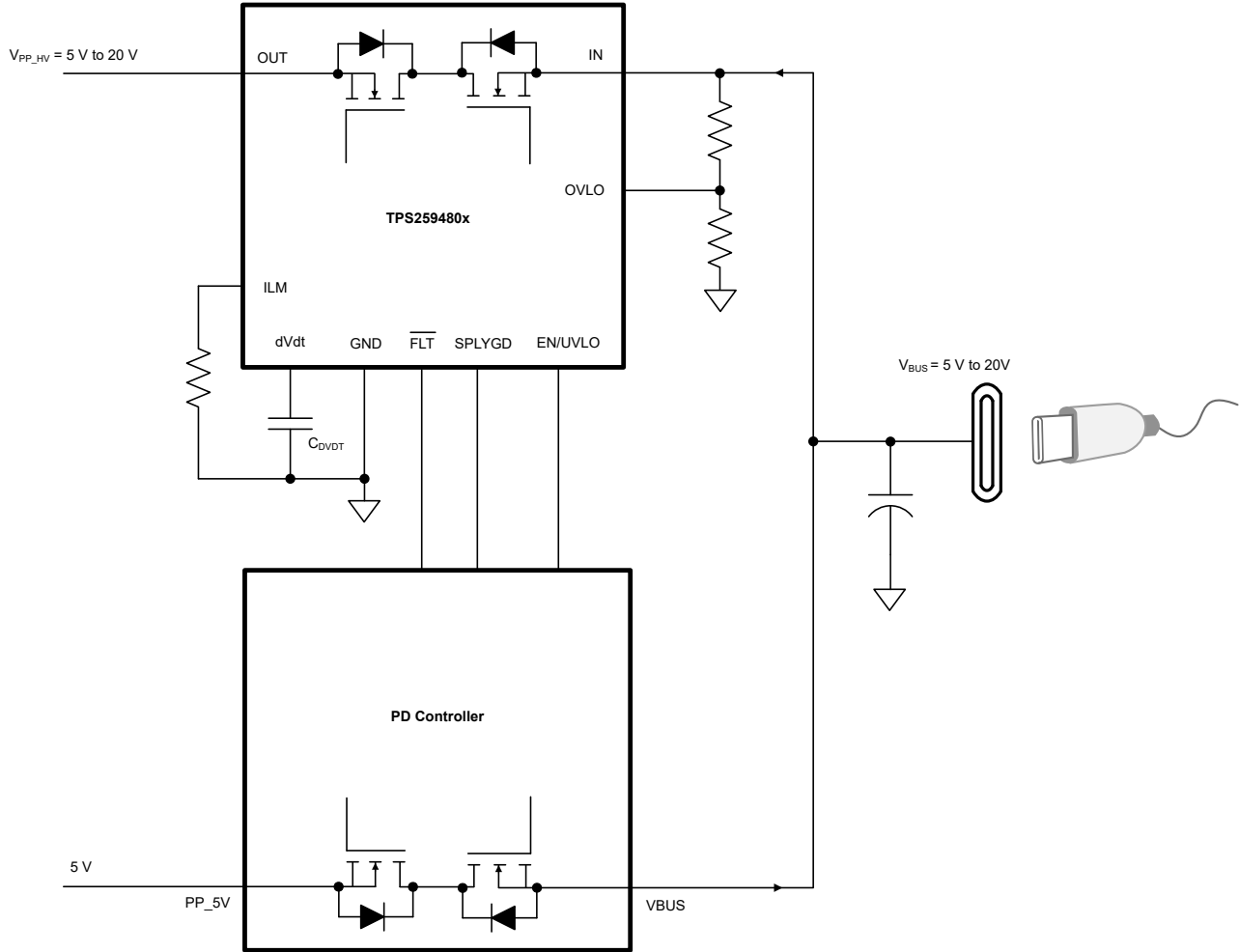


图 8-24. USB PD 端口保护

8.8 电源相关建议

TPS25948x 器件专用于 $3.5\text{V} \leq V_{\text{IN}}$ 或 $V_{\text{OUT}} \leq 23\text{V}$ 的电源电压范围。如果输入电源距离器件超过几英寸，则建议使用高于 $0.1\ \mu\text{F}$ 的输入陶瓷旁路电容器。电源的额定值必须高于设定的电流限制，以避免在过流和短路情况下出现压降。

8.8.1 瞬态保护

在短路和过载电流限制情况下，当器件中断电流时，输入电感在输入端产生正电压尖峰，输出电感在输出端产生负电压尖峰。电压尖峰（瞬变）的峰值振幅取决于与器件输入或输出串联的电感值。如果未采取措施解决此问题，此类瞬变可能会超过器件的绝对最大额定值。解决瞬变的典型方法包括：

- 更大幅度减少进出器件的引线长度和电感。
- 使用较大的 PCB GND 平面。
- 在 OUT 引脚和接地端之间连接一个肖特基二极管来吸收负尖峰。
- 在非常靠近器件的 OUT 引脚上连接一个大于 $1\ \mu\text{F}$ 的低 ESR 电容器。
- 使用低值陶瓷电容器 $C_{\text{IN}} = 1\ \mu\text{F}$ 来吸收能量并抑制瞬变。电容器电压额定值必须至少为输入电源电压的两倍，才能承受电感振铃期间的正电压偏移。

输入电容的近似值可通过以下公式进行估算：

$$V_{SPIKE}(ABSOLUTE) = V_{IN} + I_{LOAD} \times \sqrt{\frac{L_{IN}}{C_{IN}}} \quad (19)$$

其中

- V_{IN} 是标称电源电压。
- I_{LOAD} 是负载电流。
- L_{IN} 等于在源极中观察到的有效电感。
- C_{IN} 是输入端存在的电容。
- 某些应用可能需要添加瞬态电压抑制器 (TVS)，以防止瞬变超过器件的绝对最大额定值。在某些情况下，即使瞬变的最大幅度低于器件的绝对最大额定值，TVS 也有助于吸收过多的能量转储，并防止其在 IC 的输入电源引脚上产生非常快速的瞬变电压，这种电压可能会耦合到内部控制电路并导致意外行为。
- 对于 USB-C 端口等应用，供电线缆可插入器件的输出端，从 OUT 到 IN 可能会产生过大的电压应力，超过器件的绝对最大额定值。建议在 OUT 和 IN 之间添加一个 TVS 二极管，以将电压钳位到安全电平。

带有可选保护元件的电路实现如图 8-25 所示。

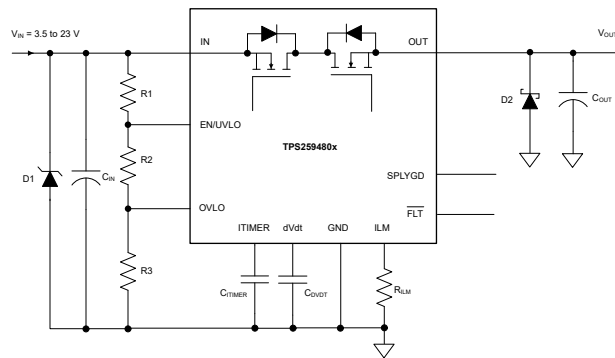


图 8-25. 带有可选保护元件的电路实现

8.8.2 输出短路测量

很难获得可重复和相似的短路测试结果。以下因素会导致结果的变化：

- 源旁路
- 输入引线
- 电路布局
- 组件选择
- 输出短路方法
- 短路的相对位置
- 仪表

实际的短路呈现出一定程度的随机性，因为它在微观上会弹跳和形成电弧。确保使用适当的配置和方法来获得真实的结果。不要期望看到与本数据表中的波形完全相同的波形，因为每个设置都不同。

8.9 布局

8.9.1 布局指南

- 对于所有应用，建议在 IN 引脚和 GND 引脚之间使用 0.1 μ F 或更大的陶瓷去耦电容器。
- 去耦电容器的最佳放置位置是紧靠器件的 IN 引脚和 GND 引脚的位置。请务必注意，尽量减小旁路电容器连接和 IC 的 IN 引脚及 GND 引脚所构成的环路区域。
- 高载流电源路径连接必须尽可能短，并且其大小必须能够承载至少两倍的满载电流。
- 必须在 IC 的引脚处将 GND 引脚连接至 PCB 接地平面，且迹线尽可能短。PCB 接地必须是电路板上的一个铜层或铜岛。建议为电子保险丝留出一个单独的接地平面岛。该平面不承载任何高电流，并用作电子保险丝的所有关键模拟信号的静态接地基准。必须使用星型连接将器件接地平面连接至系统电源接地平面。

- IN 和 OUT 焊盘用于散热。使用散热过孔尽可能连接到 PCB 顶层和底层上的铜区域。器件下方的过孔还有助于更大限度地减小 IN 和 OUT 焊盘上的电压梯度，并均匀地分配流经器件的电流，这对于实现出色的导通电阻和电流检测精度至关重要。
- 将以下支持元件放置在靠近连接引脚的位置：
 - R_{ILM}
 - C_{dVdt}
 - C_{ITIMER}
 - 用于 EN/UVLO 引脚和 OVLO 引脚的电阻器
- 采用最短的走线将元件另一端连接至器件的 GND 引脚。为了减少对电流限制、过流消隐间隔和软启动时间的寄生效应，应使将 R_{ILM} 、 C_{ITIMER} 和 C_{dVdt} 元件连接该器件的布线尽可能短。建议将 ILM 引脚上的寄生电容保持在 50pF 以下，以确保稳定运行。这些走线不得与电路板中的开关信号发生耦合。
- 由于 ILM 引脚上的偏置电流直接控制器件的过流保护行为，因此这些节点的 PCB 布线必须远离任何噪声（开关）信号。
- 必须将保护器件（如 TVS、缓冲器、电容器或二极管）放置在紧靠其要保护的器件的物理位置。必须使用短迹线为这些保护器件布线以减少电感。例如，建议使用保护肖特基二极管来解决由于电感负载开关而导致的负瞬变。还建议在 OUT 和 GND 之间添加一个 1 μ F 或更大的陶瓷去耦电容器。这些元件必须放置在靠近 OUT 引脚的位置。请务必注意，尽量减小肖特基二极管/旁路电容器连接和 IC 的 OUT 引脚及 GND 引脚所构成的环路区域。

8.9.2 布局示例

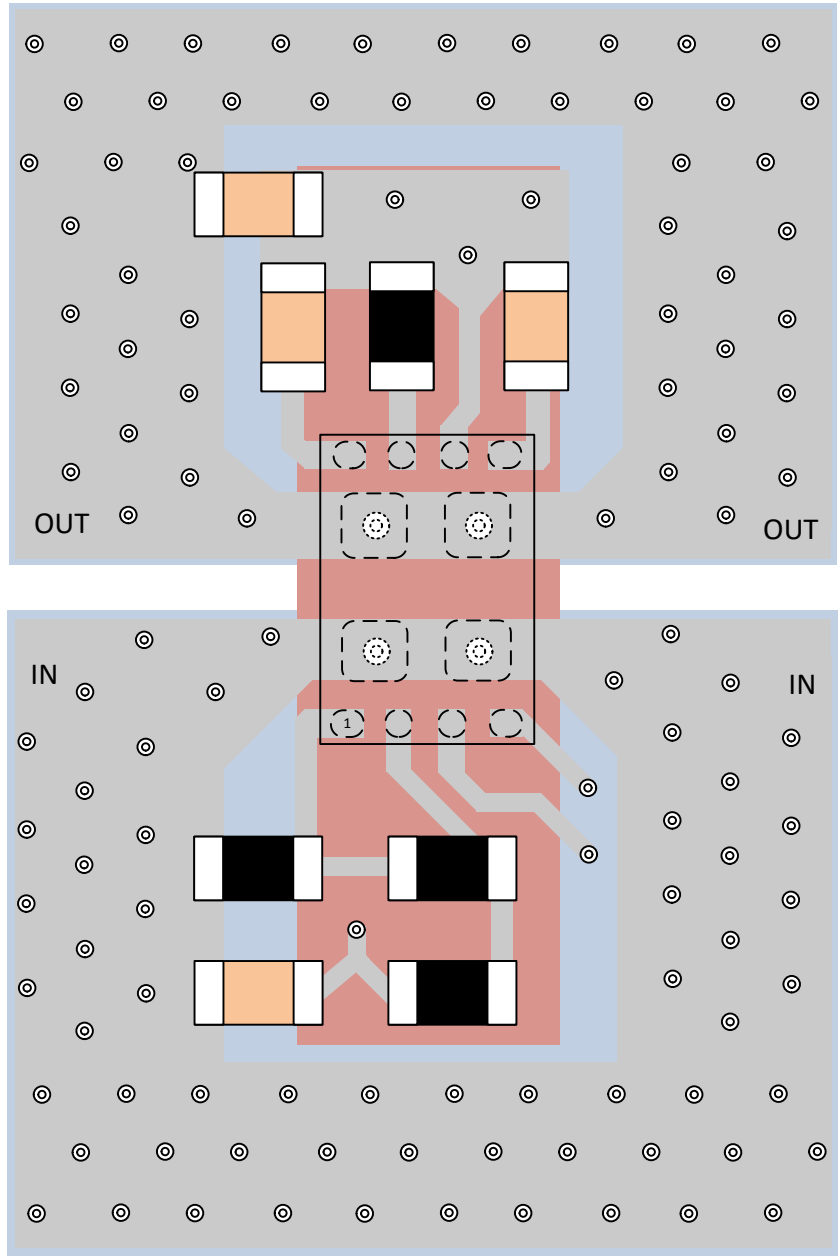
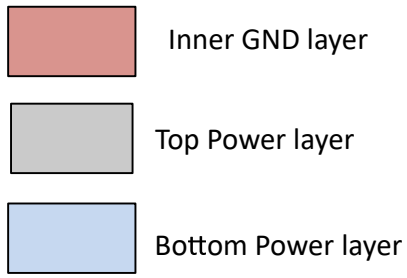


图 8-26. 布局示例

9 器件和文档支持

9.1 文档支持

9.1.1 相关文档

请参阅以下相关文档：

- [TPS25948EVM 电子保险丝评估板](#)
- [TPS25948x 设计计算器](#)
- [应用简报 — 用于 USB Type-C 保护的电子保险丝](#)

9.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

9.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision C (August 2025) to Revision D (April 2026)	Page
• 向器件比较表中添加了 EN/VULO 极性.....	4
• 向器件比较表中添加了 TPS259484AYWP.....	4
• 向引脚配置和功能中添加了 $\overline{\text{EN/UVLO}}$ 低电平有效.....	5
• 向绝对最大额定值中添加了 $\text{SR}_{\text{IN(R)}}$ 和 $\text{SR}_{\text{IN(F)}}$	6
• 在电气特性表中添加了 TPS259484x 型号.....	7
• 添加了 TPS259484 功能方框图.....	19
• 更新了“欠压锁定 (UVLO 和 UVP)”部分以将 TPS259484 和 TPS259481x/2x/3x 分开.....	23
• 向“单器件、自控型”部分添加了图.....	35
• 更新了典型应用部分.....	36

Changes from Revision B (June 2024) to Revision C (August 2025)	Page
• 添加了 TPS259483 OPN.....	4
• 向引脚功能表中添加了 TPS259483.....	5
• 也酌情在电气特性表的“说明”列添加了 TPS259483.....	7
• 添加了 TPS259483 (如果适用)	11

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS259480AYWPR	Active	Production	DSBGA (YWP) 12	3000 LARGE T&R	Yes	Call TI	Level-1-260C-UNLIM	-40 to 125	259480A
TPS259480AYWPR.A	Active	Production	DSBGA (YWP) 12	3000 LARGE T&R	Yes	Call TI	Level-1-260C-UNLIM	-40 to 125	259480A
TPS259480LYWPR	Active	Production	DSBGA (YWP) 12	3000 LARGE T&R	Yes	Call TI	Level-1-260C-UNLIM	-40 to 125	259480L
TPS259480LYWPR.A	Active	Production	DSBGA (YWP) 12	3000 LARGE T&R	Yes	Call TI	Level-1-260C-UNLIM	-40 to 125	259480L
TPS259481AYWPR	Active	Production	DSBGA (YWP) 12	3000 LARGE T&R	Yes	Call TI	Level-1-260C-UNLIM	-40 to 125	259481A
TPS259481AYWPR.A	Active	Production	DSBGA (YWP) 12	3000 LARGE T&R	Yes	Call TI	Level-1-260C-UNLIM	-40 to 125	259481A
TPS259481LYWPR	Active	Production	DSBGA (YWP) 12	3000 LARGE T&R	Yes	Call TI	Level-1-260C-UNLIM	-40 to 125	259481L
TPS259481LYWPR.A	Active	Production	DSBGA (YWP) 12	3000 LARGE T&R	Yes	Call TI	Level-1-260C-UNLIM	-40 to 125	259481L
TPS259482AYWPR	Active	Production	DSBGA (YWP) 12	3000 LARGE T&R	Yes	Call TI	Level-1-260C-UNLIM	-40 to 125	259482A
TPS259482AYWPR.A	Active	Production	DSBGA (YWP) 12	3000 LARGE T&R	Yes	Call TI	Level-1-260C-UNLIM	-40 to 125	259482A
TPS259482LYWPR	Active	Production	DSBGA (YWP) 12	3000 LARGE T&R	Yes	Call TI	Level-1-260C-UNLIM	-40 to 125	259482L
TPS259482LYWPR.A	Active	Production	DSBGA (YWP) 12	3000 LARGE T&R	Yes	Call TI	Level-1-260C-UNLIM	-40 to 125	259482L
TPS259483AYWPR	Active	Production	DSBGA (YWP) 12	3000 LARGE T&R	Yes	Call TI	Level-1-260C-UNLIM	-40 to 125	259483A
TPS259484AYWPR	Active	Production	DSBGA (YWP) 12	3000 LARGE T&R	Yes	Call TI	Level-1-260C-UNLIM	-40 to 125	259484A

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

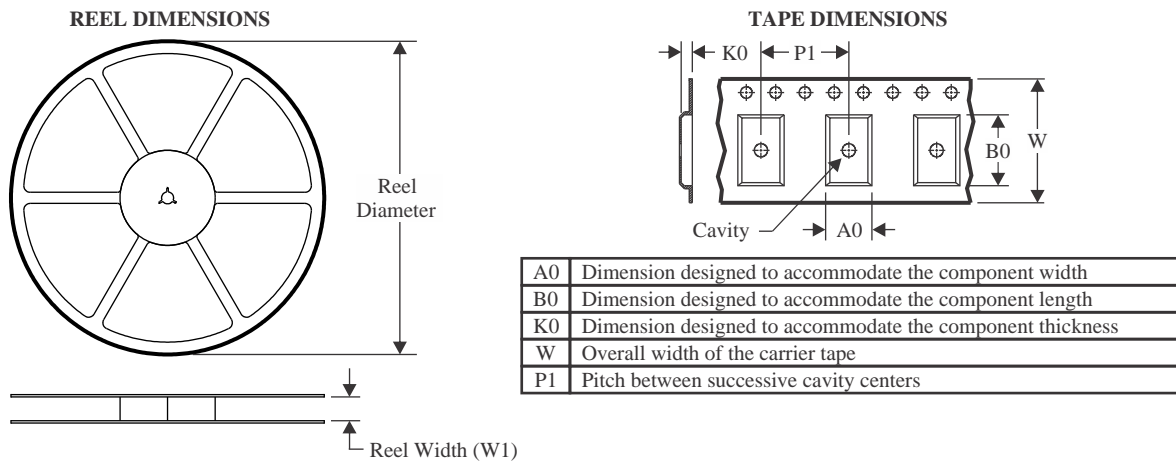
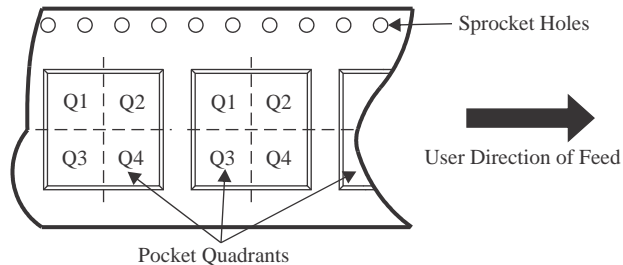
(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


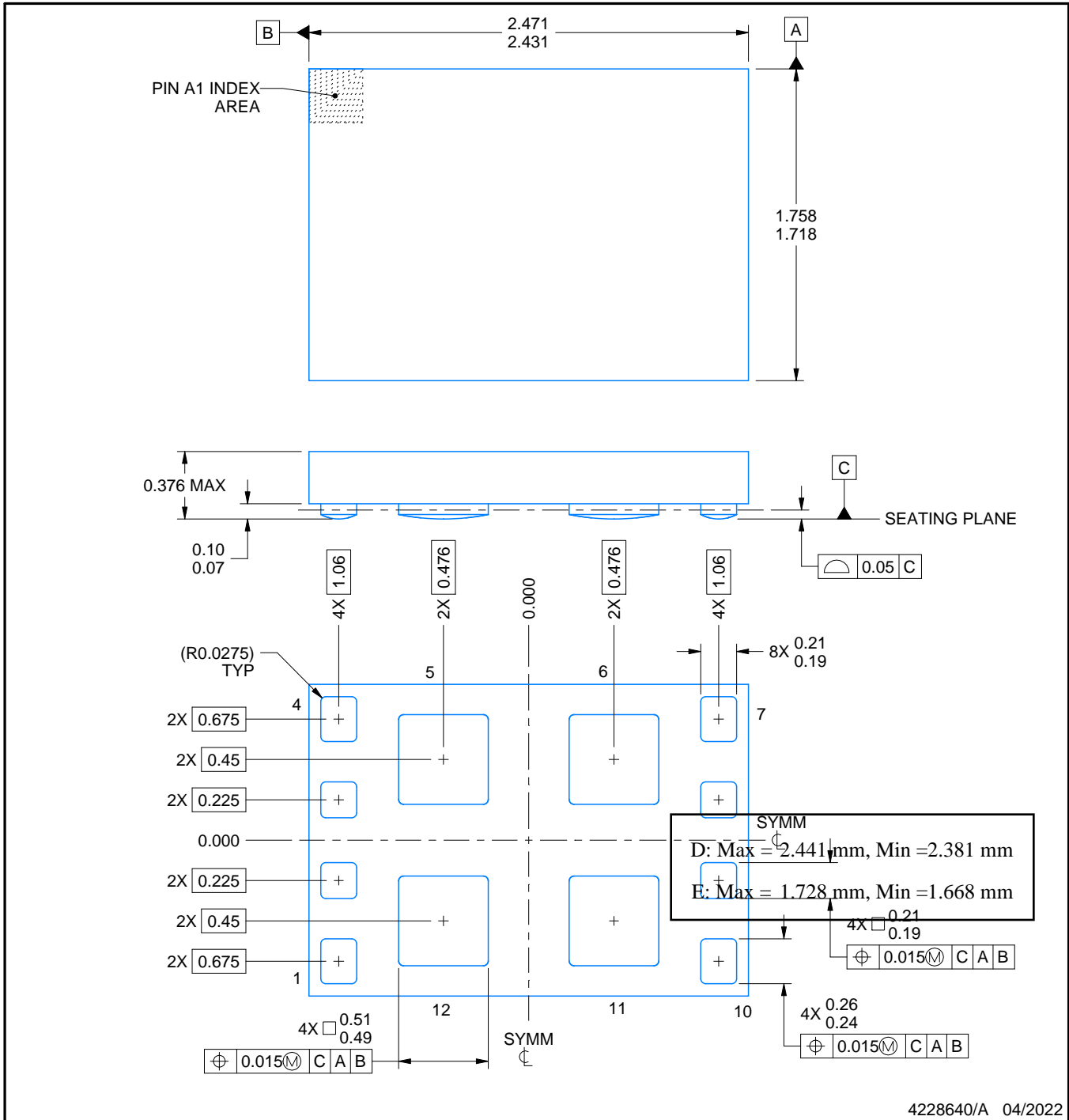
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS259480AYWPR	DSBGA	YWP	12	3000	180.0	8.4	1.88	2.59	0.53	4.0	8.0	Q2
TPS259480LYWPR	DSBGA	YWP	12	3000	180.0	8.4	1.88	2.59	0.53	4.0	8.0	Q2
TPS259481AYWPR	DSBGA	YWP	12	3000	180.0	8.4	1.88	2.59	0.53	4.0	8.0	Q2
TPS259481LYWPR	DSBGA	YWP	12	3000	180.0	8.4	1.88	2.59	0.53	4.0	8.0	Q2
TPS259481LYWPR	DSBGA	YWP	12	3000	180.0	8.4	1.88	2.63	0.53	4.0	8.0	Q2
TPS259482AYWPR	DSBGA	YWP	12	3000	180.0	8.4	1.88	2.63	0.53	4.0	8.0	Q2
TPS259482AYWPR	DSBGA	YWP	12	3000	180.0	8.4	1.88	2.59	0.53	4.0	8.0	Q2
TPS259482LYWPR	DSBGA	YWP	12	3000	180.0	8.4	1.88	2.63	0.53	4.0	8.0	Q2
TPS259482LYWPR	DSBGA	YWP	12	3000	180.0	8.4	1.88	2.59	0.53	4.0	8.0	Q2
TPS259483AYWPR	DSBGA	YWP	12	3000	180.0	8.4	1.88	2.59	0.53	4.0	8.0	Q2
TPS259483AYWPR	DSBGA	YWP	12	3000	180.0	8.4	1.88	2.63	0.53	4.0	8.0	Q2

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS259480AYWPR	DSBGA	YWP	12	3000	182.0	182.0	20.0
TPS259480LYWPR	DSBGA	YWP	12	3000	182.0	182.0	20.0
TPS259481AYWPR	DSBGA	YWP	12	3000	182.0	182.0	20.0
TPS259481LYWPR	DSBGA	YWP	12	3000	182.0	182.0	20.0
TPS259481LYWPR	DSBGA	YWP	12	3000	182.0	182.0	20.0
TPS259482AYWPR	DSBGA	YWP	12	3000	182.0	182.0	20.0
TPS259482AYWPR	DSBGA	YWP	12	3000	182.0	182.0	20.0
TPS259482LYWPR	DSBGA	YWP	12	3000	182.0	182.0	20.0
TPS259482LYWPR	DSBGA	YWP	12	3000	182.0	182.0	20.0
TPS259483AYWPR	DSBGA	YWP	12	3000	182.0	182.0	20.0
TPS259483AYWPR	DSBGA	YWP	12	3000	182.0	182.0	20.0



4228640/A 04/2022

NOTES:

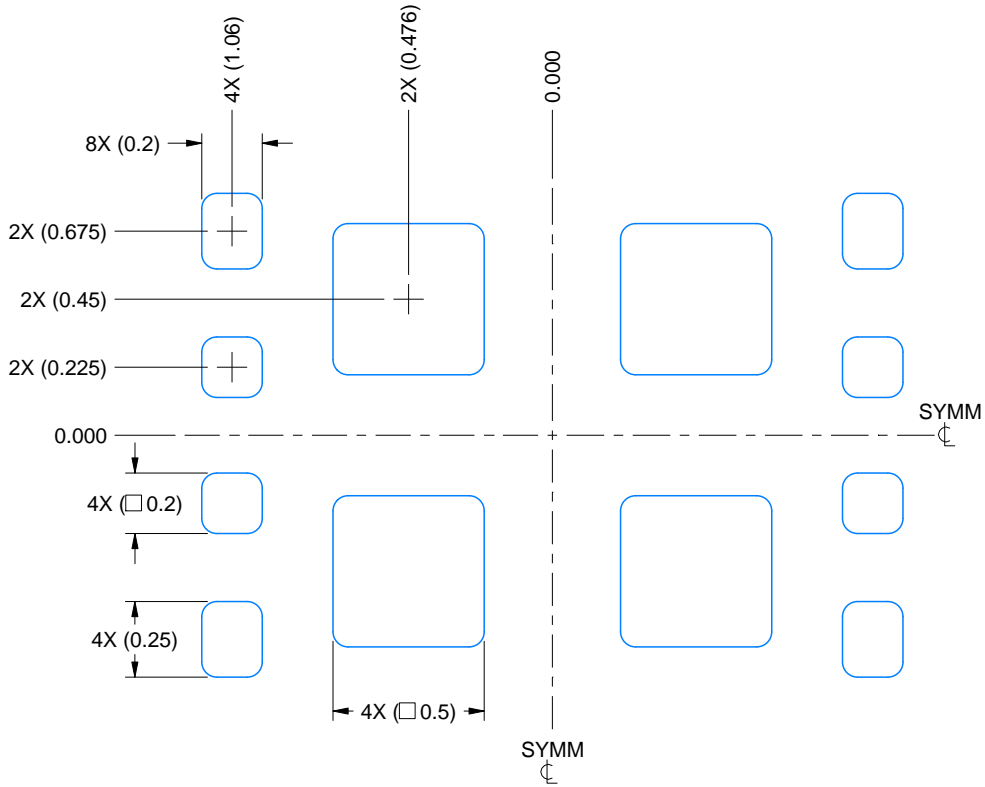
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

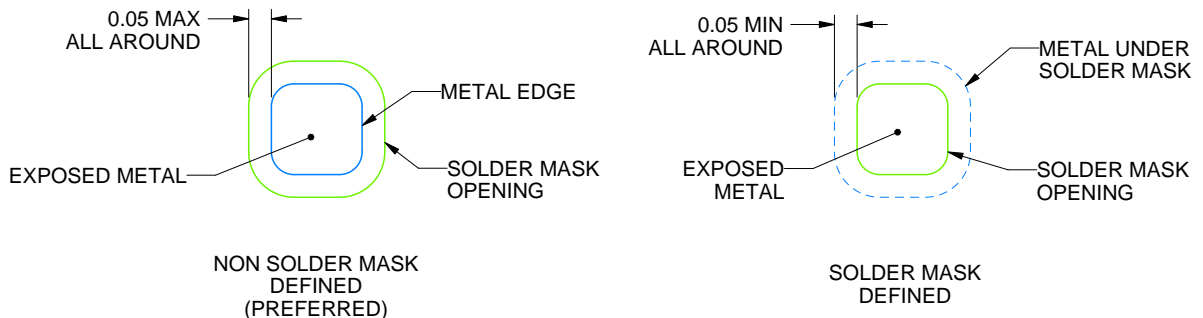
YWP0012A

PowerWCSP - 0.376 mm max height

POWER CHIP SCALE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 40X



SOLDER MASK DETAILS
NOT TO SCALE

4228640/A 04/2022

NOTES: (continued)

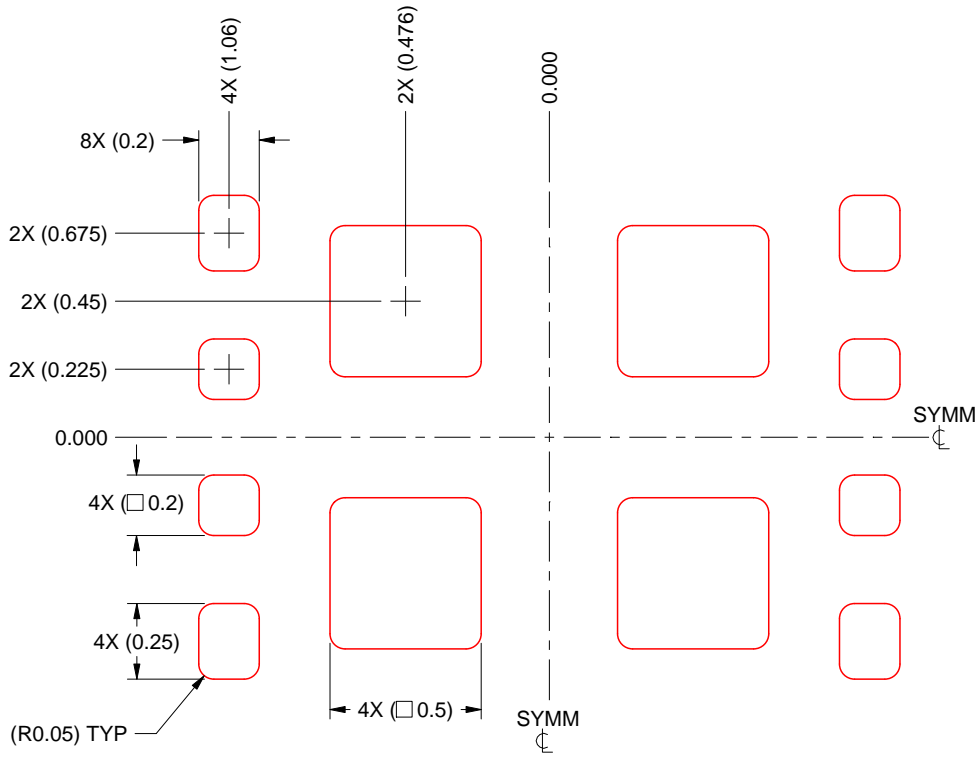
- Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).

EXAMPLE STENCIL DESIGN

YWP0012A

PowerWCSP - 0.376 mm max height

POWER CHIP SCALE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.075 mm THICK STENCIL
SCALE: 40X

4228640/A 04/2022

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月