UCC21551x-Q1 汽车级 4A、6A 增强型隔离式双通道栅极驱动器

1 特性

- 通用：双通道低侧、双通道高侧或半桥驱动器
- 具有符合 AEC-Q100 标准的下列结果
  - 器件温度 1 级
- 结温范围：–40°C 至 +150°C
- 高达 4A 峰值拉电流和 6A 峰值灌电流输出
- 共模瞬态抗扰度 (CMTI) 大于 125V/ns
- 通道间爬电距离：
  - 采用 DFJ28 封装时 >5.3mm
  - 采用 DWK 封装时 >3.3mm
- 高达 25V 的 VDD 输出驱动电源
  - 5V、 8V、 12V 和 17V VDD UVLO 选项
- 开关参数：
  - 33ns 典型传播延迟
  - 5ns 最大脉宽失真
  - 10µs 最大 VDD 上电延迟
- 针对所有电源的 UVLO 保护
- 电源时序快速启用

2 应用

- 车载电池充电器
- 高压直流/直流转换器
- 汽车 HVAC，车身电子装置

3 说明

UCC21551x-Q1 是具有可编程死区时间和宽温度范围的隔离式双通道栅极驱动器系列。该器件具有 4A 峰值拉电流和 6A 峰值灌电流，可驱动功率 MOSFET、SiC 和 IGBT 晶体管。

UCC21551x-Q1 可以配置为两个低侧驱动器、两个高侧驱动器或一个半桥驱动器。输入侧通过一个 5kV$_{RMS}$ 隔离栅与两个输出驱动器相隔离，其共模瞬态抗扰度 (CMTI) 的最小值为 125V/ns。DFJ28 封装提供 >5.3mm 的通道间爬电以支持高电压系统。

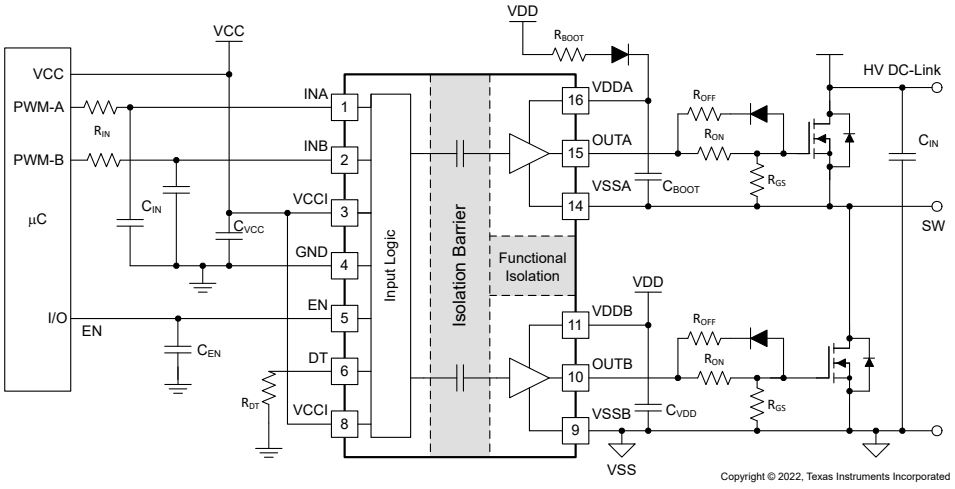
保护功能包括：电阻器可编程死区时间、同时关闭两个输出的禁用功能以及可抑制短于 5ns 的输入瞬态的集成抗尖峰脉冲滤波器。所有电源都有 UVLO 保护。

凭借所有这些高级特性，UCC21551x-Q1 器件能够在各种各样的电源应用中实现高效率、高电源密度和稳健性。

器件信息

器件型号	封装(1)	建议的 VDD 电源最小值
UCC21551AQDWRQ1	DW（SOIC，16）	6.7V
UCC21551AQDWKRQ1	DWK（SOIC，14）	6.7V
UCC21551BQDWKRQ1	DWK（SOIC，14）	9.2V
UCC21551CQDWKRQ1	DWK（SOIC，14）	13.5V
UCC21551DQDWKRQ1	DWK（SOIC，14）	19V
UCC21551CQDFJRQ1	DFJ (SOIC 28)	13.5V
UCC21551DQDFJRQ1	DFJ (SOIC 28)	19V

(1) 有关所有可用封装，请参阅 节 13。



典型应用原理图

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 规格 5
5.1 绝对最大额定值 5
5.2 ESD 等级（汽车类） 5
5.3 建议运行条件 5
5.4 热性能信息 5
5.5 功率等级 6
5.6 绝缘规格 7
5.7 安全限值 8
5.8 电气特性 9
5.9 开关特性 10
5.10 绝缘特性曲线 11
5.11 典型特性 13
6 参数测量信息 18
6.1 传播延迟和脉宽失真度 18
6.2 上升至下降时间 18
6.3 输入和使能响应时间 18
6.4 可编程死区时间 19
6.5 上电 UVLO 到输出延迟 19
6.6 CMTI 测试 20
7 详细说明 21
7.1 概述 21
7.2 功能方框图 21
7.3 特性说明 22
7.4 器件功能模式 25
8 应用和实施 27
8.1 应用信息 27
8.2 典型应用 27
9 电源相关建议 37
10 布局 38
10.1 布局指南 38
10.2 布局示例 39
11 器件和文档支持 41
11.1 器件支持 41
11.2 文档支持 41
11.3 认证 41
11.4 接收文档更新通知 41
11.5 支持资源 41
11.6 商标 41
11.7 静电放电警告 41
11.8 术语表 41
12 修订历史记录 42
13 机械、封装和可订购信息 44
13.1 卷带包装信息 44

Copyright © 2026 Texas Instruments Incorporated

4 引脚配置和功能

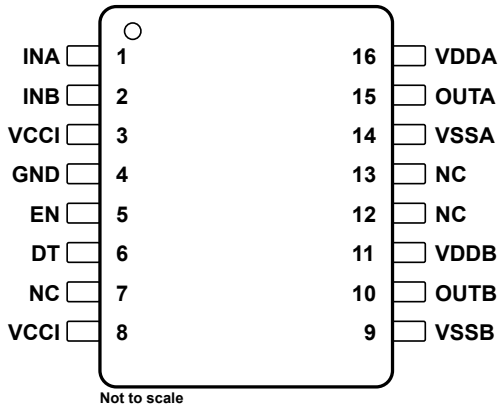


图 4-1. DW 封装 16 引脚 SOIC 顶视图

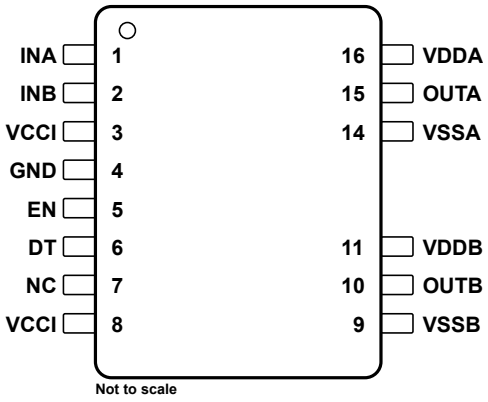


图 4-2. DWK 封装 14 引脚 SOIC 顶视图

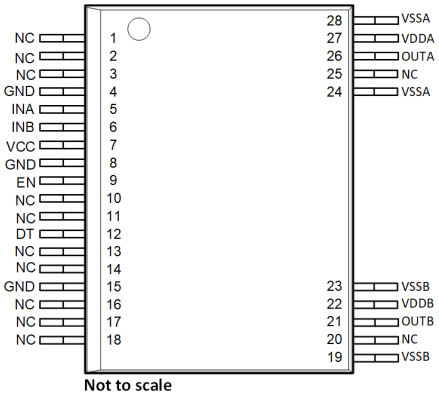


图 4-3. DFJ 封装 28 引脚 SOIC 顶视图

表 4-1. 引脚功能

引脚			类型(1)	说明
名称	编号			
	DWK/DW	DFJ		
EN	5	9	I	设置为高电平时会同时启用两个驱动器输出，而设置为低电平时则会禁用两个输出。如果不使用该引脚，则建议将其连接至 VCCI，以实现更好的抗噪性能。如果保持悬空，则该引脚在内部被拉低。建议在 EN 引脚上使用 RC 滤波器以过滤高频噪声，R = 0Ω 至 100Ω，C = 100pF 至 1000pF。
DT	6	12	I	DT 引脚配置： • DT 引脚悬空或对 VCCI 短路会禁用死区时间互锁功能（允许输出重叠） • 在 DT 和 GND 之间放置 1.7kΩ 至 100kΩ 电阻器 (RDT)，以设置驱动器输出之间的最短死区时间 • 放置 0Ω 至 150Ω 电阻器，或将 DT 引脚短接至 GND 以使两个输出互锁 • TI 不建议使用 >1nF 的陶瓷电容器绕过该引脚
GND	4	4、8、15	G	初级侧地基准。初级侧的所有信号都以该地为基准。
INA	1	5	I	A 通道的输入信号。INA 输入具有兼容 TTL/CMOS 的输入阈值。该引脚在保持开路时在内部被拉至低电平。建议在 INA 上使用 RC 滤波器以过滤高频噪声，R = 10Ω 至 100Ω，C = 10pF 至 100pF。

Copyright © 2026 Texas Instruments Incorporated

表 4-1. 引脚功能（续）

引脚			类型(1)	说明
名称	编号			
	DWK/DW	DFJ		
INB	2	6	I	B 通道的输入信号。INB 输入具有兼容 TTL/CMOS 的输入阈值。该引脚在保持开路时在内部被拉至低电平。建议在 INB 上使用 RC 滤波器以过滤高频噪声，R = 10Ω 至 100Ω，C = 10pF 至 100pF。
NC	7	1-3、10、11、13、14、16-18	–	无内部连接。
NC	12	-	–	无内部连接。
NC	13	-	–	无内部连接。
OUTA	15	26	O	驱动器 A 的输出。通过栅极电阻器连接到 A 通道晶体管的栅极。
OUTB	10	21	O	驱动器 B 的输出。通过栅极电阻器连接到 B 通道晶体管的栅极。
VCCI	3	7	P	初级侧电源电压。使用尽可能靠近器件的低 ESR/ESL 电容器在本地进行去耦（连接至 GND）。
VCCI	8	-	P	初级侧电源电压。此引脚在内部短接至引脚 3。
VDDA	16	27	P	驱动器 A 的次级侧电源。使用尽可能靠近器件的低 ESR/ESL 电容器在本地进行去耦（连接至 VSSA）。
VDDB	11	22	P	驱动器 B 的次级侧电源。使用尽可能靠近器件的低 ESR/ESL 电容器在本地进行去耦（连接至 VSSB）。
VSSA	14	24.28	G	次级侧 A 通道的接地基准。
VSSB	9	19.23	G	次级侧 B 通道的接地基准。

(1) P = 电源，G = 地，I = 输入，O = 输出

Copyright © 2026 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
VCCI 至 GND	输入辅助电源电压	-0.3	6	V
VDDA、VDDB 至 VSS	输出辅助电源电压	-0.3	30	V
OUTA 至 VSSA、OUTB 至 VSSB	输出信号直流电压	-0.3	VDDA/B + 0.3	V
	输出信号瞬态电压持续 200ns	-2	VDDA/B + 0.3	V
INA、INB 至 GND	输入信号直流电压	-0.3	VCCI + 0.3(2)	V
DT、EN 至 GND		-0.3	VCCI + 0.3(2)	V
通道间隔离电压	采用 DWK 和 DFJ 封装的 |VSSA-VSSB|		1850	V
T_J	结温	-40	150	℃
T_{stg}	贮存温度	-65	150	℃

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能，并缩短器件寿命

(2) 最大电压不得超过 6V。

5.2 ESD 等级（汽车类）

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 标准(1)	±2000	V
		充电器件模型 (CDM)，符合 AEC Q100-011 标准	±1000	

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
V_{CCI}	输入偏置引脚电源电压	3.0		5.5	V
VDDA、VDDB	UCC21551A-Q1 - 5V UVLO 输出辅助电源电压、VDDA-VSSA、VDDB-VDDB	6.5		25	V
VDDA、VDDB	UCC21551B-Q1 - 8V UVLO 输出辅助电源电压、VDDA-VSSA、VDDB-VDDB	9.2		25	V
VDDA、VDDB	UCC21551C-Q1 - 12V UVLO 输出辅助电源电压、VDDA-VSSA、VDDB-VDDB	13.5		25	V
VDDA、VDDB	UCC21551D-Q1 - 17V UVLO 输出辅助电源电压、VDDA-VSSA、VDDB-VDDB	19		25	V
T_J	结温	-40		150	℃

5.4 热性能信息

热指标(1)		UCC21551x			单位
		DWK	DW	DFJ	
		14 引脚	16 引脚	28 引脚	
$R_{\theta JA}$	结至环境热阻	74.1	69.8	79.9	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	34.1	33.1	37.2	°C/W
$R_{\theta JB}$	结至电路板热阻	32.8	36.9	59	°C/W

Copyright © 2026 Texas Instruments Incorporated

热指标(1)		UCC21551x			单位
		DWK	DW	DFJ	
		14 引脚	16 引脚	28 引脚	
Ψ_{JT}	结至顶部（中心）特征参数	23.7	22.2	21.4	°C/W
Ψ_{JB}	结至电路板特征参数	32.1	36	57.6	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。

5.5 功率等级

参数		测试条件	最小值	典型值	最大值	单位
P_D	最大功耗（两侧）	VCCI = 5V，VDDA/VDDB = 20V，INA/B = 3.3V，460kHz 50% 占空比方波，C_L = 2.2nF，T_J = 150℃，T_A = 25℃			950	mW
P_{DI}	最大功耗（发送器侧）				50	mW
P_{DA}、P_{DB}	最大功耗（每个驱动器侧）				450	mW

Copyright © 2026 Texas Instruments Incorporated

5.6 绝缘规格

参数		测试条件	规格	单位
通用				
CLR	外部间隙(1)	端子间的最短空间距离	>8	mm
CPG	外部爬电距离 DW 和 DWK 封装(1)	端子间的最短封装表面距离	>8	mm
CPG	外部爬电距离 DFJ 封装(1)	端子间的最短封装表面距离	>8.3	mm
DTI	绝缘穿透距离	最小内部间隙	>17	µm
CTI	相对漏电起痕指数	DIN EN 60112 (VDE 0303-11)；IEC 60112	> 600	V
	材料组	符合 IEC 60664-1	I	
	过压类别	额定市电电压 ≤ 600V_{RMS}	I-III	
		额定市电电压 ≤ 1000V_{RMS}	I-II	
DIN EN IEC 60747-17 (VDE 0884-17)				
V_{IORM}	最大重复峰值隔离电压	交流电压（双极）	2121	V_{PK}
V_{IOWM}	最大隔离工作电压	交流电压（正弦波）；时间依赖型电介质击穿 (TDDB) 测试；请参阅图 6-1	1500	V_{RMS}
		直流电压	2121	V_{DC}
V_{IMP}	最大脉冲电压	在空气中进行测试，符合 IEC 62368-1 的 1.2/50µs 波形	7692	V_{PK}
V_{IOTM}	最大瞬态隔离电压	$V_{TEST} = V_{IOTM}$，t = 60s（鉴定测试）；$V_{TEST} = 1.2 \times V_{IOTM}$，t = 1s（100% 生产测试）	7071	V_{PK}
V_{IOSM}	最大浪涌隔离电压(2)	$V_{IOSM} \geq 1.3 \times V_{IMP}$；在油中测试（鉴定测试），1.2/50µs 波形，符合 IEC 62368-1	10000	V_{PK}
q_{pd}	视在电荷(3)	方法 a：I/O 安全测试子组 2/3 后，$V_{ini} = V_{IOTM}$，t_{ini} = 60s；$V_{pd(m)} = 1.2 \times V_{IORM}$，$t_m$ = 10s	≤5	pC
		方法 a：环境测试子组 1 后，$V_{ini} = V_{IOTM}$，t_{ini} = 60s；$V_{pd(m)} = 1.6 \times V_{IORM}$，$t_m$ = 10s	≤5	
		方法 b1：常规测试（100% 生产测试）和预处理（类型测试），$V_{ini} = 1.2 \times V_{IOTM}$，$t_{ini}$ = 1s；$V_{pd(m)} = 1.875 \times V_{IORM}$，$t_m$ = 1s	≤5	
C_{IO}	势垒电容，输入至输出(4)	V_{IO} = 0.4 × sin (2πft)，f = 1MHz	约 1.2	pF
R_{IO}	隔离电阻，输入至输出(4)	V_{IO} = 500V，T_A = 25°C	>10^{12}	Ω
		V_{IO} = 500V，100°C ≤ T_A ≤ 125°C	>10^{11}	
		V_{IO} = 500V，T_S = 150°C	>10^9	
	污染等级		2	
	气候类别		40/125/21	
UL 1577				
V_{ISO}	可承受 UCC2155x 的隔离电压	$V_{TEST} = V_{ISO} = 5000V_{RMS}$，t = 60s（鉴定测试）；$V_{TEST} = 1.2 \times V_{ISO} = 6000V_{RMS}$，t = 1s（100% 生产测试）	5000	V_{RMS}

(1) 爬电距离和间隙应满足应用的特定设备隔离标准中的要求。请注意保持电路板设计的爬电距离和间隙，从而确保印刷电路板上隔离器的安装焊盘不会导致此距离缩短。在特定的情况下，印刷电路板上的爬电距离和间隙变得相等。在印刷电路板上插入坡口或肋或同时应用这两项技术可帮助提高这些规格。
(2) 在空气或油中执行测试，以确定隔离栅的固有浪涌抗扰度。
(3) 视在电荷是局部放电 (pd) 引起的电气放电。
(4) 将隔离层每一侧的所有引脚都连在一起，构成一个双引脚器件。

Copyright © 2026 Texas Instruments Incorporated

5.7 安全限值

参数		测试条件	侧	最小值 典型值 最大值	单位
DW 封装					
I_S	安全输出电源电流	$R_{\theta JA}$ = 69.8°C/W，$V_{DDA/B}$ = 15V，T_J = 150°C，T_A = 25°C	驱动器 A、驱动器 B	58	mA
		$R_{\theta JA}$ = 69.8°C/W，$V_{DDA/B}$ = 25V，T_J = 150°C，T_A = 25°C		34	
P_S	安全电源	$R_{\theta JA}$ = 69.8°C/W，T_J = 150°C，T_A = 25°C	输入	50	mW
			驱动器 A	870	
			驱动器 B	870	
			总计	1790	
T_S	最高安全温度(1)			150	°C
DWK 封装					
I_S	安全输出电源电流	$R_{\theta JA}$ = 74.1°C/W，$V_{DDA/B}$ = 15V，T_J = 150°C，T_A = 25°C	驱动器 A、驱动器 B	53	mA
		$R_{\theta JA}$ = 74.1°C/W，$V_{DDA/B}$ = 25V，T_J = 150°C，T_A = 25°C		32	
P_S	安全电源	$R_{\theta JA}$ = 74.1°C/W，T_J = 150°C，T_A = 25°C	输入	50	mW
			驱动器 A	800	
			驱动器 B	800	
			总计	1650	
T_S	最高安全温度(1)			150	°C
DFJ 封装					
I_S	安全输出电源电流	$R_{\theta JA}$ = 79.9°C/W，$V_{DDA/B}$ = 15V，T_J = 150°C，T_A = 25°C	驱动器 A、驱动器 B	50	mA
		$R_{\theta JA}$ = 79.9°C/W，$V_{DDA/B}$ = 25V，T_J = 150°C，T_A = 25°C		30	
P_S	安全电源	$R_{\theta JA}$ = 79.9°C/W，T_J = 150°C，T_A = 25°C	输入	50	mW
			驱动器 A	755	
			驱动器 B	755	
			总计	1560	
T_S	最高安全温度(1)			150	°C

(1) 最高安全温度 T_S 与器件指定的最大结温 T_J 的值相同。I_S 和 P_S 参数分别表示安全电流和安全功率。请勿超出 I_S 和 P_S 的最大限值。这些限值随环境温度 T_A 的变化而变化。“热性能信息”表中的结至空气热阻 R_{qJA} 所属器件安装在引线式表面贴装封装对应的高 K 测试板上。可以使用这些公式计算每个参数的值：$T_J = T_A + R_{qJA} \times P$，其中 P 为器件中耗散的功率。$T_{J(max)} = T_S = T_A + R_{qJA} \times P_S$，其中 $T_{J(max)}$ 为允许的最大结温。$P_S = I_S \times V_I$，其中 VI 为最大输入电源电压。

Copyright © 2026 Texas Instruments Incorporated

5.8 电气特性

除非另有说明，否则 V_{VCCI} = 3.3V 或 5.0V，从 VCCI 到 GND 的 0.1µF 电容，V_{VDDx} = 12V（对于 5V 和 8V UVLO）、15V（对于 12V UVLO）或 20V（对于 17V UVLO），从 VDDA 和 VDDB 到 VSSA 和 VSSB 的 1µF + 100nF 电容，DT 引脚悬空，EN = VCC 或 DIS = GND，T_J = –40°C 至 +150°C，C_L = 0pF (1)

参数		测试条件	最小值	典型值	最大值	单位
电源电流						
I_{VCC}	VCC 静态电流	V_{INx} = 0V、EN = VCC；VCC=3.3V		1.4	2	mA
		V_{INx} = 0V、EN = VCC；VCC=5V		1.4	2	
		V_{INx} = VCC、EN = VCC；VCC=3.3V		4.2	4.8	
		V_{INx} = VCC、EN = VCC；VCC=5V		4.2	4.8	
		V_{INx} PWM 在 0V 时连接至 VCC，f_{SW} = 500kHz，EN = VCC；VCC=3.3V		2.7	3.2	
		V_{INx} PWM 在 0V 时连接至 VCC，f_{SW} = 500kHz，EN = VCC；VCC=5V		2.7	3.2	
I_{VDDx}	VDDx 静态电流	V_{INx} = 0V、EN = VCC；		1.2	2	mA
		V_{INx} = 0V、EN = VCC； VDD=25V		1.4	2.3	
		V_{INx} = VCC、EN = VCC；		1.4	2.2	
		V_{INx} = VCC、EN = VCC；VDD=25V		1.5	2.5	
		V_{INx} PWM 在 0V 时连接至 VCC，f_{SW} = 500kHz，EN = VCC；		2.7	4.4	
		V_{INx} PWM 在 0V 时连接至 VCC，f_{SW} = 500kHz，EN = VCC；VDD=25V		2.7	4.4	
VCC 电源电压欠压阈值						
V_{VCC_ON}	VCC UVLO 上升阈值		2.55	2.7	2.85	V
V_{VCC_OFF}	VCC UVLO 下降阈值		2.35	2.5	2.65	
V_{VCC_HYS}	VCC UVLO 阈值迟滞			0.2		
$t_{VCC+ \text{ to OUT}}$	VCC UVLO 导通延迟		18	42	80	µs
$t_{VCC- \text{ to OUT}}$	VCC UVLO 关闭延迟		0.5	1.2	7	
t_{VCCFIL}	VCC UVLO 抗尖峰脉冲滤波器		0.4	0.9	3.1	
VDD 电源电压欠压阈值和延迟						
V_{VDD_ON}	VDDx UVLO 上升阈值	5V UVLO 选项	5.7	6.0	6.3	V
V_{VDD_OFF}	VDDx UVLO 下降阈值		5.4	5.7	6.0	
V_{VDD_HYS}	VDDx UVLO 阈值迟滞			0.30		
V_{VDD_ON}	VDDx UVLO 上升阈值	8V UVLO 选项	7.7	8.5	8.9	V
V_{VDD_OFF}	VDDx UVLO 下降阈值		7.2	7.9	8.4	
V_{VDD_HYS}	VDDx UVLO 阈值迟滞			0.6		
V_{VDD_ON}	VDDx UVLO 上升阈值	12V UVLO 选项（金属选项）	11.7	12.5	13.3	V
V_{VDD_OFF}	VDDx UVLO 下降阈值		10.7	11.5	12.3	
V_{VDD_HYS}	VDDx UVLO 阈值迟滞			1.0		
V_{VDD_ON}	VDDx UVLO 上升阈值	17V UVLO 选项（金属选项）	16.4	17.6	18.8	V
V_{VDD_OFF}	VDDx UVLO 下降阈值		15.4	16.6	17.8	V
V_{VDD_HYS}	VDDx UVLO 阈值迟滞			1.0		V
$t_{VDD+ \text{ to OUT}}$	VDDx UVLO 导通延迟				10	µs
$t_{VDD- \text{ to OUT}}$	VDDx UVLO 关闭延迟		0.1	0.5	2	
t_{VDDFIL}	VDDx UVLO 抗尖峰脉冲滤波器		0.1	0.17		
INA、INB、AND EN /						

Copyright © 2026 Texas Instruments Incorporated

5.8 电气特性（续）

除非另有说明，否则 V_{VCCI} = 3.3V 或 5.0V，从 VCCI 到 GND 的 0.1μF 电容，V_{VDDx} = 12V（对于 5V 和 8V UVLO）、15V（对于 12V UVLO）或 20V（对于 17V UVLO），从 VDDA 和 VDDB 到 VSSA 和 VSSB 的 1μF + 100nF 电容，DT 引脚悬空，EN = VCC 或 DIS = GND，T_J = –40°C 至 +150°C，C_L = 0pF (1)

参数		测试条件	最小值	典型值	最大值	单位
V_{INx_H}、V_{EN_H}	输入高电平阈值电压			2	2.3	V
V_{INx_L}、V_{EN_L}	输入低电平阈值电压		0.8	1		V
V_{INx_HYS}、V_{EN_HYS}	输入阈值迟滞			1		V
R_{INxD}	INx 引脚下拉电阻	INx = 3.3V	50	90	185	kΩ
R_{ENU}	EN 引脚下拉电阻	EN = 3.3V	50	90	185	kΩ
输出驱动器级						
I_{O+}	峰值输出拉电流	C_{VDDx} = 10μF，C_L = 0.22μF，f = 1kHz		-4		A
I_{O-}	峰值输出灌电流	C_{VDDx} = 10μF，C_L = 0.22μF，f = 1kHz		6		A
R_{OH}	上拉电阻。R_{OH} 并不表示驱动上拉性能。有关详细信息，请参阅第 8.3.4 节。	I_{OUTx} = –0.05A		5		Ω
R_{OL}	下拉电阻	I_{OUTx} = 0.05A		0.55		Ω
有源下拉						
V_{OUTPD}	OUTx 上的输出有源下拉	I_{OUT} = 200mA，VDDx 悬空且未通电。		1.6	2	V
V_{OUTPD}	OUTx 上的输出有源下拉	I_{OUT} = 200mA，C_{VDD}=100nF 且未通电。		1.6	2	V
死区时间和重叠编程						
DT_S	禁用 DT 功能	DT 引脚开路或将 DT 引脚拉至 VCC	由 INA、INB 确定的输出重叠			-
	针对 R_{DT}≤0.15kΩ 的死区时间编程	R_{DT}=0~0.15kΩ	-6	0.2	6	ns
	针对 1.7kΩ≤R_{DT}≤100kΩ DT (ns) = 8.6×R_{DT}(kΩ) + 13 的死区时间编程	R_{DT} = 10kΩ	86	99	112	ns
		R_{DT} = 20kΩ	167	185	203	ns
		R_{DT} = 50kΩ	399	443	487	ns

(1) 测试条件中的电流方向定义为进入该引脚的电流为正电流，从指定端子流出的电流为负电流（除非另有说明）

5.9 开关特性

除非另有说明，否则 V_{VCCI} = 3.3V 或 5.0V，从 VCCI 到 GND 的 0.1μF 电容，V_{VDDx} = 12V（对于 5V 和 8V UVLO）或 15V（对于 12V UVLO）或 20V（对于 17V UVLO），从 VDDA 和 VDDB 到 VSSA 和 VSSB 的 1μF + 100nF 电容，DT 引脚悬空，EN = VCC 或 DIS = GND，T_J = –40°C 至 +150°C，C_L = 0pF

参数		测试条件	最小值	典型值	最大值	单位
t_{RISE}	输出上升时间	C_L=1.8nF，VDDx=12V，20% 至 80%		8		ns
		C_L=1.8nF，VDDx=25V，20% 至 80%		8		ns
t_{FALL}	输出下降时间	C_L=1.8nF，VDDx=12V，10% 至 90%		8		ns
		C_L=1.8nF，VDDx=25V，10% 至 90%		8		ns
t_{PDLH}	传播延迟 - 低电平到高电平	输入脉冲宽度 = 100ns，500kHz，在输入 VIH 至输出 10% 时进行测量	26	33	45	ns
t_{PDHL}	传播延迟 – 高电平到低电平	输入脉冲宽度 = 100ns，500kHz，在输入 VIL 至输出 90% 时进行测量	26	33	45	ns
$t_{PD_EN_HL}$	EN 响应延迟 - 高电平到低电平	t_{EN/DIS_FIL} = 20ns（典型值），VDD = VDD_ON + 0.2V 及以上，输入脉宽 = 100ns，500kHz	27	48	80	ns
$t_{PD_EN_LH}$	EN 响应延迟 - 低电平到高电平		27	48	80	ns
t_{PWmin}	传递到输出的最小输入脉宽	VDD=VDD_ON+0.2V 及更高	4	12	30	ns

Copyright © 2026 Texas Instruments Incorporated

5.9 开关特性（续）

除非另有说明，否则 V_{VCCI} = 3.3V 或 5.0V，从 VCCI 到 GND 的 0.1μF 电容，V_{VDDx} = 12V（对于 5V 和 8V UVLO）或 15V（对于 12V UVLO）或 20V（对于 17V UVLO），从 VDDA 和 VDDB 到 VSSA 和 VSSB 的 1μF + 100nF 电容，DT 引脚悬空，EN = VCC 或 DIS = GND，T_J = –40°C 至 +150°C，C_L = 0pF

参数		测试条件	最小值	典型值	最大值	单位
t_{DM}	双通道驱动器的传播延迟匹配	输入脉宽 = 100ns，500kHz，T_J = -40°C 至 -10°C $\lvert t_{PDLHA} - t_{PDLHB} \rvert$，$\lvert t_{PDHLA} - t_{PDHLB} \rvert$	0		6.5	ns
		输入脉冲宽度 = 100ns，500kHz，T_J = -10°C 至 +150°C $\lvert t_{PDLHA} - t_{PDLHB} \rvert$、$\lvert t_{PDHLA} - t_{PDHLB} \rvert$	0		5	ns
t_{PWD}	脉宽失真度	输入脉宽 = 100ns，500kHz $\lvert t_{PDLHA} - t_{PDHLA} \rvert$，$\lvert t_{PDLHB} - t_{PDHLB} \rvert$	0		5	ns
$\lvert CM_H \rvert$	高电平共模瞬态抗扰度	V_{CM} = 1500V	125			V/ns
$\lvert CM_L \rvert$	低电平共模瞬态抗扰度		125			V/ns

5.10 绝缘特性曲线

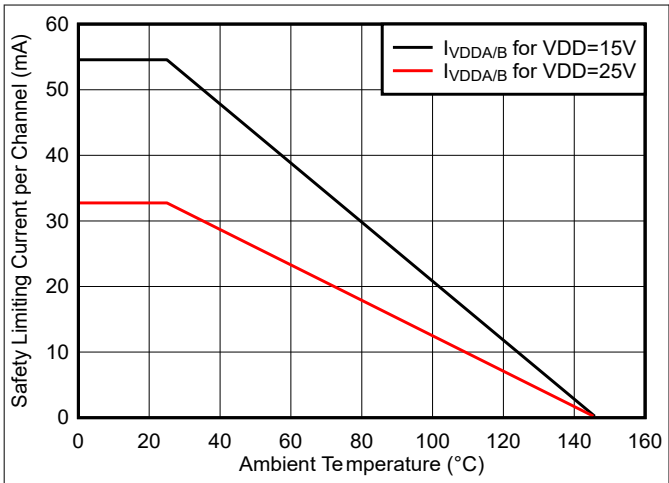


图 5-1. 根据 VDE 标准 DWK 封装限制电流的热降额曲线（两个通道同时运行时每个通道的电流）

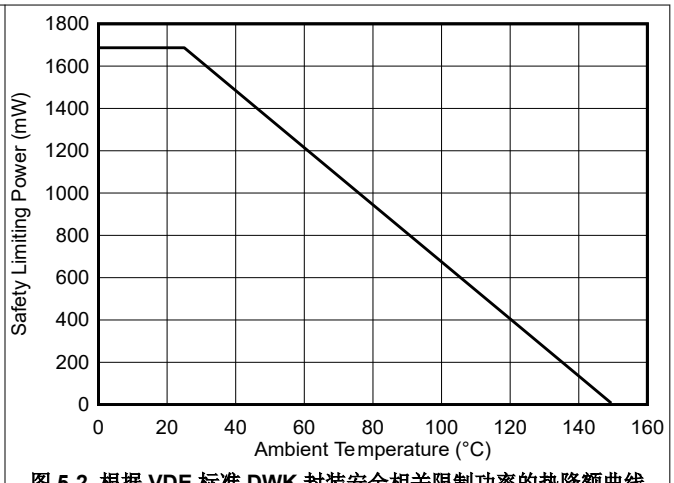


图 5-2. 根据 VDE 标准 DWK 封装安全相关限制功率的热降额曲线

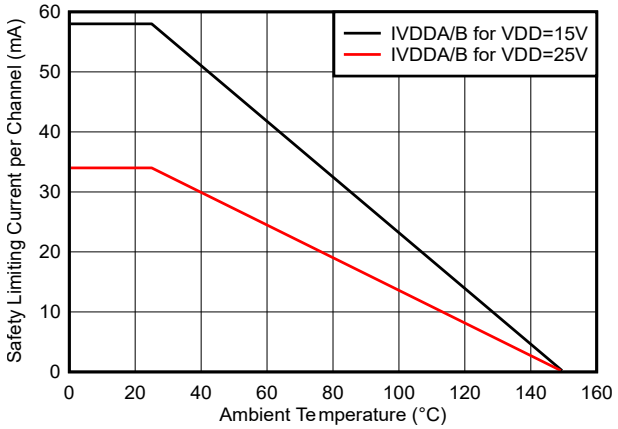


图 5-3. 根据 VDE 标准 DW 封装限制电流的热降额曲线（两个通道同时运行时每个通道的电流）

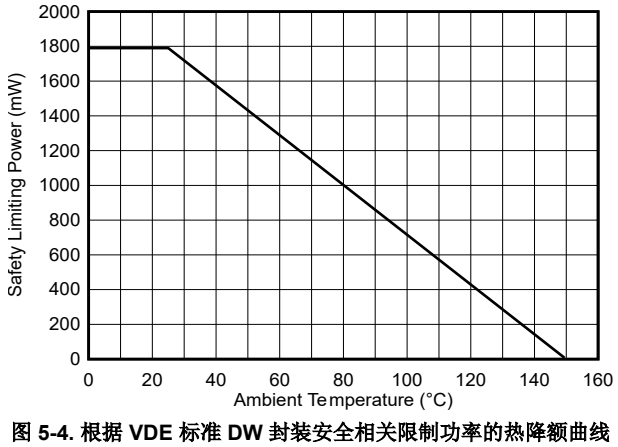


图 5-4. 根据 VDE 标准 DW 封装安全相关限制功率的热降额曲线

Copyright © 2026 Texas Instruments Incorporated

5.10 绝缘特性曲线（续）

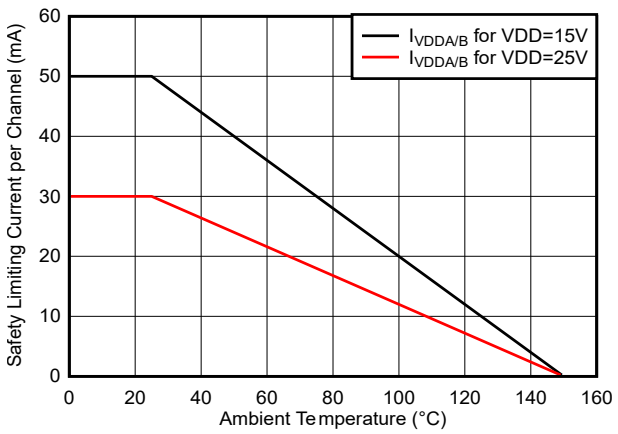


图 5-5. 根据 VDE 标准 DFJ 封装限制电流的热降额曲线（两个通道同时运行时每个通道的电流）

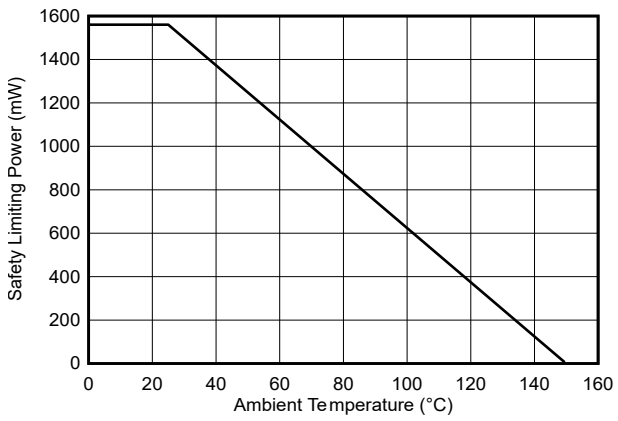


图 5-6. 根据 VDE 标准 DFJ 封装安全相关限制功率的热降额曲线

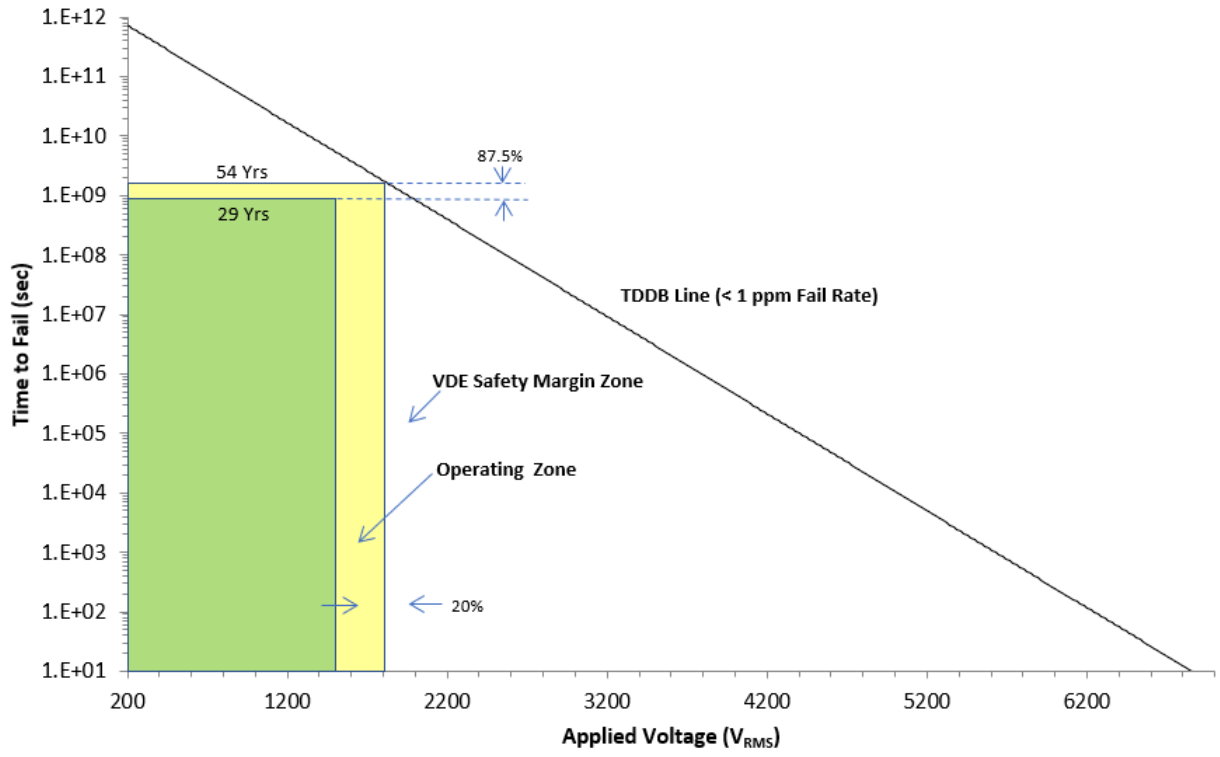


图 5-7. 增强型隔离电容器寿命预测

Copyright © 2026 Texas Instruments Incorporated

5.11 典型特性

VDDA = VDDB= 15V，VCCI = 3.3V，T_A = 25°C，无负载，除非另有说明。

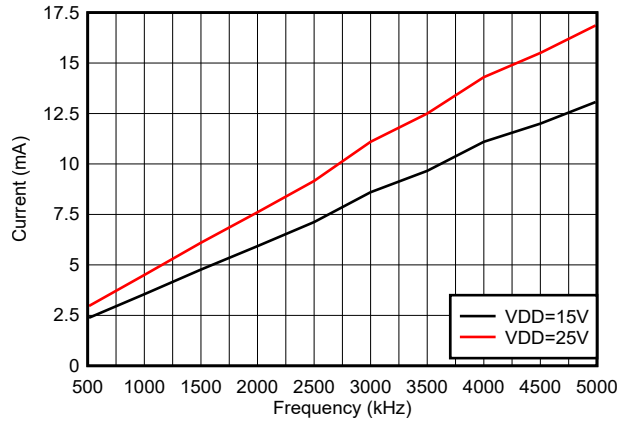


图 5-8. 每通道电流消耗 ($I_{VDDA/B}$) 与频率之间的关系（无负载，VDD = 15V 或 25V）

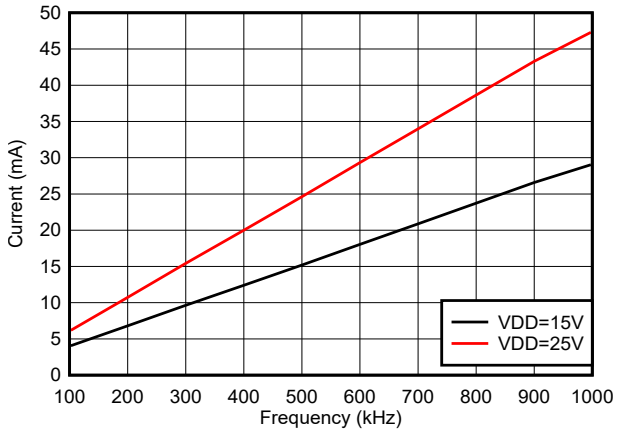


图 5-9. 每通道电流消耗 ($I_{VDDA/B}$) 与频率之间的关系（1nF 负载，VDD = 15V 或 25V）

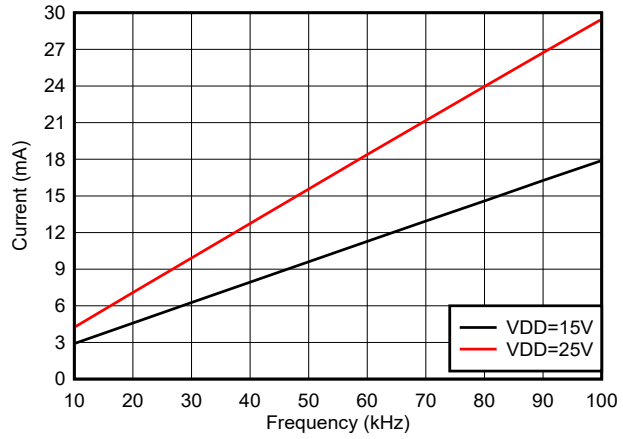


图 5-10. 每通道电流消耗 ($I_{VDDA/B}$) 与频率之间的关系（10nF 负载，VDD = 15V 或 25V）

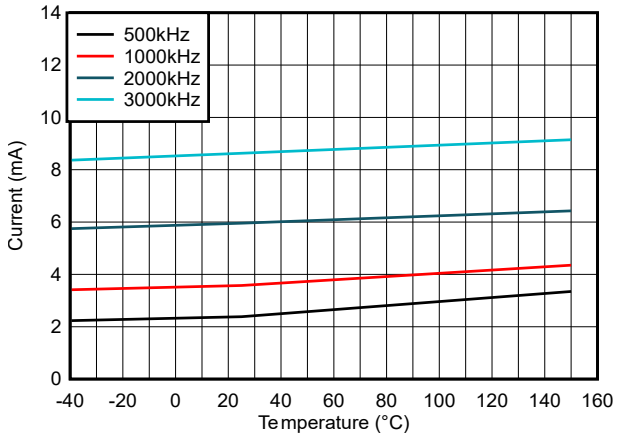


图 5-11. 每通道 ($I_{VDDA/B}$) 电源电流与温度之间的关系（无负载，不同的开关频率）

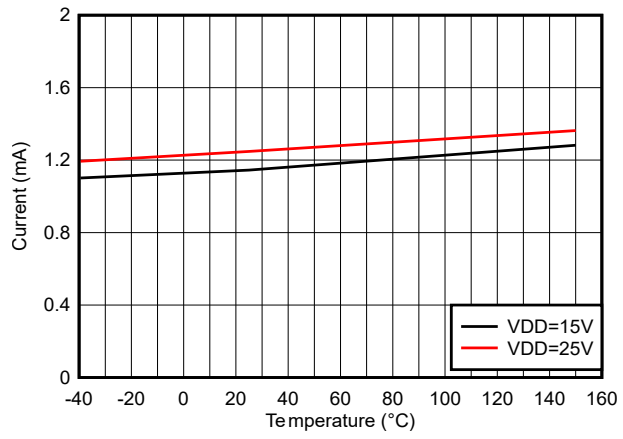


图 5-12. 每通道 ($I_{VDDA/B}$) 静态电源电流与温度之间的关系（无负载，低电平输入，无开关）

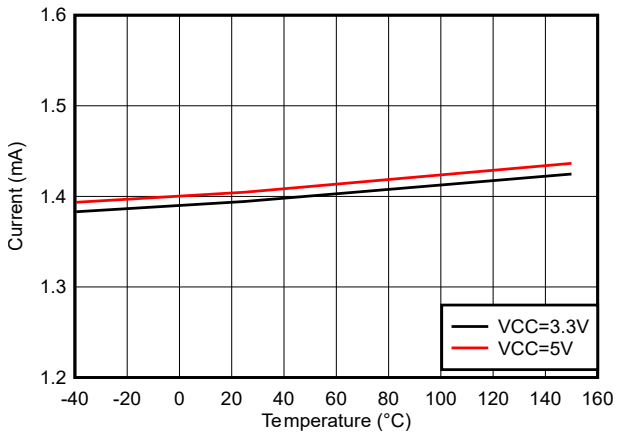


图 5-13. I_{VCCI} 静态电源电流与温度之间的关系（无负载，低电平输入，无开关）

Copyright © 2026 Texas Instruments Incorporated

5.11 典型特性（续）

VDDA = VDDB= 15V，VCCI = 3.3V，T_A = 25°C，无负载，除非另有说明。

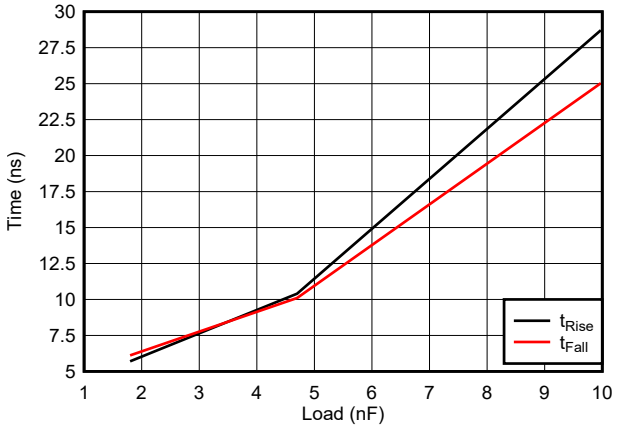


图 5-14. 上升和下降时间与负载间的关系 (VDD = 15V)

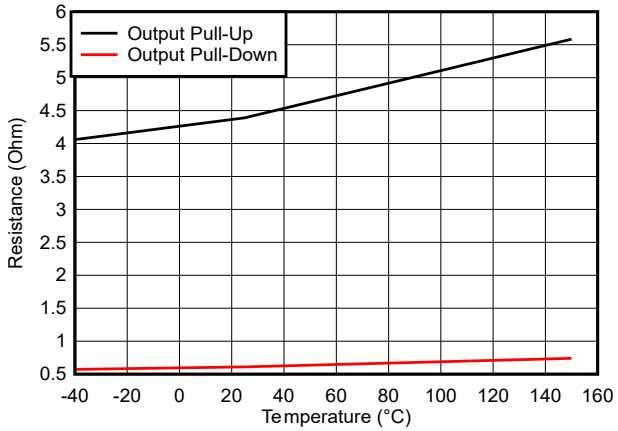


图 5-15. 输出电阻与温度之间的关系

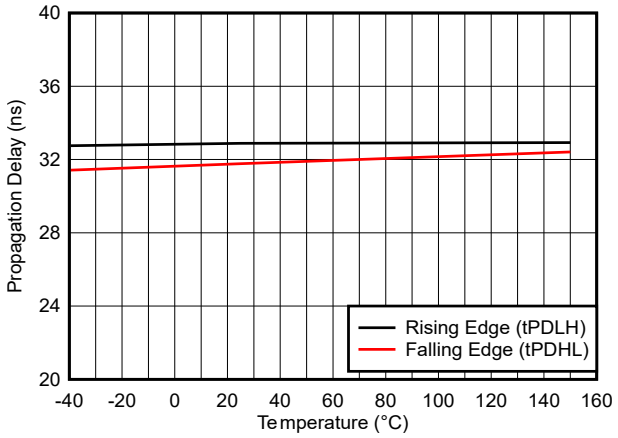


图 5-16. 传播延迟与温度间的关系

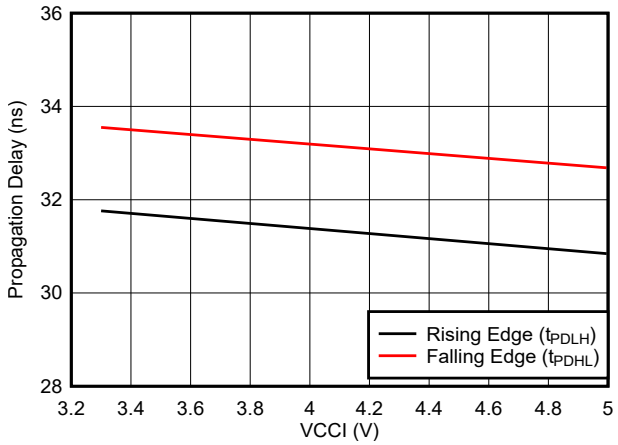


图 5-17. 传播延迟与 VCCI 之间的关系

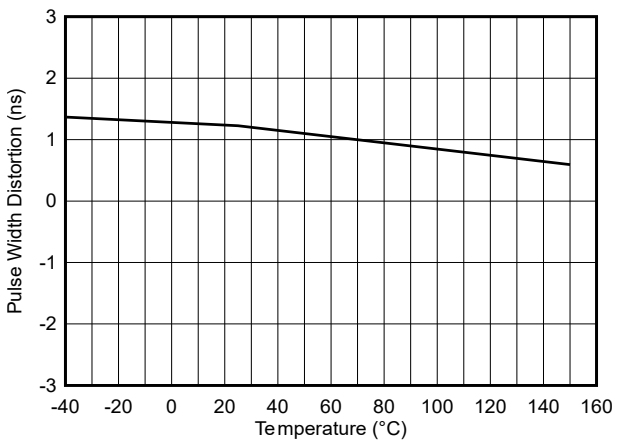


图 5-18. 脉宽失真度与温度之间的关系

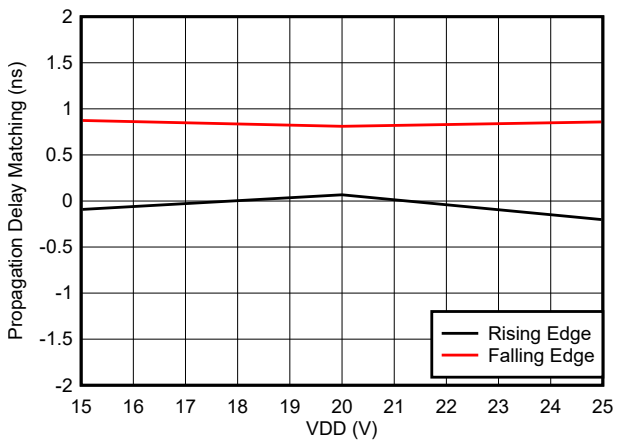


图 5-19. 传播延迟匹配 (t_{DM}) 与 VDD 之间的关系

Copyright © 2026 Texas Instruments Incorporated

5.11 典型特性（续）

VDDA = VDDB= 15V，VCCI = 3.3V，T_A = 25°C，无负载，除非另有说明。

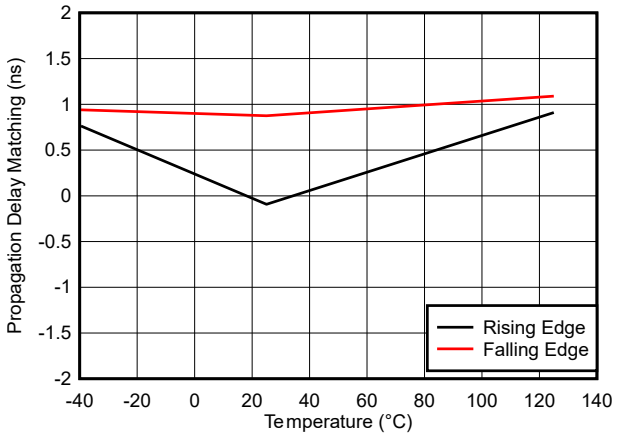


图 5-20. 传播延迟匹配 (t_{DM}) 与温度之间的关系

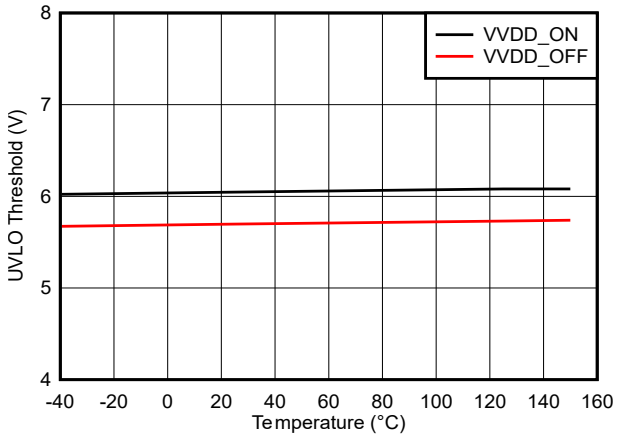


图 5-21. VDD 5V UVLO 阈值与温度间的关系

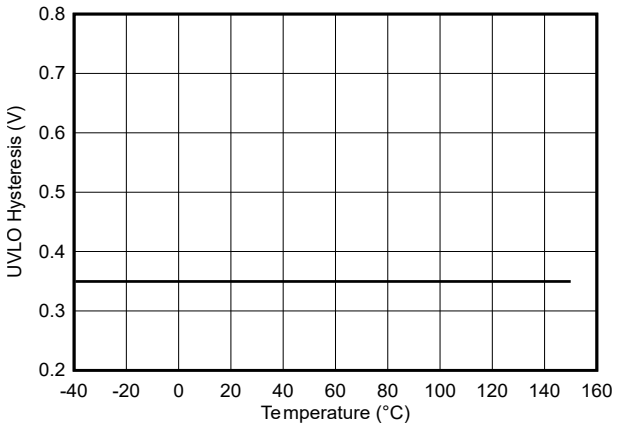


图 5-22. VDD 5V UVLO 迟滞与温度间的关系

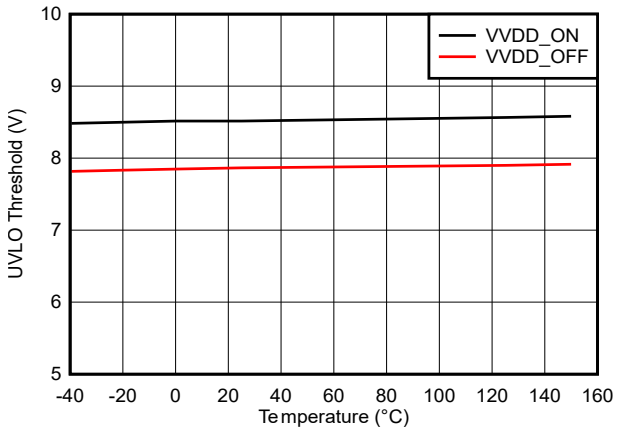


图 5-23. VDD 8V UVLO 阈值与温度之间的关系

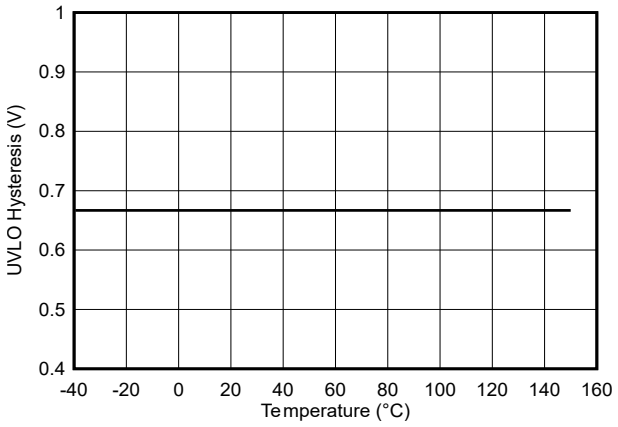


图 5-24. VDD 8V UVLO 迟滞与温度之间的关系

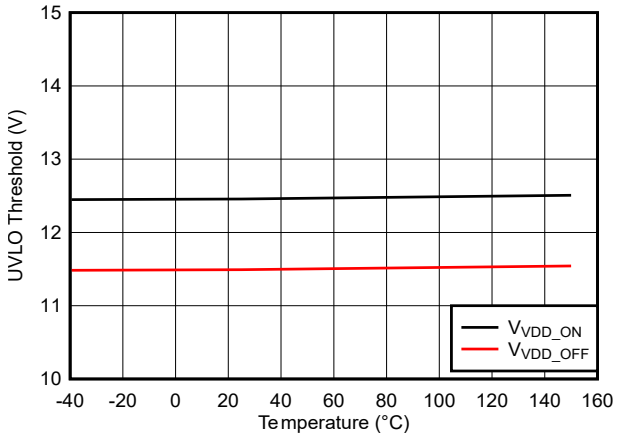


图 5-25. VDD 12V UVLO 阈值与温度之间的关系

Copyright © 2026 Texas Instruments Incorporated

5.11 典型特性（续）

VDDA = VDDB= 15V，VCCI = 3.3V，T_A = 25°C，无负载，除非另有说明。

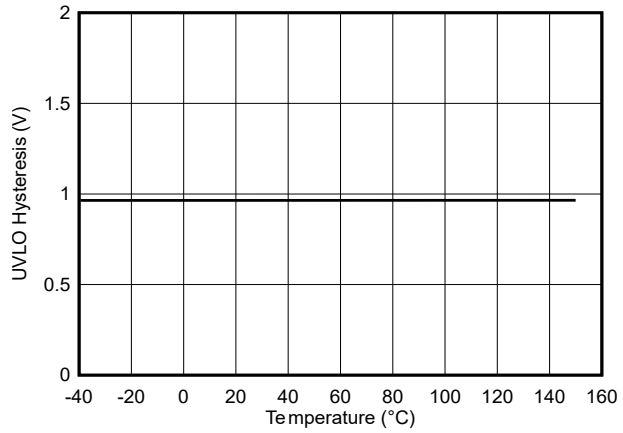


图 5-26. VDD 12V UVLO 迟滞与温度之间的关系

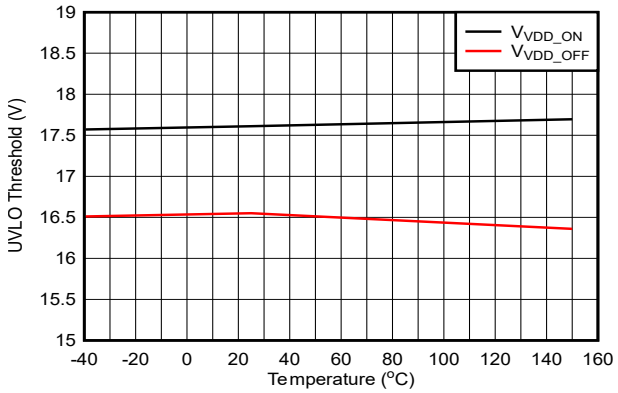


图 5-27. VDD 17-V UVLO 阈值与温度之间的关系

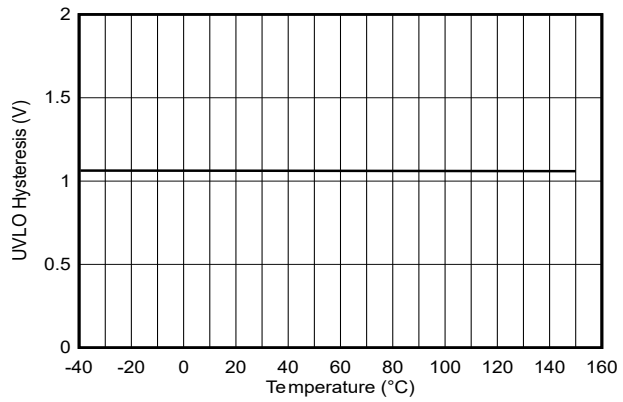


图 5-28. VDD 17-V UVLO 迟滞与温度之间的关系

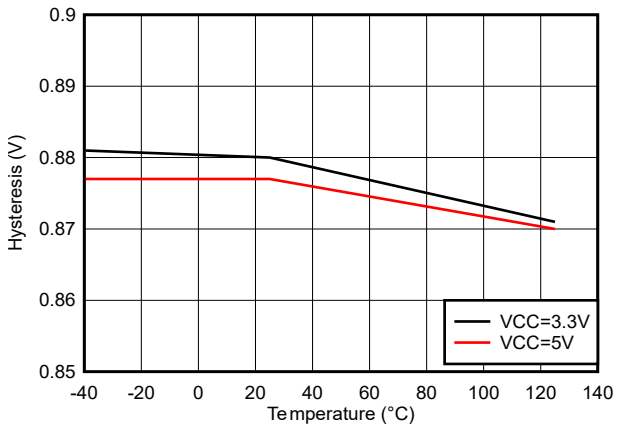


图 5-29. IN/EN 迟滞与温度之间的关系

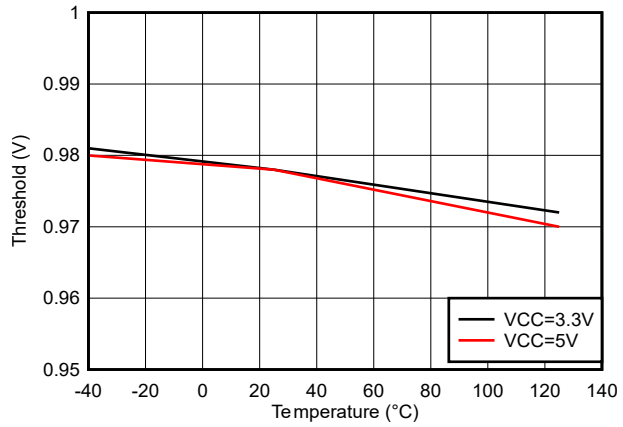


图 5-30. IN/EN 低阈值

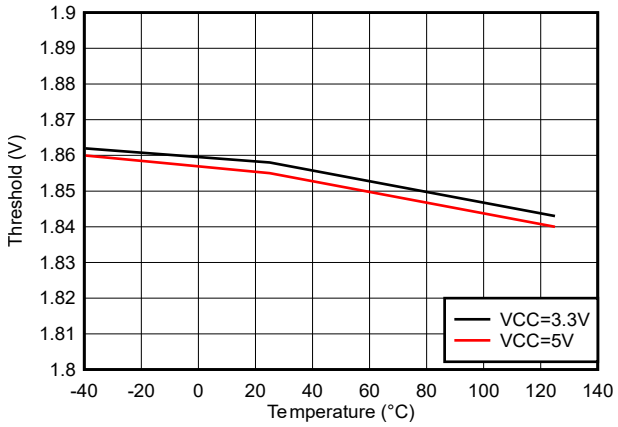


图 5-31. IN/EN 高阈值

Copyright © 2026 Texas Instruments Incorporated

5.11 典型特性（续）

VDDA = VDDB= 15V，VCCI = 3.3V，T_A = 25°C，无负载，除非另有说明。

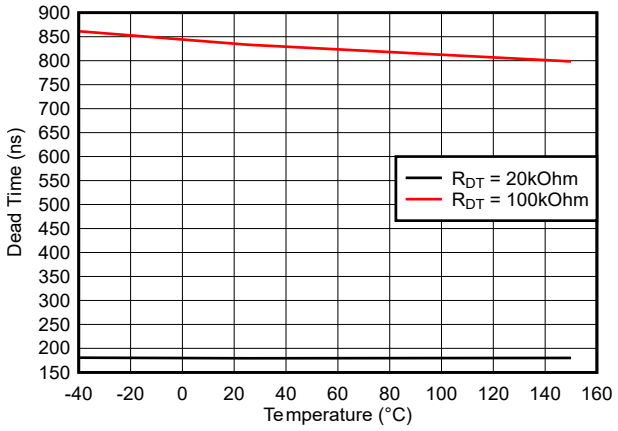


图 5-32. 死区时间与温度之间的关系（R_{DT} = 20kΩ 和 100kΩ）

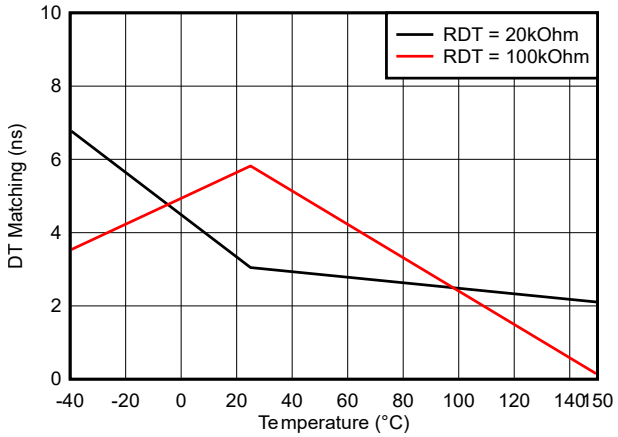


图 5-33. 死区时间匹配与温度之间的关系（R_{DT} = 20kΩ 和 100kΩ）

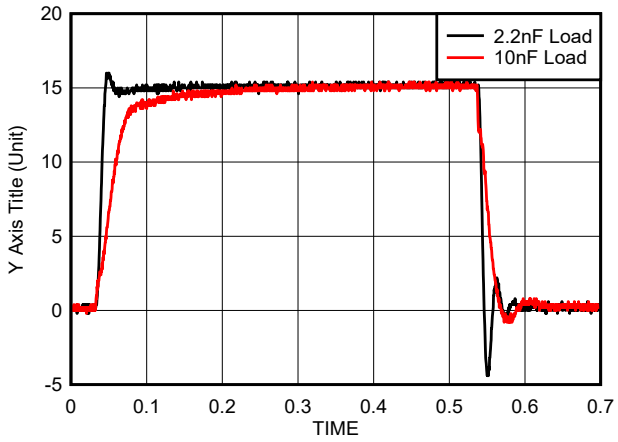


图 5-34. 典型输出波形

Copyright © 2026 Texas Instruments Incorporated

6 参数测量信息

6.1 传播延迟和脉宽失真度

图 6-1 显示了如何从通道 A 和 B 的传播延迟中计算脉宽失真度 (t_{PWD}) 和延迟匹配 (t_{DM})。要测量延迟匹配，两个输入必须同相，并且将 DT 引脚短接至 VCC 来禁用死区时间。

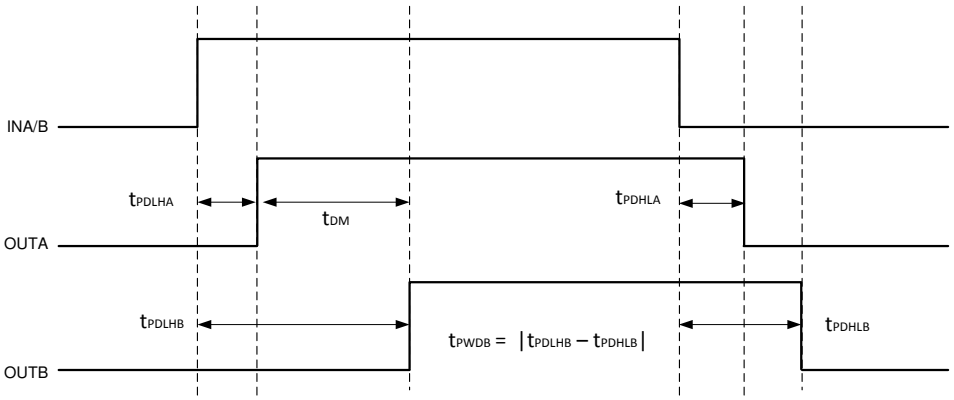


图 6-1. 重叠输入，禁用死区时间

6.2 上升至下降时间

图 6-2 显示了测量上升时间 (t_{RISE}) 和下降时间 (t_{FALL}) 的标准。有关如何实现较短上升时间和下降时间的更多信息，请参阅节 7.3.4。

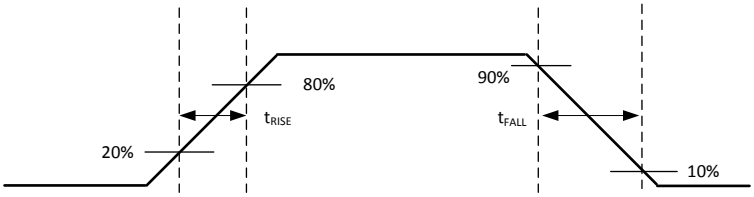


图 6-2. 上升时间和下降时间标准

6.3 输入和使能响应时间

图 6-3 显示了使能功能的响应时间。建议在将 EN 引脚连接到远距离微控制器时，在靠近 EN 引脚处放置 100pF 至 1nF 的低 ESR/ESL 电容器进行旁路。有关更多信息，请参阅节 7.4.1。

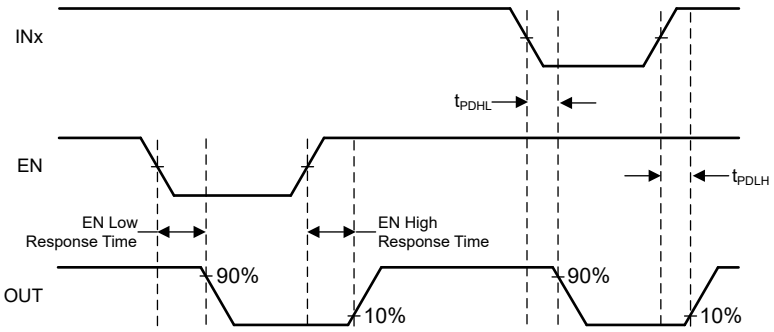


图 6-3. 使能引脚时序

Copyright © 2026 Texas Instruments Incorporated

6.4 可编程死区时间

保持 DT 引脚开路或通过适当的电阻 (R_{DT}) 将其连接至 GND 可设置死区时间间隔。有关死区时间的更多详细信息，请参阅节 7.4.2。

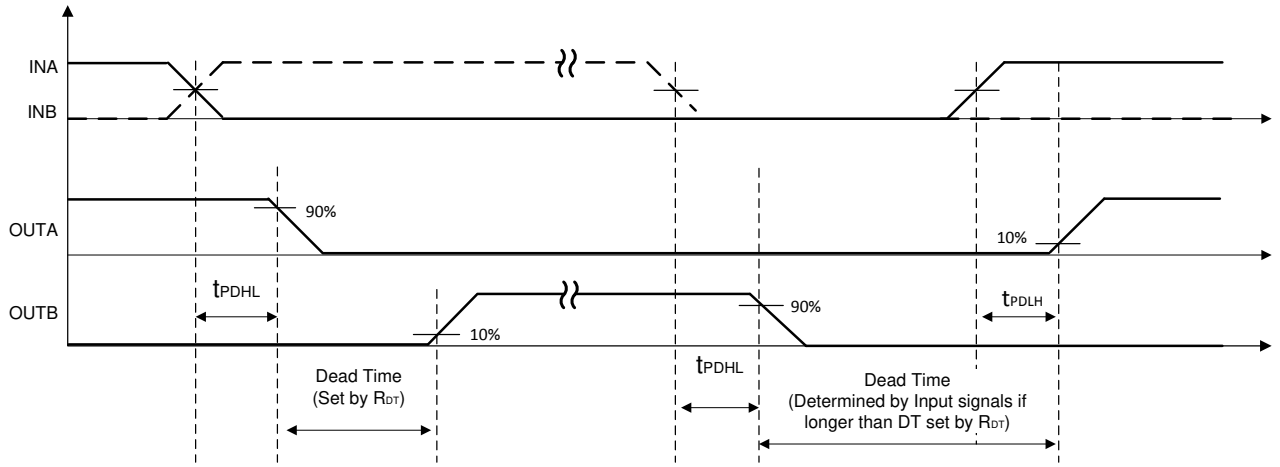


图 6-4. 死区时间开关参数

6.5 上电 UVLO 到输出延迟

在驱动器为提供适当的输出状态做好准备之前，UVLO 上升沿到输出之间存在上电延迟。对于 VCCI UVLO，此延迟定义为 $t_{VCCI+\ to\ OUT}$（通常为 42us），对于 VDD UVLO，此延迟定义为 $t_{VDD+\ to\ OUT}$（最大为 10us）。建议在驱动器的 VCCI 和 VDD 辅助电源准备就绪后，在启动 PWM 信号之前考虑适当的裕度。图 6-5 和图 6-6 展示了 VCCI 和 VDD 的加电 UVLO 延迟时序图。

如果 INA 或 INB 在 VCCI 或 VDD 超过其各自的导通阈值之前处于活动状态，则在 VCCI 或 VDD 超过其 UVLO 上升阈值后 $t_{VCCI+\ to\ OUT}$ 或 $t_{VDDx+\ to\ OUT}$ 之前，输出不会更新。但是，当 VCCI 或 VDD 收到的电压低于其各自的关断阈值时，在输出保持低电平之前，延迟小于 2μs，具体取决于电源引脚上的电压压摆率。这种不对称延迟旨在确保器件能够在 VCCI 或 VDD 断电期间安全运行。

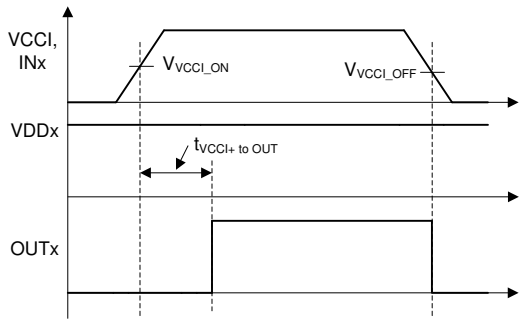


图 6-5. VCCI 上电 UVLO 延迟

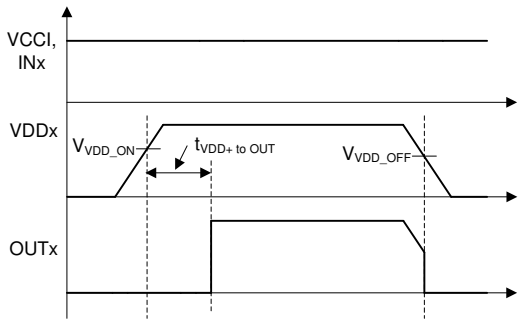


图 6-6. VDDA/B 上电 UVLO 延迟

6.6 CMTI 测试

图 6-7 是 CMTI 测试配置的简单示意图。

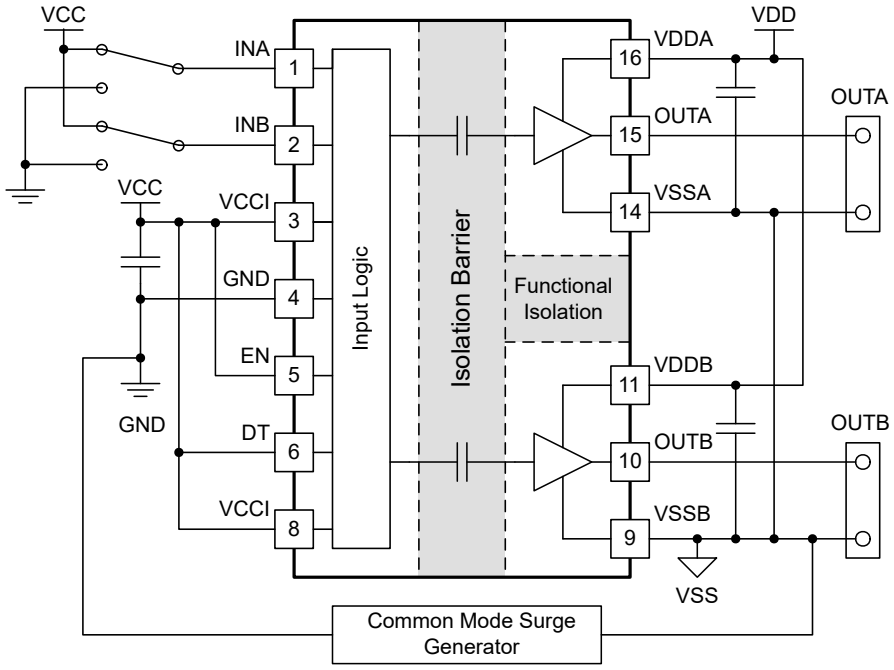


图 6-7. 简化的 CMTI 测试设置

Copyright © 2026 Texas Instruments Incorporated

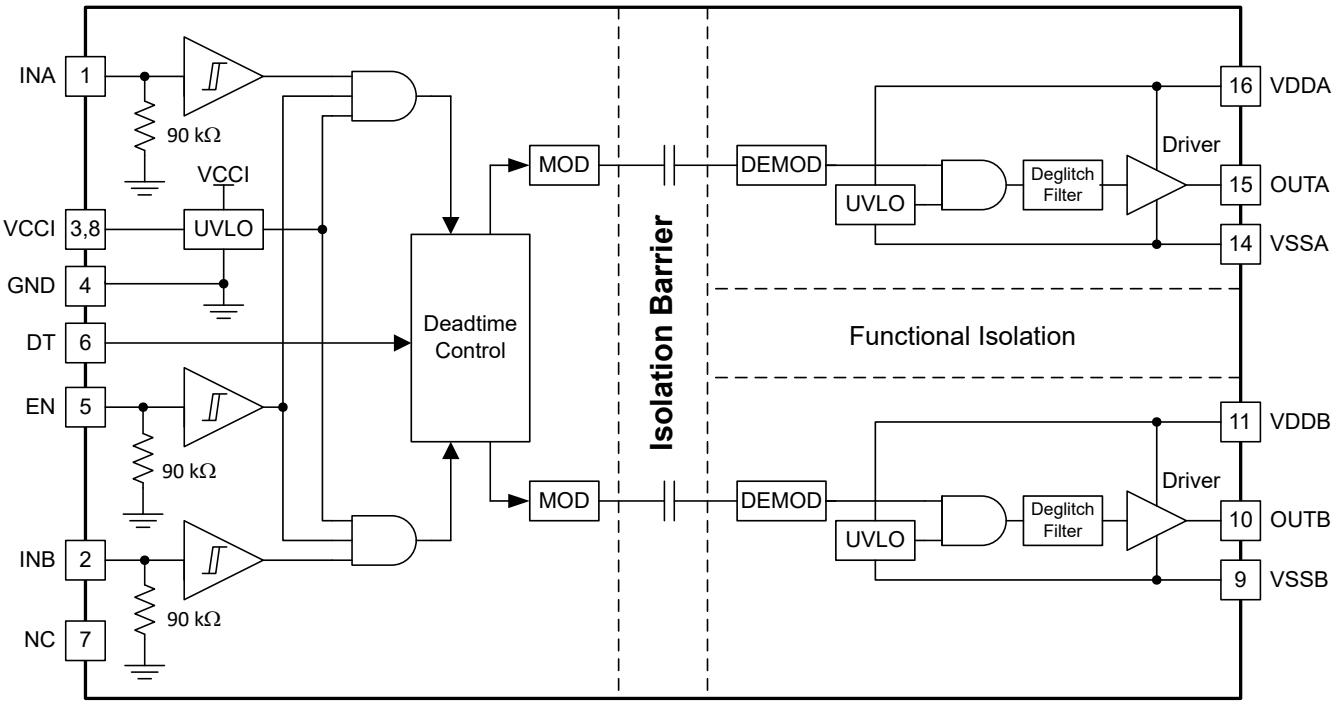
7 详细说明

7.1 概述

为了快速开关功率晶体管并减少开关功率损耗，通常会在控制器件的输出端和功率晶体管的栅极之间放置大电流栅极驱动器。在一些情况下，控制器无法提供足够的电流来驱动功率晶体管的栅极。在使用数字控制器的情况下尤其如此，因为来自数字控制器的输入信号通常是 3.3V 逻辑信号，只能提供几毫安的电流。

UCC21551x-Q1 是一款灵活的双路栅极驱动器，可以配置成支持各种电源和电机驱动拓扑，也可以驱动包含 SiC MOSFET 在内的多种类型的晶体管。该器件具有很多特性，能够与控制电路良好集成并能够保护所驱动的栅极，此类特性包括：电阻器可编程死区时间 (DT) 控制、在内部下拉的 EN 引脚以及输入和输出电压的欠压锁定 (UVLO)。当输入端保持开路时，或者输入脉宽不够时，UCC21551x-Q1 也会将其输出保持为低电平。驱动器输入端与 CMOS 和 TTL 兼容，可连接数字和模拟电源控制器等。每条通道均由其各自的输入引脚（INA 和 INB）控制，因此允许完全独立地控制每个输出。

7.2 功能方框图



Copyright © 2022, Texas Instruments Incorporated

7.3 特性说明

7.3.1 VDD、VCCI 和欠压锁定 (UVLO)

UCC21551x-Q1 在两路输出 VDD 和 VSS 引脚之间的电源电路块提供内部欠压锁定 (UVLO) 保护功能。当 VDD 偏置电压在器件启动后低于 V_{VDD_ON} 或在启动后低于 V_{VDD_OFF} 时，无论输入引脚（INA 和 INB）的状态如何，VDD UVLO 功能都会将受影响的输出保持为低电平。

当驱动器的输出级处于未偏置或 UVLO 状态时，驱动器输出通过限制驱动器输出上电压上升的有源钳位电路保持低电平（如图 7-1 所示）。在这种情况下，上部 PMOS 被 R_{Hi-Z} 阻断，而下部 NMOS 栅极通过 R_{CLAMP} 连接到驱动器输出端。在该配置下，输出被有效地钳位至下部 NMOS 器件的阈值电压，当没有辅助电源时，该阈值电压通常约为 1.5V。

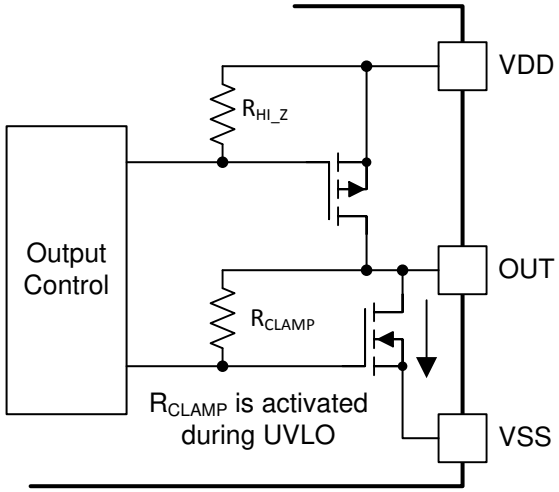


图 7-1. 有源下拉功能的简化表示

VDD UVLO 保护还具有迟滞功能 (V_{VDD_HYS})。当电源存在接地噪声时，该迟滞可防止抖动。得益于此，该器件还可以接受偏置电压小幅下降，这种情况在器件开始切换和工作电流消耗突然增加时必然会发生的。

UCC21551x-Q1 的输入侧还具有内部欠压锁定 (UVLO) 保护功能。除非电压 VCCI 在启动时超过 V_{VCCI_ON}，否则器件不会进入工作模式。当该引脚接收到低于 V_{VCCI_OFF} 的电压，信号将停止传输。而且，与用于 VDD 的 UVLO 相似，这里存在迟滞 (V_{VCCI_HYS}) 以确保稳定运行。

Copyright © 2026 Texas Instruments Incorporated

如果是 VDD，UCC21551x-Q1 的所有版本可承受的绝对上限为 30V；如果是 VCCI，可承受的绝对上限是 5.5V。

表 7-1. UCC21551x-Q1 VCCI UVLO 功能逻辑

条件	输入		输出	
	INA	INB	OUTA	OUTB
器件启动期间 VCCI-GND < V_{VCCI_ON}	H	L	L	L
器件启动期间 VCCI-GND < V_{VCCI_ON}	L	H	L	L
器件启动期间 VCCI-GND < V_{VCCI_ON}	H	H	L	L
器件启动期间 VCCI-GND < V_{VCCI_ON}	L	L	L	L
器件启动后 VCCI-GND < V_{VCCI_OFF}	H	L	L	L
器件启动后 VCCI-GND < V_{VCCI_OFF}	L	H	L	L
器件启动后 VCCI-GND < V_{VCCI_OFF}	H	H	L	L
器件启动后 VCCI-GND < V_{VCCI_OFF}	L	L	L	L

表 7-2. UCC21551x-Q1 VDD UVLO 功能逻辑

条件	输入		输出	
	INA	INB	OUTA	OUTB
器件启动期间 VDD-VSS < V_{VDD_ON}	H	L	L	L
器件启动期间 VDD-VSS < V_{VDD_ON}	L	H	L	L
器件启动期间 VDD-VSS < V_{VDD_ON}	H	H	L	L
器件启动期间 VDD-VSS < V_{VDD_ON}	L	L	L	L
器件启动后 VDD-VSS < V_{VDD_OFF}	H	L	L	L
器件启动后 VDD-VSS < V_{VDD_OFF}	L	H	L	L
器件启动后 VDD-VSS < V_{VDD_OFF}	H	H	L	L
器件启动后 VDD-VSS < V_{VDD_OFF}	L	L	L	L

7.3.2 输入和输出逻辑表

表 7-3. 输入/输出逻辑表 (1)

假设 VCCI、VDDA、VDDB 均已上电。有关各个 UVLO 工作模式的更多信息，请参阅 节 7.3.1。

输入		EN	输出		备注
INA	INB		OUTA	OUTB	
L	L	H	L	L	如果使用死区时间功能，则死区时间结束后会发生输出切换。请参阅 节 7.4.2
L	H	H	L	H	
H	L	H	H	L	
H	H	H	L	L	
H	H	H	H	H	DT 引脚保持开路或连接到 VCCI
保持开路	保持开路	H	L	L	-
X	X	低电平或保持开路	L	L	-

(1) “X”表示 L、H 或保留开路。

7.3.3 输入级

UCC21551x-Q1 的输入引脚（INA、INB 和 EN）基于兼容 TTL 和 CMOS 的输入阈值逻辑，该逻辑与 VDD 电源完全隔离。UCC21551x-Q1 具有典型值为 2V 的高电平阈值 (V_{INAH}) 和典型值为 1V 的低电平阈值，并且随温度变化很小，因此可以使用逻辑电平控制信号（例如来自 3.3V 微控制器）轻松地驱动输入引脚。由于具有 1V 的宽迟

Copyright © 2026 Texas Instruments Incorporated

滞 (V_{INA_HYS}），器件具有出色的抗噪性能并且运行稳定。如果任何输入保持开路，内部下拉电阻器会强制将对应引脚置于低电平。此类电阻器通常为 90kΩ（请参阅节 7.2）。但是，如果不使用输入，仍建议将其接地。

由于 UCC21551x-Q1 的输入侧与输出驱动器相隔离，因此允许用户为所选择的栅极选择最有效的 VDD。施加于 INA 或 INB 的任何信号的振幅*绝不*应超过 VCCI 的电压。

7.3.4 输出级

UCC21551x-Q1 输出级采用上拉结构，能够在最需要的时候提供峰值拉电流：在电源开关导通转换的米勒平坦区期间（此时电源开关漏极或集电极电压经历 dV/dt）。输出级上拉结构具备一个 P 沟道 MOSFET 与一个额外的*上拉* N 沟道 MOSFET（并联）。N 沟道 MOSFET 的功能是短暂增加峰值拉电流，从而实现快速导通。这是通过在输出状态从低电平变为高电平时，在短时间内短暂导通 N 沟道 MOSFET 来实现的。

R_{OH} 参数是直流测量值，仅代表 P 沟道器件的导通电阻。这是因为*上拉* N 沟道器件在直流条件下保持在关断状态，并且仅在输出状态从低电平变为高电平时短暂导通。该 N 沟道器件的导通电阻约为 1.47Ω。因此，在该短暂导通阶段，UCC21551x-Q1 上拉级的有效电阻是上拉 NMOS 和上拉 PMOS 之间的并联电阻，即 1.47Ω//5Ω，该值远低于 R_{OH} 参数所表示的值。R_{OH} 的值掩盖了 UCC21551x-Q1 开通时间的快速特性。

UCC21551x-Q1 中的下拉结构仅包含 N 沟道 MOSFET。R_{OL} 参数也是一项直流测量值，其表示器件中下拉状态下的阻抗。UCC21551x-Q1 的两个输出都能提供 4A 峰值拉电流和 6A 峰值灌电流脉冲。输出电压在 VDD 和 VSS 之间摆动提供轨到轨运行，这归功于提供极低压降的 MOS 输出级。

为了确保栅极驱动器稳健可靠地运行，请特别注意最小脉冲宽度。电气特性表中显示的最小脉冲宽度描述了在空载驱动器中传递到输出的最小输入脉冲。这是由驱动器 IC 中存在的抗尖峰脉冲滤波器决定的。需要比最大规格更长的输入开启或关闭脉冲宽度，才能保证输出状态改变并避免潜在的击穿。对于施加了负载的驱动器，必须采取额外的预防措施以确保系统稳健运行。在栅极开关期间，如果输出状态在驱动器完成每次转换之前发生变化，则会发生非零电流开关事件。与布局寄生效应相结合，非零电流开关可能会导致内部电源轨过冲和栅极驱动器的 EOS 损坏。因此，需要最小输出宽度来确保系统可靠运行。该最小输出脉冲宽度取决于多个因素：栅极电容、VDD 电源电压、栅极电阻和 PCB 布局寄生效应。稳健运行的最小脉冲宽度可能大于电气特性表中显示的最小脉冲宽度。应进行系统级研究，以确定每个系统所需的最小输出脉冲宽度。

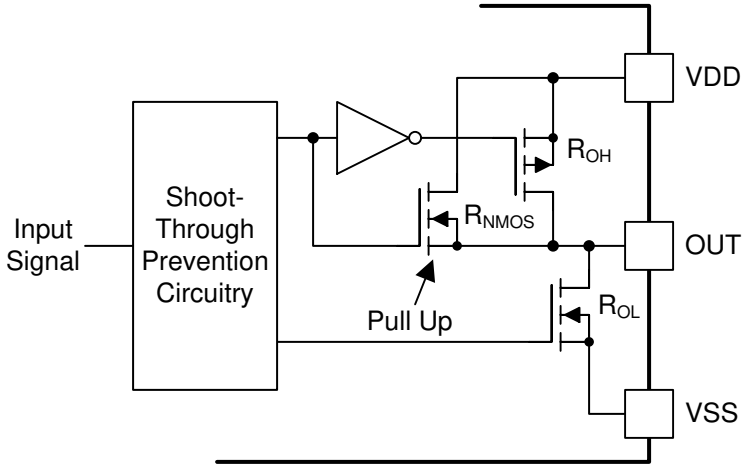


图 7-2. 输出级

Copyright © 2026 Texas Instruments Incorporated

7.3.5 UCC21551x-Q1 中的二极管结构

图 7-3 展示了 UCC21551x-Q1 的 ESD 保护元件中涉及的多个二极管。这提供了器件的绝对最大额定值的图形表示。

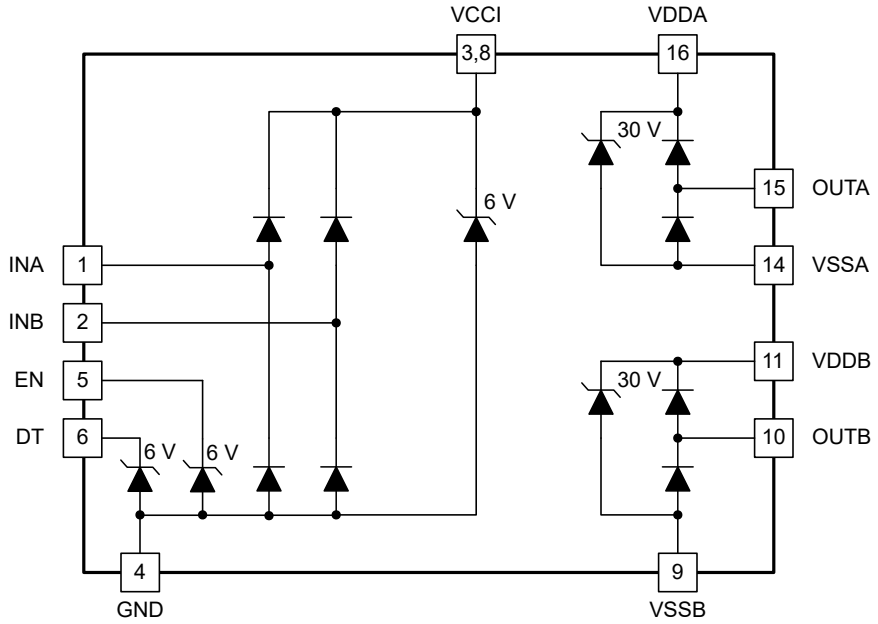


图 7-3. ESD 结构

7.4 器件功能模式

7.4.1 使能引脚

将 EN 引脚设为低电平（或保持开路），同时关闭两个输出。将 EN 引脚拉至高电平可使 UCC21551x-Q1 正常运行。EN 响应延迟具有 48ns 的典型值。只有当 VCCI 保持在 UVLO 阈值以上时，EN 引脚才起作用并且是必需的。如果不使用 EN 引脚，建议将此引脚连接至 VCCI，以实现更佳的抗噪性能，建议在使用长引线将 EN 连接到微控制器时，在靠近 EN 引脚处使用约 100pF 至 1nF 的低 ESR/ESL 电容器进行旁路。

7.4.2 可编程死区时间 (DT) 引脚

使用 UCC21551x-Q1，用户可通过以下方式调整死区时间 (DT)：

7.4.2.1 将 DT 引脚连接到 VCC

输出与输入完全匹配，因此不会置位死区时间。这允许将输出重叠。

7.4.2.2 DT 引脚连接至 DT 和 GND 引脚之间的编程电阻器

可通过在 DT 引脚和 GND 之间放置一个电阻器 R_{DT} 来对 t_{DT} 编程。可以根据 方程式 1 来确定合适的 R_{DT} 值，其中 R_{DT} 以 kΩ 为单位，t_{DT} 以 ns 为单位：

$$t_{DT} = 8.6 \times R_{DT} + 13 \quad (1)$$

当 R_{DT} = 100kΩ 时，DT 引脚电流将小于 10μA。不建议将 DT 引脚悬空。

一个输入信号下降沿会激活另一个信号的已编程死区时间。输出信号死区时间始终设置为驱动器编程的死区时间或输入信号的死区时间中的较长值。如果两个输入同时都处于高电平，则两个输出都将立即被设为低电平。此特性用于防止击穿，并且它并不影响正常运行所需的已编程设定的死区时间。节 7.3.2 显示并说明了各种驱动器死区时间逻辑工作条件：

Copyright © 2026 Texas Instruments Incorporated

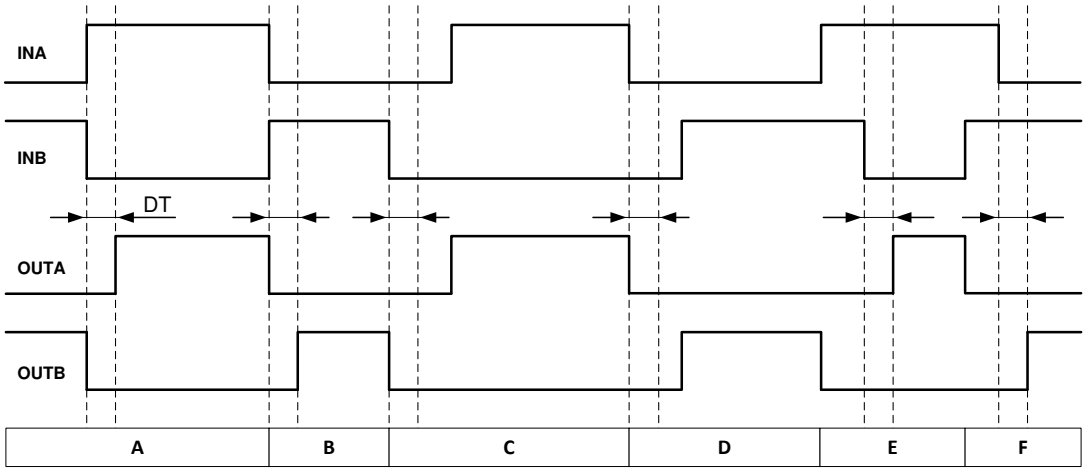


图 7-4. 各种输入信号条件下输入与输出逻辑之间的关系

条件 A：INB 变为低电平，INA 变为高电平。INB 立即将 OUTB 设为低电平并将已编程设定的死区时间分配给 OUTA。在已编程设定的死区时间后，OUTA 能够变为高电平。

条件 B：INB 变为高电平，INA 变为低电平。INA 现在立即将 OUTA 设为低电平并将已编程设定的死区时间分配给 OUTB。在已编程设定的死区时间后，OUTB 能够变为高电平。

条件 C：INB 变为低电平，INA 仍为低电平。INB 立即将 OUTB 设为低电平并为 OUTA 分配已编程死区时间。在这种情况下，输入信号的*自身*死区时间长于已编程死区时间。因此，当 INA 变为高电平时，INA 立即将 OUTA 设为高电平。

条件 D：INA 变为低电平，INA 仍为低电平。INA 立即将 OUTA 设为低电平并将已编程设定的死区时间分配给 OUTB。INB 的*自身*死区时间长于已编程死区时间。因此，当 INB 变为高电平时，INB 立即将 OUTB 设为高电平。

条件 E：INA 变为高电平，而 INB 和 OUTB 仍为高电平。为了避免击穿，INA 会立即将 OUTB 拉至低电平并使 OUTA 保持低电平状态。一段时间后，OUTB 变为低电平并将已编程设定的死区时间分配给 OUTA。OUTB 已经为低电平。在已编程设定的死区时间后，OUTA 能够变为高电平。

条件 F：INB 变为高电平，而 INA 和 OUTA 仍为高电平。为了避免击穿，INB 会立即将 OUTA 拉至低电平并使 OUTB 保持低电平状态。一段时间后，OUTA 变为低电平并将已编程设定的死区时间分配给 OUTB。OUTA 已经为低电平。在已编程设定的死区时间后，OUTB 能够变为高电平。

Copyright © 2026 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规范，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计实现，以确认系统功能。

8.1 应用信息

UCC21551x-Q1 有效地将隔离功能和缓冲器驱动功能结合在一起。UCC21551x-Q1（具有高达 5.5V 的 VCCI 和 25V 的 VDDA/VDDB）具有灵活的通用功能，这使得该器件能够用作 MOSFET、IGBT 或 SiC MOSFET 的低侧、高侧、高侧/低侧或半桥驱动器。UCC21551x-Q1 具有集成元件、高级保护功能（UVLO、死区时间和禁用）和经过优化的开关性能，使设计人员可以为企业、电信、汽车和工业应用打造更小、更强大的设计，并加快产品上市速度。

8.2 典型应用

图 8-1 中的电路显示了采用 UCC21551x-Q1 驱动典型半桥配置的参考设计，该参考设计可以用在多种常见的电源转换器拓扑中，例如同步降压、同步升压、半桥/全桥隔离式拓扑以及三相电机驱动应用。

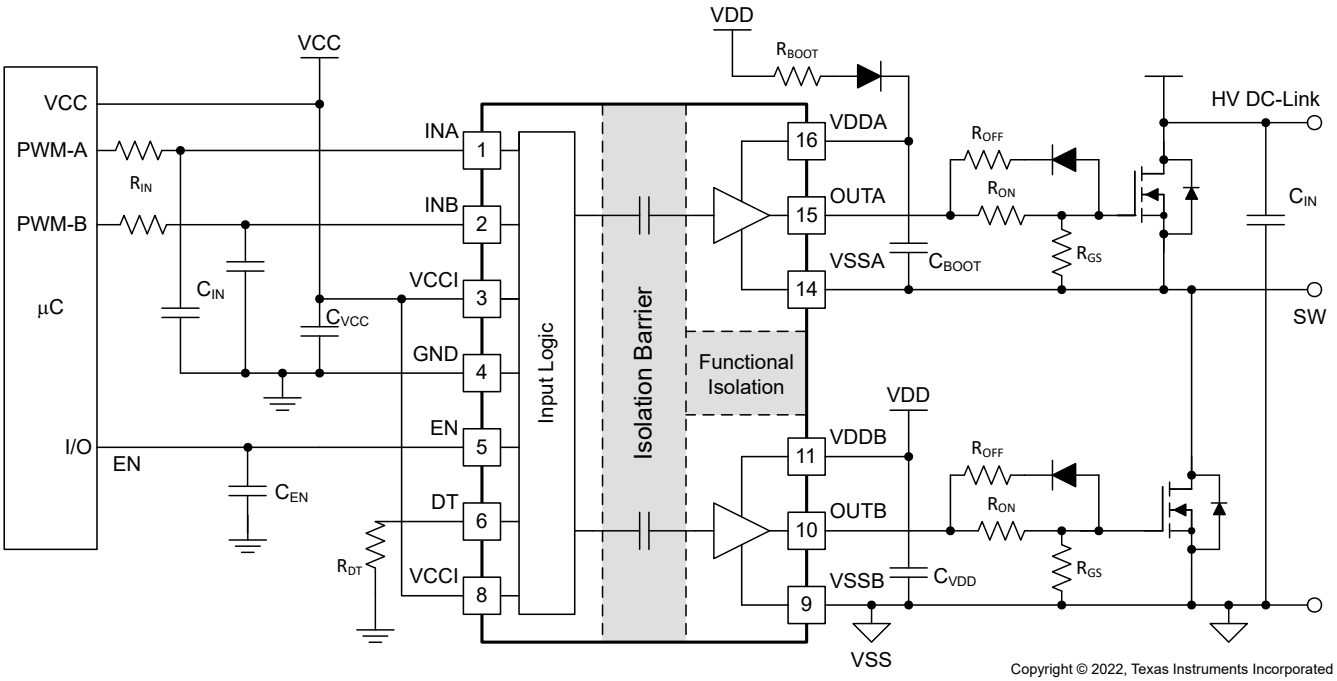


图 8-1. 典型应用原理图

8.2.1 设计要求

表 8-1 列出了示例应用的参考设计参数：UCC21551x-Q1 驱动采用高侧/低侧配置的 1200V SiC-MOSFET。

表 8-1. UCC21551x-Q1 设计要求

参数	值	单位
功率晶体管	C2M0080120D	-
VCC	5.0	V
VDD	20	V
输入信号振幅	3.3	V
开关频率 (f_s)	100	kHz
直流链路电压	800	V

8.2.2 详细设计过程

8.2.2.1 设计 INA/INB 输入滤波器

建议用户避免对输入栅极驱动器的信号进行整形以尝试减慢（或延迟）输出端的信号。然而，可以使用小型的输入 R_{IN}-C_{IN} 滤波器来滤除非理想布局或长 PCB 迹线引入的振铃。

此类滤波器应当使用 0Ω 至 100Ω 范围内的 R_{IN} 和 10pF 和 100pF 之间的 C_{IN}。在示例中，选择 R_{IN} = 51Ω 且 C_{IN} = 33 pF，转角频率约为 100 MHz。

在选择这些元件时，一定要注意在出色的抗噪性能与传播延迟之间进行权衡。

8.2.2.2 选择外部自举二极管及其串联电阻

每个周期，当低侧晶体管导通时，自举电容器会由 VDD 通过外部自举二极管进行充电。为电容器充电涉及到高峰值电流，因此自举二极管上的瞬态功率耗散可能会非常大。导通损耗还取决于二极管的正向压降。栅极驱动器电路中的总损耗包括二极管导通损耗和反向恢复损耗。

选择外部自举二极管时，建议选择高电压、快速恢复二极管或者具有低正向压降和低结电容的 SiC 肖特基二极管，以更大限度地减少反向恢复和相关接地噪声反弹引入的损耗。本例中，直流链路电压为 800 V_{DC}。自举二极管的电压等级应该大于直流链路电压并保留充分的裕度。因此，本例中选择了 1200V SiC 二极管 C4D02120E。

设计自举电源时，建议使用自举电阻 R_{BOOT}。自举电阻还可用于降低 D_{BOOT} 中的浪涌电流，并限制每个开关周期内 VDDA-VSSA 电压的斜升压摆率。

如不能将 VDDx-VSSx 的电压限制在 FET 和 UCC21551x-Q1 的绝对最大额定值以下，在某些情况下可能对器件造成损坏。

R_{BOOT} 的建议值在 1Ω 和 20Ω 之间，具体取决于所用的二极管。本例中选择了一个 2.2Ω 限流电阻器来限制自举二极管中的浪涌电流。在最坏的情况下，流经 D_{Boot} 的峰值电流估计为：

$$I_{DBoot(pk)} = \frac{V_{DD} - V_{BDF}}{R_{Boot}} = \frac{20V - 2.5V}{2.2\Omega} \approx 8A \quad (2)$$

其中

- V_{BDF} 是 8A 条件下自举二极管上的预计正向压降。

Copyright © 2026 Texas Instruments Incorporated

8.2.2.3 栅极驱动器输出电阻器

外部栅极驱动器电阻器 R_{ON}/R_{OFF} 用于：

1. 限制寄生电感/电容引起的振铃。
2. 限制高电压/电流开关 dv/dt、di/dt 和体二极管反向恢复引起的振铃。
3. 微调栅极驱动强度，例如峰值灌电流和拉电流，以优化开关损耗。
4. 降低电磁干扰 (EMI)。

如节 7.3.4 中所述，UCC21551x-Q1 具有包含并联 P 沟道 MOSFET 和额外*上拉* N 沟道 MOSFET 的上拉结构。组合的峰值拉电流为 4A。因此，可以使用以下公式来预测峰值拉电流：

$$I_{OA+} = \min\left(4A, \frac{V_{DD} - V_{BDF}}{R_{NMOS} \,||\, R_{OH} + R_{ON} + R_{GFET_Int}}\right) \tag{3}$$

$$I_{OB+} = \min\left(4A, \frac{V_{DD}}{R_{NMOS} \,||\, R_{OH} + R_{ON} + R_{GFET_Int}}\right) \tag{4}$$

其中

- V_{BDF} 是 8A 条件下自举二极管上的预计正向压降。
- R_{ON}：外部导通电阻。
- R_{GFET_INT}：功率晶体管内部栅极电阻（参见功率晶体管数据表）。
- I_{O+} = 峰值拉电流 – 4A、栅极驱动器峰值拉电流和基于栅极驱动回路电阻计算出的值之间的最小值。

在本例中：

$$I_{OA+} = \frac{V_{DD} - V_{BDF}}{R_{NMOS} \,||\, R_{OH} + R_{ON} + R_{GFET_Int}} = \frac{20V - 0.8V}{1.47\Omega \,||\, 5\Omega + 2.2\Omega + 4.6\Omega} \approx 2.4A \tag{5}$$

$$I_{OB+} = \frac{V_{DD}}{R_{NMOS} \,||\, R_{OH} + R_{ON} + R_{GFET_Int}} = \frac{20V}{1.47\Omega \,||\, 5\Omega + 2.2\Omega + 4.6\Omega} \approx 2.5A \tag{6}$$

因此，高侧和低侧峰值拉电流分别为 2.4A 和 2.5A。同样，可以使用以下公式来计算峰值灌电流：

$$I_{OA-} = \min\left(6A, \frac{V_{DD} - V_{BDF} - V_{GDF}}{R_{OL} + R_{OFF} \,||\, R_{ON} + R_{GFET_Int}}\right) \tag{7}$$

$$I_{OB-} = \min\left(6A, \frac{V_{DD} - V_{GDF}}{R_{OL} + R_{OFF} \,||\, R_{ON} + R_{GFET_Int}}\right) \tag{8}$$

其中

- R_{OFF}：外部关断电阻；
- V_{GDF}：与 R_{OFF} 串联的反向并联二极管的正向压降。本例中的二极管为 MSS1P4。
- I_{O-}：峰值灌电流 – 6A、栅极驱动器峰值灌电流和基于栅极驱动回路电阻计算出的值之间的最小值。

Copyright © 2026 Texas Instruments Incorporated

在本例中：

$$I_{OA-} = \frac{V_{DD} - V_{BDF} - V_{GDF}}{R_{OL} + R_{OFF} \,||\, R_{ON} + R_{GFET_Int}} = \frac{20V - 0.8V - 0.75V}{0.55\Omega + 0\Omega + 4.6\Omega} \approx 3.6A \quad (9)$$

$$I_{OB-=} \frac{V_{DD} - V_{GDF}}{R_{OL} + R_{OFF} \,||\, R_{ON} + R_{GFET_Int}} = \frac{20V\text{-}0.75V}{0.55\Omega + 0\Omega + 4.6\Omega} \approx 3.7A \quad (10)$$

因此，高侧和低侧峰值灌电流分别为 3.6A 和 3.7A。

重要的是，估算的峰值电流也受到 PCB 布局和负载电容的影响。栅极驱动器环路中的寄生电感可以减慢峰值栅极驱动电流并导致过冲和下冲。因此，强烈建议尽可能地缩小栅极驱动器环路。另一方面，当功率晶体管的负载电容 (C_{ISS}) 非常小（通常小于 1nF）时，峰值拉电流/灌电流取决于环路寄生效应，因为上升和下降时间太短，接近于寄生振铃周期。

如果不能将 OUTx 电压控制在数据表中的绝对最大额定值以下（包括瞬态），在某些情况下可能对器件造成损坏。若要减少过多的栅极振铃，建议在 FET 栅极附近放置一个铁氧体磁珠。存在扩展的过冲/下冲时，也可以使用外部钳位二极管，以便将 OUTx 电压钳位至 VDDx 和 VSSx 电压。

8.2.2.4 栅极至源极电阻器选择

当栅极驱动器输出未上电并处于不确定的状态时，建议使用栅极至源极电阻器 R_{GS} 将栅极下拉至源极电压。此电阻器还有助于在栅极驱动器能够导通并主动拉至低电平之前，降低米勒电流导致的由 dv/dt 引起的导通风险。该电阻器通常大小介于 5.1kΩ 和 20kΩ 之间，具体取决于功率器件的 Vth 和 C_{GD} 与 C_{GS} 之比。

8.2.2.5 估算栅极驱动器功率损耗

栅极驱动器子系统中的总损耗 P_G 包括 UCC21551x-Q1 (P_{GD}) 的功率损耗和外围电路（如外部栅极驱动电阻器）中的功率损耗。自举二极管损耗并未包含在 P_G 中，本节中也不对其进行讨论。

P_{GD} 是关键功率损耗，它决定了 UCC21551x-Q1 的热安全相关限值，可以通过计算几个分量产生的损耗来对其进行估算。

第一个分量是静态功率损耗 P_{GDQ}，其中包含驱动器在一定开关频率下工作时的静态功率损耗以及驱动器的自身功耗。P_{GDQ} 是在给定 VCCI、VDDA/VDDB、开关频率和环境温度下，在无负载连接到 OUTA 和 OUTB 时在台架上测量。在本例中，V_{VCCI} = 5V 且 V_{VDD} = 20V。当 INA/INB 以 100kHz 频率从 0V 切换至 3.3V 时，测得每个电源上的电流 I_{VCCI} = 2.5mA 且 I_{VDDA} = I_{VDDB} = 2.5mA。因此，可以通过以下公式计算 P_{GDQ}：

$$P_{GDQ} = V_{VCCI} \times I_{VCCI} + V_{VDDA} \times I_{DDA} + V_{VDDB} \times I_{DDB} = 112.5mW \quad (11)$$

第二个分量是开关操作损耗 P_{GDO}，此时具有给定的负载电容，驱动器在每个开关周期中对其进行充电和放电。负载开关产生的总动态损耗 P_{GSW} 可以通过以下公式进行估算：

$$P_{GSW} = 2 \times V_{DD} \times Q_G \times f_{SW} \quad (12)$$

其中

- Q_G 是功率晶体管的栅极电荷。

如果使用分离电源轨进行开启和关闭，则 VDD 将等于正电源轨和负电源轨之间的差值。

因此，在本应用示例中：

$$P_{GSW} = 2 \times 20V \times 60nC \times 100kHz = 240mW \quad (13)$$

Copyright © 2026 Texas Instruments Incorporated

Q_G 表示功率晶体管在以 20A 的电流和 800V 的电压进行开关时的总栅极电荷，该电荷随测试条件的变化而变化。输出级上的 UCC21551x-Q1 栅极驱动器损耗 P_{GDO} 是 P_{GSW} 的一部分。如果外部栅极驱动器电阻为 0Ω，则 P_{GDO} 将等于 P_{GSW}，并且所有栅极驱动器损耗都将在 UCC21551x-Q1 内耗散。如果存在外部导通和关断电阻，则总损耗将分布在栅极驱动器上拉/下拉电阻和外部栅极电阻之间。重要的是，如果拉电流/灌电流未达到 4A/6A 饱和值，则上拉/下拉电阻是线性的固定电阻，然而，如果拉电流/灌电流达到饱和，它将是非线性的。因此，P_{GDO} 在这两种情形下是不同的。

案例 1 - 线性上拉/下拉电阻器：

$$P_{GDO} = \frac{P_{GSW}}{2} \times \left(\frac{R_{OH} \,||\, R_{NMOS}}{R_{OH} \,||\, R_{NMOS} + R_{ON} + R_{GFET_Int}} + \frac{R_{OL}}{R_{OL} + R_{OFF} \,||\, R_{ON} + R_{GFET_Int}} \right) \tag{14}$$

在此设计示例中，所有预测的拉电流/灌电流均小于 4A/6A，因此可以使用以下公式来估算 UCC21551x-Q1 栅极驱动器损耗：

$$P_{GDO} = \frac{240mW}{2} \times \left(\frac{5\Omega \,||\, 1.47\Omega}{5\Omega \,||\, 1.47\Omega + 2.2\Omega + 4.6\Omega} + \frac{0.55\Omega}{0.55\Omega + 0\Omega + 4.6\Omega)} \right) \approx 30mW \tag{15}$$

案例 2 - 非线性上拉/下拉电阻器：

$$P_{GDO} = 2 \times f_{SW} \times \left[4A \times \int_0^{T_{R_Sys}} \left(V_{DD} - V_{OUTA/B}(t) \right) dt + 6A \times \int_0^{T_{F_Sys}} V_{OUTA/B}(t)\, dt \right] \tag{16}$$

其中

- $V_{OUTA/B}(t)$ 为栅极驱动器 OUTA 和 OUTB 引脚在导通和关断瞬变期间的电压，它可以简化为恒流源（在导通时为 4A，在关断时为 6A）对负载电容器进行充电或放电。因此，$V_{OUTA/B}(t)$ 波形将是线性的，可以轻松地预测 T_{R_Sys} 和 T_{F_Sys}。

对于某些情形，如果只有一个上拉或下拉电路饱和，而另一个未饱和，则 P_{GDO} 是案例 1 和案例 2 的组合，基于上述讨论，可以轻松地确定上拉和下拉的方程。因此，栅极驱动器 UCC21551x-Q1 中的总栅极驱动器损耗 P_{GD} 为：

$$P_{GD} = P_{GDQ} + P_{GDO} \tag{17}$$

在本设计示例中该值等于 142.5 mW。

8.2.2.6 估算结温

UCC21551x-Q1 的结温 (T_J) 可通过以下公式估算：

$$T_J = T_C + \Psi_{JT} \times P_{GD} \tag{18}$$

其中

- T_C 是用热电偶或其他仪器测得的 UCC21551x-Q1 外壳温度，
- Ψ_{JT} 是结至顶部特征参数。

使用结至顶特征参数 (Ψ_{JT}) 代替结至外壳热阻 ($R_{\Theta JC}$) 可以极大地提高结温估算的准确性。大多数 IC 的大部分热能通过封装引线释放到 PCB 中，而只有一小部分的总能量通过外壳顶部（通常在此处进行热电偶测量）释放。只有在大部分热能通过外壳释放时才能有效地使用 $R_{\Theta JC}$ 电阻，例如金属封装或在 IC 封装上应用散热器时。在所有其他情况下，使用 $R_{\Theta JC}$ 将无法准确地估算真实的结温。Ψ_{JT} 是通过假设通过 IC 顶部的能量在测试环境和应用环

Copyright © 2026 Texas Instruments Incorporated

境中相似而通过实验得出的。只要遵循建议的布局指南就可以将结温估算精确到几摄氏度内。有关更多信息，请参阅*“半导体和 IC 封装热指标”应用报告*。

8.2.2.7 选择 VCCI、VDDA/B 电容器

用于 VCCI、VDDA 和 VDDB 的旁路电容器对于实现可靠的性能至关重要。建议选择具有额定电压、温度系数和电容差足够的低 ESR 和低 ESL、表面贴装型多层陶瓷电容器 (MLCC)。重要的是，MLCC 上的直流偏置将会影响实际电容值。例如，当施加 15V_{DC} 的直流偏置时，测得 25V、1μF X7R 电容器的电容仅为 500 nF。

8.2.2.7.1 选择 VCCI 电容器

连接到 VCCI 的旁路电容器支持初级逻辑所需的瞬态电流以及总电流消耗，后者仅为几 mA。因此，该应用建议使用 100nF 以上的 50V MLCC。如果偏置电源输出与 VCCI 引脚的距离相对较长，则应使用值大于 1 μF 的钽或电解电容器与 MLCC 并联放置。

8.2.2.7.2 选择 VDDA（自举）电容器

VDDA 电容器在自举电源配置中也称为*自举电容器*，用于支持高达 6A 的栅极驱动电流瞬变并需要为功率晶体管维持稳定的栅极驱动电压。

每个开关周期所需的总电荷可以通过以下公式进行估算：

$$Q_{Total} = Q_G + \frac{I_{VDD}}{f_{sW}} = 60nC + \frac{2.5mA}{100kHz} = 85nC \quad (19)$$

其中

- Q_{Total}：所需总电荷
- Q_G：功率晶体管的栅极电荷。
- I_{VDD}：100kHz、空载条件下通道自身的电流消耗。
- f_{SW}：栅极驱动器的开关频率

因此，所需的 C_{Boot} 绝对最小值如下：

$$C_{Boot} = \frac{Q_{Total}}{\Delta V_{VDDA}} = \frac{85nC}{0.5V} = 170nF \quad (20)$$

其中

- ΔV_{VDDA} 是 VDDA 处的电压纹波，在本例中为 0.5V。

在实践中，C_{Boot} 的值要大于计算所得的值。这样便允许存在直流偏置电压导致的电容变化，以及支持功率级原本会因负载瞬态而跳过一些脉冲的情况。因此，建议在 C_{Boot} 值中包含一定的安全相关裕量，并将该电容器尽可能靠近 VDD 和 VSS 引脚放置。本例中选择了一个 50V、1μF 电容器。

$$C_{Boot} = 1\mu F \quad (21)$$

选择自举电容器时，应注意确保 VDD 至 VSS 的电压不会降至“建议运行条件”一节中所建议的最低工作电平以下。应相应地调整自举电容器的值，使其可以提供初始电荷来开关功率器件，然后在高侧导通期间持续提供栅极驱动器静态电流。

如果高侧电源电压降至 UVLO 下降阈值以下，高侧栅极驱动器输出将关断并会关闭功率器件。如果以不受控的方式硬开关功率器件，则会导致驱动器输出端出现高 di/dt 和高 dv/dt 瞬态，并可能对器件造成损坏。

若要进一步降低宽频率范围内的交流阻抗，建议靠近 VDDx - VSSx 引脚放置具有低 ESL/ESR 的旁路电容器。本例中将一个 100nF、X7R 陶瓷电容器与 C_{Boot} 并联来优化瞬态性能。

Copyright © 2026 Texas Instruments Incorporated

备注

过大的 C_{BOOT} 并不总是可取的。在前几个周期内，C_{BOOT} 可能并不会充电，而 V_{BOOT} 会保持在 UVLO 以下。因此，高侧 FET 并不会跟随输入信号命令。另外在初始 C_{BOOT} 充电周期期间，自举二极管具有最高的反向恢复电流和损耗。

8.2.2.7.3 选择 VDDB 电容器

通道 B 具有与通道 A 相同的电流要求，因此需要 VDDB 电容器（在图 8-1 中显示为 C_{VDD}）。在这个采用自举配置的示例中，VDDB 电容器还通过自举二极管为 VDDA 供电。这里为 C_{VDD} 选择了一个 50V、10 μF MLCC 和一个 50V、220 nF MLCC。如果偏置电源输出与 VDDB 引脚的距离相对较长，则应使用值大于 10 μF 且与 CVDD 并联的钽或电解电容器。

8.2.2.8 死区时间设置指南

对于采用半桥的电源转换器拓扑，顶部和底部晶体管之间的死区时间设置有助于防止在动态开关期间发生击穿。

电气表中的 UCC21551x-Q1 死区时间规格定义为从一个通道下降沿的 90% 到另一个通道上升沿的 10% 的时间间隔（请参阅图 6-4）。此定义可确保死区时间设置与负载条件无关，并通过制造测试确保线性度。但是，该死区时间设置可能不会反映功率转换器系统中的死区时间，因为死区时间设置取决于外部栅极驱动接通/关断电阻器、直流链路开关电压/电流以及负载晶体管的输入电容。

以下是有关如何为 UCC21551x-Q1 选择合适死区时间的建议：

$$DT_{Setting} = DT_{Req} + T_{F_Sys} + T_{R_Sys} - T_{D(on)} \tag{22}$$

其中

- $DT_{setting}$：UCC21551x-Q1 死区时间设置（单位为 ns），$DT_{Setting}$ = 8.6 × RDT（单位为 kΩ）+ 13。
- DT_{Req}：具有足够裕度或 ZVS 要求的顶部和底部开关的实际 V_{GS} 信号之间的系统所需死区时间。
- T_{F_Sys}：在负载、电压/电流条件最坏的情况下，系统内栅极关断下降时间。
- T_{R_Sys}：在负载、电压/电流条件最坏的情况下，系统内栅极导通上升时间。
- $T_{D(on)}$：导通延迟时间，从晶体管栅极信号的 10% 到功率晶体管栅极阈值。

应注意，UCC21551x-Q1 死区时间设置由 DT 引脚配置决定（请参阅 节 7.4.2），它无法根据系统条件自动微调死区时间。

8.2.2.9 具有输出级负偏置的应用电路

当非理想 PCB 布局和较长的封装引线（例如 TO-220 和 TO-247 型封装）引入寄生电感时，功率晶体管的栅极源驱动电压在高 di/dt 和 dv/dt 开关期间可能会出现振铃。如果振铃超过阈值电压，就有意外导通甚至发生击穿的风险。在栅极驱动上施加负偏置是一种可以将振玲保持在阈值以下的常用方法。下面是实现负栅极驱动偏置的几个例子。

图 8-2 展示了通过在隔离式电源输出级使用齐纳二极管来在通道 A 驱动器上生成负偏置关断的第一个例子。负偏置由齐纳二极管电压设置。如果隔离式电源 V_A 等于 25 V，则关断电压为 –5.1V，导通电压为 25 V – 5.1V ≈ 20 V。通道 B 驱动器电路与通道 A 的相同，因此该配置需要两个用于半桥配置的电源，并且 R_Z 上存在稳态功耗。

Copyright © 2026 Texas Instruments Incorporated

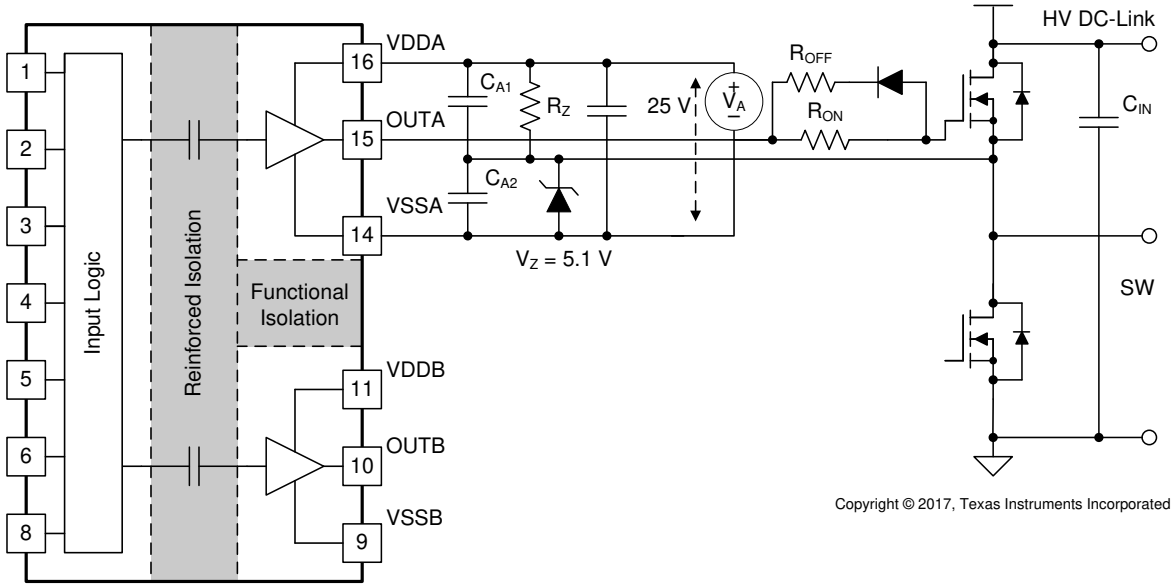


图 8-2. 利用 ISO 偏置电源输出上的齐纳二极管生成负偏置

图 8-3 展示了采用两个电源（或单输入双输出电源）的另一个例子。电源 V_{A+} 决定正驱动输出电压，而 V_{A-} 决定负关断电压。通道 B 的配置与通道 A 的相同。此解决方案所需的电源数量要比第一个例子中的多，不过它在设置正负电源轨电压时提供了更大的灵活性。

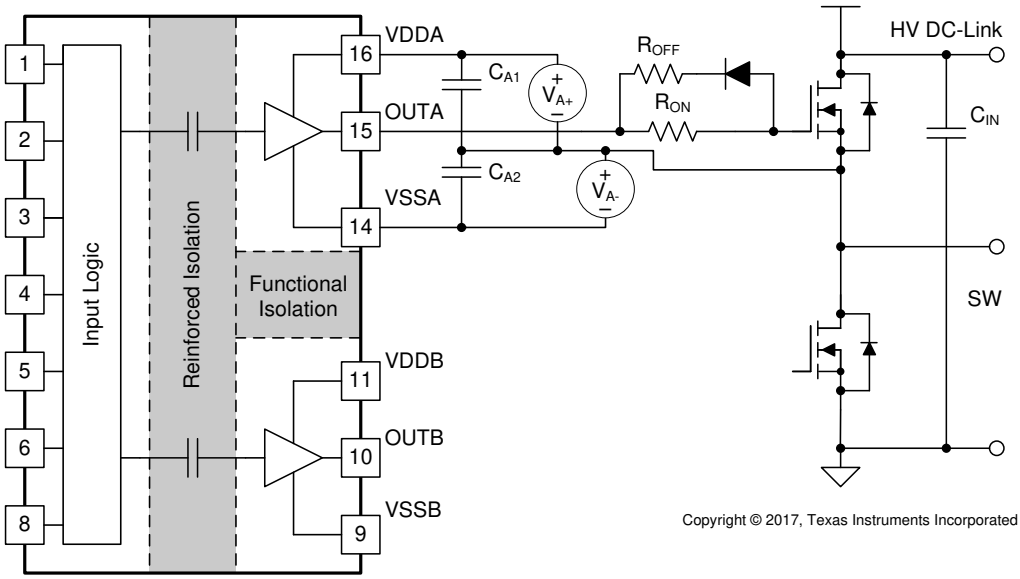


图 8-3. 利用两个 LSO 偏置电源生成负偏置

如图 8-4 所示，最后一个例子是单电源配置，并通过栅极驱动环路中的齐纳二极管来生成负偏置。此解决方案的优势是只使用一个电源，并且自举电源可用于高侧驱动。在这三种解决方案中，此设计的成本最低，所需设计工作量也最少。不过，此解决方案有以下局限性：

1. 负栅极驱动偏置不仅由齐纳二极管决定，而且还由占空比决定，这意味着负偏置电压会随着占空比的变化而变化。因此，在此解决方案中，使用变频谐振转换器或相移转换器等具有固定占空比（约 50%）的转换比较有利。

Copyright © 2026 Texas Instruments Incorporated

2. 高侧 VDDA-VSSA 必须维持足够的电压来保持在建议的电源电压范围内，这意味着低侧开关必须导通或在体（或反向并联）二极管上存在续流电流，以便在每个开关周期的特定时期内刷新自举电容器。因此，除非像其他两个示例电路那样，高侧也使用专用电源，否则高侧无法实现 100% 占空比。

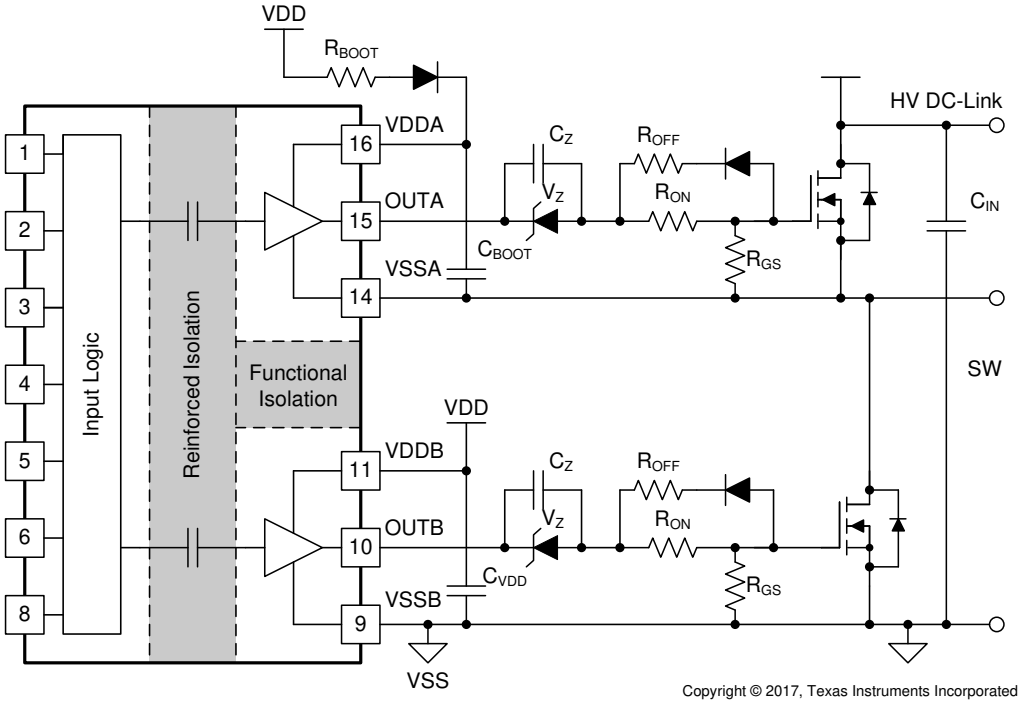


图 8-4. 使用单电源和栅极驱动路径上的齐纳二极管产生负偏置

8.2.3 应用曲线

图 8-5 展示了以下条件下图 8-1 所示设计示例的基准测试波形：VCC = 5V、VDD = 20V、f_{SW} = 100kHz 且 $V_{DC-Link}$ = 0V。

通道 1（黄色）： UCC21551x-Q1 INA 引脚信号。

通道 2（蓝色）：UCC21551x-Q1 INB 引脚信号。

通道 3（粉色）：高侧功率晶体管上的栅极源信号。

通道 4（绿色）：低侧功率晶体管上的栅极源信号。

图 8-5. INA/B 和 OUTA/B 的台架测试波形

Copyright © 2026 Texas Instruments Incorporated

9 电源相关建议

UCC21551x-Q1 的建议输入电压 (VCCI) 介于 2.7V 和 5.5V 之间。输出辅助电源电压 (VDDA/VDDB) 范围取决于所使用的 UCC21551x-Q1 版本。该辅助电源电压范围的下限由各器件的内部欠压锁定 (UVLO) 保护功能决定。VDD 和 VCCI 不得低于其各自的 UVLO 阈值（更多有关 UVLO 的信息，请参阅节 7.3.1）。VDDA/VDDB 范围的上限取决于由 UCC21551x-Q1 驱动的功率器件的最大栅极电压，建议的最大 VDDA/VDDB 为 25V。

应当在 VDD 和 VSS 引脚之间放置一个本地旁路电容器。该电容器应尽量靠近器件放置。建议使用低 ESR 的陶瓷表面贴装电容器。进一步建议并联放置两个这样的电容器：其中一个的值约为 10μF，用于器件偏置；另一个为≤100nF 电容器，用于高频滤波。

同样地，还应在 VCCI 和 GND 引脚之间放置一个旁路电容器。假设 UCC21551x-Q1、 输入侧逻辑电路汲取的电流很小，那么该旁路电容器可以使用 100nF 的建议最小值。

Copyright © 2026 Texas Instruments Incorporated

10 布局

10.1 布局指南

必须密切关注 PCB 布局，以便实现 UCC21551x-Q1 的出色性能。下面是一些要点。

元件放置：

- 必须在 VCCI 和 GND 引脚之间以及 VDD 和 VSS 引脚之间靠近器件的位置连接低 ESR 和低 ESL 电容器，以在外部功率晶体管导通时支持高峰值电流。
- 为了避免开关节点 VSSA (HS) 引脚上产生较大的负瞬态，必须尽可能减小顶部晶体管源极和底部晶体管源极之间的寄生电感。
- 建议将死区时间设置电阻 R_{DT} 及其旁路电容靠近 UCC21551x-Q1 的 DT 引脚放置。
- 建议在连接到远距离 μC 时，在靠近 EN 引脚处放置约 1nF 的低 ESR/ESL 电容器 C_{EN} 进行旁路。

接地注意事项：

- 务必要将对晶体管栅极充电和放电的高峰值电流限制在最小的物理环路区域内。这样将会降低环路电感，并更大限度地减少晶体管栅极端子上的噪声。栅极驱动器必须尽可能靠近晶体管放置。
- 注意高电流路径，其中包含自举电容器、自举二极管、局部接地参考旁路电容器和低侧晶体管体二极管/反并联二极管。自举电容器由 VDD 旁路电容器通过自举二极管逐周期进行重新充电。这种重新充电行为发生在较短的时间间隔内，需要高峰值电流。尽可能地减小印刷电路板上的环路长度和面积对于确保可靠运行至关重要。

高电压注意事项：

- 为确保初级侧和次级侧之间的隔离性能，请避免在驱动器器件下方放置任何 PCB 布线或铜。建议使用 PCB 切口，以防止可能影响 UCC21551x-Q1 隔离性能的污染。
- 对于半桥或高侧/低侧配置（其中通道 A 和通道 B 驱动器可在高达 1500V_{DC} 的直流链路电压下运行），应尝试增加高侧和低侧 PCB 布线之间 PCB 布局的爬电距离。

散热注意事项：

- 如果驱动电压较高，负载较重或开关频率较高，那么 UCC21551x-Q1 可能会耗散较大的功率（有关更多详细信息，请参阅节 8.2.2.5）。适当的 PCB 布局有助于将器件产生的热量散发到 PCB，并更大限度地降低结到电路板的热阻抗（θ_{JB}）。
- 建议增加连接到 VDDA、VDDB、VSSA 和 VSSB 引脚的 PCB 覆铜，并优先考虑最大限度地增加到 VSSA 和 VSSB 的连接（请参阅图 10-2 和图 10-3）。不过，必须考虑前面提及的高电压 PCB 注意事项。
- 如果系统有多个层，则还建议通过大小适当的通孔将 VDDA、VDDB、VSSA 和 VSSB 引脚连接到内部接地平面或电源平面。不过，请记住，不应重叠来自不同高电压平面的布线/铜。

Copyright © 2026 Texas Instruments Incorporated

10.2 布局示例

图 10-1 显示了一个 2 层 PCB 布局示例，其中标记了信号和主要元件。

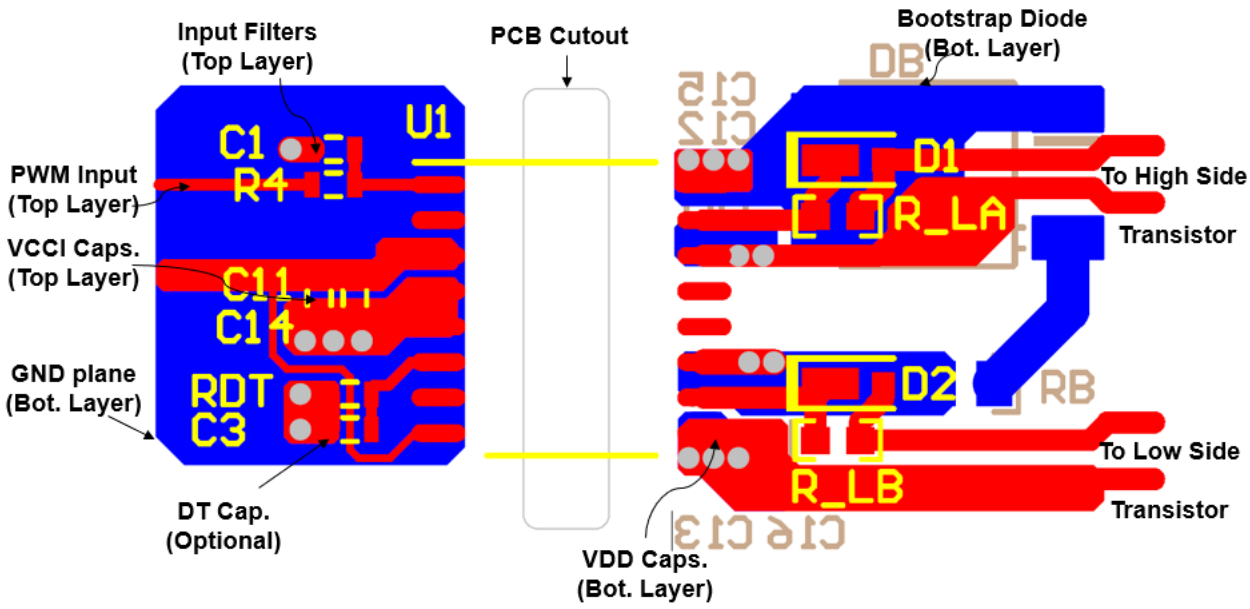


图 10-1. 布局示例

图 10-2 和图 10-3 展示了顶层和底层布线和覆铜。

备注

初级侧和次级侧之间没有 PCB 布线或覆铜，从而确保了隔离性能。

增加输出级中高侧和低侧栅极驱动器之间的 PCB 布线，以更大限度地增加高压运行时的爬电距离，这样，也会更大限度地减少由于寄生电容耦合在开关节点 VSSA (SW) (可能存在高 dv/dt) 和低侧栅极驱动器之间导致的串扰。

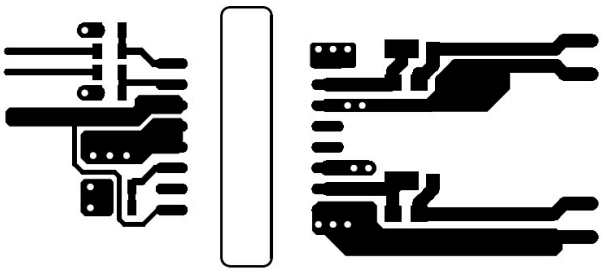


图 10-2. 顶层布线和覆铜

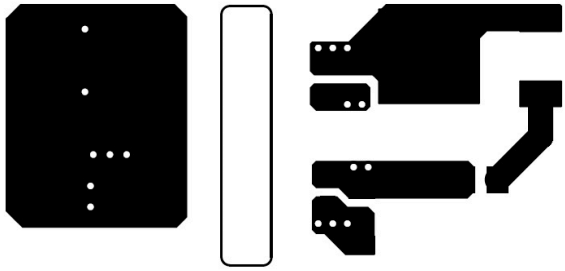


图 10-3. 底层布线和覆铜

图 10-4 和图 10-5 分别是 3D 布局的俯视图和仰视图。

备注

PCB 切口位置介于初级侧和次级侧之间，这可以确保隔离性能。

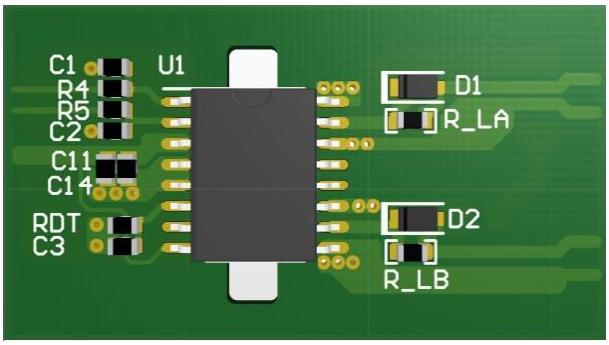


图 10-4. 3D PCB 俯视图

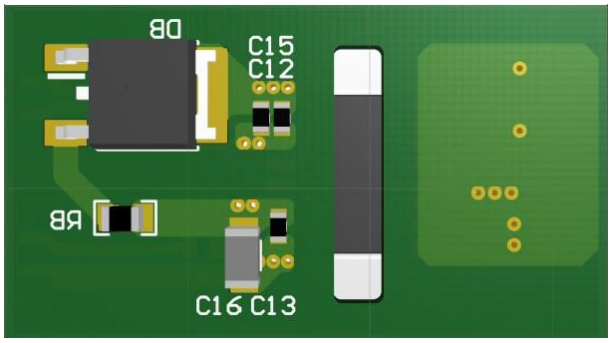


图 10-5. 3-D PCB 底视图

Copyright © 2026 Texas Instruments Incorporated

11 器件和文档支持

11.1 器件支持

11.1.1 第三方产品免责声明

TI 发布的与第三方产品或服务有关的信息，不能构成与此类产品或服务或保修的适用性有关的认可，不能构成此类产品或服务单独或与任何 TI 产品或服务一起的表示或认可。

11.2 文档支持

11.2.1 相关文档

请参阅以下相关文档：

- *“半导体和 IC 封装热指标”应用报告*
- 隔离相关术语

11.3 认证

UL 在线认证目录，*“FPPT2.E181974 非光学隔离器件 - 组件”*证书编号： 20160516-E181974，

VDE Pruf- und Zertifizierungsinstitut Certification，工厂监督合格证书

CQC 在线认证目录，“GB4943.1-2011 数字隔离器证书”，证书编号：CQC16001155011

CSA 在线认证目录，“CSA 合格证书”证书编号：70097761，主合同编号：220991

11.4 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知*进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

11.5 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

11.6 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

11.7 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

11.8 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

Copyright © 2026 Texas Instruments Incorporated

12 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision H (October 2024) to Revision I (December 2025)	Page
• 将数据表状态从“混合量产”更改为“量产数据”	1
• 将 UCC21551CQDFJRQ1 器件状态从“预告信息”更改为“量产数据”	1
• 将 UCC21551DQDFJRQ1 器件状态从“预告信息”更改为“量产数据”	1

Changes from Revision G (June 2024) to Revision H (October 2024)	Page
• 添加了通道间爬电距离：采用 DFJ 封装时 >5.3mm，采用 DWK 封装时 >3.3mm	1
• 添加了 12V 和 17V UVLO DFJ28 封装型号	1
• 为 DFJ28 封装添加了 >5.3mm 爬电注释	1
• 添加了 DFJ28 封装引脚配置	3
• 在隔离电压规格中添加了 DFJ 封装	5
• 添加了 DFJ 封装的热性能信息	5
• 为 DFJ 封装添加了大于 8.3mm 的爬电距离	7
• 添加了 DFJ 封装的安全限值	8
• 添加了 DFJ 封装的热降额限制电流和限制功率曲线	11

Changes from Revision F (May 2024) to Revision G (June 2024)	Page
• 删除了“5ns 最大延迟匹配”要点	1
• 将最大脉宽失真要点从 6ns 更改为 5ns	1
• 将 <600VRMS 的过压类别从 I-IV 更新为 I-III	7
• 将 <1000VRMS 的过压类别从 I-III 更新为 I-II	7
• 添加了 DW 封装的安全限值	8
• 添加了 DW 封装的热降额限制电流和限制功率曲线	11
• 将部分更改为标注 EN 引脚而不是 DIS 引脚	18

Changes from Revision E (January 2024) to Revision F (May 2024)	Page
• 添加了 A 和 B DWK 封装版本量产数据	1
• 添加了 DW 封装版本量产数据	1
• 在 DT 引脚说明上添加了电容限制	3
• 更新了 ESD 规格以符合行业标准	5
• 更新了 VCC 静态电流规格，以实现更严格的容差	9
• 更新了 VDDx 静态电流规格，以实现更严格的容差	9

Changes from Revision D (September 2023) to Revision E (January 2024)	Page
• 将 D 版本从“预告信息”更改为“量产数据”	1

Copyright © 2026 Texas Instruments Incorporated

Changes from Revision C (August 2023) to Revision D (September 2023) **Page**

- 在“开关特性”中添加了结温范围 10

Changes from Revision B (June 2023) to Revision C (August 2023) **Page**

- 向“特性”添加了“功能安全型”要点 1

Changes from Revision A (May 2023) to Revision B (June 2023) **Page**

- 将 C 版本从“预告信息”更改为“量产数据” 1
- 将 D 版本从“产品预发布”更改为“预告信息” 1

Changes from Revision * (December 2022) to Revision A (May 2023) **Page**

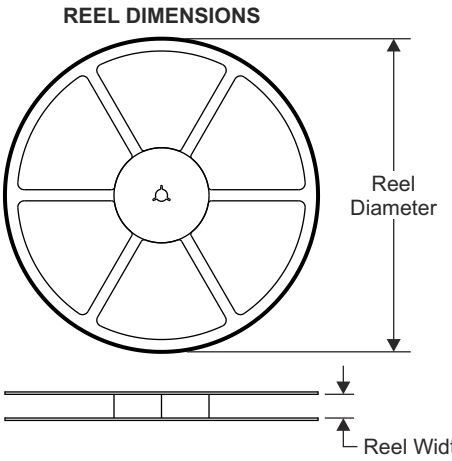
- 添加了具有 17V UVLO 的 D 版本 1
- 更改了死区时间设置指南中的 DT 公式 33

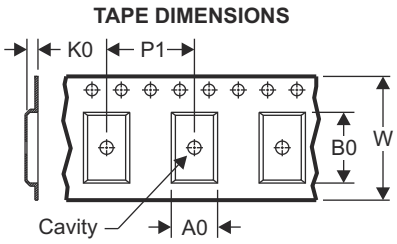
Copyright © 2026 Texas Instruments Incorporated

13 机械、封装和可订购信息

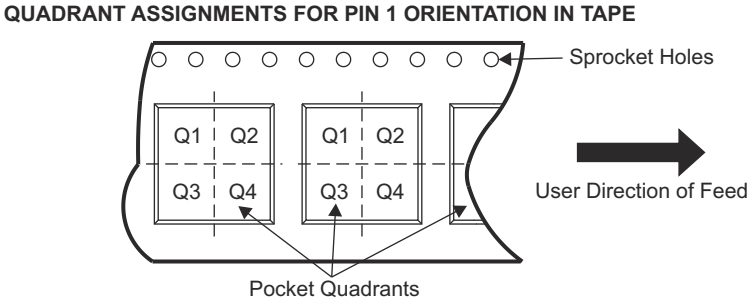
以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

13.1 卷带包装信息





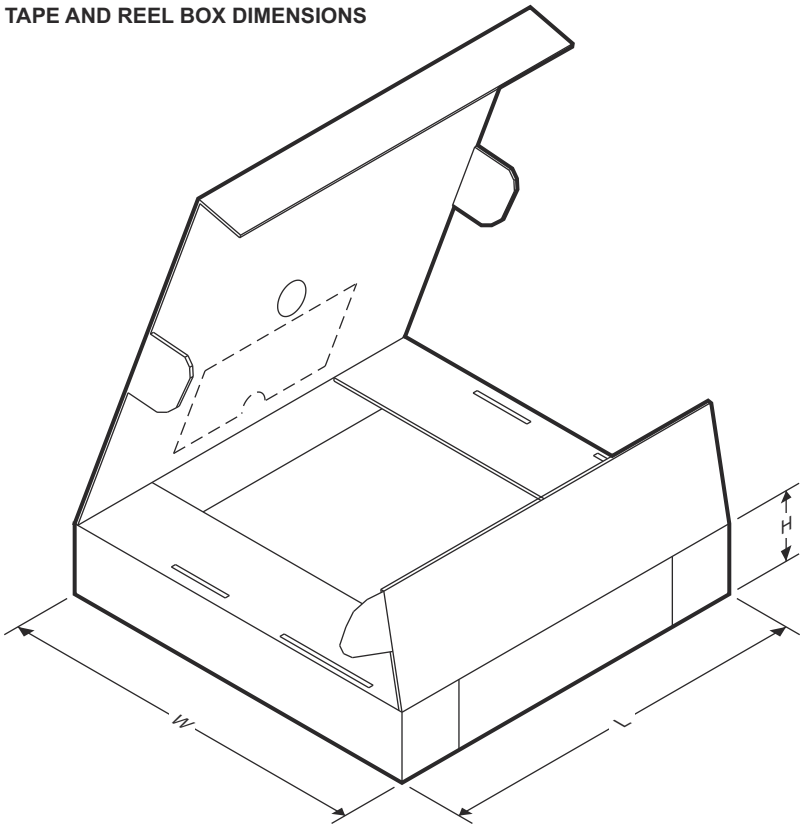
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers



器件	封装类型	封装图	引脚	SPQ	卷带直径 (mm)	卷带宽度 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1象限
UCC21551AQDWKRQ1	SOIC	DWK	14	2000	330	16.4	10.75	10.7	2.7	12	16	Q1
UCC21551AQDWRQ1	SOIC	DW	16	2000	330	16.4	10.75	10.7	2.7	12	16	Q1
UCC21551BQDWKRQ1	SOIC	DWK	14	2000	330	16.4	10.75	10.7	2.7	12	16	Q1
UCC21551CQDWKRQ1	SOIC	DWK	14	2000	330	16.4	10.75	10.7	2.7	12	16	Q1
UCC21551DQDWKRQ1	SOIC	DWK	14	2000	330	16.4	10.75	10.7	2.7	12	16	Q1

Copyright © 2026 Texas Instruments Incorporated

TAPE AND REEL BOX DIMENSIONS



器件	封装类型	封装图	引脚	SPQ	长度 (mm)	宽度 (mm)	高度 (mm)
UCC21551AQDWKRQ1	SOIC	DWK	14	2000	353	353	32
UCC21551AQDWRQ1	SOIC	DW	16	2000	353	353	32
UCC21551BQDWKRQ1	SOIC	DWK	14	2000	356	356	35
UCC21551CQDWKRQ1	SOIC	DWK	14	2000	356	356	35
UCC21551DQDWKRQ1	SOIC	DWK	14	2000	356	356	35

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PUCC21551CQDFJRQ1	Active	Preproduction	SSOP (DFJ) | 28	2000 | LARGE T&R	-	Call TI	Call TI	-40 to 150	
PUCC21551CQDFJRQ1.A	Active	Preproduction	SSOP (DFJ) | 28	2000 | LARGE T&R	-	Call TI	Call TI	-40 to 150	
PUCC21551CQDFJRQ1.B	Active	Preproduction	SSOP (DFJ) | 28	2000 | LARGE T&R	-	Call TI	Call TI	-40 to 150	
PUCC21551DQDFJRQ1	Active	Preproduction	SSOP (DFJ) | 28	2000 | LARGE T&R	-	Call TI	Call TI	-40 to 150	
PUCC21551DQDFJRQ1.A	Active	Preproduction	SSOP (DFJ) | 28	2000 | LARGE T&R	-	Call TI	Call TI	-40 to 150	
UCC21551AQDWKRQ1	Active	Production	SOIC (DWK) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 150	21551AQ
UCC21551AQDWKRQ1.A	Active	Production	SOIC (DWK) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 150	21551AQ
UCC21551AQDWKRQ1.B	Active	Production	SOIC (DWK) | 14	2000 | LARGE T&R	-	Call TI	Call TI	-40 to 150	
UCC21551AQDWRQ1	Active	Production	SOIC (DW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 150	UCC21551AQ
UCC21551AQDWRQ1.A	Active	Production	SOIC (DW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 150	UCC21551AQ
UCC21551AQDWRQ1.B	Active	Production	SOIC (DW) | 16	2000 | LARGE T&R	-	Call TI	Call TI	-40 to 150	
UCC21551BQDWKRQ1	Active	Production	SOIC (DWK) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 150	UCC21551BQ
UCC21551BQDWKRQ1.A	Active	Production	SOIC (DWK) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 150	UCC21551BQ
UCC21551BQDWKRQ1.B	Active	Production	SOIC (DWK) | 14	2000 | LARGE T&R	-	Call TI	Call TI	-40 to 150	
UCC21551CQDFJRQ1	Active	Production	SSOP (DFJ) | 28	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	UCC21551CQ
UCC21551CQDWKRQ1	Active	Production	SOIC (DWK) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 150	UCC21551CQ
UCC21551CQDWKRQ1.A	Active	Production	SOIC (DWK) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 150	UCC21551CQ
UCC21551CQDWKRQ1.B	Active	Production	SOIC (DWK) | 14	2000 | LARGE T&R	-	Call TI	Call TI	-40 to 150	
UCC21551DQDFJRQ1	Active	Production	SSOP (DFJ) | 28	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	UCC21551DQ
UCC21551DQDWKRQ1	Active	Production	SOIC (DWK) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 150	UCC21551DQ
UCC21551DQDWKRQ1.A	Active	Production	SOIC (DWK) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 150	UCC21551DQ
UCC21551DQDWKRQ1.B	Active	Production	SOIC (DWK) | 14	2000 | LARGE T&R	-	Call TI	Call TI	-40 to 150	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF UCC21551-Q1 :

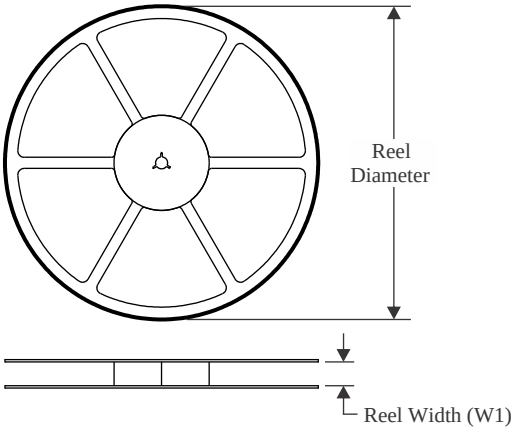
- Catalog : UCC21551

NOTE: Qualified Version Definitions:

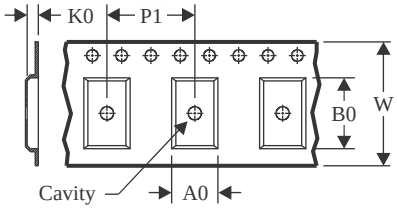
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

REEL DIMENSIONS

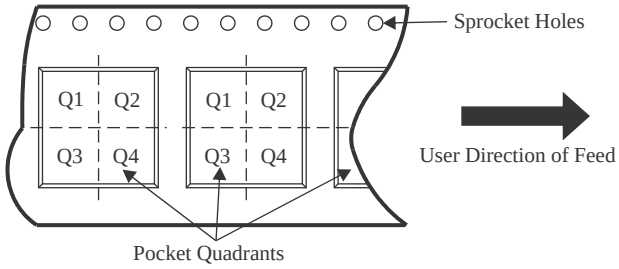


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

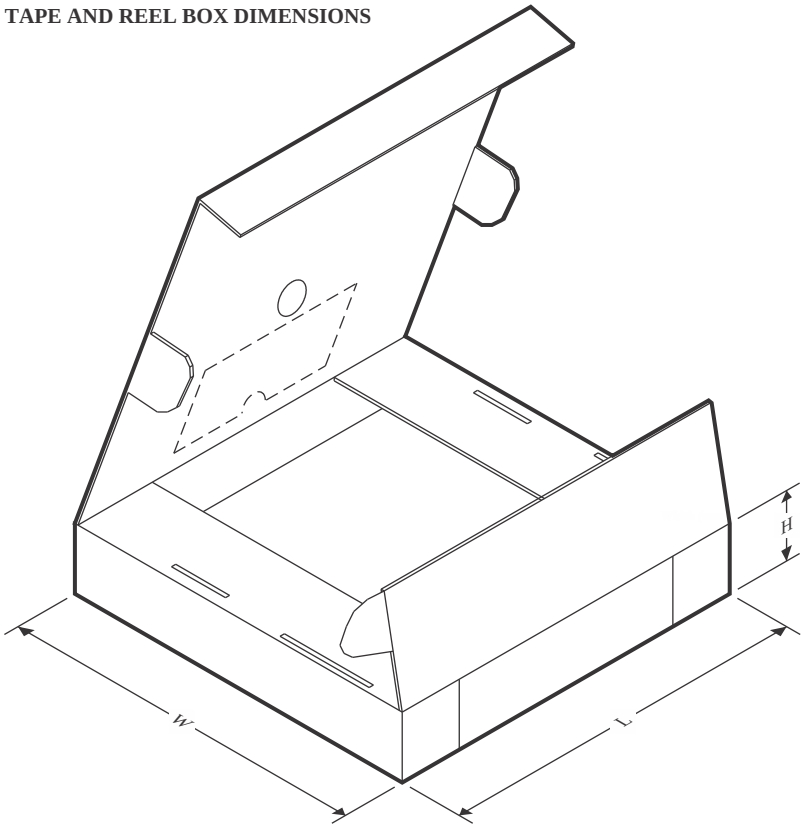
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
UCC21551AQDWKRQ1	SOIC	DWK	14	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
UCC21551AQDWRQ1	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
UCC21551BQDWKRQ1	SOIC	DWK	14	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
UCC21551CQDWKRQ1	SOIC	DWK	14	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
UCC21551DQDWKRQ1	SOIC	DWK	14	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

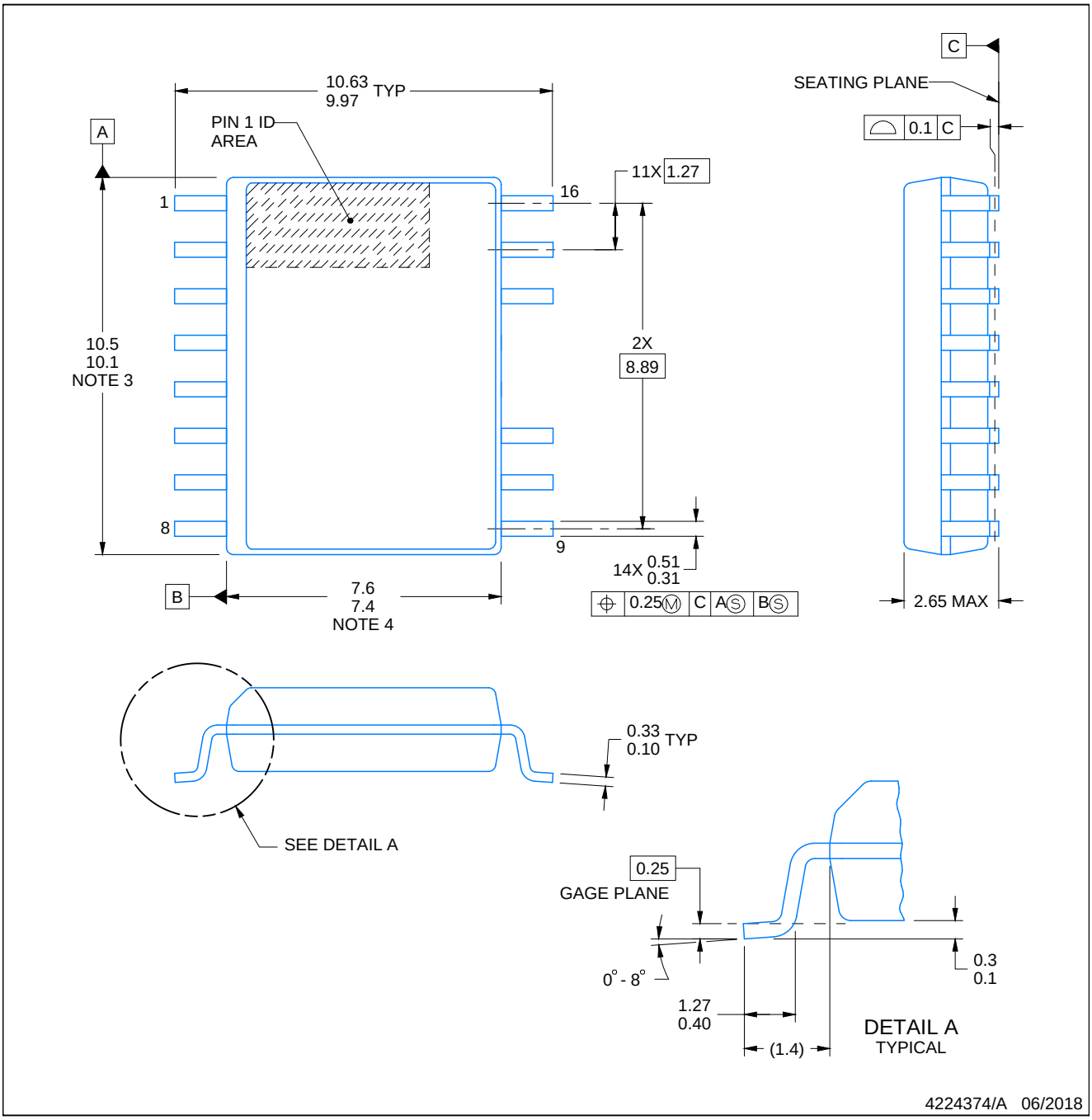
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
UCC21551AQDWKRQ1	SOIC	DWK	14	2000	353.0	353.0	32.0
UCC21551AQDWRQ1	SOIC	DW	16	2000	353.0	353.0	32.0
UCC21551BQDWKRQ1	SOIC	DWK	14	2000	353.0	353.0	32.0
UCC21551CQDWKRQ1	SOIC	DWK	14	2000	353.0	353.0	32.0
UCC21551DQDWKRQ1	SOIC	DWK	14	2000	353.0	353.0	32.0

PACKAGE OUTLINE

DWK0014A

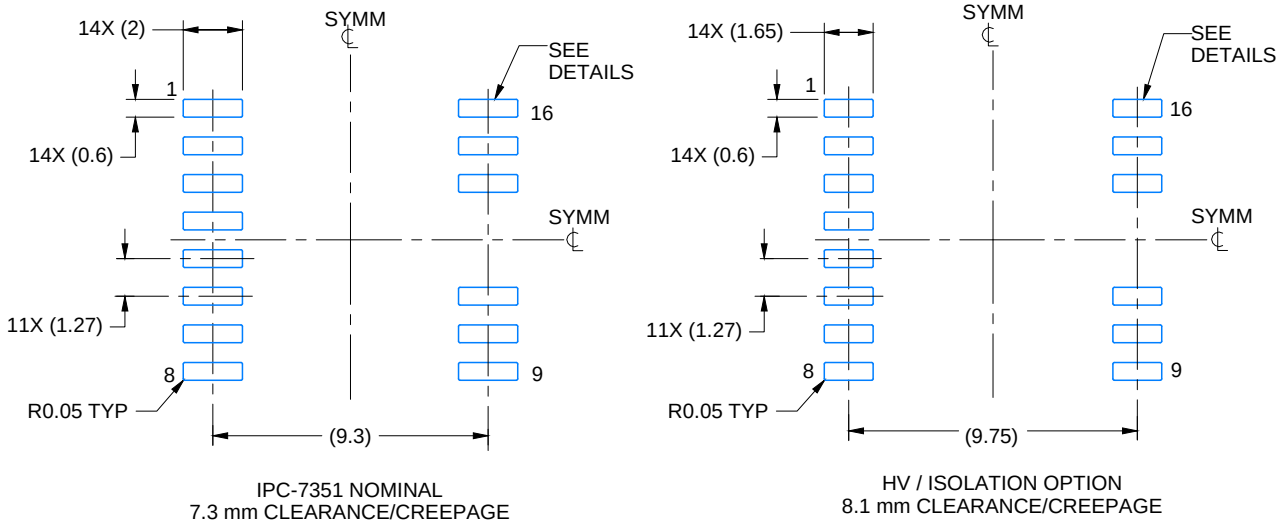
SOIC - 2.65 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

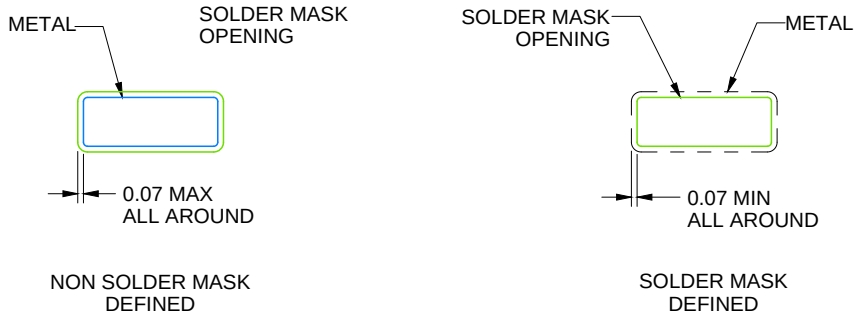


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.
5. Reference JEDEC registration MS-013.



LAND PATTERN EXAMPLE
SCALE:4X

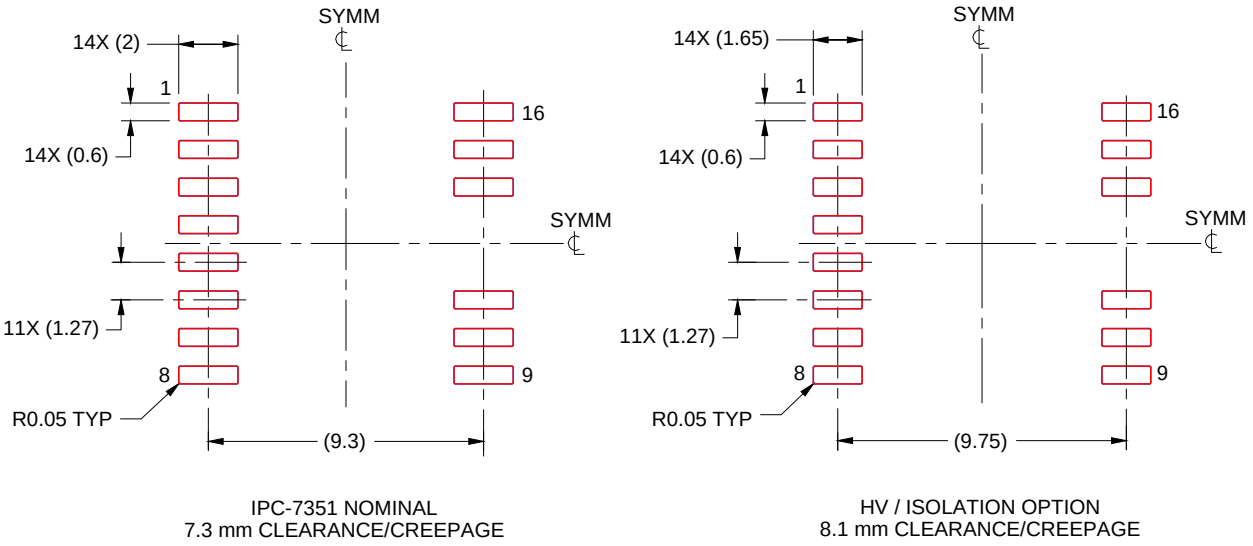


SOLDER MASK DETAILS

4224374/A 06/2018

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



IPC-7351 NOMINAL
7.3 mm CLEARANCE/CREEPAGE

HV / ISOLATION OPTION
8.1 mm CLEARANCE/CREEPAGE

SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:4X

4224374/A 06/2018

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

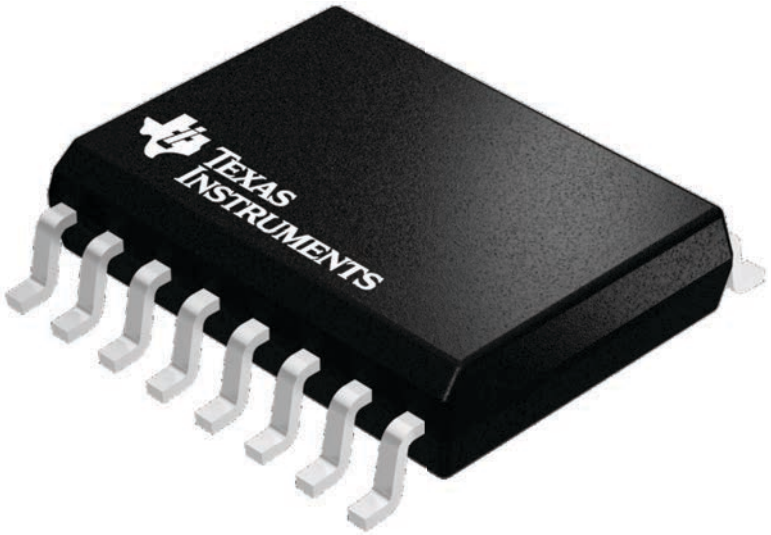
DW 16

SOIC - 2.65 mm max height

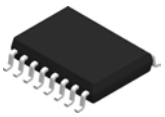
7.5 x 10.3, 1.27 mm pitch

SMALL OUTLINE INTEGRATED CIRCUIT

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224780/A

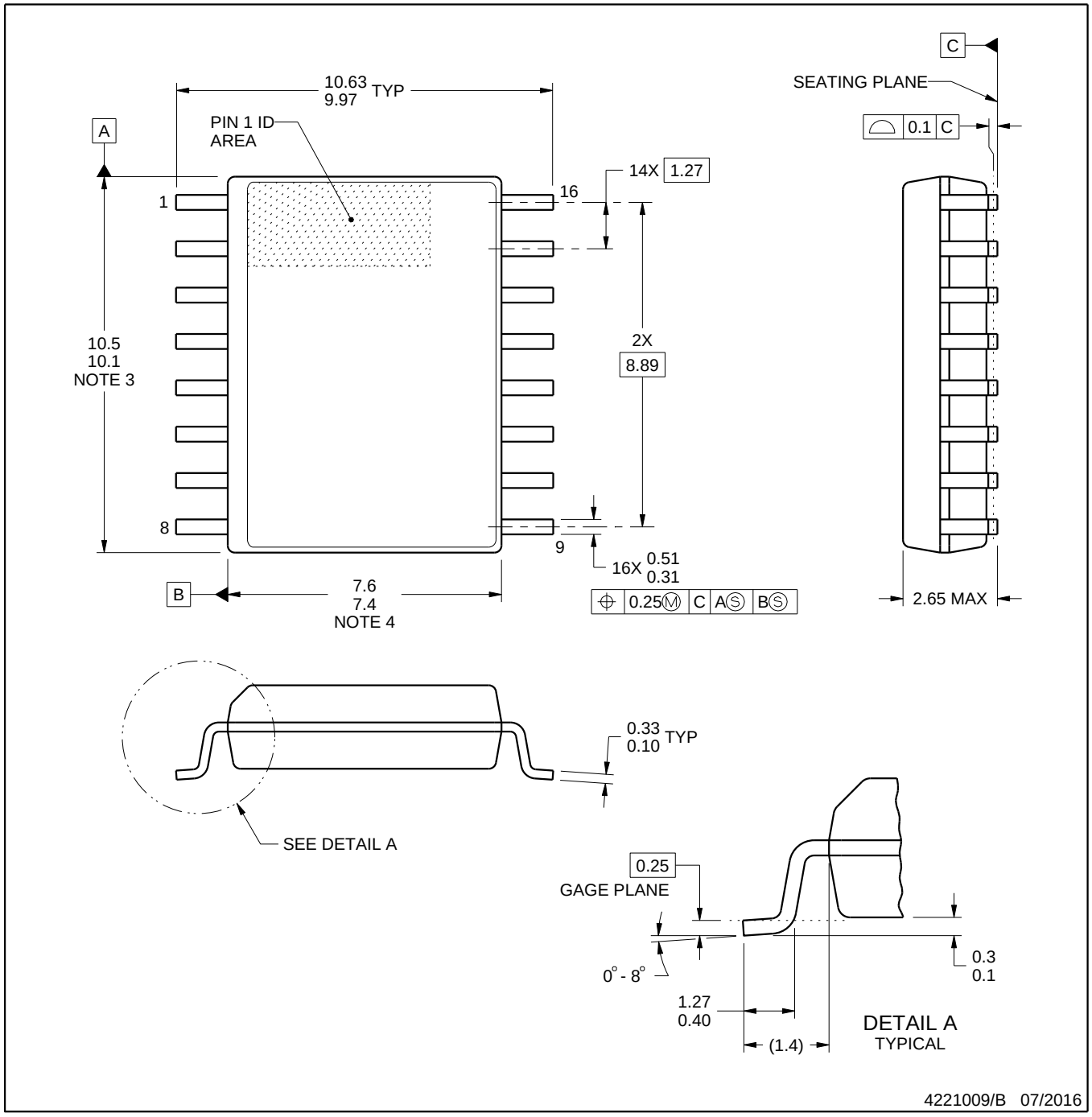


PACKAGE OUTLINE

DW0016B

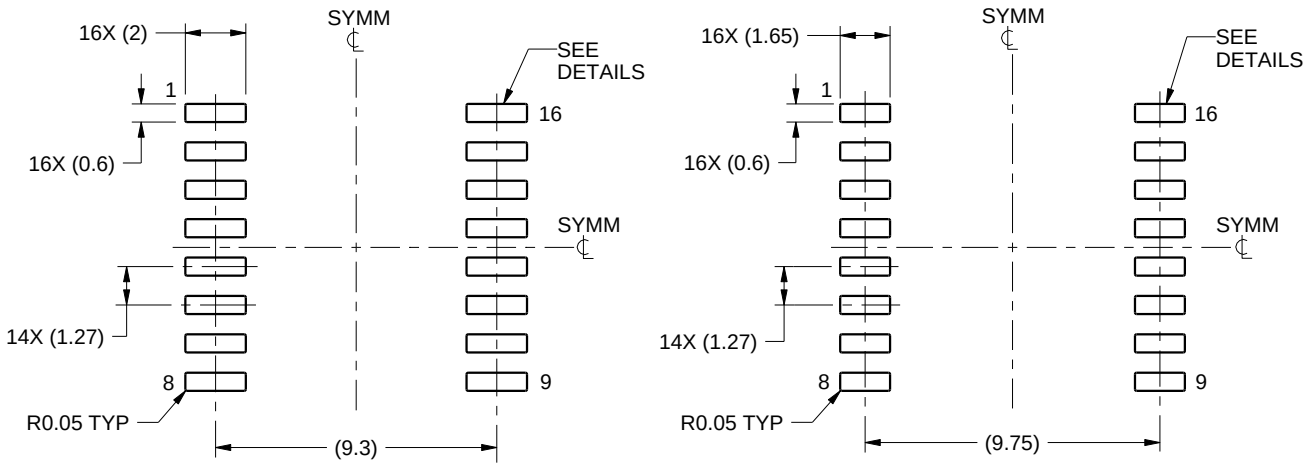
SOIC - 2.65 mm max height

SOIC



NOTES:

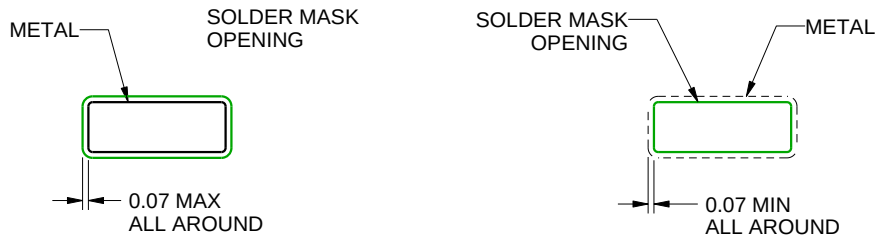
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.
5. Reference JEDEC registration MS-013.



IPC-7351 NOMINAL
7.3 mm CLEARANCE/CREEPAGE

HV / ISOLATION OPTION
8.1 mm CLEARANCE/CREEPAGE

LAND PATTERN EXAMPLE
SCALE:4X



NON SOLDER MASK DEFINED

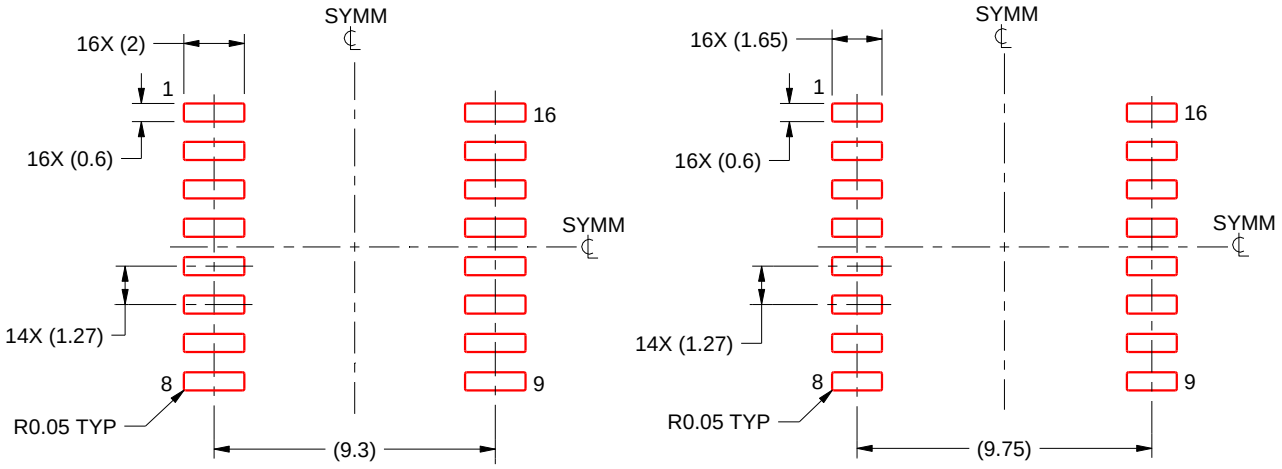
SOLDER MASK DEFINED

SOLDER MASK DETAILS

4221009/B 07/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



IPC-7351 NOMINAL
7.3 mm CLEARANCE/CREEPAGE

HV / ISOLATION OPTION
8.1 mm CLEARANCE/CREEPAGE

SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:4X

4221009/B 07/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月