

AM273x Sitara™ 微控制器

1 特性

处理器内核：

- 双核 Arm® Cortex®-R5F MCU 子系统工作频率高达 400MHz，高度集成，可实现实时处理
 - 双核 Arm® Cortex®-R5F 集群，支持双核和单核运算
 - 每个 R5F 内核 32KB I-Cache 和 32KB D-Cache，所有存储器都配备 SECDED ECC
 - 单核：每个集群 128KB TCM (每个 R5F 内核 128KB TCM)
 - 双核：每个集群 128KB TCM (每个 R5F 内核 64KB TCM)
- C66x DSP 内核
 - 单核 32 位浮点 DSP
 - 工作频率高达 550MHz (17.6 GMAC)

存储器子系统：

- 高达 5.0MB 的片上 RAM (OCSRAM)
 - 存储器空间可在 DSP、MCU 和共享 L3 之间共享
 - 3.5625MB 共享 L3 存储器
 - 960KB 专用于主要子系统
 - 384kB 专用于 DSP 子系统
- 外部存储器接口 (EMIF)
 - QSPI 接口工作频率高达 67MHz

片上系统 (SoC) 服务和架构：

- 12 个用于各种子系统、MCU、DSP 和加速器内核的 EDMA
- 5 个实时中断 (RTI) 模块
- 用于处理器间通信 (IPC) 的邮箱系统
- 用于器件调试的 JTAG/跟踪接口
- 时钟源
 - 具有内部振荡器的 40.0MHz 晶体
 - 支持频率为 40/50MHz 的外部振荡器
 - 支持频率为 40/50MHz 的外部驱动时钟 (方波/正弦波)

高速串行接口：

- 10/100Mbps 以太网 (RGMI/II/RMII/II)
- 输入：2 个 4 通道 MIPI D-PHY CSI 2.0 数据接口
- 输出：4 通道 Aurora/LVDS 接口

通用连接外设：

- 通用模数转换器 (GPADC)
 - 1 个支持高达 625Ksps 的 9 通道 ADC

- 数字连接
 - 4 个工作频率高达 25MHz 的串行外设接口 (SPI) 控制器
 - 3 个内部集成电路 (I2C) 端口
 - 4 个通用异步收发器 (UART)
 - 3 个多通道音频串行端口 (McASP)
 - 音频跟踪逻辑模块 (ATL)

工业和控制接口：

- 3 个增强型脉宽调制器 (ePWM)
- 1 个增强型捕捉模块 (eCAP)
- 2 个具有 CAN-FD 支持的模块化控制器局域网 (MCAN) 模块

电源管理：

- 推荐的 [LP87745-Q1](#) 电源管理 IC (PMIC)
- 简化了电源时序并减少了电源轨数量
- 支持数字 I/O 运行 3.3V 和 1.8V 双工作电压

安全性：

- 器件安全性
 - 可编程的嵌入式硬件安全模块 (HSM)
 - 支持经过身份验证和加密的安全引导
 - 客户可编程根密钥、对称密钥 (256 位)、具有密钥撤销功能的非对称密钥 (最高 RSA-4K 或 ECC-512)
 - 加密硬件加速器 - 带 ECC 的 PKA、AES (高达 256 位)、TRNG/DRBG

功能安全：

- [功能安全质量管理](#)
 - 将提供相关文档来协助进行符合 ISO 26262 标准的功能安全系统设计
- 符合 AEC-Q100 标准
- 运行条件
 - 支持汽车级工作温度范围
 - 支持工业级工作温度范围

封装选项：

- 13mm x 13mm、0.65mm 间距 ZCE (285 引脚) nFBGA 封装
- 13mm x 13mm、0.80mm 间距 NZN (225 引脚) nFBGA 封装



2 应用

- 机器人
- 占位检测
- 汽车音频
- 机器视觉
- 航电设备
- 工业运输

3 说明

AM273x 系列是基于 Arm Cortex-R5F 和 C66x 浮点 DSP 内核的高度集成、高性能微控制器。借助该器件，原始设备制造商 (OEM) 和原始设计制造商 (ODM) 能够将具有强大软件支持、丰富用户界面和高性能的器件快速推向市场。该器件为全集成混合处理器设计提供了出色灵活性。

AM273x 集成硬件安全模块 (HSM)，内置功能安全支持，在芯片上集成了大容量 RAM 且具有较宽温度范围，可面向众多工业和汽车应用提供安全、可靠且具有成本效益的设计。

AM273x 器件作为完整平台的一部分提供，其中包括硬件参考设计、软件驱动程序、DSP 库、示例软件配置/应用、API 指南以及用户文档。

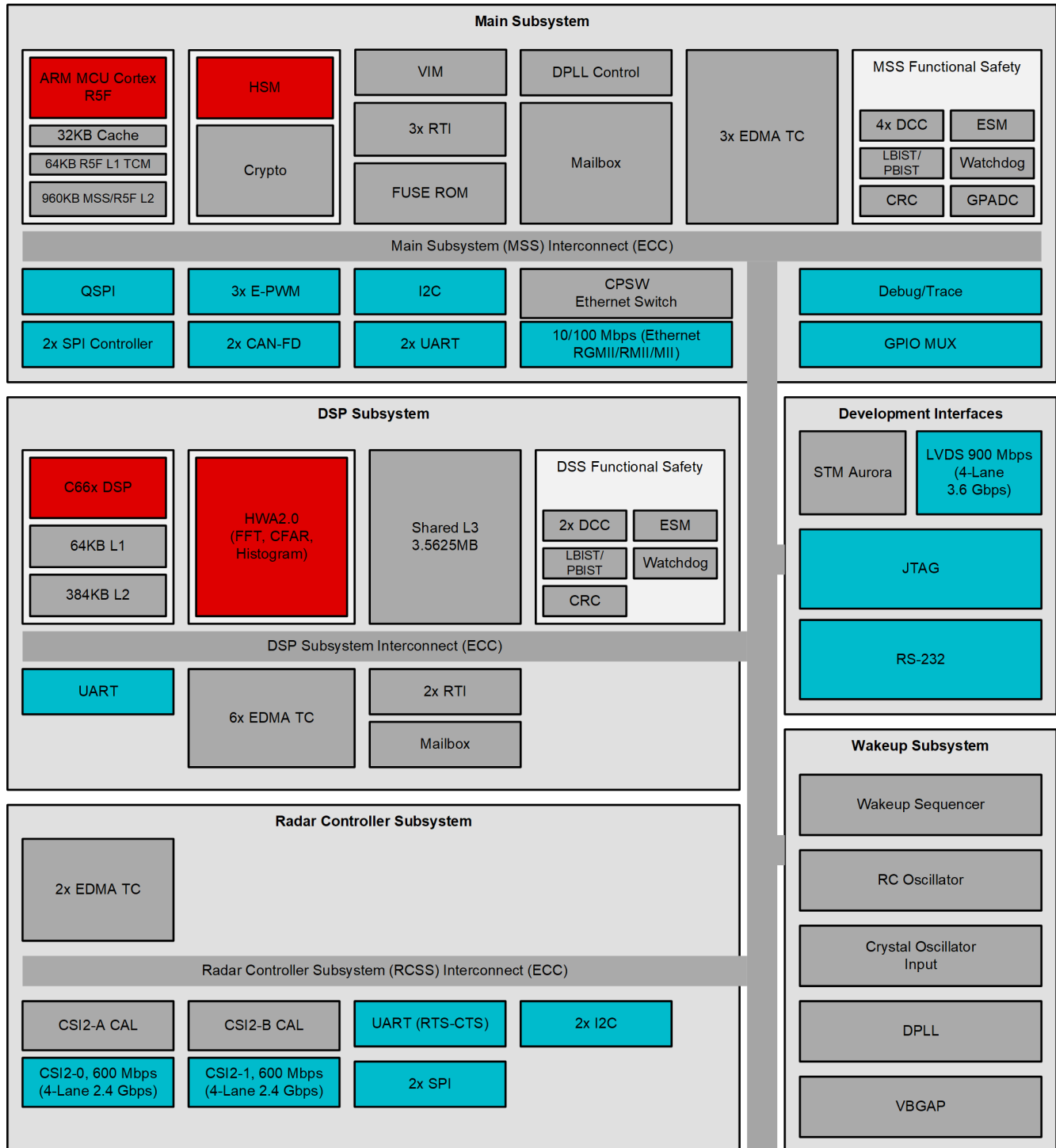
器件信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
AM2732ADRFGAZCER	285 引脚 NFBGA	13.0mm x 13.0mm
AM2732CDRFHAZCER		
AM2732ADRFQZCERQ1		
AM2732CDRFHQZCERQ1		
AM2732CMRFHQZCERQ1		
AM2732CMSFHQNZNRQ1	225 引脚 NFBGA	13.0mm x 13.0mm
AM2731CLSFHQNZNRQ1		
AM2731CASFHQNZNRQ1		
AM2731CNSFHQNZNRQ1		
AM2732CLSFHQNZNRQ1		

(1) 有关更多信息，请参阅 节 11。

(2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。

3.1 功能方框图



 Denotes associated peripheral interface

Note: For additional information on supported subsystems and peripherals please see the device comparison table in the datasheet.

图 3-1. AM273x 功能方框图

内容

1 特性	1	6.11 功耗摘要.....	58
2 应用	2	6.12 电气特性.....	58
3 说明	2	6.13 时序和开关特性.....	59
3.1 功能方框图.....	3	7 详细说明	89
4 器件比较	5	7.1 概述.....	89
4.1 相关产品.....	6	7.2 主子系统.....	89
5 端子配置和功能	7	7.3 DSP 子系统.....	89
5.1 引脚图.....	7	7.4 雷达控制子系统.....	89
5.2 引脚属性 (AM273x ZCE、NZN 封装)	10	7.5 其他子系统.....	90
5.3 信号说明.....	34	7.6 引导模式.....	92
5.4 引脚连接要求.....	51	8 应用、实施和布局	94
6 规格	53	8.1 典型应用.....	94
6.1 绝对最大额定值.....	53	9 器件和文档支持	100
6.2 ESD 等级 - 汽车类.....	53	9.1 器件命名规则.....	100
6.3 上电小时数 (POH).....	53	9.2 工具与软件.....	104
6.4 建议运行条件.....	54	9.3 文档支持.....	105
6.5 运行性能点.....	56	9.4 支持资源.....	105
6.6 电源规格.....	56	9.5 商标.....	105
6.7 I/O 缓冲器类型和电压轨相关性.....	56	9.6 静电放电警告.....	105
6.8 CPU 规格.....	57	9.7 术语表.....	105
6.9 nFBGA 封装的热阻特性 [ZCE285A].....	57	10 修订历史记录	106
6.10 nFBGA 封装的热阻特性 [NZN225A].....	57	11 机械、封装和可订购信息	107

4 器件比较

表 4-1. 器件比较

功能	AM2732	AM2732-Q1	AM2731	AM2731-Q1
片上存储器	高达 3.5625 MB		高达 2 MB	
处理器				
MCU Arm Cortex (R5F)	2x		1x	
DSP (C66x)	1x			
雷达特性				
硬件加速器 2.0	有			
外设				
以太网接口 RGMII、RMII、MII (仅 10/100)	有			
串行外设接口 (SPI) 端口	4			
四线串行外设接口 (QSPI)	1			
内部集成电路 (I ² C) 接口	3			
支持 CAN-FD 的模块化控制器局域网 (MCAN) 模块	2			
通用异步接收器/发送器 (UART)	4			
增强型脉宽调制器 (ePWM)	3			
增强型捕获模块 (eCAP)	有			
MCASP	3x			
硬件在环 (HIL/DMM)	有			
通用 ADC (9 通道)	有			
4 通道 Aurora/LVDS 调试 ⁽¹⁾	有		否	
4 通道 MIPI D-PHY CSI2.0 接收器 (CSI2_RX0 和 CSI2_RX1) ⁽¹⁾	2x		否	
JTAG/跟踪	有			
封装 ⁽²⁾	ZCE、NZN		NZN	
结温 ⁽³⁾	扩展工业温度范围：- 40°C 至 105°C			
	扩展汽车温度范围：- 40°C 至 140°C			

(1) 仅在 ZCE 封装型号中提供

(2) 支持表 9-1 中的特性 R

(3) 请参阅节 6.1

4.1 相关产品

Sitara™ 处理器 一系列品类齐全、基于 Arm® Cortex® 内核的可扩展处理器，具有灵活的加速器、外设、连接和统一的软件支持，尤其适合从传感器到服务器的各种应用。Sitara™ 处理器具有工业应用所需的可靠性。

AM273x Sitara™ 微控制器 AM273x 微控制器支持工业以太网，利用充足的 ECC 片上存储器实现可靠运行，并具有增强的安全功能。

Sitara™ 处理器 — 评估模块 TI 可提供评估模块 (EVM)，帮助快速启动产品开发。如需了解更多信息，请参阅 [AM273x GP EVM](#)。

帮助您完成设计的产品 查看经常购买或与本产品一起使用的产品，以完成设计。请参阅以下文档：

- 适用于汽车 SoC 且具有功能安全特性的 4x 5A (20A) 多相降压转换器 PMIC [LP87745-Q1](#)
- 扩展温度范围的耐用型低延迟千兆位以太网 PHY 收发器 [DP83867E](#)
- 汽车级高速 CAN 收发器 [TCAN1044-Q1](#)

5 端子配置和功能

5.1 引脚图

备注

在整个文档中，术语“焊球”、“引脚”和“端子”可互换使用。仅在提及物理封装时才尝试使用“焊球”。

本节中的图将与其他“端子配置和功能”表一起用于查找信号名称和球栅编号。

5.1.1 AM273x ZCE 引脚图

图 5-1 显示了 285 球 NanoFree™ 球栅阵列 (NFBGA) 封装的焊球位置。

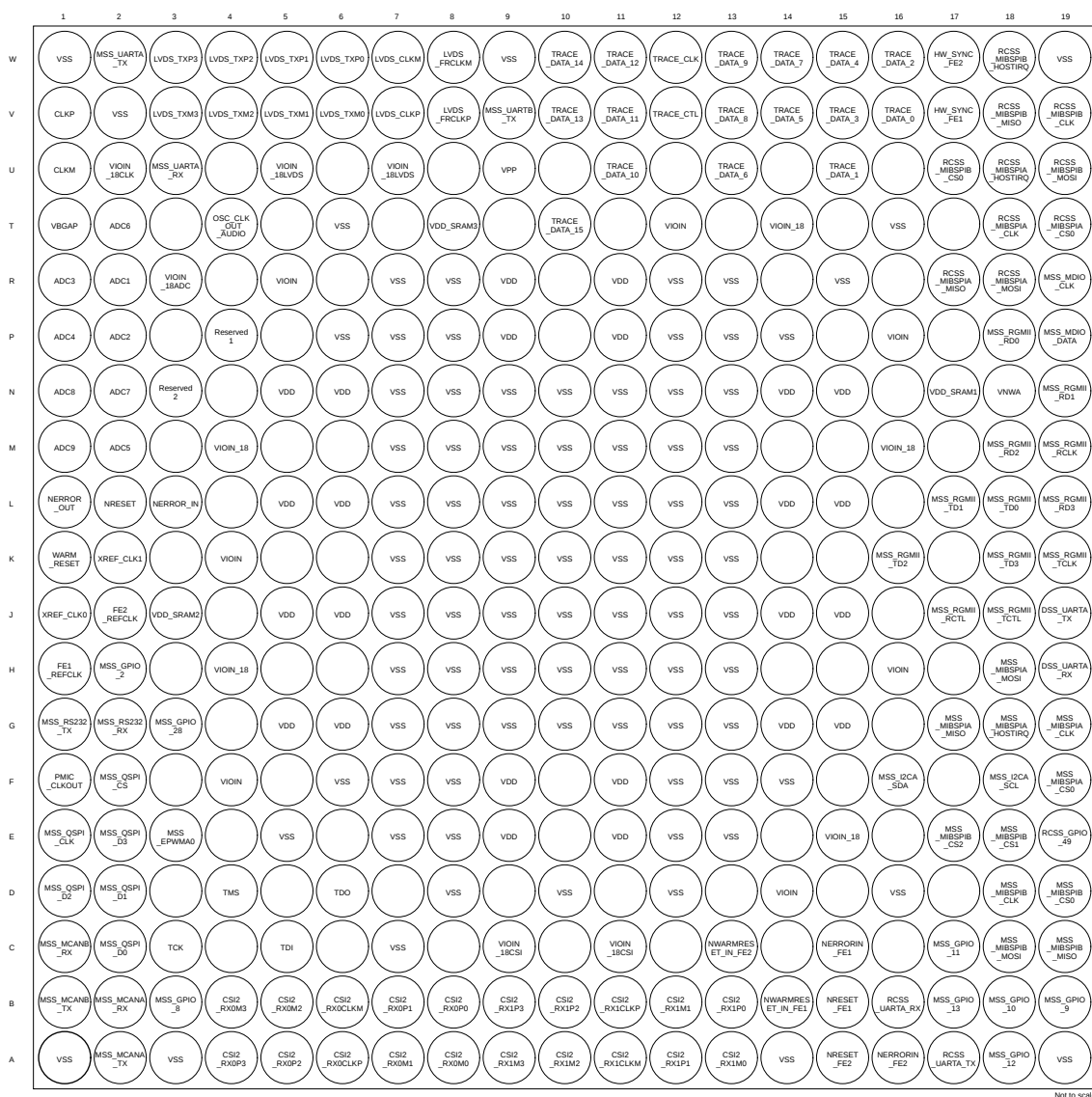


图 5-1. ZCE ZCE0285A 引脚图 (底视图)

5.1.2 AM273x NZN 引脚图

图 5-2 显示了 225 球 NanoFree™ 球栅阵列 (NFBGA) 封装的焊球位置。

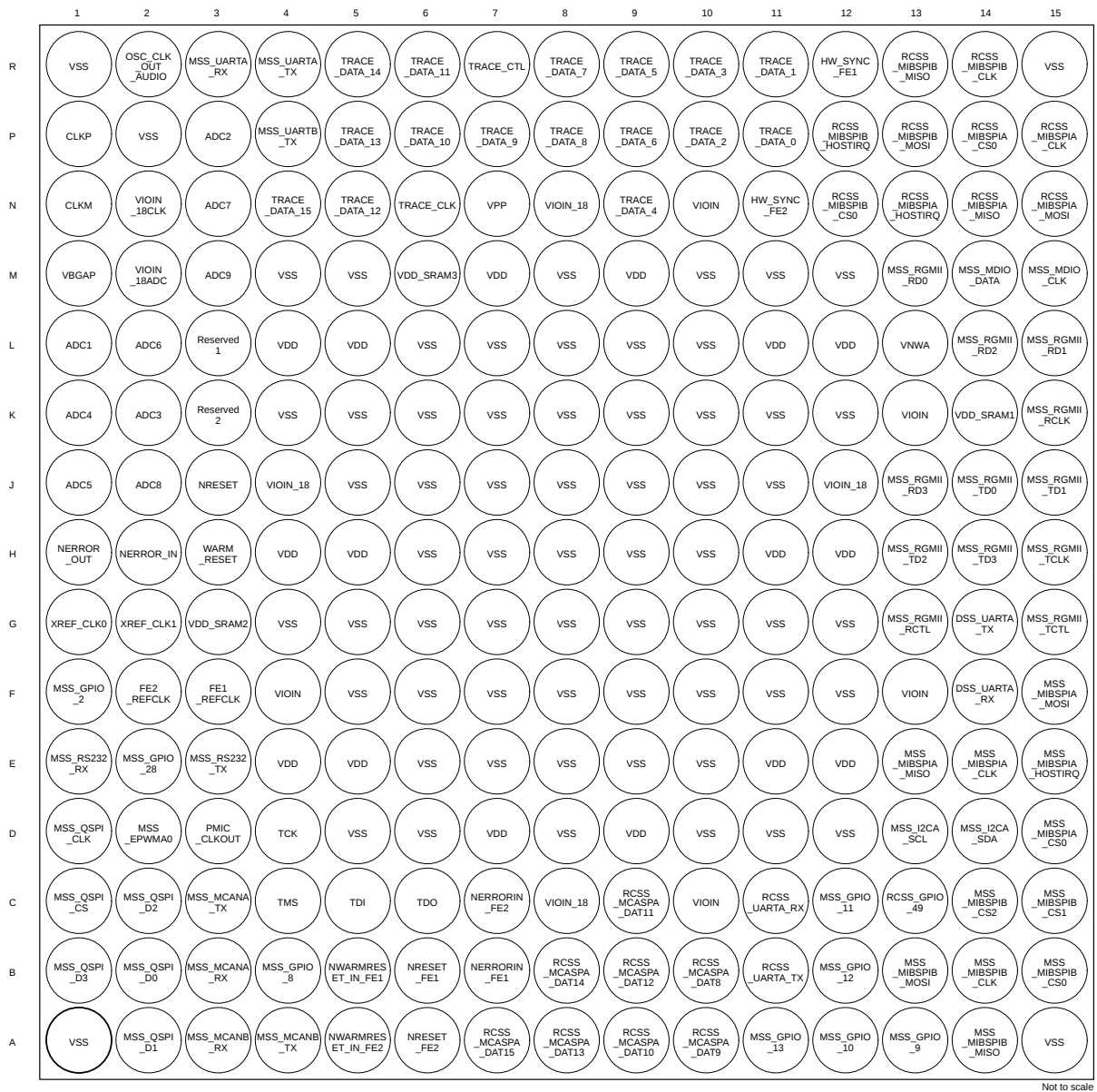


图 5-2. NZN NZN0225A 引脚图 (底视图)

5.2 引脚属性 (AM273x ZCE、NZN 封装)

以下列表介绍了 *引脚属性* 表中每一列的内容：

1. **焊球编号**：分配给球栅阵列封装每个端子的焊球编号。
2. **焊球名称**：分配给球栅阵列封装每个端子的焊球名称 (该名称通常取自主 MUXMODE 0 信号功能)。
3. **信号名称**：与焊球相关的所有专用和引脚多路复用信号功能的信号名称。

备注

引脚属性 表定义了引脚上实现的引脚多路复用信号功能，而未定义器件子系统中实现的信号功能的次级多路复用。该表未说明信号功能的次级多路复用。有关次级多路复用信号功能的更多信息，请参阅器件 TRM 的相应外设章节。

4. **引脚控制寄存器**：引脚控制寄存器的名称。请参阅器件技术参考手册。
5. **引脚控制地址**：引脚控制寄存器的地址。请参阅器件技术参考手册。
6. **多路复用模式**：与每个引脚多路复用信号功能相关的 MUXMODE 值：
 - a. MUXMODE 0 是主要引脚多路复用信号功能。然而，主要引脚多路复用信号功能不一定是默认引脚多路复用信号功能。

备注

“复位之后的多路复用模式”列中的值定义了 MCU_PORz 被置为无效时选择的默认引脚多路复用信号功能。

- b. MUXMODE 值 1 至 15 可用于引脚多路复用信号功能。然而，并非所有 MUXMODE 值都已实现。仅有的有效 MUXMODE 值是引脚属性表中定义为引脚多路复用信号功能的值。只应使用 MUXMODE 的有效值。
 - c. 自举定义了 SOC 配置引脚，其中应用于每个引脚的逻辑状态在 PORz_OUT 的上升沿被锁存。这些输入信号功能固定到各自的引脚，不能通过 MUXMODE 进行编程。
 - d. 空框或 “-” 表示不适用。
7. **类型**：信号类型和方向：
 - I = 输入
 - O = 输出
 - IO = 输入、输出或同时输入和输出
 - IOD = 输入、输出或同时输入和输出，具有开漏输出功能
 - IOZ = 输入、输出或同时输入和输出，具有三态输出功能
 - OZ = 具有三态输出功能的输出
 - A = 模拟
 - PWR = 电源
 - GND = 接地
 - CAP = LDO 电容器。
 8. **DSIS**：未选择的输入状态 (DSIS) 指示当 MUXMODE 未选择引脚多路复用信号功能时驱动到子系统输入的状态 (逻辑 “0”、逻辑 “1” 或 “焊盘” 电平)。

- 0：逻辑 0 被驱动至子系统输入。
 - 1：逻辑 1 被驱动至子系统输入。
 - 焊盘：焊盘的逻辑状态被驱动至子系统输入。
 - 空框或“-”表示不适用。
9. **复位期间的焊球状态 (RX/TX/拉动)：**MCU_PORz 被置为有效时的端子状态，其中 RX 定义输入缓冲器的状态，TX 定义输出缓冲器的状态，“拉动”定义内部拉动电阻器的状态：
- **RX (输入缓冲器)**
 - 关闭：输入缓冲器被禁用。
 - 亮：输入缓冲器被启用。
 - **TX (输出缓冲器)**
 - 关闭：输出缓冲器被禁用。
 - 低电平：输出缓冲器被启用并驱动 V_{OL} 。
 - **拉动 (内部拉电阻器)**
 - 关闭：内部拉动电阻器被关闭。
 - 上拉：内部上拉电阻器被开启。
 - 下拉：内部下拉电阻器被开启。
 - 空框或“-”表示不适用。
10. **复位之后的焊球状态 (RX/TX/拉动)：**MCU_PORz 被置为无效后的端子状态，其中 RX 定义输入缓冲器的状态，TX 定义输出缓冲器的状态，“拉动”定义内部拉动电阻器的状态：
- **RX (输入缓冲器)**
 - 关闭：输入缓冲器被禁用。
 - 亮：输入缓冲器被启用。
 - **TX (输出缓冲器)**
 - 关闭：输出缓冲器被禁用。
 - **SS**：使用 **MUXMODE** 选择的子系统决定输出缓冲器状态。
 - **拉动 (内部拉电阻器)**
 - 关闭：内部拉动电阻器被关闭。
 - 上拉：内部上拉电阻器被开启。
 - 下拉：内部下拉电阻器被开启。
 - 空框或“-”表示不适用。
11. **复位之后的多路复用模式：**该列中的值定义了 MCU_PORz 被置为无效后的默认引脚多路复用信号功能。
空框表示不适用。
12. **I/O 电压值：**该列介绍了相应电源的 I/O 工作电压选项 (如果适用)。
空框或“-”表示不适用。

有关更多信息，请参阅 *建议运行条件* 中为每个电源定义的有效工作电压范围。

13. **电源域**：相关 I/O 的电源（如果适用）。空框或“-”表示此说明不适用。
14. **HYS**：指示与该 I/O 关联的输入缓冲器是否具有迟滞：
- 是：具有迟滞
 - 否：不具有迟滞
 - 空框或“-”表示不适用。
- 有关更多信息，请参阅 *电气特性* 中的迟滞值。
15. **缓冲器类型**：该列定义与端子关联的缓冲器类型。该信息可用于确定适用的电气特性表。
- 空框或“-”表示不适用。
- 有关电气特性，请参阅 *电气特性* 中相应的缓冲器类型表。
16. **上拉/下拉类型**：指示存在内部上拉或下拉电阻器。可通过软件来启用或禁用上拉和下拉电阻器。
- PU：内部上拉
 - PD：内部下拉
 - PU/PD：内部上拉和下拉
 - 空框或“-”表示无内部拉动。

备注

不支持将两个引脚配置为同一引脚多路复用信号功能，因为这可能会产生意外的结果。适当的软件配置可以轻松防止这种情况发生。

备注

当某焊盘被设定为未由引脚多路复用定义的多路复用模式时，该焊盘的运行方式是未定义的。应避免这种做法。

表 5-1. 引脚属性 (ZCE、NZN 封装)

ZCE 焊球编号	NZN 焊球编号	焊球名称	信号名称	引脚控制寄存器	引脚控制地址	MUX 模式	信号类型	DSIS	复位期间的焊球状态	复位之后的焊球状态	复位之后的多路复用模式	I/O 电压	电源域	迟滞	拉动类型	缓冲器类型
R2	L1	ADC1	ADC1			0	I					1.8V	VIOIN_18 ADC			ADC
P2	P3	ADC2	ADC2			0	I					1.8V	VIOIN_18 ADC			ADC
R1	K2	ADC3	ADC3			0	I					1.8V	VIOIN_18 ADC			ADC
P1	K1	ADC4	ADC4			0	I					1.8V	VIOIN_18 ADC			ADC
M2	J1	ADC5	ADC5			0	I					1.8V	VIOIN_18 ADC			ADC
T2	L2	ADC6	ADC6			0	I					1.8V	VIOIN_18 ADC			ADC

表 5-1. 引脚属性 (ZCE、NZN 封装) (续)

ZCE 焊球编号	NZN 焊球编号	焊球名称	信号名称	引脚控制 寄存器	引脚控制 地址	MUX 模式	信号类型	DSIS	复位期间 的焊球状 态	复位之后 的焊球状 态	复位之后 的多路复 用模式	I/O 电压	电源域	迟滞	拉动类型	缓冲器类 型
N2	N3	ADC7	ADC7			0	I					1.8V	VIOIN_18 ADC			ADC
N1	J2	ADC8	ADC8			0	I					1.8V	VIOIN_18 ADC			ADC
M1	M3	ADC9	ADC9			0	I					1.8V	VIOIN_18 ADC			ADC
U1	N1	CLKM	CLKM			0	I					1.8V	VIOIN_18 CLK			时钟子系 统
V1	P1	CLKP	CLKP			0	I					1.8V	VIOIN_18 CLK			时钟子系 统
B6		CSI2_RX0CLKM	CSI2_RX0CLKM				I						VIOIN_18 CSI			MIPI D- PHY
A6		CSI2_RX0CLKP	CSI2_RX0CLKP				I						VIOIN_18 CSI			MIPI D- PHY
A8		CSI2_RX0M0	CSI2_RX0M0				I						VIOIN_18 CSI			MIPI D- PHY
A7		CSI2_RX0M1	CSI2_RX0M1				I						VIOIN_18 CSI			MIPI D- PHY
B5		CSI2_RX0M2	CSI2_RX0M2				I						VIOIN_18 CSI			MIPI D- PHY
B4		CSI2_RX0M3	CSI2_RX0M3				I						VIOIN_18 CSI			MIPI D- PHY
B8		CSI2_RX0P0	CSI2_RX0P0				I						VIOIN_18 CSI			MIPI D- PHY
B7		CSI2_RX0P1	CSI2_RX0P1				I						VIOIN_18 CSI			MIPI D- PHY
A5		CSI2_RX0P2	CSI2_RX0P2				I						VIOIN_18 CSI			MIPI D- PHY
A4		CSI2_RX0P3	CSI2_RX0P3				I						VIOIN_18 CSI			MIPI D- PHY
A11		CSI2_RX1CLKM	CSI2_RX1CLKM				I						VIOIN_18 CSI			MIPI D- PHY
B11		CSI2_RX1CLKP	CSI2_RX1CLKP				I						VIOIN_18 CSI			MIPI D- PHY
A13		CSI2_RX1M0	CSI2_RX1M0				I						VIOIN_18 CSI			MIPI D- PHY
B12		CSI2_RX1M1	CSI2_RX1M1				I						VIOIN_18 CSI			MIPI D- PHY
A10		CSI2_RX1M2	CSI2_RX1M2				I						VIOIN_18 CSI			MIPI D- PHY
A9		CSI2_RX1M3	CSI2_RX1M3				I						VIOIN_18 CSI			MIPI D- PHY
B13		CSI2_RX1P0	CSI2_RX1P0				I						VIOIN_18 CSI			MIPI D- PHY
A12		CSI2_RX1P1	CSI2_RX1P1				I						VIOIN_18 CSI			MIPI D- PHY

表 5-1. 引脚属性 (ZCE、NZN 封装) (续)

ZCE 焊球编号	NZN 焊球编号	焊球名称	信号名称	引脚控制寄存器	引脚控制地址	MUX 模式	信号类型	DSIS	复位期间的焊球状态	复位之后的焊球状态	复位之后的多路复用模式	I/O 电压	电源域	迟滞	拉动类型	缓冲器类型
B10		CSI2_RX1P2	CSI2_RX1P2				I						VIOIN_18 CSI			MIPI D-PHY
B9		CSI2_RX1P3	CSI2_RX1P3				I						VIOIN_18 CSI			MIPI D-PHY
H19	F14	DSS_UARTA_RX	RCSS_GPIO_47	PADDD_CFG_REG	0x020C0144	0	IO	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PU)	LVCMOS
			DSS_UARTA_RX			1	IO	Pad								
			RCSS_UARTA_TX			5	O	Pad								
			MSS_UARTA_TX			6	IO	Pad								
J19	G14	DSS_UARTA_TX	RCSS_GPIO_46	PADDC_CFG_REG	0x020C0140	0	IO	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PU)	LVCMOS
			MSS_CPTS0_HW1TSPUSH			1	I	Pad								
			DSS_UARTA_TX			4	IO	Pad								
			RCSS_UARTA_RX			5	I	Pad								
			MSS_UARTA_RX			6	IO	Pad								
H1	F3	FE1_REFCLK	MSS_GPIO_13	PADAB_CFG_REG	0x020C0004	0	IO	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			MSS_GPIO_0			1	IO	Pad								
			PMIC_CLKOUT			2	O	Pad								
			MSS_EPWM_TZ2			3	I	Pad								
			MSS_EPWMA1			10	O	Pad								
			MSS_EPWMB0			11	O	Pad								
J2	F2	FE2_REFCLK	MSS_GPIO_16	PADAC_CFG_REG	0x020C0008	0	IO	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			MSS_GPIO_1			1	IO	Pad								
			MSS_EPWM_TZ1			3	I	Pad								
			DMM_MUX_IN			12	I	Pad								
			MSS_MIBSPIB_CS1			13	IO	Pad								
			MSS_MIBSPIB_CS2			14	IO	Pad								
			MSS_EPWMA_SYNCI			15	I	Pad								
V17	R12	HW_SYNC_FE1	RCSS_GPIO_42	PADCY_CFG_REG	0x020C0130	0	IO	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			MSS_CPTS0_TS_GENF			1	O	Pad								
			RCSS_MCASPC_DAT3			4	IO	Pad								
W17	N11	HW_SYNC_FE2	RCSS_GPIO_43	PADCZ_CFG_REG	0x020C0134	0	IO	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			MSS_CPTS0_TS_COMP			1	O	Pad								
			RCSS_MCASPC_DAT2			4	IO	Pad								
W7		LVDS_CLKM	LVDS_CLKM				O									LVDS
V7		LVDS_CLKP	LVDS_CLKP				O									LVDS
W8		LVDS_FRCLKM	LVDS_FRCLKM				O									LVDS
V8		LVDS_FRCLKP	LVDS_FRCLKP				O									LVDS
V6		LVDS_TXM0	LVDS_TXM0				O									LVDS
V5		LVDS_TXM1	LVDS_TXM1				O									LVDS

表 5-1. 引脚属性 (ZCE、NZN 封装) (续)

ZCE 焊球编号	NZN 焊球编号	焊球名称	信号名称	引脚控制寄存器	引脚控制地址	MUX 模式	信号类型	DSIS	复位期间的焊球状态	复位之后的焊球状态	复位之后的多路复用模式	I/O 电压	电源域	迟滞	拉动类型	缓冲器类型
V4		LVDS_TXM2	LVDS_TXM2				O									LVDS
V3		LVDS_TXM3	LVDS_TXM3				O									LVDS
W6		LVDS_TXP0	LVDS_TXP0				O									LVDS
W5		LVDS_TXP1	LVDS_TXP1				O									LVDS
W4		LVDS_TXP2	LVDS_TXP2				O									LVDS
W3		LVDS_TXP3	LVDS_TXP3				O									LVDS
E3	D2	MSS_EPWMA0	MSS_GPIO_25	PADAY_CFG_REG	0x020C0060	0	IO	Pad	关闭/关闭	关闭/关闭/下拉	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			MCU_CLKOUT			1	O	Pad								
			MSS_EPWMA0			12	O	Pad								
			OBS_CLKOUT			15	O	Pad								
H2	F1	MSS_GPIO_2	MSS_GPIO_26	PADAZ_CFG_REG	0x020C0064	0	IO	Pad	关闭/关闭	关闭/关闭/下拉	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			MSS_GPIO_2			1	IO	Pad								
			MSS_UARTB_TX			7	IO	Pad								
			RCSS_GPIO_34			8	IO	Pad								
			PMIC_CLKOUT			10	O	Pad								
			MSS_EPWM_TZ0			14	I	Pad								
B3	B4	MSS_GPIO_8	MSS_GPIO_8	PADDM_CFG_REG	0x020C0168	0	IO	Pad	关闭/关闭	关闭/关闭/下拉	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			MSS_EPWMA_SYNCO			2	O	Pad								
			MSS_EPWMB_SYNCI			3	I	Pad								
			MSS_EPWMC0			4	O	Pad								
			RCSS_I2CB_SCL			5	IO	Pad								
			MSS_UARTA_TX			6	IO	Pad								
			MSS_CPTS0_TS_SYNC			7	O	Pad								
			RCSS_ECAPA_SYNCOUT			8	O	Pad								
			RCSS_GPIO_40			12	IO	Pad								
B19	A13	MSS_GPIO_9	MSS_GPIO_9	PADDN_CFG_REG	0x020C016C	0	IO	Pad	关闭/关闭	关闭/关闭/下拉	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			RCSS_UARTA_TX			2	O	Pad								
			MSS_EPWMB_SYNCO			3	O	Pad								
			MSS_EPWMA1			4	O	Pad								
			DSS_UARTA_TX			6	IO	Pad								
			MSS_CPTS0_HW2TSPUSH			7	I	Pad								
			RCSS_MCASPA_AHCLKX			8	IO	Pad								
			RCSS_ATL_CLK0			11	IO	Pad								
			RCSS_GPIO_41			12	IO	Pad								

表 5-1. 引脚属性 (ZCE、NZN 封装) (续)

ZCE 焊球编号	NZN 焊球编号	焊球名称	信号名称	引脚控制寄存器	引脚控制地址	MUX 模式	信号类型	DSIS	复位期间的焊球状态	复位之后的焊球状态	复位之后的多路复用模式	I/O 电压	电源域	迟滞	拉动类型	缓冲器类型
B18	A12	MSS_GPIO_10	MSS_GPIO_10	PADDO_CFG_REG	0x020C0170	0	IO	Pad	关闭/关闭	关闭/关闭/下拉	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			RCSS_UARTA_RX			2	I	Pad								
			MSS_EPWMC_SYNCI			3	I	Pad								
			MSS_EPWMB1			4	O	Pad								
			DSS_UARTA_RX			6	IO	Pad								
			MSS_CPTS0_HW1TSPUSH			7	I	Pad								
			RCSS_MCASPA_ACLKX			8	IO	Pad								
			RCSS_GPIO_42			12	IO	Pad								
C17	C12	MSS_GPIO_11	MSS_GPIO_11	PADDP_CFG_REG	0x020C0174	0	IO	Pad	关闭/关闭	关闭/关闭/下拉	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			RCSS_UARTA_RTS			2	O	Pad								
			MSS_EPWMC_SYNCO			3	O	Pad								
			MSS_EPWMC1			4	O	Pad								
			MSS_I2CA_SDA			5	IO	Pad								
			MSS_UARTB_TX			6	IO	Pad								
			RCSS_MCASPA_FXS			8	IO	Pad								
			RCSS_GPIO_43			12	IO	Pad								
A18	B12	MSS_GPIO_12	MSS_GPIO_12	PADDD_CFG_REG	0x020C0178	0	IO	Pad	关闭/关闭	关闭/关闭/下拉	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			MSS_I2CA_SCL			1	IO	Pad								
			RCSS_UARTA_CTS			2	I	Pad								
			RCSS_ECAPA_CAPIN_PWMO			4	IO	Pad								
			MSS_CPTS0_TS_GENF			5	O	Pad								
			MSS_UARTB_RX			6	IO	Pad								
			RCSS_ECAPA_CAPIN_PWMO			7	IO	Pad								
			RCSS_MCASPA_ACLKR			8	IO	Pad								
			MSS_RS232_RX			11	IO	Pad								
			RCSS_GPIO_44			12	IO	Pad								
B17	A11	MSS_GPIO_13	MSS_GPIO_13	PADDD_CFG_REG	0x020C017C	0	IO	Pad	关闭/关闭	关闭/关闭/下拉	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			MSS_I2CA_SDA			1	IO	Pad								
			MSS_CPTS0_TS_COMP			2	O	Pad								
			RCSS_UARTA_TX			4	O	Pad								
			MSS_UARTA_TX			5	IO	Pad								
			MSS_UARTB_TX			6	IO	Pad								
			DSS_UARTA_TX			7	IO	Pad								
			RCSS_MCASPA_FSR			8	IO	Pad								
			MSS_RS232_TX			11	IO	Pad								
			RCSS_GPIO_45			12	IO	Pad								

表 5-1. 引脚属性 (ZCE、NZN 封装) (续)

ZCE 焊球编号	NZN 焊球编号	焊球名称	信号名称	引脚控制寄存器	引脚控制地址	MUX 模式	信号类型	DSIS	复位期间的焊球状态	复位之后的焊球状态	复位之后的多路复用模式	I/O 电压	电源域	迟滞	拉动类型	缓冲器类型
G3	E2	MSS_GPIO_28	MSS_GPIO_28	PADBB_CFG_REG	0x020C006C	0	IO	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			SYNC_IN			1	I	Pad								
			RCSS_MCASP_B_AHCLKR			3	IO	Pad								
			MSS_UARTB_RX			6	IO	Pad								
			DMM_MUX_IN			7	I	Pad								
			DSS_UARTA_RX			8	IO	Pad								
F18	D13	MSS_I2CA_SCL	RCSS_GPIO_51	PADBZ_CFG_REG	0x020C00CC	0	IO	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			MSS_MII_RXER			1	I	Pad								
			MSS_RMII_RXER			2	I	Pad								
			MSS_I2CA_SCL			3	IO	Pad								
			MSS_EPWMC1			6	O	Pad								
F16	D14	MSS_I2CA_SDA	RCSS_GPIO_50	PADBY_CFG_REG	0x020C00C8	0	IO	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			MSS_MII_CRS			1	I	Pad								
			MSS_RMII_CRS_DV			2	I	Pad								
			MSS_I2CA_SDA			3	IO	Pad								
			MSS_EPWMB1			6	O	Pad								
B2	B3	MSS_MCANA_RX	MSS_GPIO_3	PADAF_CFG_REG	0x020C0014	0	IO	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PU)	LVCMOS
			MSS_MIBSPIA_CLK			1	IO	Pad								
			RCOSC_CLK			2	O	Pad								
			MSS_MCANB_RX			6	I	Pad								
			DSS_UARTA_TX			7	IO	Pad								
			MSS_MCANA_RX			9	I	Pad								
A2	C3	MSS_MCANA_TX	MSS_GPIO_30	PADAG_CFG_REG	0x020C0018	0	IO	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PU)	LVCMOS
			MSS_MIBSPIA_CS0			1	IO	Pad								
			RCOSC_CLK			2	O	Pad								
			MSS_MCANB_TX			6	O	Pad								
			MSS_MCANA_TX			9	O	Pad								
C1	A3	MSS_MCANB_RX	MSS_GPIO_19	PADAD_CFG_REG	0x020C000C	0	IO	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PU)	LVCMOS
			MSS_MIBSPIA_MOSI			1	IO	Pad								
			MSS_MCANA_RX			2	I	Pad								
			DSS_UARTA_TX			8	IO	Pad								
			MSS_MCANB_RX			9	I	Pad								
			MSS_I2CA_SCL			10	IO	Pad								

表 5-1. 引脚属性 (ZCE、NZN 封装) (续)

ZCE 焊球编号	NZN 焊球编号	焊球名称	信号名称	引脚控制寄存器	引脚控制地址	MUX 模式	信号类型	DSIS	复位期间的焊球状态	复位之后的焊球状态	复位之后的多路复用模式	I/O 电压	电源域	迟滞	拉动类型	缓冲器类型
B1	A4	MSS_MCANB_TX	MSS_GPIO_20	PADAE_CFG_REG	0x020C0010	0	IO	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PU)	LVCMOS
			MSS_MIBSPIA_MISO			1	IO	Pad								
			MSS_MCANB_TX			2	O	Pad								
			MSS_MCANB_TX			9	O	Pad								
			MSS_I2CA_SDA			10	IO	Pad								
R19	M15	MSS_MDIO_CLK	MSS_GPIO_31	PADCN_CFG_REG	0x020C0104	0	IO	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PU)	LVCMOS
			MSS_MDIO_CLK			1	O	Pad								
P19	M14	MSS_MDIO_DATA	MSS_GPIO_30	PADCM_CFG_REG	0x020C0100	0	IO	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PU)	LVCMOS
			MSS_MDIO_DATA			1	IO	Pad								
G19	E14	MSS_MIBSPIA_CLK	MSS_GPIO_5	PADDJ_CFG_REG	0x020C015C	0	IO	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PU)	LVCMOS
			MSS_CPTS0_TS_COMP			2	O	Pad								
			MSS_EPWMB1			3	O	Pad								
			RCSS_ECAPA_CAPIN_PWMO			4	IO	Pad								
			RCSS_I2CA_SDA			5	IO	Pad								
			MSS_UARTB_TX			6	IO	Pad								
			MSS_MIBSPIA_CLK			10	IO	Pad								
			RCSS_GPIO_37			12	IO	Pad								
F19	D15	MSS_MIBSPIA_CS0	MSS_GPIO_6	PADDK_CFG_REG	0x020C0160	0	IO	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PU)	LVCMOS
			MSS_EPWMA_SYNCI			1	I	Pad								
			MSS_EPWMA0			4	O	Pad								
			RCSS_I2CA_SCL			5	IO	Pad								
			MSS_UARTB_RX			6	IO	Pad								
			MSS_CPTS0_TS_GENF			7	O	Pad								
			MSS_MIBSPIA_CS0			10	IO	Pad								
			RCSS_GPIO_38			12	IO	Pad								
G18	E15	MSS_MIBSPIA_HOSTIRQ	MSS_GPIO_7	PADDL_CFG_REG	0x020C0164	0	IO	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			MSS_EPWMA_SYNCO			1	O	Pad								
			MSS_EPWMC1			2	O	Pad								
			MSS_EPWMB0			4	O	Pad								
			RCSS_I2CB_SDA			5	IO	Pad								
			MSS_UARTA_RX			6	IO	Pad								
			MSS_CPTS0_TS_COMP			7	O	Pad								
			RCSS_ECAPA_SYNCIN			8	I	Pad								
			MSS_MIBSPIA_HOSTIRQ			10	O	Pad								
			RCSS_GPIO_39			12	IO	Pad								

表 5-1. 引脚属性 (ZCE、NZN 封装) (续)

ZCE 焊球编号	NZN 焊球编号	焊球名称	信号名称	引脚控制寄存器	引脚控制地址	MUX 模式	信号类型	DSIS	复位期间的焊球状态	复位之后的焊球状态	复位之后的多路复用模式	I/O 电压	电源域	迟滞	拉动类型	缓冲器类型
G17	E13	MSS_MIBSPIA_MISO	MSS_GPIO_4	PADDI_CFG_REG	0x020C0158	0	IO	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PU)	LVCMOS
			MSS_CPTS0_TS_GENF			2	O	Pad								
			RCSS_ATL_CLK1			3	IO	Pad								
			RCSS_I2CB_SCL			4	IO	Pad								
			MSS_EPWMB1			5	O	Pad								
			MSS_EPWMB0			6	O	Pad								
			OBS_CLKOUT			8	O	Pad								
			RCSS_UARTA_CTS			9	I	Pad								
			MSS_MIBSPIA_MISO			10	IO	Pad								
			RCSS_GPIO_36			12	IO	Pad								
H18	F15	MSS_MIBSPIA_MOSI	MSS_GPIO_3	PADDH_CFG_REG	0x020C0154	0	IO	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PU)	LVCMOS
			OBS_CLKOUT			1	O	Pad								
			RCSS_ATL_CLK0			2	IO	Pad								
			RCSS_I2CB_SDA			4	IO	Pad								
			MSS_EPWMA1			5	O	Pad								
			RCSS_UARTA_RTS			9	O	Pad								
			MSS_MIBSPIA_MOSI			10	IO	Pad								
			RCSS_GPIO_35			12	IO	Pad								
D18	B14	MSS_MIBSPIB_CLK	MSS_GPIO_5	PADAJ_CFG_REG	0x020C0024	0	IO	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PU)	LVCMOS
			MSS_MIBSPIB_CLK			1	IO	Pad								
			MSS_UARTA_RX			2	IO	Pad								
			MSS_EPWMC0			3	O	Pad								
			MSS_UARTB_TX			6	IO	Pad								
			MSS_MCANA_RX			8	I	Pad								
D19	B15	MSS_MIBSPIB_CS0	MSS_GPIO_4	PADAK_CFG_REG	0x020C0028	0	IO	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PU)	LVCMOS
			MSS_MIBSPIB_CS0			1	IO	Pad								
			MSS_UARTA_TX			2	IO	Pad								
			MSS_UARTB_TX			6	IO	Pad								
			MSS_MCANA_TX			9	O	Pad								
E18	C15	MSS_MIBSPIB_CS1	MSS_GPIO_12	PADAA_CFG_REG	0x020C0000	0	IO	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			MSS_MIBSPIA_HOSTIRQ			1	O	Pad								
			MSS_MIBSPIB_CS1			6	IO	Pad								

表 5-1. 引脚属性 (ZCE、NZN 封装) (续)

ZCE 焊球编号	NZN 焊球编号	焊球名称	信号名称	引脚控制寄存器	引脚控制地址	MUX 模式	信号类型	DSIS	复位期间的焊球状态	复位之后的焊球状态	复位之后的多路复用模式	I/O 电压	电源域	迟滞	拉动类型	缓冲器类型
E17	C14	MSS_MIBSPIB_CS2	MSS_GPIO_29	PADBC_CFG_REG	0x020C0070	0	IO	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			RCOSC_CLK			2	O	Pad								
			DMM_MUX_IN			9	I	Pad								
			MSS_MIBSPIB_CS1			10	IO	Pad								
			MSS_MIBSPIB_CS2			11	IO	Pad								
			MSS_EPWMB0			12	O	Pad								
			MSS_EPWMB1			13	O	Pad								
C19	A14	MSS_MIBSPIB_MISO	MSS_GPIO_22	PADAL_CFG_REG	0x020C0020	0	IO	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PU)	LVCMOS
			MSS_MIBSPIB_MISO			1	IO	Pad								
			MSS_I2CA_SCL			2	IO	Pad								
			MSS_EPWMB0			3	O	Pad								
			DSS_UARTA_TX			6	IO	Pad								
			MSS_MCANB_TX			7	O	Pad								
C18	B13	MSS_MIBSPIB_MOSI	MSS_GPIO_21	PADAH_CFG_REG	0x020C001C	0	IO	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PU)	LVCMOS
			MSS_MIBSPIB_MOSI			1	IO	Pad								
			MSS_I2CA_SDA			2	IO	Pad								
			MSS_EPWMA0			3	O	Pad								
			MSS_MCANB_RX			7	I	Pad								
E1	D1	MSS_QSPI_CLK	MSS_GPIO_7	PADAP_CFG_REG	0x020C003C	0	IO	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			MSS_QSPI_CLK			1	IO	Pad								
			MSS_MIBSPIB_CLK			2	IO	Pad								
			DSS_UARTA_TX			6	IO	Pad								
F2	C1	MSS_QSPI_CS	MSS_GPIO_6	PADAQ_CFG_REG	0x020C0040	0	IO	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PU)	LVCMOS
			MSS_QSPI_CS			1	O	Pad								
			MSS_MIBSPIB_CS0			2	IO	Pad								
C2	B2	MSS_QSPI_D0	MSS_GPIO_8	PADAL_CFG_REG	0x020C002C	0	IO	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			MSS_QSPI_D0			1	IO	Pad								
			MSS_MIBSPIB_MISO			2	IO	Pad								
D2	A2	MSS_QSPI_D1	MSS_GPIO_9	PADAM_CFG_REG	0x020C0030	0	IO	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			MSS_QSPI_D1			1	I	Pad								
			MSS_MIBSPIB_MOSI			2	IO	Pad								
			MSS_MIBSPIB_CS2			8	IO	Pad								
D1	C2	MSS_QSPI_D2	MSS_GPIO_10	PADAN_CFG_REG	0x020C0034	0	IO	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PU)	LVCMOS
			MSS_QSPI_D2			1	I	Pad								
			MSS_MCANB_TX			8	O	Pad								

表 5-1. 引脚属性 (ZCE、NZN 封装) (续)

ZCE 焊球编号	NZN 焊球编号	焊球名称	信号名称	引脚控制寄存器	引脚控制地址	MUX 模式	信号类型	DSIS	复位期间的焊球状态	复位之后的焊球状态	复位之后的多路复用模式	I/O 电压	电源域	迟滞	拉动类型	缓冲器类型
E2	B1	MSS_QSPI_D3	MSS_GPIO_11	PADAOCFG_REG	0x020C0038	0	IO	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PU)	LVCMOS
			MSS_QSPI_D3			1	I	Pad								
			MSS_MCANA_RX			8	I	Pad								
M19	K15	MSS_RGMII_RCLK	RCSS_GPIO_59	PADCHCFG_REG	0x020C00EC	0	IO	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			MSS_MII_RXCLK			1	I	Pad								
			MSS_RGMII_RCLK			3	I	Pad								
			RCSS_I2CA_SCL			5	IO	Pad								
J17	G13	MSS_RGMII_RCTL	RCSS_GPIO_53	PADCB_CFG_REG	0x020C00D4	0	IO	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			MSS_MII_RXDV			1	I	Pad								
			MSS_RGMII_RCTL			3	I	Pad								
			MSS_UARTB_RX			5	IO	Pad								
			MSS_EPWMB0			6	O	Pad								
P18	M13	MSS_RGMII_RD0	RCSS_GPIO_63	PADCL_CFG_REG	0x020C00FC	0	IO	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			MSS_MII_RXD0			1	I	Pad								
			MSS_RMII_RXD0			2	I	Pad								
			MSS_RGMII_RD0			3	I	Pad								
N19	L15	MSS_RGMII_RD1	RCSS_GPIO_62	PADCK_CFG_REG	0x020C00F8	0	IO	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			MSS_MII_RXD1			1	I	Pad								
			MSS_RMII_RXD1			2	I	Pad								
			MSS_RGMII_RD1			3	I	Pad								
M18	L14	MSS_RGMII_RD2	RCSS_GPIO_61	PADCJ_CFG_REG	0x020C00F4	0	IO	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			MSS_MII_RXD2			1	I	Pad								
			MSS_RGMII_RD2			3	I	Pad								
			RCSS_I2CB_SCL			5	IO	Pad								
L19	J13	MSS_RGMII_RD3	RCSS_GPIO_60	PADCI_CFG_REG	0x020C00F0	0	IO	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			MSS_MII_RXD3			1	I	Pad								
			MSS_RGMII_RD3			3	I	Pad								
			RCSS_I2CB_SDA			5	IO	Pad								
K19	H15	MSS_RGMII_TCLK	RCSS_GPIO_58	PADCG_CFG_REG	0x020C00E8	0	IO	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			MSS_MII_RXD3			1	I	Pad								
			MSS_RGMII_RD3			3	I	Pad								
			RCSS_I2CB_SDA			5	IO	Pad								
J18	G15	MSS_RGMII_TCTL	RCSS_GPIO_52	PADCA_CFG_REG	0x020C00D0	0	IO	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			MSS_MII_TXEN			1	O	Pad								
			MSS_RMII_TXEN			2	O	Pad								
			MSS_RGMII_TCTL			3	O	Pad								
			MSS_EPWMA0			6	O	Pad								

表 5-1. 引脚属性 (ZCE、NZN 封装) (续)

ZCE 焊球编号	NZN 焊球编号	焊球名称	信号名称	引脚控制寄存器	引脚控制地址	MUX 模式	信号类型	DSIS	复位期间的焊球状态	复位之后的焊球状态	复位之后的多路复用模式	I/O 电压	电源域	迟滞	拉动类型	缓冲器类型
L18	J14	MSS_RGMII_TD0	RCSS_GPIO_57	PADCF_CFG_REG	0x020C00E4	0	IO	Pad	关闭/关闭	关闭/关闭/下拉	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			MSS_MII_TXD0			1	O	Pad								
			MSS_RMII_TXD0			2	O	Pad								
			MSS_RGMII_TD0			3	O	Pad								
L17	J15	MSS_RGMII_TD1	RCSS_GPIO_56	PADCE_CFG_REG	0x020C00E0	0	IO	Pad	关闭/关闭	关闭/关闭/下拉	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			MSS_MII_TXD1			1	O	Pad								
			MSS_RMII_TXD1			2	O	Pad								
			MSS_RGMII_TD1			3	O	Pad								
K16	H13	MSS_RGMII_TD2	RCSS_GPIO_55	PADCD_CFG_REG	0x020C00DC	0	IO	Pad	关闭/关闭	关闭/关闭/下拉	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			MSS_MII_TXD2			1	O	Pad								
			MSS_RGMII_TD2			3	O	Pad								
K18	H14	MSS_RGMII_TD3	RCSS_GPIO_54	PADCC_CFG_REG	0x020C00D8	0	IO	Pad	关闭/关闭	关闭/关闭/下拉	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			MSS_MII_TXD3			1	O	Pad								
			MSS_RGMII_TD3			3	O	Pad								
			MSS_UARTB_TX			5	IO	Pad								
			MSS_EPWMC0			6	O	Pad								
G2	E1	MSS_RS232_RX	MSS_GPIO_15	PADBD_CFG_REG	0x020C0074	0	IO	Pad	关闭/关闭	关闭/关闭/上拉	1	1.8V/3.3V	VIOIN	有	PU/PD (PU)	LVCMOS
			MSS_RS232_RX			1	IO	Pad								
			MSS_UARTA_RX			2	IO	Pad								
			MSS_UARTB_RX			7	IO	Pad								
			MSS_MCANA_RX			8	I	Pad								
			MSS_I2CA_SCL			9	IO	Pad								
			MSS_EPWMB0			10	O	Pad								
			MSS_EPWMB1			11	O	Pad								
			MSS_EPWMC0			12	O	Pad								
G1	E3	MSS_RS232_TX	MSS_GPIO_14	PADBE_CFG_REG	0x020C0078	0	IO	Pad	关闭/关闭	关闭/关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (无拉动)	LVCMOS
			MSS_RS232_TX			1	IO	Pad								
			MSS_UARTA_TX			5	IO	Pad								
			MSS_UARTB_TX			6	IO	Pad								
			MSS_MCANA_TX			10	O	Pad								
			MSS_I2CA_SDA			11	IO	Pad								
			MSS_EPWMA0			12	O	Pad								
			MSS_EPWMA1			13	O	Pad								
			NDMM_EN			14	O	Pad								
			MSS_EPWMB0			15	O	Pad								

表 5-1. 引脚属性 (ZCE、NZN 封装) (续)

ZCE 焊球编号	NZN 焊球编号	焊球名称	信号名称	引脚控制寄存器	引脚控制地址	MUX 模式	信号类型	DSIS	复位期间的焊球状态	复位之后的焊球状态	复位之后的多路复用模式	I/O 电压	电源域	迟滞	拉动类型	缓冲器类型
U3	R3	MSS_UARTA_RX	RCSS_GPIO_44	PADDA_CFG_REG	0x020C0138	0	IO	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PU)	LVCMOS
			MSS_CPTS0_TS_SYNC			1	O	Pad								
			MSS_UARTB_TX			4	IO	Pad								
			MSS_UARTA_RX			5	IO	Pad								
			DSS_UARTA_TX			6	IO	Pad								
W2	R4	MSS_UARTA_TX	RCSS_GPIO_45	PADDB_CFG_REG	0x020C013C	0	IO	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PU)	LVCMOS
			MSS_CPTS0_HW2TSPUSH			1	I	Pad								
			MSS_UARTB_RX			4	IO	Pad								
			MSS_UARTA_TX			5	IO	Pad								
			DSS_UARTA_RX			6	IO	Pad								
V9	P4	MSS_UARTB_TX	MSS_GPIO_0	PADDE_CFG_REG	0x020C0148	0	IO	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PU)	LVCMOS
			DSS_UARTA_TX			1	IO	Pad								
			MSS_EPWMB_SYNCI			3	I	Pad								
			MSS_UARTA_TX			5	IO	Pad								
			MSS_UARTB_TX			6	IO	Pad								
			RCSS_GPIO_32			12	IO	Pad								
C15	B7	NERRORIN_FE1	MSS_GPIO_16	PADDU_CFG_REG	0x020C0188	0	IO	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			RCSS_MCASPA_DAT10			7	IO	Pad								
			RCSS_MCASPA_DAT2			8	IO	Pad								
			RCSS_GPIO_48			12	IO	Pad								
A16	C7	NERRORIN_FE2	MSS_GPIO_17	PADDV_CFG_REG	0x020C018C	0	IO	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			RCSS_MCASPA_DAT11			7	IO	Pad								
			RCSS_MCASPA_DAT3			8	IO	Pad								
			RCSS_GPIO_49			12	IO	Pad								
L3	H2	NERROR_IN	NERROR_IN	PADAR_CFG_REG	0x020C0044	0	I	Pad	关闭/关闭	关闭/NA/上拉	0	1.8V/3.3V	VIOIN	有	拉电阻禁用	LVCMOS
L1	H1	NERROR_OUT	NERROR_OUT	PADAT_CFG_REG	0x020C004C	0	IO	Pad	关闭/关闭	关闭/NA/关闭	0	1.8V/3.3V	VIOIN	有	拉电阻禁用	LVCMOS
L2	J3	NRESET	NRESET				I					1.8V/3.3V	VIOIN	有	PU/PD	LVCMOS
B15	B6	NRESET_FE1	MSS_GPIO_18	PADDW_CFG_REG	0x020C0190	0	IO	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			RCSS_MCASPA_DAT12			7	IO	Pad								
			RCSS_MCASPA_DAT4			8	IO	Pad								
			RCSS_GPIO_50			12	IO	Pad								

表 5-1. 引脚属性 (ZCE、NZN 封装) (续)

ZCE 焊球编号	NZN 焊球编号	焊球名称	信号名称	引脚控制寄存器	引脚控制地址	MUX 模式	信号类型	DSIS	复位期间的焊球状态	复位之后的焊球状态	复位之后的多路复用模式	I/O 电压	电源域	迟滞	拉动类型	缓冲器类型
A15	A6	NRESET_FE2	MSS_GPIO_19	PADDX_CFG_REG	0x020C0194	0	IO	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			RCSS_I2CA_SDA			3	IO	Pad								
			RCSS_MCASPA_DAT13			7	IO	Pad								
			RCSS_MCASPA_DAT5			8	IO	Pad								
			RCSS_GPIO_51			12	IO	Pad								
B14	B5	NWARMRESET_IN_FE1	MSS_GPIO_20	PADDY_CFG_REG	0x020C0198	0	IO	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			RCSS_I2CA_SCL			3	IO	Pad								
			RCSS_MCASPA_DAT14			7	IO	Pad								
			RCSS_MCASPA_DAT6			8	IO	Pad								
			RCSS_GPIO_52			12	IO	Pad								
C13	A5	NWARMRESET_IN_FE2	MSS_GPIO_21	PADDZ_CFG_REG	0x020C019C	0	IO	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			RCSS_ECAPA_CAPIN_PWM0			4	IO	Pad								
			RCSS_MCASPA_DAT15			7	IO	Pad								
			RCSS_MCASPA_DAT7			8	IO	Pad								
			RCSS_GPIO_53			12	IO	Pad								
T4	R2	OSC_CLK_OUT_AUDIO	OSCCLKOUT			0	O					1.8V	VIOIN_18 CLK			时钟子系统输出
F1	D3	PMIC_CLKOUT	MSS_GPIO_27	PADBA_CFG_REG	0x020C0068	0	IO	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			PMIC_CLKOUT			1	O	Pad								
			OBS_CLKOUT			2	O	Pad								
			MSS_EPWMA1			11	O	Pad								
			MSS_EPWMB0			12	O	Pad								
E19	C13	RCSS_GPIO_49	RCSS_GPIO_49	PADBX_CFG_REG	0x020C00C4	0	IO	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			MSS_MII_COL			1	I	Pad								
			MSS_RMII_REFCLK			2	IO	Pad								
			MSS_EPWMA1			6	O	Pad								
	B10	RCSS_MCASPA_DAT8	MSS_GPIO_22	PADEA_CFG_REG	0x020C01A0	0	IO	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			MSS_UARTA_RX			1	IO	Pad								
			MSS_GPIO_0			2	IO	Pad								
			RCSS_ECAPA_SYNCIN			4	I	Pad								
			RCSS_I2CA_SDA			5	IO	Pad								
			RCSS_GPIO_54			12	IO	Pad								
	A10	RCSS_MCASPA_DAT9	MSS_GPIO_23	PADEB_CFG_REG	0x020C01A4	0	IO	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			MSS_UARTA_TX			1	IO	Pad								
			MSS_GPIO_1			2	IO	Pad								
			RCSS_ECAPA_SYNCOUT			4	O	Pad								
			RCSS_I2CA_SCL			5	IO	Pad								
			RCSS_GPIO_55			12	IO	Pad								

表 5-1. 引脚属性 (ZCE、NZN 封装) (续)

ZCE 焊球编号	NZN 焊球编号	焊球名称	信号名称	引脚控制寄存器	引脚控制地址	MUX 模式	信号类型	DSIS	复位期间的焊球状态	复位之后的焊球状态	复位之后的多路复用模式	I/O 电压	电源域	迟滞	拉动类型	缓冲器类型
	A9	RCSS_MCASPA_DAT10	MSS_GPIO_24	PADEC_CFG_REG	0x020C01A8	0	IO	Pad	关闭/关闭	关闭/关闭/下拉	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			MSS_UARTB_TX			1	IO	Pad								
			MSS_GPIO_2			2	IO	Pad								
			RCSS_ECAPA_CAPIN_PWMO			4	IO	Pad								
			RCSS_I2CB_SDA			5	IO	Pad								
			RCSS_GPIO_56			12	IO	Pad								
	C9	RCSS_MCASPA_DAT11	MSS_GPIO_25	PADEC_CFG_REG	0x020C01AC	0	IO	Pad	关闭/关闭	关闭/关闭/下拉	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			MSS_UARTB_RX			1	IO	Pad								
			MSS_GPIO_3			2	IO	Pad								
			RCSS_ECAPA_SYNCIN			4	I	Pad								
			RCSS_I2CB_SCL			5	IO	Pad								
			RCSS_GPIO_57			12	IO	Pad								
	B9	RCSS_MCASPA_DAT12	MSS_GPIO_26	PADEE_CFG_REG	0x020C01B0	0	IO	Pad	关闭/关闭	关闭/关闭/下拉	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			RCSS_UARTA_RTS			1	IO	Pad								
			MSS_GPIO_4			2	IO	Pad								
			RCSS_ECAPA_SYNCOUT			4	O	Pad								
			RCSS_ECAPA_CAPIN_PWMO			5	IO	Pad								
			RCSS_GPIO_58			12	IO	Pad								
	A8	RCSS_MCASPA_DAT13	MSS_GPIO_27	PADEF_CFG_REG	0x020C01B4	0	IO	Pad	关闭/关闭	关闭/关闭/下拉	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			RCSS_UARTA_CTS			1	I	Pad								
			MSS_GPIO_9			2	IO	Pad								
			DSS_UARTA_RX			3	IO	Pad								
			RCSS_GPIO_59			12	IO	Pad								
	B8	RCSS_MCASPA_DAT14	MSS_GPIO_28	PADEG_CFG_REG	0x020C01B8	0	IO	Pad	关闭/关闭	关闭/关闭/下拉	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			RCSS_UARTA_TX			1	O	Pad								
			MSS_GPIO_10			2	IO	Pad								
			MSS_I2CA_SDA			5	IO	Pad								
			RCSS_GPIO_60			12	IO	Pad								
	A7	RCSS_MCASPA_DAT15	MSS_GPIO_29	PADEH_CFG_REG	0x020C01BC	0	IO	Pad	关闭/关闭	关闭/关闭/下拉	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			RCSS_UARTA_RX			1	I	Pad								
			MSS_GPIO_11			2	IO	Pad								
			MSS_I2CA_SCL			5	IO	Pad								
			RCSS_GPIO_61			12	IO	Pad								
T18	P15	RCSS_MIBSPIA_CLK	RCSS_GPIO_34	PADCQ_CFG_REG	0x020C0110	0	IO	Pad	关闭/关闭	关闭/关闭/上拉	1	1.8V/3.3V	VIOIN	有	PU/PD (PU)	LVCMOS
			RCSS_MIBSPIA_CLK			1	IO	Pad								
			RCSS_I2CB_SDA			2	IO	Pad								
			MSS_MIBSPIA_CLK			5	IO	Pad								

表 5-1. 引脚属性 (ZCE、NZN 封装) (续)

ZCE 焊球编号	NZN 焊球编号	焊球名称	信号名称	引脚控制寄存器	引脚控制地址	MUX 模式	信号类型	DSIS	复位期间的焊球状态	复位之后的焊球状态	复位之后的多路复用模式	I/O 电压	电源域	迟滞	拉动类型	缓冲器类型
T19	P14	RCSS_MIBSPIA_CS0	RCSS_GPIO_35	PADCR_CFG_REG	0x020C0114	0	IO	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PU)	LVCMOS
			RCSS_MIBSPIA_CS0			1	IO	Pad								
			RCSS_I2CB_SCL			2	IO	Pad								
			MSS_MIBSPIA_CS0			5	IO	Pad								
U18	N13	RCSS_MIBSPIA_HOSTIRQ	RCSS_GPIO_36	PADCS_CFG_REG	0x020C0118	0	IO	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			RCSS_MIBSPIA_CS1			1	IO	Pad								
			MSS_GPIO_2			2	IO	Pad								
			MSS_GPIO_8			3	IO	Pad								
			MSS_MIBSPIA_HOSTIRQ			5	O	Pad								
			MSS_MIBSPIB_CS2			6	IO	Pad								
			RCSS_GPIO_34			7	IO	Pad								
			RCSS_GPIO_40			10	IO	Pad								
R17	N14	RCSS_MIBSPIA_MISO	RCSS_GPIO_33	PADCP_CFG_REG	0x020C010C	0	IO	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PU)	LVCMOS
			RCSS_MIBSPIA_MISO			1	IO	Pad								
			RCSS_I2CA_SCL			2	IO	Pad								
			MSS_MIBSPIA_MISO			5	IO	Pad								
R18	N15	RCSS_MIBSPIA_MOSI	RCSS_GPIO_32	PADCO_CFG_REG	0x020C0108	0	IO	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PU)	LVCMOS
			RCSS_MIBSPIA_MOSI			1	IO	Pad								
			RCSS_I2CA_SDA			2	IO	Pad								
			MSS_MIBSPIA_MOSI			5	IO	Pad								
V19	R14	RCSS_MIBSPIB_CLK	RCSS_GPIO_39	PADCV_CFG_REG	0x020C0124	0	IO	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PU)	LVCMOS
			RCSS_MIBSPIB_CLK			1	IO	Pad								
			RCSS_I2CB_SDA			2	IO	Pad								
			MSS_CPTS0_TS_SYNC			3	O	Pad								
			MSS_MIBSPIB_CLK			5	IO	Pad								
U17	N12	RCSS_MIBSPIB_CS0	RCSS_GPIO_40	PADCW_CFG_REG	0x020C0128	0	IO	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PU)	LVCMOS
			RCSS_MIBSPIB_CS0			1	IO	Pad								
			RCSS_I2CB_SCL			2	IO	Pad								
			MSS_CPTS0_TS_COMP			3	O	Pad								
			RCSS_MCASPC_DAT5			4	IO	Pad								
			MSS_MIBSPIB_CS0			5	IO	Pad								

表 5-1. 引脚属性 (ZCE、NZN 封装) (续)

ZCE 焊球编号	NZN 焊球编号	焊球名称	信号名称	引脚控制寄存器	引脚控制地址	MUX 模式	信号类型	DSIS	复位期间的焊球状态	复位之后的焊球状态	复位之后的多路复用模式	I/O 电压	电源域	迟滞	拉动类型	缓冲器类型
W18	P12	RCSS_MIBSPIB_HOSTIRQ	RCSS_GPIO_41	PADCX_CFG_REG	0x020C012C	0	IO	Pad	关闭/关闭	关闭/关闭/下拉	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			RCSS_MIBSPIB_CS1			1	IO	Pad								
			MSS_CPTS0_TS_GENF			3	O	Pad								
			RCSS_MCASPC_DAT4			4	IO	Pad								
			MSS_MIBSPIB_CS1			5	IO	Pad								
			MSS_GPIO_3			6	IO	Pad								
			MSS_GPIO_9			7	IO	Pad								
			RCSS_GPIO_35			10	IO	Pad								
V18	R13	RCSS_MIBSPIB_MISO	RCSS_GPIO_38	PADCU_CFG_REG	0x020C0120	0	IO	Pad	关闭/关闭	关闭/关闭/上拉	1	1.8V/3.3V	VIOIN	有	PU/PD (PU)	LVCMOS
			RCSS_MIBSPIB_MISO			1	IO	Pad								
			RCSS_I2CA_SCL			2	IO	Pad								
			MSS_CPTS0_HW2TSPUSH			3	I	Pad								
			MSS_MIBSPIB_MISO			5	IO	Pad								
U19	P13	RCSS_MIBSPIB_MOSI	RCSS_GPIO_37	PADCT_CFG_REG	0x020C011C	0	IO	Pad	关闭/关闭	关闭/关闭/上拉	1	1.8V/3.3V	VIOIN	有	PU/PD (PU)	LVCMOS
			RCSS_MIBSPIB_MOSI			1	IO	Pad								
			RCSS_I2CA_SDA			2	IO	Pad								
			MSS_CPTS0_HW1TSPUSH			3	I	Pad								
			MSS_MIBSPIB_MOSI			5	IO	Pad								
B16	C11	RCSS_UARTA_RX	MSS_GPIO_15	PADDT_CFG_REG	0x020C0184	0	IO	Pad	关闭/关闭	关闭/关闭/上拉	1	1.8V/3.3V	VIOIN	有	PU/PD (PU)	LVCMOS
			RCSS_UARTA_RX			2	I	Pad								
			RCSS_I2CB_SCL			3	IO	Pad								
			RCSS_MCASPA_DAT9			7	IO	Pad								
			RCSS_MCASPA_DAT1			8	IO	Pad								
			RCSS_GPIO_47			12	IO	Pad								
A17	B11	RCSS_UARTA_TX	MSS_GPIO_14	PADDS_CFG_REG	0x020C0180	0	IO	Pad	关闭/关闭	关闭/关闭/上拉	1	1.8V/3.3V	VIOIN	有	PU/PD (PU)	LVCMOS
			RCSS_UARTA_TX			2	O	Pad								
			RCSS_I2CB_SDA			3	IO	Pad								
			RCSS_MCASPA_DAT8			7	IO	Pad								
			RCSS_MCASPA_DAT0			8	IO	Pad								
			RCSS_GPIO_46			12	IO	Pad								
P4	L3	Reserved1	Reserved1			0	保留									
N3	K3	Reserved2	Reserved2			0	保留									
C3	D4	TCK	MSS_GPIO_17	PADAU_CFG_REG	0x020C0050	0	IO	Pad	关闭/关闭	关闭/关闭/下拉	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			TCK			1	I	Pad								
			MSS_UARTB_TX			2	IO	Pad								
			MSS_MCANA_TX			8	O	Pad								

表 5-1. 引脚属性 (ZCE、NZN 封装) (续)

ZCE 焊球编号	NZN 焊球编号	焊球名称	信号名称	引脚控制寄存器	引脚控制地址	MUX 模式	信号类型	DSIS	复位期间的焊球状态	复位之后的焊球状态	复位之后的多路复用模式	I/O 电压	电源域	迟滞	拉动类型	缓冲器类型
C5	C5	TDI	MSS_GPIO_23	PADAW_CFG_REG	0x020C0058	0	IO	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PU)	LVCMOS
			TDI			1	I	Pad								
			MSS_UARTA_RX			2	IO	Pad								
			DSS_UARTA_RX			7	IO	Pad								
D6	C6	TDO	MSS_GPIO_24	PADAX_CFG_REG	0x020C005C	0	IO	Pad	关闭/关闭	关闭/NA/关闭	1	1.8V/3.3V	VIOIN	有	拉电阻禁用	LVCMOS
			TDO			1	O	Pad								
			MSS_UARTA_TX			2	IO	Pad								
			MSS_UARTB_TX			6	IO	Pad								
			NDMM_EN			9	O	Pad								
D4	C4	TMS	MSS_GPIO_18	PADAV_CFG_REG	0x020C0054	0	IO	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PU)	LVCMOS
			TMS			1	IO	Pad								
			MSS_MCANA_RX			6	I	Pad								
W12	N6	TRACE_CLK	TRACE_CLK	PADBV_CFG_REG	0x020C00BC	0	O	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			RCSS_GPIO_47			1	IO	Pad								
			DMM_CLK			2	I	Pad								
			RCSS_MCASPB_DAT5			7	IO	Pad								
			DSS_UARTA_RX			10	IO	Pad								
			RCSS_I2CA_SCL			11	IO	Pad								
V12	R7	TRACE_CTL	TRACE_CTL	PADBW_CFG_REG	0x020C00C0	0	O	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			RCSS_GPIO_48			1	IO	Pad								
			DMM_SYNC			2	I	Pad								
			RCSS_MCASPB_AHCLKX			7	IO	Pad								
			DSS_UARTA_TX			10	IO	Pad								
V16	P11	TRACE_DATA_0	TRACE_DATA_0	PADBF_CFG_REG	0x020C007C	0	O	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			MSS_GPIO_31			1	IO	Pad								
			DMM0			2	I	Pad								
			MSS_UARTA_TX			4	IO	Pad								
			RCSS_MCASPC_DAT1			7	IO	Pad								
			MSS_I2CA_SDA			10	IO	Pad								
U15	R11	TRACE_DATA_1	TRACE_DATA_1	PADBG_CFG_REG	0x020C0080	0	O	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			RCSS_GPIO_32			1	IO	Pad								
			DMM1			2	I	Pad								
			MSS_EPWMC_SYNCI			3	I	Pad								
			MSS_UARTA_RX			4	IO	Pad								
			RCSS_MCASPC_DAT0			7	IO	Pad								
			MSS_I2CA_SCL			10	IO	Pad								

表 5-1. 引脚属性 (ZCE、NZN 封装) (续)

ZCE 焊球编号	NZN 焊球编号	焊球名称	信号名称	引脚控制寄存器	引脚控制地址	MUX 模式	信号类型	DSIS	复位期间的焊球状态	复位之后的焊球状态	复位之后的多路复用模式	I/O 电压	电源域	迟滞	拉动类型	缓冲器类型
W16	P10	TRACE_DATA_2	TRACE_DATA_2	PADBH_CFG_REG	0x020C0084	0	O	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			RCSS_GPIO_33			1	IO	Pad								
			DMM2			2	I	Pad								
			MSS_EPWMB_SYNCI			3	I	Pad								
			RCSS_MCASPC_FSR			7	IO	Pad								
V15	R10	TRACE_DATA_3	TRACE_DATA_3	PADBI_CFG_REG	0x020C0088	0	O	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			RCSS_GPIO_34			1	IO	Pad								
			DMM3			2	I	Pad								
			MSS_EPWMC_SYNCO			4	O	Pad								
			RCSS_MCASPC_ACLKR			7	IO	Pad								
W15	N9	TRACE_DATA_4	TRACE_DATA_4	PADBJ_CFG_REG	0x020C008C	0	O	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			RCSS_GPIO_35			1	IO	Pad								
			DMM4			2	I	Pad								
			MSS_EPWMB_SYNCO			4	O	Pad								
			RCSS_MCASPC_FSX			7	IO	Pad								
V14	R9	TRACE_DATA_5	TRACE_DATA_5	PADBK_CFG_REG	0x020C0090	0	O	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			RCSS_GPIO_36			1	IO	Pad								
			DMM5			2	I	Pad								
			MSS_EPWM_TZ2			4	I	Pad								
			MSS_UARTB_TX			5	IO	Pad								
			RCSS_MCASPC_ACLKX			7	IO	Pad								
U13	P9	TRACE_DATA_6	TRACE_DATA_6	PADBL_CFG_REG	0x020C0094	0	O	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			RCSS_GPIO_37			1	IO	Pad								
			DMM6			2	I	Pad								
			MSS_EPWM_TZ1			4	I	Pad								
			RCSS_MCASPC_AHCLKX			7	IO	Pad								
W14	R8	TRACE_DATA_7	TRACE_DATA_7	PADBM_CFG_REG	0x020C0098	0	O	Pad	关闭/关闭	关闭/关闭	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			RCSS_GPIO_38			1	IO	Pad								
			DMM7			2	I	Pad								
			MSS_EPWM_TZ0			4	I	Pad								
			DSS_UARTA_TX			5	IO	Pad								
			RCSS_MCASPB_ACLKX			7	IO	Pad								

表 5-1. 引脚属性 (ZCE、NZN 封装) (续)

ZCE 焊球编号	NZN 焊球编号	焊球名称	信号名称	引脚控制寄存器	引脚控制地址	MUX 模式	信号类型	DSIS	复位期间的焊球状态	复位之后的焊球状态	复位之后的多路复用模式	I/O 电压	电源域	迟滞	拉动类型	缓冲器类型
V13	P8	TRACE_DATA_8	TRACE_DATA_8	PADBN_CFG_REG	0x020C009C	0	O	Pad	关闭/关闭	关闭/关闭/下拉	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			RCSS_GPIO_39			1	IO	Pad								
			DMM8			2	I	Pad								
			MSS_MCANA_TX			4	O	Pad								
			MSS_EPWMA_SYNCI			5	I	Pad								
			RCSS_MCASPB_F SX			7	IO	Pad								
W13	P7	TRACE_DATA_9	TRACE_DATA_9	PADBO_CFG_REG	0x020C00A0	0	O	Pad	关闭/关闭	关闭/关闭/下拉	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			RCSS_GPIO_40			1	IO	Pad								
			DMM9			2	I	Pad								
			MSS_MCANA_RX			4	I	Pad								
			MSS_EPWMA_SYNCO			5	O	Pad								
			RCSS_MCASPB_ACLKR			7	IO	Pad								
U11	P6	TRACE_DATA_10	TRACE_DATA_10	PADBP_CFG_REG	0x020C00A4	0	O	Pad	关闭/关闭	关闭/关闭/下拉	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			RCSS_GPIO_41			1	IO	Pad								
			DMM10			2	I	Pad								
			MSS_EPWMC0			4	O	Pad								
			RCSS_MCASPB_FSR			7	IO	Pad								
V11	R6	TRACE_DATA_11	TRACE_DATA_11	PADBQ_CFG_REG	0x020C00A8	0	O	Pad	关闭/关闭	关闭/关闭/下拉	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			RCSS_GPIO_42			1	IO	Pad								
			DMM11			2	I	Pad								
			MSS_EPWMC1			4	O	Pad								
			RCSS_MCASPB_DAT0			7	IO	Pad								
W11	N5	TRACE_DATA_12	TRACE_DATA_12	PADBR_CFG_REG	0x020C00AC	0	O	Pad	关闭/关闭	关闭/关闭/下拉	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			RCSS_GPIO_43			1	IO	Pad								
			DMM12			2	I	Pad								
			MSS_EPWMA0			4	O	Pad								
			MSS_MCANB_TX			5	O	Pad								
			RCSS_MCASPB_DAT1			7	IO	Pad								
V10	P5	TRACE_DATA_13	TRACE_DATA_13	PADBS_CFG_REG	0x020C00B0	0	O	Pad	关闭/关闭	关闭/关闭/下拉	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			RCSS_GPIO_44			1	IO	Pad								
			DMM13			2	I	Pad								
			MSS_EPWMA1			4	O	Pad								
			MSS_MCANB_RX			5	I	Pad								
			RCSS_MCASPB_DAT2			7	IO	Pad								

表 5-1. 引脚属性 (ZCE、NZN 封装) (续)

ZCE 焊球编号	NZN 焊球编号	焊球名称	信号名称	引脚控制寄存器	引脚控制地址	MUX 模式	信号类型	DSIS	复位期间的焊球状态	复位之后的焊球状态	复位之后的多路复用模式	I/O 电压	电源域	迟滞	拉动类型	缓冲器类型
W10	R5	TRACE_DATA_14	TRACE_DATA_14	PADBT_CFG_REG	0x020C00B4	0	O	Pad	关闭/关闭/关闭	关闭/关闭/下拉	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			RCSS_GPIO_45			1	IO	Pad								
			DMM14			2	I	Pad								
			MSS_EPWMB0			4	O	Pad								
			RCSS_MCASPB_DAT3			7	IO	Pad								
T10	N4	TRACE_DATA_15	TRACE_DATA_15	PADBU_CFG_REG	0x020C00B8	0	O	Pad	关闭/关闭/关闭	关闭/关闭/下拉	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			RCSS_GPIO_46			1	IO	Pad								
			DMM15			2	I	Pad								
			MSS_EPWMB1			4	O	Pad								
			RCSS_MCASPB_DAT4			7	IO	Pad								
			RCSS_I2CA_SDA			11	IO	Pad								
T1	M1	VBGAP	VBGAP				PWR									
E11、E9、F11、F9、G14、G15、G5、G6、J14、J15、J5、J6、L14、L15、L5、L6、N14、N15、N5、N6、P11、P9、R11、R9	D7、D9、E11、E12、E4、E5、H11、H12、H4、H5、L11、L12、L4、L5、M7、M9	VDD	VDD				PWR					1.2V				
N17	K14	VDD_SRAM1	VDD_SRAM1				PWR					1.2V				
J3	G3	VDD_SRAM2	VDD_SRAM2				PWR					1.2V				
T8	M6	VDD_SRAM3	VDD_SRAM3				PWR					1.2V				
D14、F4、H16、K4、P16、R5、T12	C10、F13、F4、K13、N10	VIOIN	VIOIN				PWR					1.8V/3.3V				
E15、H4、M16、M4、T14	C8、J12、J4、N8	VIOIN_18	VIOIN_18				PWR					1.8V				
R3	M2	VIOIN_18ADC	VIOIN_18ADC				PWR					1.8V				
U2	N2	VIOIN_18CLK	VIOIN_18CLK				PWR					1.8V				
C11、C9		VIOIN_18CSI	VIOIN_18CSI				PWR					1.8V				
U5、U7		VIOIN_18LVDS	VIOIN_18LVDS				PWR					1.8V				
N18	L13	VNWA	VNWA				PWR					1.2V				
U9	N7	VPP	VPP				PWR					1.7V				

表 5-1. 引脚属性 (ZCE、NZN 封装) (续)

ZCE 焊球编号	NZN 焊球编号	焊球名称	信号名称	引脚控制寄存器	引脚控制地址	MUX 模式	信号类型	DSIS	复位期间的焊球状态	复位之后的焊球状态	复位之后的多路复用模式	I/O 电压	电源域	迟滞	拉动类型	缓冲器类型
A1、A14、A19、A3、C7、D10、D12、D16、D8、E12、E13、E5、E7、E8、F12、F13、F14、F6、F7、F8、G10、G11、G12、G13、G7、G8、G9、H10、H11、H12、H13、H7、H8、H9、J10、J11、J12、J13、J7、J8、J9、K10、K11、K12、K13、K7、K8、K9、L10、L11、L12、L13、L7、L8、L9、M10、M11、M12、M13、M7、M8、M9、N10、N11、N12、N13、N7、N8、N9、P12、P13、P14、P6、P7、P8、R12、R13、R15、R7、R8、T16、T6、V2、W1、W19、W9	A1、A15、D10、D11、D12、D5、D6、D8、E10、E6、E7、E8、E9、F10、F11、F12、F5、F6、F7、F8、F9、G10、G11、G12、G4、G5、G6、G7、G8、G9、H10、H6、H7、H8、H9、J10、J11、J5、J6、J7、J8、J9、K10、K11、K12、K4、K5、K6、K7、K8、K9、L10、L6、L7、L8、L9、M10、M11、M12、M4、M5、M8、P2、R1、R15	VSS	VSS				GND					VSS				
K1	H3	WARM_RESET	WARM_RESET	PADAS_CFG_REG	0x020C0048	0	IO	Pad	关闭/关闭/关闭	关闭/NA/关闭	0	1.8V/3.3V	VIOIN	有	拉电阻禁用	LVCMOS
J1	G1	XREF_CLK0	MSS_GPIO_1	PADDF_CFG_REG	0x020C014C	0	IO	Pad	关闭/关闭/关闭	关闭/关闭/下拉	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			XREF_CLK0			1	IO	Pad								
			MCU_CLKOUT			6	O	Pad								
			RCSS_GPIO_33			12	IO	Pad								

表 5-1. 引脚属性 (ZCE、NZN 封装) (续)

ZCE 焊球编号	NZN 焊球编号	焊球名称	信号名称	引脚控制寄存器	引脚控制地址	MUX 模式	信号类型	DSIS	复位期间的焊球状态	复位之后的焊球状态	复位之后的多路复用模式	I/O 电压	电源域	迟滞	拉动类型	缓冲器类型
K2	G2	XREF_CLK1	MSS_GPIO_2	PADDG_CFG_REG	0x020C0150	0	IO	Pad	关闭/关闭/关闭	关闭/关闭/下拉	1	1.8V/3.3V	VIOIN	有	PU/PD (PD)	LVCMOS
			XREF_CLK1			1	IO	Pad								
			RCSS_ECAPA_CAPIN_PWM0			3	IO	Pad								
			PMIC_CLKOUT			7	O	Pad								
			RCSS_GPIO_34			12	IO	Pad								

5.3 信号说明

备注

器件的所有数字 IO 引脚 (NERROR_IN、NERROR_OUT 和 WARM_RESET 除外) 都是非失效防护的；因此，需要注意的是，如果器件没有 VIO 电源，则不能从外部驱动这些引脚

备注

无法确保电源斜坡期间的 GPIO 状态。如果 GPIO 用于 GPIO 状态至关重要的应用中，即使 NRESET 为低电平，也应使用三态缓冲器将 GPIO 输出与任何连接的器件隔离。应使用一个额外的拉电阻来定义应用中所需的信号。NRESET 信号可用于控制三态缓冲器的输出使能 (OE)。

信号说明标题列表

根据引脚多路复用选项的软件配置，许多信号可在多个引脚上使用。

以下列表说明了列标题：

1. **信号名称**：通过引脚的信号的名称。

备注

每个信号说明表中提供的信号名称和说明表示在引脚上实现并通过 PADCONFIG 寄存器选择的引脚多路复用信号功能。某些器件子系统为这些表中未介绍的信号功能提供了额外的多路复用层。有关辅助多路复用信号功能的更多信息，请参阅器件 TRM 的相应外设章节。

2. **信号类型**：信号类型和方向：

- I = 输入
- O = 输出
- IO = 输入、输出或同时输入和输出
- OD = 输出，具有开漏输出功能
- IOD = 输入、输出或同时输入和输出，具有开漏输出功能
- IOZ = 输入、输出或同时输入和输出，具有三态输出功能
- OZ = 具有三态输出功能的输出
- A = 模拟
- CAP = LDO 电容器
- PWR = 电源
- GND = 接地

3. **说明**：信号说明

4. **焊球编号**：与信号相关的焊球编号

更多有关 I/O 单元配置的信息，请参阅器件 TRM 中 *器件配置* 一章的 *焊盘配置寄存器* 部分。

5.3.1 ADC 信号说明

表 5-2. ADC 信号说明

信号名称	信号类型	说明	ZCE 引脚	NZN 引脚
ADC1	I	ADC 输入通道 1	R2	L1
ADC2	I	ADC 输入通道 2	P2	P3
ADC3	I	ADC 输入通道 3	R1	K2

表 5-2. ADC 信号说明 (续)

信号名称	信号类型	说明	ZCE 引脚	NZN 引脚
ADC4	I	ADC 输入通道 4	P1	K1
ADC5	I	ADC 输入通道 5	M2	J1
ADC6	I	ADC 输入通道 6	T2	L2
ADC7	I	ADC 输入通道 7	N2	N3
ADC8	I	ADC 输入通道 8	N1	J2
ADC9	I	ADC 输入通道 9	M1	M3

5.3.2 CPTS 信号说明

表 5-3. CPTS 信号说明

信号名称	信号类型	说明	ZCE 引脚	NZN 引脚
MSS_CPTS0_TS_COMP	O	主子系统通用平台时间同步模块 0 时间戳比较输出	B17、G18、G19、U17、W17	A11、E14、E15、N11、N12
MSS_CPTS0_TS_GENF	O	主子系统通用平台时间同步模块 0 时间戳功能生成输出	A18、F19、G17、V17、W18	B12、D15、E13、P12、R12
MSS_CPTS0_TS_SYNC	O	主子系统通用平台时间同步模块 0 时间戳同步输出	B3、U3、V19	B4、R14、R3
MSS_CPTS0_HW1TSPUSH	I	主子系统通用平台时间同步模块 0 异步硬件时间戳 1 推送输入	B18、J19、U19	A12、G14、P13
MSS_CPTS0_HW2TSPUSH	I	主子系统通用平台时间同步模块 0 异步硬件时间戳 2 推送输入	B19、V18、W2	A13、R13、R4

5.3.3 CSI 2.0 信号说明

表 5-4. CSI 2.0 信号说明

信号名称	信号类型	说明	ZCE 引脚	NZN 引脚
CSI2_RX0CLKM	I	CSI2.0 接收器 0, 时钟输入负极性	B6	
CSI2_RX0CLKP	I	CSI2.0 接收器 0, 时钟输入正极性	A6	
CSI2_RX0M0	I	CSI2.0 接收器 0, 通道 0 负极性	A8	
CSI2_RX0M1	I	CSI2.0 接收器 0, 通道 1 负极性	A7	
CSI2_RX0M2	I	CSI2.0 接收器 0, 通道 2 负极性	B5	
CSI2_RX0M3	I	CSI2.0 接收器 0, 通道 3 负极性	B4	
CSI2_RX0P0	I	CSI2.0 接收器 0, 通道 0 正极性	B8	
CSI2_RX0P1	I	CSI2.0 接收器 0, 通道 1 正极性	B7	
CSI2_RX0P2	I	CSI2.0 接收器 0, 通道 2 正极性	A5	
CSI2_RX0P3	I	CSI2.0 接收器 0, 通道 3 正极性	A4	
CSI2_RX1CLKM	I	CSI2.0 接收器 1, 时钟输入负极性	A11	
CSI2_RX1CLKP	I	CSI2.0 接收器 1, 时钟输入正极性	B11	
CSI2_RX1M0	I	CSI2.0 接收器 1, 通道 0 负极性	A13	
CSI2_RX1M1	I	CSI2.0 接收器 1, 通道 1 负极性	B12	
CSI2_RX1M2	I	CSI2.0 接收器 1, 通道 2 负极性	A10	
CSI2_RX1M3	I	CSI2.0 接收器 1, 通道 3 负极性	A9	
CSI2_RX1P0	I	CSI2.0 接收器 1, 通道 0 正极性	B13	
CSI2_RX1P1	I	CSI2.0 接收器 1, 通道 1 正极性	A12	

表 5-4. CSI 2.0 信号说明 (续)

信号名称	信号类型	说明	ZCE 引脚	NZN 引脚
CSI2_RX1P2	I	CSI2.0 接收器 1, 通道 2 正极性	B10	
CSI2_RX1P3	I	CSI2.0 接收器 1, 通道 3 正极性	B9	

5.3.4 DMM 信号说明

表 5-5. DMM 信号说明

信号名称	信号类型	说明	ZCE 引脚	NZN 引脚
DMM0	I	DMM 数据输入	V16	P11
DMM1	I	DMM 数据输入	U15	R11
DMM2	I	DMM 数据输入	W16	P10
DMM3	I	DMM 数据输入	V15	R10
DMM4	I	DMM 数据输入	W15	N9
DMM5	I	DMM 数据输入	V14	R9
DMM6	I	DMM 数据输入	U13	P9
DMM7	I	DMM 数据输入	W14	R8
DMM8	I	DMM 数据输入	V13	P8
DMM9	I	DMM 数据输入	W13	P7
DMM10	I	DMM 数据输入	U11	P6
DMM11	I	DMM 数据输入	V11	R6
DMM12	I	DMM 数据输入	W11	N5
DMM13	I	DMM 数据输入	V10	P5
DMM14	I	DMM 数据输入	W10	R5
DMM15	I	DMM 数据输入	T10	N4
DMM_CLK	I	DMM 时钟	W12	N6
DMM_MUX_IN	I	DMM MUX 输入	E17、G3、J2	C14、E2、F2
DMM_SYNC	I	DMM 同步输入	V12	R7
NDMM_EN	O	DMM 使能输入	D6、G1	C6、E3

5.3.5 ECAP 信号说明

表 5-6. eCAP 信号说明

信号名称	信号类型	说明	ZCE 引脚	NZN 引脚
RCSS_ECAPA_CAPIN_PWMO	IO	增强型捕获模块 A, 增强型捕获输入或 PWM 输出	A18、C13、G19、K2	A5、A9、B12、B9、E14、G2
RCSS_ECAPA_SYNCIN	I	增强型捕获模块 A, 同步输入	G18	B10、C9、E15
RCSS_ECAPA_SYNCOUT	O	增强型捕获模块 A, 同步输出	B3	A10、B4、B9

5.3.6 EPWM 信号说明

表 5-7. EPWMA 信号说明

信号名称	信号类型	说明	ZCE 引脚	NZN 引脚
MSS_EPWMA0	O	主子系统, PWM A, 通道 0	C18、E3、F19、G1、J18、W11	B13、D15、D2、E3、G15、N5

表 5-7. EPWMA 信号说明 (续)

信号名称	信号类型	说明	ZCE 引脚	NZN 引脚
MSS_EPWMA1	O	主子系统, PWM A, 通道 1	B19、E19、F1、G1、H1、H18、V10	A13、C13、D3、E3、F15、F3、P5
MSS_EPWMA_SYNCI	I	主子系统, PWM A, 同步输入	F19、J2、V13	D15、F2、P8
MSS_EPWMA_SYNCO	O	主子系统, PWM A, 同步输出	B3、G18、W13	B4、E15、P7

表 5-8. EPWMB 信号说明

信号名称	信号类型	说明	ZCE 引脚	NZN 引脚
MSS_EPWMB0	O	主子系统, PWM B, 通道 0	C19、E17、F1、G1、G17、G18、G2、H1、J17、W10	A14、C14、D3、E1、E13、E15、E3、F3、G13、R5
MSS_EPWMB1	O	主子系统, PWM B, 通道 1	B18、E17、F16、G17、G19、G2、T10	A12、C14、D14、E1、E13、E14、N4
MSS_EPWMB_SYNCI	I	主子系统, PWM B, 同步输入	B3、V9、W16	B4、P10、P4
MSS_EPWMB_SYNCO	O	主子系统, PWM B, 同步输出	B19、W15	A13、N9

表 5-9. EPWMC 信号说明

信号名称	信号类型	说明	ZCE 引脚	NZN 引脚
MSS_EPWMC0	O	主子系统, PWM C, 通道 0	B3、D18、G2、K18、U11	B14、B4、E1、H14、P6
MSS_EPWMC1	O	主子系统, PWM C, 通道 1	C17、F18、G18、V11	C12、D13、E15、R6
MSS_EPWMC_SYNCI	I	主子系统, PWM C, 同步输入	B18、U15	A12、R11
MSS_EPWMC_SYNCO	O	主子系统, PWM C, 同步输出	C17、V15	C12、R10

表 5-10. EPWM 跳闸信号说明

信号名称	信号类型	说明	ZCE 引脚	NZN 引脚
MSS_EPWM_TZ0	I	主子系统, PWM 跳闸信号 0	H2、W14	F1、R8
MSS_EPWM_TZ1	I	主子系统, PWM 跳闸信号 1	J2、U13	F2、P9
MSS_EPWM_TZ2	I	主子系统, PWM 跳闸信号 2	H1、V14	F3、R9

5.3.7 GPIO 信号说明

表 5-11. MSS GPIO 信号说明

信号名称	信号类型	说明	ZCE 引脚	NZN 引脚
MSS_GPIO_0	IO	主子系统 GPIO	H1、V9	B10、F3、P4
MSS_GPIO_1	IO	主子系统 GPIO	J1、J2	A10、F2、G1
MSS_GPIO_2	IO	主子系统 GPIO	H2、K2、U18	A9、F1、G2、N13
MSS_GPIO_3	IO	主子系统 GPIO	B2、H18、W18	B3、C9、F15、P12
MSS_GPIO_4	IO	主子系统 GPIO	D19、G17	B15、B9、E13

表 5-11. MSS GPIO 信号说明 (续)

信号名称	信号类型	说明	ZCE 引脚	NZN 引脚
MSS_GPIO_5	IO	主子系统 GPIO	D18、G19	B14、E14
MSS_GPIO_6	IO	主子系统 GPIO	F19、F2	C1、D15
MSS_GPIO_7	IO	主子系统 GPIO	E1、G18	D1、E15
MSS_GPIO_8	IO	主子系统 GPIO	B3、C2、U18	B2、B4、N13
MSS_GPIO_9	IO	主子系统 GPIO	B19、D2、W18	A13、A2、A8、P12
MSS_GPIO_10	IO	主子系统 GPIO	B18、D1	A12、B8、C2
MSS_GPIO_11	IO	主子系统 GPIO	C17、E2	A7、B1、C12
MSS_GPIO_12	IO	主子系统 GPIO	A18、E18	B12、C15
MSS_GPIO_13	IO	主子系统 GPIO	B17、H1	A11、F3
MSS_GPIO_14	IO	主子系统 GPIO	A17、G1	B11、E3
MSS_GPIO_15	IO	主子系统 GPIO	B16、G2	C11、E1
MSS_GPIO_16	IO	主子系统 GPIO	C15、J2	B7、F2
MSS_GPIO_17	IO	主子系统 GPIO	A16、C3	C7、D4
MSS_GPIO_18	IO	主子系统 GPIO	B15、D4	B6、C4
MSS_GPIO_19	IO	主子系统 GPIO	A15、C1	A3、A6
MSS_GPIO_20	IO	主子系统 GPIO	B1、B14	A4、B5
MSS_GPIO_21	IO	主子系统 GPIO	C13、C18	A5、B13
MSS_GPIO_22	IO	主子系统 GPIO	C19	A14、B10
MSS_GPIO_23	IO	主子系统 GPIO	C5	A10、C5
MSS_GPIO_24	IO	主子系统 GPIO	D6	A9、C6
MSS_GPIO_25	IO	主子系统 GPIO	E3	C9、D2
MSS_GPIO_26	IO	主子系统 GPIO	H2	B9、F1
MSS_GPIO_27	IO	主子系统 GPIO	F1	A8、D3
MSS_GPIO_28	IO	主子系统 GPIO	G3	B8、E2
MSS_GPIO_29	IO	主子系统 GPIO	E17	A7、C14
MSS_GPIO_30	IO	主子系统 GPIO	A2、P19	C3、M14
MSS_GPIO_31	IO	主子系统 GPIO	R19、V16	M15、P11

表 5-12. RCSS GPIO 信号说明

信号名称	信号类型	说明	ZCE 引脚	NZN 引脚
RCSS_GPIO_32	IO	雷达控制子系统 GPIO	R18、U15、V9	N15、P4、R11
RCSS_GPIO_33	IO	雷达控制子系统 GPIO	J1、R17、W16	G1、N14、P10
RCSS_GPIO_34	IO	雷达控制子系统 GPIO	H2、K2、T18、U18、V15	F1、G2、N13、P15、R10
RCSS_GPIO_35	IO	雷达控制子系统 GPIO	H18、T19、W15、W18	F15、N9、P12、P14
RCSS_GPIO_36	IO	雷达控制子系统 GPIO	G17、U18、V14	E13、N13、R9
RCSS_GPIO_37	IO	雷达控制子系统 GPIO	G19、U13、U19	E14、P13、P9
RCSS_GPIO_38	IO	雷达控制子系统 GPIO	F19、V18、W14	D15、R13、R8
RCSS_GPIO_39	IO	雷达控制子系统 GPIO	G18、V13、V19	E15、P8、R14

表 5-12. RCSS GPIO 信号说明 (续)

信号名称	信号类型	说明	ZCE 引脚	NZN 引脚
RCSS_GPIO_40	IO	雷达控制子系统 GPIO	B3、U17、U18、W13	B4、N12、N13、P7
RCSS_GPIO_41	IO	雷达控制子系统 GPIO	B19、U11、W18	A13、P12、P6
RCSS_GPIO_42	IO	雷达控制子系统 GPIO	B18、V11、V17	A12、R12、R6
RCSS_GPIO_43	IO	雷达控制子系统 GPIO	C17、W11、W17	C12、N11、N5
RCSS_GPIO_44	IO	雷达控制子系统 GPIO	A18、U3、V10	B12、P5、R3
RCSS_GPIO_45	IO	雷达控制子系统 GPIO	B17、W10、W2	A11、R4、R5
RCSS_GPIO_46	IO	雷达控制子系统 GPIO	A17、J19、T10	B11、G14、N4
RCSS_GPIO_47	IO	雷达控制子系统 GPIO	B16、H19、W12	C11、F14、N6
RCSS_GPIO_48	IO	雷达控制子系统 GPIO	C15、V12	B7、R7
RCSS_GPIO_49	IO	雷达控制子系统 GPIO	A16、E19	C13、C7
RCSS_GPIO_50	IO	雷达控制子系统 GPIO	B15、F16	B6、D14
RCSS_GPIO_51	IO	雷达控制子系统 GPIO	A15、F18	A6、D13
RCSS_GPIO_52	IO	雷达控制子系统 GPIO	B14、J18	B5、G15
RCSS_GPIO_53	IO	雷达控制子系统 GPIO	C13、J17	A5、G13
RCSS_GPIO_54	IO	雷达控制子系统 GPIO	K18	B10、H14
RCSS_GPIO_55	IO	雷达控制子系统 GPIO	K16	A10、H13
RCSS_GPIO_56	IO	雷达控制子系统 GPIO	L17	A9、J15
RCSS_GPIO_57	IO	雷达控制子系统 GPIO	L18	C9、J14
RCSS_GPIO_58	IO	雷达控制子系统 GPIO	K19	B9、H15
RCSS_GPIO_59	IO	雷达控制子系统 GPIO	M19	A8、K15
RCSS_GPIO_60	IO	雷达控制子系统 GPIO	L19	B8、J13
RCSS_GPIO_61	IO	雷达控制子系统 GPIO	M18	A7、L14
RCSS_GPIO_62	IO	雷达控制子系统 GPIO	N19	L15
RCSS_GPIO_63	IO	雷达控制子系统 GPIO	P18	M13

5.3.8 I2C 信号说明

表 5-13. I2CA 信号说明

信号名称	信号类型	说明	ZCE 引脚	NZN 引脚
MSS_I2CA_SCL	IO	主子系统，I2C A，串行时钟	A18、C1、C19、F18、G2、U15	A14、A3、A7、B12、D13、E1、R11
MSS_I2CA_SDA	IO	主子系统，I2C A，串行数据	B1、B17、C17、C18、F16、G1、V16	A11、A4、B13、B8、C12、D14、E3、P11

表 5-14. RCSS I2CB 信号说明

信号名称	信号类型	说明	ZCE 引脚	NZN 引脚
RCSS_I2CB_SCL	IO	雷达控制子系统 I2C B，串行时钟	B16、B3、G17、M18、T19、U17	B4、C11、C9、E13、L14、N12、P14

表 5-14. RCSS I2CB 信号说明 (续)

信号名称	信号类型	说明	ZCE 引脚	NZN 引脚
RCSS_I2CB_SDA	IO	雷达控制子系统 I2C B, 串行数据	A17、G18、 H18、K19、L19、 T18、V19	A9、B11、E15、 F15、H15、J13、 P15、R14

表 5-15. RCSS I2CA 信号说明

信号名称	信号类型	说明	ZCE 引脚	NZN 引脚
RCSS_I2CA_SCL	IO	雷达控制子系统 I2C A, 串行时钟	B14、F19、 M19、R17、 V18、W12	A10、B5、D15、 K15、N14、N6、 R13
RCSS_I2CA_SDA	IO	雷达控制子系统 I2C A, 串行数据	A15、G19、 R18、T10、U19	A6、B10、E14、 N15、N4、P13

5.3.9 时钟信号说明

表 5-16. 输入时钟信号说明

信号名称	信号类型	说明	ZCE 引脚	NZN 引脚
CLKM	I	主晶体或振荡器基准时钟输入 (负输入)	U1	N1
CLKP	I	主晶体或振荡器基准时钟输入 (正输入)	V1	P1
XREF_CLK0	IO	外部基准时钟输入 0	J1	G1
XREF_CLK1	IO	外部基准时钟输入 1	K2	G2

表 5-17. 输出时钟信号说明

信号名称	信号类型	说明	ZCE 引脚	NZN 引脚
MCU_CLKOUT	O	MCU 输出基准时钟	E3、J1	D2、G1
OBS_CLKOUT	O	观察时钟输出	E3、F1、G17、 H18	D2、D3、E13、 F15
OSCCLKOUT	O	基准时钟输出	T4	R2
PMIC_CLKOUT	O	PMIC 同步时钟输出	F1、H1、H2、K2	D3、F1、F3、G2
RCOSC_CLK	O	内部 RCOSC 时钟输出	A2、B2、E17	B3、C14、C3
RCSS_ATL_CLK0	IO	音频跟踪逻辑时钟 0	B19、H18	A13、F15
RCSS_ATL_CLK1	IO	音频跟踪逻辑时钟 1	G17	E13

5.3.10 JTAG 信号说明

表 5-18. JTAG 信号说明

信号名称	信号类型	说明	ZCE 引脚	NZN 引脚
TCK	I	JTAG 测试时钟	C3	D4
TDI	I	JTAG 测试数据输入	C5	C5
TDO	O	JTAG 测试数据输出	D6	C6
TMS	IO	JTAG 测试模式选择	D4	C4

5.3.11 LVDS 信号说明

表 5-19. LVDS 信号说明

信号名称	信号类型	说明	ZCE 引脚	NZN 引脚
LVDS_CLKM	O	LVDS/Aurora 发送器, 时钟, 负极性	W7	
LVDS_CLKP	O	LVDS/Aurora 发送器, 时钟, 正极性	V7	
LVDS_FRCLKM	O	LVDS/Aurora 发送器, 帧时钟, 负极性	W8	
LVDS_FRCLKP	O	LVDS/Aurora 发送器, 帧时钟, 正极性	V8	
LVDS_TXM0	O	LVDS/Aurora 发送器, 数据输出, 负极性, 通道 0	V6	
LVDS_TXM1	O	LVDS/Aurora 发送器, 数据输出, 负极性, 通道 1	V5	
LVDS_TXM2	O	LVDS/Aurora 发送器, 数据输出, 负极性, 通道 2	V4	
LVDS_TXM3	O	LVDS/Aurora 发送器, 数据输出, 负极性, 通道 3	V3	
LVDS_TXP0	O	LVDS/Aurora 发送器, 数据输出, 正极性, 通道 0	W6	
LVDS_TXP1	O	LVDS/Aurora 发送器, 数据输出, 正极性, 通道 1	W5	
LVDS_TXP2	O	LVDS/Aurora 发送器, 数据输出, 正极性, 通道 2	W4	
LVDS_TXP3	O	LVDS/Aurora 发送器, 数据输出, 正极性, 通道 3	W3	

5.3.12 MCAN 信号说明

表 5-20. MCANA 信号说明

信号名称	信号类型	说明	ZCE 引脚	NZN 引脚
MSS_MCANA_RX	I	主子系统, CAN-FD A, 接收器	B2、C1、D18、 D4、E2、G2、 W13	A3、B1、B14、 B3、C4、E1、P7
MSS_MCANA_TX	O	主子系统, CAN-FD A, 发送器	A2、B1、C3、 D1、D19、G1、 V13	A4、B15、C2、 C3、D4、E3、P8

表 5-21. MCANB 信号说明

信号名称	信号类型	说明	ZCE 引脚	NZN 引脚
MSS_MCANB_RX	I	主子系统, CAN-FD B, 接收器	B2、C1、C18、 V10	A3、B13、B3、 P5
MSS_MCANB_TX	O	主子系统, CAN-FD B, 发送器	A2、B1、C19、 W11	A14、A4、C3、 N5

5.3.13 MCASP 信号说明

表 5-22. MCASPA 信号说明

信号名称	信号类型	说明	ZCE 引脚	NZN 引脚
RCSS_MCASPA_ACLKR	IO	多通道音频串行端口 A 位时钟, 接收器	A18	B12
RCSS_MCASPA_ACLKX	IO	多通道音频串行端口 A 位时钟, 发送器	B18	A12

表 5-22. MCASPA 信号说明 (续)

信号名称	信号类型	说明	ZCE 引脚	NZN 引脚
RCSS_MCASPA_AHCLKX	IO	多通道音频串行端口 A 高频时钟, 发送器	B19	A13
RCSS_MCASPA_DAT0	IO	多通道音频串行端口 A 数据	A17	B11
RCSS_MCASPA_DAT1	IO	多通道音频串行端口 A 数据	B16	C11
RCSS_MCASPA_DAT2	IO	多通道音频串行端口 A 数据	C15	B7
RCSS_MCASPA_DAT3	IO	多通道音频串行端口 A 数据	A16	C7
RCSS_MCASPA_DAT4	IO	多通道音频串行端口 A 数据	B15	B6
RCSS_MCASPA_DAT5	IO	多通道音频串行端口 A 数据	A15	A6
RCSS_MCASPA_DAT6	IO	多通道音频串行端口 A 数据	B14	B5
RCSS_MCASPA_DAT7	IO	多通道音频串行端口 A 数据	C13	A5
RCSS_MCASPA_DAT8	IO	多通道音频串行端口 A 数据	A17	B11
RCSS_MCASPA_DAT9	IO	多通道音频串行端口 A 数据	B16	C11
RCSS_MCASPA_DAT10	IO	多通道音频串行端口 A 数据	C15	B7
RCSS_MCASPA_DAT11	IO	多通道音频串行端口 A 数据	A16	C7
RCSS_MCASPA_DAT12	IO	多通道音频串行端口 A 数据	B15	B6
RCSS_MCASPA_DAT13	IO	多通道音频串行端口 A 数据	A15	A6
RCSS_MCASPA_DAT14	IO	多通道音频串行端口 A 数据	B14	B5
RCSS_MCASPA_DAT15	IO	多通道音频串行端口 A 数据	C13	A5
RCSS_MCASPA_FSR	IO	多通道音频串行端口 A 帧同步时钟, 接收器	B17	A11
RCSS_MCASPA_FSX	IO	多通道音频串行端口 A 帧同步时钟, 发送器	C17	C12

表 5-23. MCASPB 信号说明

信号名称	信号类型	说明	ZCE 引脚	NZN 引脚
RCSS_MCASPB_ACLKR	IO	多通道音频串行端口 B 位时钟, 接收器	W13	P7
RCSS_MCASPB_CLKX	IO	多通道音频串行端口 B 位时钟, 发送器	W14	R8
RCSS_MCASPB_AHCLKR	IO	多通道音频串行端口 B 高频时钟, 接收器	G3	E2
RCSS_MCASPB_AHCLKX	IO	多通道音频串行端口 B 高频时钟, 发送器	V12	R7
RCSS_MCASPB_DAT0	IO	多通道音频串行端口 B 数据	V11	R6
RCSS_MCASPB_DAT1	IO	多通道音频串行端口 B 数据	W11	N5
RCSS_MCASPB_DAT2	IO	多通道音频串行端口 B 数据	V10	P5
RCSS_MCASPB_DAT3	IO	多通道音频串行端口 B 数据	W10	R5
RCSS_MCASPB_DAT4	IO	多通道音频串行端口 B 数据	T10	N4
RCSS_MCASPB_DAT5	IO	多通道音频串行端口 B 数据	W12	N6
RCSS_MCASPB_FSR	IO	多通道音频串行端口 B 帧同步时钟, 接收器	U11	P6
RCSS_MCASPB_FSX	IO	多通道音频串行端口 B 帧同步时钟, 发送器	V13	P8

表 5-24. MCASPC 信号说明

信号名称	信号类型	说明	ZCE 引脚	NZN 引脚
RCSS_MCASPC_ACLKR	IO	多通道音频串行端口 C 位时钟, 接收器	V15	R10
RCSS_MCASPC_CLKX	IO	多通道音频串行端口 C 位时钟, 发送器	V14	R9
RCSS_MCASPC_AHCLKX	IO	多通道音频串行端口 C 高频时钟, 发送器	U13	P9
RCSS_MCASPC_DAT0	IO	多通道音频串行端口 C 数据	U15	R11

表 5-24. MCASPC 信号说明 (续)

信号名称	信号类型	说明	ZCE 引脚	NZN 引脚
RCSS_MCASPC_DAT1	IO	多通道音频串行端口 C 数据	V16	P11
RCSS_MCASPC_DAT2	IO	多通道音频串行端口 C 数据	W17	N11
RCSS_MCASPC_DAT3	IO	多通道音频串行端口 C 数据	V17	R12
RCSS_MCASPC_DAT4	IO	多通道音频串行端口 C 数据	W18	P12
RCSS_MCASPC_DAT5	IO	多通道音频串行端口 C 数据	U17	N12
RCSS_MCASPC_FSR	IO	多通道音频串行端口 C 帧同步时钟, 接收器	W16	P10
RCSS_MCASPC_FSX	IO	多通道音频串行端口 C 帧同步时钟, 发送器	W15	N9

5.3.14 以太网信号说明

表 5-25. MDIO 信号说明

信号名称	信号类型	说明	ZCE 引脚	NZN 引脚
MSS_MDIO_CLK	O	主子系统, 以太网 MDIO 时钟	R19	M15
MSS_MDIO_DATA	IO	主子系统, 以太网 MDIO 数据	P19	M14

表 5-26. MII 信号说明

信号名称	信号类型	说明	ZCE 引脚	NZN 引脚
MSS_MII_COL	I	主子系统, 以太网 MII, 冲突检测	E19	C13
MSS_MII_CRS	I	主子系统, 以太网 MII, 载波检测	F16	D14
MSS_MII_RXCLK	I	主子系统, 以太网 MII, 接收时钟	M19	K15
MSS_MII_RXD0	I	主子系统, 以太网 MII, 接收数据 0	P18	M13
MSS_MII_RXD1	I	主子系统, 以太网 MII, 接收数据 1	N19	L15
MSS_MII_RXD2	I	主子系统, 以太网 MII, 接收数据 2	M18	L14
MSS_MII_RXD3	I	主子系统, 以太网 MII, 接收数据 3	K19、L19	H15、J13
MSS_MII_RXDV	I	主子系统, 以太网 MII, 接收数据有效	J17	G13
MSS_MII_RXER	I	主子系统, 以太网 MII, 接收错误	F18	D13
MSS_MII_TXD0	O	主子系统, 以太网 MII, 发送数据 0	L18	J14
MSS_MII_TXD1	O	主子系统, 以太网 MII, 发送数据 1	L17	J15
MSS_MII_TXD2	O	主子系统, 以太网 MII, 发送数据 2	K16	H13
MSS_MII_TXD3	O	主子系统, 以太网 MII, 发送数据 3	K18	H14
MSS_MII_TXEN	O	主子系统, 以太网 MII, 发送使能	J18	G15

表 5-27. RMII 信号说明

信号名称	信号类型	说明	ZCE 引脚	NZN 引脚
MSS_RMII_CRS_DV	I	主子系统, 以太网 RMII, 载波检测/接收数据有效	F16	D14
MSS_RMII_REFCLK	IO	主子系统, 以太网 RMII, 基准时钟	E19	C13
MSS_RMII_RXD0	I	主子系统, 以太网 RMII, 接收数据 0	P18	M13
MSS_RMII_RXD1	I	主子系统, 以太网 RMII, 接收数据 1	N19	L15
MSS_RMII_RXER	I	主子系统, 以太网 RMII, 接收错误	F18	D13
MSS_RMII_TXD0	O	主子系统, 以太网 RMII, 发送数据 0	L18	J14
MSS_RMII_TXD1	O	主子系统, 以太网 RMII, 发送数据 1	L17	J15

表 5-27. RMII 信号说明 (续)

信号名称	信号类型	说明	ZCE 引脚	NZN 引脚
MSS_RMII_TXEN	O	主子系统, 以太网 RMII, 发送使能	J18	G15

表 5-28. RGMII 信号说明

信号名称	信号类型	说明	ZCE 引脚	NZN 引脚
MSS_RGMII_RCLK	I	主子系统, 以太网 RGMII, 接收时钟	M19	K15
MSS_RGMII_RCTL	I	主子系统, 以太网 RGMII, 接收控制	J17	G13
MSS_RGMII_RD0	I	主子系统, 以太网 RGMII, 接收器 0	P18	M13
MSS_RGMII_RD1	I	主子系统, 以太网 RGMII, 接收器 1	N19	L15
MSS_RGMII_RD2	I	主子系统, 以太网 RGMII, 接收器 2	M18	L14
MSS_RGMII_RD3	I	主子系统, 以太网 RGMII, 接收器 3	K19、L19	H15、J13
MSS_RGMII_TCTL	O	主子系统, 以太网 RGMII, 发送控制	J18	G15
MSS_RGMII_TD0	O	主子系统, 以太网 RGMII, 发送器 0	L18	J14
MSS_RGMII_TD1	O	主子系统, 以太网 RGMII, 发送器 1	L17	J15
MSS_RGMII_TD2	O	主子系统, 以太网 RGMII, 发送器 2	K16	H13
MSS_RGMII_TD3	O	主子系统, 以太网 RGMII, 发送器 3	K18	H14

5.3.15 GPIO 信号说明

表 5-29. MSS GPIO 信号说明

信号名称	信号类型	说明	ZCE 引脚	NZN 引脚
MSS_GPIO_0	IO	主子系统 GPIO	H1、V9	B10、F3、P4
MSS_GPIO_1	IO	主子系统 GPIO	J1、J2	A10、F2、G1
MSS_GPIO_2	IO	主子系统 GPIO	H2、K2、U18	A9、F1、G2、N13
MSS_GPIO_3	IO	主子系统 GPIO	B2、H18、W18	B3、C9、F15、P12
MSS_GPIO_4	IO	主子系统 GPIO	D19、G17	B15、B9、E13
MSS_GPIO_5	IO	主子系统 GPIO	D18、G19	B14、E14
MSS_GPIO_6	IO	主子系统 GPIO	F19、F2	C1、D15
MSS_GPIO_7	IO	主子系统 GPIO	E1、G18	D1、E15
MSS_GPIO_8	IO	主子系统 GPIO	B3、C2、U18	B2、B4、N13
MSS_GPIO_9	IO	主子系统 GPIO	B19、D2、W18	A13、A2、A8、P12
MSS_GPIO_10	IO	主子系统 GPIO	B18、D1	A12、B8、C2
MSS_GPIO_11	IO	主子系统 GPIO	C17、E2	A7、B1、C12
MSS_GPIO_12	IO	主子系统 GPIO	A18、E18	B12、C15
MSS_GPIO_13	IO	主子系统 GPIO	B17、H1	A11、F3
MSS_GPIO_14	IO	主子系统 GPIO	A17、G1	B11、E3
MSS_GPIO_15	IO	主子系统 GPIO	B16、G2	C11、E1
MSS_GPIO_16	IO	主子系统 GPIO	C15、J2	B7、F2
MSS_GPIO_17	IO	主子系统 GPIO	A16、C3	C7、D4
MSS_GPIO_18	IO	主子系统 GPIO	B15、D4	B6、C4
MSS_GPIO_19	IO	主子系统 GPIO	A15、C1	A3、A6

表 5-29. MSS GPIO 信号说明 (续)

信号名称	信号类型	说明	ZCE 引脚	NZN 引脚
MSS_GPIO_20	IO	主子系统 GPIO	B1、B14	A4、B5
MSS_GPIO_21	IO	主子系统 GPIO	C13、C18	A5、B13
MSS_GPIO_22	IO	主子系统 GPIO	C19	A14、B10
MSS_GPIO_23	IO	主子系统 GPIO	C5	A10、C5
MSS_GPIO_24	IO	主子系统 GPIO	D6	A9、C6
MSS_GPIO_25	IO	主子系统 GPIO	E3	C9、D2
MSS_GPIO_26	IO	主子系统 GPIO	H2	B9、F1
MSS_GPIO_27	IO	主子系统 GPIO	F1	A8、D3
MSS_GPIO_28	IO	主子系统 GPIO	G3	B8、E2
MSS_GPIO_29	IO	主子系统 GPIO	E17	A7、C14
MSS_GPIO_30	IO	主子系统 GPIO	A2、P19	C3、M14
MSS_GPIO_31	IO	主子系统 GPIO	R19、V16	M15、P11

表 5-30. RCSS GPIO 信号说明

信号名称	信号类型	说明	ZCE 引脚	NZN 引脚
RCSS_GPIO_32	IO	雷达控制子系统 GPIO	R18、U15、V9	N15、P4、R11
RCSS_GPIO_33	IO	雷达控制子系统 GPIO	J1、R17、W16	G1、N14、P10
RCSS_GPIO_34	IO	雷达控制子系统 GPIO	H2、K2、T18、U18、V15	F1、G2、N13、P15、R10
RCSS_GPIO_35	IO	雷达控制子系统 GPIO	H18、T19、W15、W18	F15、N9、P12、P14
RCSS_GPIO_36	IO	雷达控制子系统 GPIO	G17、U18、V14	E13、N13、R9
RCSS_GPIO_37	IO	雷达控制子系统 GPIO	G19、U13、U19	E14、P13、P9
RCSS_GPIO_38	IO	雷达控制子系统 GPIO	F19、V18、W14	D15、R13、R8
RCSS_GPIO_39	IO	雷达控制子系统 GPIO	G18、V13、V19	E15、P8、R14
RCSS_GPIO_40	IO	雷达控制子系统 GPIO	B3、U17、U18、W13	B4、N12、N13、P7
RCSS_GPIO_41	IO	雷达控制子系统 GPIO	B19、U11、W18	A13、P12、P6
RCSS_GPIO_42	IO	雷达控制子系统 GPIO	B18、V11、V17	A12、R12、R6
RCSS_GPIO_43	IO	雷达控制子系统 GPIO	C17、W11、W17	C12、N11、N5
RCSS_GPIO_44	IO	雷达控制子系统 GPIO	A18、U3、V10	B12、P5、R3
RCSS_GPIO_45	IO	雷达控制子系统 GPIO	B17、W10、W2	A11、R4、R5
RCSS_GPIO_46	IO	雷达控制子系统 GPIO	A17、J19、T10	B11、G14、N4
RCSS_GPIO_47	IO	雷达控制子系统 GPIO	B16、H19、W12	C11、F14、N6
RCSS_GPIO_48	IO	雷达控制子系统 GPIO	C15、V12	B7、R7
RCSS_GPIO_49	IO	雷达控制子系统 GPIO	A16、E19	C13、C7
RCSS_GPIO_50	IO	雷达控制子系统 GPIO	B15、F16	B6、D14
RCSS_GPIO_51	IO	雷达控制子系统 GPIO	A15、F18	A6、D13
RCSS_GPIO_52	IO	雷达控制子系统 GPIO	B14、J18	B5、G15
RCSS_GPIO_53	IO	雷达控制子系统 GPIO	C13、J17	A5、G13
RCSS_GPIO_54	IO	雷达控制子系统 GPIO	K18	B10、H14
RCSS_GPIO_55	IO	雷达控制子系统 GPIO	K16	A10、H13

表 5-30. RCSS GPIO 信号说明 (续)

信号名称	信号类型	说明	ZCE 引脚	NZN 引脚
RCSS_GPIO_56	IO	雷达控制子系统 GPIO	L17	A9、J15
RCSS_GPIO_57	IO	雷达控制子系统 GPIO	L18	C9、J14
RCSS_GPIO_58	IO	雷达控制子系统 GPIO	K19	B9、H15
RCSS_GPIO_59	IO	雷达控制子系统 GPIO	M19	A8、K15
RCSS_GPIO_60	IO	雷达控制子系统 GPIO	L19	B8、J13
RCSS_GPIO_61	IO	雷达控制子系统 GPIO	M18	A7、L14
RCSS_GPIO_62	IO	雷达控制子系统 GPIO	N19	L15
RCSS_GPIO_63	IO	雷达控制子系统 GPIO	P18	M13

5.3.16 电源信号说明

表 5-31. 电源信号说明

信号名称	信号类型	说明	ZCE 引脚	NZN 引脚
VBGAP	PWR	带隙输出	T1	M1
VDD	PWR	1.2V 内核数字电源	E11、E9、F11、F9、G14、G15、G5、G6、J14、J15、J5、J6、L14、L15、L5、L6、N14、N15、N5、N6、P11、P9、R11、R9	D7、D9、E11、E12、E4、E5、H11、H12、H4、H5、L11、L12、L4、L5、M7、M9
VDD_SRAM1	PWR	1.2V SRAM 数字电源	N17	K14
VDD_SRAM2	PWR	1.2V SRAM 数字电源	J3	G3
VDD_SRAM3	PWR	1.2V SRAM 数字电源	T8	M6
VIOIN	PWR	1.8V/3.3V 数字 I/O 电源	D14、F4、H16、K4、P16、R5、T12	C10、F13、F4、K13、N10
VIOIN_18	PWR	1.8V 数字 I/O 电源	E15、H4、M16、M4、T14	C8、J12、J4、N8
VIOIN_18ADC	PWR	1.8V ADC 电源	R3	M2
VIOIN_18CLK	PWR	1.8V 时钟电源	U2	N2
VIOIN_18CSI	PWR	1.8V CSI 电源	C11、C9	
VIOIN_18LVDS	PWR	1.8V LVDS 电源	U5、U7	
VNWA	PWR	1.2V N 阱偏置	N18	L13
VPP	PWR	电子保险丝编程电压	U9	N7

表 5-31. 电源信号说明 (续)

信号名称	信号类型	说明	ZCE 引脚	NZN 引脚
VSS	GND	接地回路	A1、A14、A19、A3、C7、D10、D12、D16、D8、E12、E13、E5、E7、E8、F12、F13、F14、F6、F7、F8、G10、G11、G12、G13、G7、G8、G9、H10、H11、H12、H13、H7、H8、H9、J10、J11、J12、J13、J7、J8、J9、K10、K11、K12、K13、K7、K8、K9、L10、L11、L12、L13、L7、L8、L9、M10、M11、M12、M13、M7、M8、M9、N10、N11、N12、N13、N7、N8、N9、P12、P13、P14、P6、P7、P8、R12、R13、R15、R7、R8、T16、T6、V2、W1、W19、W9	A1、A15、D10、D11、D12、D5、D6、D8、E10、E6、E7、E8、E9、F10、F11、F12、F5、F6、F7、F8、F9、G10、G11、G12、G4、G5、G6、G7、G8、G9、H10、H6、H7、H8、H9、J10、J11、J5、J6、J7、J8、J9、K10、K11、K12、K4、K5、K6、K7、K8、K9、L10、L6、L7、L8、L9、M10、M11、M12、M4、M5、M8、P2、R1、R15

5.3.17 QSPI 信号说明

表 5-32. QSPI 信号说明

信号名称	信号类型	说明	ZCE 引脚	NZN 引脚
MSS_QSPI_CLK	IO	主子系统, QSPI 时钟	E1	D1
MSS_QSPI_CS	O	主子系统, QSPI 片选	F2	C1
MSS_QSPI_D0	IO	主子系统, QSPI 输入/输出 0	C2	B2
MSS_QSPI_D1	I	主子系统, QSPI 输入/输出 1	D2	A2
MSS_QSPI_D2	I	主子系统, QSPI 输入/输出 2	D1	C2
MSS_QSPI_D3	I	主子系统, QSPI 输入/输出 3	E2	B1

5.3.18 保留信号说明

表 5-33. 保留信号说明

信号名称	信号类型	说明	ZCE 引脚	NZN 引脚
Reserved1	保留	保留。VSS 短路至 PCB	P4	L3
Reserved2	保留	保留。VSS 短路至 PCB	N3	K3

5.3.19 UART 信号说明

表 5-34. RS232 信号说明

信号名称	信号类型	说明	ZCE 引脚	NZN 引脚
MSS_RS232_RX	IO	主子系统, 调试 RS232 (UART) 接收器	A18、G2	B12、E1
MSS_RS232_TX	IO	主子系统, 调试 RS232 (UART) 发送器	B17、G1	A11、E3

表 5-35. RCSS UARTA 信号说明

信号名称	信号类型	说明	ZCE 引脚	NZN 引脚
RCSS_UARTA_CTS	I	雷达控制子系统, UART A, UART A, 清除发送	A18、G17	A8、B12、E13
RCSS_UARTA_RTS	O	雷达控制子系统, UART A, 请求发送	C17、H18	B9、C12、F15
RCSS_UARTA_RX	I	雷达控制子系统, UART A, UART A, 接收器	B16、B18、J19	A12、A7、C11、G14
RCSS_UARTA_TX	O	雷达控制子系统, UART A, UART A, 发送器	A17、B17、B19、H19	A11、A13、B11、B8、F14

表 5-36. UARTA 信号说明

信号名称	信号类型	说明	ZCE 引脚	NZN 引脚
DSS_UARTA_RX	IO	DSP 子系统 UARTA RX	B18、C5、G3、H19、W12、W2	A12、A8、C5、E2、F14、N6、R4
DSS_UARTA_TX	IO	DSP 子系统 UARTA TX	B17、B19、B2、C1、C19、E1、J19、U3、V12、V9、W14	A11、A13、A14、A3、B3、D1、G14、P4、R3、R7、R8
MSS_UARTA_RX	IO	主子系统, UART A, 接收器	C5、D18、G18、G2、J19、U15、U3	B10、B14、C5、E1、E15、G14、R11、R3
MSS_UARTA_TX	IO	主子系统, UART A, 发送器	B17、B3、D19、D6、G1、H19、V16、V9、W2	A10、A11、B15、B4、C6、E3、F14、P11、P4、R4

表 5-37. UARTB 信号说明

信号名称	信号类型	说明	ZCE 引脚	NZN 引脚
MSS_UARTB_RX	IO	主子系统, UART B, 接收器	A18、F19、G2、G3、J17、W2	B12、C9、D15、E1、E2、G13、R4
MSS_UARTB_TX	IO	主子系统, UART B, 发送器	B17、C17、C3、D18、D19、D6、G1、G19、H2、K18、U3、V14、V9	A11、A9、B14、B15、C12、C6、D4、E14、E3、F1、H14、P4、R3、R9

5.3.20 SPI 信号说明

表 5-38. SPIA 信号说明

信号名称	信号类型	说明	ZCE 引脚	NZN 引脚
MSS_MIBSPIA_CLK	IO	主子系统, SPI A, 时钟	B2、G19、T18	B3、E14、P15

表 5-38. SPIA 信号说明 (续)

信号名称	信号类型	说明	ZCE 引脚	NZN 引脚
MSS_MIBSPIA_CS0	IO	主子系统, SPI A, 片选 0	A2、F19、T19	C3、D15、P14
MSS_MIBSPIA_HOSTIRQ	O	主子系统, SPI A, 主机中断输入	E18、G18、U18	C15、E15、N13
MSS_MIBSPIA_MISO	IO	主子系统, SPI A, 控制器输入, 外设输出	B1、G17、R17	A4、E13、N14
MSS_MIBSPIA_MOSI	IO	主子系统, SPI A, 控制器输出, 外设输入	C1、H18、R18	A3、F15、N15

表 5-39. SPIB 信号说明

信号名称	信号类型	说明	ZCE 引脚	NZN 引脚
MSS_MIBSPIB_CLK	IO	主子系统, SPI B, 时钟	D18、E1、V19	B14、D1、R14
MSS_MIBSPIB_CS0	IO	主子系统, SPI B, 片选 0	D19、F2、U17	B15、C1、N12
MSS_MIBSPIB_CS1	IO	主子系统, SPI B, 片选 1	E17、E18、J2、W18	C14、C15、F2、P12
MSS_MIBSPIB_CS2	IO	主子系统, SPI B, 片选 2	D2、E17、J2、U18	A2、C14、F2、N13
MSS_MIBSPIB_MISO	IO	主子系统, SPI B, 控制器输入, 外设输出	C19、C2、V18	A14、B2、R13
MSS_MIBSPIB_MOSI	IO	主子系统, SPI B, 控制器输出, 外设输入	C18、D2、U19	A2、B13、P13

表 5-40. RCSS SPIA 信号说明

信号名称	信号类型	说明	ZCE 引脚	NZN 引脚
RCSS_MIBSPIA_CLK	IO	雷达控制子系统 SPI A, 时钟	T18	P15
RCSS_MIBSPIA_CS0	IO	雷达控制子系统 SPI A, 片选 0	T19	P14
RCSS_MIBSPIA_CS1	IO	雷达控制子系统 SPI B, 片选 1	U18	N13
RCSS_MIBSPIA_MISO	IO	雷达控制子系统 SPI A, 控制器输入, 外设输出	R17	N14
RCSS_MIBSPIA_MOSI	IO	雷达控制子系统 SPI A, 控制器输出, 外设输入	R18	N15

表 5-41. RCSS SPIB 信号说明

信号名称	信号类型	说明	ZCE 引脚	NZN 引脚
RCSS_MIBSPIB_CLK	IO	雷达控制子系统 SPI B, 时钟	V19	R14
RCSS_MIBSPIB_CS0	IO	雷达控制子系统 SPI B, 片选 0	U17	N12
RCSS_MIBSPIB_CS1	IO	雷达控制子系统 SPI B, 片选 1	W18	P12
RCSS_MIBSPIB_MISO	IO	雷达控制子系统 SPI B, 控制器输入, 外设输出	V18	R13
RCSS_MIBSPIB_MOSI	IO	雷达控制子系统 SPI B, 控制器输出, 外设输入	U19	P13

5.3.21 系统信号说明

表 5-42. 系统信号说明

信号名称	信号类型	说明	ZCE 引脚	NZN 引脚
NERROR_IN	I	安全, 错误输入	L3	H2
NERROR_OUT	IO	安全, 错误输出	L1	H1
NRESET	I	上电复位输入。低电平有效。	L2	J3
SYNC_IN	I	低频同步信号输入	G3	E2
WARM_RESET	IO	热复位输入。复位状态输出。	K1	H3

5.3.22 布线信号说明

表 5-43. 布线信号说明

信号名称	信号类型	说明	ZCE 引脚	NZN 引脚
TRACE_CLK	O	跟踪时钟	W12	N6
TRACE_CTL	O	跟踪控制	V12	R7
TRACE_DATA_0	O	跟踪数据	V16	P11
TRACE_DATA_1	O	跟踪数据	U15	R11
TRACE_DATA_2	O	跟踪数据	W16	P10
TRACE_DATA_3	O	跟踪数据	V15	R10
TRACE_DATA_4	O	跟踪数据	W15	N9
TRACE_DATA_5	O	跟踪数据	V14	R9
TRACE_DATA_6	O	跟踪数据	U13	P9
TRACE_DATA_7	O	跟踪数据	W14	R8
TRACE_DATA_8	O	跟踪数据	V13	P8
TRACE_DATA_9	O	跟踪数据	W13	P7
TRACE_DATA_10	O	跟踪数据	U11	P6
TRACE_DATA_11	O	跟踪数据	V11	R6
TRACE_DATA_12	O	跟踪数据	W11	N5
TRACE_DATA_13	O	跟踪数据	V10	P5
TRACE_DATA_14	O	跟踪数据	W10	R5
TRACE_DATA_15	O	跟踪数据	T10	N4

5.4 引脚连接要求

本节介绍了具有特定连接要求的封装焊球和未使用封装焊球的连接要求。

备注

除非另有说明，否则必须为所有电源焊球提供 *建议运行条件* 一节中指定的电压。

备注

需要补充说明的是，“保持未连接状态”或“无连接”(NC)表示这些器件焊球编号不能连接任何信号布线。

备注

有关进一步详细信息和设计背景，请参阅相关的 [AM273x 硬件设计指南](#)。

表 5-44. 连接要求 — AM273x ZCE 封装

焊球编号	焊球名称	连接要求
V1	CLKP	晶体振荡器励磁输出。可连接至外部晶体端子，或由 1.8V 振荡器输出驱动。
U1	CLKM	晶体振荡器励磁输入。可连接至外部晶体端子。如果使用外部 1.8V 振荡器来驱动 CLKP 引脚，则该 CLKM 引脚应连接至 VSS。建议通过下拉电阻器连接。
T1	VBGAP	应连接至外部 0.047 μ F 电容器以确保带隙电压正常运行。
N18、N17、J3、T8	VNWA、VDD_SRAM_1、VDD_SRAM_2、VDD_SRAM_3	所有这些电源引脚都必须短接至公共 VDD 1.2V 核心供电网络，并在 PCB 上提供单独的去耦电容。
U9	VPP	应连接至有效的电子保险丝编程电压源或路由至连接器。如果未使用，应在 PCB 上将其完全断开。
K1、L1、L3	WARM_RESET、NERROR_OUT 和 NERROR_IN	WARM_RESET、NERROR_OUT 和 NERROR_IN 实现为失效防护开漏 I/O。这些引脚需要将单独的外部上拉电阻器连接至 VIOIN 才能正常工作。
P4、N3	RESERVED1、RESERVED2	保留信号。应短接至 VSS。

表 5-45. 连接要求 — AM273x NZN 封装

焊球编号	焊球名称	连接要求
P1	CLKP	晶体振荡器励磁输出。可连接至外部晶体端子，或由 1.8V 振荡器输出驱动。
N1	CLKM	晶体振荡器励磁输入。可连接至外部晶体端子。如果使用外部 1.8V 振荡器来驱动 CLKP 引脚，则该 CLKM 引脚应连接至 VSS。建议通过下拉电阻器连接。
M1	VBGAP	应连接至外部 0.047 μ F 电容器以确保带隙电压正常运行。
L13、K14、G3、M6	VNWA、VDD_SRAM_1、VDD_SRAM_2、VDD_SRAM_3	所有这些电源引脚都必须短接至公共 VDD 1.2V 核心供电网络，并在 PCB 上提供单独的去耦电容。
N7	VPP	应连接至有效的电子保险丝编程电压源或路由至连接器。如果未使用，应在 PCB 上将其完全断开。
H3、H1、H2	WARM_RESET、NERROR_OUT 和 NERROR_IN	WARM_RESET、NERROR_OUT 和 NERROR_IN 实现为失效防护开漏 I/O。这些引脚需要将单独的外部上拉电阻器连接至 VIOIN 才能正常工作。
L3、K3	RESERVED1、RESERVED2	保留信号。应短接至 VSS。

备注

内部拉电阻器很弱，在某些工作条件下可能无法提供足够的电流来保持有效的逻辑电平。当连接到具有相反逻辑电平泄漏的元件时，或者当外部噪声源与连接到仅由内部电阻器拉至有效逻辑电平的焊球的信号布线耦合时，可能会出现这种情况。因此，建议使用外部拉电阻器来在具有外部连接的焊球上保持有效的逻辑电平。

很多处理器 I/O 默认处于关闭状态，并且可能需要外部拉电阻器才能将任何所连接器件的输入保持在有效逻辑状态，直到软件初始化相应的 I/O。引脚属性表的“复位 RX/TX/PULL 期间的焊球状态”和“复位 RX/TX/PULL 后的焊球状态”列中定义了可配置器件 IO 的状态。任何输入缓冲器 (RX) 关闭的 IO 都可以浮动，而不会损坏器件。但是，任何已打开输入缓冲器 (RX) 的 IO 不得浮动到 V_{ILSS} 和 V_{IHSS} 之间的任何电位。输入缓冲器可以进入高电流状态，如果允许在这些电平之间浮动，则可能会损坏 IO 单元。

6 规格

6.1 绝对最大额定值

参数/引脚 ^{(1) (2)}	说明		最小值	最大值	单位
VDD	1.2V 数字电源		-0.5	1.4	V
VIN_SRAM	用于内部 SRAM 的 1.2V 电源轨		-0.5	1.4	V
VNWA	用于 SRAM 阵列反馈偏置的 1.2V 电源轨		-0.5	1.4	V
VIOIN	I/O 电源 (3.3V 或 1.8V) : 所有 LVCMOS1833 I/O 都将在此电源上运行		-0.5	3.8	V
VIOIN_18	用于 CMOS I/O 的 1.8V 电源		-0.5	2	V
VIOIN_18CLK	用于时钟模块的 1.8V 电源		-0.5	2	V
VIOIN_18DIFF	用于 CSI2 和 LVDS 端口的 1.8V 电源		-0.5	2	V
输入电压	双电压 LVCMOS 输入, 在 3.3V 或 1.8V (稳态) 下运行		-0.3V 至 VIOIN +0.3V		V
	双电压 LVCMOS 输入, 在 3.3V/1.8V (瞬态过冲/下冲) 条件下运行		VIOIN + 20%, 高达信号周期的 20%		V
	CLKP/CLKN		-0.5	2	V
钳位电流	限制钳位电流 ⁽³⁾		-20	20	mA
T _J	工作结温范围	汽车级工作温度	-40	140	°C
		扩展工业级	-40	105	
T _{stg}	焊接到 PC 板上之后的贮存温度范围		-55	150	°C

- (1) 超出最大绝对额定值下列出的值的应力可能会对器件造成永久损坏。这些仅为应力额定值, 对于在应力额定值下或者在任一其他超过建议运行条件中所标出的额定值的器件的功能运行情况, 在此并未说明。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
- (2) 所有电压值均以网络接地端 GND 为基准。
- (3) 指定在过压或欠压条件下, 流经 I/O 内部二极管保护单元的钳位电流。

6.2 ESD 等级 - 汽车类

			值	单位
V _(ESD) 静电放电	ESD 应力电压 HBM 符合 AEC Q100-002 ⁽¹⁾	所有引脚	±2000	V
	ESD 应力电压 CDM 符合 AEC Q100-011	所有引脚	±500	
		转角引脚 (A1、A19、W1、W19)	±750	

- (1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

6.3 上电小时数 (POH)

参数 ⁽¹⁾	扩展工业级	汽车级工作温度
工作结温 (T _J)	-40°C 至 105°C	-40°C 至 140°C
温度曲线下的 POH	请参阅扩展工业温度曲线	请参阅扩展汽车温度曲线

- (1) 为方便起见, 单独提供这些信息, 并且未扩展或修改适用于 TI 半导体产品的 TI 标准条款和条件下提供的保修范围。

6.3.1 汽车温度曲线

表 6-1. 扩展汽车温度曲线

T _J (°C)	小时	天	年	时间百分比
-40	1200	≈50	≈0.14	6%
75	4000	≈167	≈0.46	20%
95	13000	≈541	≈1.48	65%

表 6-1. 扩展汽车温度曲线 (续)

T _J (°C)	小时	天	年	时间百分比
130	1600	≈67	≈0.18	8%
140	200	≈8.5	≈0.023	1%
总计	20000	≈833	≈2.28	100%

6.3.2 工业温度曲线

表 6-2. 扩展工业温度曲线

T _J (°C)	总小时数	总天数	总年数
95	100000	≈4166	≈11.41
105 ⁽¹⁾	70000	≈2916	≈7.99

(1) 基于 CSI2.0 接口运行, 利用率为 50%

6.4 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明)

电源名称	说明	最小值	标称值	最大值	单位
电源条件					
VDD	1.2V 数字电源	1.14	1.2	1.32	V
VIN-SRAM	用于内部 SRAM 的 1.2V 电源轨	1.14	1.2	1.32	V
VNWA	用于 SRAM 阵列反向偏置的 1.2V 电源轨	1.14	1.2	1.32	V
VIOIN	I/O 电源 (3.3V 模式): 所有 LVCMOS1833 I/O 都将在此电源上运行	3.135	3.3	3.465	V
VIOIN	I/O 电源 (1.8V 模式): 所有 LVCMOS1833 I/O 都将在此电源上运行	1.71	1.8	1.89	V
VIOIN_18	用于 LVCMOS1833 I/O 的 1.8V 电源	1.71	1.8	1.9	V
VIOIN_18CLK	用于时钟模块的 1.8V 电源	1.71	1.8	1.9	V
VIOIN_18ADC	用于 ADC 模块的 1.8V 电源	1.71	1.8	1.9	V
VIOIN_18CSI	用于 CSI-2 D-PHY 缓冲器的 1.8V 电源	1.71	1.8	1.9	V
VIOIN_18LVDS	用于 LVDS 缓冲器的 1.8V 电源	1.71	1.8	1.9	V
VPP	用于电子保险丝阵列的 1.7V 电源	1.65	1.7	1.75	V
I/O 条件					
LVCMOS V _{IH}	LVCMOS18/33 (1.8V 模式) 电压输入高电平	1.71			V
	LVCMOS18/33 (3.3V 模式) 电压输入高电平	2.25			V
LVCMOS V _{IL}	LVCMOS18/33 (1.8V 模式) 电压输入低电平			0.3 × VIOIN	V
	LVCMOS18/33 (3.3V 模式) 电压输入低电平			0.3 × VIOIN	V
LVCMOS V _{OH}	LVCMOS18/33 (1.8V 和 3.3V 模式) 电压输出高电平 (I _{OH} = 6 ma)	VIOIN - 0.450			V
LVCMOS V _{OL}	LVCMOS18/33 (1.8V 和 3.3V 模式) 电压输出低电平 (I _{OL} = 6 ma)	0.45			V
NRESET, SOP[4:0] V _{IH}	NRESET, SOP[4:0], (1.8V 模式) 电压输入高电平	0.96			V
	NRESET, SOP[4:0], (3.3V 模式) 电压输入高电平	1.57			V
NRESET, SOP[4:0] V _{IL}	NRESET, SOP[4:0], (1.8V 模式) 电压输入低电平			0.2	V
	NRESET, SOP[4:0], (3.3V 模式) 电压输入低电平			0.3	V

6.4 建议运行条件（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）

电源名称	说明	最小值	标称值	最大值	单位
LVDS TX V_{OH}	电压输出高电平			1.5	V
LVDS TX V_{OL}	电压输出低电平	0.9			V
CSI2 RX V_{IH} ⁽¹⁾	电压输入高电平 — LP 模式	0.74			V
CSI2 RX V_{IL} ⁽¹⁾	电压输入低电平 — LP 模式			0.55	V
CSI2 RX V_{IH} ⁽¹⁾	电压输入高电平 — HS 模式			0.46	V
CSI2 RX V_{IL} ⁽¹⁾	电压输入低电平 — HS 模式	-0.04			V
OSC_CLKOUT	电压输出高电平		1.4		V
	电压输出低电平		VSS		V

(1) CSI2 接收器与 MIPI D-PHY 标准版本 2.1 兼容。

6.5 运行性能点

本节介绍了器件的运行条件。本节还包含处理器时钟和器件内核时钟的每个运行性能点 (OPP) 的说明。

备注

OPP 电压和频率值可能会随器件特性结果而变化。

表 6-3 描述了器件每个速度等级支持的最大频率。

表 6-3. 器件速度和存储器等级

器件	等级	RAM (MB)	DSP (MHz)	R5FSS (MHz)
AM2731、AM2731-Q1	A	1.5	450	400
AM2732、AM2732-Q1	D	3.5625	450	400
AM2731、AM2731-Q1	L	2	550	400
AM2732、AM2732-Q1	M	3.5625	550	400
AM2731、AM2731-Q1	N	1.5	300	200

6.6 电源规格

表 6-4 描述了由外部电源提供的四根电源轨，及其如何映射到 AM273x 器件的主要子系统和电源网。

表 6-4. 电源轨特性

电源	由电源供电的器件块	器件上的相关输入电源网
1.8V	APLL、晶体振荡器、ADC、CSI2、LVDS	输入：VIOIN_18CLK、VIOIN_18ADC、VIOIN_18DIFF、VIOIN_18LVDS、VIOIN_18CSI
3.3V (或对于 1.8V I/O 模式，为 1.8V)	数字 I/O	输入：VIOIN
1.2V	内核数字和 SRAM	输入：VDD、VIN_SRAM1、VIN_SRAM2、VIN_SRAM3、VNWA

6.7 I/O 缓冲器类型和电压轨相关性

表 6-5. 缓冲器类型

缓冲器类型 (标准)	说明	电压轨	外设
LVC MOS	双电压 1.8V/3.3V LVC MOS I/O 缓冲器	VIOIN、VIOIN_18	复位、QSPI、UART、SPI、I ² C、CAN-FD、GPIO、RGMII、MDIO、ePWM、eCAP、JTAG、跟踪、SOP、安全、DMM
GPADC	通用 ADC 输入	VIOIN_18ADC	GPADC
时钟子系统	时钟子系统晶体或 1.8V 单端输入缓冲器	VIOIN_18CLK	CLKP/CLKM
时钟子系统输出	时钟子系统的模拟低抖动输出	VIOIN_18CLK	OSC_CLKOUT
LVDS TX	LVDS 高速数据，差分输出缓冲器	VIOIN_18DIFF	Aurora LVDS
CSI2.0 RX	MIPI D-PHY CSI2.0 高速数据，差分输入缓冲器	VIOIN_18DIFF	CSI2

6.8 CPU 规格

表 6-6. CPU 和硬件加速器规格

	参数	最小值	最大值	单位
主子系统 (MSS)	双核 Cortex-R5F , ARMv7⁽²⁾			
	时钟速度		400	MHz
	支持 64 位 ECC 的 L1 程序存储器 (I-Cache)		32	KB
	支持 32 位 ECC 的 L1 数据存储器 (D-Cache)		32	KB
	支持 32 位 ECC 的 L1 紧耦合存储器 ⁽³⁾ (TCM)	32	64	KB
	L2 存储器		960	KB
DSP 子系统 (DSS)	单核 C66x DSP			
	时钟速度		550	MHz
	L1 程序存储器		32	KB
	L1 数据存储器		32	KB
	L2 存储器 ⁽¹⁾		384	KB
共享内存	共享 L3 存储器 ⁴	1.5	3.5625	MB

- (1) C66x L2 存储器包含高达 256KB 的 RAM 或高速缓存配置
 (2) R5F 双核可配置为单个冗余锁步器件或两个独立的内核
 (3) R5F 最大 64KB TCM, 支持 32 位 ECC
 • 在单核锁步模式下, 完整的 64KB L1 TCM 可提供 32KB TCMA 和 32KB TCMB
 • 在双核拆分模式下, 每个内核都具有 32KB L1 TCM, 可提供 16KB TCMA 和 16KB TCMB
 (4) 共享的 L3 存储器可用于 R5F 和 C66x 子系统

6.9 nFBGA 封装的热阻特性 [ZCE285A]

热指标 ⁽¹⁾	°C/W ^{(2) (3)}
R _{θJC} 结点到外壳	6.2
R _{θJB} 结点到电路板	5.7
R _{θJA} 结点到环境空气	17.3
Ψ _{sjT} 结至封装顶部	1.0
Ψ _{sjB} 结点到电路板	5.6

- (1) 有关新旧热性能指标的更多信息, 请参阅 [半导体和 IC 封装热指标](#)。
 (2) °C/W = 摄氏度/瓦。
 (3) 以上值基于 JEDEC 定义的 2S2P 系统 (基于 JEDEC 定义的 1S0P 系统的 Theta JC [R_{θJC}] 值除外), 将随环境和应用的变化而更改。有关更多信息, 请参阅以下 EIA/JEDEC 标准:
 • JESD51-2, *Integrated Circuits Thermal Test Method Environmental Conditions - Natural Convection (Still Air)*
 • JESD51-3, *Low Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
 • JESD51-7, *High Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
 • JESD51-9, *Test Boards for Area Array Surface Mount Package Thermal Measurements*

6.10 nFBGA 封装的热阻特性 [NZN225A]

热指标 ⁽¹⁾	°C/W ^{(2) (3)}
R _{θJC} 结点到外壳	6.1
R _{θJB} 结点到电路板	5.9
R _{θJA} 结点到环境空气	18.2
Ψ _{sjT} 结至封装顶部	0.7
Ψ _{sjB} 结点到电路板	5.8

6.11 功耗摘要

表 6-7 总结了 AM273x 器件在一组典型应用利用率和热参数下的平均功耗。表 6-8 展示了该器件的假设峰值电流。这两个表均可用于确定电源稳压器和 PCB 设计。但是，器件的具体功率利用率取决于器件内核、加速器和外设的软件利用率以及工作温度。为了便于进行准确的电源规划，TI 提供了功耗估算工具 (PET) 电子表格，可用于在各种场景下估算器件功耗利用率。请参阅 [sprad10](#) 了解更多信息。

表 6-7. 平均功耗和电流

参数	电源名称	电源说明	平均功耗 (mW)	平均电流 (mA)
典型控制和处理应用场景的平均功耗和电流消耗： • C66x DSP：450MHz，50% 利用率 • R5F 双核：400MHz，70% 利用率 • CSI2-A/B：4 通道，600Mbps 运行 • SPI：10% 利用率 • 以太网：100Mbps 运行，70% 利用率 • CAN：8Mbps 运行，10% 利用率 • SPI：25Mbps 运行，10% 利用率 • $T_J = 25^{\circ}\text{C}$	VDD	1.2V 内核数字电源	692	576
	VDD_SRAM	1.2V SRAM 电源	3	3
	VIOIN	1.8V 或 3.3V 数字 I/O 电源	12	4
	VIOIN_18	1.8V 数字 I/O 电源	0	0
	VIOIN_18CLK	1.8V 时钟电源	32	18
	VIOIN_18ADC	1.8V ADC 电源	3	2
	VIOIN_18CSI	1.8V CSI 电源	40	22
	VIOIN_18LVDS	1.8V LVDS 电源	125	69
	总功耗		907	

表 6-8. 峰值电流

电源名称	电源说明	峰值电流 (mA)
VDD	1.2V 内核数字电源	2315
VDD_SRAM	1.2V SRAM 电源	75
VIOIN	1.8V 或 3.3V 数字 I/O 电源	74
VIOIN_18	1.8V 数字 I/O 电源	1
VIOIN_18CLK	1.8V 时钟电源	18
VIOIN_18ADC	1.8V ADC 电源	2
VIOIN_18CSI	1.8V CSI 电源	23
VIOIN_18LVDS	1.8V LVDS 电源	70

6.12 电气特性

本节介绍器件元件系统的电气特性。

6.12.1 GPADC 参数

表 6-9. GPADC 参数

参数		典型值	单位
ADC 电源		1.8	V
ADC 输入电压范围 ⁽¹⁾	非缓冲输入路径	0 - 1.8	V
	缓冲输入路径	0.4 - 1.3	V
ADC 分辨率		10	位
ADC 偏移误差		±5	LSB
ADC 增益误差		±5	LSB
ADC DNL		-1/+2.5	LSB
ADC INL		±2.5	LSB
ADC 采样速率		625	Ksps

表 6-9. GPADC 参数 (续)

参数	典型值	单位
ADC 采样时间	400	ns
ADC 内部电容	10	pF
ADC 缓冲器输入电容	2	pF
ADC 输入漏电流	3	uA

- (1) GPADC 为所有可选输入源提供缓冲和非缓冲路径。缓冲输入路径将缩小输入范围，在构建任何外部信号调节或缩放电路时应考虑此缩小的范围。超出输入电压范围运行将导致 GPADC 的非线性运行。有关非缓冲和缓冲输入运行以及其他 GPADC 特性的更多信息，请参阅 AM273x 技术参考手册 [spruii0](#)。

6.13 时序和开关特性

6.13.1 电源时序和复位时序

AM273x 器件要求在 NRESET 失效 (从 VSS 电平降至 VIOIN 电平) 之前，所有外部电压轨和 SOP 启动模式选择线均已稳定。NRESET 上升沿对 SOP 引导模式状态进行采样。同样，外部电压轨只能在 NRESET 置为有效 (从 VIOIN 电平变为 VSS 电平) 后断电。图 6-1 描述了器件唤醒和断电序列。

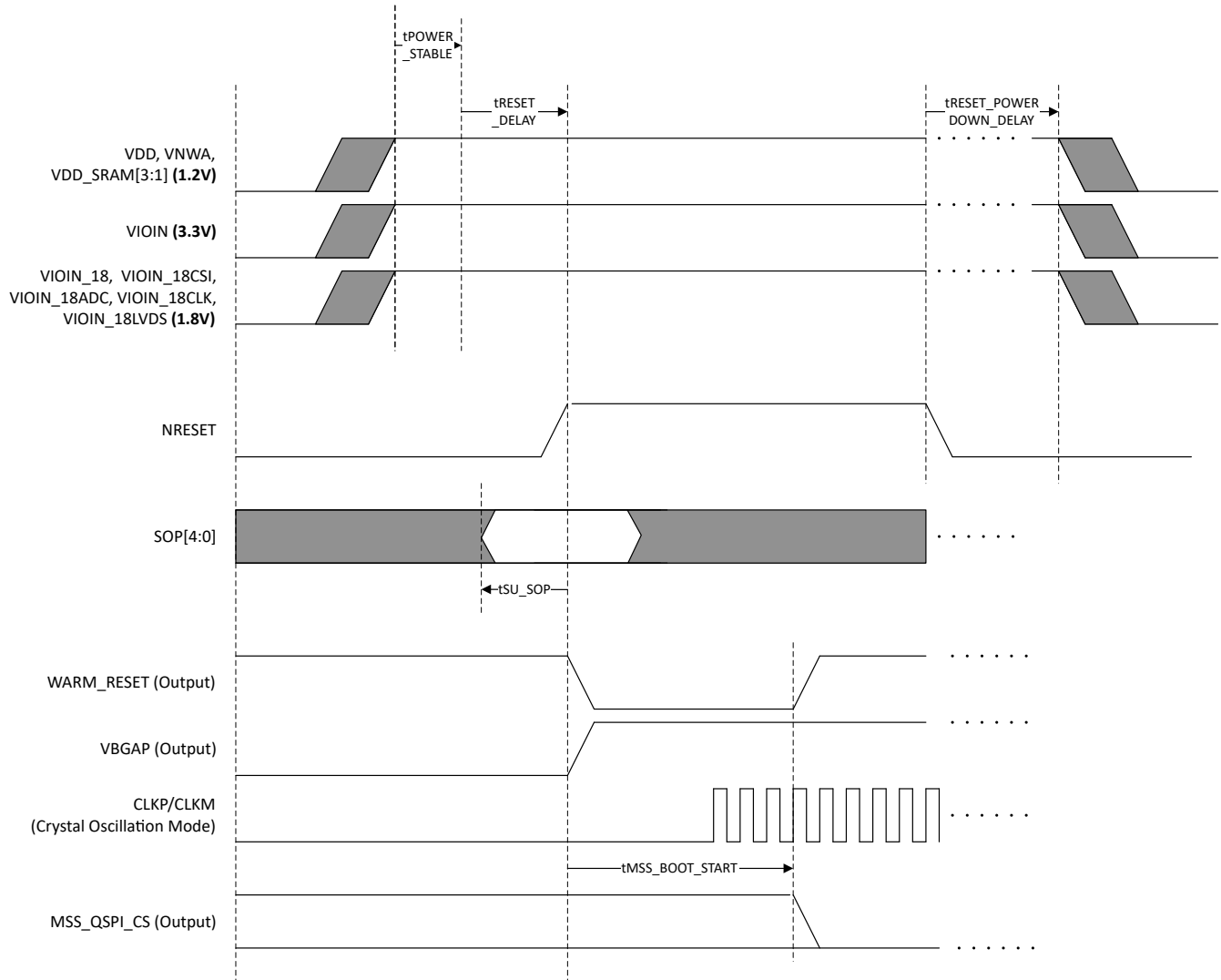


图 6-1. 器件唤醒和断电序列

表 6-10 列出了图 6-1 中显示的时序值。

表 6-10. 器件唤醒序列时序

名称	说明		最小值	典型值	最大值	单位
t _{POWER_STABLE}	初始电源开启后的稳定时间，在此之后，器件电源网处于有效的建议运行条件。 在所有电源引脚处于所建议的运行点之前，不应使 NRESET 失效（即从 GND 拉高至 VIOIN 电平）。 欲了解所有器件电源引脚建议的运行条件，请参阅 建议的运行条件 。		0			ms
t _{RESET_DELAY}	器件电源网络达到有效标称值后，NRESET 引脚可从 VSS 电平拉至 VIOIN 电平所需的延迟时间。 只要电源处于建议的运行条件，就可以将 NRESET 从 VSS 拉至 VIOIN 电平。		0			ms
t _{SU_SOP}	NRESET 上升沿采样 SOP 信号的建立时间。 只要电源处于建议的运行条件，器件就可以对 SOP 引脚状态进行采样。		0			ms
t _{MSS_BOOT_START}	NRESET 上升沿之后且引导 ROM 开始执行 MSS 代码之前的典型延迟。 该值取决于器件 CLKP/CLKM 输入参考时钟是由晶体源（晶体振荡器模式）运行还是由外部振荡器运行（外部振荡器模式）。采用外部振荡器模式时，启动速度更快。 当 ROM 从 QSPI 存储器读取次级引导加载程序 (SBL) 时，可以通过观察第一个 QSPI 芯片选择上升沿，以此检测是否启动了 MSS 代码执行。	外部振荡器模式	0.5		ms	
		晶体振荡器模式	7.0			
t _{RESET_POWERDOWN_DELAY}	在断电事件期间，将 NRESET 从 VIOIN 电平降至 VSS 电平后的延迟时间，设定为电源引脚可以断电的时间。 在 NRESET 变为 VSS 电平后，可以随时关闭器件电源引脚。		0			ms

6.13.2 时钟规范

一个外部晶体连接至器件引脚。图 6-2 显示了晶体实现。

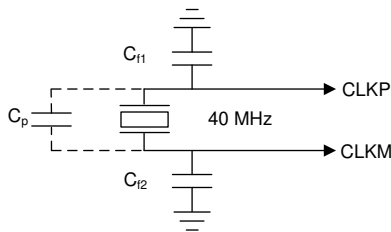


图 6-2. 晶体实现

备注

应该选择图 6-2 中的负载电容器 C_{f1} 和 C_{f2}，以满足[方程式 1](#)的要求。公式中的 C_L 是晶体制造商指定的负载。用于实现振荡器电路的所有分立式元件应尽可能靠近关联的振荡器 CLKP 和 CLKM 引脚放置。请注意，C_{f1} 和 C_{f2} 包括由于 PCB 布线而产生的寄生电容。

$$C_L = C_{f1} \times \frac{C_{f2}}{C_{f1} + C_{f2}} + C_P \quad (1)$$

表 6-11 列出了时钟晶体的电气特性。

表 6-11. 晶体电气特性 (振荡器模式)

名称	说明	最小值	典型值	最大值	单位
f_P	并联谐振晶体频率		40		MHz
C_L	晶体负载电容	5	8	12	pF
ESR	晶体 ESR			50	Ω
温度范围	预期工作温度范围	-40		150	$^{\circ}\text{C}$
频率容差	晶体频率容差 ^{(1) (2) (3)}	-200		200	ppm
驱动电平			50	200	μW

- (1) 晶体制造商的规格必须满足此要求。
(2) 包括晶体的初始容差、温漂、老化以及由于负载电容不正确而导致的频率牵引。
(3) 如果 AM273x 用作所连接传感器的时钟源，则晶体容差会影响传感器精度。

非晶体振荡器也可以用作时钟基准源。在这种情况下，信号仅馈送到 CLKP 引脚，并且 CLKM 会接地。表 6-12 列出了外部振荡器输入信号的电气要求、交流时序要求和相位噪声要求。

表 6-12. 外部时钟模式输入要求

参数		规格			单位
		最小值	典型值	最大值	
输入时钟： 外部交流耦合正弦波或直流耦合方波 相位噪声，以 40MHz 为基准	频率		40		MHz
	交流振幅	700		1200	mV (pp)
	直流 V_{IL}		0.35 × VDD ⁽¹⁾		V
	直流 V_{IH}	0.65 × VDD ⁽¹⁾			V
	直流 $t_{rise/fall}$			10	ns
	1kHz 时的相位噪声			-132	dBc/Hz
	10kHz 时的相位噪声			-143	dBc/Hz
	100kHz 时的相位噪声			-152	dBc/Hz
	1MHz 时的相位噪声			-153	dBc/Hz
	占空比	35		65	%
	频率容差	-50		50	ppm

- (1) VDD 表示相应的电源。有关电源名称和相应焊球的详细信息，请参阅引脚属性表的“电源”列。

6.13.3 外设信息

以下各节提供了初始外设描述和特性。附加外设详细信息和接口时序信息应在后续的产品预发布或数据表版本中提供。

6.13.3.1 QSPI 闪存存储器外设

AM273x 包含一个用于外部闪存存储器访问的四路串行外设接口。闪存存储器可用于多种用途，包括：次级引导加载程序存储器、应用程序存储器、安全密钥存储以及用于安全性和错误情况的长期数据日志。

- ROM 引导加载程序通过闪存器件 ID (DevID) 寄存器自动识别支持的闪存
- 针对时钟信号的环回偏斜消除可支持更快的闪存接口时钟速率
- 两个片选信号可连接两个外部闪存器件
- 存储器映射的“直接”模式和软件触发的“间接”操作模式可用于执行闪存数据传输
- 支持 67MHz 的工作时钟

6.13.3.1.1 QSPI 时序条件

规格编号	参数	最小值	典型值	最大值	单位
	输入条件				
1	t_R 输入上升时间	1		3	ns
2	t_F 输入下降时间	1		3	ns
	输出条件				
3	C_{LOAD} 输出负载电容	2		15	pF

6.13.3.1.2 QSPI 时序要求

规格编号	参数 ^{(1), (2), (3)}	最小值	典型值	最大值	单位
Q12	$t_{su}(D-SCLK)$ 在 SCLK 下降沿之前 D[3:0] 有效的建立时间	5			ns
Q13	$t_h(SCLK-D)$ 在 SCLK 下降沿之后 D[3:0] 有效的保持时间	0			ns
Q14	$t_{su}(D-SCLK)$ 在最终 SCLK 下降沿之前最终 D[3:0] 位有效的建立时间	5-P			ns
Q15	$t_h(SCLK-D)$ 在最终 SCLK 下降沿后最终 D[3:0] 位有效的保持时间	0+P			ns

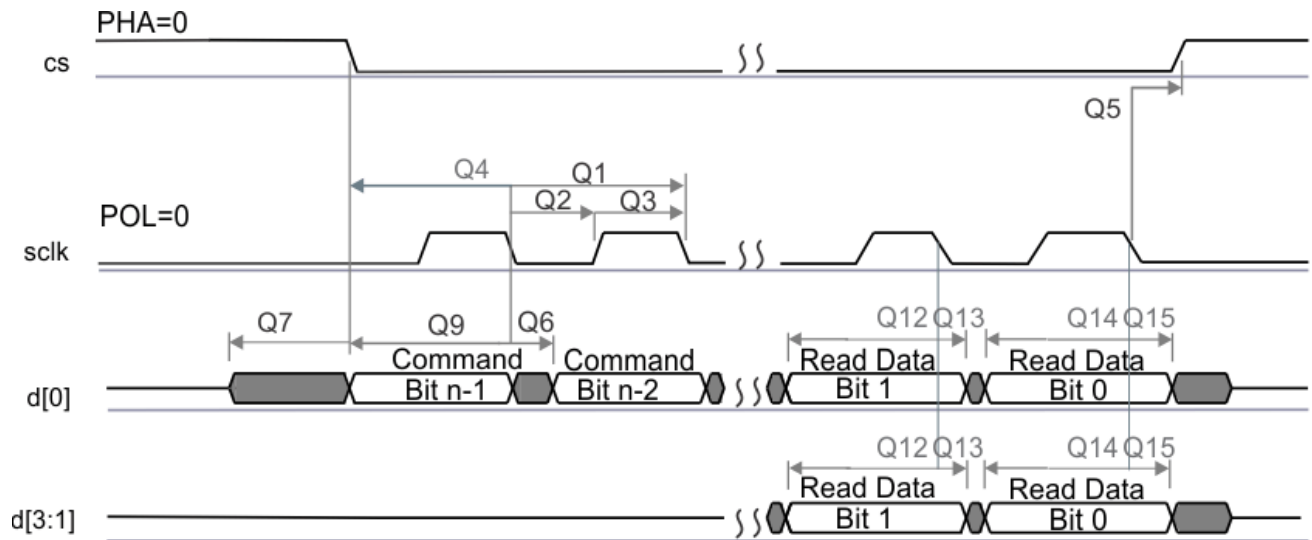
- (1) 时钟模式 0 (时钟极性 = 0 ; 时钟相位 = 0) 是工作模式。
- (2) 与传统的上升时钟沿相反, 器件在时钟模式 0 的下降时钟沿捕获数据。尽管是非标准的, 但基于下降沿的建立时间和保持时间时序已设计为与在时钟模式 0 的下降沿启动数据的标准 SPI 器件兼容。
- (3) P = SCLK 周期, 单位为 ns。

6.13.3.1.3 QSPI 开关特性

规格编号	参数 ^{(1), (2)}		最小值	典型值	最大值	单位
Q1	$t_{c}(\text{SCLK})$	SCLK 周期时间	14.9			ns
Q2	$t_{w}(\text{SCLKL})$	SCLK 低电平的脉冲持续时间	$0.5 \cdot P - 1.5$			ns
Q3	$t_{w}(\text{SCLKH})$	SCLK 高电平的脉冲持续时间	$0.5 \cdot P - 1.5$			ns
Q4	$t_{d}(\text{CS-SCLK})$	SCLK 下降沿到 CS 有效边沿的延迟时间	$-M \cdot P - 1$		$-M \cdot P + 2.5$	ns
Q5	$t_{d}(\text{SCLK-CS})$	SCLK 下降沿到 CS 无效边沿的延迟时间	$N \cdot P - 1$		$N \cdot P + 2.5$	ns
Q6	$t_{d}(\text{SCLK-D0})$	SCLK 下降沿到 d[0] 转换的延迟时间	-3		5.2	ns
Q7	$t_{\text{ena}}(\text{CS-D0LZ})$	使能时间, CS 有效边沿到 d[0] 驱动 (低阻抗)	$-P - 4$		$-P + 3.5$	ns
Q8	$t_{\text{dis}}(\text{CS-D0Z})$	禁用时间, CS 有效边沿到 d[0] 三态 (高阻抗)	$-P - 4$		$-P + 3.5$	ns
Q9	$t_{d}(\text{SCLK-D0})$	SCLK 第一个下降沿到第一个 d[0] 转换的延迟时间 (仅适用于 PHA = 0)	$-3 - P$		$3.5 - P$	ns

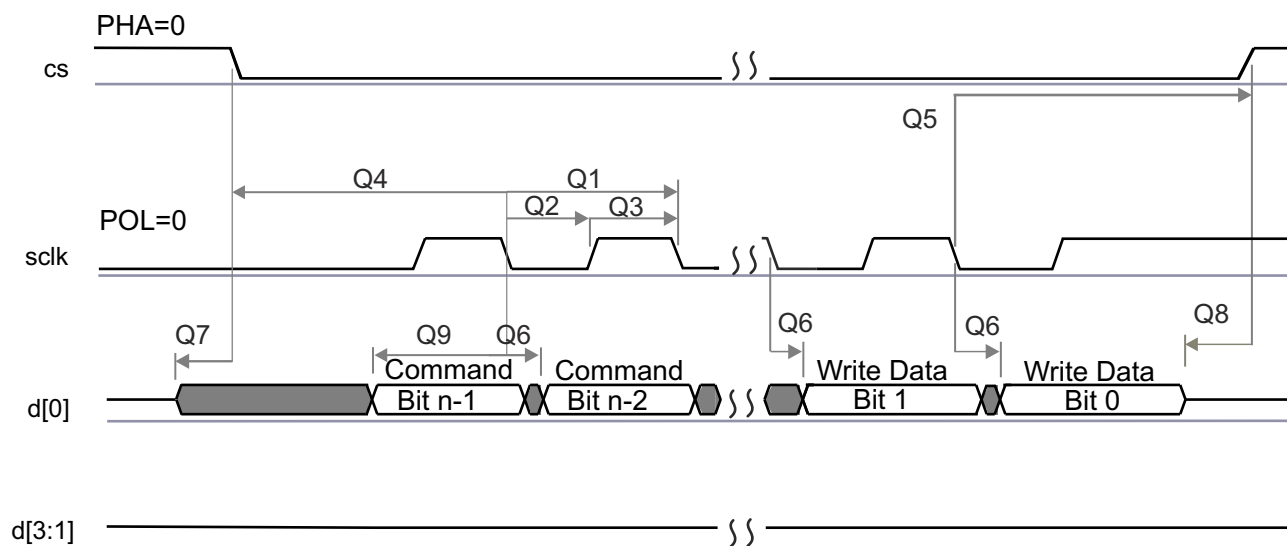
(1) P = SCLK 周期, 单位为 ns。

(2) M = QSPI_SPI_DC_REG.DDx + 1, N = 2



SPRS85v TIMING QSPI1 Q2

图 6-3. QSPI 读取 (时钟模式 0)



SPRS85v_TIMING_OSPI1_04

图 6-4. QSPI 写入 (时钟模式 0)

6.13.3.2 MIBSPI 外设

AM273x 包括四个多缓冲串行外设接口 (MIBSPI) 主机接口。其中两个接口用于外部 MCU、PMIC、EEPROM、看门狗和其他系统级通信，标记为 MSS_MIBSPI。另外两个接口用于独立控制 SPI 器件传感器，标记为 RCSS_MIBSPI。

- 每个 MIBSPI 模块支持的最大时钟速率为 25MHz。

此外，MSS 和 RCSS MIBSPI 都具有器件级实现的主机中断请求输入信号路径。这些信号旨在让连接的 SPI 器件能够向 AM273x MCU 主机器件发送信号，对所连接器件执行任何所需的操作。这些信号标记为 HOST_IRQ。请参阅下面的表 6-13，其中突出显示了这些 MIBSPI 主机 IRQ 信号。有关 MIBSPI 外设所有特性的更多信息，请参阅 AM273x 技术参考手册。

表 6-13. MIBSPI 主机中断 (IRQ) 信号

信号名称	信号描述
MSS_MIBSPIA_HOSTIRQ	MSS MIBSPIA 主机中断请求
RCSS_MIBSPIA_HOSTIQ	RCSS MIBSPIA 主机中断请求
RCSS_MIBSPIB_HOSTIRQ	RCSS MIBSPIB 主机中断请求

6.13.3.2.1 SPI 时序条件

编号	参数	最小值	典型值	最大值	单位
输入条件					
1	t_R 输入上升时间	1		3	ns
2	t_F 输入下降时间	1		3	ns
输出条件					
3	C_{LOAD} 输出负载电容	2		15	pF

6.13.3.2.2 SPI 控制器模式时序与开关参数 (时钟相位 = 0、SPICLK = 输出、SPISIMO = 输出且 SPISOMI = 输入)

以下表格和图展示了 SPI — 控制器模式的时序要求与开关特性。

表 6-14. SPI 控制器模式开关特性 (时钟相位 = 0、SPICLK = 输出、SPISIMO = 输出且 SPISOMI = 输入) ^{(1) (3)}

请参阅图 6-5 和图 6-6

编号	参数	最小值	典型值	最大值	单位
1	$t_{c(SPC)M}$ 周期时间，SPICLK ⁽²⁾	40		$256t_{c(VCLK)}$	ns
2	$t_{w(SPCH)M}$ 脉冲持续时间，SPICLK 高电平的时间 (时钟极性 = 0)	$0.5t_{c(SPC)M} - 4$		$0.5t_{c(SPC)M} + 4$	ns
	$t_{w(SPL)M}$ 脉冲持续时间，SPICLK 低电平的时间 (时钟极性 = 1)	$0.5t_{c(SPC)M} - 4$		$0.5t_{c(SPC)M} + 4$	
3	$t_{w(SPL)M}$ 脉冲持续时间，SPICLK 低电平的时间 (时钟极性 = 0)	$0.5t_{c(SPC)M} - 4$		$0.5t_{c(SPC)M} + 4$	ns
	$t_{w(SPCH)M}$ 脉冲持续时间，SPICLK 高电平的时间 (时钟极性 = 1)	$0.5t_{c(SPC)M} - 4$		$0.5t_{c(SPC)M} + 4$	
4	$t_{d(SPCH-SIMO)M}$ 在 SPICLK 低电平之前 SPISIMO 有效的延迟时间 (时钟极性 = 0)	$0.5t_{c(SPC)M} - 13$			ns
	$t_{d(SPL-SIMO)M}$ 在 SPICLK 高电平之前 SPISIMO 有效的延迟时间 (时钟极性 = 1)	$0.5t_{c(SPC)M} - 13$			
5	$t_{v(SPL-SIMO)M}$ 在 SPICLK 低电平之后 SPISIMO 数据有效的有效时间 (时钟极性 = 0)	$0.5t_{c(SPC)M} - 10.5$			ns
	$t_{v(SPCH-SIMO)M}$ 在 SPICLK 高电平之后 SPISIMO 数据有效的有效时间 (时钟极性 = 1)	$0.5t_{c(SPC)M} - 10.5$			

**表 6-14. SPI 控制器模式开关特性 (时钟相位 = 0、SPICLK = 输出、
SPISIMO = 输出且 SPISOMI = 输入) ^{(1) (3)} (续)**

请参阅图 6-5 和图 6-6

编号	参数		最小值	典型值	最大值	单位
6	$t_{C2TDELAY}$	CS 有效直至 SPICLK 高电平的建立时间 (时钟极性 = 0) ⁽⁵⁾	CSHOLD = 0	$(C2TDELAY+2) * t_{c(VCLK)} - 7.5$	$(C2TDELAY+2) * t_{c(VCLK)} + 7$	ns
			CSHOLD = 1	$(C2TDELAY+3) * t_{c(VCLK)} - 7.5$	$(C2TDELAY+3) * t_{c(VCLK)} + 7$	
		CS 有效直至 SPICLK 低电平的建立时间 (时钟极性 = 1) ⁽⁵⁾	CSHOLD = 0	$(C2TDELAY+2) * t_{c(VCLK)} - 7.5$	$(C2TDELAY+2) * t_{c(VCLK)} + 7$	
			CSHOLD = 1	$(C2TDELAY+3) * t_{c(VCLK)} - 7.5$	$(C2TDELAY+3) * t_{c(VCLK)} + 7$	
7	$t_{T2CDELAY}$	SPICLK 低电平直至 CS 无效的保持时间 (时钟极性 = 0) ⁽⁵⁾	$0.5 * t_{c(SPC)M} + (T2CDELAY + 1) * t_{c(VCLK)} - 7$		$0.5 * t_{c(SPC)M} + (T2CDELAY + 1) * t_{c(VCLK)} + 7.5$	ns
		SPICLK 高电平直至 CS 无效的保持时间 (时钟极性 = 1) ⁽⁵⁾	$0.5 * t_{c(SPC)M} + (T2CDELAY + 1) * t_{c(VCLK)} - 7$		$0.5 * t_{c(SPC)M} + (T2CDELAY + 1) * t_{c(VCLK)} + 7.5$	

**表 6-15. SPI 控制器模式时序要求 (时钟相位 = 0、SPICLK = 输出、
SPISIMO = 输出且 SPISOMI = 输入) ^{(1) (3)}**

请参阅图 6-5

编号	参数		最小值	典型值	最大值	单位
8	$t_{su}(SOMI-SPCL)M$	在 SPICLK 低电平之前 SPISOMI 的建立时间 (时钟极性 = 0) ⁽⁴⁾	5			ns
	$t_{su}(SOMI-SPCH)M$	在 SPICLK 高电平之前 SPISOMI 的建立时间 (时钟极性 = 1) ⁽⁴⁾	5			
9	$t_h(SPCL-SOMI)M$	在 SPICLK 低电平之后 SPISOMI 数据有效的保持时间 (时钟极性 = 0) ⁽⁴⁾	3			ns
	$t_h(SPCH-SOMI)M$	在 SPICLK 高电平之后 SPISOMI 数据有效的保持时间 (时钟极性 = 1) ⁽⁴⁾	3			

(1) 设置 nRESET 位 (SPIGCRx.0) 并清除 PHASE 位 (SPIFMTx.16) (其中 x= 0 或 1)。

(2) $t_{c(MSS_VCLK)} = 1/f_{(MSS_VCLK)}$ 。有关更多详细信息, 请参阅技术参考手册。

(3) 当 SPI 处于控制器模式时, 必须满足以下条件: 对于从 1 到 255 的 PS 值: $t_{c(SPC)M} \geq (PS+1)t_{c(MSS_VCLK)} \geq 25ns$, 其中 PS 是在 SPIFMTx.[15:8] 寄存器位中设置的预分频值。对于 PS 值为 0 的情况: $t_{c(SPC)M} = 2t_{c(MSS_VCLK)} \geq 25ns$ 。

(4) 基准 SPICLK 信号的有效边沿由时钟极性位 (SPIFMTx.17) 控制。

(5) C2TDELAY 和 T2CDELAY 在 SPIDELAY 寄存器中进行编程。

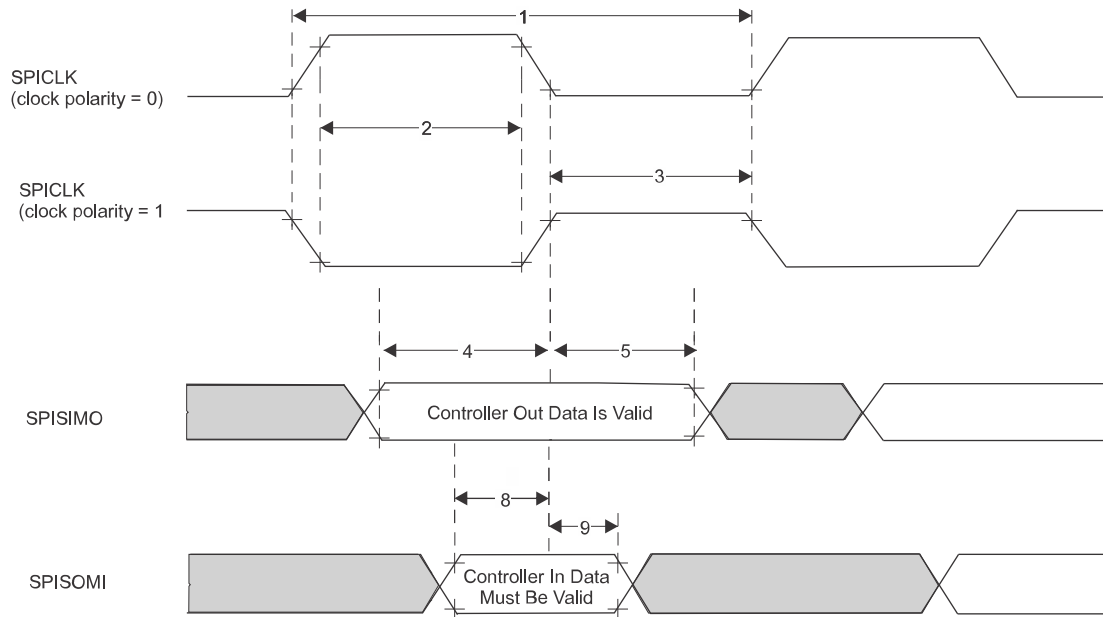


图 6-5. SPI 控制器模式外部时序 (时钟相位 = 0)

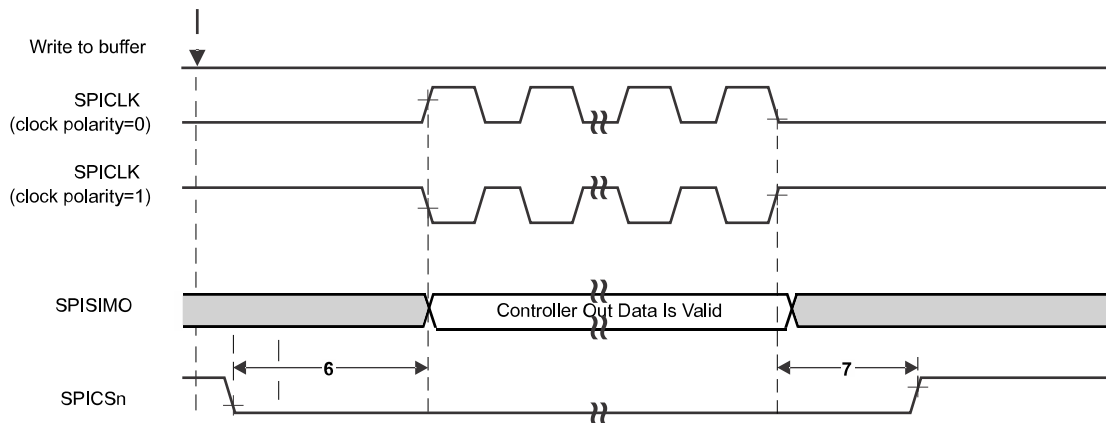


图 6-6. SPI 控制器模式片选时序 (时钟相位 = 0)

6.13.3.2.3 SPI 控制器模式时序与开关参数 (时钟相位 = 1、SPICLK = 输出、SPISIMO = 输出且 SPISOMI = 输入)

表 6-16. SPI 控制器模式开关特性 (时钟相位 = 1、SPICLK = 输出、SPISIMO = 输出且 SPISOMI = 输入) ^{(1) (3)}

请参阅图 6-5 和图 6-8

编号	参数	最小值	典型值	最大值	单位
1	$t_{c(SPC)M}$ 周期时间, SPICLK ⁽²⁾	40		$256t_{c(VCLK)}$	ns
2	$t_{w(SPCH)M}$ 脉冲持续时间, SPICLK 高电平的时间 (时钟极性 = 0)	$0.5t_{c(SPC)M} - 4$		$0.5t_{c(SPC)M} + 4$	ns
	$t_{w(SPCL)M}$ 脉冲持续时间, SPICLK 低电平的时间 (时钟极性 = 1)	$0.5t_{c(SPC)M} - 4$		$0.5t_{c(SPC)M} + 4$	
3	$t_{w(SPCL)M}$ 脉冲持续时间, SPICLK 低电平的时间 (时钟极性 = 0)	$0.5t_{c(SPC)M} - 4$		$0.5t_{c(SPC)M} + 4$	ns
	$t_{w(SPCH)M}$ 脉冲持续时间, SPICLK 高电平的时间 (时钟极性 = 1)	$0.5t_{c(SPC)M} - 4$		$0.5t_{c(SPC)M} + 4$	

表 6-16. SPI 控制器模式开关特性 (时钟相位 = 1、SPICLK = 输出、SPISIMO = 输出且 SPISOMI = 输入) ^{(1) (3)}
(续)

请参阅图 6-5 和图 6-8

编号	参数		最小值	典型值	最大值	单位
4	$t_{d(SPCH-SIMO)M}$	在 SPICLK 低电平之前 SPISIMO 有效的延迟时间 (时钟极性 = 0)	$0.5t_{c(SPC)M} - 13$			ns
	$t_{d(SPCL-SIMO)M}$	在 SPICLK 高电平之前 SPISIMO 有效的延迟时间 (时钟极性 = 1)	$0.5t_{c(SPC)M} - 13$			
5	$t_{v(SPCL-SIMO)M}$	在 SPICLK 低电平之后 SPISIMO 数据有效的有效时间 (时钟极性 = 0)	$0.5t_{c(SPC)M} - 10.5$			ns
	$t_{v(SPCH-SIMO)M}$	在 SPICLK 高电平之后 SPISIMO 数据有效的有效时间 (时钟极性 = 1)	$0.5t_{c(SPC)M} - 10.5$			
6	$t_{C2TDELAY}$	CS 有效直至 SPICLK 高电平的建立时间 (时钟极性 = 0) ⁽⁵⁾	CSHOLD = 0		$0.5 * t_{c(SPC)M} + (C2TDELAY + 2) * t_{c(VCLK)} - 7.5$	ns
			CSHOLD = 1		$0.5 * t_{c(SPC)M} + (C2TDELAY + 2) * t_{c(VCLK)} - 7.5$	
		CS 有效直至 SPICLK 低电平的建立时间 (时钟极性 = 1) ⁽⁵⁾	CSHOLD = 0		$0.5 * t_{c(SPC)M} + (C2TDELAY + 2) * t_{c(VCLK)} - 7.5$	
			CSHOLD = 1		$0.5 * t_{c(SPC)M} + (C2TDELAY + 3) * t_{c(VCLK)} - 7.5$	
7	$t_{T2CDELAY}$	SPICLK 低电平直至 CS 无效的保持时间 (时钟极性 = 0) ⁽⁵⁾	$(T2CDELAY + 1) * t_{c(VCLK)} - 7.5$		$(T2CDELAY + 1) * t_{c(VCLK)} + 7$	ns
		SPICLK 高电平直至 CS 无效的保持时间 (时钟极性 = 1) ⁽⁵⁾	$(T2CDELAY + 1) * t_{c(VCLK)} - 7.5$		$(T2CDELAY + 1) * t_{c(VCLK)} + 7$	

表 6-17. SPI 控制器模式时序要求 (时钟相位 = 0、SPICLK = 输出、SPISIMO = 输出且 SPISOMI = 输入) ^{(1) (3)}

请参阅图 6-5 和图 6-8

编号	参数		最小值	典型值	最大值	单位
8	$t_{su(SOMI-SPCL)M}$	在 SPICLK 低电平之前 SPISOMI 的建立时间 (时钟极性 = 0) ⁽⁴⁾	5			ns
	$t_{su(SOMI-SPCH)M}$	在 SPICLK 高电平之前 SPISOMI 的建立时间 (时钟极性 = 1) ⁽⁴⁾	5			
9	$t_h(SPCL-SOMI)M$	在 SPICLK 低电平之后 SPISOMI 数据有效的保持时间 (时钟极性 = 0) ⁽⁴⁾	3			ns
	$t_h(SPCH-SOMI)M$	在 SPICLK 高电平之后 SPISOMI 数据有效的保持时间 (时钟极性 = 1) ⁽⁴⁾	3			

- (1) 设置 nRESET 位 (SPIGCRx.0) 并设置 PHASE 位 (SPIFMTx.16) (其中 x=0 或 1)。
- (2) $t_{c(MSS_VCLK)} = 1/f_{(MSS_VCLK)}$ 。有关更多详细信息, 请参阅技术参考手册。
- (3) 当 SPI 处于控制器模式时, 必须满足以下条件: 对于从 1 到 255 的 PS 值: $t_{c(SPC)M} \geq (PS + 1)t_{c(MSS_VCLK)} \geq 25ns$, 其中 PS 是在 SPIFMTx.[15:8] 寄存器位中设置的预分频值。对于 PS 值为 0 的情况: $t_{c(SPC)M} = 2t_{c(MSS_VCLK)} \geq 25ns$ 。
- (4) 基准 SPICLK 信号的有效边沿由时钟极性位 (SPIFMTx.17) 控制。
- (5) C2TDELAY 和 T2CDELAY 在 SPIDELAY 寄存器内被设定。

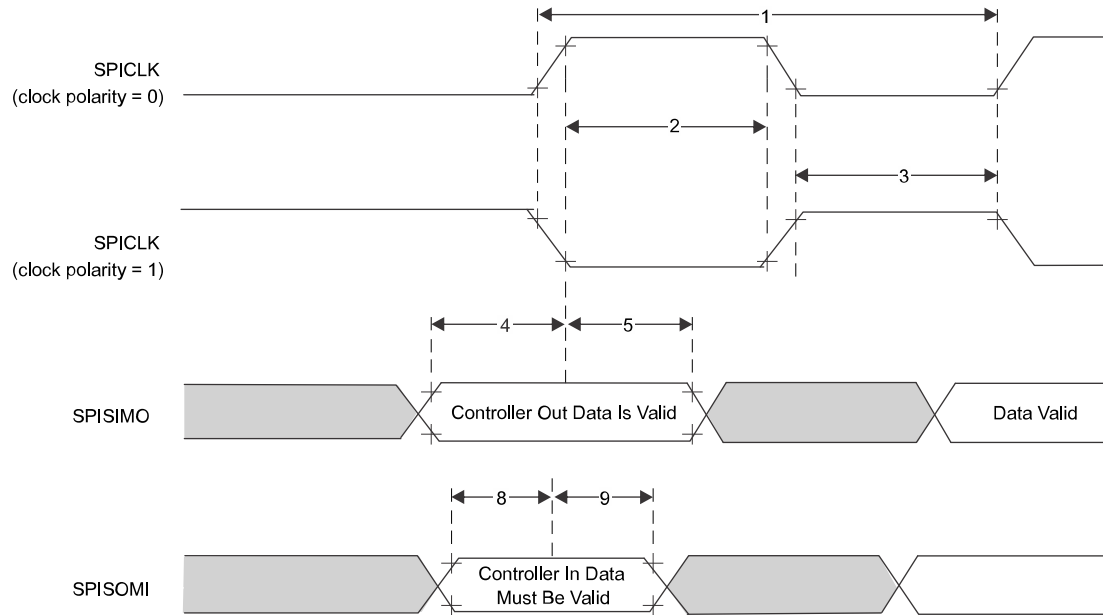


图 6-7. SPI 控制器模式外部时序 (时钟相位 = 1)

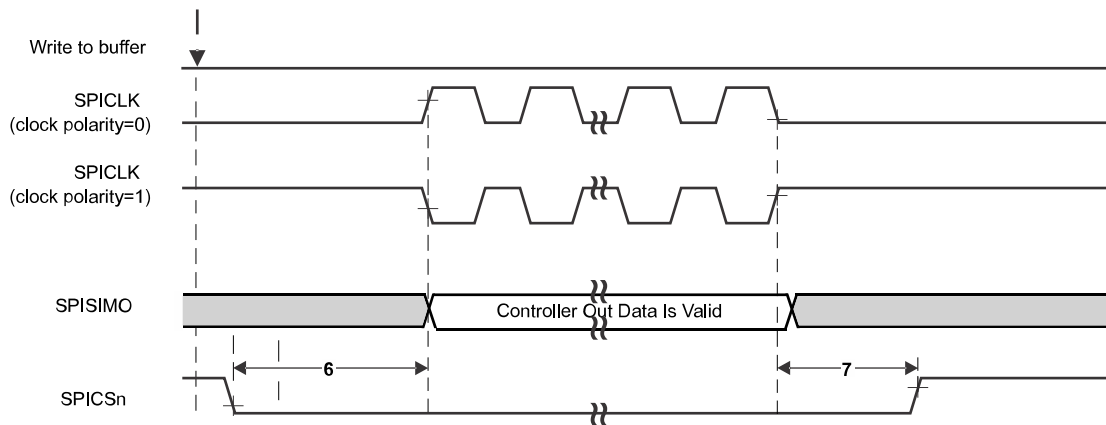


图 6-8. SPI 控制器模式片选时序 (时钟相位 = 1)

6.13.3.2.4 SPI 外设模式时序与开关参数 (SPICLK = 输入、SPISIMO = 输入且 SPISOMI = 输出)

表 6-18. SPI 外设模式时序参数 (SPICLK = 输入、SPISIMO = 输入且 SPISOMI = 输出) ^{(1) (2)}

请参阅图 6-9 和图 6-10

编号	参数	最小值	典型值	最大值	单位
1	$t_{C(SPC)}$ S 周期时间, SPICLK ⁽²⁾	25			ns
2	$t_{W(SPCH)}$ S 脉冲持续时间, SPICLK 高电平的时间 (时钟极性 = 0)	10			ns
	$t_{W(SPCL)}$ S 脉冲持续时间, SPICLK 低电平的时间 (时钟极性 = 1)	10			
3	$t_{W(SPCL)}$ S 脉冲持续时间, SPICLK 低电平的时间 (时钟极性 = 0)	10			ns
	$t_{W(SPCH)}$ S 脉冲持续时间, SPICLK 高电平的时间 (时钟极性 = 1)	10			

表 6-18. SPI 外设模式时序参数 (SPICLK = 输入、SPISIMO = 输入且 SPISOMI = 输出) ^{(1) (2)} (续)

请参阅图 6-9 和图 6-10

编号	参数		最小值	典型值	最大值	单位
4	$t_{d(SPCH-SOMI)S}$	在 SPICLK 高电平之后 SPISOMI 有效的延迟时间 (时钟极性 = 0 ; 时钟相位 = 0) 或 (时钟极性 = 1 ; 时钟相位 = 1) ⁽³⁾			11	ns
	$t_{d(SPCL-SOMI)S}$	在 SPICLK 低电平之后 SPISOMI 有效的延迟时间 (时钟极性 = 1 ; 时钟相位 = 0) 或 (时钟极性 = 0 ; 时钟相位 = 1) ⁽³⁾			11	
5	$t_{h(SPCH-SOMI)S}$	在 SPICLK 高电平之后 SPISOMI 数据有效的保持时间 (时钟极性 = 0 ; 时钟相位 = 0) 或 (时钟极性 = 1 ; 时钟相位 = 1) ⁽³⁾	2			ns
	$t_{h(SPCL-SOMI)S}$	在 SPICLK 低电平之后 SPISOMI 数据有效的保持时间 (时钟极性 = 1 ; 时钟相位 = 0) 或 (时钟极性 = 0 ; 时钟相位 = 1) ⁽³⁾	2			

表 6-19. SPI 外设模式开关特性 (SPICLK = 输入、SPISIMO = 输入且 SPISOMI = 输出) ^{(1) (2)}

请参阅图 6-9 和图 6-10

编号	参数	最小值	典型值	最大值	单位
6	$t_{su(SIMO-SPCL)S}$	在 SPICLK 低电平之前 SPISIMO 的建立时间 (时钟极性 = 0 ; 时钟相位 = 0) 或 (时钟极性 = 1 ; 时钟相位 = 1) ⁽⁴⁾			ns
	$t_{su(SIMO-SPCH)S}$	在 SPICLK 高电平之前的 SPISIMO 建立时间 (时钟极性 = 1 ; 时钟相位 = 0) 或 (时钟极性 = 0 ; 时钟相位 = 1) ⁽⁴⁾			
7	$t_{h(SPCL-SIMO)S}$	在 SPICLK 低电平之后 SPISIMO 数据有效的保持时间 (时钟极性 = 0 ; 时钟相位 = 0) 或 (时钟极性 = 1 ; 时钟相位 = 1) ⁽⁴⁾			ns
	$t_{h(SPCL-SIMO)S}$	在 SPICLK 高电平之后 SPISIMO 数据有效的保持时间 (时钟极性 = 1 ; 时钟相位 = 0) 或 (时钟极性 = 0 ; 时钟相位 = 1) ⁽⁴⁾			

(1) 清除 nRESET 位 (SPIGCRx.0) (其中 x = 0 或 1)。

(2) 当 SPI 处于外设模式时, 必须满足下列条件: $t_{c(SPC)S} \geq (PS + 1) t_{c(MSS_VCLK)}$, 其中 PS = 在 SPIFMTx.[15:8] 中设置的预分频值。

(3) 当 SPI 处于外设模式时, 必须满足以下条件: 对于从 1 到 255 的 PS 值: $t_{c(SPC)S} \geq (PS + 1) t_{c(MSS_VCLK)} \geq 25ns$, 其中 PS 是在 SPIFMTx.[15:8] 寄存器位中设置的预分频值。对于 PS 值为 0 的情况: $t_{c(SPC)S} = 2t_{c(MSS_VCLK)} \geq 25ns$ 。

(4) 基准 SPICLK 信号的有效边沿由时钟极性位 (SPIFMTx.17) 控制。

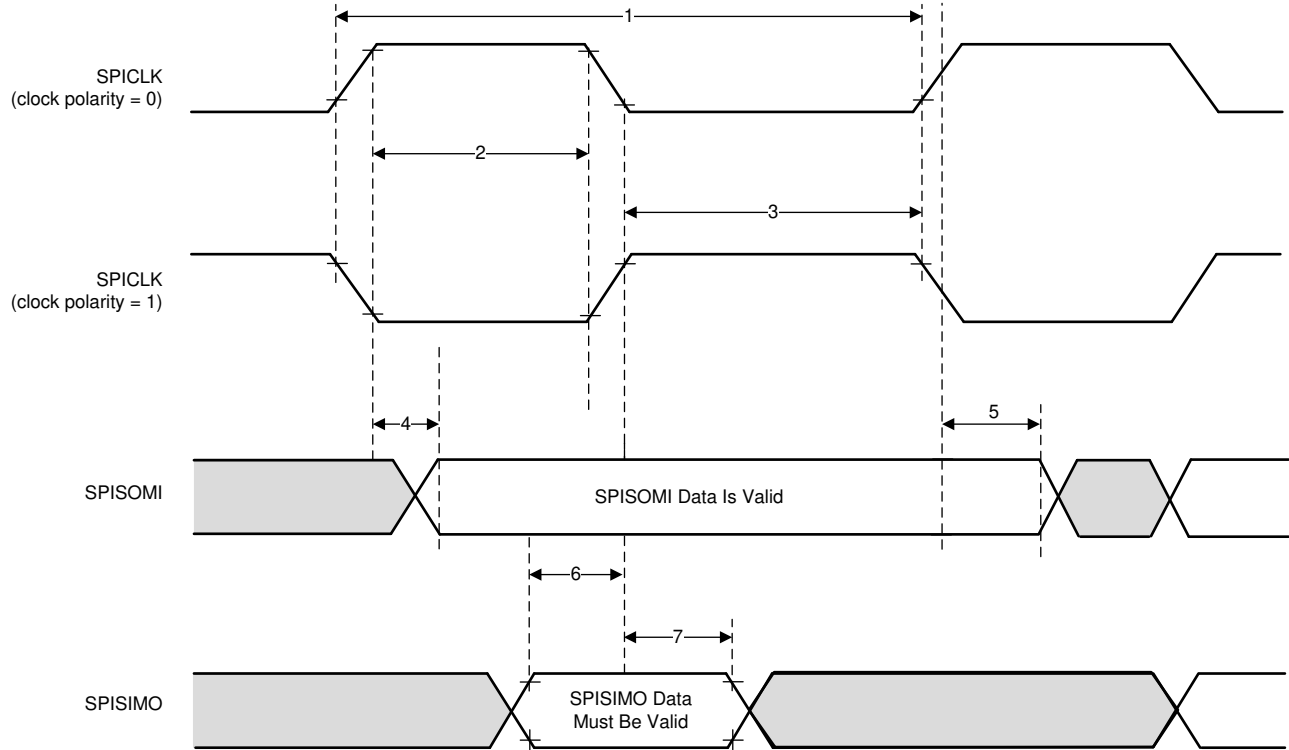


图 6-9. SPI 外设模式外部时序 (时钟相位 = 0)

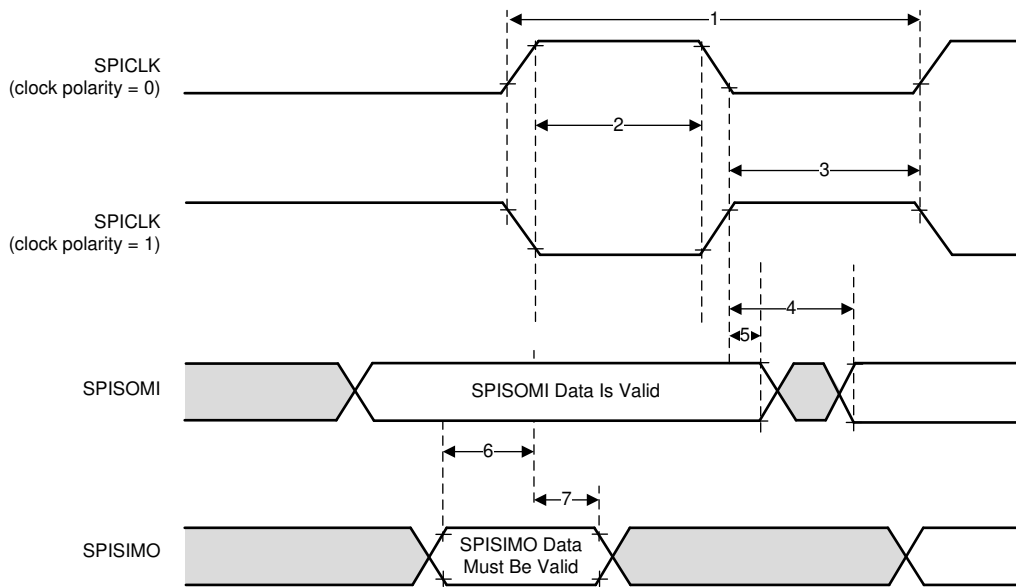


图 6-10. SPI 外设模式外部时序 (时钟相位 = 1)

6.13.3.3 以太网交换机 (RGMII/RMII/MII) 外设

AM273x 集成了一个双端口以太网交换机，其中一个为外部 RGMII/RMII/MII 端口，另一个是为子系统 (MSS) 提供服务的端口。此接口主要用作 100Mbps ECU 接口。它也可以用作仪表接口。

- 全双工 10/100Mbps 线速接口，通过 RGMII、RMII 或 MII 并行接口连接至以太网 PHY
- MDIO 第 22 条和第 45 条规范 PHY 管理接口

- IEEE 1588 同步以太网支持
- 同步触发输出允许以太网触发 CSI 数据帧

6.13.3.3.1 RGMII/GMII/MII 时序条件

规格编号	参数	最小值	典型值	最大值	单位
输入条件					
1	t_R 输入上升时间	1		3	ns
2	t_F 输入下降时间	1		3	ns
输出条件					
3	C_{LOAD} 输出负载电容	2		20	pF

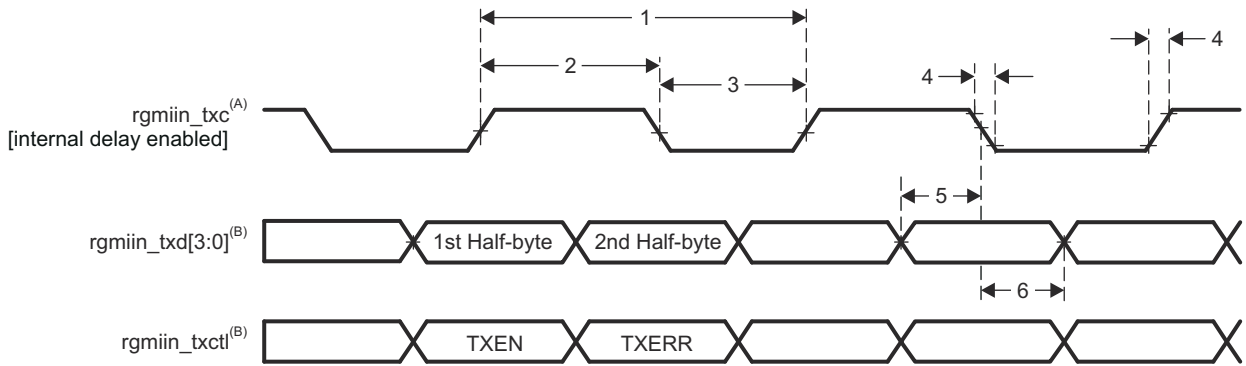
6.13.3.3.2 RGMII 发送时钟开关特性

编号	参数	说明	SPEED	最小值	最大值	单位
1	$t_{c(TXC)}$	rgmiin_txc 周期时间	10Mbps	360	440	ns
			100Mbps	36	44	ns
2	$t_{w(TXCH)}$	rgmiin_txc 高电平的脉冲持续时间	10Mbps	160	240	ns
			100Mbps	16	24	ns
3	$t_{w(TXCL)}$	rgmiin_txc 低电平的脉冲持续时间	10Mbps	160	240	ns
			100Mbps	16	24	ns
4	$t_l(TXC)$	rgmiin_txc 转换时间	10Mbps		0.75	ns
			100Mbps		0.75	ns

6.13.3.3.3 RGMII 发送数据和控制开关特性

编号 ⁽¹⁾	参数	说明	模式	最小值	最大值	单位
5	$t_{osu(TXD-TXC)}$	发送所选信号有效至 MSS_RGMII_TCLK 高电平/低电平的输出建立时间	RGMII, 启用内部延迟, 10/100Mbps	1.2		ns
6	$t_{oh(TXC-TXD)}$	在 MSS_RGMII_TCLK 高电平/低电平之后发送所选信号有效的输出保持时间	RGMII, 启用内部延迟, 10/100Mbps	1.2		ns

(1) 对于 RGMII, 发送所选信号包括: MSS_RGMII_TXD[3:0] 和 MSS_RGMII_TCTL。



- A. TXC 在驱动至 rgmiin_txc 引脚之前会在内部延迟。此内部延迟始终启用。
- B. 数据和控制信息通过时钟的两个边沿发送。rgmiin_txd[3:0] 在 rgmiin_txc 的上升沿承载数据位 3-0, 在 rgmiin_txc 的下降沿承载数据位 7-4。类似地, rgmiin_txctl 在 rgmiin_txc 的上升沿承载 TXEN, 在 rgmiin_txc 的下降沿承载 TXERR。

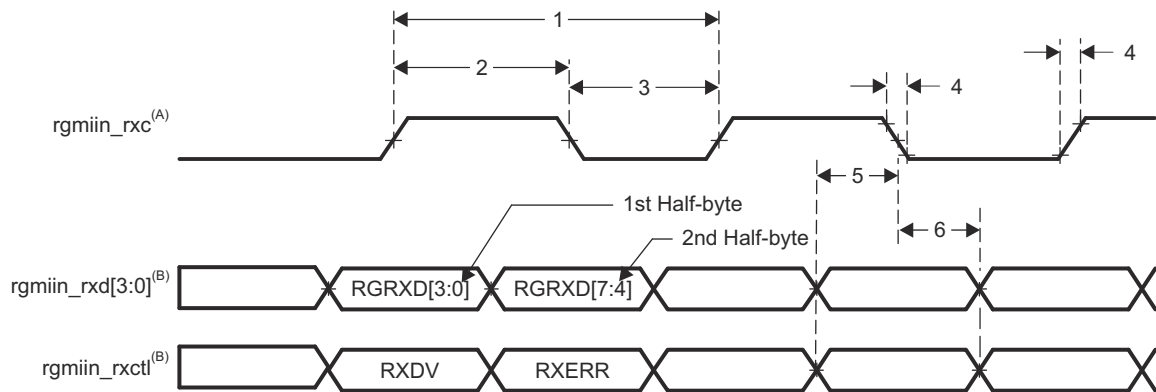
图 6-11. RGMII 发送接口开关特性

6.13.3.3.4 RGMII 接收时钟时序要求

编号	参数	说明	SPEED	最小值	最大值	单位
1	$t_{c(RXC)}$	rgmiin_rxc 周期时间	10Mbps	360	440	ns
			100Mbps	36	44	ns
2	$t_{w(RXCH)}$	rgmiin_rxc 高电平的脉冲持续时间	10Mbps	160	240	ns
			100Mbps	16	24	ns
3	$t_{w(RXCL)}$	rgmiin_rxc 低电平的脉冲持续时间	10Mbps	160	240	ns
			100Mbps	16	24	ns
4	$t_{t(RXC)}$	rgmiin_rxc 转换时间	10Mbps		0.75	ns
			100Mbps		0.75	ns

6.13.3.3.5 RGMII 接收数据和控制时序要求

编号	参数	说明	最小值	最大值	单位
5	$t_{su(RXD-RXCH)}$	在 MSS_RGMII_RCLK 高电平/低电平之前接收所选信号有效的建立时间	2		ns
6	$t_{h(RXCH-RXD)}$	在 MSS_RGMII_RCLK 高电平/低电平之后接收所选信号有效的保持时间	2		ns



- A. rgmiin_rxc 必须相对于数据和控制引脚进行外部延迟。
- B. 使用时钟的两个边沿接收数据和控制信息。MSS_RGMII_RXD[3:0] 在 rgmiin_rxc 的上升沿承载数据位 3-0，在 rgmiin_rxc 的下降沿承载数据位 7-4。类似地，rgmiin_rxctl 在 rgmiin_rxc 的上升沿承载 RXDV，在 rgmiin_rxc 的下降沿承载 RXERR。

图 6-12. GMAC 接收接口时序，RGMII 运行模式

6.13.3.3.6 RMII 发送时钟开关特性

编号	参数	说明	最小值	最大值	单位
RMII7	$t_{c(REF_CLK)}$	REF_CLK 周期时间	20		ns
RMII8	$t_{w(REF_CLKH)}$	REF_CLK 高电平的脉冲持续时间	7	13	ns
RMII9	$t_{w(REF_CLKL)}$	REF_CLK 低电平的脉冲持续时间	7	13	ns
RMII10	$t_{t(REF_CLK)}$	REF_CLK 转换时间		3	ns

6.13.3.3.7 RMII 发送数据和控制开关特性

编号	参数	说明	最小值	最大值	单位
RMII11	$t_{d(REF_CLK-TXD)}$	REF_CLK 高电平到所选发送信号有效的延迟时间	2	14.2	ns
	$t_{dd(REF_CLK-TXEN)}$				

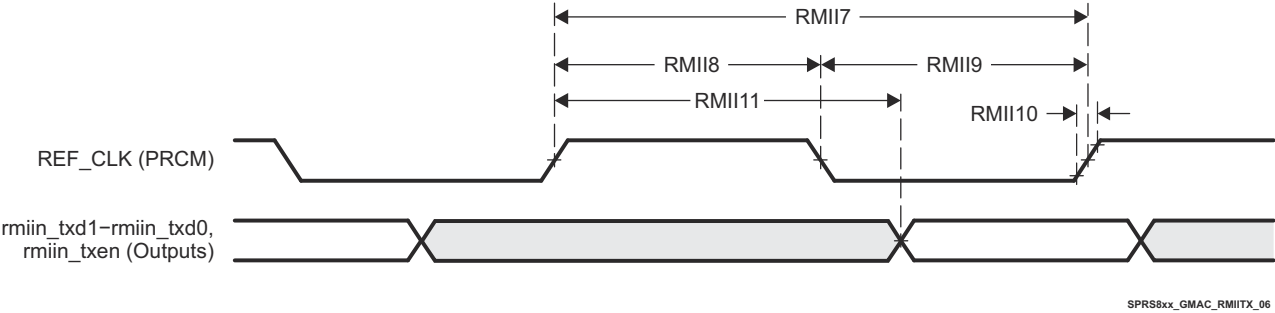


图 6-13. GMAC 发送接口时序 RMII_n 运行模式

6.13.3.3.8 RMII 接收时钟时序要求

编号			最小值	最大值	单位
RMII1	$t_c(\text{REF_CLK})$	REF_CLK 周期时间	20		ns
RMII2	$t_w(\text{REF_CLKH})$	REF_CLK 高电平的脉冲持续时间	7	13	ns
RMII3	$t_w(\text{REF_CLKL})$	REF_CLK 低电平的脉冲持续时间	7	13	ns
RMII4	$t_t(\text{REF_CLK})$	REF_CLK 转换时间		3	ns

6.13.3.3.9 RMII 接收数据和控制时序要求

编号			最小值	最大值	单位
RMII5	$t_{su}(\text{RXD-REF_CLK})$	在 REF_CLK 之前接收所选信号有效的建立时间	4		ns
	$t_{su}(\text{CRS_DV-REF_CLK})$				
	$t_{su}(\text{RX_ER-REF_CLK})$				
RMII6	$t_h(\text{REF_CLK-RXD})$	在 REF_CLK 之后接收所选信号有效的保持时间	2		ns
	$t_h(\text{REF_CLK-CRS_DV})$				
	$t_h(\text{REF_CLK-RX_ER})$				

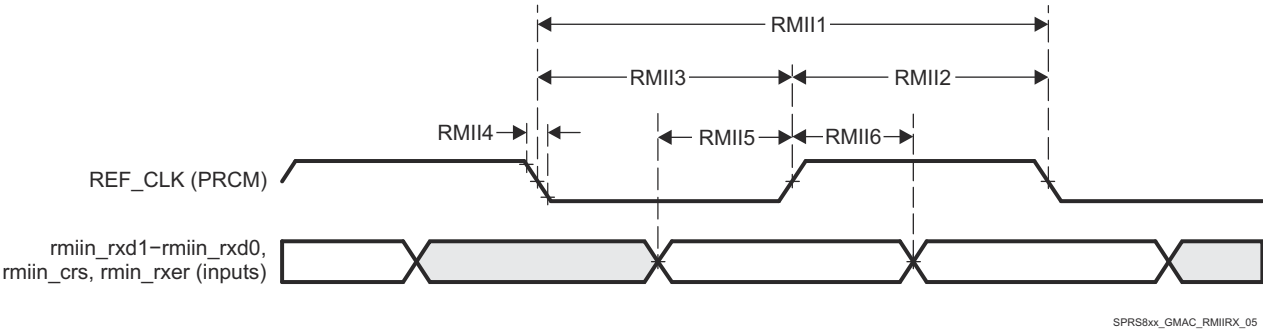


图 6-14. GMAC 接收接口时序 RMII_n 运行模式

6.13.3.3.10 MII 发送开关特性

编号	参数	说明	最小值	最大值	单位
1	$t_d(\text{TX_CLK-TXD})$	miin_txclk 到发送所选信号有效的延迟时间	0	25	ns
	$t_d(\text{TX_CLK-TX_EN})$				
	$t_d(\text{TX_CLK-TX_ER})$				

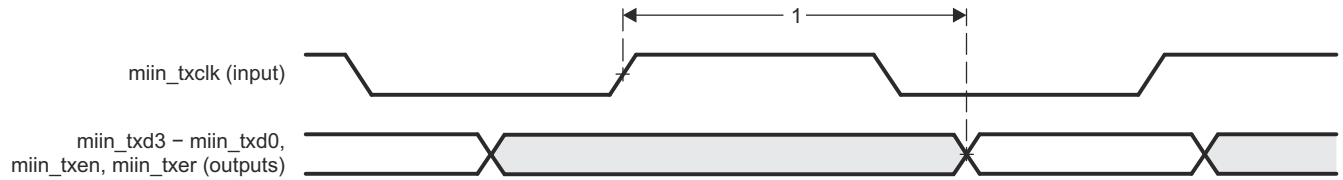


图 6-15. GMAC 发送接口时序 MII 运行模式

6.13.3.3.11 MII 接收时钟时序要求

编号	参数	说明	SPEED	最小值	最大值	单位
1	$t_{c(RX_CLK)}$	miin_rxclk 周期时间	10Mbps	400		ns
			100Mbps	40		ns
2	$t_{w(RX_CLKH)}$	miin_rxclk 高电平的脉冲持续时间	10Mbps	140	260	ns
			100Mbps	14	26	ns
3	$t_{w(RX_CLKL)}$	miin_rxclk 低电平的脉冲持续时间	10Mbps	140	260	ns
			100Mbps	14	26	ns
4	$t_t(RX_CLK)$	miin_rxclk 转换时间	10Mbps		3	ns
			100Mbps		3	ns

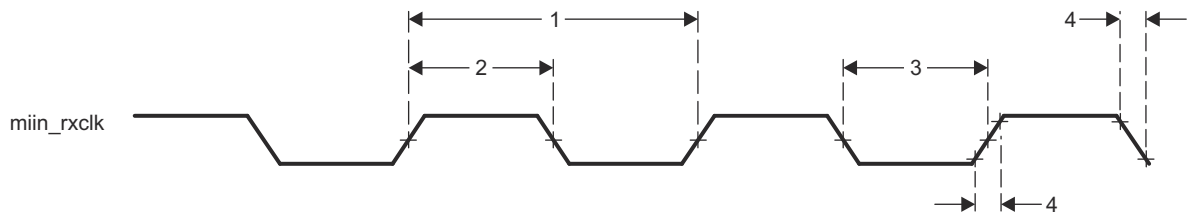


图 6-16. 时钟时序 (GMAC 接收) - MII 运行模式

6.13.3.3.12 MII 接收时序要求

编号	参数	说明	最小值	最大值	单位
1	$t_{su(RXD-RX_CLK)}$	在 miin_rxclk 之前接收所选信号有效的建立时间	8		ns
	$t_{su(RX_DV-RX_CLK)}$				
	$t_{su(RX_ER-RX_CLK)}$				
2	$t_h(RX_CLK-RXD)$	在 miin_rxclk 之后接收所选信号有效的保持时间	8		ns
	$t_h(RX_CLK-RX_DV)$				
	$t_h(RX_CLK-RX_ER)$				

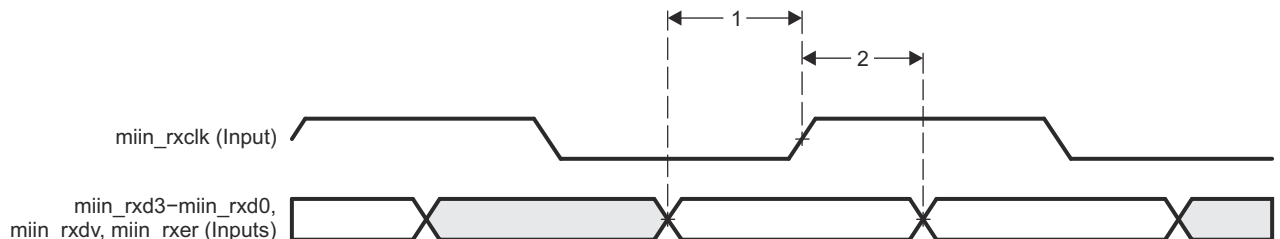


图 6-17. GMAC 接收接口时序 MII 运行模式

6.13.3.3.13 MII 发送时钟时序要求

编号	参数	说明	SPEED	最小值	最大值	单位
1	$t_{c(TX_CLK)}$	miin_txclk 周期时间	10Mbps	400		ns
			100Mbps	40		ns
2	$t_{w(TX_CLKH)}$	miin_txclk 高电平的脉冲持续时间	10Mbps	140	260	ns
			100Mbps	14	26	ns
3	$t_{w(TX_CLKL)}$	miin_txclk 低电平的脉冲持续时间	10Mbps	140	260	ns
			100Mbps	14	26	ns
4	$t_{t(TX_CLK)}$	miin_txclk 转换时间	10Mbps		3	ns
			100Mbps		3	ns

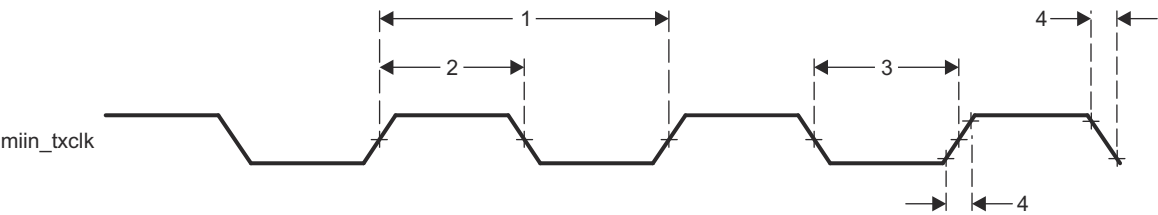


图 6-18. 时钟时序 (GMAC 发送) - MIIn 运行模式

6.13.3.3.14 MDIO 接口时序

小心

当相应的虚拟 IO 时序或手动 IO 时序按照本节中的各个表所述进行配置时，本节提供的 IO 时序仅对某些 GMAC 使用模式有效。

表 6-20、表 6-21 和图 6-19 显示了 MDIO 接口的开关特性和时序要求。

表 6-20. MDIO 输入的时序要求

否	参数	说明	最小值	最大值	单位
MDIO1	$t_{c(MDC)}$	周期时间，MDC	400		ns
MDIO2	$t_{w(MDCH)}$	MDC 高电平的脉冲持续时间	160		ns
MDIO3	$t_{w(MDCL)}$	MDC 低电平的脉冲持续时间	160		ns
MDIO4	$t_{su(MDIO-MDC)}$	在 MDC 高电平之前 MDIO 有效的建立时间	90		ns
MDIO5	$t_{h(MDIO_MDC)}$	从 MDC 高电平至 MDIO 有效的保持时间	0		ns

表 6-21. MDIO 输出在建议运行条件下的开关特性

否	参数	说明	最小值	最大值	单位
MDIO6	$t_{t(MDC)}$	MDC 转换时间		5	ns
MDIO7	$t_{d(MDC-MDIO)}$	MDC 低电平到 MDIO 有效的延迟时间	10	$(P * 0.5) - 10$	ns

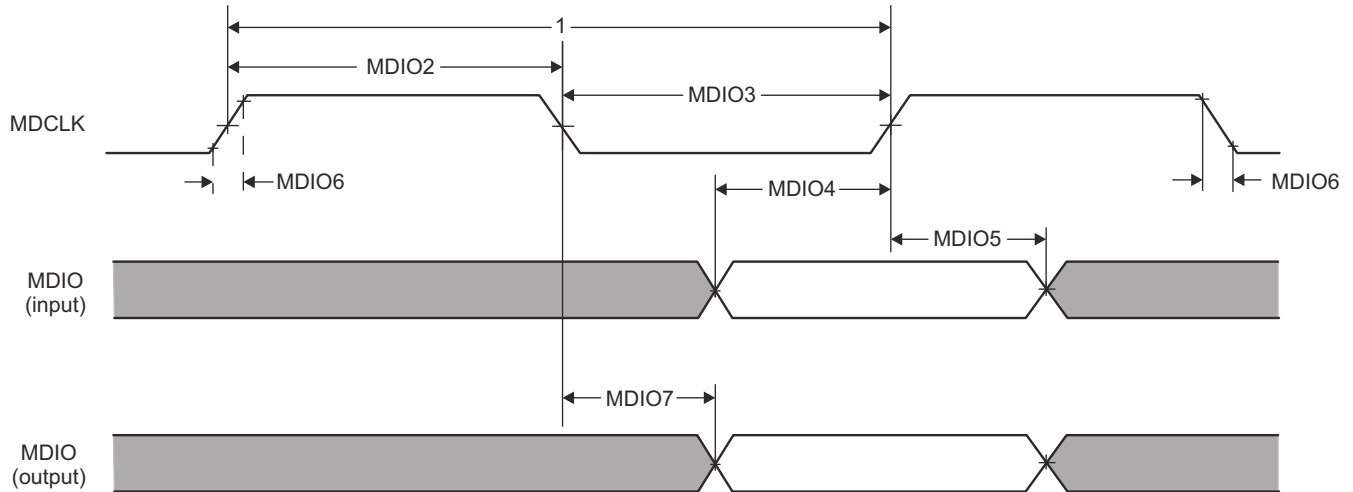


图 6-19. GMAC MDIO 图

6.13.3.4 LVDS/Aurora 仪表和测量外设

AM273x 支持一组 LVDS STM-TWP Aurora 接口，用于导出原始 IF ADC 传感器数据。LVDS 发送器在两种测量接口选项之间共享。

- 4 数据通道 LVDS 接口 (两条额外通道用于数据时钟和帧时钟)，每通道速率为 1Gbps
- 6 通道 STM-TWP-Aurora-LVDS 接口模式

有关 LVDS 接口的编程选项的信息，请参阅 AM273x TRM。

6.13.3.4.1 LVDS 接口配置

支持的 AM273x LVDS 通道配置为四条数据通道 (LVDS_TXP/M)、一个位时钟通道 (LVDS_CLKP/M) 和一个帧时钟通道 (LVDS_FRCLKP/M)。LVDS 接口支持以下数据速率：

- 900Mbps (450MHz DDR 时钟)
- 600Mbps (300MHz DDR 时钟)
- 450Mbps (225MHz DDR 时钟)
- 400Mbps (200MHz DDR 时钟)
- 300Mbps (150MHz DDR 时钟)
- 225Mbps (112.5MHz DDR 时钟)
- 150Mbps (75MHz DDR 时钟)

请注意，位时钟采用 DDR 格式，因此时钟中的切换次数相当于数据。

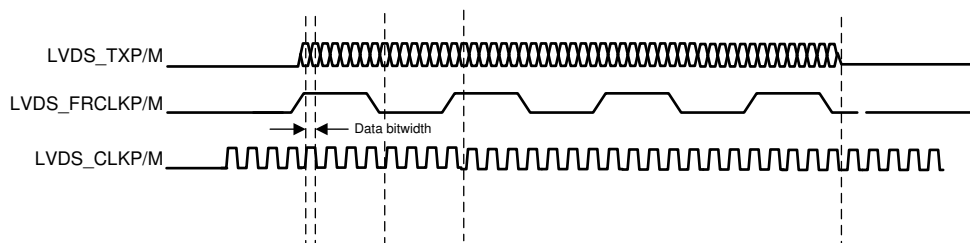


图 6-20. LVDS 接口通道配置和相关时序

6.13.3.4.2 LVDS 接口时序

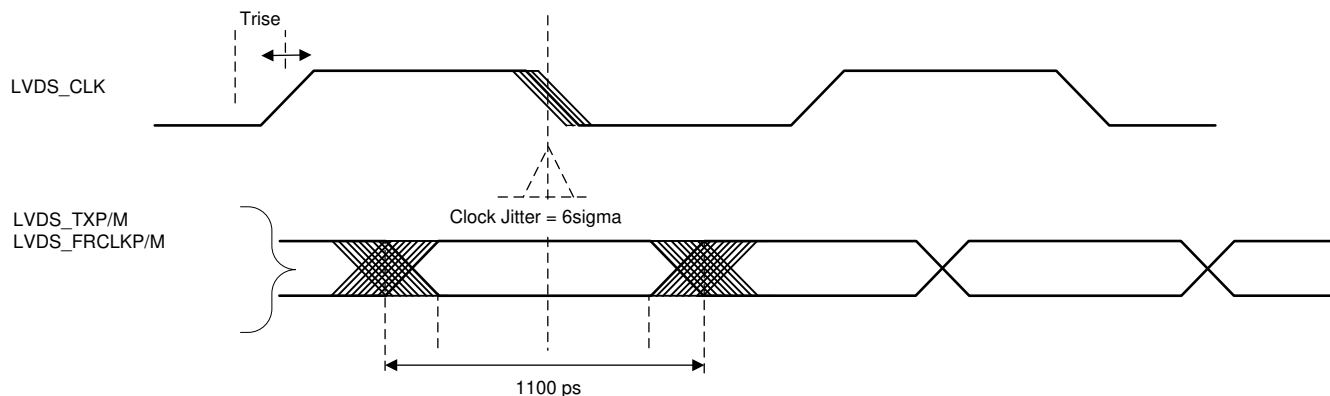


图 6-21. 计时参数

表 6-22. LVDS 电气特性

参数	测试条件	最小值	典型值	最大值	单位
占空比要求	LVDS 通道上的最大 1pF 集总容性负载	48%		52%	
输出差分电压	峰峰值单端，差分对之间具有 100 Ω 电阻负载	250		450	mV
输出失调电压		1125		1275	mV
Trise 和 Tfall	20%-80%，900Mbps				ps
抖动 (峰峰值)	900Mbps		80		ps

6.13.3.5 UART 外设

AM273x 包含四个 UART 接口。一个 UART 旨在用作次级引导加载程序源，一个旨在用作寄存器调试接口（带有 XDS110 类仿真器），另外两个旨在用于通用 UART 通信支持。

- 在所有不同的时钟频率模式下，支持的最大波特率应至少为 1536Kbaud
- UART 接口与其他 I/O 多路复用，以实现最广泛的外设使用灵活性

6.13.3.5.1 UART 时序要求

	最小值	典型值	最大值	单位
f(baud) 20pF 时支持的波特率		921.6		kHz

6.13.3.6 I²C 协议定义

AM273x 支持三个控制器或目标内部集成电路接口 (I²C)。一个 I²C 接口用于连接到外部 PMIC 或 EEPROM 器件（也可通过 SPI 控制）。另外两个 I²C 用作传感器器件或其他外部 IC 的替代控制措施。

- 标准/快速模式 I²C 接口符合 Philips I²C 规范版本 2.1
- 标准模式下的最大时钟速率为 100Kbps，快速模式下为 400Kbps

6.13.3.6.1 I2C 时序要求⁽¹⁾

		标准模式		快速模式		单位
		最小值	最大值	最小值	最大值	
$t_c(\text{SCL})$	周期时间, SCL	10		2.5		μs
$t_{su}(\text{SCLH-SDAL})$	在 SDA 低电平之前 SCL 高电平的建立时间 (对于重复启动条件)	4.7		0.6		μs
$t_h(\text{SCLL-SDAL})$	在 SDA 低电平之后 SCL 低电平的保持时间 (对于启动或重复启动条件)	4		0.6		μs
$t_w(\text{SCLL})$	脉冲持续时间, SCL 低电平的时间	4.7		1.3		μs
$t_w(\text{SCLH})$	脉冲持续时间, SCL 高电平的时间	4		0.6		μs
$t_{su}(\text{SDA-SCLH})$	建立时间, 在 SCL 高电平之前 SDA 有效	250		100		μs
$t_h(\text{SCLL-SDA})^{(1)}$	保持时间, 在 SCL 低电平之后 SDA 有效	0	3.45	0	0.9	μs
$t_w(\text{SDAH})$	脉冲持续时间, 在停止和启动条件之间 SDA 高电平	4.7		1.3		μs
$t_{su}(\text{SCLH-SDAH})$	在 SDA 高电平之前 SCL 高电平的建立时间 (对于停止条件)	4		0.6		μs
$t_w(\text{SP})$	脉冲持续时间, 尖峰 (必须被抑制)			0	50	ns
$C_b^{(2)(3)}$	每个总线的容性负载		400		400	pF

- (1) I2C 引脚 SDA 和 SCL 不具备失效防护 I/O 缓冲器。当该器件的电源关闭时, 这些引脚有可能耗电。
 (2) 仅当器件不延长 SCL 信号的低电平周期 ($t_w(\text{SCLL})$) 时, 才必须满足 I2C 总线器件的最大 $t_h(\text{SDA-SCLL})$ 。
 (3) C_b = 以 pF 为单位的一条总线的总电容。如果与快速模式器件混合使用, 可实现更快的下降时间。

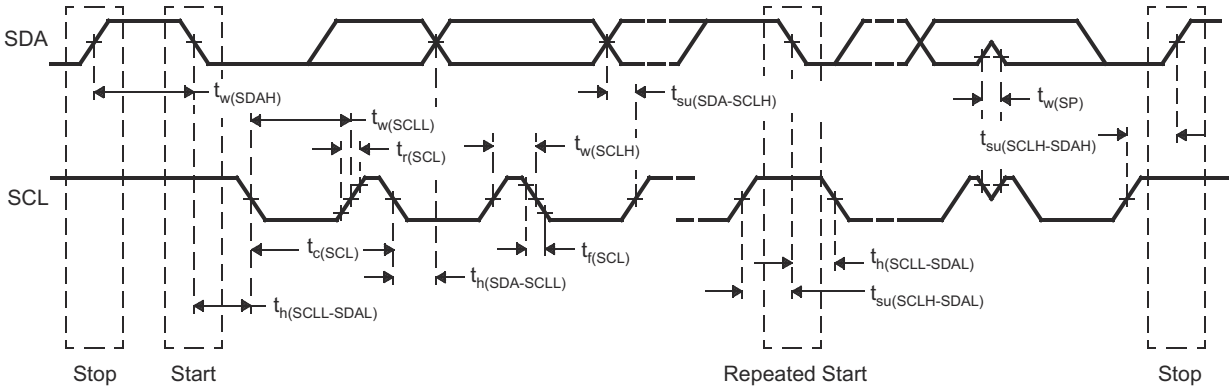


图 6-22. I2C 时序图

备注

- 一个器件必须在内部为 SDA 信号提供一个最少为 300ns 的保持时间 (以 SCL 信号的 V_{IHmin} 为基准) 来连接 SCL 下降边沿的未定义区域。
- 仅当器件不延长 SCL 信号的低电平周期 ($t_w(\text{SCLL})$) 时, 才必须满足最大 $t_h(\text{SDA-SCLL})$ 。快速模式 I2C 总线器件可用于标准模式 I2C 总线系统, 但必须满足 $t_{su}(\text{SDA-SCLH}) \geq 250\text{ns}$ 的要求。如果该器件不延长 SCL 信号的低电平周期, 将自动成为该情况。如果器件确实延长了 SCL 信号的低电平周期, 它必须将下一个数据位输出到 SDA 线路 t_r 最大值 + $t_{su}(\text{SDA-SCLH})$ 。

6.13.3.7 控制器局域网 — 灵活数据速率 (CAN-FD)

AM273x 集成了两个 CAN-FD 接口: MSS_MCANA 和 MSS_MCANB。这使得器件能够支持如下所示的典型使用案例: 一个 CAN-FD 接口用作 ECU 网络接口, 而另一个接口用作本地网络接口, 从而提供与邻近传感器的通信。

- 根据 ISO 11898-7 协议支持 CAN-FD, 数据速率高达 8Mbps

- 多路复用 GPIO 可用于 CAN-FD 外部驱动器控制
- 同步触发输出允许 CAN-FD 触发 CSI2 数据帧

6.13.3.7.1 CAN-FD TX 和 RX 引脚的动态特性

参数 ⁽¹⁾		最小值	典型值	最大值	单位
$t_d(MSS_CANA_TX)$	延迟时间, 发送移位寄存器到 MSS_CANA_TX 引脚的时间			15	ns
$t_d(MSS_CANB_TX)$	延迟时间, 发送移位寄存器到 MSS_CANB_TX 引脚的时间			15	ns
$t_d(MSS_MCANA_RX)$	延迟时间, MSS_MCANA_RX 引脚到接收移位寄存器的时间			10	ns
$t_d(MSS_MCANB_RX)$	延迟时间, MSS_MCANB_RX 引脚到接收移位寄存器的时间			10	ns

(1) 这些值不包括输出缓冲区的上升/下降时间。

6.13.3.8 CSI-2 外设

AM273x 集成了两个 4 通道 MIPI CSI-2 D-PHY 接收器外设: CSI2 接收器 0 (CSI2_RX0) 和 CSI2 接收器 1 (CSI2_RX1)。每个外设均可用于采集传感器数据样本。CSI2 接口还能作为硬件在环 (HIL) 接口运行, 以便出于开发或诊断目的回放记录的数据。

- 接口符合 MIPI CSI-2 D-PHY 标准修订版 1.2
- 2 通道和 4 通道 CSI2 接收器接口, 在每通道 600Mbps 的速率下同步工作
- 4 通道、3 通道、2 通道或 1 通道 CSI2 配置
- 支持虚拟通道 (最少 4 条) 和数据类型 (最少 4 种)
- 支持 8/10/12/14/16 位原始数据模式, 具有符号扩展或填充零功能, 以便与原始 10/12/14 模式的 16 位内存寻址保持一致
- 支持用户定义的数据类型

有关完整的接收器时序要求, 请参阅 MIPI CSI-2 D-PHY 标准修订版 1.2。有关所有可编程选项的完整说明, 请参阅 AM273x TRM。

6.13.3.9 通用 ADC (GPADC)

AM273x 器件实现了一个 GPADC 模块, 用于器件和系统模拟信号的安全监测 (例如温度传感器和稳压器)。

- 最多支持 9 条外部或内部通道
- 7.5 ENOB, 625Ksps ADC
- GPADC 输入的满量程范围介于 VSS 到 1.8V 之间
- 单次或连续转换模式
- 用于存储转换结果的数据 RAM (可存储 1KB 结果)

6.13.3.10 增强型脉宽调制器 (ePWM)

AM273x 包括三个增强型脉宽调制 (ePWM) 模块。这些模块可用于为电源稳压器或电源管理系统生成占空比受控波形, 或者为电机控制应用生成更复杂的波形。

- 专用的 16 位时基计数器, 可对每个 PWM 模块进行周期和频率控制
- 每个模块包含两个 PWM 输出 (EPWMxA 和 EPWMxB), 可用于以下配置:
 - 两个具有单边沿操作模式的独立 PWM 输出
 - 两个具有双边沿对称操作模式的独立 PWM 输出
 - 一个具有双边沿非对称操作模式的独立 PWM 输出

6.13.3.11 增强型捕获 (eCAP)

AM273x 器件包含一个增强型捕获 (eCAP) 模块。eCAP 模块用于捕获外部时序事件, 是一个具有 ePWM 互补功能的通用模块。其用途包括测量旋转机械的速度 (例如, 通过霍尔传感器感应齿状链轮)

- 位置传感器脉冲之间的持续时间测量
- 脉冲序列信号的周期和占空比测量
- 解码来自占空比编码电流/电压传感器的电流或电压振幅
- eCAP 应在不低于 100mHz 的工作时钟频率下工作
- 4 事件时间戳寄存器 (每个 32 位)

6.13.3.12 MCASP

有关 MCASP 外设的更多信息，请参阅器件 TRM 的外设一章中的多通道音频串行端口 (MCASP) 一节。

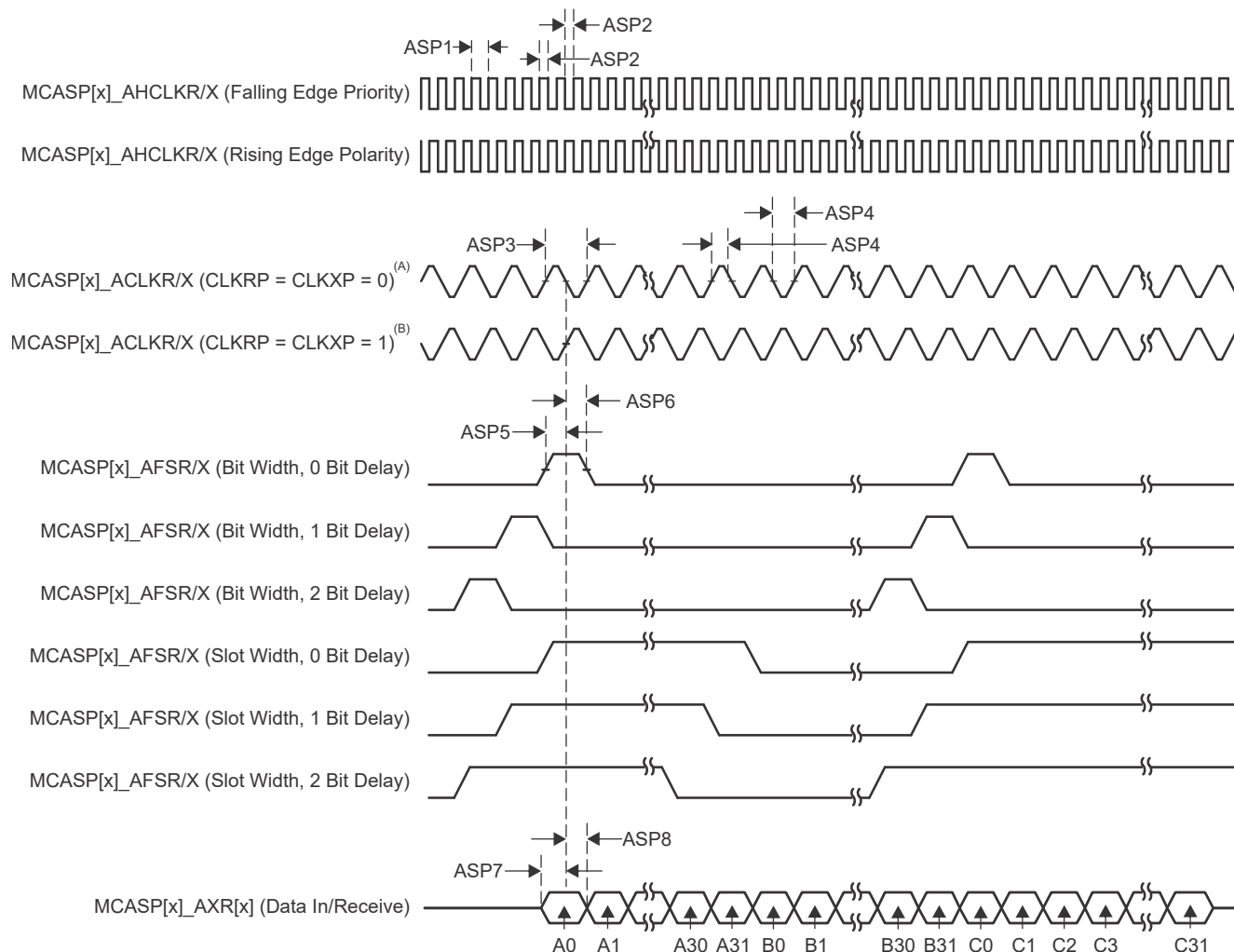
MCASP 时序条件

编号	参数	最小值	典型值	最大值	单位
输入条件					
1	t_R 输入上升时间	1		3	ns
2	t_F 输入下降时间	1		3	ns
输出条件					
3	C_{LOAD} 输出负载电容	2		15	pF

MCASP 时序要求

编号	参数	说明	模式 ⁽¹⁾	最小值	最大值	单位
ASP1	$t_c(AHCLKRX)$	周期时间, MCASP[x]_AHCLKR/X ⁽³⁾		38.46		ns
ASP2	$t_w(AHCLKRX)$	MCASP[x]_AHCLKR/X ⁽³⁾ 高电平或低电平的脉冲持续时间		0.5P ⁽²⁾ - 2.5		ns
ASP3	$t_c(ACLKRX)$	周期时间, MCASP[x]_ACLKR/X ⁽³⁾		38.46		ns
ASP4	$t_w(ACLKRX)$	MCASP[x]_ACLKR/X ⁽³⁾ 高电平或低电平的脉冲持续时间		0.5P ⁽²⁾ - 2.5		ns
ASP5	$t_{su}(AFSRX-ACLKRX)$	MCASP[x]_AFSR/X ⁽³⁾ 输入在 MCASP[x]_ACLKR/X ⁽³⁾ 之前有效的建立时间	ACLKR/X 内部	15.5		ns
			ACLKR/X 外部输入/输出	6		ns
ASP6	$t_h(ACLKRX-AFSRX)$	MCASP[x]_AFSR/X ⁽³⁾ 输入在 MCASP[x]_ACLKR/X ⁽³⁾ 之后有效的保持时间	ACLKR/X 内部	-1		ns
			ACLKR/X 外部输入/输出	2.3		ns
ASP7	$t_{su}(AXR-ACLKRX)$	MCASP[x]_AXR ⁽³⁾ 输入在 MCASP[x]_ACLKR/X ⁽³⁾ 之前有效的建立时间	ACLKR/X 内部	15.5		ns
			ACLKR/X 外部输入/输出	6		ns
ASP8	$t_h(ACLKRX-AXR)$	MCASP[x]_AXR ⁽³⁾ 输入在 MCASP[x]_ACLKR/X ⁽³⁾ 之后有效的保持时间	ACLKR/X 内部	-1		ns
			ACLKR/X 外部输入/输出	2.3		ns

- (1) ACLKR 内部: ACLKRCTL.CLKRM=1, PDIR.ACLKR=1
ACLKR 外部输入: ACLKRCTL.CLKRM=0, PDIR.ACLKR=0
ACLKR 外部输出: ACLKRCTL.CLKRM=0, PDIR.ACLKR=1
ACLKX 内部: ACLKXCTL.CLKXM=1, PDIR.ACLKX=1
ACLKX 外部输入: ACLKXCTL.CLKXM=0, PDIR.ACLKX=0
ACLKX 外部输出: ACLKXCTL.CLKXM=0, PDIR.ACLKX=1
- (2) P = AHCLKR/X 周期 (以 ns 为单位)。有关 AHCLKR/X 时钟源选项的详细信息，请参阅技术参考手册“模块集成”一章的“多通道音频串行端口 (MCASP)”一节中的“McASP 时钟”表。
- (3) MCASP[x]_* 中的 x 为 A、B 或 C



- A. 当 $\text{CLKRP} = \text{CLKXP} = 0$ 时, MCASP 发送器配置为上升沿 (移出数据), MCASP 接收器配置为下降沿 (移入数据)。
- B. 当 $\text{CLKRP} = \text{CLKXP} = 1$ 时, MCASP 发送器配置为下降沿 (移出数据), MCASP 接收器配置为上升沿 (移入数据)。

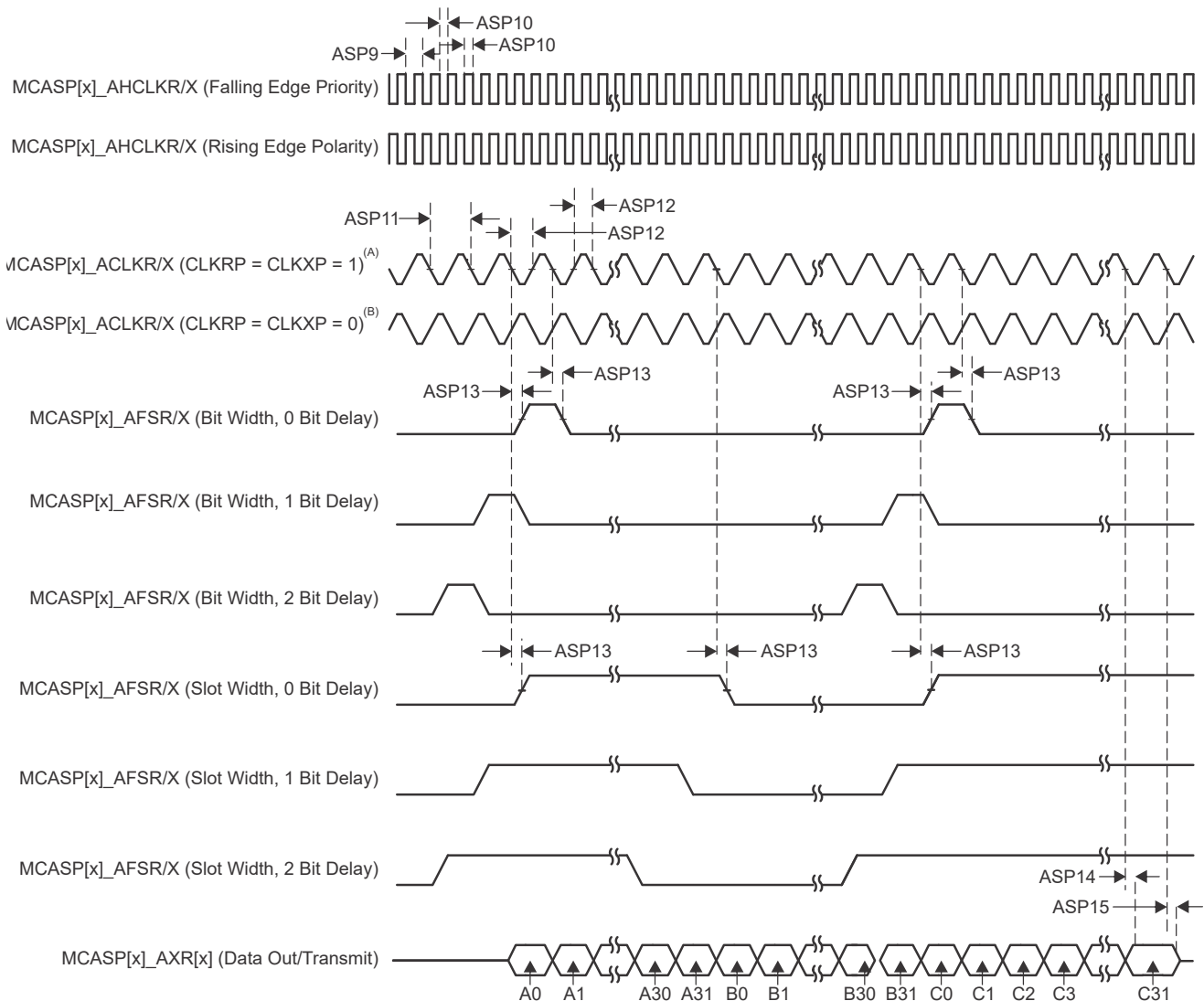
图 6-23. MCASP 时序要求

MCASP 开关特性

编号	参数	说明	模式 ⁽¹⁾	最小值	最大值	单位
ASP9	$t_{c}(\text{AHCLKRX})$	周期时间, MCASP[x]_AHCLKR/X ⁽³⁾		38.46		ns
ASP10	$t_{w}(\text{AHCLKRX})$	MCASP[x]_AHCLKR/X ⁽³⁾ 高电平或低电平的脉冲持续时间		0.5P ⁽²⁾	2.5	ns
ASP11	$t_{c}(\text{ACLKRX})$	周期时间, MCASP[x]_ACLKR/X ⁽³⁾		38.46		ns
ASP12	$t_{w}(\text{ACLKRX})$	MCASP[x]_ACLKR/X ⁽³⁾ 高电平或低电平的脉冲持续时间		0.5P ⁽²⁾	2.5	ns
ASP13	$t_{d}(\text{ACLKRX-AFSRX})$	MCASP[x]_ACLKR/X ⁽³⁾ 发送边沿到 MCASP[x]_AFSR/X ⁽³⁾ 的延迟时间	ACLKR/X 内部	0	18	ns
			ACLKR/X 外部输入/输出	2	18	ns
ASP14	$t_{d}(\text{ACLKX-AXR})$	MCASP[x]_ACLKX ⁽³⁾ 发送边沿到 MCASP[x]_AXR ⁽³⁾ 的延迟时间	ACLKR/X 内部	0	18	ns
			ACLKR/X 外部输入/输出	2	18	ns

编号	参数	说明	模式 ⁽¹⁾	最小值	最大值	单位
ASP15	$t_{dis}(ACLKX-AXR)$	MCASP[x]_ACLKX ⁽³⁾ 发送边沿到 MCASP[x]_AXR ⁽³⁾ 输出高阻抗的禁用时间	ACLKX/X 内部	0	18	ns
			ACLKX/X 外部输入/输出	0	18	ns

- (1) ACLKR 内部：ACLKCTL.CLKRM=1, PDIR.ACLKR=1
 ACLKR 外部输入：ACLKCTL.CLKRM=0, PDIR.ACLKR=0
 ACLKR 外部输出：ACLKCTL.CLKRM=0, PDIR.ACLKR=1
 ACLKX 内部：ACLKXCTL.CLKXM=1, PDIR.ACLKX=1
 ACLKX 外部输入：ACLKXCTL.CLKXM=0, PDIR.ACLKX=0
 ACLKX 外部输出：ACLKXCTL.CLKXM=0, PDIR.ACLKX=1
- (2) P = AHCLKR/X 周期 (以 ns 为单位)。有关 AHCLKR/X 时钟源选项的详细信息, 请参阅技术参考手册“模块集成”一章的“多通道音频串行端口 (MCASP)”一节中的“McASP 时钟”表。
- (3) MCASP[x]_* 中的 x 为 A、B 或 C



- A. 当 CLKRP = CLKXP = 1 时, MCASP 发送器配置为下降沿 (移出数据), MCASP 接收器配置为上升沿 (移入数据)。
- B. 当 CLKRP = CLKXP = 0 时, MCASP 发送器配置为上升沿 (移出数据), MCASP 接收器配置为下降沿 (移入数据)。

图 6-24. MCASP 开关特性

6.13.3.13 通用输入/输出

节 6.13.3.13.1 列出了输出时序相对于负载电容的开关特性。

6.13.3.13.1 输出时序的开关特性与负载电容 (C_L) 间的关系 ^{(1) (2)}

参数		测试条件		VIOIN = 1.8V	VIOIN = 3.3V	单位
t _r	最大上升时间	转换控制 = 0	C _L = 20pF	2.8	3.0	ns
			C _L = 50pF	6.4	6.9	
			C _L = 75pF	9.4	10.2	
t _f	最大下降时间		C _L = 20pF	2.8	2.8	ns
			C _L = 50pF	6.4	6.6	
			C _L = 75pF	9.4	9.8	
t _r	最大上升时间	转换控制 = 1	C _L = 20pF	3.3	3.3	ns
			C _L = 50pF	6.7	7.2	
			C _L = 75pF	9.6	10.5	
t _f	最大下降时间		C _L = 20pF	3.1	3.1	ns
			C _L = 50pF	6.6	6.6	
			C _L = 75pF	9.6	9.6	

(1) 转换控制由 PADxx_CFG_REG 配置，可更改输出驱动器的行为（输出转换率更快或更慢）。

(2) 上升/下降时间测量为信号从 VIOIN 电压的 10% 转换到 90% 所需的时间。

6.13.4 仿真和调试

6.13.4.1 仿真和调试说明

6.13.4.2 JTAG 接口

JTAG 接口实现了用于处理器调试和边界扫描测试的 IEEE1149.1 标准接口。

节 6.13.4.2.1 和节 6.13.4.2.2 假设了图 6-25 所示的运行条件。

6.13.4.2.1 IEEE 1149.1 JTAG 的时序要求

表 6-23. JTAG 时序条件

		最小值	典型值	最大值	单位
输入条件					
t_R	输入上升时间	1		3	ns
t_F	输入下降时间	1		3	ns
输出条件					
C_{LOAD}	输出负载电容	2		15	pF

表 6-24. JTAG 时序要求

编号			最小值	典型值	最大值	单位
1	$t_{c(TCK)}$	TCK 周期时间	66.66			ns
1a	$t_{w(TCKH)}$	TCK 高电平的脉冲持续时间 (t_c 的 40%)	26.67			ns
1b	$t_{w(TCKL)}$	TCK 低电平的脉冲持续时间 (t_c 的 40%)	26.67			ns
3	$t_{su(TDI-TCK)}$	TDI 有效至 TCK 高电平的输入建立时间	2.5			ns

表 6-24. JTAG 时序要求 (续)

编号			最小值	典型值	最大值	单位
3	$t_{su}(TMS-TCK)$	TMS 有效至 TCK 高电平的输入建立时间	2.5			ns
4	$t_h(TCK-TDI)$	从 TCK 高电平至 TDI 有效的输入保持时间	18			ns
4	$t_h(TCK-TMS)$	从 TCK 高电平至 TMS 有效的输入保持时间	18			ns

6.13.4.2.2 IEEE 1149.1 JTAG 的开关特性

编号	参数		最小值	典型值	最大值	单位
2	t _d (TCKL-TDOV)	TCK 低电平到 TDO 有效的延迟时间	0		25	ns

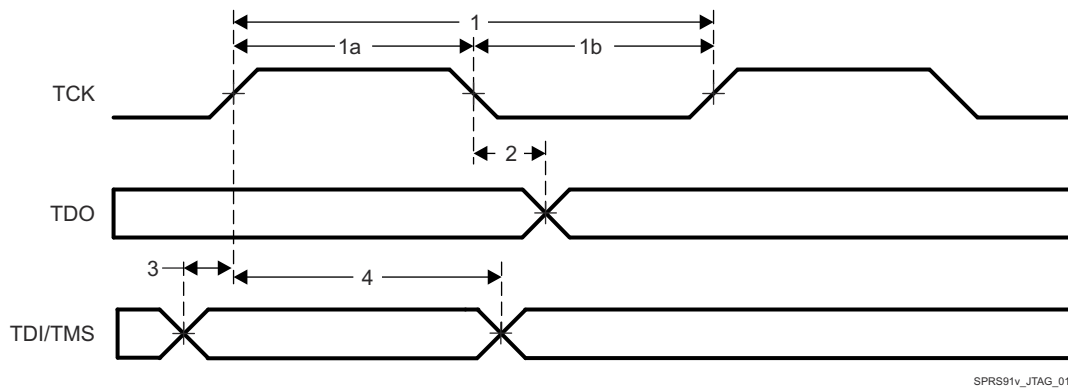


图 6-25. JTAG 时序

6.13.4.3 ETM 跟踪接口

ETM 跟踪接口提供了一种通过兼容的仿真器工具集将实时处理器调试信息导出到主机 PC 的方法。

节 6.13.4.3.1 和节 6.13.4.3.2 描述了图 6-26 和图 6-27 所示的操作条件。

6.13.4.3.1 ETM 跟踪时序要求

		最小值	典型值	最大值	单位
输出条件					
C_{LOAD}	输出负载电容	2		20	pF

6.13.4.3.2 ETM 跟踪开关特性

编号	参数		最小值	典型值	最大值	单位
1	$t_{cyc}(ETM)$	TRACECLK 周期的周期时间	16			ns
2	$t_h(ETM)$	TRACECLK 高电平的脉冲持续时间	7			ns
3	$t_l(ETM)$	TRACECLK 低电平的脉冲持续时间	7			ns
4	$t_r(ETM)$	时钟和数据上升时间			3.3	ns
5	$t_f(ETM)$	时钟和数据下降时间			3.3	ns
6	$t_d(ETMTRACECLKH-ETMDATAV)$	ETM 跟踪时钟高电平至 ETM 数据有效的延迟时间	1		7	ns
7	$t_d(ETMTRACECLKL-ETMDATAV)$	ETM 跟踪时钟低电平至 ETM 数据有效的延迟时间	1		7	ns

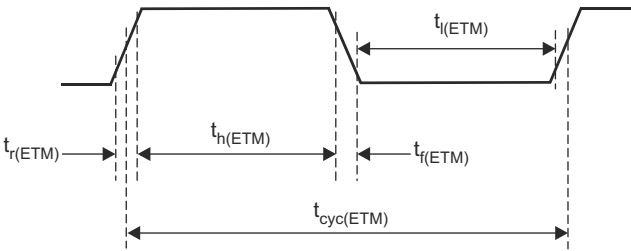


图 6-26. ETMTRACECLKOUT 时序

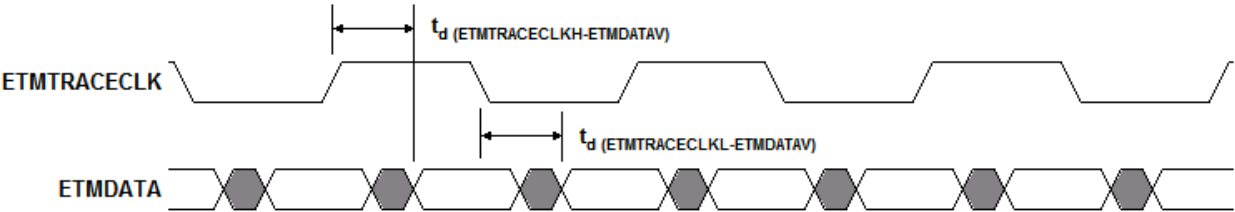


图 6-27. ETMDATA 时序

7 详细说明

7.1 概述

AM273x 是一款具有集成 C66x DSP 的高性能微控制器，非常适合需要调节和处理功能的应用。两个 R5F 内核（具有可选锁步功能）在 400MHz 运行，耦合了 5MB 的内部存储器，配合各种汽车和工业连接外设以及易于使用的 SDK，使我们的客户能够满足汽车和工业市场中的各种应用场景。该器件集成了功能安全和信息安全 (HSM) 特性，以应对新兴的市场趋势。

AM273x 的一个代表性应用场景是在汽车雷达系统中作为 MCU 主机运行。AM273x 负责提供数据聚合、FFT、CFAR、距离、速度和角度估算以及跟踪处理。AM273x 可在单前端或双前端（级联）雷达应用中作为主机运行。

如图 3-1 所示，AM273x 分为几个高级功能子系统。每个子系统均包含特定的控制、信号处理和数字通信外设。

- 主子系统 (MSS)：MCU 内核、加密内核、Mailbox、EDMA、RTI、QSPI、SPI、CAN-FD、I2C、UART、以太网和 GPIO
- DSP 子系统 (DSS)：C66x 内核、HWA2.0 加速器、Mailbox、EDMA、RTI
- 雷达控制器子系统 (RCSS)：EDMA、CSI2A/B、SPIA/B、I2C 和 GPIO

然后，每个主要子系统通过支持 ECC 的交换互连总线进行互连，允许在外设与处理内核之间进行 EDMA 数据传输。

7.2 主子系统

主子系统 (MSS) 是器件的主要控制器，控制所有其他器件子系统内核与外设。MSS 包含 Cortex-R5F (MSS R5F) 处理器和关联的外设，以及关联的 EDMA 和 Mailbox IPC 功能。MSS 还控制更广泛的系统连接和网络外设，例如 I2C、UART、SPI、CAN-FD、EPWM 和以太网。MSS 通过支持 ECC 的主子系统 (MSS) 互连连接至主要互连。

MSS 提供了自己的专用功能安全模块，该模块包含 DCC、ESM、LBIST/PBIST、CRC 看门狗计时器和 GPADC，用于对电源和温度监测器等关键系统信号进行安全监测。

7.3 DSP 子系统

DSP 子系统 (DSS) 包含 TI 高性能 C66x DSP、HWA 2.0，以及用于实现高性能（128 位，150MHz）的高带宽互连和相关的数据传输外设：6 个用于数据传输的 EDMA、2 个 RTI 和 Mailbox IPC。Aurora/LVDS 测量数据输出接口也由 C66x DSP 控制。L3 共享存储器通过 DSS 互连提供，其还支持 ECC。

有关 DSP 功能的更多信息，请参阅

7.4 雷达控制子系统

雷达控制子系统 (RCSS) 将高带宽互连与一对 4 通道 CSI 2.0 接收器 (CSI2_RX0 和 CSI2_RX1)、两个 SPI 控制器 (RCSS_SPIA 和 RCSS_SPIB)、I2C 控制器及一组 GPIO 集成在一起。SPI、I2C 和 GPIO 外设可用于控制和配置连接的传感器器件。CSI 2.0 接收器可以接收高速传感器数据样本。

器件引脚列表中还有许多已命名的引脚，用于支持雷达前端连接应用场景。所有这些信号均解析为器件引脚多路复用中的各种 MSS/RCSS GPIO 功能，因此在引脚多路复用信号列表中不存在。请参阅下方对这些信号的说明。

表 7-1. 雷达前端 (FE) 控制信号

信号名称	说明和预期功能
FE1_REFCLK	雷达前端基准时钟检测输入。可连接到雷达前端器件提供的输出时钟。
FE2_REFCLK	
HW_SYNC_FE1	雷达前端帧同步输出触发器输入/输出。可以驱动连接的雷达前端帧触发器，或检测帧触发源。
HW_SYNC_FE2	
NERRORIN_FE1	雷达前端错误状态输入。可以检测所连接雷达前端的错误输出状态。
NERRORIN_FE2	

表 7-1. 雷达前端 (FE) 控制信号 (续)

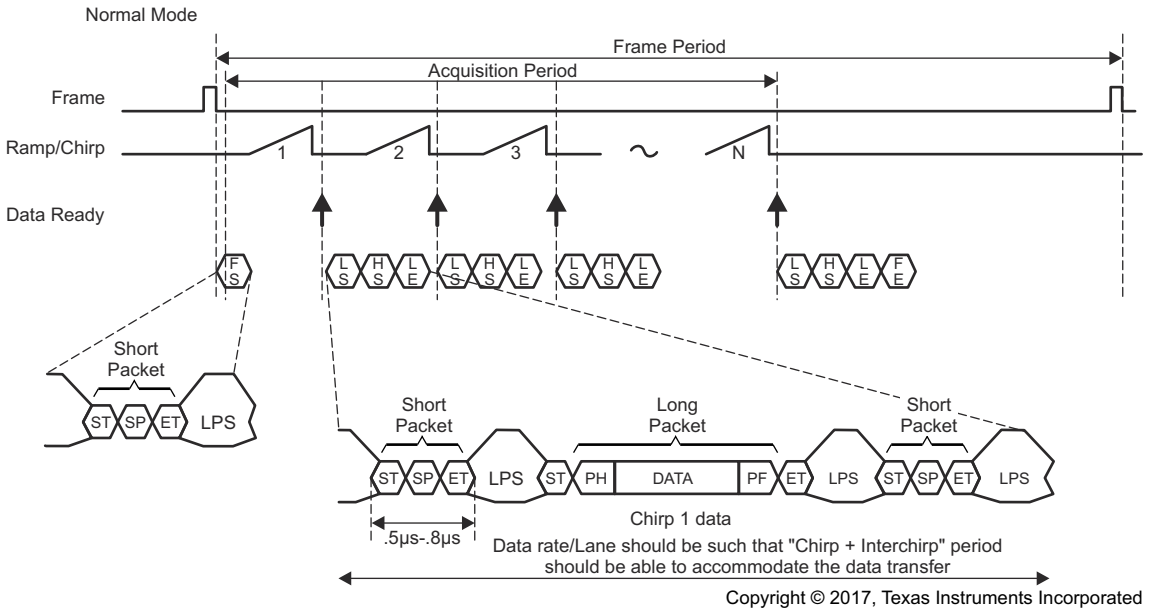
信号名称	说明和预期功能
NRESET_FE1	雷达前端复位输出。可以驱动所连接雷达前端的复位。
NRESET_FE2	
NWARMRESET_IN_FE1	雷达前端热复位输入/输出。可以驱动所连接雷达前端的热复位，或检测复位状态。
NWARMRESET_IN_FE2	

7.5 其他子系统

7.5.1 CSI2 接口上的雷达 A2D 数据格式

AM273x 器件使用基于 MIPI D-PHY/CSI2 的格式，从外部雷达收发器接收原始 A2D 样本。图 7-1 展示了这种情况。

- 支持四个数据信道
- CSI-2 数据速率可从每个信道 150Mbps 扩展至每个信道 600Mbps
- 基于虚拟通道
- CRC 生成



帧 开始 — CSI2 VSYNC 开始短数据包 线路 开始 — CSI2 HSYNC 开始短数据包 线路 结束 — CSI2 HSYNC 结束短数据包 帧 结束 — CSI2 VSYNC 结束短数据包

图 7-1. CSI-2 传输格式

数据有效载荷由以下三种类型的信息构成：

- 线性调频脉冲曲线信息
- 实际线性调频脉冲数
- 对应于全部四个通道的线性调频脉冲的 A2D 数据
 - 交错式方式
- 线性调频脉冲质量数据（可配置）

然后，有效载荷会拆分到四个物理数据信道上并发送到接收 D-PHY。图 7-2 显示了数据包封装格式。

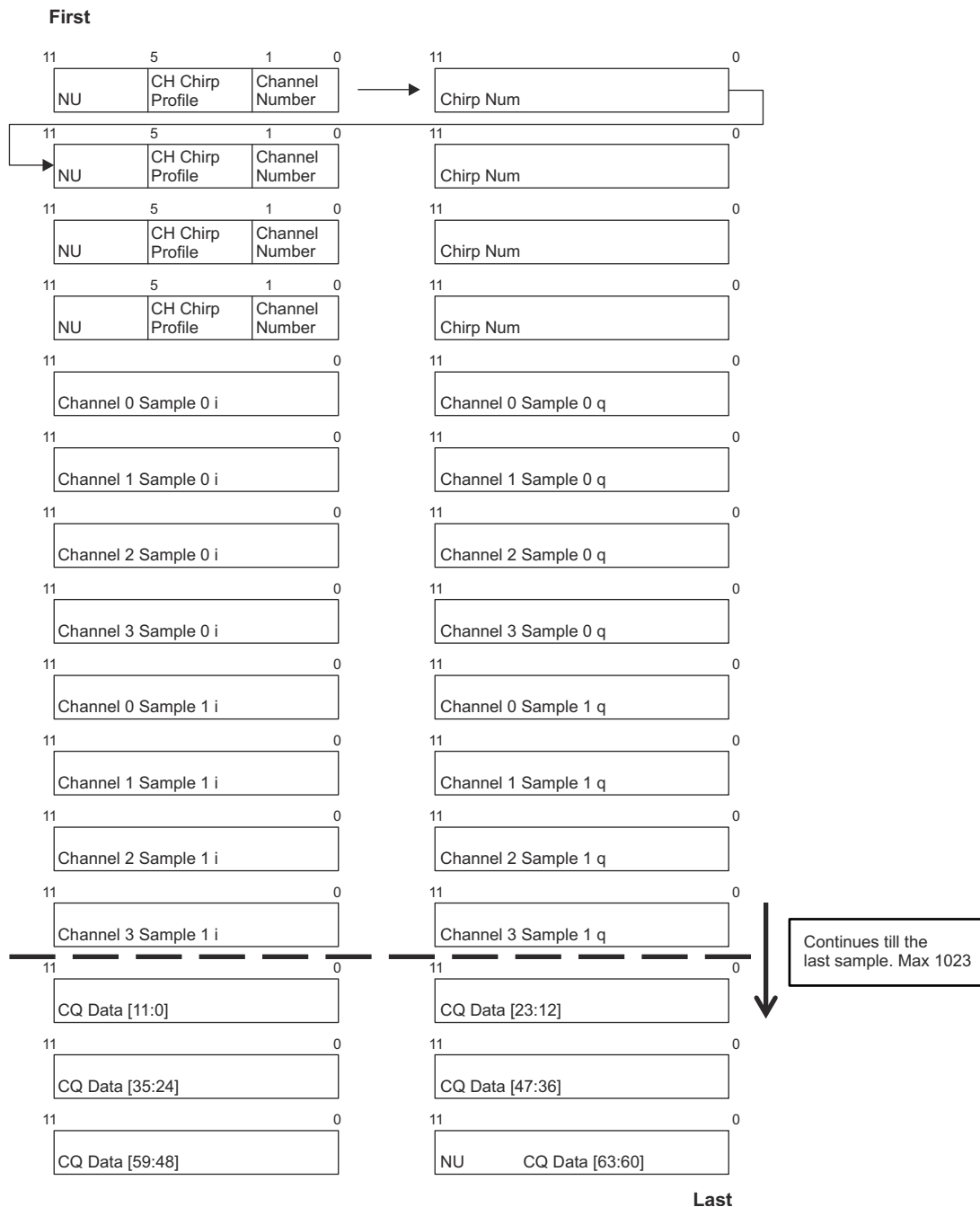


图 7-2. 12 位复数配置的数据包封装格式

7.5.2 用于用户应用的 ADC 通道 (服务)

AM273x 器件包括为用户应用提供 ADC 服务，其中器件内部存在的 GPADC 引擎可用于测量多达九个外部和内部电压。ADC1、ADC2、ADC3、ADC4、ADC5、ADC6、ADC7、ADC8 和 ADC9 引脚用于此目的。

备注

GPADC 结构用于测量内部温度传感器的输出。

GPADC 规格：

- 625Ksps SAR ADC
- 输入范围为 0V 至 1.8V
- 10 位分辨率

有关 GPADC 参数的详细信息，请参阅节 6.12.1

7.6 引导模式

AM273x 引导加载程序功能由一组上电启动 (SOP) 引脚控制。器件上电后，这些引脚状态会在 NRESET 引脚置为无效时锁存。在 NRESET 置为无效之前和期间，SOP 引脚会与功能模式信号进行多路复用。执行引导加载程序后，将恢复功能模式运行。有关更多详细信息，请参阅上电复位时序。下表介绍 SOP 引脚运行。

主机硬件应提供一种方法，在 NRESET 置为无效期间将这些 SOP 引脚驱动至其所需状态，但在预期应用需要时也允许其功能模式运行。

表 7-2. SOP 引脚

引脚	SOP 模式信号名称	引脚列表信号名称
D6	SOP[0]	TDO
E17	SOP[1]	MSS_MIBSPIB_CS2
F1	SOP[2]	PMIC_CLKOUT
V9	SOP[3]	MSS_UARTB_TX
W2	SOP[4]	MSS_UARTA_TX

表 7-3. SOP 引脚模式

引导选项	SOP 模式
引导模式 SOP 模式	• SOP[2:0] = 0b011 选择 SOP_MODE2 • SOP[2:0] = 0b001 选择 SOP_MODE4 • SOP[2:0] = 0b101 选择 SOP_MODE5 • 所有其他状态均已保留，不应选择。
晶体检测 SOP 模式	• SOP[4:3] = 0b00 选择 40MHz 晶体模式 • SOP[4:3] = 0b01 选择 45.1584MHz 晶体模式 • SOP[4:3] = 0b10 选择 49.152MHz 晶体模式 • SOP[4:3] = 0b11 选择 50MHz 晶体模式

表 7-4. 引导模式 SOP 说明

引导模式 SOP 模式	功能	说明
SOP_MODE2	开发模式	开发引导模式。AM273x ROM 引导加载程序将设置器件以等待 JTAG 调试器连接。
SOP_MODE4	功能模式	AM273x 器件的功能引导模式。在此模式下，ROM 引导加载程序将尝试加载有效的次级引导加载程序映像，主要从 QSPI 接口加载，其次从 SPI 主机接口加载。

表 7-4. 引导模式 SOP 说明 (续)

引导模式 SOP 模式	功能	说明
SOP_MODE5	器件管理模式	AM273x 器件的 QSPI 闪存编程引导模式。在此模式下，ROM 引导加载程序将尝试通过 MSS_UARTA_TX/RX (引脚 W2、U3) 接收有效的 QSPI 次级引导加载程序映像，并尝试使用此映像刷写连接的 QSPI 存储器。

表 7-5. 晶体检测 SOP 模式说明

晶体检测 SOP 模式	
40MHz 晶体模式	ROM 引导加载程序映像要求使用 40MHz 标称晶体时钟源。
45.1584MHz 晶体模式	ROM 引导加载程序映像要求使用 45.1584MHz 标称晶体时钟源。
49.152MHz 晶体模式	ROM 引导加载程序映像要求使用 49.152MHz 标称晶体时钟源。
50MHz 晶体模式	ROM 引导加载程序映像要求使用 50MHz 标称晶体时钟源。

8 应用、实施和布局

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1 典型应用

8.1.1 原理图

以下 **AM273x 示例原理图** 显示 AM273x EVM 原理图的节选。节选仅关注 AM273x 器件原理图符号，用于展示器件引脚的使用情况。

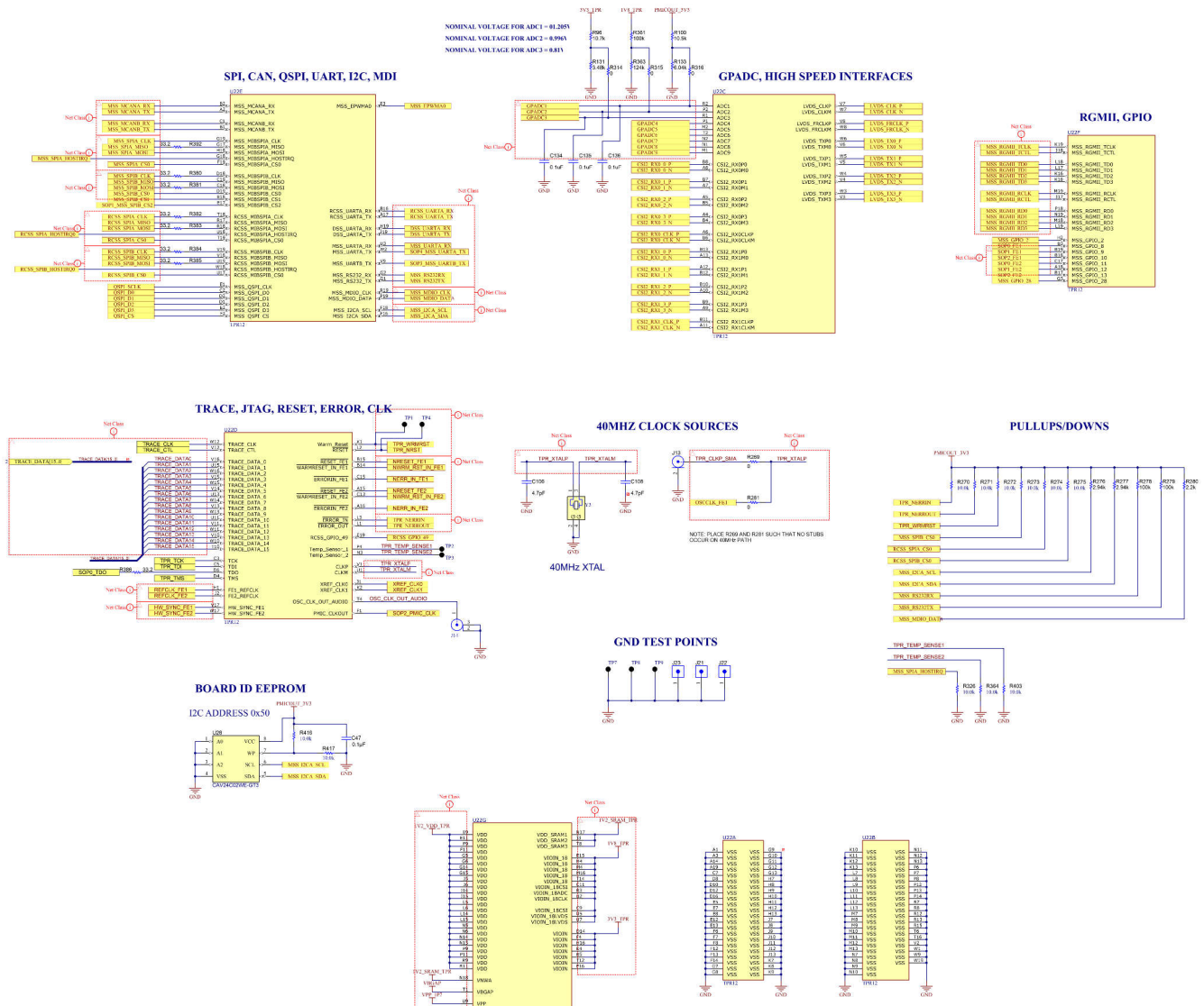


图 8-1. AM273x 示例原理图

8.1.2 布局

8.1.2.1 布局示例

以下图示摘自 AM273x EVM 的 PCB 布局、组装和堆叠结构。

Top Layer (Scale 1:1)

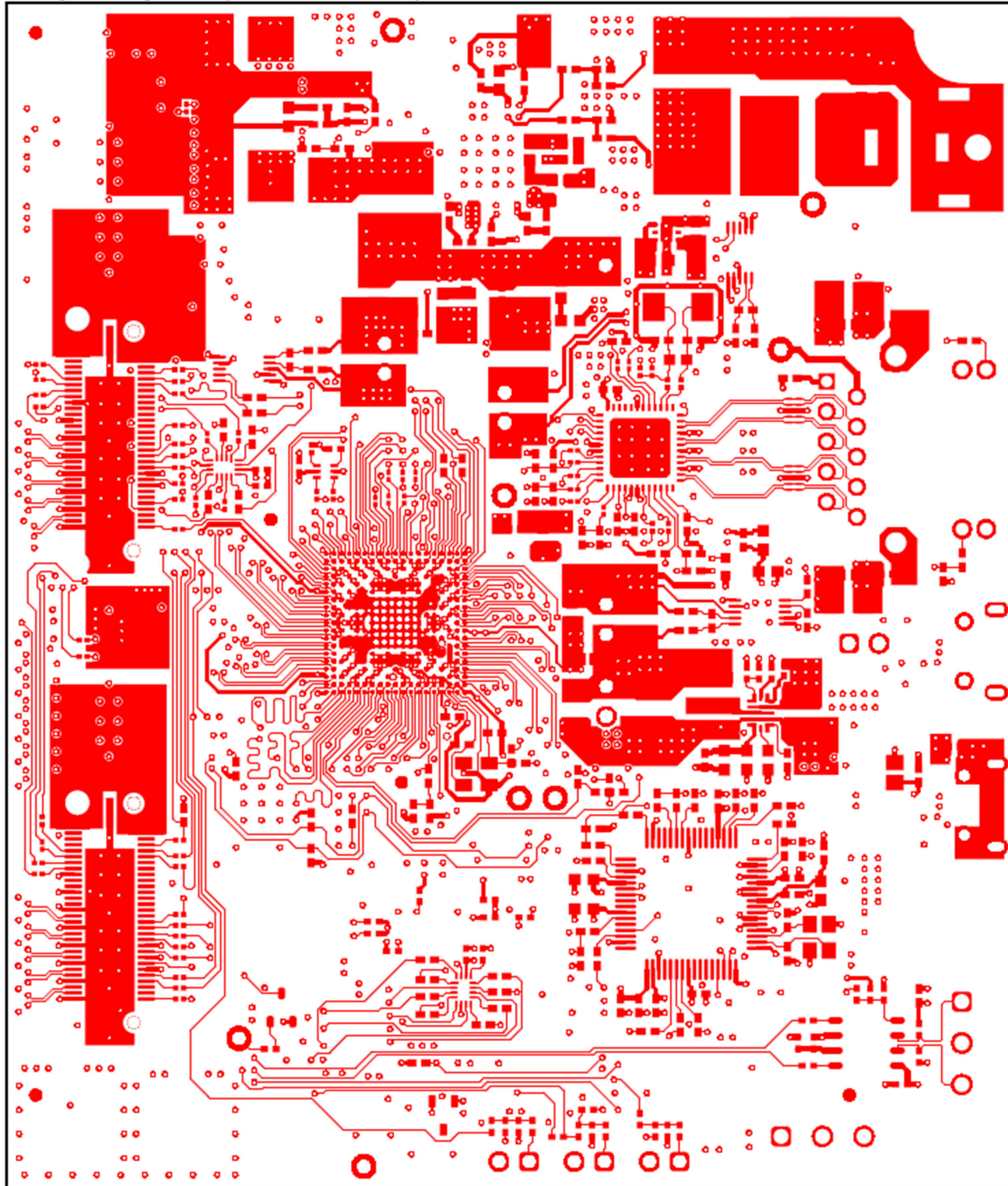


图 8-2. AM273x EVM 第 1 层 (顶部)

Bottom Layer (Scale 1:1)

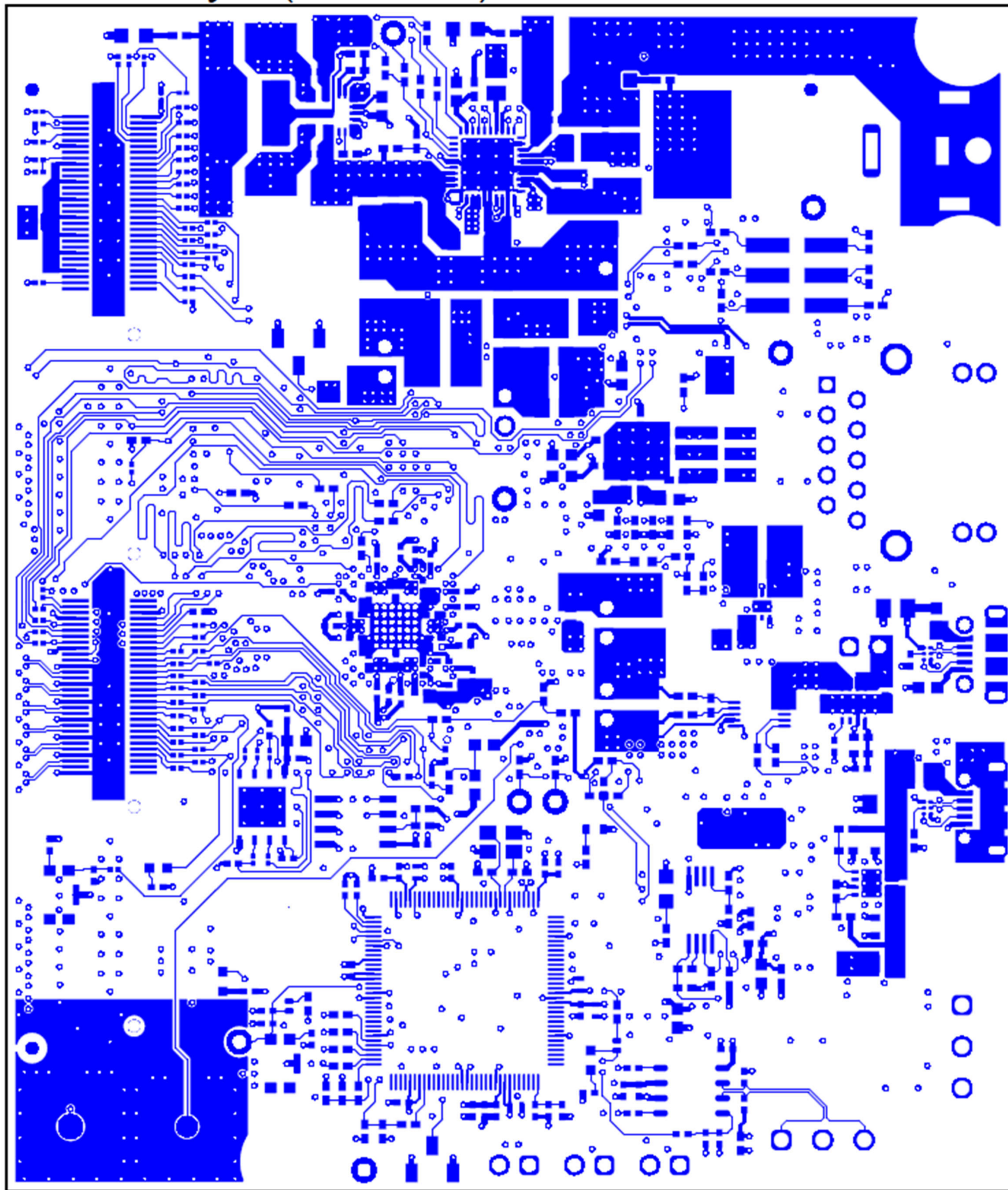


图 8-3. AM273x EVM 第 10 层 (底部)

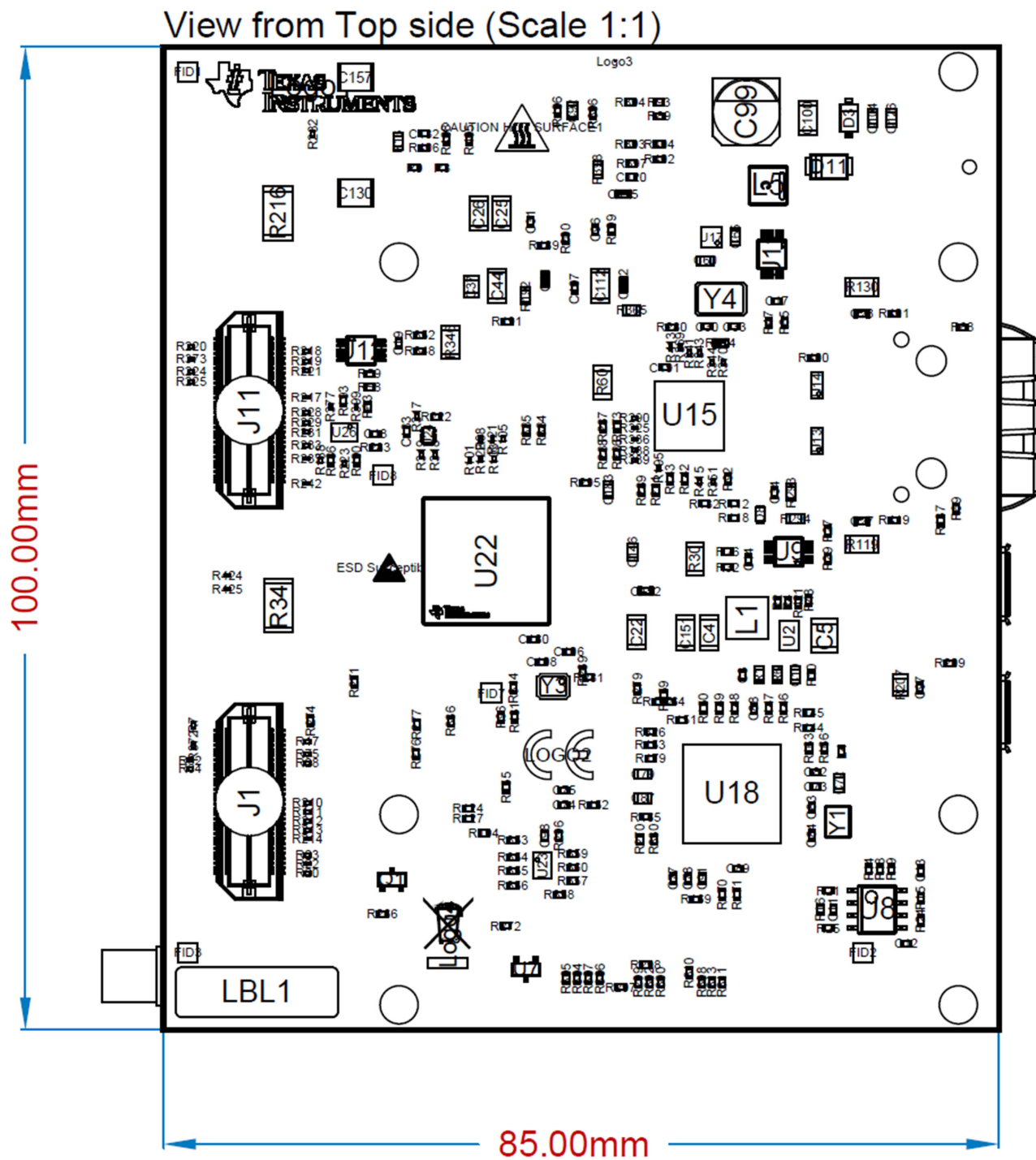


图 8-4. AM273x EVM 顶部组装

Layer Stack Legend

Material	Layer	Thickness	Dielectric Material	Type	Gerber
	Top Overlay			Legend	GTO
Surface Material	Top Solder	2.00mil	Solder Resist	Solder Mask	GTS
Copper	Top Layer	1.85mil		Signal	GTL
Prepreg		3.70mil	FR-4 High Tg	Dielectric	
Copper	GND1	1.26mil		Signal	G1
Core		6.00mil	FR-4 High Tg	Dielectric	
Copper	SIG1	1.26mil		Signal	G2
Prepreg		7.10mil	FR-4 High Tg	Dielectric	
Copper	GND2	1.26mil		Signal	G3
Core		4.00mil	FR-4 High Tg	Dielectric	
Copper	PWR1	1.26mil		Signal	G4
Prepreg		5.29mil	FR-4	Dielectric	
Copper	PWR2	1.26mil		Signal	G5
Core		4.00mil	FR-4 High Tg	Dielectric	
Copper	GND3	1.26mil		Signal	G6
Prepreg		7.10mil	FR-4 High Tg	Dielectric	
Copper	SIG2	1.26mil		Signal	G7
Core		6.00mil	FR-4 High Tg	Dielectric	
Copper	GND4	1.26mil		Signal	G8
Prepreg		3.70mil	FR-4 High Tg	Dielectric	
Copper	Bottom Layer	1.85mil		Signal	GBL
Surface Material	Bottom Solder	2.00mil	Solder Resist	Solder Mask	GBS
	Bottom Overlay			Legend	GBO
Total thickness: 64.67mil					

图 8-5. AM273x EVM 层堆叠

9 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

9.1 器件命名规则

为了指明产品开发周期所处的阶段，TI 为所有微控制器 (MCU) 和支持工具的产品型号分配了前缀。每个器件都具有以下三个前缀中的其中一个：X、P 或 null (无前缀) (例如，AM273x)。德州仪器 (TI) 为其支持工具推荐使用三种可能的前缀指示符中的两个：TMDX 和 TMDS。这些前缀代表了产品开发的发展阶段，即从工程原型 (TMDX) 直到完全合格的生产器件和工具 (TMDS)。

器件开发演变流程：

X 试验器件不一定代表最终器件的电气规范标准，并且可能不使用生产组装流程。

P 原型器件不一定是最终器件模型，并且不一定符合最终电气标准规范。

无 完全合格的芯片模型的生产版本。

支持工具开发演变流程：

TMDX 还未经德州仪器 (TI) 完整内部质量测试的开发支持产品。

TMDS 完全合格的开发支持产品。

X 和 P 器件和 TMDX 开发支持工具在供货时附带如下免责条款：

为了标示产品开发周期所处的阶段，TI 为所有 DSP 器件和支持工具的器件型号分配了前缀。每个 DSP 商用产品系列成员都具有以下三个前缀之一：TMX、TMP 或 TMS (例如，AM273x)。德州仪器 (TI) 为其支持工具推荐使用三种可能的前缀指示符中的两个：TMDX 和 TMDS。这些前缀代表了产品开发的发展阶段，即从工程原型 (TMX 和 TMDX) 直到完全合格的生产器件和工具 (TMS 和 TMDS)。

器件开发演变流程：

TMX 试验器件不一定代表最终器件的电气规范标准，并且可能不使用生产组装流程。

TMP 原型器件不一定是最终器件模型，并且不一定符合最终电气标准规范。

TMS 完全合格的芯片模型的生产版本。

支持工具开发演变流程：

TMDX 还未经德州仪器 (TI) 完整内部质量测试的开发支持产品。

TMDS 完全合格的开发支持产品。

TMX 和 TMP 器件和 TMDX 开发支持工具供货时附带如下免责条款：

“开发的产品用于内部评估用途。”

生产器件和 TMDS 开发支持工具已进行完全特性描述，并且器件的质量和可靠性已经完全论证。TI 的标准保修证书适用。

预测显示原型器件 (X 或者 P) 的故障率大于标准生产器件。由于这些器件的预期最终使用故障率仍未确定，故德州仪器 (TI) 建议请勿将这些器件用于任何生产系统。请仅使用合格的生产器件。

TI 的器件命名规则还包含具有器件产品系列名称的后缀。此后缀表示封装类型 (例如，ZCE)、温度范围 (例如，空白为默认的商业级温度范围) 以及以兆赫为单位的器件速度范围 (例如，400 MHz)。表 9-1 和图 9-1 提供了读取任一 AM273x 器件完整器件名称的图例。

如需 AM273x 封装类型的 AM273x 器件的可订购器件型号，请参阅本文档的“封装选项附录”、访问 ti.com 或联系您的 TI 销售代表。

有关芯片上器件命名规则标记的其他说明，请参阅器件勘误表。

9.1.1 标准封装编号法

备注

某些器件的器件封装顶部的表面可能有一个圆形标识，该标识是生产测试过程中产生的。此外，一些器件的封装基板颜色也可能因基板制造商的原因而有所不同。这些差异只在表面显示，不会影响可靠性。

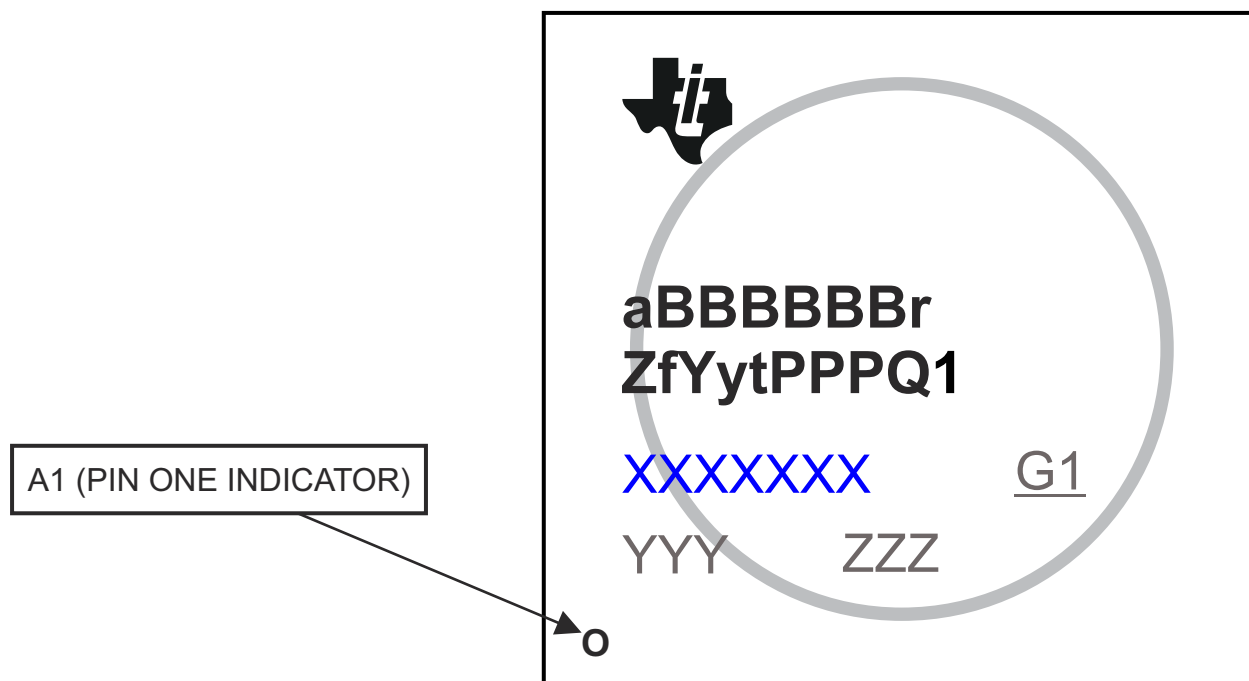


图 9-1. 印刷器件参考

9.1.2 器件命名约定

表 9-1. 命名规则说明

字段参数	字段说明	值	说明
a ⁽¹⁾	器件演变阶段	X	原型
		P	预量产 (生产测试流程, 无可靠性数据)
		空白	量产
BBBBBB	基本生产器件型号	AM2731	请参阅表 4-1, 器件比较
		AM2732	
r	器件修订版本	A	SR 1.0 (非安全)
		B	SR 1.1 (安全)
		C	SR 1.2 (安全)
Z	器件速度和存储器等级	A	请参阅表 6-3, 器件速度和存储器等级
		D	
		L	
		M	
		N	
f	特性 (请参阅表 4-1, 器件比较)	R	ZCE 封装器件
		S	NZN 封装器件
Y	功能安全	G	非功能安全器件
		F	功能安全质量管理型器件
y	安全性	G	非安全
		H	量产密钥 HS 器件
t ⁽²⁾	温度 (请参阅绝对最大额定值)	A	- 40°C 至 105°C - 扩展工业级
		I	- 40°C 至 125°C - 汽车
		Q	- 40°C 至 140°C - 扩展汽车级
PPP	封装符号	ZCE	ZCE NFBGA-N285 (13 mm × 13 mm) 0.65 mm 间距封装
		NZN	NZN NFBGA-N225 (13 mm × 13 mm) 0.80 mm 间距封装
Q1	汽车符号	Q1	通过汽车认证 (AEC-Q100)
		EP	增强型产品
XXXXXXX			批次追踪代码 (LTC)
YYY			生产代码; 仅供 TI 使用
ZZZ			生产代码; 仅供 TI 使用
O			引脚 1 符号
G1			ECAT—环保封装符号

- (1) 为了标明产品开发周期的阶段, TI 为所有器件型号分配了前缀。这些前缀代表了产品开发的进展阶段, 即从工程原型直到完全合格的生产器件。
原型器件在供货时附带如下免责声明:
“本产品仍在开发中, 用于内部评估。”
无论是否有相反规定, TI 均不作任何明示、默示或法定的保证, 包括对此器件特定用途的适用性和适销性的任何暗示保证。
- (2) 适用于器件最高结温。

备注

符号和器件号中的空白将折叠显示, 以防字符间存在间隙。

9.2 工具与软件

以下产品支持面向 AM273x 平台的开发工作：

开发工具

Code Composer Studio™ 集成开发环境 Code Composer Studio (CCS) 集成开发环境 (IDE) 是支持 TI 微控制器和嵌入式处理器产品系列的开发环境。Code Composer Studio 包含一整套用于开发和调试嵌入式应用的工具。它包含了用于优化的 C/C++ 编译器、源代码编辑器、工程编译环境、调试器、分析工具以及多种其他功能。直观的 IDE 提供了一个单一用户界面，可帮助用户完成应用开发流程的每个步骤。熟悉的工具和界面让用户能够比以往更快地上手。Code Composer Studio 将 Eclipse 软件框架的优势和 TI 高级嵌入式调试功能相结合，为嵌入式开发人员提供了一种极具吸引力且功能丰富的开发环境。

SYSCONFIG SYSCONFIG 引脚多路复用实用程序是一款软件工具，可提供图形用户界面，用于配置引脚多路复用设置、解决冲突并指定 TI MPU 的 I/O 电池特性。结果采用 C 头文件/代码文件的形式输出，可导入软件开发套件 (SDK) 或用于配置客户的定制软件。

AM273x 功耗估算工具 (PET) AM273x 功耗估算工具 (PET) 让用户能够深入了解特定 TI 处理器的功耗。用户可以使用此工具选择多种应用方案，了解功耗并了解如何应用高级节能技术进一步降低整体功耗。

有关处理器平台开发支持工具的完整列表，请访问德州仪器 (TI) 网站 www.ti.com.cn。有关价格和供货情况的信息，请联系最近的 TI 现场销售办事处或授权分销商。

9.3 文档支持

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击右上角的 *提醒我* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

下面列出了介绍处理器、相关外设以及其他配套技术资料的最新文档。

以下文档对 AM273x 系列器件进行了介绍。

技术参考手册

[AM273x 微控制器技术参考手册](#) 详细介绍了 AM273x 系列器件中每个外设和子系统的集成、环境、功能说明以及编程模型。

勘误

[AM273x 微控制器器件勘误表](#) 描述了针对器件功能技术规格的已知例外情况。

硬件设计指南

[AM273x 硬件设计指南](#) 描述了针对器件功能技术规格的已知例外情况。

技巧：使用文献编号在 TI.com 上进行搜索。

9.4 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

9.5 商标

Sitara™, Code Composer Studio™, and TI E2E™ are trademarks of Texas Instruments.

Arm® and Cortex® are registered trademarks of Arm Limited.

所有商标均为其各自所有者的财产。

9.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.7 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

Changes from JUNE 6, 2025 to JULY 30, 2026 (from Revision C (June 2025) to Revision D (July 2026))

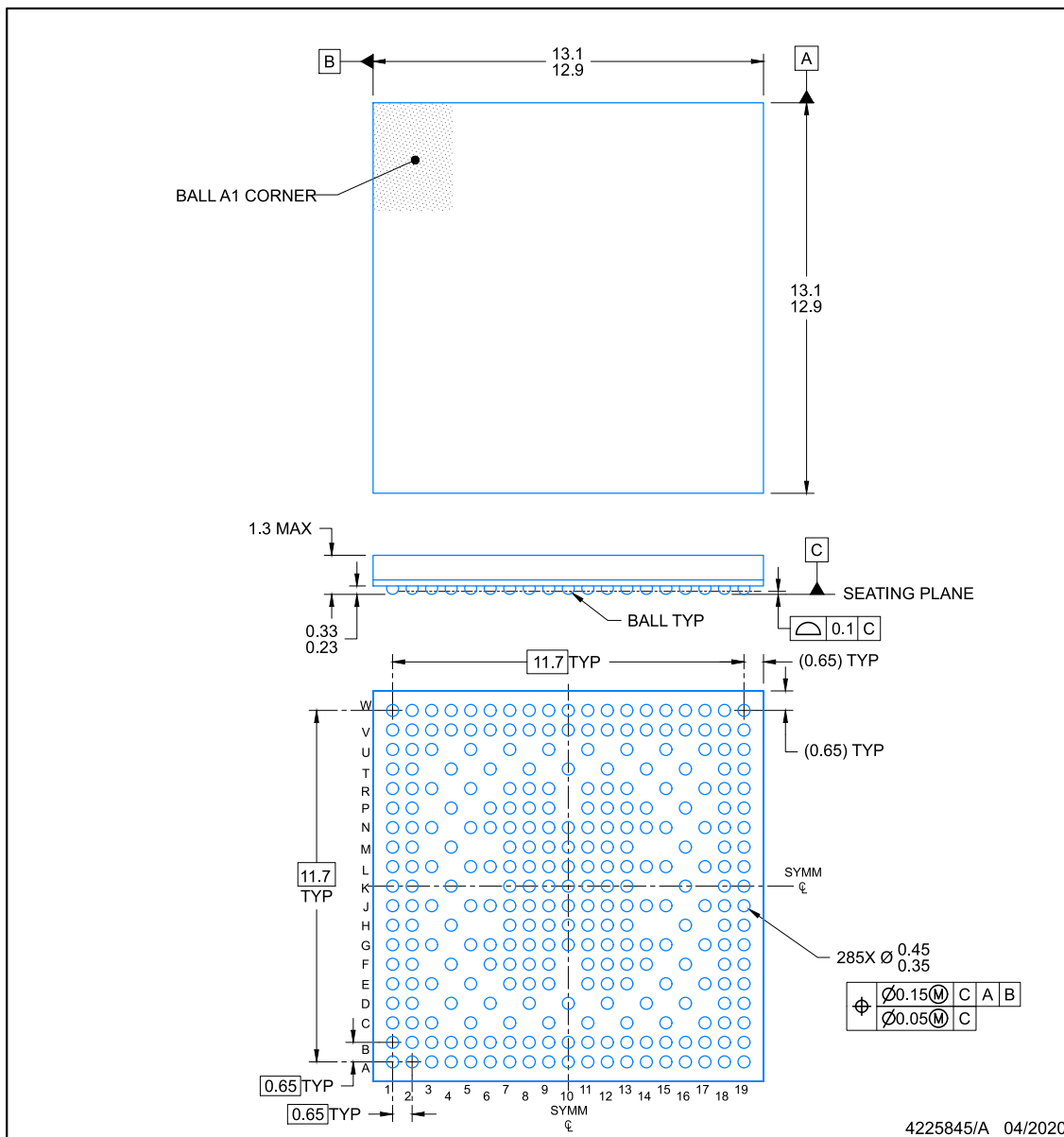
	Page
• (应用) : 更新了列表和链接.....	2
• 绝对最大额定值: 将 VIN_18CLK 重命名为 VIOIN_18CLK, 以与“引脚属性”表中使用的电源轨命名保持一致.....	53
• 建议运行条件: 将 VIN_18CLK 重命名为 VIOIN_18CLK, 将 VIN_18ADC 重命名为 VIOIN_18ADC, 并将 VIN_18CSI 重命名为 VIOIN_18CSI, 以与“引脚属性”表中使用的电源轨命名保持一致.....	54
• 缓冲器类型 — 表: 将 VIN_18CLK 重命名为 VIOIN_18CLK, 将 VIN_18ADC 重命名为 VIOIN_18ADC, 以与“引脚属性”表中使用的电源轨命名保持一致.....	56
• 新增了“电气特性”部分, 并将 GPADC 参数表移至该部分。向该表添加了说明性注释.....	58
• 电源时序和复位时序: 更新了器件启动序列说明和图表。更新了 tMSS_BOOT_START 说明。从器件唤醒和断电序列图中删除了 tH_SOP.....	59
• 外部时钟模式输入要求: 更新了 DC-VIL.max 和 DC-VIH.min 值。删除了 DC-VIH.max 值。添加了与 VDD 电源参数相关的表注 (1).....	60
• MIBSPI 外设: 将 SPIGCRx.0 位的名称更新为 nRESET 以匹配 TRM.....	65
• 添加了 MCASP 时序参数.....	83

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

ZCE0285A-C01
PACKAGE OUTLINE
NFBGA - 1.3 mm max height

PLASTIC BALL GRID ARRAY



NOTES:

NanoFree is a trademark of Texas Instruments.

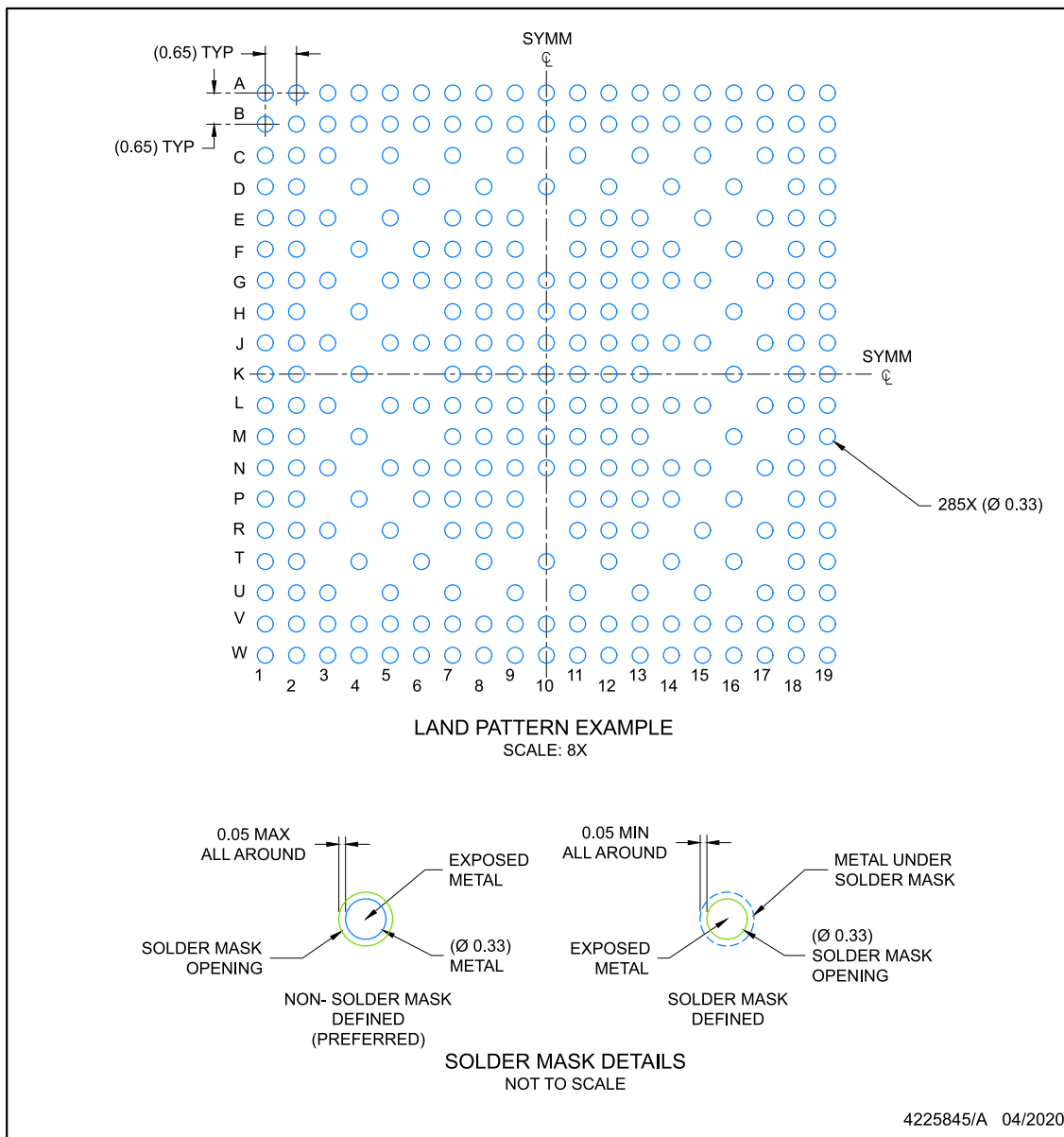
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

ZCE0285A-C01

NFBGA - 1.3 mm max height

PLASTIC BALL GRID ARRAY

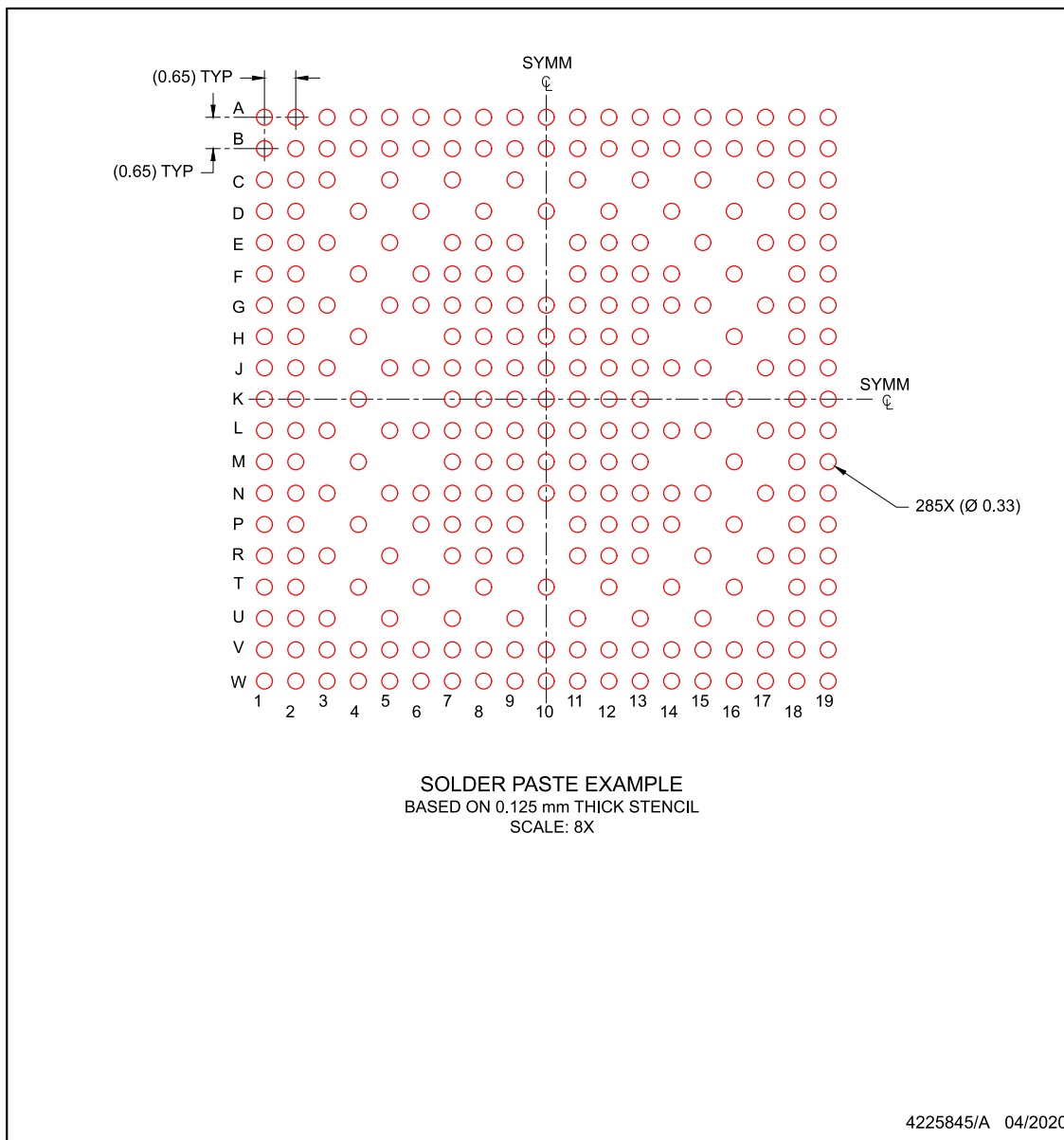


NOTES: (continued)

- Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. Refer to Texas Instruments Literature number SNVA009 (www.ti.com/lit/snva009).

EXAMPLE STENCIL DESIGN**ZCE0285A-C01****NFBGA - 1.3 mm max height**

PLASTIC BALL GRID ARRAY



NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
AM2731CASFHQNZNRQ1	Active	Production	NFBGA (NZN) 225	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 140	AM2731C ASFHQNZN 711
AM2731CASFHQNZNRQ1.B	Active	Production	NFBGA (NZN) 225	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 140	AM2731C ASFHQNZN 711
AM2731CLSFHQNZNRQ1	Active	Production	NFBGA (NZN) 225	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 140	AM2731C LSFHQNZN 711
AM2731CLSFHQNZNRQ1.B	Active	Production	NFBGA (NZN) 225	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 140	AM2731C LSFHQNZN 711
AM2731CNSFHQNZNRQ1	Active	Production	NFBGA (NZN) 225	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 140	AM2731C NSFHQNZN 711
AM2731CNSFHQNZNRQ1.B	Active	Production	NFBGA (NZN) 225	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 140	AM2731C NSFHQNZN 711
AM2732CDRFHAZCER	Active	Production	NFBGA (ZCE) 285	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM2732C DRFHAZCE 711
AM2732CDRFHAZCER.A	Active	Production	NFBGA (ZCE) 285	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM2732C DRFHAZCE 711
AM2732CDRFHAZCER.B	Active	Production	NFBGA (ZCE) 285	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM2732C DRFHAZCE 711
AM2732CDRFHQZCERQ1	Active	Production	NFBGA (ZCE) 285	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 140	AM2732C DRFHQZCEQ1 711
AM2732CDRFHQZCERQ1.A	Active	Production	NFBGA (ZCE) 285	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 140	AM2732C DRFHQZCEQ1 711

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
AM2732CDRFHQZCERQ1.B	Active	Production	NFBGA (ZCE) 285	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 140	AM2732C DRFHQZCEQ1 711
AM2732CMSFHQNZNRQ1	Active	Production	NFBGA (NZN) 225	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 140	AM2732C MSFHQNZN 711
AM2732CMSFHQNZNRQ1.B	Active	Production	NFBGA (NZN) 225	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 140	AM2732C MSFHQNZN 711

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

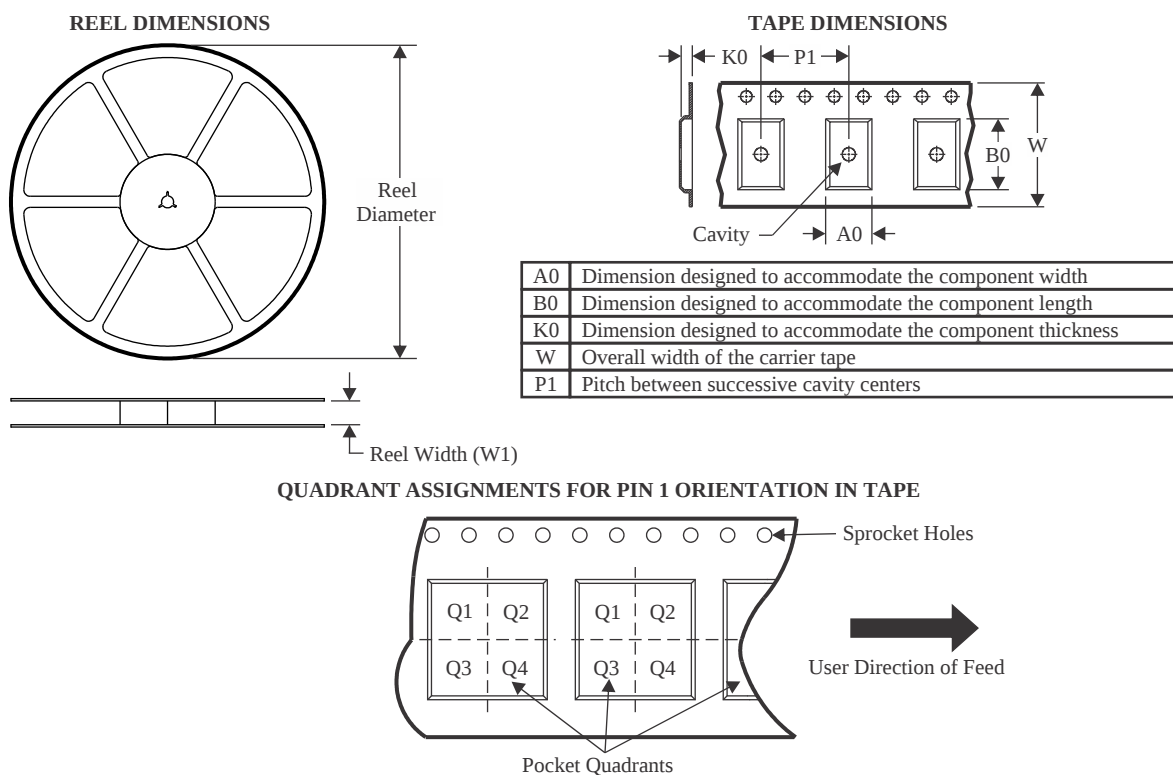
OTHER QUALIFIED VERSIONS OF AM2732, AM2732-Q1 :

- Catalog : [AM2732](#)
- Automotive : [AM2732-Q1](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

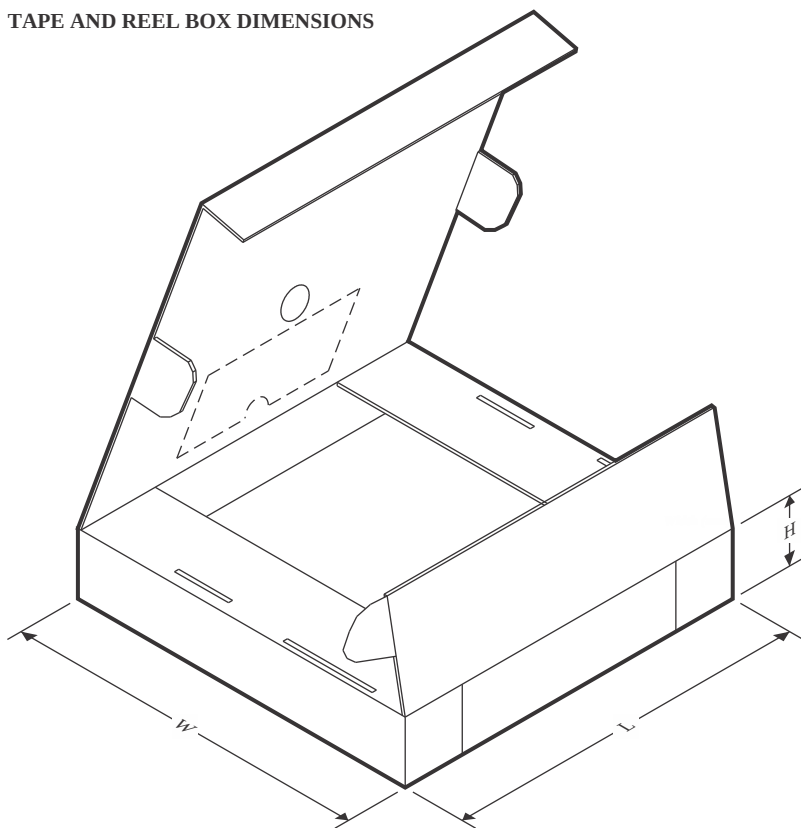
TAPE AND REEL INFORMATION



*All dimensions are nominal

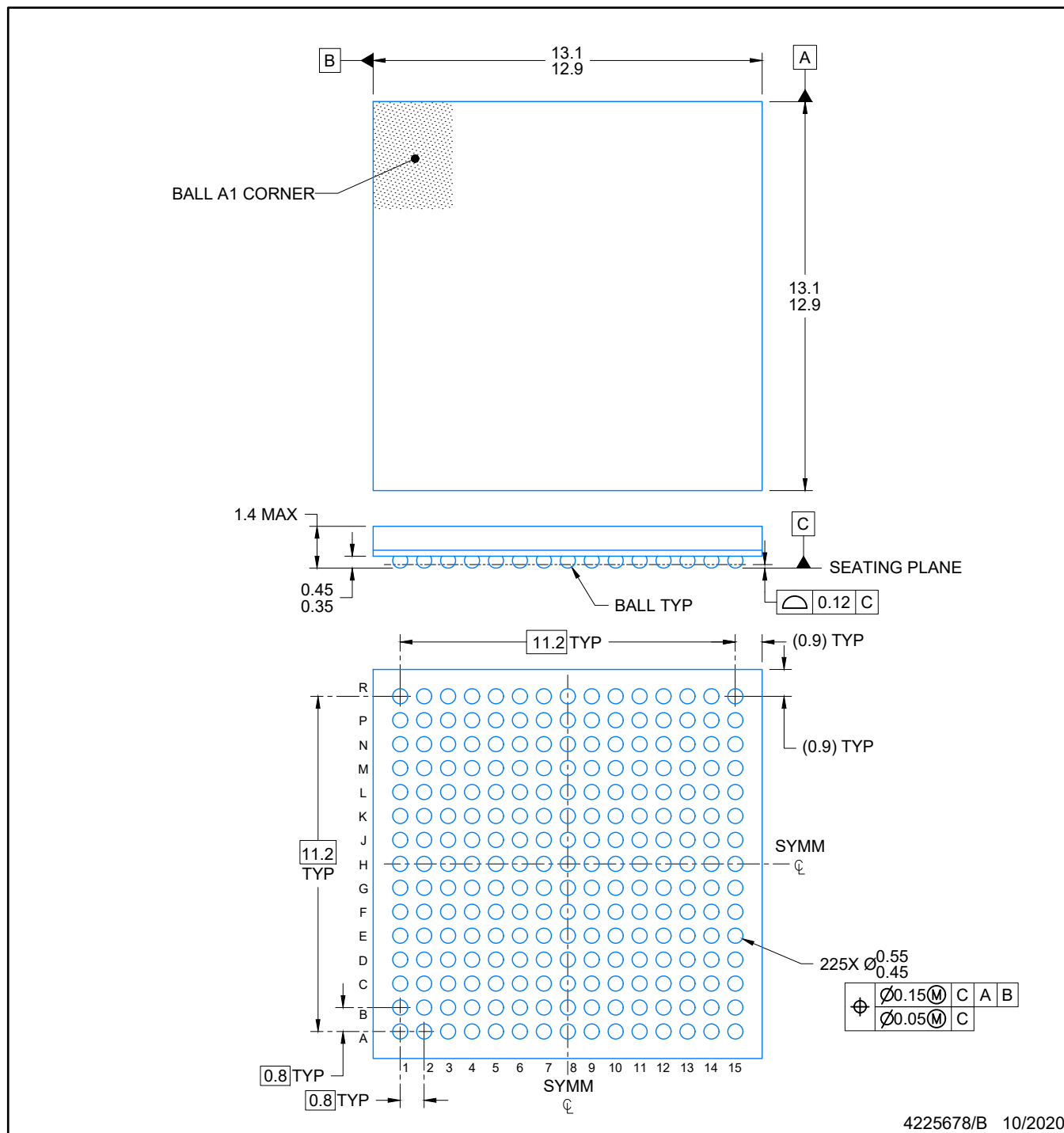
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
AM2731CASFHQNZNQRQ1	NFBGA	NZN	225	1000	330.0	24.4	13.3	13.3	2.35	16.0	24.0	Q1
AM2731CLSFHQNZNQRQ1	NFBGA	NZN	225	1000	330.0	24.4	13.3	13.3	2.35	16.0	24.0	Q1
AM2731CNSFHQNZNQRQ1	NFBGA	NZN	225	1000	330.0	24.4	13.3	13.3	2.35	16.0	24.0	Q1
AM2732CDRFHAZCER	NFBGA	ZCE	285	1000	330.0	24.4	13.3	13.3	2.35	16.0	24.0	Q1
AM2732CDRFHQZCERQ1	NFBGA	ZCE	285	1000	330.0	24.4	13.3	13.3	2.35	16.0	24.0	Q1
AM2732CMSFHQNZNQRQ1	NFBGA	NZN	225	1000	330.0	24.4	13.3	13.3	2.35	16.0	24.0	Q1

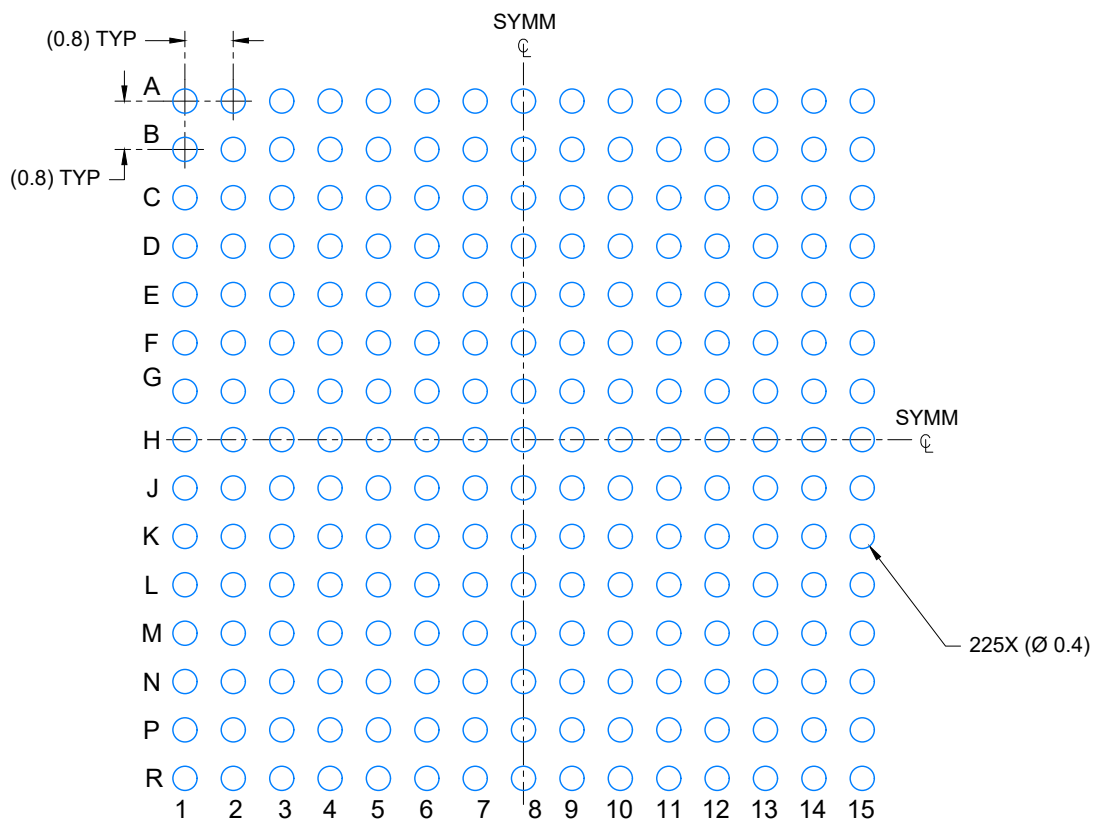
TAPE AND REEL BOX DIMENSIONS



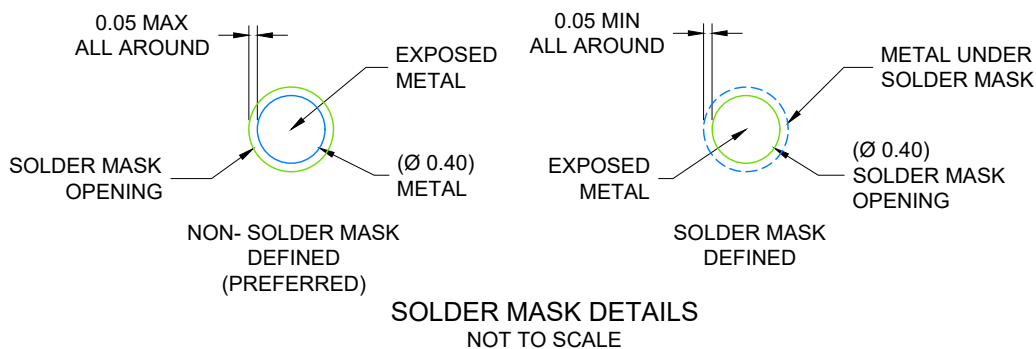
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
AM2731CASFHQNZNRQ1	NFBGA	NZN	225	1000	336.6	336.6	41.3
AM2731CLSFHQNZNRQ1	NFBGA	NZN	225	1000	336.6	336.6	41.3
AM2731CNSFHQNZNRQ1	NFBGA	NZN	225	1000	336.6	336.6	41.3
AM2732CDRFHAZCER	NFBGA	ZCE	285	1000	336.6	336.6	41.3
AM2732CDRFHQZCERQ1	NFBGA	ZCE	285	1000	336.6	336.6	41.3
AM2732CMSFHQNZNRQ1	NFBGA	NZN	225	1000	336.6	336.6	41.3





LAND PATTERN EXAMPLE
SCALE: 8X



4225678/B 10/2020

NOTES: (continued)

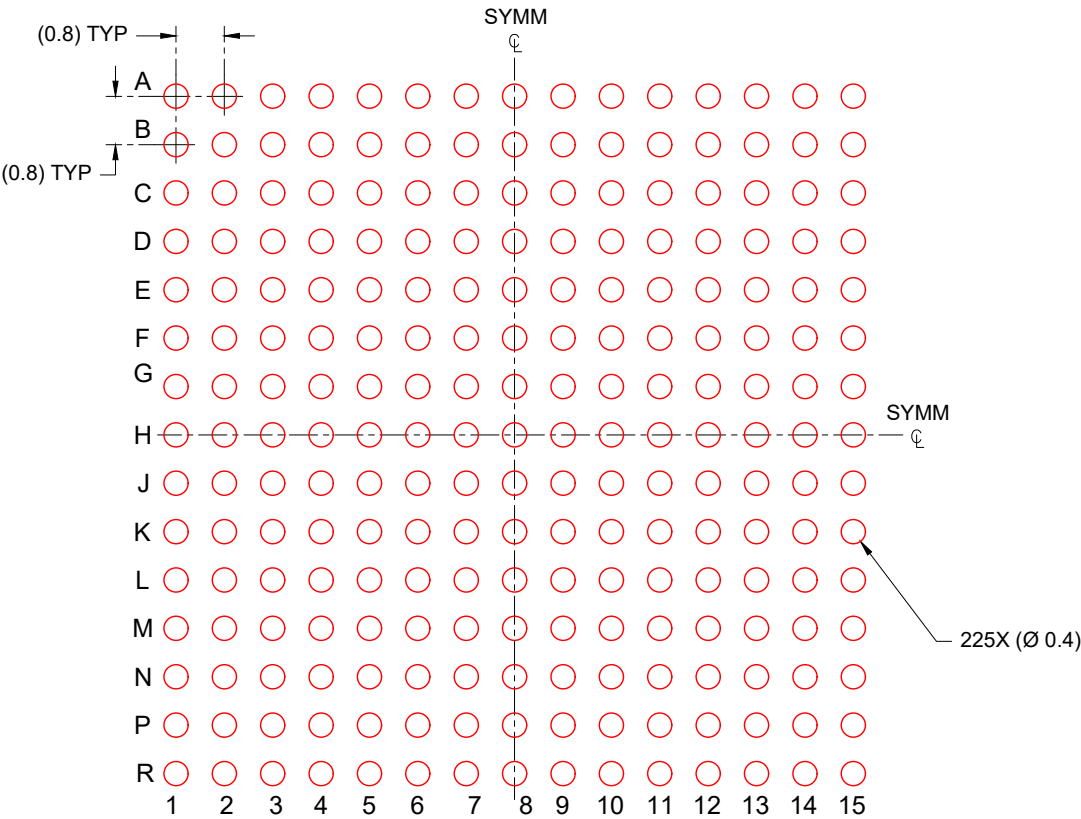
- Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. Refer to Texas Instruments Literature number SNVA009 (www.ti.com/lit/snva009).

EXAMPLE STENCIL DESIGN

NZN0225A

NFBGA - 1.4 mm max height

PLASTIC BALL GRID ARRAY



SOLDER PASTE EXAMPLE
BASED ON 0.150 mm THICK STENCIL
SCALE: 8X

4225678/B 10/2020

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月