

ISOW1044 具有集成式低发射、低噪声、高效直流/直流转换器的隔离式 CAN FD 收发器

1 特性

- 符合 ISO 11898-2:2016 物理层标准要求
 - 支持经典 CAN : 1Mbps
 - 针对 CAN FD 进行了优化 : 2 和 5Mbps
- 低发射、低噪声的集成式直流/直流转换器
 - 符合 CISPR 32 和 EN 55032 B 类标准, 在双层 PCB 上具有大于 6dB 的裕度
 - 25MHz 的低频电源转换器可实现低噪声性能
- 其他 10Mbps GPIO 通道
- 高效率输出功率
 - 典型效率 : 47%
 - 隔离式输出电压精度 : $\pm 5\%$
 - 额外输出电流 : 20mA
- 用于 CAN 和直流/直流的独立电源
 - 逻辑电源 (V_{IO}) : 1.71V 至 5.5V
 - 电源转换器电源 (V_{DD}) : 4.5V 至 5.5V
- 支持故障保护的 CAN FD 收发器
 - 直流总线故障保护电压 : $\pm 58V$
 - 接收器共模输入电压 : $\pm 12V$
 - 通过总线唤醒模式实现远程唤醒
- 典型循环延迟 : 167ns
- 增强型和基础型隔离选项
- 高 CMTI : 100kV/ μs (典型值)
- 具有以 GND2 为基准的高 ESD 总线保护
 - HBM ESD : $\pm 12kV$
 - IEC 61000-4-2 接触放电 : $\pm 8kV$
- 工作温度范围 : -40°C 至 125°C
- 电流限值和热关断
- 20 引脚宽体 SOIC 封装
- 安全相关认证 :
 - 符合 DIN EN IEC 60747-17 (VDE 0884-17) 标准的 VDE 增强和基本绝缘
 - UL 1577 组件认证计划
 - IEC 62368-1、IEC 61010-1、IEC 60601-1 和 GB 4943.1 认证

2 应用

- 工厂自动化
- 楼宇自动化
- 工业运输
- 光伏逆变器, 保护继电器
- 电机驱动器

器件信息

器件	封装 ⁽¹⁾	封装尺寸 ⁽²⁾	封装尺寸 (标称值)
ISOW1044	DFM (SOIC , 20)	12.83mm × 10.30mm	12.83mm × 7.5mm
ISOW1044B			

(1) 另请参阅 [机械、封装和可订购信息](#)。

(2) 封装尺寸 (长 × 宽) 为标称值, 并包括引脚 (如适用)。



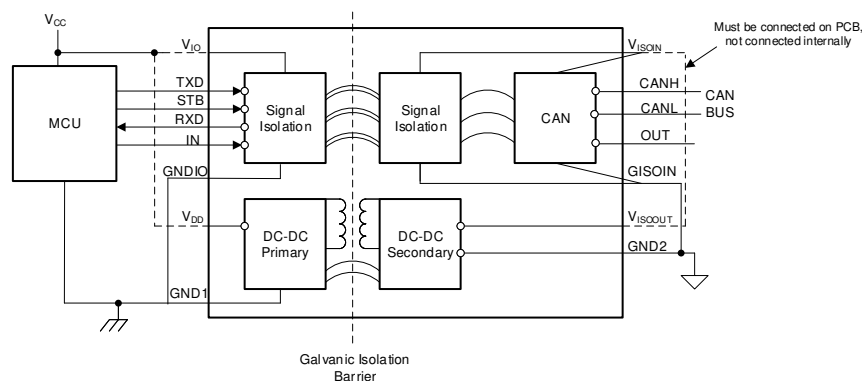
3 说明

ISOW1044 器件是一款电隔离式控制器局域网 (CAN) 收发器，内置隔离式直流/直流转换器，无需在空间受限的隔离式设计中使用单独的隔离式电源。低发射、隔离式直流/直流转换器符合 CISPR 32 辐射发射 B 类标准，在简单的两层 PCB 上仅使用两个铁氧体磁珠。额外的 20mA 输出电流可用于为板上的其他电路供电。该器件具有一个集成的 10Mbps GPIO 通道，有助于去除用于诊断、LED 指示或电源监控的额外数字隔离器或光耦合器。

该器件支持传统 CAN 和 CAN FD 网络，数据速率高达 5 兆位/秒 (Mbps)。该器件提供 $\pm 58V$ 直流总线故障保护功能和 $\pm 12V$ 共模电压范围。信号和电源路径均按照 UL1577 进行 $5kV_{RMS}$ 隔离，并符合 VDE、CSA、TUV 和 CQC 的增强型和基础型隔离要求。这些器件的总线引脚可承受高达 8kV 的 IEC 61000-4-2 静电放电 (ESD)。

ISOW1044 器件通过将 PCB 上的 V_{IO} 和 V_{DD} 连接到一起，可在 4.5V 至 5.5V 的单一电源电压下运行。如果需要较低的逻辑电平，这些器件支持 1.71V 至 5.5V 的逻辑电源 (V_{IO})，可以独立于 4.5V 至 5.5V 的电源转换器电源 (V_{DD})。该器件支持从 $-40^{\circ}C$ 至 $+125^{\circ}C$ 的宽工作环境温度范围，并采用 20 引脚 DFM (兼容 SOIC-20 封装尺寸)，可提供最小 8mm 的爬电距离和间隙。

ISOW1044 支持待机模式，并且可通过符合 ISO 11898-2:2016 所定义唤醒模式 (WUP) 的 CAN 来唤醒。该器件还具有保护和诊断特性，支持热关断 (TSD)、TXD 显性超时 (DTO) 和电源欠压检测。



简化版原理图

内容

1 特性	1	8.3 信号隔离	22
2 应用	1	8.4 CAN 收发器	22
3 说明	2	8.5 待机模式下使用唤醒模式 (WUP) 实现的远程唤醒请求	22
4 器件比较表	3	8.6 功能方框图	24
5 引脚配置和功能	4	8.7 特性说明	24
6 规格	6	8.8 器件功能模式	27
6.1 绝对最大额定值.....	6	8.9 器件 I/O 原理图	30
6.2 ESD 等级.....	6	9 应用和实施	31
6.3 建议运行条件.....	6	9.1 应用信息.....	31
6.4 热性能信息.....	7	9.2 典型应用.....	31
6.5 功率等级.....	7	9.3 电源相关建议.....	34
6.6 绝缘规格.....	8	9.4 布局.....	34
6.7 安全相关认证.....	9	10 器件和文档支持	36
6.8 安全限值.....	9	10.1 文档支持.....	36
6.9 电气特性.....	10	10.2 接收文档更新通知.....	36
6.10 电源电流特性.....	12	10.3 支持资源.....	36
6.11 开关特性.....	13	10.4 商标.....	36
6.12 绝缘特性曲线.....	14	10.5 静电放电警告.....	36
6.13 典型特性.....	15	10.6 术语表.....	36
7 参数测量信息	18	11 修订历史记录	36
8 详细说明	22	12 机械、封装和可订购信息	37
8.1 概述.....	22		
8.2 电源隔离.....	22		

4 器件比较表

器件型号	隔离	封装	封装尺寸 (标称值)
ISOW1044	增强	20-DFM (SOIC)	12.83mm × 7.5mm
ISOW1044B	基本	20-DFM (SOIC)	12.83mm × 7.5mm

5 引脚配置和功能

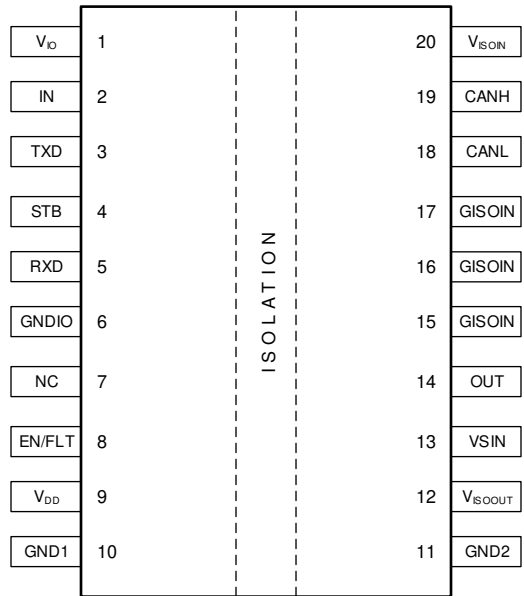


图 5-1. ISOW1044 20 引脚 DFM 顶视图

表 5-1. 引脚功能

引脚		类型 ⁽¹⁾	说明
名称	编号		
V _{IO}	1	--	1 侧逻辑电源
IN	2	I	通用逻辑 (GPIO) 输入 (内部下拉电阻)
TXD	3	I	CAN 发送数据输入 (显性总线状态下为低电平；隐性总线状态下为高电平)
STB	4	I	待机启用。在正常模式下将该引脚连接至 GNDIO。如果此引脚悬空或处于逻辑高电平，则驱动器处于待机模式。
RXD	5	O	CAN 接收数据输出 (显性总线状态下为低电平；隐性总线状态下为高电平)
GNDIO	6	--	V _{IO} 1 侧的接地连接。GNDIO 和 GND1 未在内部连接、需要在 PCB 上短接。
NC	7	--	未在内部进行连接
EN/FLT	8	I/O	多功能电源转换器使能输入引脚或输出故障引脚。只能用作输入引脚或输出引脚。 - 如果引脚用作电源转换器启用输入引脚，EN/FLT 引脚将启用和禁用集成式直流/直流电源转换器。可直接连接到微控制器，或通过串联限流电阻器连接以用作使能输入引脚。当 EN 为高电平 (连接到 V_{IO}) 时，将启用直流/直流电源转换器；当 EN 为低电平 (连接到 GND1) 时，将禁用该转换器。如果 EN 悬空，则启用直流/直流转换器 (内部上拉电阻器) - 如果用作故障输出引脚，并且电源转换器运行不正常，EN/FLT 引脚会发出警报信号。该引脚为低电平有效。通过 5kΩ 或更大的上拉电阻器连接到微控制器，以用作故障输出引脚。
V _{DD}	9	--	1 侧直流/直流转换器电源
GND1	10	--	V _{DD} 侧的接地连接。GNDIO 和 GND1 未在内部连接、需要在 PCB 上短接。
GND2	11	--	V _{ISOOUT} 侧的接地连接。GND2 和 GISOIN 未在内部连接，需要直接在 PCB 上短接或通过铁氧体磁珠连接。
V _{ISOOUT}	12	--	隔离式电源转换器输出电压。V _{ISOOUT} 和 V _{ISOIN} 引脚需要直接在 PCB 上短接或通过铁氧体磁珠连接。
V _{SIN}	13	I	电源转换器输入。引脚 12 和引脚 13 需在 PCB 上直接短接。
OUT	14	O	通用逻辑 (GPIO) 输出 (默认输出为低电平)
GISOIN	15、16、17	--	V _{ISOIN} 的接地连接。GND2 和 GISOIN 引脚需要直接在 PCB 上短接或通过铁氧体磁珠连接。

表 5-1. 引脚功能 (续)

引脚		类型 ⁽¹⁾	说明
名称	编号		
CANL	18	I/O	低电平 CAN 总线
CANH	19	I/O	高电平 CAN 总线
V _{ISOIN}	20	--	CAN 收发器的电源输入。V _{ISOIN} 和 V _{ISOOUT} 引脚需要直接在 PCB 上短接或通过铁氧体磁珠连接。

(1) I = 输入, O = 输出

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) (1) (2)

		最小值	最大值	单位
V_{DD}	电源转换器电源电压	-0.5	6	V
V_{ISOIN}	隔离式电源电压, CAN 收发器的输入电源	-0.5	6	V
V_{ISOOUT}	隔离式电源电压, 电源转换器输出	-0.5	6	V
V_{IO}	逻辑电源电压	-0.5	6	V
V_{BUS}	总线引脚 (CANH、CANL, 以 GND2 为基准) 上的电压	-58	58	V
V_{BUS_DIFF}	总线引脚 (CANH-CANL) 上的最大差分电压	-45	45	V
V_{logic_IO}	逻辑 I/O 电压电平 (RXD、TXD、STB、EN、IN)	-0.5	$V_{IO} + 0.5^{(3)}$	V
	OUT	-0.5	$V_{ISOIN} + 0.5$	V
I_O	RXD、OUT 引脚上的输出电流	-15	15	mA
T_J	结温	-40	150	°C
T_{stg}	贮存温度	-65	150	°C

- (1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。“绝对最大额定值”并不表示器件在这些条件下或在“建议运行条件”以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用, 器件可能不会完全正常运行, 这可能影响器件的可靠性、功能和性能并缩短器件寿命。
- (2) 差分 I/O 总线电压以外的所有电压值均以本地接地引脚 (GND1 或 GND2) 为基准。除差分 I/O 总线电压外的所有电压值都是峰值电压值。
- (3) 最大电压不得高于 6V。

6.2 ESD 等级

				值	单位
V _(ESD)	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/ JEDEC JS-001 ⁽¹⁾	除总线引脚外的所有引脚	±2000	V
			CANH、CANL 总线引脚 (引脚 15/16/17, 以 GND2 为基准)	±12000	
V _(ESD)	静电放电	充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101 ⁽²⁾		±1500	V
V _(ESD)	静电放电	符合 IEC61000-4-2 接触放电标准, CANH 和 CANL (以 GND2 为基准)		±8000	V
V _(ESD)	静电放电	符合 IEC61000-4-2 接触放电标准, CANH 和 CANL (穿过隔离栅, 以 GND1 为基准)		±8000	V

- (1) JEDEC 文档 JEP155 指出: 500V HBM 能够在标准 ESD 控制流程下安全地进行生产。
- (2) JEDEC 文档 JEP157 指出: 250V CDM 能够在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明)

			最小值	标称值	最大值	单位
V_{IO}	逻辑电源电压	1.8V 工作电压	1.71		1.89	V
		2.5V、3.3V 和 5.5V 工作电压	2.25		5.5	
V_{DD}	电源转换器电源电压		4.5		5.5	V
$V_{DD(UVLO+)}$	电源转换器电源上升时的电源阈值			2.7	2.95	V
$V_{DD(UVLO-)}$	电源转换器电源下降时的电源阈值		2.40	2.55		V
$V_{HYS1(UVLO)}$	电源转换器电源电压迟滞		0.15	0.24		V
$V_{IO(UVLO+)}$	逻辑电源电压的上升阈值				1.7	V
$V_{IO(UVLO-)}$	逻辑电源电压的下降阈值		1			V

在自然通风条件下的工作温度范围内测得 (除非另有说明)

			最小值	标称值	最大值	单位
V _{HYS2(UVLO)}	逻辑电源电压迟滞		75	125		mV
V _{IH}	高电平输入电压 (TXD、STB、EN 和 IN 输入)		0.7 × V _{IO}		V _{IO}	V
V _{IL}	低电平输入电压 (TXD、STB、EN 和 IN 输入)		0		0.3 × V _{IO}	V
I _{OH}	高电平输出电流 RXD	V _{IO} = 5V	-4			mA
		V _{IO} = 3.3V	-2			mA
		V _{IO} = 1.8V 或 2.5V	-1			mA
I _{OL}	低电平输出电流 RXD	V _{IO} = 5V			4	mA
		V _{IO} = 3.3V			2	mA
		V _{IO} = 1.8V 或 2.5V			1	mA
I _{OH}	高电平输出电流 OUT	V _{DD} = 4.5V 至 5.5V	-4			mA
I _{OL}	低电平输出电流 OUT	V _{DD} = 4.5V 至 5.5V			4	mA
1/t _{UI}	信令速率	CAN			5	Mbps
DR	额外 GPIO 通道的数据速率	GPIO			10	Mbps
T _{pwrup}	施加输入电源后的上电时间 (隔离式输出电源达到设定值的 90% 后即可开始数据传输)			5		ms
T _A	环境工作温度	≤ 50% 的位为显性位	-40		125	°C
			-40		105	°C

6.4 热性能信息

热指标 ⁽¹⁾		ISOW1044	单位
		DFM	
		20 引脚	
R _{θJA}	结至环境热阻	68.5	°C/W
R _{θJC(top)}	结至外壳 (顶部) 热阻	20.9	°C/W
R _{θJB}	结至电路板热阻	44.8	°C/W
Ψ _{JT}	结至顶部特征参数	13	°C/W
Ψ _{JB}	结至电路板特征参数	44	°C/W
R _{θJC(bot)}	结至外壳 (底部) 热阻	--	°C/W

(1) 有关新旧热指标的更多信息, 请参阅 [半导体和 IC 封装热指标](#) 应用手册。

6.5 功率等级

参数	测试条件	最小值	典型值	最大值	单位
P _D	最大功耗 (两侧)			1060	mW
P _{D1}	最大功耗 (1 侧)			490	mW
P _{D2}	最大功耗 (侧 2)			570	mW

6.6 绝缘规格

参数		测试条件	值	单位
常规				
CLR	外部间隙 ⁽¹⁾	端子间的最短空间距离	>8	mm
CPG	外部爬电距离 ⁽¹⁾	端子间的最短封装表面距离	>8	mm
DTI	绝缘穿透距离	最小内部间隙 (内部间隙 - 电容式信号隔离)	>17	μm
DTI	绝缘穿透距离	最小内部间隙 (内部间隙 — 变压器电源隔离)	>120	μm
CTI	相对漏电起痕指数	IEC 60112 ; UL 746A	>600	V
	材料组	符合 IEC 60664-1	I	
	过电压类别	额定市电电压 ≤ 600V _{RMS}	I-IV	
		额定市电电压 ≤ 1000V _{RMS}	I-III	
DIN EN IEC 60747-17 (VDE 0884-17) ⁽²⁾				
V _{IORM}	最大重复峰值隔离电压	交流电压 (双极)	1500	V _{PK}
V _{IOWM}	最大工作隔离电压	交流电压 (正弦波) , 时间依赖型电介质击穿 (TDDB) 测试	1000	V _{RMS}
		直流电压	1500	
V _{IOTM}	最大瞬态隔离电压	V _{TEST} = V _{IOTM} , t = 60s (鉴定测试) ; V _{TEST} = 1.2 × V _{IOTM} , t = 1s (100% 生产测试)	7071	V _{PK}
V _{IOSM}	最大浪涌隔离电压 ISOW1044 ⁽³⁾	测试方法符合 IEC 62368-1, 1.2/50μs 波形	10000	V _{PK}
V _{IOSM}	最大浪涌隔离电压 ISOW1044B ⁽³⁾	测试方法符合 IEC 62368-1, 1.2/50μs 波形	7800	V _{PK}
q _{pd}	视在电荷 ⁽⁴⁾	方法 a : 在 I/O 安全测试子组 2/3 后 , V _{ini} = V _{IOTM} , t _{ini} = 60s ; V _{pd(m)} = 1.2 × V _{IORM} , t _m = 10s	≤5	pC
		方法 a : 环境测试子组 1 后 , V _{ini} = V _{IOTM} , t _{ini} = 60s ; ISOW1044 : V _{pd(m)} = 1.6 × V _{IORM} , t _m = 10s ISOW1044B : V _{pd(m)} = 1.2 × V _{IORM} , t _m = 10s	≤5	
		常规测试 (100% 生产测试) , V _{ini} = 1.2 × V _{IOTM} , t _{ini} = 1s ; ISOW1044 : V _{pd(m)} = 1.875 × V _{IORM} , t _m = 1s (方法 b1) ISOW1044B : V _{pd(m)} = 1.5 × V _{IORM} , t _m = 1s (方法 b1) 或 ISOW1044/ISOW1044B : V _{pd(m)} = V _{ini} , t _m = t _{ini} (方法 b2)	≤5	
C _{IO}	势垒电容, 输入至输出 ⁽⁵⁾	V _{IO} = 0.4 sin (2 π ft) , f = 1MHz	≈3.5	pF
R _{IO}	隔离电阻, 输入至输出 ⁽⁵⁾	V _{IO} = 500V , T _A = 25°C	>10 ¹²	Ω
		V _{IO} = 500V , 100°C ≤ T _A ≤ 125°C	>10 ¹¹	Ω
		V _{IO} = 500V , T _S = 150°C	>10 ⁹	Ω
	污染等级		2	
	气候类别		40/125/21	
UL 1577				
V _{ISO}	可承受的隔离电压	V _{TEST} = V _{ISO} , t = 60s (鉴定测试) ; V _{TEST} = 1.2 × V _{ISO} , t = 1s (100% 生产测试)	5000	V _{RMS}

- (1) 爬电距离和间隙应满足应用的特定设备隔离标准中的要求。请注意保持电路板设计的爬电距离和间隙, 从而确保印刷电路板上隔离器的安装焊盘不会导致此距离缩短。在特定的情况下, 印刷电路板上的爬电距离和间隙变得相等。在印刷电路板上插入坡口和/或肋等技术用于帮助提高这些规格。
- (2) 此耦合器仅适用于最大工作额定值范围内的安全电气绝缘 (ISOW1044) 和基本电气绝缘 (ISOW1044B)。应借助合适的保护电路来确保符合安全等级。
- (3) 在空气或油中执行测试, 以确定隔离栅的固有浪涌抗扰度。
- (4) 视在电荷是局部放电 (pd) 引起的电气放电。
- (5) 将隔离栅每一侧的所有引脚都连在一起, 构成一个双端子器件。

6.7 安全相关认证

VDE	CSA	UL	TUV	CQC
根据 DIN EN IEC 60747-17 (VDE 0884-17) 进行了认证	根据 IEC 62368-1、IEC 61010-1 和 IEC 60601-1 进行了认证	在 UL 1577 组件认证计划下进行了认证	根据 EN 61010-1 和 EN 62368-1 进行了认证	根据 GB 4943.1 进行了认证
证书编号： 40040142 (增强) 40047657 (本基)	主合同编号： 220991	文件编号：E181974	客户端 ID 编号：77311	证书编号： CQC21001297517

6.8 安全限值

安全限制旨在最大限度地减小在发生输入或输出电路故障时对隔离栅的潜在损害。

参数		测试条件	最小值	典型值	最大值	单位
I _S	安全输入、输出或电源电流 ⁽¹⁾	R _{θJA} = 68.5°C/W, V _I = 5.5V, T _J = 150°C, T _A = 25°C, 请参阅图 8-1			332	mA
		R _{θJA} = 68.5°C/W, V _I = 3.6V, T _J = 150°C, T _A = 25°C, 请参阅图 8-1			507	
P _S	安全输入、输出或总功率 ⁽¹⁾	R _{θJA} = 68.5°C/W, T _J = 150°C, T _A = 25°C, 参阅图 8-2			1826	mA
T _S	安全温度 ⁽¹⁾				150	°C

- (1) 最高安全温度 T_S 与器件指定的最大结温 T_J 的值相同。I_S 和 P_S 参数分别表示安全电流和安全功率。不应超过 I_S 和 P_S 的最大限值。这些限值会因环境温度 T_A 而异。

表中的结至空气热阻 R_{θJA} 所属器件安装在含引线的表面贴装封装对应的高 K 测试板上。可使用以下公式计算各参数值：

T_J = T_A + R_{θJA} × P, 其中, P 为器件所耗功率。

T_{J(max)} = T_S = T_A + R_{θJA} × P_S, 其中, T_{J(max)} 为允许的最大结温。

P_S = I_S × V_I, 其中, V_I 为最大输入电压。

6.9 电气特性

在建议运行条件下测得，典型值在 $V_{DD} = 5V$ 、 $GND1 = GNDIO$ 、 $GND2 = GISOIN$ 、 $V_{IO} = 3.3V$ 且 $T_A = 25^\circ C$ 下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
器件						
V _{ISOOUT}	隔离式输出电源电压	EN = V _{DD} 、STB、TXD、IN 悬空	4.75	5	5.25	V
I _{out}	Visoout 上提供额外电流	V _{DD} = 4.5V 至 5.5V，CAN 满载 60 Ω，TXD 以 5Mbps 的速度切换，IN 以 10Mbps 的速度切换	20			mA
V _{OH}	OUT 引脚上的输出高电压	V _{DD} = 5V ± 10%，I _{OH} = - 4mA，IN = V _{IO}	V _{ISOIN} - 0.4			V
V _{OL}	OUT 引脚上的输出低电压	V _{DD} = 5V ± 10%，I _{OL} = 4mA，IN = GND2	0.4			V
I _I	输入电流，IN	GND1 或 V _{IO} 处的 IN	-25	25		μA
I _I	输入电流，EN	GND1 或 V _{IO} 处的 EN	-25	25		μA
TXD 端子						
I _I	输入漏电流	TXD = V _{IO} 或 GND1	-25	25		μA
C _I	输入电容	V _{IN} = 0.4 × sin(2 × π × 1E+6 × t) + 1.65V，V _{IO} = 3.3V	2			pF
RXD 端子						
V _{OH}	高电平输出电压	I _O = -4mA，适用于 4.5V ≤ V _{IO} ≤ 5.5V，请参阅图 7-4	V _{IO} - 0.4 V _{IO} - 0.2			V
		I _O = -2mA，适用于 3.0V ≤ V _{IO} ≤ 3.6V，请参阅图 7-4	V _{IO} - 0.2 V _{IO} - 0.06			V
		I _O = -1mA，适用于 2.25V ≤ V _{IO} ≤ 2.75V，请参阅图 7-4	V _{IO} - 0.1 V _{IO} - 0.04			V
		I _O = -1mA，适用于 1.71V ≤ V _{IO} ≤ 1.89V，请参阅图 7-4	V _{IO} - 0.1 V _{IO} - 0.04			V
V _{OL}	低电平输出电压	I _O = 4mA，适用于 4.5V ≤ V _{IO} ≤ 5.5V，请参阅图 7-4	0.2		0.4	V
		I _O = 2mA，适用于 3.0V ≤ V _{IO} ≤ 3.6V，请参阅图 7-4	0.07		0.2	V
		I _O = 1mA，适用于 2.25V ≤ V _{IO} ≤ 2.75V，请参阅图 7-4	0.035		0.1	V
		I _O = 1mA，适用于 1.71V ≤ V _{IO} ≤ 1.89V，请参阅图 7-4	0.04		0.1	V
STB 端子						
I _I	输入漏电流	STB = V _{IO} 或 GND1	-25	25		μA
C _I	输入电容	V _{IN} = 0.4 × sin(2 × π × 1E+6 × t) + 1.65V，V _{IO} = 3.3V	2			pF
驱动器电气特性						
V _{O(DOM)}	总线输出电压（显性），CANH	STB = GND1，TXD = 0V，50 Ω ≤ R _L ≤ 65 Ω，且 C _L = 开路，请参阅图 9-1 和图 9-2	2.75	4.5		V
	总线输出电压（显性），CANL	STB = GND1，TXD = 0V，50 Ω ≤ R _L ≤ 65 Ω，且 C _L = 开路，请参阅图 9-1 和图 9-2	0.5	2.25		V
V _{O(REC)}	总线输出电压（隐性），CANH 和 CANL	STB= GND1，TXD = V _{IO} 且 R _L = 开路，请参阅图 9-1 和图 9-2	2.0	0.5 × V _{ISOIN}	3.0	V

在建议运行条件下测得，典型值在 $V_{DD} = 5V$ 、 $GND1 = GNDIO$ 、 $GND2 = GISOIN$ 、 $V_{IO} = 3.3V$ 且 $T_A = 25^\circ C$ 下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
V _{OD(DOM)}	差分输出电压（显性）	STB = GND1, TXD = 0V, 45 Ω ≤ R _L ≤ 70 Ω, C _L = 开路, 请参阅图 9-1 和图 9-2	1.4		3.3	V
	差分输出电压（显性）	STB = GND1, TXD = 0V, 50 Ω ≤ R _L ≤ 65 Ω, 且 C _L = 开路, 请参阅图 9-1 和图 9-2	1.5		3.0	V
	差分输出电压（显性）	STB = GND1, TXD = 0V, R _L = 2240 Ω 且 C _L = 开路, 请参阅图 9-1 和图 9-2	1.5		5.0	V
V _{OD(REC)}	差分输出电压（隐性）	TXD = V _{IO} , R _L = 60 Ω 且 C _L = 开路, 请参阅图 9-1 和图 9-2	-120.0		12.0	mV
	差分输出电压（隐性）	TXD = V _{IO} , R _L = 开路且 C _L = 开路, 请参阅图 9-1 和图 9-2	-50.0		50.0	mV
V _{O(STB)}	总线输出电压, CANH, 待机模式	STB = V _{IO} , R _L = 开路, 请参阅图 9-1 和图 9-2	-100		100	mV
V _{O(STB)}	总线输出电压, CANL, 待机模式	STB = V _{IO} , RL = 开路, 请参阅图 9-1 和图 9-2	-100		100	mV
V _{OD(STB)}	总线输出电压, CANH-CANL, 待机模式	STB = V _{IO} , RL = 开路, 请参阅图 9-1 和图 9-2	-200		200	mV
V _{SYM_DC}	输出对称性 (V _{ISOIN} - V _{O(CANH)} - V _{O(CANL)})	R _L = 60 Ω 且 C _L = 开路, TXD = V _{IO} 或 GND1, 请参阅图 9-1 和图 9-2	-400.0		400.0	mV
I _{OS(SS_DOM)}	短路电流稳态输出电流, 显性	-15V < CANH < 40V, CANL = 开路, TXD = 0V, 请参阅图 9-8	-115.0			mA
		-15V < CANL < 40V, CANH = 开路, TXD = 0V, 请参阅图 9-8		115.0		mA
I _{OS(SS_REC)}	短路电流稳态输出电流, 隐性	-27V < VBUS < 32V, VBUS = CANH = CANL, 且 TXD = V _{IO} , 请参阅图 9-8	-5.0		5.0	mA
接收器电气特性						
V _{CM}	输入共模范围	请参阅图 9-4 和表 9-1	-12		12	V
V _{IT}	差分输入阈值电压, 正常模式	-12V ≤ V _{CM} ≤ 12V, STB = GND1, 请参阅图 9-4 和表 9-1	500.0		900.0	mV
V _{IT(STB)}	差分输入阈值电压, 待机模式	-12V ≤ V _{CM} ≤ 12V, STB= V _{IO}	400		1150	mV
V _{HYS}	差分输入阈值迟滞电压, 正常模式	-12V ≤ V _{CM} ≤ 12V, STB = GND1		100		mV
V _{DIFF(DOM)}	显性状态差分输入电压范围, 正常模式	-12V ≤ V _{CM} ≤ 12V, STB = GND1, 请参阅图 9-4 和表 9-1	0.9		9	V
V _{DIFF(DOM)}	显性状态差分输入电压范围, 待机模式	-12V ≤ V _{CM} ≤ 12V, STB = V _{IO} , 请参阅图 9-4 和表 9-1	1.15		9	V
V _{DIFF(REC)}	隐性状态差分输入电压范围, 正常模式	-12V ≤ V _{CM} ≤ 12V, STB = GND1, 请参阅图 9-4 和表 9-1	-4		0.5	V
V _{DIFF(REC)}	隐性状态差分输入电压范围, 待机模式	-12V ≤ V _{CM} ≤ 12V, STB = V _{IO} , 请参阅图 9-4 和表 9-1	-4		0.4	V
I _{OFF(LKG)}	断电时的总线输入漏电流	CANH = CANL = 5V, V _{DD} = V _{IO} = GND1			5	μA
C _I	对地输入电容 (CANH 或 CANL)	TXD = V _{IO}			20	pF
C _{ID}	差分输入电容	TXD = V _{IO}			10	pF
R _{ID}	差分输入电阻	TXD = V _{IO} ; -12V ≤ VCM ≤ +12V	40		90	k Ω
R _{IN}	输入电阻 (CANH 或 CANL)	TXD = V _{IO} ; -12V ≤ VCM ≤ +12V	20		45	k Ω
R _{IN(M)}	输入电阻匹配: (1 - R _{IN(CANH)} /R _{IN(CANL)}) × 100%	V _{CANH} = V _{CANL} = 5V	-1		1	%

6.10 电源电流特性

典型值在 $V_{DD} = 5V$ 且 $V_{IO} = 3.3V$ 条件下测得，最小值/最大值都是在建议运行条件下的值， $GND1 = GNDIO$ ， $GND2 = GISOIN$ ， $V_{DD} = 4.5V$ 至 $5.5V$ (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
已禁用电源转换器						
I_{DD}	电源转换器电源电流	EN = GND1、STB、TXD、IN 处于悬空状态		0.23	0.27	mA
I_{IO}	逻辑电源电流	EN = GND1、STB、TXD、IN 处于悬空状态		0.34	0.70	mA
电源电流：正常模式						
I_{DD}	电源转换器电源电流	TXD = GND1，总线显性， $R_L = 60\Omega$		124	211	mA
I_{DD}	电源转换器电源电流	TXD = V_{IO} ，总线隐性， $R_L = 60\Omega$		26	46	mA
I_{DD}	电源转换器电源电流	TXD = 1Mbps 50% 占空比方波， $R_L = 60\Omega$		76	123	mA
I_{DD}	电源转换器电源电流	TXD = 5Mbps 50% 占空比方波， $R_L = 60\Omega$		78	136	mA
I_{IO}	逻辑电源电流	TXD = GND1，总线显性， $V_{IO} = 1.71V$ 至 $1.89V$		4.3	5.5	mA
I_{IO}	逻辑电源电流	TXD = GND1，总线显性， $V_{IO} = 2.25V$ 至 $5.5V$		4.9	6.0	mA
I_{IO}	逻辑电源电流	TXD = V_{IO} ，总线隐性， $V_{IO} = 1.71V$ 至 $1.89V$		3.3	5.4	mA
I_{IO}	逻辑电源电流	TXD = V_{IO} ，总线隐性， $V_{IO} = 2.25V$ 至 $5.5V$		3.8	5.5	mA
I_{IO}	逻辑电源电流	TXD = 1Mbps 方波 50% 占空比， $V_{IO} = 3V$ 至 $3.6V$		4.4	5.3	mA
I_{IO}	逻辑电源电流	TXD = 5Mbps 方波 50% 占空比， $V_{IO} = 3V$ 至 $3.6V$		4.5	6.2	mA
电源电流：待机模式						
I_{DD}	电源转换器电源电流	STB = V_{IO} ， $R_L = 60\Omega$		16	23	mA
I_{IO}	逻辑电源电流	STB = V_{IO} ， $V_{IO} = 3$ 至 $3.6V$		2.7	3.5	mA

6.11 开关特性

典型规格都是在 $V_{IO} = 3.3V$ 、 $V_{DD} = 5V$ 、 $GND1 = GNDIO$ 、 $GND2 = GISOIN$ 条件下的值，最小值/最大值都是在建议运行条件下的值（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
器件开关特性						
t _{PROP(LOOP1)}	总环路延迟，驱动器输入 TXD 至接收器 RXD，隐性状态至显性状态	R _L = 60Ω，C _L = 100pF，C _{L(RXD)} = 15pF；TXD 输入上升/下降时间（10% 至 90%）= 1ns；1.71V < V _{IO} < 5.5V，请参阅 图 7-3		140	205	ns
t _{PROP(LOOP2)}	总环路延迟，驱动器输入 TXD 至接收器 RXD，显性状态至隐性状态	R _L = 60Ω，C _L = 100pF，C _{L(RXD)} = 15pF；TXD 输入上升/下降时间（10% 至 90%）= 1ns；1.71V < V _{IO} < 5.5V，请参阅 图 7-3		167	222	ns
t _{MODE}	模式更改时间，从正常到待机或从待机到正常				20	μs
t _{WK_FILTER}	有效唤醒模式的滤波时间		0.5		1.8	μs
t _{WK_TIMEOUT}	总线唤醒超时值		0.8		5	ms
CMTI	共模瞬态抗扰度	TXD = V _{IO} 或 GND1，V _{CM} = 1200V _{PK} ，请参阅 图 7-9	85	100		kV/μs
驱动器开关特性						
t _{pHR}	传播延迟时间，低电平到高电平的 TXD 边沿到驱动器隐性状态（显性状态到隐性状态）	R _L = 60 Ω 且 C _L = 100pF；TXD 输入上升/下降时间（10% 至 90%）= 1ns，请参阅 图 7-3		87	110	ns
t _{pLD}	传播延迟时间，高电平到低电平的 TXD 边沿到驱动器显性状态（隐性状态到显性状态）			78	105	
t _{sk(p)}	脉冲偏斜 (t _{pHR} - t _{pLD})			15		
t _R	差分输出信号上升时间			27		
t _F	差分输出信号下降时间			48		
V _{SYM}	驱动器对称性 (V _{O(CANH)} + V _{O(CANL)})/V _{CC}	R _{TERM} = 60 Ω，C _L = 开路，C _{SPLIT} = 4.7nF，TXD = 显性/隐性，或以 250kHz、1MHz 频率翻转，请参阅 图 7-3	0.9		1.1	V/V
t _{TXD_DTO}	显性超时	R _L = 60 Ω，C _L = 开路，请参阅图 7-7	1.2		3.8	ms
接收器开关特性						
t _{pRH}	传播延迟时间，总线从显性到隐性跳变到 RXD 高电平输出（显性状态到隐性状态）	C _{L(RXD)} = 15pF，请参阅 图 7-5		90	115	ns
t _{pDL}	传播延迟时间，总线从隐性到显性跳变到 RXD 低电平输出（隐性状态到显性状态）			80	105	ns
t _R	输出信号上升时间 (RXD)			1		ns
t _F	输出信号下降时间 (RXD)			1		ns
FD 时序参数						
t _{BIT(BUS)}	t _{BIT(TXD)} = 500ns 时 CAN 总线输出引脚上的位时间	R _L = 60Ω，C _L = 100pF，C _{L(RXD)} = 15pF；TXD 输入上升/下降时间（10% 至 90%）= 1ns，请参阅 图 7-6	435		530	ns
	t _{BIT(TXD)} = 200ns 时 CAN 总线输出引脚上的位时间	R _L = 60Ω，C _L = 100pF，C _{L(RXD)} = 15pF；TXD 输入上升/下降时间（10% 至 90%）= 1ns，请参阅 图 7-6	155		210	ns

典型规格都是在 $V_{IO} = 3.3V$ 、 $V_{DD} = 5V$ 、 $GND1 = GNDIO$ 、 $GND2 = GISOIN$ 条件下的值，最小值/最大值都是在建议运行条件下的值（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
$t_{BIT(RXD)}$	$t_{BIT(TXD)} = 500ns$ 时 RXD 总线输出引脚上的位时间	$R_L = 60\Omega$, $C_L = 100pF$, $C_{L(RXD)} = 15pF$; TXD 输入上升/下降时间 (10% 至 90%) = 1ns, 请参阅图 7-6	400		550	ns
	$t_{BIT(TXD)} = 200ns$ 时 RXD 总线输出引脚上的位时间	$R_L = 60\Omega$, $C_L = 100pF$, $C_{L(RXD)} = 15pF$; TXD 输入上升/下降时间 (10% 至 90%) = 1ns, 请参阅图 7-6	120		220	ns
Δt_{REC}	$t_{BIT(TXD)} = 500ns$ 时的接收器时序对称性	$R_L = 60\Omega$, $C_L = 100pF$, $C_{L(RXD)} = 15pF$; TXD 输入上升/下降时间 (10% 至 90%) = 1ns; $\Delta t_{REC} = t_{BIT(RXD)} - t_{BIT(BUS)}$, 请参阅图 7-6	-65		40	ns
	$t_{BIT(TXD)} = 200ns$ 时的接收器时序对称性	$R_L = 60\Omega$, $C_L = 100pF$, $C_{L(RXD)} = 15pF$; TXD 输入上升/下降时间 (10% 至 90%) = 1ns; $\Delta t_{REC} = t_{BIT(RXD)} - t_{BIT(BUS)}$, 请参阅图 7-6	-45		15	ns
GPIO 通道						
t_{PLH} 、 t_{PHL}	传播延迟时间			11	25	ns
PWD	脉宽失真 $ t_{PLH} - t_{PHL} $			3.5	10	ns
t_r	输出信号上升时间			2.2	5	ns
t_f	输出信号下降时间			2.2	5	ns

6.12 绝缘特性曲线

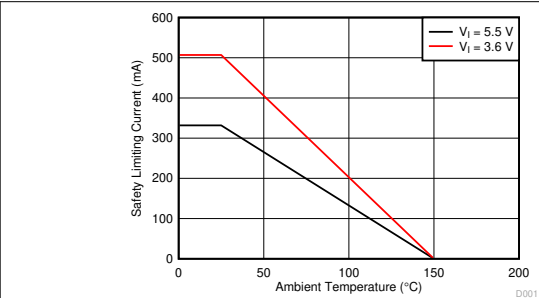


图 6-1. 根据 VDE 标准限制电流的热降额曲线

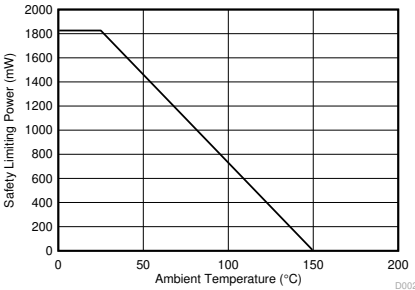


图 6-2. 根据 VDE 标准限制功率的热降额曲线

6.13 典型特性

$V_{DD} = V_{IO}$, $V_{ISOIN} = V_{ISOOUT}$, $C_{L(RXD)} = 15\text{pF}$, $R_L = 60\Omega$, $T_A = 25^\circ\text{C}$ (除非另有说明)。

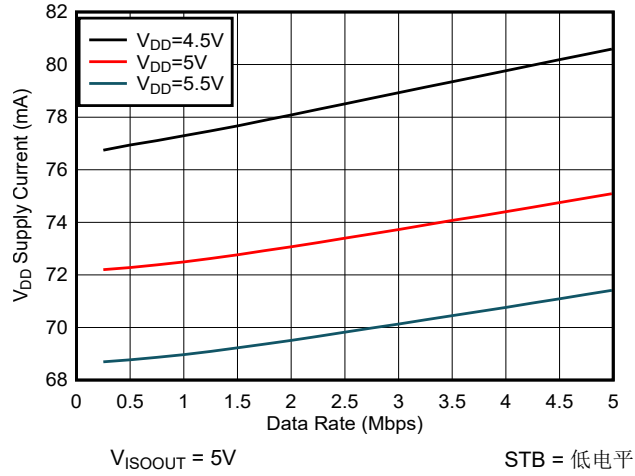


图 6-3. V_{DD} 电源电流与数据速率间的关系

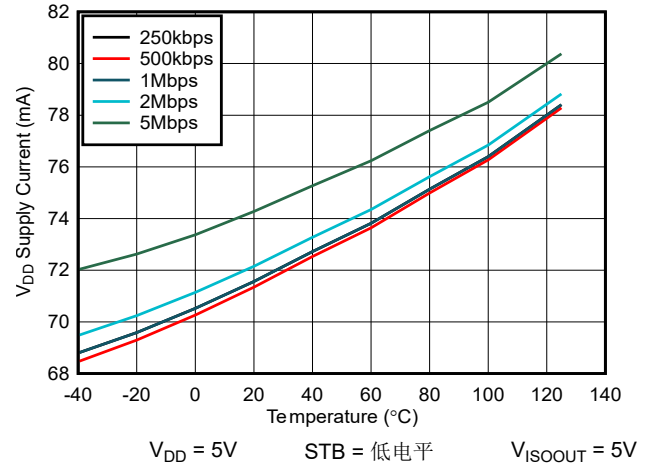


图 6-4. V_{DD} 电源电流与温度间的关系

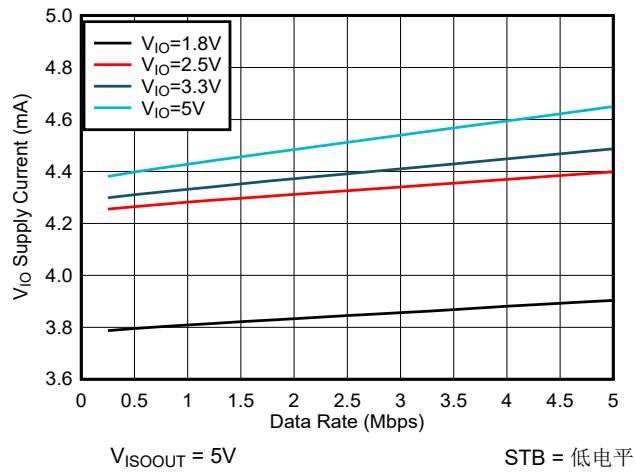


图 6-5. V_{IO} 电源电流与数据速率间的关系

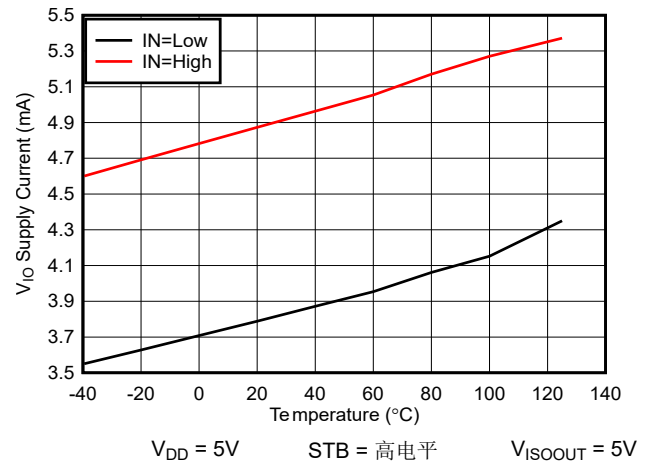


图 6-6. V_{IO} 待机电流与温度间的关系

6.13 典型特性 (续)

$V_{DD} = V_{IO}$, $V_{ISOIN} = V_{ISOOUT}$, $C_{L(RXD)} = 15\text{pF}$, $R_L = 60\Omega$, $T_A = 25^\circ\text{C}$ (除非另有说明)。

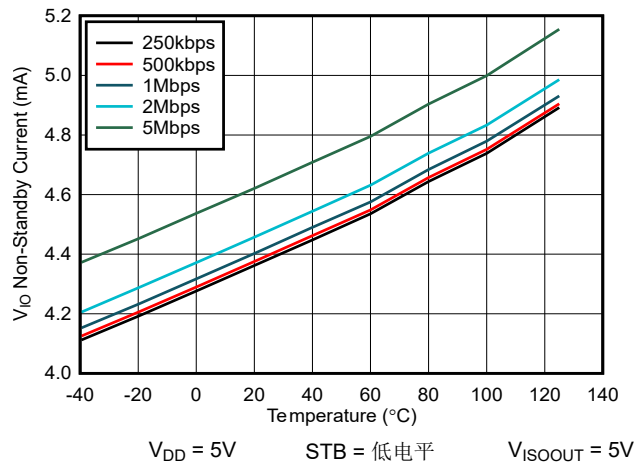


图 6-7. V_{IO} 非待机电流与温度间的关系

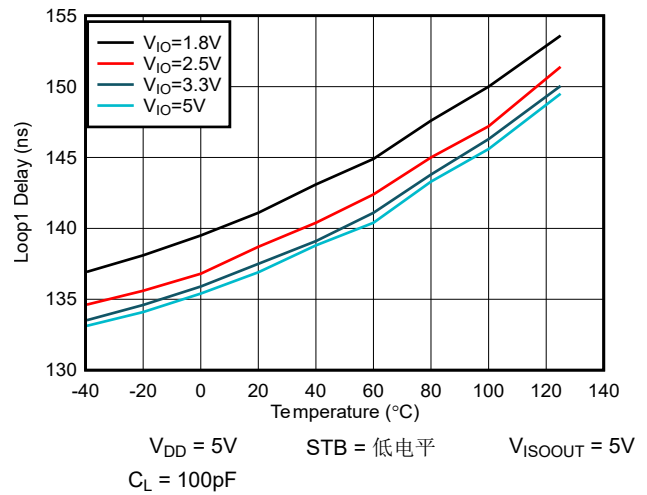


图 6-8. 环路延迟 (隐性状态至显性状态) 与温度间的关系

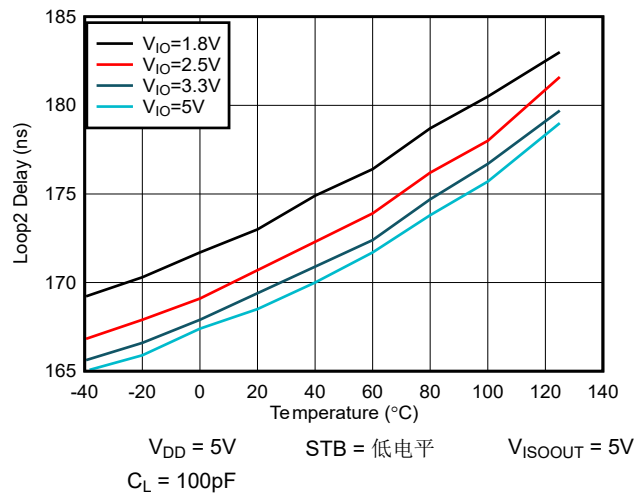


图 6-9. 环路延迟 (显性状态至隐性状态) 与温度间的关系

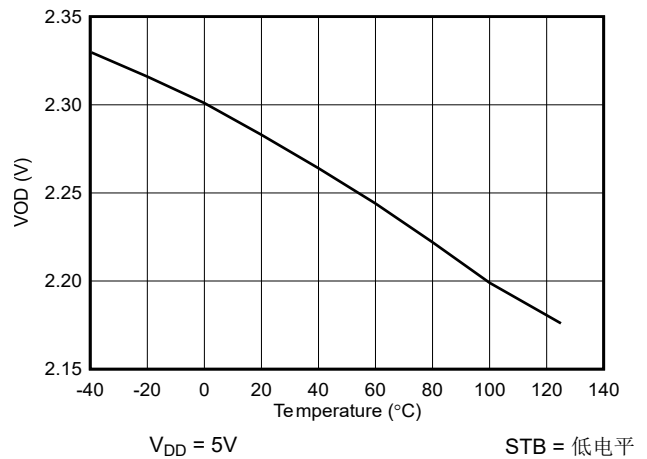
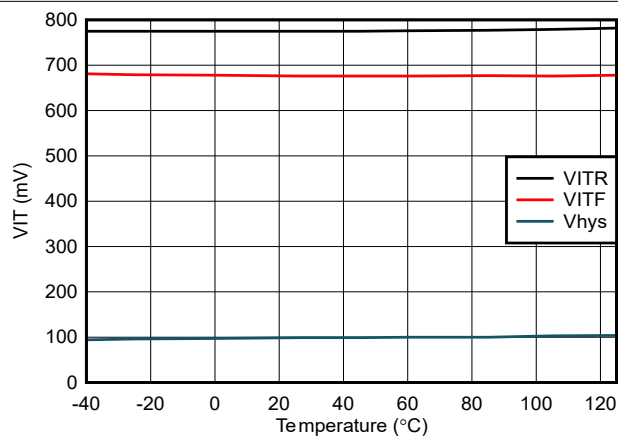


图 6-10. 显性状态差分输出电压与温度间的关系

6.13 典型特性 (续)

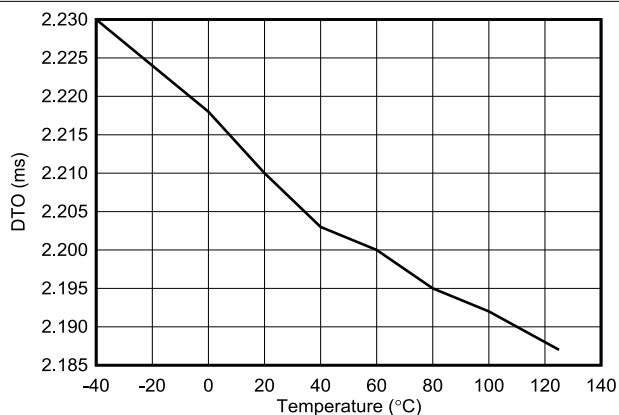
$V_{DD} = V_{IO}$, $V_{ISOIN} = V_{ISOOUT}$, $C_{L(RXD)} = 15\text{pF}$, $R_L = 60\Omega$, $T_A = 25^\circ\text{C}$ (除非另有说明)。



$V_{DD} = 5\text{V}$

STB = 低电平

图 6-11. 接收器差分阈值电压与温度间的关系



$V_{DD} = 5\text{V}$

STB = 低电平

图 6-12. 显性超时与温度间的关系

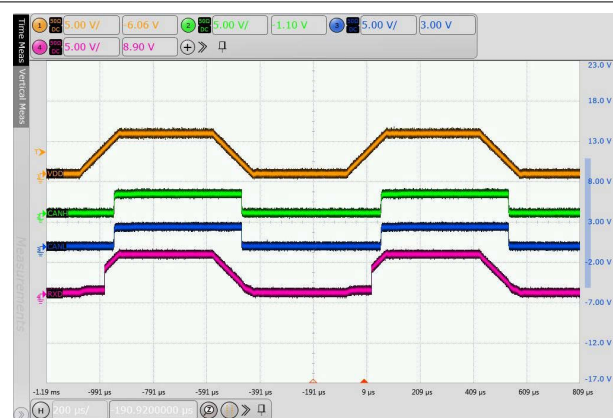


图 6-13. 可在 VDD 上实现无干扰上电

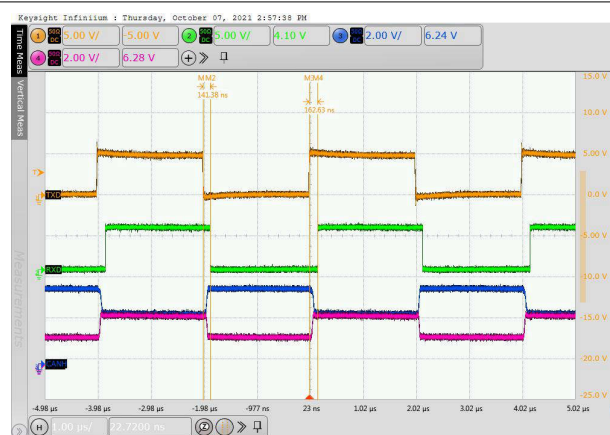


图 6-14. 500kbps 时的典型 TXD、RXD、CANH 和 CANL 波形

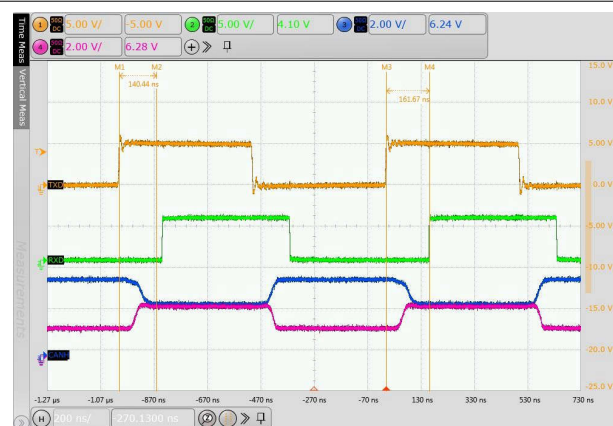


图 6-15. 2Mbps 时的典型 TXD、RXD、CANH 和 CANL 波形

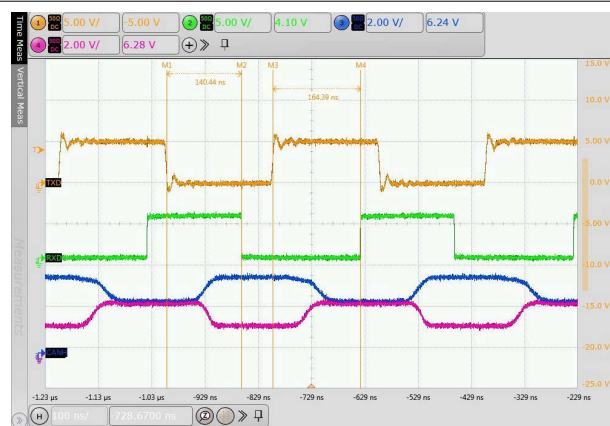


图 6-16. 5Mbps 时的典型 TXD、RXD、CANH 和 CANL 波形

7 参数测量信息

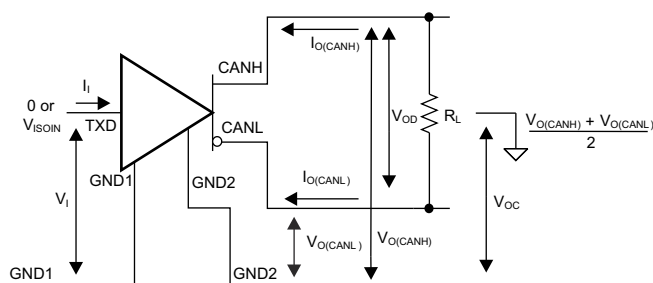


图 7-1. 驱动器电压、电流和测试定义

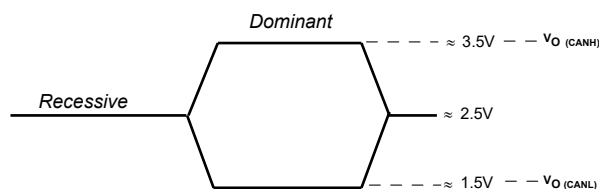
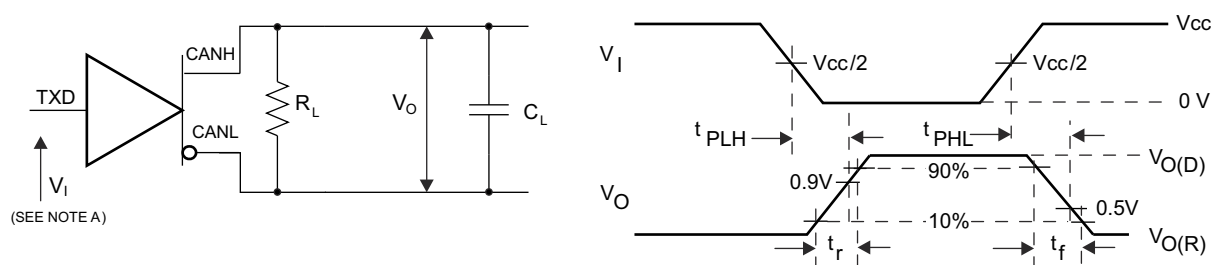


图 7-2. 总线逻辑状态电压定义



A. 输入脉冲由具有以下特性的发生器提供：PRR ≤ 125kHz，50% 占空比，tr ≤ 6ns，tf ≤ 6ns，ZO = 50 Ω。

图 7-3. 驱动器测试电路和电压波形

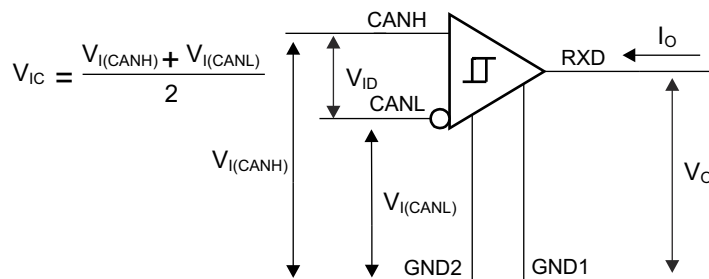
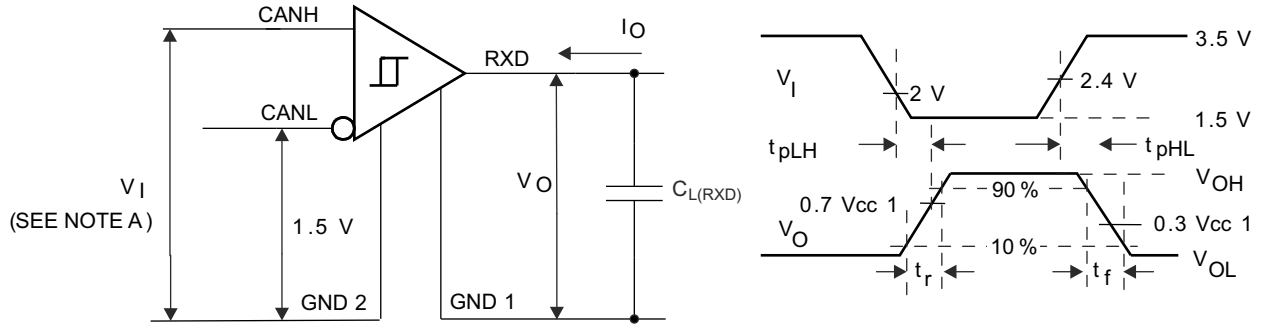


图 7-4. 接收器电压和电流定义



- A. 输入脉冲由具有以下特性的发生器提供：PRR ≤ 125kHz，50% 占空比，
t_r ≤ 6ns，t_f ≤ 6ns，Z_O = 50Ω。

图 7-5. 接收器测试电路和电压波形

表 7-1. 接收器差分输入电压阈值测试

输入			输出	
V _{CANH}	V _{CANL}	V _{ID}	RXD	
-11.5V	-12.5V	1000mV	L	V _{OL}
12.5V	11.5V	1000mV	L	
-8.55V	-9.45V	900mV	L	
9.45V	8.55V	900mV	L	
-8.75V	-9.25V	500mV	H	V _{OH}
9.25V	8.75V	500mV	H	
-11.8V	-12.2V	400mV	H	
12.2V	11.8V	400mV	H	
开路	开路	X	H	

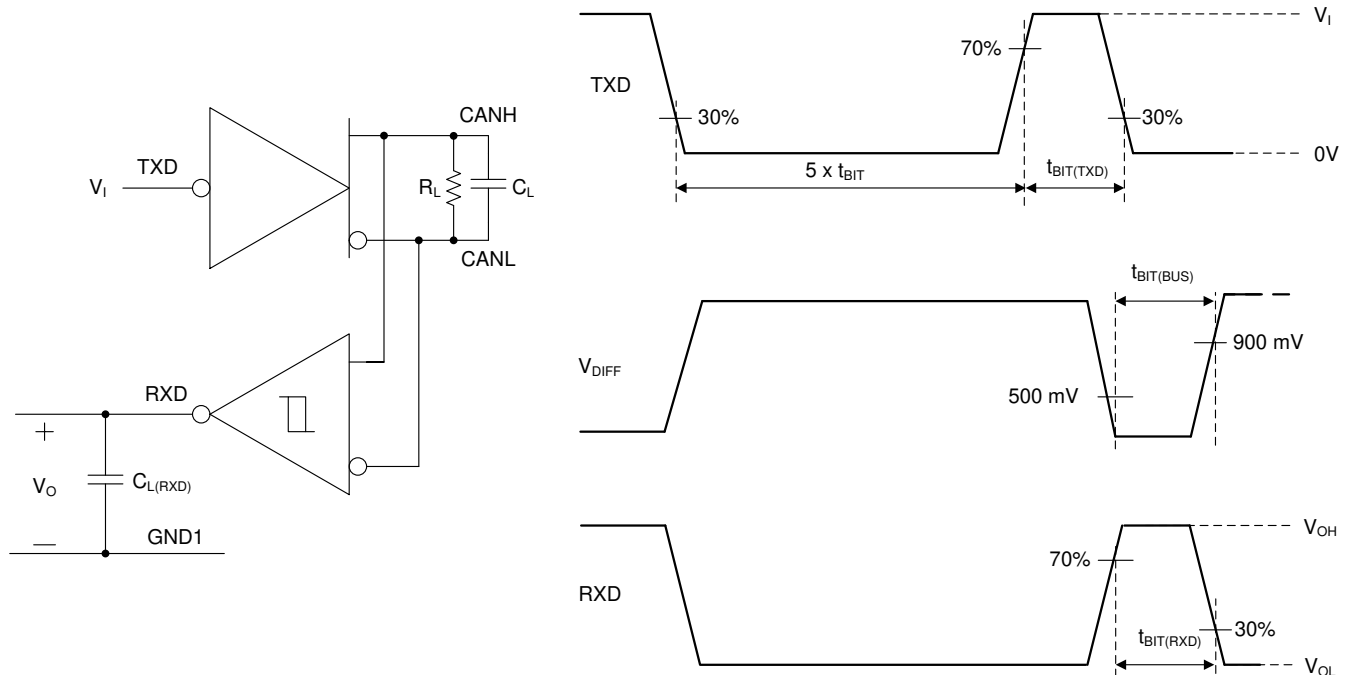
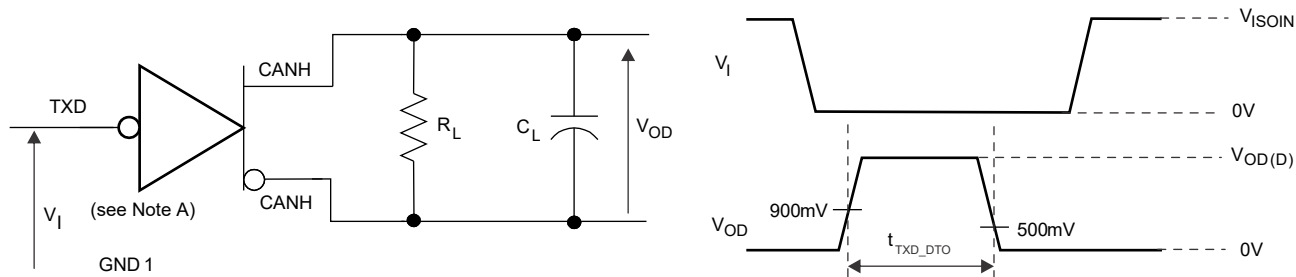


图 7-6. t_{LOOP} 和 CAN FD 时序参数测量



A. 提供输入脉冲的发生器具有以下特性： $t_r \leq 6\text{ns}$ ， $t_f \leq 6\text{ns}$ ， $Z_0 = 50\Omega$ 。

图 7-7. 显性超时测试电路和电压波形

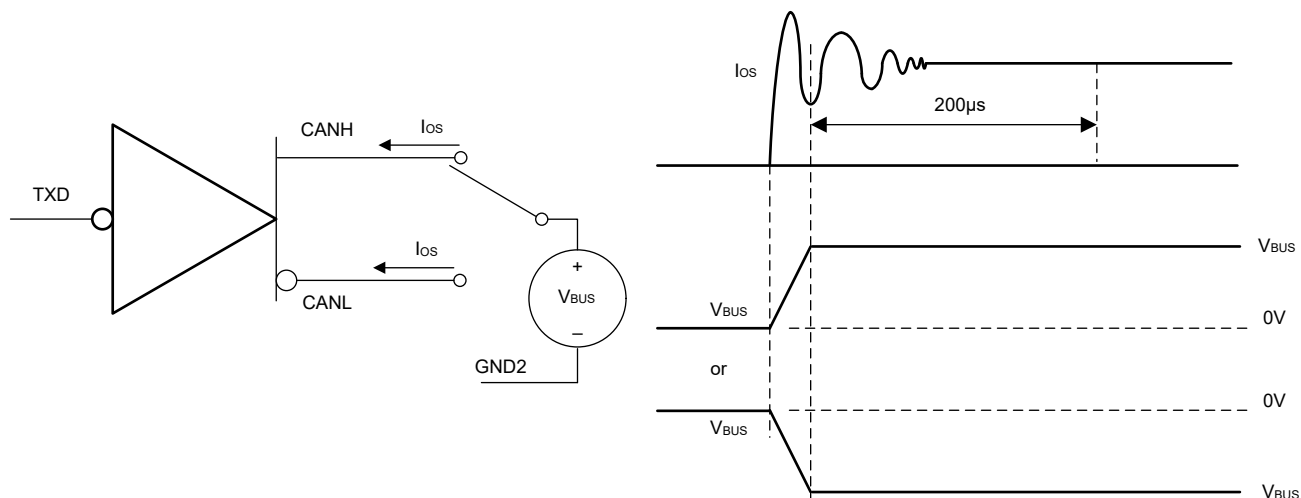


图 7-8. 驱动器短路电流测试电路和波形

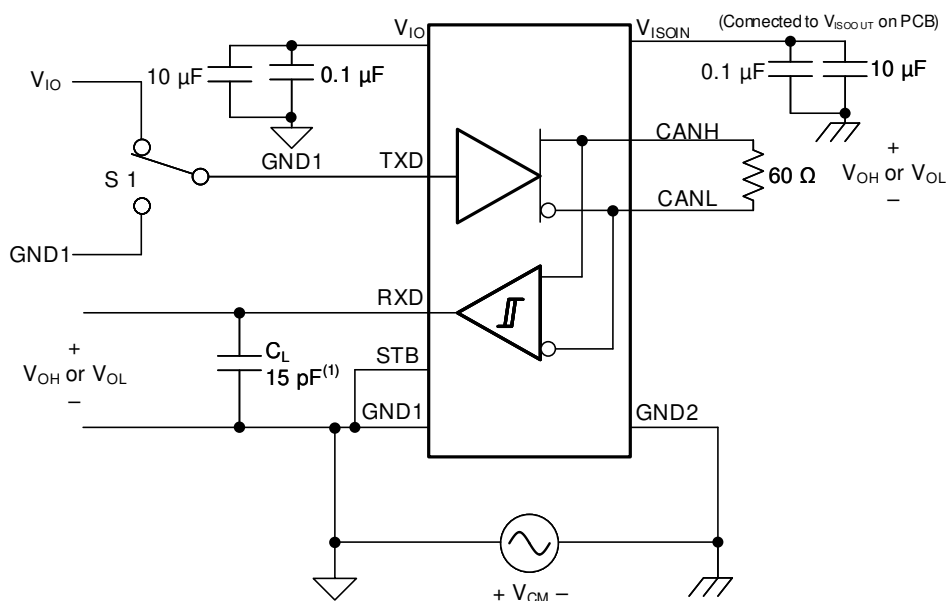
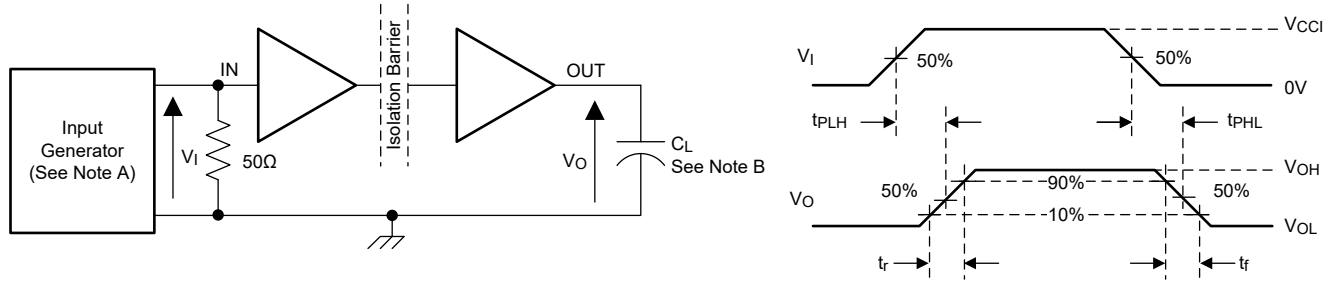


图 7-9. 共模瞬态抗扰度测试电路



- A. V_{CCI} 和 V_{CCO} 分别指电源 V_{IO} 和 V_{ISOIN} 。 $C_L = 15\text{pF}$ ，输入脉冲由具有以下特性的发生器提供： $\text{PRR} \leq 50\text{kHz}$ ，50% 占空比， $t_r \leq 3\text{ns}$ ， $t_f \leq 3\text{ns}$ ， $Z_O = 50\Omega$ 。输入端需要 50Ω 电阻器来端接输入发生器信号。实际应用中无需该电阻。
- B. $C_L = 15\text{pF}$ 并包含 $\pm 20\%$ 范围内的仪表和设备电容。

图 7-10. 开关特性测试电路和电压波形

8 详细说明

8.1 概述

ISOW1044 将信号隔离通道、带集成变压器的电源隔离和 CAN 收发器全部集成在单个封装中。ISOW1044 支持高达 1Mbps (CAN) 和 5Mbps (CAN FD) 的信令速率。功能方框图显示了 ISOW1044 的功能方框图。

8.2 电源隔离

集成隔离式直流/直流转换器采用先进的电路和片上布局技术，可减少辐射发射，实现高达 47% 的典型效率。集成式变压器采用薄膜聚合物作为绝缘栅。如果不需要总线通信，可以使用 EN 引脚关闭直流/直流转换器以节省功耗。输出电压 V_{ISOOUT} 会被监控，而反馈信息会通过专用的隔离式通道传输至初级侧。随即会相应地调整初级侧开关级的占空比。电源转换器的快速反馈控制环路可在负载瞬变过程中提供低过冲和下冲。 V_{IO} 、 V_{DD} 和 V_{ISOOUT} 电源集成了带磁滞功能的欠压闭锁 (UVLO) 功能，可在有噪声条件下提供稳健的失效防护系统性能。集成的软启动机制提供可控的浪涌电流，并避免上电期间输出端出现任何过冲。

8.3 信号隔离

CAN 收发器和 GPIO 的集成信号隔离通道采用开关键控 (OOK) 调制方案，以跨越基于二氧化硅的隔离栅传输数字数据。发送器通过跨隔离栅发送高频载波来表示一种状态，通过不发送信号来表示另一种状态。接收器在信号调节完成后对信号进行解调并通过缓冲器级产生输出。信号隔离通道采用了先进的电路技术，可最大限度地提高 CMTI 性能，并最大限度地减少高频载波和 IO 缓冲器开关产生的辐射。图 8-3 显示了典型信号隔离通道的功能方框图。

为了使电源转换器的任何噪声耦合远离信号路径，1 侧电源转换器 (V_{DD}) 和信号路径 (V_{IO}) 的电源保持分开。同样在 2 侧，电源转换器输出 (V_{ISOOUT}) 需要从外部连接到 PCB 上的 CAN 电源 (V_{ISOIN})。更多详细信息，请参阅布局指南部分。

8.4 CAN 收发器

ISOW1044 器件包含一个数字隔离式 CAN 收发器，提供 $\pm 58V$ 直流总线故障保护和 $\pm 12V$ 共模电压范围。该器件在 CAN FD 模式下最高支持 5Mbps 数据速率，与经典 CAN 相比可实现更快的负载传输。电源转换器由 1 侧的 5V 电源 (V_{DD}) 和 2 侧的 5V 电源 (V_{ISOOUT}) 供电。1 侧的逻辑电源 V_{IO} 可在 1.71V 至 5.5V 电压范围内运行。该 V_{IO} 宽电源范围对于在恶劣工业环境中运行的应用尤其有利，因为 1 侧的低压电源支持连接到低压微控制器以实现省电，而 2 侧的 5V 电源则可以保持总线信号的高信噪比。

ISOW1044 支持待机模式和远程总线唤醒 (WUP)。STB 引脚可由系统处理器或静态系统电压源供电。在待机模式下，CAN 驱动器和主接收器均关闭，此时无法进行双向 CAN 通信。直流/直流转换器、低功耗接收器和总线监测电路仍处于启用状态，以允许使用 CAN 总线发出 RXD 唤醒请求。在此模式下，CAN 总线引脚弱下拉至 GND。如果只需要正常工作模式，则可直接将 STB 引脚接地。

8.5 待机模式下使用唤醒模式 (WUP) 实现的远程唤醒请求

ISOW1044 支持远程唤醒请求，可让主机控制器了解总线已运行，节点须恢复正常运行。

该器件使用 ISO 11898-2:2016 标准中的多重滤波显性唤醒模式 (WUP) 来鉴定总线活动。接收到有效的 WUP 后，唤醒请求会以“下降沿加低电平周期”的形式发送给控制器，其中低电平信号对应于 ISOW1044 RXD 输出端上的“已滤波”显性信号。

WUP 依次由一段已滤波的显性脉冲、一段已滤波的隐性脉冲和另一段已滤波的显性脉冲组成。第一个已滤波的显性信号发起 WUP，然后总线监视器会等待已滤波的隐性信号；其他总线通信不会使总线监视器复位。接收到已滤波的隐性信号后，总线监视器会等待另一个已滤波的显性信号；其他总线通信不会使总线监视器复位。在接收到第二个已滤波的显性信号后，总线监视器会立即识别 WUP，并在每次从总线接收到额外的已滤波显性信号时将 RXD 输出驱动为低电平。

要将显性或隐性信号视为“已滤波”，总线必须保持该状态超过 t_{WK_FILTER} 时间。由于 t_{WK_FILTER} 的可变性，存在以下几种可能的情况。短于 $t_{WK_FILTER(MIN)}$ 的总线状态时间始终不会被检测为 WUP 的一部分，因此不会生成唤

醒请求。 $t_{WK_FILTER(MIN)}$ 和 $t_{WK_FILTER(MAX)}$ 之间的总线状态时间可能会检测为 WUP 的一部分，并且可能会生成唤醒请求。超过 $t_{WK_FILTER(MAX)}$ 的总线状态时间始终会被检测为 WUP 的一部分，因此始终会生成唤醒请求。请参阅图 8-1 以了解唤醒模式的时序图。

用于 WUP 的模式和 t_{WK_FILTER} 时间可防止噪声和总线卡在显性故障导致错误的唤醒请求，同时允许任何有效报文发起唤醒请求。

ISO 11898-2:2016 标准定义了短时间和长时间的唤醒滤波时间。该器件的 t_{WK_FILTER} 时间选在这两个滤波范围的最小值和最大值之间。选择此时序是为了使 500kbps 下的单个位时间或 1Mbps 下的两个背对背位时间触发处于任一总线状态的滤波器。任何速率为 500kbps 或更低的 CAN 帧均包含有效的 WUP。

为了实现额外的稳健性并防止误唤醒，该器件实现了唤醒超时特性。要成功发生远程唤醒事件，必须在超时值 $t \leq t_{WK_TIMEOUT}$ 范围内收到整个 WUP。否则，内部逻辑会被复位并且收发器保持在当前状态而不被唤醒。然后，必须按照本节中提到的限制条件再次发送完整模式。请参阅图 8-1 以了解具有唤醒超时特性的唤醒模式时序图。

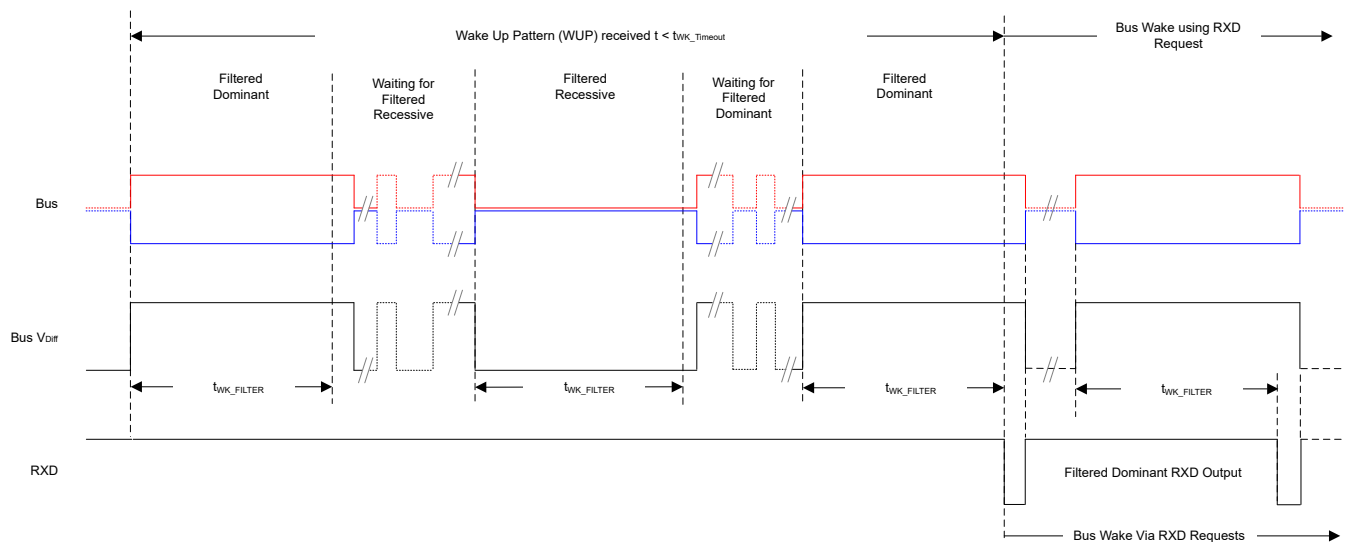


图 8-1. 具有 $t_{WK_TIMEOUT}$ 的唤醒模式 (WUP)

8.6 功能方框图

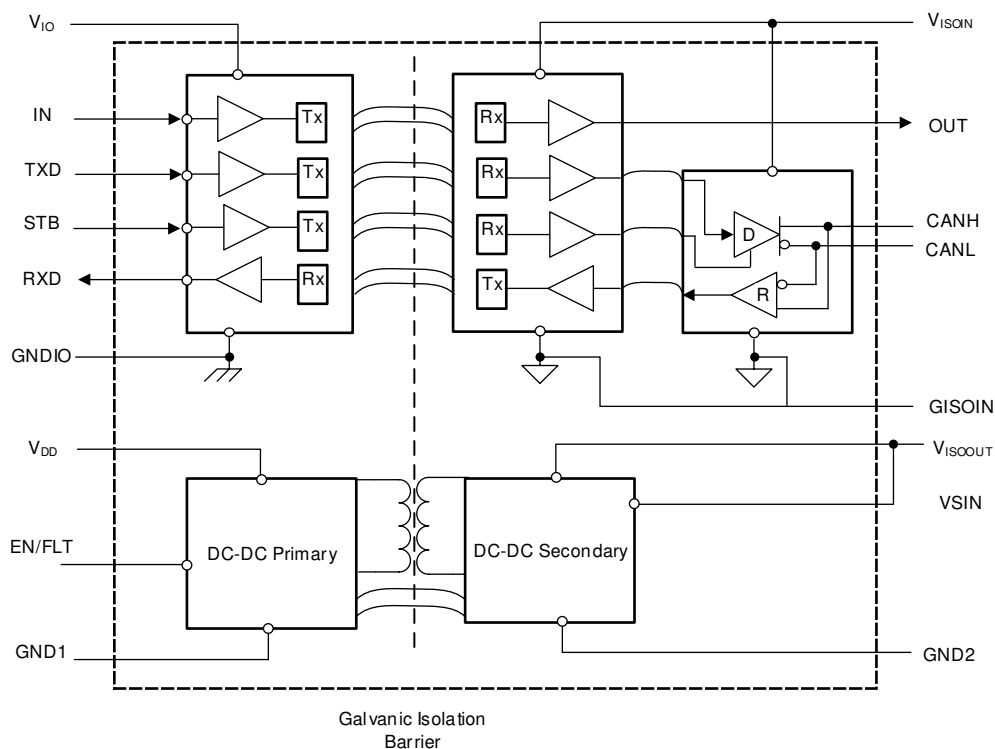


图 8-2. 方框图

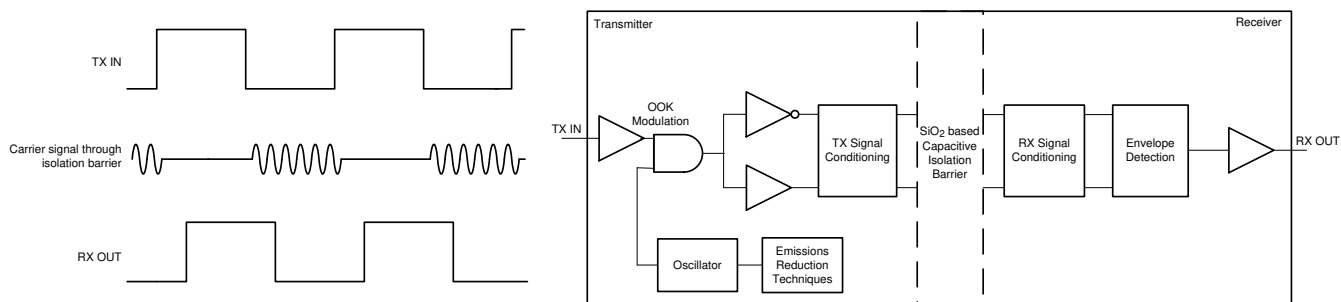


图 8-3. 信号隔离通道

8.7 特性说明

8.7.1 CAN 总线状态

CAN 总线在运行期间有两种逻辑状态：隐性和显性。以差分方式驱动总线时，总线为显性状态，对应于 TXD 和 RXD 引脚上的逻辑低电平。当总线通过接收器内部的高阻值输入电阻器 R_{IN} 偏置到 $V_{CC}/2$ 时，总线为隐性状态，对应于 TXD 和 RXD 引脚上的逻辑高电平。

在仲裁期间，显性状态会覆盖隐性状态。在仲裁期间，多个 CAN 节点可同时发送一个显性位，这种情况下，总线的差分电压大于单个驱动器的差分电压。

ISOW1044 收发器采用待机 (STB) 模式；这种模式支持第三种总线状态，在这种状态下，总线引脚使用接收器内部的高阻值电阻器弱偏置到地。

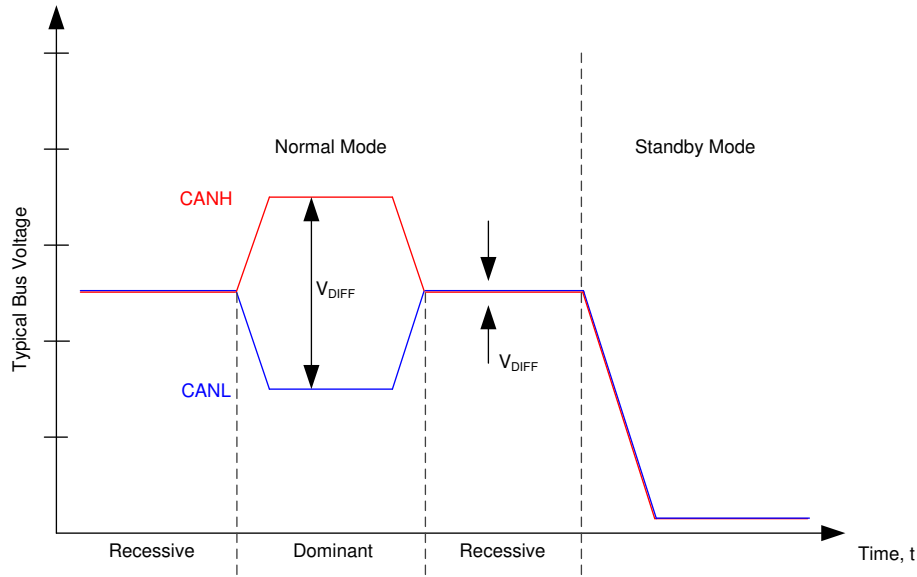


图 8-4. 总线状态 (物理位表示)

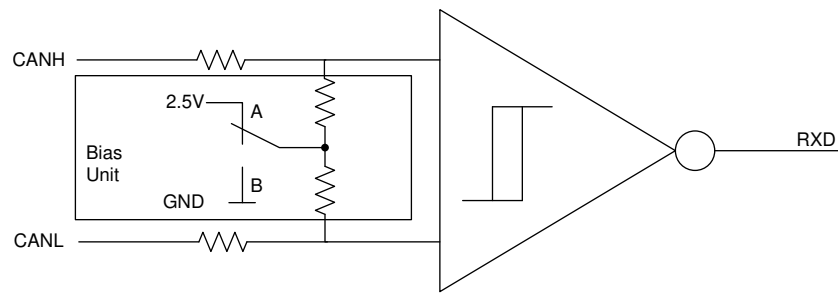


图 8-5. 简化的隐性共模偏置和接收器

A. A - 正常模式 B - 待机模式

8.7.2 数字输入与输出 : TXD (输入) 和 RXD (输出)

该器件隔离式数字输入和输出侧的 V_{IO} 电源可由 1.8V、2.5V、3.3V 和 5V 电源供电，因此数字输入和输出兼容 1.8V、2.5V、3.3V 和 5V 逻辑电平。

8.7.3 TXD 显性超时 (DTO)

TXD DTO 电路可防止收发器在发生硬件或软件故障 (TXD 引脚保持显性状态的时间超过超时周期 t_{TXD_DTO}) 时阻塞网络通信。DTO 电路计时器从 TXD 引脚的下降沿开始计时。如果在超时周期结束前没有出现上升沿，DTO 电路将禁用 CAN 总线驱动器，从而释放总线，使网络上的其他节点能够进行通信。当 TXD 引脚出现隐性信号时，CAN 驱动器再次被激活，从而清除 TXD DTO 状态。在 TXD 显性超时期间，接收器和 RXD 引脚仍能反映 CAN 总线上的活动，并且总线端子被偏置为隐性电平。

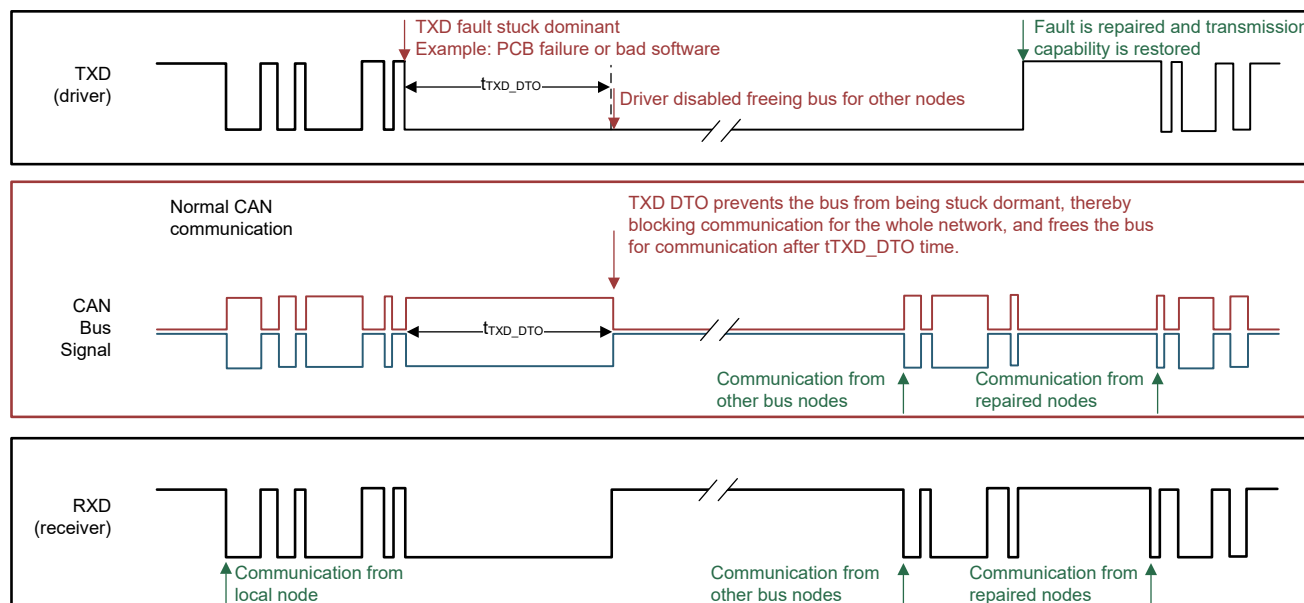


图 8-6. TXD DTO 的时序图示例

备注

TXD DTO 电路所允许的最短显性 TXD 时间 (t_{TXD_DTO}) 限制了器件的最低数据发送速率。CAN 协议允许 (TXD 上) 在最差情况下最多可有 11 个连续显性位, 其中 5 个连续显性位后面紧接一个错误帧。该条件与 t_{TXD_DTO} 最小值一同限制了最低数据速率。请用 [方程式 1](#) 计算最低数据发送速率。

$$\text{Minimum Data Rate} = \frac{11}{t_{TXD_DTO}} \quad (1)$$

8.7.4 上电和断电行为

ISOW1044 在所有电源 (V_{DD} 、 V_{IO} 和 V_{ISOOUT}) 上均有内置的欠压锁定 (UVLO) 功能, 并且具有正向和负向阈值及迟滞。需要同时具备电源转换器电源 (V_{DD}) 和逻辑电源 (V_{IO}), 器件才能正常工作。如果其中任何一个低于 UVLO, 则会同时禁用信号路径和电源转换器。

假设 V_{IO} 高于 UVLO+, 则 V_{DD} 电压在上电期间超过正向 UVLO 阈值时, 直流/直流转换器会进行初始化, 同时电源转换器占空比会以受控的方式增加。此软启动方案会限制从 V_{DD} 电源获取的初级峰值电流, 并以受控方式为 V_{ISOOUT} 输出充电, 从而避免出现过冲。在此期间, CAN 总线处于高阻抗状态。当次级侧 V_{ISOOUT} 引脚上的电压超过 UVLO 正向阈值时, 反馈通道开始向初级控制器提供反馈。调节环路会接管, CAN 会驱动输出, 接收的数据输出 (RXD) 和通用逻辑通道 (OUT) 采用器件输入定义的相应状态: 分别为待机 (STB)、要发送的驱动器数据 (TXD) 和通用逻辑输入 (IN)。设计人员必须考虑留出足够的时间裕度 (通常为 5ms 并使用 10μF 负载电容), 以便在任何可用系统功能启动之前完成此上电序列。

当 V_{DD} 或 V_{IO} 丢失时, 初级侧直流/直流转换器会在达到 UVLO 阈值下限时关断。然后, V_{ISOOUT} 电容器会根据隔离通道和总线负载进行放电。

8.7.5 保护特性

ISOW1044 器件具有多种保护功能, 形成高抗扰度的系统级设计。

- 第一个特性是使能/故障保护功能。EN/FLT 既可用作输入引脚, 以启用或禁用集成式直流/直流电源转换器; 也可用作输出引脚, 从而在电源转换器运行不正常时发出警报信号。在 /Fault (故障) 应用场景中, 如果 $V_{DD} > 7V$ 、 $V_{DD} < 2.5V$ 或结温 $> 170^{\circ}C$, 则会报告故障。当检测到故障时, 该引脚变为低电平, 从而禁用直流/直流转换器以防止造成任何损坏。

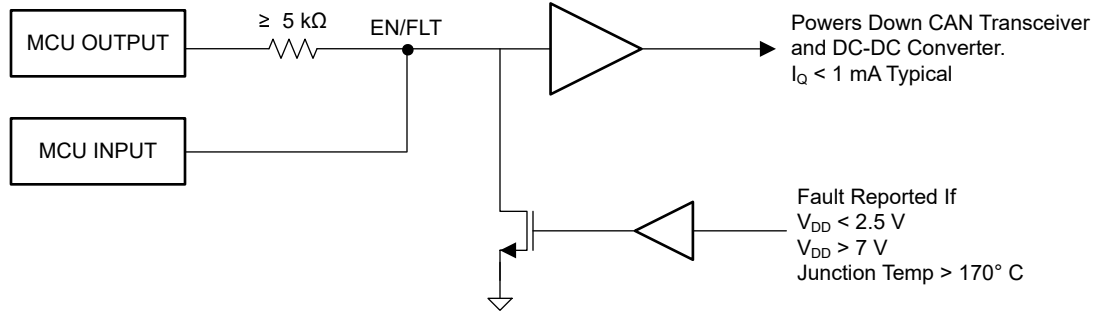


图 8-7. EN 故障引脚图

- V_{ISOOUT} 上存在过压钳位功能，如果看到电压升高，该功能会将电压钳位限制在 6V。为确保器件可靠性， V_{ISOOUT} 的值必须时刻低于过压钳位电压。
- 当 V_{DD} 上出现高于 7V 的电压时， V_{DD} 上会发生过压锁定 (OVLO)。在 OVLO 期间，器件进入低功耗状态，EN/FLT 引脚变为低电平。
- 如果电源转换器输出 V_{ISOOUT} 发生过载或短路，则电源转换器的最大占空比会受到限制。如果由于外部电源线短接至总线电缆而导致驱动器总线短路，CAN 芯片上的短路电流保护会将总线电流限制在 $\pm 115\text{mA}$ 最大值。
- 此外，还集成了热保护功能，有助于防止器件在此类情况下损坏。系统会监测芯片温度的升高，当芯片温度变为 165°C (典型值) 时禁用器件，从而切断短路状态。当结温变为 155°C (典型值) 时，将重新使能该器件。如果过载或输出短路情况依然存在，此保护周期会重复。在系统设计中应注意避免反复发生或长时间持续存在总线短路，因为这会使器件暴露于高结温下极长时间，从而影响器件可靠性。

8.7.6 悬空引脚，未上电器件

根据设计，ISOW1044 器件在未供电情况下对于 CAN 总线而言是无源器件或无负载，此时其性能最佳。总线引脚 (CANH、CANL) 在器件未供电时具有极低的漏电流，以免对总线施加负载，这在网络中的某些节点未上电而其余节点仍在运行时至关重要。

器件在关键引脚 (TXD 和 STB) 上具有内部上拉电阻，可在引脚悬空时将器件置于已知状态。虽然设计不可依赖这种内部偏置，尤其是在有噪声的环境中，但必须将其视为失效防护特性。当使用支持开漏输出的 CAN 控制器时，必须使用适当的外部上拉电阻，以确保 CAN 控制器的 TXD 输出与 CAN 收发器的输入保持足够的位时序。有关更多详细信息，请参阅表 8-3。

8.7.7 上电和断电无干扰

在新节点加入或退出网络时，CAN 网络中控制器节点和目标节点之间总线上已存在的通信不得受到干扰。当器件符合以下条件时，总线上不得出现干扰：

- 在未通电状态下热插拔至网络
- 在通电状态和隐性状态下热插拔至网络
- 当已连接到总线时，在隐性状态下上电或断电

在电源斜升速率 $\geq 50\mu\text{s}$ 时的隐性状态下，ISOW1044 器件满足上述标准，上电或断电时不会导致总线上发生任何错误的数据切换。

8.8 器件功能模式

表 8-1 列出了这些器件的电源配置：

表 8-1. 电源配置功能表

输入			输出		
V_{DD}	V_{IO}	EN/FLT	总线输出 (CANH/CANL)	RXD	$V_{ISOOUT}^{(2)}$
$< V_{DD(UVLO+)}$	$> V_{IO(UVLO+)}$	X	高阻态	隐性 (默认高电平)	OFF
$> V_{DD(UVLO+)}$	$< V_{IO(UVLO+)}$	X	高阻态	隐性 (默认高电平)	无效操作

表 8-1. 电源配置功能表 (续)

输入			输出		
V _{DD}	V _{IO}	EN/FLT	总线输出 (CANH/CANL)	RXD	V _{ISOOUT} ⁽²⁾
5V	1.71V 至 5.5V	H 或开路	各器件模式 ⁽¹⁾ 和 TXD	镜像总线	5V
5V	1.71V 至 5.5V	L	高阻态	隐性 (默认高电平)	OFF

(1) 在正常模式 (STB = L) 下, 总线输出跟随 TXD。否则, 如果处于待机模式 (STB = H 或开路), 则总线输出为高阻态。

(2) PCB 上 V_{ISOOUT} 与 V_{ISOIN} 短接。GND2 和 GISOIN 引脚短接在一起, EN/FLT = 高电平。

表 8-2 显示了驱动器的不同功能模式:

表 8-2. 驱动器功能表

输入					输出		
V _{DD} ⁽¹⁾	V _{IO}	EN/FLT	STB	输入 TXD	CANH ⁽³⁾	CANL ⁽³⁾	驱动总线状态
PU	PU	H 或开路	L	L	H	L	显性
				H 或开路	Z	Z	隐性
		L	H 或开路	X	Hi-Z	Hi-Z	弱下拉至地
			X	X	Hi-Z	Hi-Z	弱下拉至地
PD	PU	X	X	X	Hi-Z	Hi-Z	弱下拉至地
PU	PD ⁽²⁾	X	X	X	无效操作		

(1) PU = 加电, PD = 断电; H = 高电平; L = 低电平; X = 不相关; Z = 共模 (隐性) 偏置至 V_{ISOIN}/2; Hi-Z = 高阻抗状态

(2) TXD 上的强驱动输入信号可通过内部保护二极管为悬空 V_{IO} 提供微弱的电能, 导致输出不确定。

(3) V_{ISOOUT} 短接至 PCB 上的 V_{ISOIN}, GND2 和 GISOIN 引脚相互短接, EN/FLT = 高电平

在正常模式 (STB = L) 下, CAN 输出遵循数据输入 TXD 的逻辑状态。TXD 输入为逻辑低电平会使 CAN 输出变为显性状态。因此, 方程式 2 定义的差分输出电压为正。TXD 输入为逻辑高电平会使 CAN 总线变为隐性状态。因此, 方程式 2 定义的差分输出电压为负。

$$V_{OD} = V_{CANH} - V_{CANL} \quad (2)$$

在待机模式下 (STB = H or Open), 两个输出进入高阻抗 (Hi-Z) 状态。在此模式下, TXD 引脚的逻辑状态与之无关。当 STB 引脚保持开路时, 该驱动器默认处于禁用状态 (总线输出处于高阻态)。TXD 引脚具有内部上拉电阻器。

表 8-3 显示了接收器的不同功能模式:

表 8-3. 接收器功能表

输入						输出
V _{DD} ⁽¹⁾	V _{IO}	EN/FLT	STB	CAN 差分输入 V _{ID} = V _{CANH} - V _{CANL}	总线状态	RXD ⁽³⁾
PU	PU	H 或开路	L	V _{ID} > 0.9V	显性	L
				0.5V < V _{ID} < 0.9V	未定义	未定义
				V _{ID} < 0.5V	隐性	H
			H 或开路	V _{ID} > 1.15V	显性	高电平 (如果发生远程唤醒事件, 则为低电平)
				0.4V < V _{ID} < 1.15V	未定义	
				V _{ID} < 0.4V	隐性	
			X	开路 (V _{ID} = 0V)	开路	H
		L	X	X	X	Hi-Z
PD	PU	X	X	X	X	Hi-Z

表 8-3. 接收器功能表 (续)

输入						输出
$V_{DD}^{(1)}$	V_{IO}	EN/FLT	STB	CAN 差分输入 $V_{ID} = V_{CANH} - V_{CANL}$	总线状态	RXD ⁽³⁾
PU	PD ⁽²⁾	X	X	X	X	无效操作

- (1) PU = 上电; PD = 断电; H = 高电平; L = 低电平; X = 不相关; Hi-Z = 高阻抗状态
(2) TXD 上的强驱动输入信号可通过内部保护二极管为悬空 V_{IO} 提供微弱的电能, 导致输出不确定。
(3) PCB 上 V_{ISOOUT} 与 V_{ISOIN} 短接。GND2 和 GISOIN 引脚短接在一起, EN/FLT = 高电平

在正常模式下 (STB = L), 当 [方程式 3](#) 定义的差分输入电压大于正输入阈值 V_{IT+} 时, 接收器输出 RXD 变为低电平。当 [方程式 3](#) 定义的差分输入电压低于负输入阈值 V_{IT-} 时, 接收器输出 RXD 变为高电平。如果 V_{ID} 介于 V_{IT+} 和 V_{IT-} 阈值之间, 则输出是不确定的。

$$V_{ID} = V_{CANH} - V_{CANL} \quad (3)$$

在待机模式下 (STB = H 或开路), RXD 输出变为高电平; 如果发生远程唤醒事件, 则 RXD 输出变为低电平。

[表 8-4](#) 和 [表 8-5](#) 展示了其他器件特性功能状态:

表 8-4. 直流/直流转换器启用/禁用

输入			输出
V_{DD}	V_{IO}	EN/FLT	V_{ISOOUT}
PU	PU	H 或开路	5V
PU	PU	L	OFF

表 8-5. 通用逻辑输入/输出

输入				输出	说明
$V_{DD}^{(1)(2)}$	V_{IO}	EN/FLT	IN	OUT	
PU	PU	H 或开路	H	H	输出通道假定逻辑状态由 IN 控制
			L	L	
			开路	L	
		L	X	Hi-Z	默认状态
PD	PU	X	X	Hi-Z	
PU	PD	X	X	无效操作	

- (1) PU = 上电; PD = 断电; H = 逻辑高电平; L = 逻辑低电平; X = 不相关; Hi-Z = 高阻抗 (关闭) 状态
(2) PCB 上 V_{ISOOUT} 与 V_{ISOIN} 短接。GND2 和 GISOIN 引脚短接在一起, EN = 高电平

8.9 器件 I/O 原理图

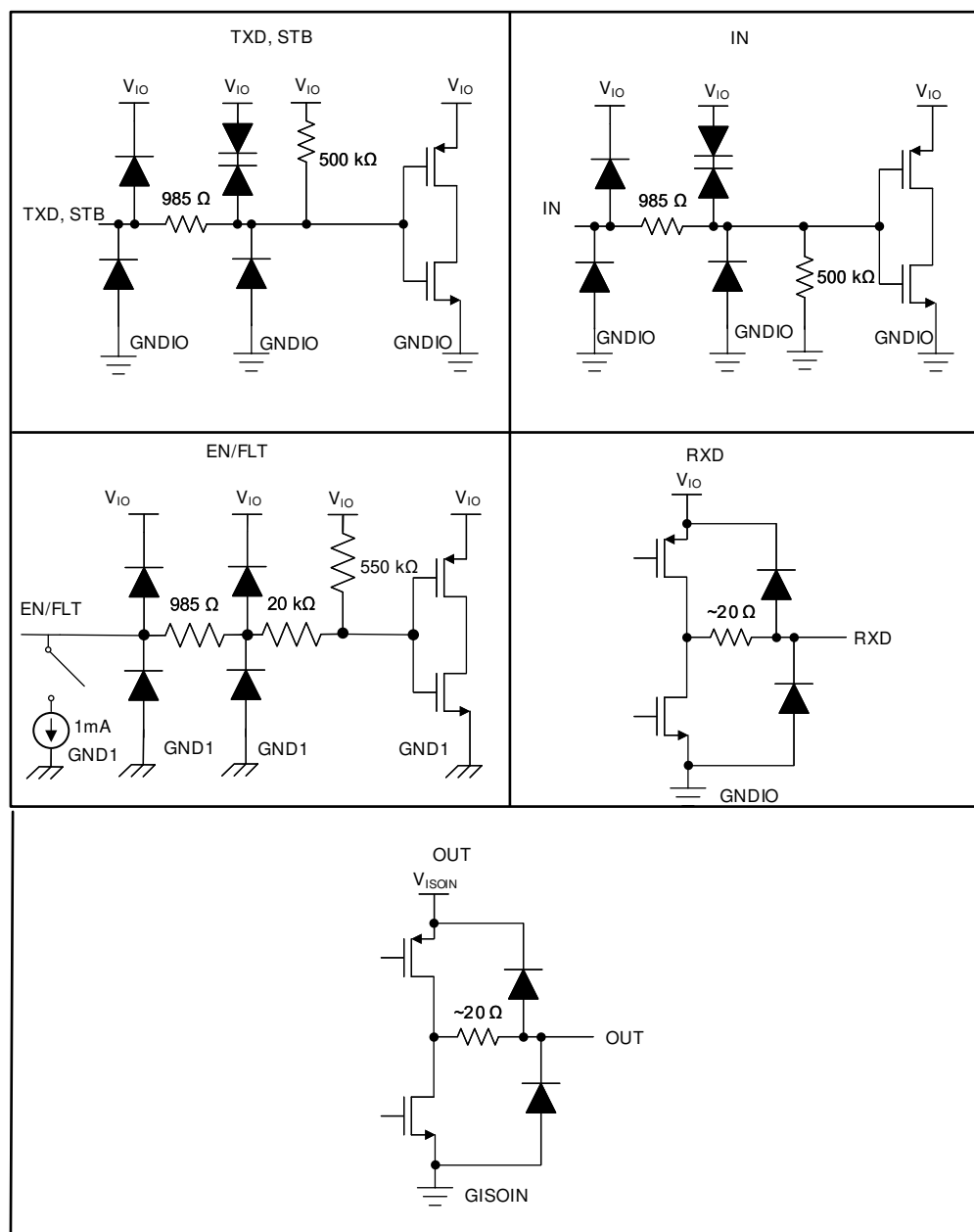


图 8-8. 器件 I/O 原理图

9 应用和实施

备注

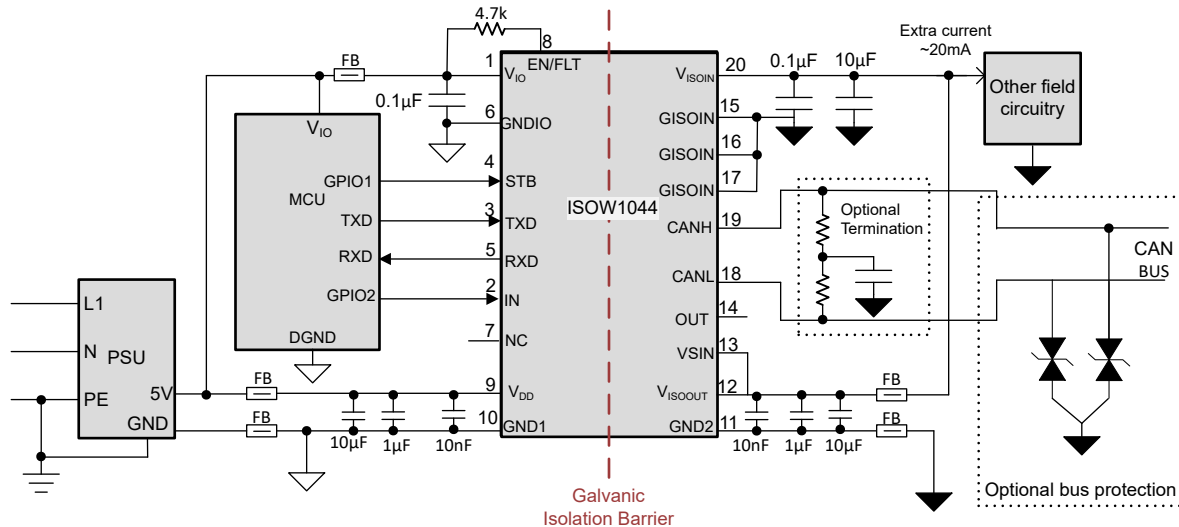
以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

9.1 应用信息

ISOW1044 器件可与德州仪器 (TI) 的其他元件 (例如微控制器、线性稳压器) 搭配用于构建完全隔离式 CAN 接口。通常需要两个相互隔离的电源来为隔离式 CAN 器件两侧供电。该器件具有集成式直流/直流转换器，因此隔离式电源会在器件内部生成，可用于为 CAN 器件的隔离侧和隔离侧的外设供电，从而节省布板空间。

9.2 典型应用

ISOW1044 器件设计用于布板空间有限且需要更多集成的应用。该器件还设计用于为满足所需隔离规范而采用体积庞大且价格昂贵的电源变压器的超高电压应用。该器件可用于具有主机微控制器或 FPGA (包括 CAN 协议的链路层部分) 的应用。图 9-1 显示了 5V 控制器应用的典型应用配置。图中显示了总线终端以方便说明。ISOW1044 器件在总线侧无需外部元件，即可独立满足 IEC 61000-4-2 标准 8kV 接触式 ESD (静电放电) 要求。如果应用需要使用共模扼流圈 (CMC)，则须同时使用瞬态电压抑制器 (TVS) 才能实现 8kV IEC ESD。



Notes:

1. Keep 10 nF bypass capacitors close to V_{DD} and V_{ISOOUT} pins (< 1 mm) for optimum Radiated emissions performance
2. GND1 and GNDIO need be shorted directly. GND2 and GISOIN need be shorted directly, or through ferrite beads.
3. All GISOIN pins (pin 15, 16, 17) need be shorted on PCB for optimum IEC-ESD performance.
4. V_{SIN} and V_{ISOOUT} must be shorted on PCB.

图 9-1. ISOW1044 的应用电路

9.2.1 设计要求

不同于需要多个外部元件来提高性能、提供偏置或限制电流的光耦合器设计，ISOW1044 器件只需外部旁路电容器即可工作，如应用图所示。

流过器件 V_{DD} 和 V_{ISOOUT} 电源的电流很大，因此通常去耦电容器越大，器件的噪声和纹波性能就越出色。尽管 10µF 的电容器就足够了，但强烈建议在 V_{DD} 和 V_{ISOOUT} 引脚与相应接地端之间使用更大的去耦电容器 (例如 47µF)，以实现更佳性能。

9.2.2 详细设计过程

9.2.2.1 总线负载能力、长度和节点数

ISO 11898-2 标准规定最大总线长度为 40 米，最大桩线长度为 0.3 米。但是，如果设计得当，用户可以获得更长的总线电缆长度、桩线长度和更多的节点。如果节点数量较多，则需要具有高输入阻抗的收发器，例如 ISOW1044 收发器。

许多 CAN 组织和标准已将 CAN 的使用范围扩展至原始 ISO 11898-2 标准之外的应用。这些组织和标准在系统层面对总线的速率、电缆长度和寄生负载方面进行了权衡。这些规范的一些示例包括 ARINC825、CANopen、DeviceNet 和 NMEA2000。

ISOW1044 器件经过规格设定，可在 50Ω 负载下满足 1.5V 的要求，这其中考虑了包括并联收发器在内的最坏情况。器件的差分输入阻抗至少为 $30k\Omega$ 。如果总线上并联了 100 个 ISOW1044 收发器，则此要求等效于最坏情况下的 300Ω 差分负载。 300Ω 的收发器负载与 60Ω 并联后相当于 50Ω 负载。因此，ISOW1044 器件理论上在单个总线段上支持多达 100 个收发器。但在 CAN 网络设计中，考虑到系统和电缆中的信号损失、寄生负载、网络失衡、接地偏移和信号完整性等问题，必须留有一定的裕度，因此实际的最大节点数通常会减少很多。此外，通过对系统设计和数据速率加以谨慎权衡，还可以使总线长度超过原始 ISO 11898 标准规定的 40 米。例如，CANopen 网络设计指南允许通过更改端接电阻和布线、减少节点数（少于 64 个）并显著降低数据速率，将网络扩展至 1km。

这种 CAN 网络设计灵活性是基于原始 ISO 11898-2 CAN 标准的各种扩展和附加标准的关键优势之一。利用这种灵活性需要良好的网络设计并平衡这些权衡因素。

9.2.2.2 CAN 端接

ISO11898 标准指定采用具有 120Ω 特性阻抗 (Z_0) 的单根双绞线电缆（屏蔽或非屏蔽）进行互连。电缆两端必须用阻值等于线路特性阻抗的电阻进行端接以避免信号反射。连接节点与总线的无端接分支线（桩线）必须尽可能短，以便更最大限度地减少信号反射。端接可在节点中进行，但如果从总线上移除节点，则必须谨慎进行端接，以免将其从总线上移除。

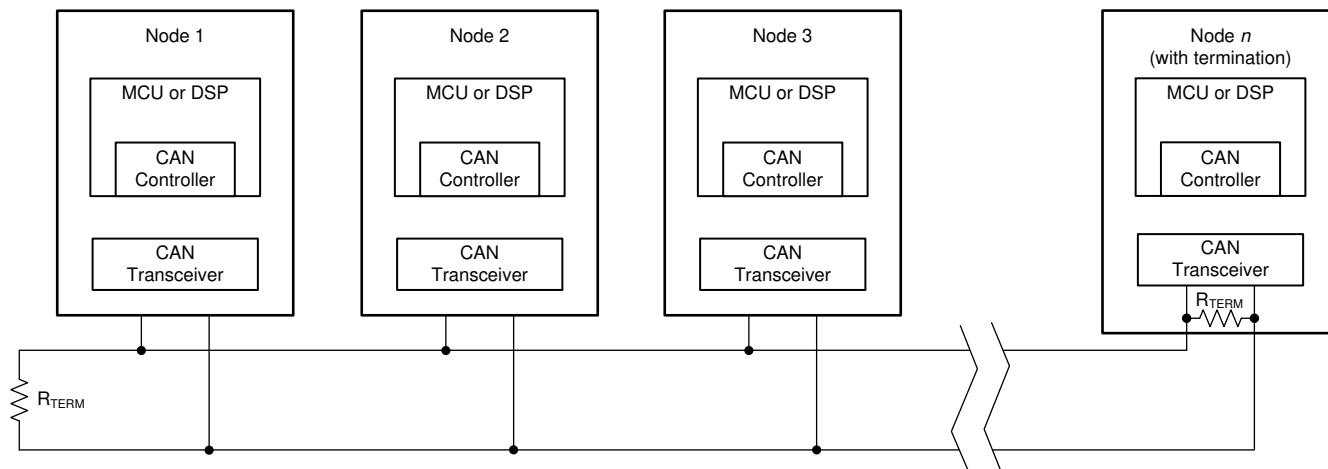


图 9-2. 典型 CAN 总线

总线末端可以采用单个 120Ω 电阻器进行端接，放在电缆上或端接节点中。如果总线的共模电压需要进行滤波和稳压，则可以采用如下端接概念中的分裂端接方式。分裂端接可消除开始和结束消息传输时出现的总线共模电压波动，从而改善网络的电磁辐射行为。

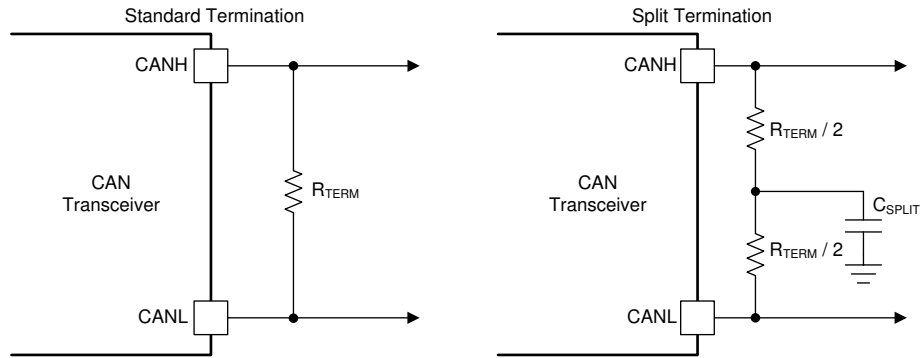
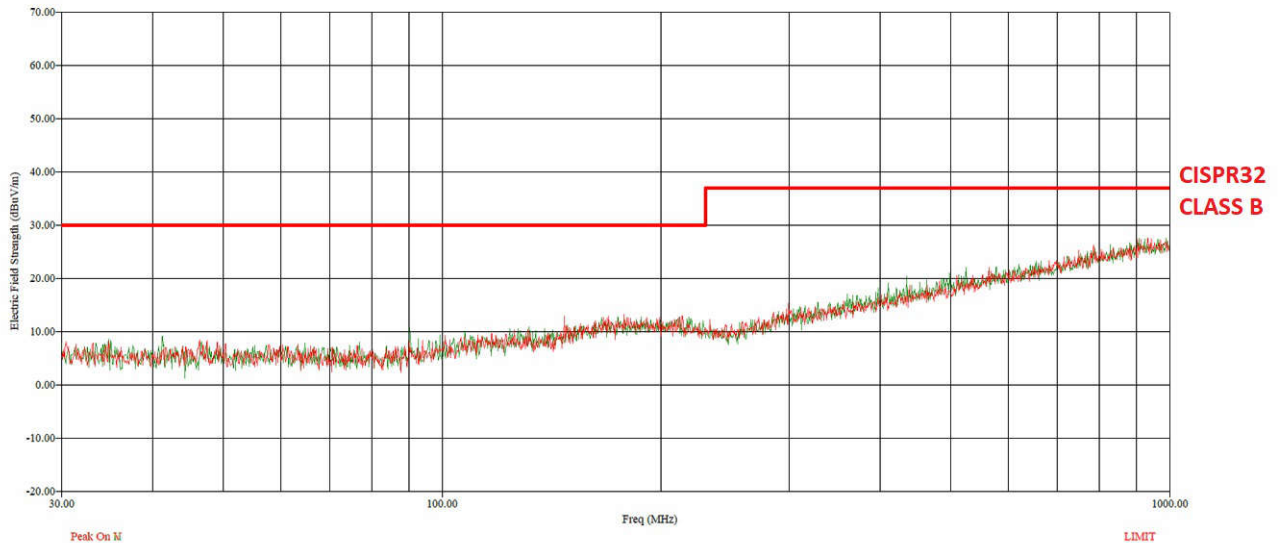


图 9-3. CAN 总线端接概念

9.2.3 应用曲线



红色：垂直方向峰值扫描。绿色：水平方向峰值扫描

$V_{DD} = 5V$

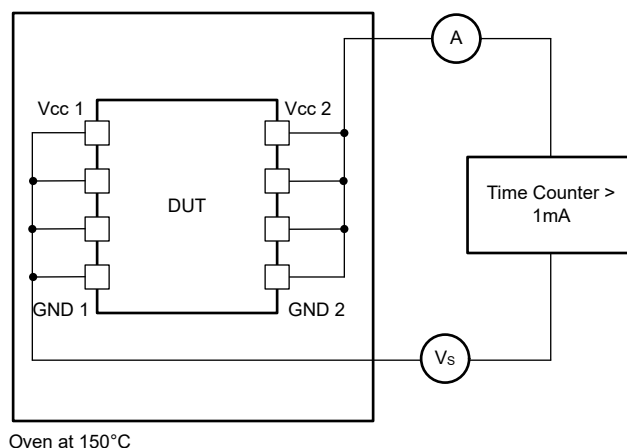
$V_{ISOOUT} = 5V$

数据速率 = 1Mbps

图 9-4. ISOW1044 辐射发射与 CISPR32B 线

9.2.3.1 绝缘寿命

绝缘寿命预测数据是使用业界通用的时间依赖性电介质击穿 (TDDB) 测试方法收集的。在该测试中，隔离栅两侧的所有引脚都连在一起，构成了一个双端子器件并在两侧之间施加高电压；对于 TDDB 测试设置，请参阅图 9-5。绝缘击穿数据是在开关频率为 60Hz 以及各种高电压条件下在整个温度范围内收集的。对于增强型绝缘，VDE 标准要求使用故障率小于 1 ppm 的 TDDB 预测线。尽管额定工作隔离电压条件下的预期最短绝缘寿命为 20 年，但是 VDE 增强认证要求工作电压具有额外 20% 的安全裕度，寿命具有额外 50% 的安全裕度，也就是说在工作电压高于额定值 20% 的条件下，所需的最短绝缘寿命为 30 年。图 9-6 展示了隔离栅在其整个寿命期间承受高压应力的固有能力。根据 TDDB 数据，固有绝缘能力为 $1,000V_{RMS}$ ，寿命大于 100 年。



Oven at 150°C

图 9-5. 绝缘寿命测量的测试设置

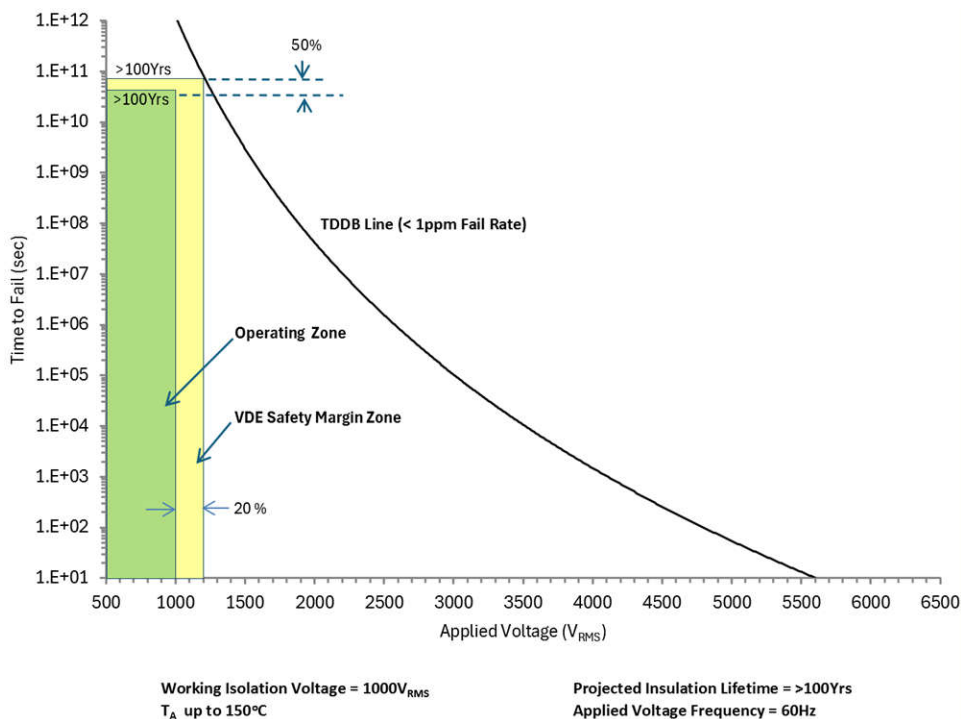


图 9-6. 绝缘寿命预测数据

9.3 电源相关建议

为确保在各种数据速率和电源电压条件下可靠运行，必须尽可能靠近电源引脚放置足够的去耦电容器。电源转换器输入 V_{DD} 和输出 V_{ISOOUT} 电源引脚必须就近放置 10nF 高频陶瓷电容器和至少 10 μ F 的大容量电容器。信号路径电源引脚 V_{IO} 和 V_{ISOIN} 旁必须放置 100nF 或更大容值的陶瓷旁路电容器，并尽可能靠近器件引脚。满载条件下，ISOW10144 可在短时间（数十微秒）内从为 ISOW1044 的 V_{DD} 供电的电源消耗高达 250mA 的典型峰值脉冲电流。请确保上游电源器件的电流限值至少为 300mA（典型值）。

9.4 布局

9.4.1 布局指南

图 11-1 显示了器件旁路电容器的推荐布置和布线。为实现低辐射设计，必须遵循以下指南：

1. 10nF 高频旁路电容器必须靠近 V_{DD} 和 V_{ISOOUT} 引脚放置，与器件引脚的距离不超过 1mm。这对于优化辐射发射性能至关重要。验证这些电容器尺寸为 0402，以使电容器产生最少的电感 (ESL)。
2. 在 10nF 电容器之后，须在电源转换器输入 (V_{DD}) 和输出 (V_{ISOOUT}) 电源引脚上放置至少 10 μF 的大容量电容器，距离为 2mm-4mm，如布局示例所示。
3. V_{DD} 和 GND1 上的布线必须对称，一直到连接旁路电容器。同样， V_{ISOOUT} 和 GND2 上的布线须保持对称。
4. 将两个 0402 型铁氧体磁珠 (器件型号: BLM15EX331SN1) 放在电源引脚上，一个在 V_{ISOOUT} 和 V_{ISOIN} 之间，另一个在 GND2 (引脚 11) 和 GND2 (引脚 15) 之间，如示例 PCB 布局所示。因此，来自电源转换器输出的任何高频噪声在噪声进入 PCB 上的其他元件之前都会看到高阻抗。
5. 在电源转换器输出端子 V_{ISOOUT} (引脚 12) 和 GND2 (引脚 11) 的 4mm 范围内，不得有任何金属布线或接地覆铜。
6. 将 CAN 总线保护和滤波电路放置于靠近总线连接器的位置，以防瞬变脉冲群、ESD 和噪声传送至电路板。以下布局示例显示了一个可选瞬态电压抑制 (TVS) 二极管 D1；如果系统级要求超过收发器的额定值，则可以采用该二极管。该示例还显示了两个可选的 68pF 总线滤波电容器。
7. 总线端子 (CANH/CANL) 上的共模扼流圈或铁氧体磁珠可以大幅减少任何高频噪声，这些噪声可能会耦合到 CAN 总线电缆上，而电缆可用作天线并放大该噪声。这有助于改善系统级的辐射发射性能。
8. 对于低辐射发射设计，强烈建议尽可能遵循 EVM 的布局指南。EVM 链接可在[相关文档](#)中找到。

9.4.2 布局示例

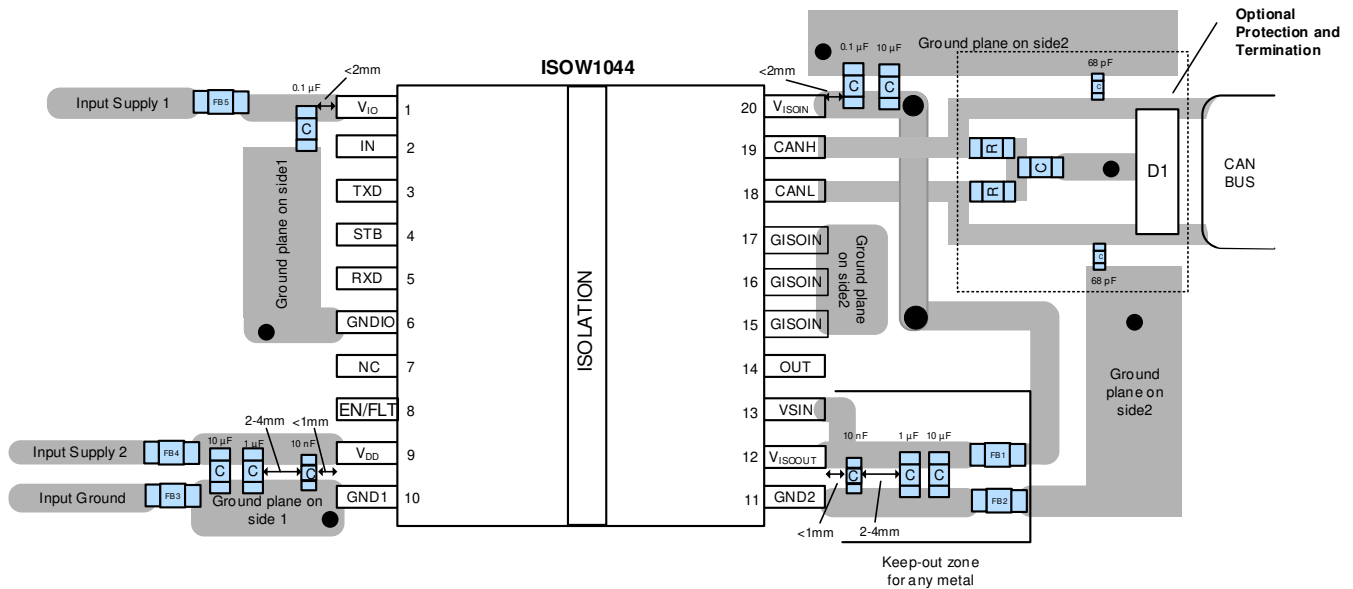


图 9-7. 布局示例

10 器件和文档支持

10.1 文档支持

10.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，[数字隔离器设计指南](#)
- 德州仪器 (TI)，[隔离相关术语](#)
- ISOW1044DFM 评估板

10.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com.cn 上的器件产品文件夹。点击右上角的 [提醒我](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的[使用条款](#)。

10.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

10.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

11 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision A (December 2021) to Revision B (August 2026)	Page
• 通篇更新了 VDE 认证信息.....	1
• 根据 DIN EN IEC 60747-17 (VDE 0884-17) 更新了 绝缘规格 部分.....	8
• 更新了 安全相关认证 部分，删除了相关证书中的内容.....	9
• 在整个文档中将传统术语更改为“控制器”和“目标”.....	27
• 更新了 绝缘寿命 部分和 绝缘寿命预测数据 图.....	33

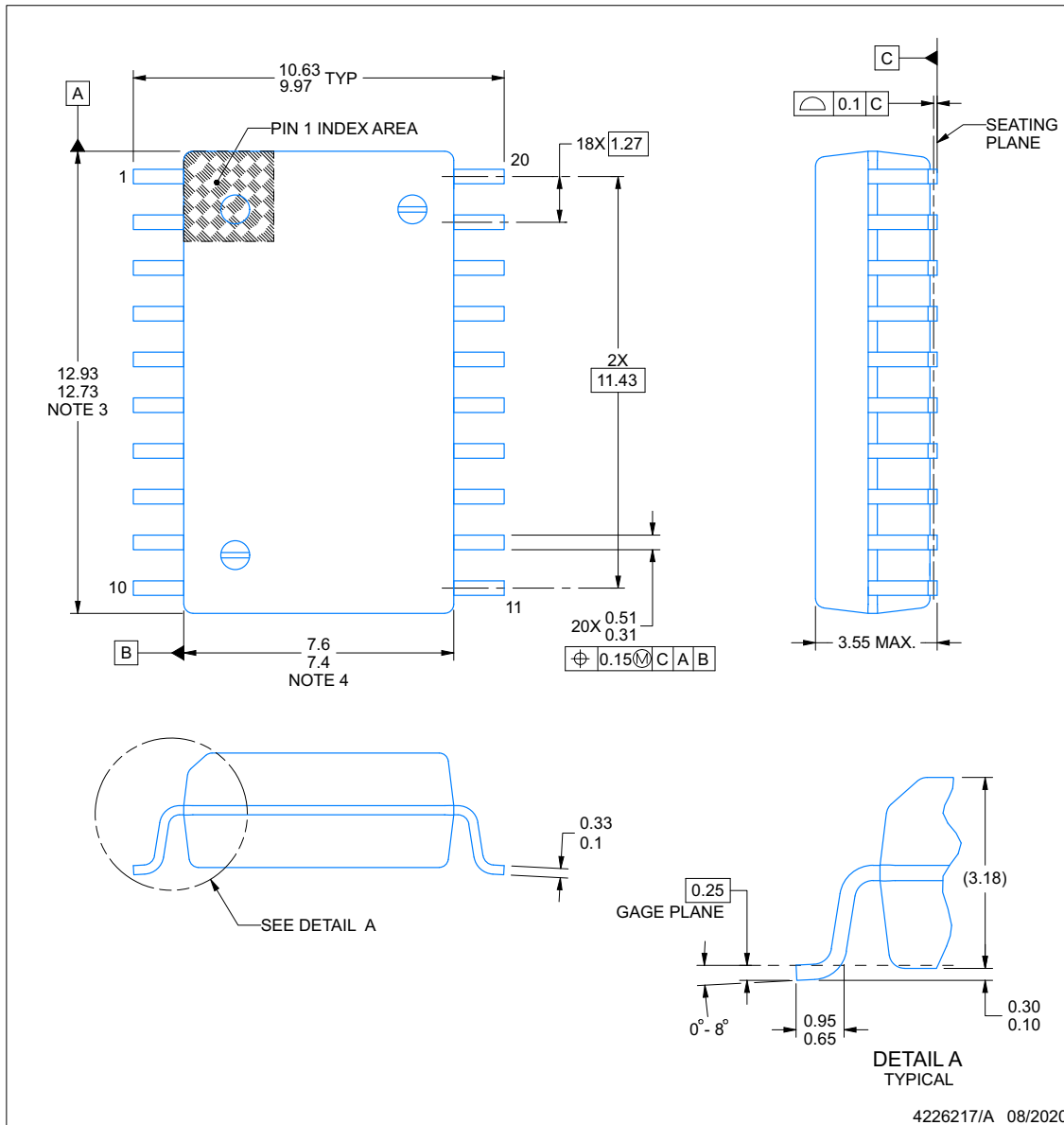
Changes from Revision * (March 2021) to Revision A (December 2021)	Page
• 将器件状态更新为“量产状态”.....	2

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGE OUTLINE**DFM0020A-C01****SOIC - 3.55 mm max height**

SMALL OUTLINE PACKAGE

**NOTES:**

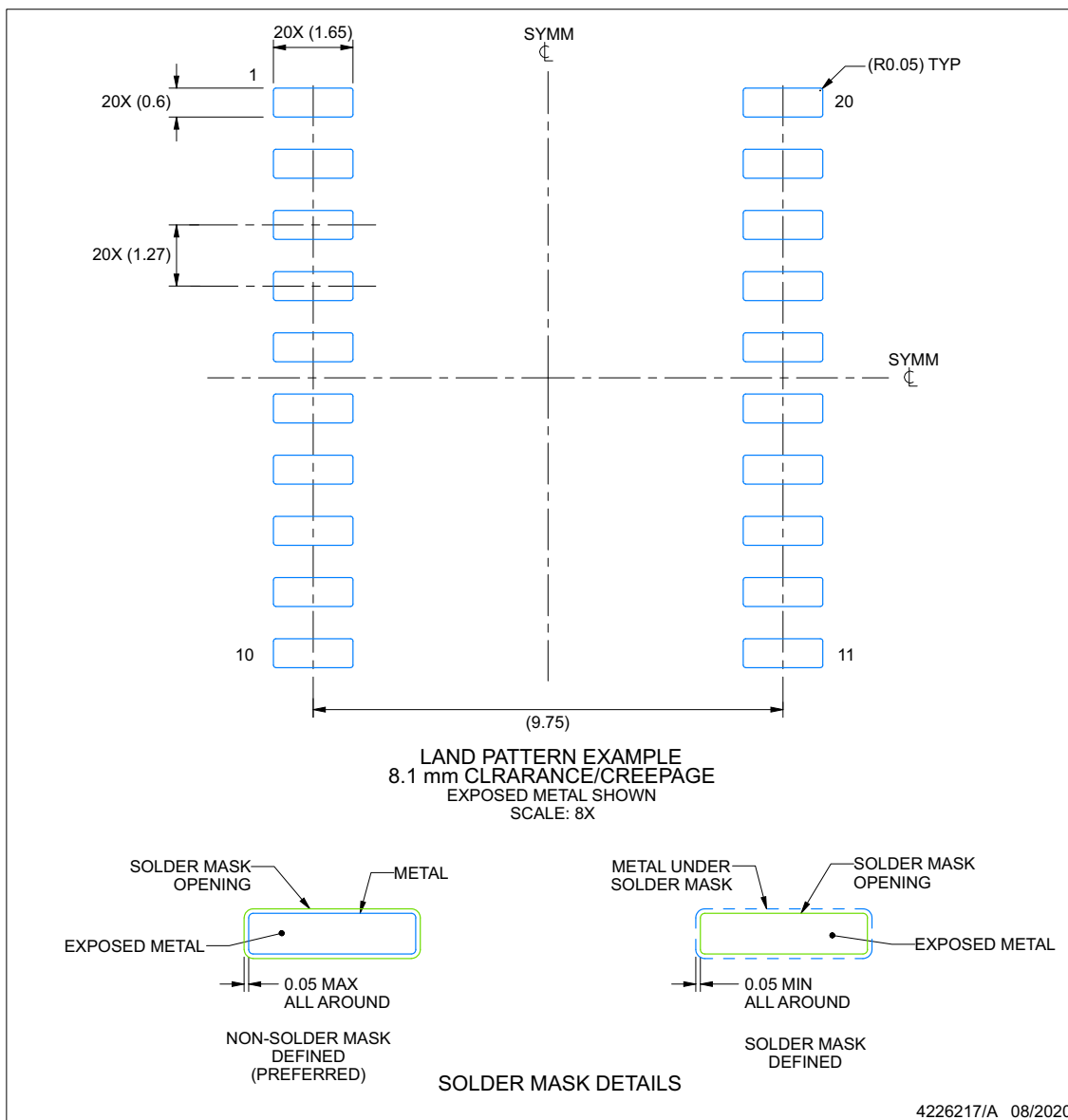
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Ref. JEDEC registration MS-013

EXAMPLE BOARD LAYOUT

DFM0020A-C01

SOIC - 3.55 mm max height

SMALL OUTLINE PACKAGE

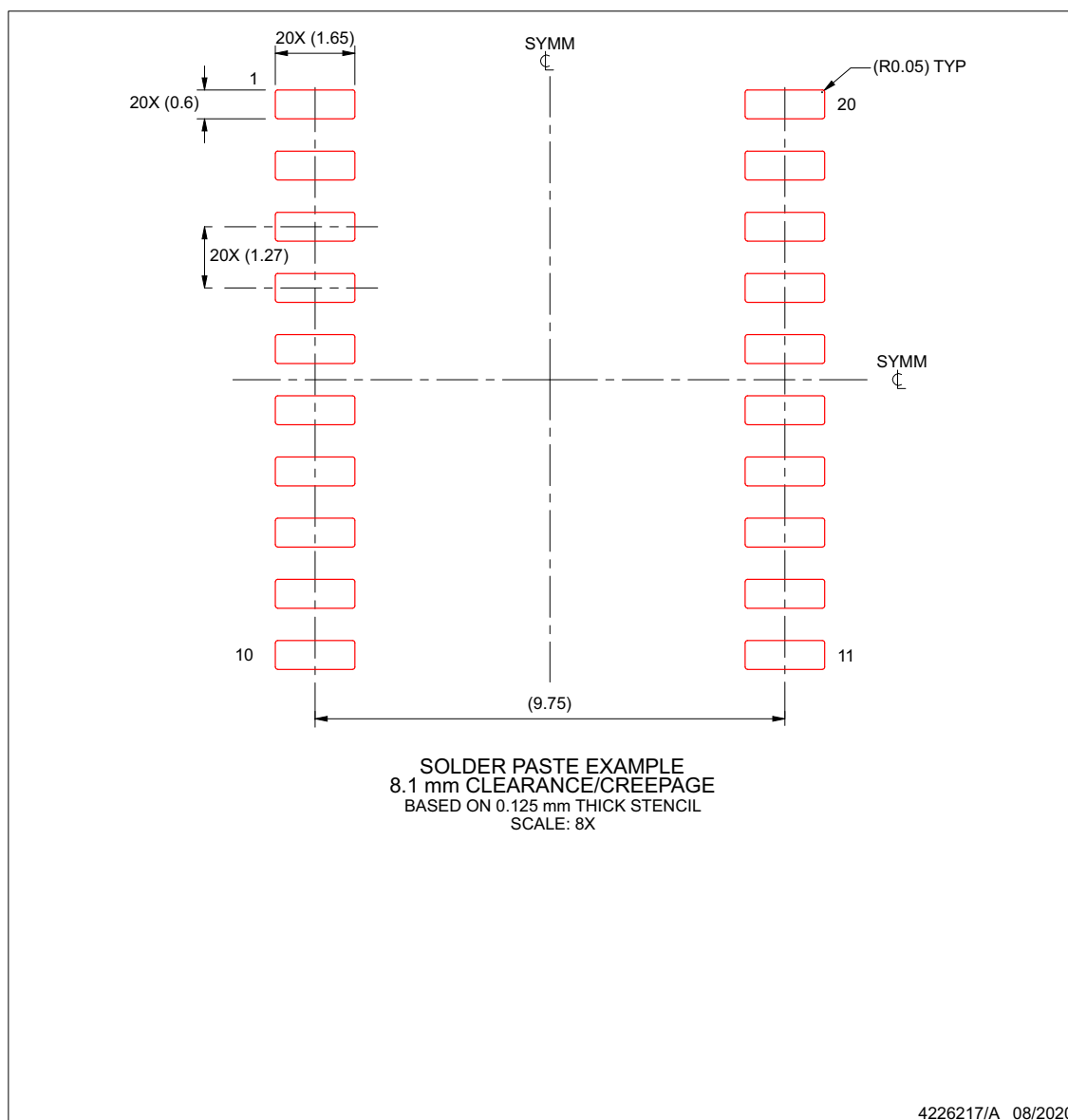


NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN**DFM0020A-C01****SOIC - 3.55 mm max height**

SMALL OUTLINE PACKAGE



NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ISOW1044BDFMR	Active	Production	SOIC (DFM) 20	850 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW1044
ISOW1044BDFMR.A	Active	Production	SOIC (DFM) 20	850 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW1044
ISOW1044DFMR	Active	Production	SOIC (DFM) 20	850 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW1044
ISOW1044DFMR.A	Active	Production	SOIC (DFM) 20	850 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW1044
ISOW1044DFMRG4	Active	Production	SOIC (DFM) 20	850 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW1044
ISOW1044DFMRG4.A	Active	Production	SOIC (DFM) 20	850 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW1044

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

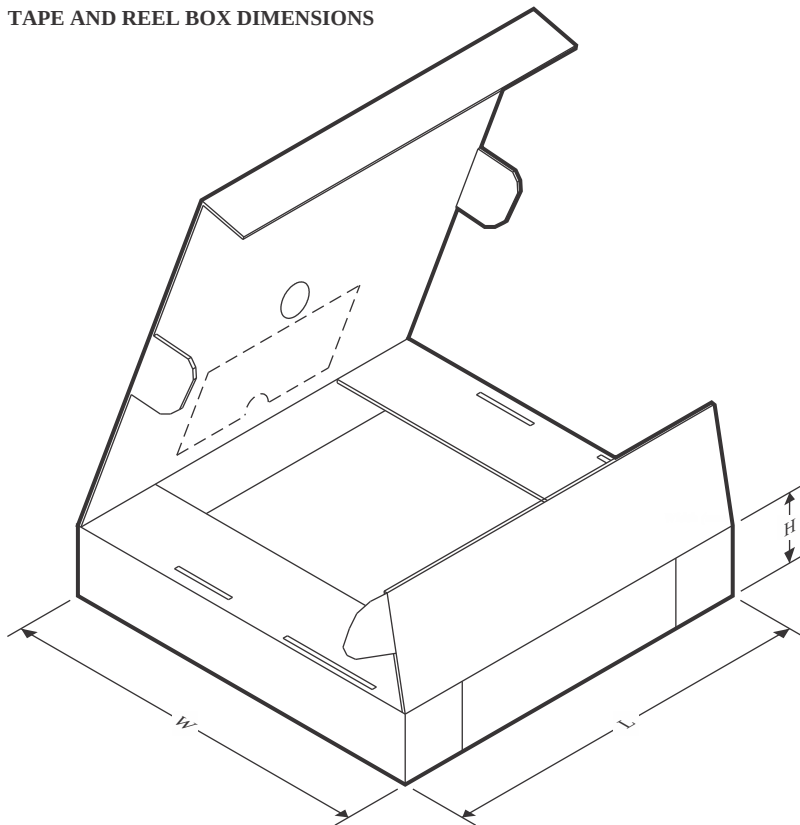
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ISOW1044BDFMR	SOIC	DFM	20	850	330.0	24.4	10.85	13.4	4.0	16.0	24.0	Q1
ISOW1044DFMR	SOIC	DFM	20	850	330.0	24.4	10.85	13.4	4.0	16.0	24.0	Q1
ISOW1044DFMRG4	SOIC	DFM	20	850	330.0	24.4	10.85	13.4	4.0	16.0	24.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

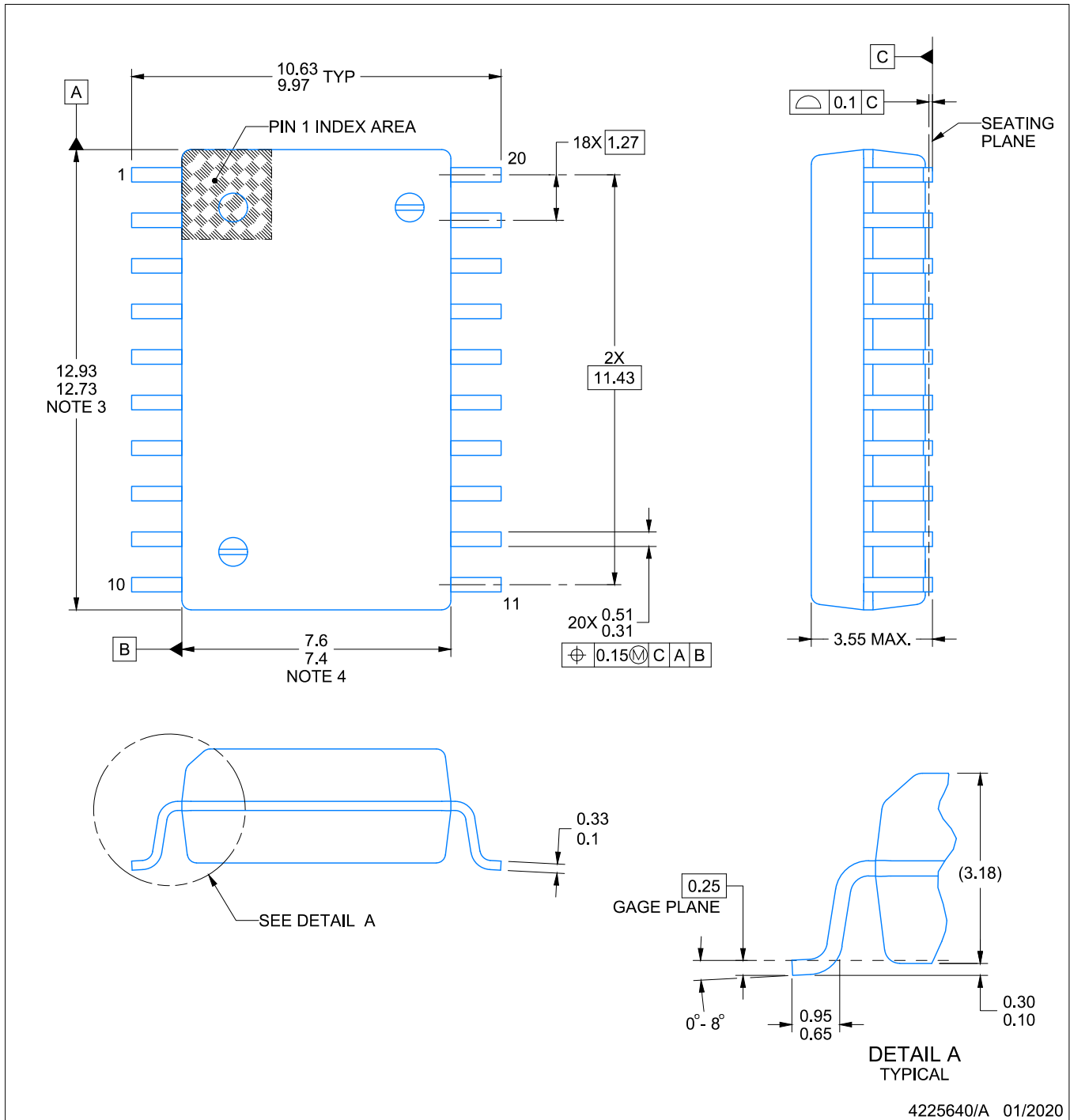
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ISOW1044BDFMR	SOIC	DFM	20	850	350.0	350.0	43.0
ISOW1044DFMR	SOIC	DFM	20	850	350.0	350.0	43.0
ISOW1044DFMRG4	SOIC	DFM	20	850	350.0	350.0	43.0

PACKAGE OUTLINE

DFM0020A

SOIC - 3.55 mm max height

SMALL OUTLINE PACKAGE



NOTES:

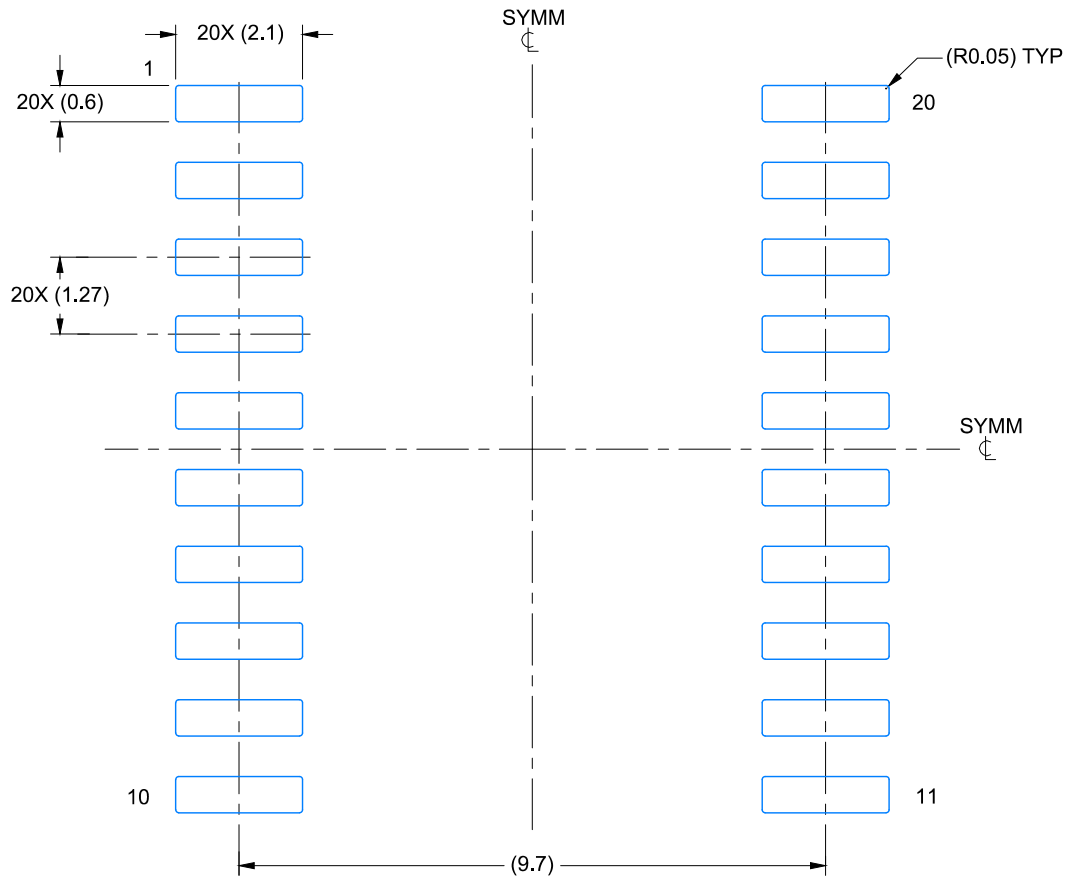
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Ref. JEDEC registration MS-013

EXAMPLE BOARD LAYOUT

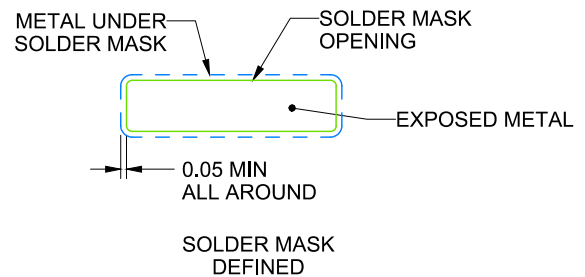
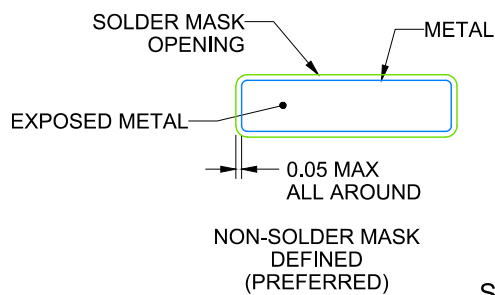
DFM0020A

SOIC - 3.55 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 8X



SOLDER MASK DETAILS

4225640/A 01/2020

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.

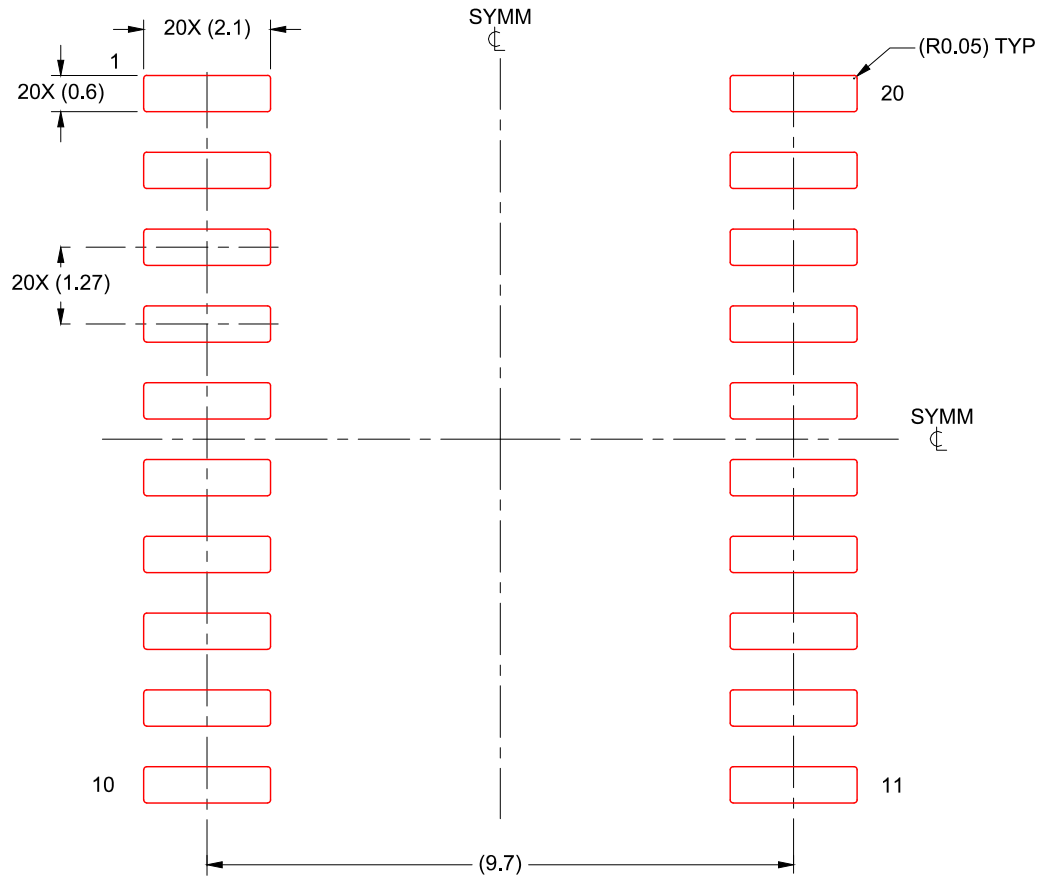
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DFM0020A

SOIC - 3.55 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 8X

4225640/A 01/2020

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月