AM64x Sitara™ 处理器

1 特性

处理器内核：

- 1 个双核 64 位 Arm® Cortex®-A53 微处理器系统，性能高达 1.0GHz
  - 双核 Cortex-A53 集群（具有 256KB L2 共享缓存，包括 SECDED ECC）
  - 每个 A53 内核包含具有 SECDED ECC 功能的 32KB L1 DCache 和具有奇偶校验保护的 32KB L1 ICache
- 最多 2 个双核 Arm® Cortex®-R5F MCU 子系统，工作频率高达 800MHz，集成用于实现实时处理
  - 双核 Arm® Cortex®-R5F 支持双核和单核模式
  - 每个 R5F 内核 32KB ICache、32KB DCache 和 64KB TCM，总共 256KB TCM，所有存储器上都有 SECDED ECC
- 1 个单核 Arm® Cortex®-M4F MCU，高达 400MHz
  - 具有 SECDED ECC 的 256KB SRAM

工业子系统：

- 2 个千兆位工业通信子系统 (PRU_ICSSG)
  - 支持 Profinet IRT、Profinet RT、EtherNet/IP、EtherCAT 和时间敏感网络 (TSN) 等等
  - 向后兼容 10/100Mb PRU_ICSS
  - 每个 PRU_ICSSG 包含：
    - 2 个以太网端口
      - MII (10/100)
      - RGMII (10/100/1000)
    - 每个 PRU_ICSSG 6 个 PRU RISC 内核，而每个内核具有：
      - 具有 ECC 的指令 RAM
      - 宽边 RAM
      - 具有可选累加器的乘法器 (MAC)
      - CRC16/32 硬件加速器
      - 用于大/小端字节序转换的字节交换
      - 用于 UDP 校验和的 SUM32 硬件加速器
      - 支持抢占的任务管理器
    - 三个具有 ECC 的数据 RAM
    - 8 组 30 x 32 位寄存器暂存区存储器
    - 中断控制器和任务管理器
    - 两个用于时间戳和其他时间同步功能的 64 位工业以太网外设 (IEP)
    - 18 个 Σ-Δ 滤波器
      - 短路逻辑
      - 过流逻辑
    - 6 个多协议位置编码器接口
    - 一个增强型捕捉模块 (ECAP)
  - 兼容 16550 且具有专用 192MHz 时钟的 UART，支持 12Mbps PROFIBUS

存储器子系统：

- 具有 SECDED ECC 的高达 2MB 的片上 RAM (OCSRAM)：
  - 可以按 256KB 的增量分成更小的存储器组，多达 8 个独立的存储器组
  - 每个存储器组可分配给一个内核以简化软件任务分区
- DDR 子系统 (DDRSS)
  - 支持 LPDDR4、DDR4 存储器类型
  - 具有内联 ECC 的 16 位数据总线
  - 支持高达 1600MT/s 的速度
- 1 个通用存储器控制器 (GPMC)
  - 具有 133MHz 时钟的 16 位并行总线或
  - 具有 100MHz 时钟的 32 位并行总线
  - 错误定位模块 (ELM) 支持

片上系统 (SoC) 服务：

- 设备管理安全控制器 (DMSC-L)
  - 集中式 SoC 系统控制器
  - 管理系统服务，包括初始引导、信息安全、和时钟/复位/电源管理
  - 通过消息管理器与各种处理单元通信
  - 简化的接口可优化未使用的外设
- 数据移动子系统 (DMSS)
  - 块复制 DMA (BCDMA)
  - 数据包 DMA (PKTDMA)
  - 安全代理 (SEC_PROXY)
  - 环形加速器 (RINGACC)

安全性：

- 支持安全启动
  - 硬件强制可信根 (RoT)
  - 支持通过备用密钥转换 RoT
  - 支持接管保护、IP 保护和防回滚保护

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

- 支持可信执行环境 (TEE)
  - 基于 Arm TrustZone® 的 TEE
  - 安全看门狗/计时器/IPC
  - 可实现隔离的广泛防火墙支持
  - 安全存储支持
  - 支持回放保护内存块 (RPMB)
- 用于密钥和安全管理的安全协处理器 (DMSC-L)，具有实现安全性的专用设备级互连
- 支持加密加速
  - 会话感知型加密引擎可基于输入数据流自动切换密钥材料
    - 支持加密内核
  - AES – 128/192/256 位密钥大小
  - SHA2 – 224/256/384/512 位密钥大小
  - 具有真随机数生成器的 DRBG
  - 可在 RSA/ECC 处理中提供帮助的 PKA（公钥加速器），支持安全启动
- 调试安全性
  - 受安全软件控制的调试访问
  - 安全感知调试

高速接口：

- 1 个集成以太网交换机 (CPSW3G) 支持：
  - 多达 2 个以太网端口
    - RMII (10/100)
    - RGMII (10/100/1000)
  - IEEE 1588（2008 附件 D、E 和 F）及 802.1AS PTP
  - 第 45 条 MDIO PHY 管理规范
  - 节能以太网 (802.3az)
- 1 个 PCI-Express® 第 2 代控制器 (PCIE)
  - 支持第 2 代运行
  - 支持单通道运行
- 1 个 USB 3.1 双角色设备 (DRD) 子系统 (USBSS)
  - 可配置为 USB 主机、USB 设备或 USB 双角色设备的端口
  - USB 器件：高速 (480Mbps) 和全速 (12Mbps)
  - USB 主机：超高速第 1 代 (5Gbps)、高速 (480Mbps)、全速 (12Mbps) 和低速 (1.5Mbps)

通用连接：

- 6 个内部集成电路 (I2C) 端口
- 9 个可配置的通用异步接收/发送 (UART) 模块
- 1 个可配置为八通道 SPI (OSPI) 闪存接口或一个四通道 SPI (QSPI) 的闪存子系统 (FSS)
- 1 个 12 位模数转换器 (ADC)
  - 最高 4MSPS
  - 8 个多路复用模拟输入
- 7 个多通道串行外设接口 (MCSPI) 控制器
- 6 个快速串行接口接收器 (FSI_RX) 内核
- 2 个快速串行接口发送器 (FSI_TX) 内核
- 3 个通用 I/O (GPIO) 模块

控制接口：

- 9 个增强型脉冲宽度调制器 (EPWM) 模块
- 3 个增强型捕捉 (ECAP) 模块
- 3 个增强型正交编码器脉冲 (EQEP) 模块
- 2 个模块化控制器区域网 (MCAN) 模块，具有或不具有完整 CAN-FD 支持

媒体和数据存储：

- 2 个多媒体卡/安全数字 (MMC/SD/SDIO) 接口
  - 一个 4 位，用于 SD/SDIO；
  - 一个 8 位，用于 eMMC
  - 适用于高速卡在 3.3V 至 1.8V 电压之间切换的集成模拟开关

电源管理：

- 的简化电源序列
- 集成的 SDIO LDO 可为 SD 接口处理自动电压转换
- 集成了电压监控器，可对过欠压状态进行安全监控
- 集成了电源干扰检测器，可检测快速电源瞬变

Copyright © 2026 Texas Instruments Incorporated

功能安全：

- 以功能安全合规型
  - 专为功能安全应用开发
  - 提供用于 IEC 61508 标准功能安全系统设计的文档
  - 系统功能符合 SIL 3 等级
  - 硬件完整性高达 SIL 2 等级
  - 安全相关认证
    - 通过 TÜV SÜD 的 IEC 61508 认证
- 功能安全特性
  - 计算临界存储器具有 ECC 或奇偶校验
  - 部分内部总线互连具有 ECC 和奇偶校验
  - 针对 CPU 和片上 RAM 的内置自检 (BIST)
  - 带有错误引脚的错误信令模块 (ESM)
  - 运行时安全诊断，电压、温度和时钟监控，窗口式看门狗计时器，用于存储器完整性检查的 CRC 引擎
  - 专用 MCU 域存储器、接口和 M4F 内核，能够与具有防止干扰 (FFI) 功能的更大 SoC 隔离
    - 独立互连
    - 防火墙和超时垫圈
    - 专用 PLL
    - 专用 I/O 电源
    - 单独复位

SoC 架构：

- 支持从 UART、I2C、OSPI/QSPI 闪存、SPI 闪存、并行 NOR 闪存、并行 NAND 闪存、SD、eMMC、USB、PCIe 和以太网接口进行主引导
- 16nm FinFET 技术

封装选项：

- ALV：17.2mm × 17.2mm、0.8mm 间距、441 引脚 BGA 封装
- ANI：17.2mm × 17.2mm、0.8mm 间距、441 引脚 BGA 封装

Copyright © 2026 Texas Instruments Incorporated

2 应用

- 可编程逻辑控制器 (PLC)
- 电机驱动器
- 远程 I/O
- 工业机器人
- 状态监控网关

Copyright © 2026 Texas Instruments Incorporated

3 说明

AM64x 是 Sitara™ 工业级异构 Arm® 处理器产品系列的新产品，专为要求独特结合实时处理和通信与应用处理的电机驱动器和可编程逻辑控制器 (PLC) 等工业应用而构建。AM64x 将两个支持 TSN 技术的 Sitara 器件千兆位 PRU-ICSSG 实例与最多两个 Arm® Cortex®-A53 内核、最多四个 Cortex-R5F MCU 和一个 Cortex-M4F MCU 合并到一起。

AM64x 旨在通过高性能 R5F 内核、紧密耦合的存储器组、可配置的 SRAM 分区和进出外设的专用低延迟路径提供出色的实时性能，从而实现数据快速进出 SoC。这种确定性架构允许 AM64x 处理伺服驱动器中的严格控制环路，同时 FSI、GPMC、PWM、 Δ - Σ 抽取滤波器和绝对编码器接口等外设可帮助启用这些系统中的多种不同架构。

Cortex-A53 提供了 Linux 应用所必需的强大计算元件。Linux 和实时 (RT) Linux 则通过 TI 的 Processor SDK Linux 提供，后者会每年更新为最新的长期支持 (LTS) Linux 内核、引导加载程序和 Yocto 文件系统。AM64x 通过可配置的内存分区在 Linux 应用和实时数据流之间实现隔离，从而帮助桥接 Linux 世界与现实世界。可以指定 Cortex-A53 严格使用 DDR 运行 Linux，而内部 SRAM 可以拆分成不同大小，供 Cortex-R5F 一起使用或单独使用。

AM64x 提供灵活的工业通信能力，包括用于 EtherCAT 子器件、PROFINET 器件、EtherNet/IP 适配器和 IO-Link 主站的全协议栈。PRU-ICSSG 进一步提供了千兆位和基于 TSN 技术的协议所需的能力。此外，PRU-ICSSG 还支持 SoC 中的其他接口，包括 Δ - Σ 抽取滤波器和绝对编码器接口。

可通过集成的 Cortex-M4F 及其专用外设启用功能安全特性，这些外设均可与 SoC 的其余部分隔离。AM64x 还支持安全启动。

封装信息

器件型号	封装(1)	封装尺寸(2)
AM6442	ALV（FCBGA，441）	17.2mm × 17.2mm
AM6441	ALV（FCBGA，441）	17.2mm × 17.2mm
AM6422	ALV（FCBGA，441）	17.2mm × 17.2mm
AM6421	ALV（FCBGA，441）	17.2mm × 17.2mm
AM6412	ALV/ANI（FCBGA，441）	17.2mm × 17.2mm
AM6411	ALV（FCBGA，441）	17.2mm × 17.2mm

(1) 如需了解更多信息，请参阅机械、封装和可订购信息。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。

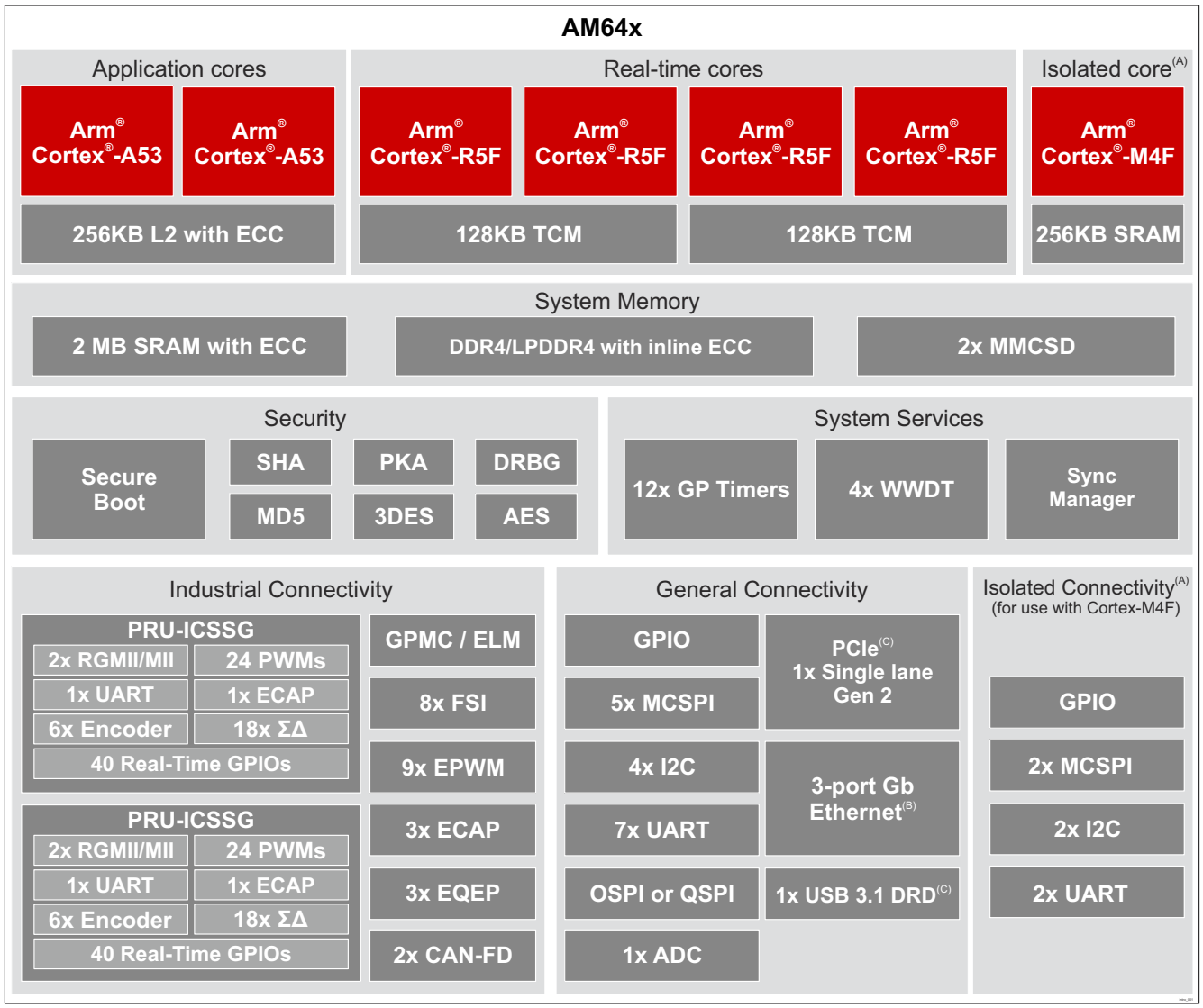
Copyright © 2026 Texas Instruments Incorporated

3.1 功能方框图

图 3-1 是器件的功能方框图。

备注

要了解 TI 软件开发套件 (SDK) 目前支持的器件功能，请搜索 Processor-SDK-AM64x 提供的位于“Downloads”选项卡中的 *AM64x 软件构建表*。



A. 外设与 M4F 内的核隔离是一项可选特性。

B. 一个端口仅用于内部连接；不连接到任何引脚。

C. USB SuperSpeed 和 PCIe 共用一个通用串行器/解串器 PHY。因此，将串行器/解串器 PHY 用于 PCIe 时，USB 将被限制为非 SuperSpeed 模式。

图 3-1. 功能方框图

Copyright © 2026 Texas Instruments Incorporated

内容

1 特性 1
2 应用 4
3 说明 5
3.1 功能方框图 6
4 器件比较 8
4.1 相关产品 10
5 端子配置和功能 11
5.1 引脚图 11
5.2 引脚属性 12
5.3 信号说明 57
5.4 引脚连接要求 94
6 规格 99
6.1 绝对最大额定值 99
6.2 ESD 等级 101
6.3 上电小时数 (POH) 101
6.4 建议运行条件 102
6.5 运行性能点 103
6.6 功耗摘要 103
6.7 电气特性 104
6.8 一次性可编程 (OTP) 电子保险丝的 VPP 规格 111
6.9 热阻特性 112
6.10 温度传感器特性 113
6.11 时序和开关特性 114
7 详细说明 233
7.1 概述 233
7.2 处理器子系统 234
7.3 加速器和协处理器 236
7.4 其他子系统 236
8 应用、实施和布局 243
8.1 器件连接和布局基本准则 243
8.2 外设和接口的相关设计信息 244
8.3 时钟布线指南 250
9 器件和文档支持 251
9.1 器件命名规则 251
9.2 工具与软件 254
9.3 文档支持 254
9.4 支持资源 254
9.5 商标 254
9.6 静电放电警告 255
9.7 术语表 255
10 修订历史记录 255
11 机械、封装和可订购信息 257
11.1 封装信息 257

Copyright © 2026 Texas Instruments Incorporated

4 器件比较

表 4-1 对各器件进行了比较，突出显示了其中的差异。

备注

此表中所列特性的可用性是共享 IO 引脚的函数，在函数中，与许多特性相关的 IO 信号会多路复用到有限数量的引脚。应使用 SysConfig 工具为引脚分配信号功能。这将帮助您更好地理解与引脚多路复用相关的限制。

备注

要了解 TI 软件开发套件 (SDK) 目前支持的器件功能，请搜索 Processor-SDK-AM64x 提供的位于“Downloads”选项卡中的 *AM64x 软件构建表*。

备注

在可订购器件型号内，特性可用性可能因封装而异。

表 4-1. 器件比较

特性	参考名称	AM6442 (ALV)	AM6441 (ALV)	AM6422 (ALV)	AM6421 (ALV)	AM6412 (ALV/ANI)	AM6411 (ALV)
MAIN_CTRL_MMR_CFG0_JTAG_USER_ID[31:13](1) 按器件“特性”代码的寄存位值 (有关器件特性的更多信息，请参阅命名规则说明表)							
C :		–	–	–	–	0x19403	0x19203
D :		0x19464	0x19264	0x19424	0x19224	–	–
E :		0x19465	0x19265	–	0x19225	–	–
F :		0x19466	0x19266	–	0x19226	–	–
处理器和加速器							
速度等级 (请参阅表 6-1)		S				S、K	
Arm Cortex-A53 微处理器子系统	Arm A53	双核	单核	双核	单核	双核	单核
Arm Cortex-R5F	Arm R5F	2 个双核 R5FSS0_CORE0 R5FSS0_CORE1 R5FSS1_CORE0 R5FSS1_CORE1		2 个单核 R5FSS0_CORE0 R5FSS1_CORE0		单核 R5FSS0_CORE0	
Arm Cortex-M4F	Arm M4F	单核 功能安全 (可选) (4)				单核	
设备管理安全控制器	DMSC-L	是					
加密加速器	安全性	是					
程序和数据存储							
MAIN 域中的片上共享存储器 (RAM)	OCSRAM	2MB					
R5F 紧耦合存储器 (TCM)	TCM	4 x 64KB		2 x 128KB		1 x 128KB	
M4F 域中的片上共享存储器 (RAM)	MCU_MSRAM	256KB					
DDR4/LPDDR4 DDR 子系统	DDRSS	高达 2GB (16 位数据) ，具有内联 ECC					
通用存储器控制器	GPMC	高达 128MB，具有 ECC					
外设							
模块化控制器局域网接口	MCAN	2					
完整 CAN-FD 支持(2)	MCAN	可选	可选	否	可选	否	否
通用 I/O	GPIO	高达 198					
内部集成电路接口	I2C	6					
模数转换器	ADC	1				否	
多通道串行外设接口	MCSPI	7					
多媒体卡/安全数字接口	MMCSD0	eMMC (8 位)					
	MMCSD1	SD/SDIO (4 位)					

Copyright © 2026 Texas Instruments Incorporated

表 4-1. 器件比较（续）

特性	参考名称	AM6442 (ALV)	AM6441 (ALV)	AM6422 (ALV)	AM6421 (ALV)	AM6412 (ALV/ANI)	AM6411 (ALV)
快速串行接口	FSI_TX	2					
	FSI_RX	6					
闪存子系统 (FSS)(3)	OSPI0/QSPI0	是					
具有集成式串行器/解串器 PHY 的 PCI Express 端口	PCIE0	单通道(7)					
可编程实时单元子系统(5)	PRU_ICSSG	2					
PRU_ICSSG 工业通信支持(6)	PRU_ICSSG	是				否	否
千兆位以太网接口	CPSW3G	是					
通用计时器	计时器	16 个（MCU 通道中 4 个）					
增强型脉宽调制器模块	EPWM	9					
增强型捕获模块	ECAP	3					
增强型正交编码器脉冲模块	EQEP	3					
通用异步接收器/发送器	UART	9					
具有 SS 串行器/解串器 PHY 和 USB 2.0 PHY 的通用串行总线 (USB3.1 Gen1) 超高速双角色设备 (DRD) 端口	USB0	是(7)					

(1) 有关 MAIN_CTRL_MMR_CFG0_JTAG_USER_ID 寄存器和 DEVICE_ID 位字段的更多详细信息，请参阅器件 TRM。
(2) 当选择包括特性代码 E 或 F 的可订购器件型号时，可以使用完整 CAN-FD 支持。有关特性代码的定义，请参阅命名规则说明表。
(3) 1 个闪存接口，配置为 OSPI0 或 QSPI0。
(4) 当选择包含特性代码 F 的可订购器件型号时，功能安全可用。有关特性代码的定义，请参阅命名规则说明表。
(5) 具有特性代码 C 的可订购器件型号支持将 PRU_ICSSG 用于除工业通信以外的用例。有关特性代码的定义，请参阅命名规则说明表。
(6) PRU_ICSSG 工业通信包括以太网网络（MII/RGMII、MDIO）、Σ-Δ (SD) 抽取和三通道外设接口（EnDat 2.2 和 BiSS）。当选择包括特性代码 D、E 或 F 的可订购器件型号时，可以使用 PRU_ICSSG 工业通信支持。有关所有特性代码的定义，请参阅命名规则说明表。
(7) USB SuperSpeed 和 PCIe 共用一个通用串行器/解串器 PHY。因此，将串行器/解串器 PHY 用于 PCIe 时，USB 将被限制为非 SuperSpeed 模式。

Copyright © 2026 Texas Instruments Incorporated

4.1 相关产品

Sitara™ 处理器是一系列基于 Arm® Cortex®-A 内核的可扩展处理器，具有灵活的加速器、外设、连接和统一的软件支持，尤其适合从传感器到服务器的各种应用。Sitara 处理器具有工业应用所需的可靠性。

AM64x Sitara™ 处理器 AM6x 处理器支持千兆位工业以太网网络，利用充足的 ECC 片上存储器实现可靠运行，并具有增强的安全功能。

Sitara™ 处理器 - 应用 Sitara™ 处理器为从 HMI 和网关到更复杂的设备（例如驱动器和变电站自动化设备）的各种应用提供可扩展的解决方案。Sitara 处理器还提供工业通信协议（例如 EtherCAT®、以太网/IP 和 Profinet）的多协议支持。

帮助您完成设计的其他产品：

- 以太网 PHY
- 电源解决方案
- 电源管理
- 时钟和计时
- 电源开关
- CAN 收发器
- ESD 保护

有关如何在系统设计中实现这些器件以及特定器件型号建议的物料清单的详细信息，请参阅 AM64x EVM 原理图。

Copyright © 2026 Texas Instruments Incorporated

5 端子配置和功能

5.1 引脚图

备注

在整个文档中，术语“焊球”、“引脚”和“端子”可互换使用。仅在提及物理封装时才尝试使用“焊球”。

图 5-1 展示了 441 焊球倒装芯片球栅阵列 (FCBGA) 封装的焊球位置，HTML 版本会在光标悬停在某个焊球上时提供额外信息。该图应与表 5-1 至表 5-80（*引脚属性表和所有信号说明表，包括连接要求表*）配合使用。

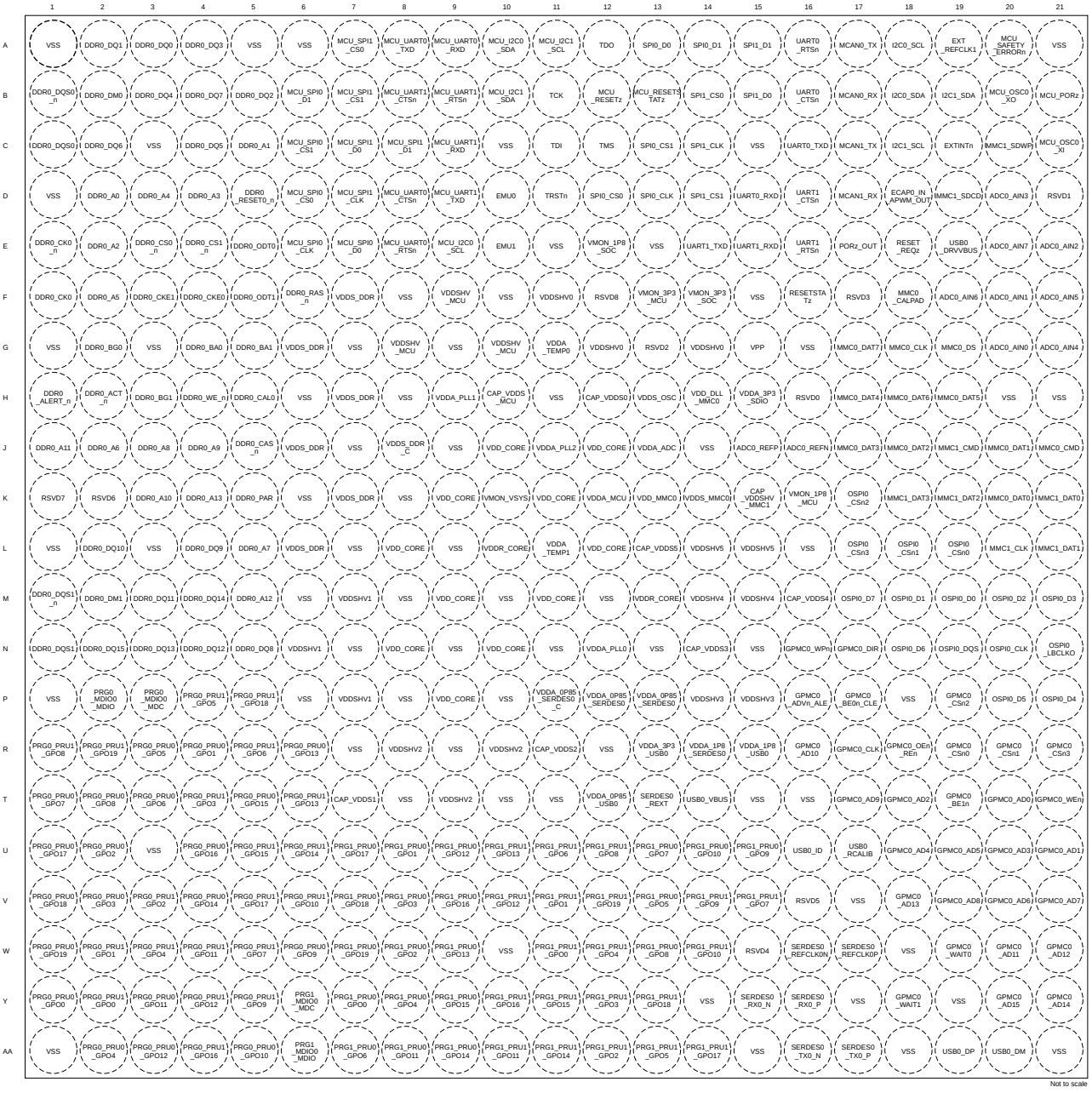


图 5-1. ALV/ANI FCBGA-N441 引脚图（顶视图）

5.2 引脚属性

以下列表介绍了 表 5-1 *引脚属性 (ALV、ANI 封装)* 中每一列的内容：

1. **焊球编号：**分配给 Ball Grid Array 封装每个端子的焊球编号。
2. **焊球名称：**分配给 Ball Grid Array 封装每个端子的焊球名称 (该名称通常取自主 MUXMODE 0 信号功能) 。
3. **信号名称：**与焊球相关的所有专用和引脚多路复用信号功能的信号名称。

备注

许多器件引脚支持多种信号功能。一些信号功能是通过与引脚关联的单层多路复用器来选择的。其他信号功能通过两层或多层多路复用器进行选择，其中一层与引脚相关联，其他层与外围逻辑功能相关联。

表 5-1 *引脚属性 (ALV、ANI 封装)* 仅定义了引脚上的信号多路复用。有关引脚上信号多路复用的更多信息，请参阅器件 TRM 的*器件配置*一章中的*焊盘配置寄存器*一节。有关外设信号多路复用的更多信息，请参阅器件 TRM 的相应外设章节。

4. **多路复用模式：**与每个引脚多路复用信号功能相关的 MUXMODE 值：
   a. MUXMODE 0 是主要引脚多路复用信号功能。然而，主要引脚多路复用信号功能不一定是默认引脚多路复用信号功能。

   备注

   “复位之后的多路复用模式”列中的值定义了 MCU_PORz 被置为无效时选择的默认引脚多路复用信号功能。

   b. MUXMODE 值 1 至 15 可用于引脚多路复用信号功能。然而，并非所有 MUXMODE 值都已实现。仅有的有效 MUXMODE 值是 表 5-1 *引脚属性表 (ALV、ANI 封装)* 中定义为引脚多路复用信号功能的值。只应使用 MUXMODE 的有效值。
   c. 自举定义了 SOC 配置引脚，其中应用于每个引脚的逻辑状态在 PORz_OUT 的上升沿被锁存。这些输入信号功能固定到各自的引脚，不能通过 MUXMODE 进行编程。
   d. 空框表示不适用。

备注

为了使器件正常运行，必须避免以下 MUXMODE 配置。

- 不支持将多个引脚配置为同一引脚多路复用信号功能的输入，因为这可能会产生意外结果。
- 将引脚配置为未定义的引脚多路复用模式将导致引脚行为未定义。

Copyright © 2026 Texas Instruments Incorporated

5. **类型：**信号类型和方向：
   - I = 输入
   - O = 输出
   - OD = 输出，具有开漏输出功能
   - IO = 输入、输出或同时输入和输出
   - IOD = 输入、输出或同时输入和输出，具有开漏输出功能
   - IOZ = 输入、输出或同时输入和输出，具有三态输出功能
   - OZ = 具有三态输出功能的输出
   - A = 模拟
   - PWR = 电源
   - GND = 接地
   - CAP = LDO 电容器。
6. **DSIS：**未选择的输入状态 (DSIS) 指示当 MUXMODE 未选择引脚多路复用信号功能时驱动到子系统输入的状态（逻辑“0”、逻辑“1”或“焊盘”电平）。
   - 0：逻辑 0 被驱动至子系统输入。
   - 1：逻辑 1 被驱动至子系统输入。
   - 焊盘：焊盘的逻辑状态被驱动至子系统输入。
   - 空框表示不适用。
7. **复位期间的焊球状态（RX/TX/拉动）：**MCU_PORz 被置为有效时的端子状态，其中 RX 定义输入缓冲器的状态，TX 定义输出缓冲器的状态，“拉动”定义内部拉动电阻器的状态：
   - RX（输入缓冲器）
     - 关闭：输入缓冲器被禁用。
     - 亮：输入缓冲器被启用。
   - TX（输出缓冲器）
     - 关闭：输出缓冲器被禁用。
     - 低电平：输出缓冲器被启用并驱动 V_{OL}。
     - 高电平：输出缓冲器被启用并驱动 V_{OH}。
   - 拉动（内部拉电阻器）
     - 关闭：内部拉动电阻器被关闭。
     - 上拉：内部上拉电阻器被开启。
     - 下拉：内部下拉电阻器被开启。
     - 不适用：不适用。
   - 空框表示不适用。
8. **复位之后的焊球状态（RX/TX/拉动）：**MCU_PORz 被置为无效后的端子状态，其中 RX 定义输入缓冲器的状态，TX 定义输出缓冲器的状态，“拉动”定义内部拉动电阻器的状态：
   - RX（输入缓冲器）
     - 关闭：输入缓冲器被禁用。
     - 亮：输入缓冲器被启用。
   - TX（输出缓冲器）
     - 关闭：输出缓冲器被禁用。
     - SS：使用 MUXMODE 选择的子系统决定输出缓冲器状态。
   - 拉动（内部拉电阻器）
     - 关闭：内部拉动电阻器被关闭。
     - 上拉：内部上拉电阻器被开启。
     - 下拉：内部下拉电阻器被开启。
     - 不适用：不适用。
   - 空框表示不适用。

Copyright © 2026 Texas Instruments Incorporated

9. **复位之后的多路复用模式：**该列中的值定义了 MCU_PORz 被置为无效后的默认引脚多路复用信号功能。

   空框表示不适用。

10. **I/O 工作电压**：该列介绍了相应电源的 I/O 工作电压选项（如果适用）。

    空框表示不适用。

    有关更多信息，请参阅节 6.4 *建议运行条件* 中为每个电源定义的有效工作电压范围。

11. **电源：**相关 I/O 的电源（如果适用）。

    空框表示不适用。

12. **HYS：**指示与该 I/O 关联的输入缓冲器是否具有迟滞：
    - 是：具有迟滞
    - 否：不具有迟滞
    - 空框表示不适用。

    有关更多信息，请参阅 节 6.7 *电气特性*中的迟滞值。

13. **缓冲器类型：**该列定义与端子关联的缓冲器类型。该信息可用于确定适用的电气特性表。

    空框表示不适用。

    有关电气特性，请参阅节 6.7 *电气特性* 中相应的缓冲器类型表。

14. **上拉/下拉类型：**指示存在内部上拉或下拉电阻器。可通过软件来启用或禁用上拉和下拉电阻器。
    - PU：内部上拉
    - PD：内部下拉
    - PU/PD：内部上拉和下拉
    - 空框表示无内部拉动。

15. **PADCONFIG 寄存器：**与焊球关联的 IO 焊盘配置寄存器的名称。

16. **PADCONFIG 地址：**与焊球关联的 IO 焊盘配置寄存器的物理地址。

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（ALV、ANI 封装）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态 RX/TX/拉动 [7]	复位之后的焊球状态 RX/TX/拉动 [8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
J16	ADC0_REFN	ADC0_REFN		A					1.8V	VDDA_ADC0		ADC12B	
J15	ADC0_REFP	ADC0_REFP		A					1.8V	VDDA_ADC0		ADC12B	
G20	ADC0_AIN0	ADC0_AIN0		A					1.8V	VDDA_ADC0	是	ADC12B	
F20	ADC0_AIN1	ADC0_AIN1		A					1.8V	VDDA_ADC0	是	ADC12B	
E21	ADC0_AIN2	ADC0_AIN2		A					1.8V	VDDA_ADC0	是	ADC12B	
D20	ADC0_AIN3	ADC0_AIN3		A					1.8V	VDDA_ADC0	是	ADC12B	
G21	ADC0_AIN4	ADC0_AIN4		A					1.8V	VDDA_ADC0	是	ADC12B	
F21	ADC0_AIN5	ADC0_AIN5		A					1.8V	VDDA_ADC0	是	ADC12B	
F19	ADC0_AIN6	ADC0_AIN6		A					1.8V	VDDA_ADC0	是	ADC12B	
E20	ADC0_AIN7	ADC0_AIN7		A					1.8V	VDDA_ADC0	是	ADC12B	
H12	CAP_VDDS0	CAP_VDDS0		CAP									
T7	CAP_VDDS1	CAP_VDDS1		CAP									
R11	CAP_VDDS2	CAP_VDDS2		CAP									
N14	CAP_VDDS3	CAP_VDDS3		CAP									
M16	CAP_VDDS4	CAP_VDDS4		CAP									
L13	CAP_VDDS5	CAP_VDDS5		CAP									
K15	CAP_VDDSHV_MMC1	CAP_VDDSHV_MMC1		CAP									
H10	CAP_VDDS_MCU	CAP_VDDS_MCU		CAP									
H2	DDR0_ACT_n	DDR0_ACT_n		O					1.1V/1.2V	VDDS_DDR、VDDS_DDR_C		DDR	
H1	DDR0_ALERT_n	DDR0_ALERT_n		IO					1.1V/1.2V	VDDS_DDR、VDDS_DDR_C		DDR	
J5	DDR0_CAS_n	DDR0_CAS_n		O					1.1V/1.2V	VDDS_DDR、VDDS_DDR_C		DDR	
K5	DDR0_PAR	DDR0_PAR		O					1.1V/1.2V	VDDS_DDR、VDDS_DDR_C		DDR	
F6	DDR0_RAS_n	DDR0_RAS_n		O					1.1V/1.2V	VDDS_DDR、VDDS_DDR_C		DDR	
H4	DDR0_WE_n	DDR0_WE_n		O					1.1V/1.2V	VDDS_DDR、VDDS_DDR_C		DDR	
D2	DDR0_A0	DDR0_A0		O					1.1V/1.2V	VDDS_DDR、VDDS_DDR_C		DDR	
C5	DDR0_A1	DDR0_A1		O					1.1V/1.2V	VDDS_DDR、VDDS_DDR_C		DDR	
E2	DDR0_A2	DDR0_A2		O					1.1V/1.2V	VDDS_DDR、VDDS_DDR_C		DDR	
D4	DDR0_A3	DDR0_A3		O					1.1V/1.2V	VDDS_DDR、VDDS_DDR_C		DDR	
D3	DDR0_A4	DDR0_A4		O					1.1V/1.2V	VDDS_DDR、VDDS_DDR_C		DDR	

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（ALV、ANI 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态 RX/TX/拉动 [7]	复位之后的焊球状态 RX/TX/拉动 [8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
F2	DDR0_A5	DDR0_A5		O					1.1V/1.2V	VDDS_DDR、VDDS_DDR_C		DDR	
J2	DDR0_A6	DDR0_A6		O					1.1V/1.2V	VDDS_DDR、VDDS_DDR_C		DDR	
L5	DDR0_A7	DDR0_A7		O					1.1V/1.2V	VDDS_DDR、VDDS_DDR_C		DDR	
J3	DDR0_A8	DDR0_A8		O					1.1V/1.2V	VDDS_DDR、VDDS_DDR_C		DDR	
J4	DDR0_A9	DDR0_A9		O					1.1V/1.2V	VDDS_DDR、VDDS_DDR_C		DDR	
K3	DDR0_A10	DDR0_A10		O					1.1V/1.2V	VDDS_DDR、VDDS_DDR_C		DDR	
J1	DDR0_A11	DDR0_A11		O					1.1V/1.2V	VDDS_DDR、VDDS_DDR_C		DDR	
M5	DDR0_A12	DDR0_A12		O					1.1V/1.2V	VDDS_DDR、VDDS_DDR_C		DDR	
K4	DDR0_A13	DDR0_A13		O					1.1V/1.2V	VDDS_DDR、VDDS_DDR_C		DDR	
G4	DDR0_BA0	DDR0_BA0		O					1.1V/1.2V	VDDS_DDR、VDDS_DDR_C		DDR	
G5	DDR0_BA1	DDR0_BA1		O					1.1V/1.2V	VDDS_DDR、VDDS_DDR_C		DDR	
G2	DDR0_BG0	DDR0_BG0		O					1.1V/1.2V	VDDS_DDR、VDDS_DDR_C		DDR	
H3	DDR0_BG1	DDR0_BG1		O					1.1V/1.2V	VDDS_DDR、VDDS_DDR_C		DDR	
H5	DDR0_CAL0	DDR0_CAL0		A					1.1V/1.2V	VDDS_DDR、VDDS_DDR_C		DDR	
F1	DDR0_CK0	DDR0_CK0		O					1.1V/1.2V	VDDS_DDR、VDDS_DDR_C		DDR	
E1	DDR0_CK0_n	DDR0_CK0_n		O					1.1V/1.2V	VDDS_DDR、VDDS_DDR_C		DDR	
F4	DDR0_CKE0	DDR0_CKE0		O					1.1V/1.2V	VDDS_DDR、VDDS_DDR_C		DDR	
F3	DDR0_CKE1	DDR0_CKE1		O					1.1V/1.2V	VDDS_DDR、VDDS_DDR_C		DDR	
E3	DDR0_CS0_n	DDR0_CS0_n		O					1.1V/1.2V	VDDS_DDR、VDDS_DDR_C		DDR	
E4	DDR0_CS1_n	DDR0_CS1_n		O					1.1V/1.2V	VDDS_DDR、VDDS_DDR_C		DDR	
B2	DDR0_DM0	DDR0_DM0		IO					1.1V/1.2V	VDDS_DDR、VDDS_DDR_C		DDR	

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（ALV、ANI 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态 RX/TX/拉动 [7]	复位之后的焊球状态 RX/TX/拉动 [8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
M2	DDR0_DM1	DDR0_DM1		IO					1.1V/1.2V	VDDS_DDR、VDDS_DDR_C		DDR	
A3	DDR0_DQ0	DDR0_DQ0		IO					1.1V/1.2V	VDDS_DDR、VDDS_DDR_C		DDR	
A2	DDR0_DQ1	DDR0_DQ1		IO					1.1V/1.2V	VDDS_DDR、VDDS_DDR_C		DDR	
B5	DDR0_DQ2	DDR0_DQ2		IO					1.1V/1.2V	VDDS_DDR、VDDS_DDR_C		DDR	
A4	DDR0_DQ3	DDR0_DQ3		IO					1.1V/1.2V	VDDS_DDR、VDDS_DDR_C		DDR	
B3	DDR0_DQ4	DDR0_DQ4		IO					1.1V/1.2V	VDDS_DDR、VDDS_DDR_C		DDR	
C4	DDR0_DQ5	DDR0_DQ5		IO					1.1V/1.2V	VDDS_DDR、VDDS_DDR_C		DDR	
C2	DDR0_DQ6	DDR0_DQ6		IO					1.1V/1.2V	VDDS_DDR、VDDS_DDR_C		DDR	
B4	DDR0_DQ7	DDR0_DQ7		IO					1.1V/1.2V	VDDS_DDR、VDDS_DDR_C		DDR	
N5	DDR0_DQ8	DDR0_DQ8		IO					1.1V/1.2V	VDDS_DDR、VDDS_DDR_C		DDR	
L4	DDR0_DQ9	DDR0_DQ9		IO					1.1V/1.2V	VDDS_DDR、VDDS_DDR_C		DDR	
L2	DDR0_DQ10	DDR0_DQ10		IO					1.1V/1.2V	VDDS_DDR、VDDS_DDR_C		DDR	
M3	DDR0_DQ11	DDR0_DQ11		IO					1.1V/1.2V	VDDS_DDR、VDDS_DDR_C		DDR	
N4	DDR0_DQ12	DDR0_DQ12		IO					1.1V/1.2V	VDDS_DDR、VDDS_DDR_C		DDR	
N3	DDR0_DQ13	DDR0_DQ13		IO					1.1V/1.2V	VDDS_DDR、VDDS_DDR_C		DDR	
M4	DDR0_DQ14	DDR0_DQ14		IO					1.1V/1.2V	VDDS_DDR、VDDS_DDR_C		DDR	
N2	DDR0_DQ15	DDR0_DQ15		IO					1.1V/1.2V	VDDS_DDR、VDDS_DDR_C		DDR	
C1	DDR0_DQS0	DDR0_DQS0		IO					1.1V/1.2V	VDDS_DDR、VDDS_DDR_C		DDR	
B1	DDR0_DQS0_n	DDR0_DQS0_n		IO					1.1V/1.2V	VDDS_DDR、VDDS_DDR_C		DDR	
N1	DDR0_DQS1	DDR0_DQS1		IO					1.1V/1.2V	VDDS_DDR、VDDS_DDR_C		DDR	
M1	DDR0_DQS1_n	DDR0_DQS1_n		IO					1.1V/1.2V	VDDS_DDR、VDDS_DDR_C		DDR	

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（ALV、ANI 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态 RX/TX/拉动 [7]	复位之后的焊球状态 RX/TX/拉动 [8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
E5	DDR0_ODT0	DDR0_ODT0		O					1.1V/1.2V	VDDS_DDR、VDDS_DDR_C		DDR	
F5	DDR0_ODT1	DDR0_ODT1		O					1.1V/1.2V	VDDS_DDR、VDDS_DDR_C		DDR	
D5	DDR0_RESET0_n	DDR0_RESET0_n		O					1.1V/1.2V	VDDS_DDR、VDDS_DDR_C		DDR	
D18	ECAP0_IN_APWM_OUT PADCONFIG：PADCONFIG156 0x000F4270	ECAP0_IN_APWM_OUT	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		SYNC0_OUT	1	O									
		CPTS0_RFT_CLK	2	I	0								
		CP_GEMAC_CPTS0_RFT_CLK	5	I	0								
		SPI4_CS3	6	IO	1								
		GPIO1_68	7	IO	焊盘								
D10	EMU0 PADCONFIG：MCU_PADCONFIG31 0x0408407C	EMU0	0	IO	1	开启/关闭/上拉	开启/关闭/上拉	0	1.8V/3.3V	VDDSHV_MCU	是	LVCMOS	PU/PD
E10	EMU1 PADCONFIG：MCU_PADCONFIG32 0x04084080	EMU1	0	IO	1	开启/关闭/上拉	开启/关闭/上拉	0	1.8V/3.3V	VDDSHV_MCU	是	LVCMOS	PU/PD
		MCU_OBSCLK0	15	O									
C19	EXTINTn PADCONFIG：PADCONFIG158 0x000F4278	EXTINTn	0	I	1	关闭/关闭/不适用	关闭/关闭/不适用	7	1.8V/3.3V	VDDSHV0	是	I2C OD FS	
		GPIO1_70	7	IOD	焊盘								
A19	EXT_REFCLK1 PADCONFIG：PADCONFIG157 0x000F4274	EXT_REFCLK1	0	I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		SYNC1_OUT	1	O									
		SPI2_CS3	2	IO	1								
		CLKOUT0	5	O									
		GPIO1_69	7	IO	焊盘								
P16	GPMC0_ADVn_ALE PADCONFIG：PADCONFIG33 0x000F4084	GPMC0_ADVn_ALE	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		FSI_RX5_CLK	1	I	0								
		UART5_RXD	2	I	1								
		EHRPWM_TZn_IN3	3	I	0								
		TRC_DATA15	6	O									
		GPIO0_32	7	IO	焊盘								
		PRG0_PWM3_TZ_IN	9	I	0								

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（ALV、ANI 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态 RX/TX/拉动 [7]	复位之后的焊球状态 RX/TX/拉动 [8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
R17	GPMC0_CLK PADCONFIG：PADCONFIG31 0x000F407C	GPMC0_CLK	0	O	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		FSI_RX4_CLK	1	I	0								
		UART4_RTSn	2	O									
		EHRPWM3_SYNCO	3	O									
		GPMC0_FCLK_MUX	4	O									
		TRC_DATA14	6	O									
		GPIO0_31	7	IO	焊盘								
		PRG0_PWM3_TZ_OUT	9	O									
N17	GPMC0_DIR PADCONFIG：PADCONFIG41 0x000F40A4	GPMC0_DIR	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		EQEP0_B	3	I	0								
		GPIO0_40	7	IO	焊盘								
		EHRPWM6_B	8	IO	0								
		PRG1_PWM2_B0	9	IO	1								
R18	GPMC0_OEn_REn PADCONFIG：PADCONFIG34 0x000F4088	GPMC0_OEn_REn	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		FSI_RX5_D0	1	I	0								
		UART5_TXD	2	O									
		EHRPWM4_A	3	IO	0								
		TRC_DATA16	6	O									
		GPIO0_33	7	IO	焊盘								
		PRG0_PWM3_A1	9	IO	0								
T21	GPMC0_WEn PADCONFIG：PADCONFIG35 0x000F408C	GPMC0_WEn	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		FSI_RX5_D1	1	I	0								
		UART5_RTSn	2	O									
		EHRPWM4_B	3	IO	0								
		TRC_DATA17	6	O									
		GPIO0_34	7	IO	焊盘								
		PRG0_PWM3_B1	9	IO	1								
N16	GPMC0_WPn PADCONFIG：PADCONFIG40 0x000F40A0	GPMC0_WPn	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		FSI_TX1_CLK	1	O									
		EQEP0_A	3	I	0								
		GPMC0_A22	4	OZ									
		TRC_DATA22	6	O									
		GPIO0_39	7	IO	焊盘								
		EHRPWM6_A	8	IO	0								
		PRG1_PWM2_A0	9	IO	0								

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（ALV、ANI 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态 RX/TX/拉动 [7]	复位之后的焊球状态 RX/TX/拉动 [8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
T20	GPMC0_AD0 PADCONFIG：PADCONFIG15 0x000F403C	GPMC0_AD0	0	IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		FSI_RX2_CLK	1	I	0								
		UART2_RXD	2	I	1								
		EHRPWM0_SYNCI	3	I	0								
		TRC_CLK	6	O									
		GPIO0_15	7	IO	焊盘								
		BOOTMODE00	自举	I									
U21	GPMC0_AD1 PADCONFIG：PADCONFIG16 0x000F4040	GPMC0_AD1	0	IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		FSI_RX2_D0	1	I	0								
		UART2_TXD	2	O									
		EHRPWM0_SYNCO	3	O									
		TRC_CTL	6	O									
		GPIO0_16	7	IO	焊盘								
		PRG0_PWM2_TZ_OUT	9	O									
		BOOTMODE01	自举	I									
T18	GPMC0_AD2 PADCONFIG：PADCONFIG17 0x000F4044	GPMC0_AD2	0	IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		FSI_RX2_D1	1	I	0								
		UART2_RTSn	2	O									
		EHRPWM_TZn_IN0	3	I	0								
		TRC_DATA0	6	O									
		GPIO0_17	7	IO	焊盘								
		PRG0_PWM2_TZ_IN	9	I	0								
		BOOTMODE02	自举	I									
U20	GPMC0_AD3 PADCONFIG：PADCONFIG18 0x000F4048	GPMC0_AD3	0	IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		FSI_RX3_CLK	1	I	0								
		UART3_RXD	2	I	1								
		EHRPWM0_A	3	IO	0								
		TRC_DATA1	6	O									
		GPIO0_18	7	IO	焊盘								
		PRG0_PWM2_A0	9	IO	0								
		BOOTMODE03	自举	I									

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（ALV、ANI 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态 RX/TX/拉动 [7]	复位之后的焊球状态 RX/TX/拉动 [8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
U18	GPMC0_AD4 PADCONFIG： PADCONFIG19 0x000F404C	GPMC0_AD4	0	IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		FSI_RX3_D0	1	I	0								
		UART3_TXD	2	O									
		EHRPWM0_B	3	IO	0								
		TRC_DATA2	6	O									
		GPIO0_82	7	IO	焊盘								
		PRG0_PWM2_B0	9	IO	1								
		BOOTMODE04	自举	I									
U19	GPMC0_AD5 PADCONFIG： PADCONFIG20 0x000F4050	GPMC0_AD5	0	IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		FSI_RX3_D1	1	I	0								
		UART3_RTSn	2	O									
		EHRPWM1_A	3	IO	0								
		TRC_DATA3	6	O									
		GPIO0_83	7	IO	焊盘								
		PRG0_PWM2_A1	9	IO	0								
		BOOTMODE05	自举	I									
V20	GPMC0_AD6 PADCONFIG： PADCONFIG21 0x000F4054	GPMC0_AD6	0	IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		FSI_RX4_D0	1	I	0								
		UART4_RXD	2	I	1								
		EHRPWM1_B	3	IO	0								
		TRC_DATA4	6	O									
		GPIO0_21	7	IO	焊盘								
		PRG0_PWM2_B1	9	IO	1								
		BOOTMODE06	自举	I									
V21	GPMC0_AD7 PADCONFIG： PADCONFIG22 0x000F4058	GPMC0_AD7	0	IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		FSI_RX4_D1	1	I	0								
		UART4_TXD	2	O									
		EHRPWM_TZn_IN1	3	I	0								
		EHRPWM8_A	4	IO	0								
		TRC_DATA5	6	O									
		GPIO0_22	7	IO	焊盘								
		PRG1_PWM2_A2	9	IO	0								
		BOOTMODE07	自举	I									

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（ALV、ANI 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态 RX/TX/拉动 [7]	复位之后的焊球状态 RX/TX/拉动 [8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
V19	GPMC0_AD8 PADCONFIG： PADCONFIG23 0x000F405C	GPMC0_AD8	0	IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		FSI_RX0_CLK	1	I	0								
		UART2_CTSn	2	I	1								
		EHRPWM2_A	3	IO	0								
		TRC_DATA6	6	O									
		GPIO0_23	7	IO	焊盘								
		PRG0_PWM2_A2	9	IO	0								
		BOOTMODE08	自举	I									
T17	GPMC0_AD9 PADCONFIG： PADCONFIG24 0x000F4060	GPMC0_AD9	0	IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		FSI_RX0_D0	1	I	0								
		UART3_CTSn	2	I	1								
		EHRPWM2_B	3	IO	0								
		TRC_DATA7	6	O									
		GPIO0_24	7	IO	焊盘								
		PRG0_PWM2_B2	9	IO	1								
		BOOTMODE09	自举	I									
R16	GPMC0_AD10 PADCONFIG： PADCONFIG25 0x000F4064	GPMC0_AD10	0	IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		FSI_RX0_D1	1	I	0								
		UART4_CTSn	2	I	1								
		EHRPWM_TZn_IN2	3	I	0								
		EHRPWM8_B	4	IO	0								
		TRC_DATA8	6	O									
		GPIO0_25	7	IO	焊盘								
		PRG1_PWM2_B2	9	IO	1								
		BOOTMODE10	自举	I									
W20	GPMC0_AD11 PADCONFIG： PADCONFIG26 0x000F4068	GPMC0_AD11	0	IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		FSI_RX1_CLK	1	I	0								
		UART5_CTSn	2	I	1								
		EQEP1_A	3	I	0								
		TRC_DATA9	6	O									
		GPIO0_26	7	IO	焊盘								
		EHRPWM7_A	8	IO	0								
		BOOTMODE11	自举	I									

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（ALV、ANI 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态 RX/TX/拉动 [7]	复位之后的焊球状态 RX/TX/拉动 [8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
W21	GPMC0_AD12 PADCONFIG： PADCONFIG27 0x000F406C	GPMC0_AD12	0	IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		FSI_RX1_D0	1	I	0								
		UART6_CTSn	2	I	1								
		EQEP1_B	3	I	0								
		TRC_DATA10	6	O									
		GPIO0_27	7	IO	焊盘								
		EHRPWM7_B	8	IO	0								
		BOOTMODE12	自举	I									
V18	GPMC0_AD13 PADCONFIG： PADCONFIG28 0x000F4070	GPMC0_AD13	0	IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		FSI_RX1_D1	1	I	0								
		EHRPWM3_A	3	IO	0								
		TRC_DATA11	6	O									
		GPIO0_28	7	IO	焊盘								
		PRG0_PWM3_A0	9	IO	0								
		BOOTMODE13	自举	I									
Y21	GPMC0_AD14 PADCONFIG： PADCONFIG29 0x000F4074	GPMC0_AD14	0	IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		FSI_TX0_D0	1	O									
		UART6_RXD	2	I	1								
		EHRPWM3_B	3	IO	0								
		TRC_DATA12	6	O									
		GPIO0_29	7	IO	焊盘								
		PRG0_PWM3_B0	9	IO	1								
		BOOTMODE14	自举	I									
Y20	GPMC0_AD15 PADCONFIG： PADCONFIG30 0x000F4078	GPMC0_AD15	0	IO	0	开启/关闭/关闭	开启/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		FSI_TX0_D1	1	O									
		UART6_TXD	2	O									
		EHRPWM3_SYNCI	3	I	0								
		TRC_DATA13	6	O									
		GPIO0_30	7	IO	焊盘								
		BOOTMODE15	自举	I									

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（ALV、ANI 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态 RX/TX/拉动 [7]	复位之后的焊球状态 RX/TX/拉动 [8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
P17	GPMC0_BE0n_CLE PADCONFIG： PADCONFIG36 0x000F4090	GPMC0_BE0n_CLE	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		FSI_TX1_D0	1	O									
		UART6_RTSn	2	O									
		EHRPWM_TZn_IN4	3	I	0								
		EHRPWM7_A	5	IO	0								
		TRC_DATA18	6	O									
		GPIO0_35	7	IO	焊盘								
		PRG1_PWM2_A1	9	IO	0								
T19	GPMC0_BE1n PADCONFIG： PADCONFIG37 0x000F4094	GPMC0_BE1n	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		FSI_TX0_CLK	1	O									
		EHRPWM5_A	3	IO	0								
		TRC_DATA19	6	O									
		GPIO0_36	7	IO	焊盘								
		PRG0_PWM3_A2	9	IO	0								
R19	GPMC0_CSn0 PADCONFIG： PADCONFIG42 0x000F40A8	GPMC0_CSn0	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		EQEP0_S	3	IO	0								
		TRC_DATA23	6	O									
		GPIO0_41	7	IO	焊盘								
		EHRPWM6_SYNCI	8	I	0								
R20	GPMC0_CSn1 PADCONFIG： PADCONFIG43 0x000F40AC	GPMC0_CSn1	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		EQEP0_I	3	IO	0								
		EHRPWM_TZn_IN2	5	I	0								
		GPIO0_42	7	IO	焊盘								
		EHRPWM6_SYNCO	8	O									
		PRG1_PWM2_TZ_OUT	9	O									
P19	GPMC0_CSn2 PADCONFIG： PADCONFIG44 0x000F40B0	GPMC0_CSn2	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		I2C2_SCL	1	IOD	1								
		TIMER_IO8	2	IO	0								
		EQEP1_S	3	IO	0								
		EHRPWM_TZn_IN4	5	I	0								
		GPIO0_43	7	IO	焊盘								
		PRG1_PWM2_TZ_IN	9	I	0								

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（ALV、ANI 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态 RX/TX/拉动 [7]	复位之后的焊球状态 RX/TX/拉动 [8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
R21	GPMC0_CSn3 PADCONFIG：PADCONFIG45 0x000F40B4	GPMC0_CSn3	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		I2C2_SDA	1	IOD	1								
		TIMER_IO9	2	IO	0								
		EQEP1_I	3	IO	0								
		GPMC0_A20	4	OZ									
		EHRPWM_TZn_IN5	5	I	0								
		GPIO0_44	7	IO	焊盘								
W19	GPMC0_WAIT0 PADCONFIG：PADCONFIG38 0x000F4098	GPMC0_WAIT0	0	I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		EHRPWM5_B	3	IO	0								
		TRC_DATA20	6	O									
		GPIO0_37	7	IO	焊盘								
		PRG0_PWM3_B2	9	IO	1								
Y18	GPMC0_WAIT1 PADCONFIG：PADCONFIG39 0x000F409C	GPMC0_WAIT1	0	I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD
		FSI_TX1_D1	1	O									
		EHRPWM_TZn_IN5	3	I	0								
		GPMC0_A21	4	OZ									
		EHRPWM7_B	5	IO	0								
		TRC_DATA21	6	O									
		GPIO0_38	7	IO	焊盘								
		PRG1_PWM2_B1	9	IO	1								
A18	I2C0_SCL PADCONFIG：PADCONFIG152 0x000F4260	I2C0_SCL	0	IOD	1	关闭/关闭/不适用	开启/SS/不适用	7	1.8V/3.3V	VDDSHV0	是	I2C OD FS	
		GPIO1_64	7	IOD	焊盘								
B18	I2C0_SDA PADCONFIG：PADCONFIG153 0x000F4264	I2C0_SDA	0	IOD	1	关闭/关闭/不适用	开启/SS/不适用	7	1.8V/3.3V	VDDSHV0	是	I2C OD FS	
		GPIO1_65	7	IOD	焊盘								
C18	I2C1_SCL PADCONFIG：PADCONFIG154 0x000F4268	I2C1_SCL	0	IOD	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		CPTS0_HW1TSPUSH	1	I	0								
		TIMER_IO0	2	IO	0								
		SPI2_CS1	3	IO	1								
		GPIO1_66	7	IO	焊盘								
B19	I2C1_SDA PADCONFIG：PADCONFIG155 0x000F426C	I2C1_SDA	0	IOD	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		CPTS0_HW2TSPUSH	1	I	0								
		TIMER_IO1	2	IO	0								
		SPI2_CS2	3	IO	1								
		GPIO1_67	7	IO	焊盘								

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（ALV、ANI 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态 RX/TX/拉动 [7]	复位之后的焊球状态 RX/TX/拉动 [8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
B17	MCAN0_RX PADCONFIG： PADCONFIG149 0x000F4254	MCAN0_RX	0	I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		UART4_TXD	1	O									
		TIMER_IO3	2	IO	0								
		SYNC3_OUT	3	O									
		SPI4_CS2	6	IO	1								
		GPIO1_61	7	IO	焊盘								
		EQEP2_S	8	IO	0								
		UART0_RIn	9	I	1								
A17	MCAN0_TX PADCONFIG： PADCONFIG148 0x000F4250	MCAN0_TX	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		UART4_RXD	1	I	1								
		TIMER_IO2	2	IO	0								
		SYNC2_OUT	3	O									
		SPI4_CS1	6	IO	1								
		GPIO1_60	7	IO	焊盘								
		EQEP2_I	8	IO	0								
		UART0_DTRn	9	O									
D17	MCAN1_RX PADCONFIG： PADCONFIG151 0x000F425C	MCAN1_RX	0	I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		I2C3_SDA	1	IOD	1								
		ECAP2_IN_APWM_OUT	2	IO	0								
		OBSCLK0	3	O									
		TIMER_IO5	4	IO	0								
		UART5_TXD	5	O									
		EHRPWM_SOCB	6	O									
		GPIO1_63	7	IO	焊盘								
		EQEP2_B	8	I	0								
		UART0_DSRn	9	I	1								
		OBSCLK0	15	O									

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（ALV、ANI 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态 RX/TX/拉动 [7]	复位之后的焊球状态 RX/TX/拉动 [8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
C17	MCAN1_TX PADCONFIG： PADCONFIG150 0x000F4258	MCAN1_TX	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		I2C3_SCL	1	IOD	1								
		ECAP1_IN_APWM_OUT	2	IO	0								
		SYSCLKOUT0	3	O									
		TIMER_IO4	4	IO	0								
		UART5_RXD	5	I	1								
		EHRPWM_SOCA	6	O									
		GPIO1_62	7	IO	焊盘								
		EQEP2_A	8	I	0								
		UART0_DCDn	9	I	1								
E9	MCU_I2C0_SCL PADCONFIG： MCU_PADCONFIG18 0x04084048	MCU_I2C0_SCL	0	IOD	1	关闭/关闭/不适用	开启/SS/不适用	7	1.8V/3.3V	VDDSHV_MCU	是	I2C OD FS	
		MCU_GPIO0_18	7	IOD	焊盘								
A10	MCU_I2C0_SDA PADCONFIG： MCU_PADCONFIG19 0x0408404C	MCU_I2C0_SDA	0	IOD	1	关闭/关闭/不适用	开启/SS/不适用	7	1.8V/3.3V	VDDSHV_MCU	是	I2C OD FS	
		MCU_GPIO0_19	7	IOD	焊盘								
A11	MCU_I2C1_SCL PADCONFIG： MCU_PADCONFIG20 0x04084050	MCU_I2C1_SCL	0	IOD	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV_MCU	是	LVCMOS	PU/PD
		MCU_GPIO0_20	7	IO	焊盘								
B10	MCU_I2C1_SDA PADCONFIG： MCU_PADCONFIG21 0x04084054	MCU_I2C1_SDA	0	IOD	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV_MCU	是	LVCMOS	PU/PD
		MCU_GPIO0_21	7	IO	焊盘								
C21	MCU_OSC0_XI	MCU_OSC0_XI		I					1.8V	VDDS_OSC	是	HFOSC	
B20	MCU_OSC0_XO	MCU_OSC0_XO		O					1.8V	VDDS_OSC	是	HFOSC	
B21	MCU_PORz PADCONFIG： MCU_PADCONFIG23 0x0408405C	MCU_PORz	0	I				0	1.8V	VDDS_OSC	是	FS 复位	
B13	MCU_RESETSTATz PADCONFIG： MCU_PADCONFIG24 0x04084060	MCU_RESETSTATz	0	O		关闭/低电平/关闭	关闭/SS/关闭	0	1.8V/3.3V	VDDSHV_MCU	是	LVCMOS	PU/PD
		MCU_GPIO0_22	7	IO	焊盘								
B12	MCU_RESETz PADCONFIG： MCU_PADCONFIG22 0x04084058	MCU_RESETz	0	I		开启/关闭/上拉	开启/关闭/上拉	0	1.8V/3.3V	VDDSHV_MCU	是	LVCMOS	PU/PD

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（ALV、ANI 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态 RX/TX/拉动 [7]	复位之后的焊球状态 RX/TX/拉动 [8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
A20	MCU_SAFETY_ERRORn PADCONFIG: MCU_PADCONFIG25 0x04084064	MCU_SAFETY_ERRORn	0	IO		关闭/关闭/下拉	开启/SS/下拉	0	1.8V	VDDS_OSC	是	LVCMOS	PU/PD
E6	MCU_SPI0_CLK PADCONFIG： MCU_PADCONFIG2 0x04084008	MCU_SPI0_CLK	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV_MCU	是	LVCMOS	PU/PD
		MCU_GPIO0_11	7	IO	焊盘								
D7	MCU_SPI1_CLK PADCONFIG： MCU_PADCONFIG7 0x0408401C	MCU_SPI1_CLK	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV_MCU	是	LVCMOS	PU/PD
		MCU_GPIO0_7	7	IO	焊盘								
D6	MCU_SPI0_CS0 PADCONFIG： MCU_PADCONFIG0 0x04084000	MCU_SPI0_CS0	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV_MCU	是	LVCMOS	PU/PD
		MCU_GPIO0_13	7	IO	焊盘								
C6	MCU_SPI0_CS1 PADCONFIG： MCU_PADCONFIG1 0x04084004	MCU_SPI0_CS1	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV_MCU	是	LVCMOS	PU/PD
		MCU_OBSCLK0	1	O									
		MCU_SYSCLKOUT0	2	O									
		MCU_GPIO0_12	7	IO	焊盘								
E7	MCU_SPI0_D0 PADCONFIG： MCU_PADCONFIG3 0x0408400C	MCU_SPI0_D0	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV_MCU	是	LVCMOS	PU/PD
		MCU_GPIO0_10	7	IO	焊盘								
B6	MCU_SPI0_D1 PADCONFIG： MCU_PADCONFIG4 0x04084010	MCU_SPI0_D1	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV_MCU	是	LVCMOS	PU/PD
		MCU_GPIO0_4	7	IO	焊盘								
A7	MCU_SPI1_CS0 PADCONFIG： MCU_PADCONFIG5 0x04084014	MCU_SPI1_CS0	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV_MCU	是	LVCMOS	PU/PD
		MCU_GPIO0_5	7	IO	焊盘								
B7	MCU_SPI1_CS1 PADCONFIG： MCU_PADCONFIG6 0x04084018	MCU_SPI1_CS1	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV_MCU	是	LVCMOS	PU/PD
		MCU_EXT_REFCLK0	1	I	0								
		MCU_GPIO0_6	7	IO	焊盘								
C7	MCU_SPI1_D0 PADCONFIG： MCU_PADCONFIG8 0x04084020	MCU_SPI1_D0	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV_MCU	是	LVCMOS	PU/PD
		MCU_GPIO0_8	7	IO	焊盘								
C8	MCU_SPI1_D1 PADCONFIG： MCU_PADCONFIG9 0x04084024	MCU_SPI1_D1	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV_MCU	是	LVCMOS	PU/PD
		MCU_GPIO0_9	7	IO	焊盘								

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（ALV、ANI 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态 RX/TX/拉动 [7]	复位之后的焊球状态 RX/TX/拉动 [8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
D8	MCU_UART0_CTSn PADCONFIG： MCU_PADCONFIG12 0x04084030	MCU_UART0_CTSn	0	I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV_MCU	是	LVCMOS	PU/PD
		MCU_TIMER_IO0	1	IO	0								
		MCU_SPI0_CS2	2	IO	1								
		MCU_GPIO0_1	7	IO	焊盘								
E8	MCU_UART0_RTSn PADCONFIG： MCU_PADCONFIG13 0x04084034	MCU_UART0_RTSn	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV_MCU	是	LVCMOS	PU/PD
		MCU_TIMER_IO1	1	IO	0								
		MCU_SPI1_CS2	2	IO	1								
		MCU_GPIO0_0	7	IO	焊盘								
A9	MCU_UART0_RXD PADCONFIG： MCU_PADCONFIG10 0x04084028	MCU_UART0_RXD	0	I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV_MCU	是	LVCMOS	PU/PD
		MCU_GPIO0_3	7	IO	焊盘								
A8	MCU_UART0_TXD PADCONFIG： MCU_PADCONFIG11 0x0408402C	MCU_UART0_TXD	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV_MCU	是	LVCMOS	PU/PD
		MCU_GPIO0_2	7	IO	焊盘								
B8	MCU_UART1_CTSn PADCONFIG： MCU_PADCONFIG16 0x04084040	MCU_UART1_CTSn	0	I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV_MCU	是	LVCMOS	PU/PD
		MCU_TIMER_IO2	1	IO	0								
		MCU_SPI0_CS3	2	IO	1								
		MCU_GPIO0_16	7	IO	焊盘								
B9	MCU_UART1_RTSn PADCONFIG： MCU_PADCONFIG17 0x04084044	MCU_UART1_RTSn	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV_MCU	是	LVCMOS	PU/PD
		MCU_TIMER_IO3	1	IO	0								
		MCU_SPI1_CS3	2	IO	1								
		MCU_GPIO0_17	7	IO	焊盘								
C9	MCU_UART1_RXD PADCONFIG： MCU_PADCONFIG14 0x04084038	MCU_UART1_RXD	0	I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV_MCU	是	LVCMOS	PU/PD
		MCU_GPIO0_14	7	IO	焊盘								
D9	MCU_UART1_TXD PADCONFIG： MCU_PADCONFIG15 0x0408403C	MCU_UART1_TXD	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV_MCU	是	LVCMOS	PU/PD
		MCU_GPIO0_15	7	IO	焊盘								
F18	MMC0_CALPAD	MMC0_CALPAD		A					1.8V	VDDS_MMC0		eMMCPHY	
G18	MMC0_CLK	MMC0_CLK		IO		开启/低电平/关闭	开启/SS/关闭		1.8V	VDDS_MMC0		eMMCPHY	PU/PD
J21	MMC0_CMD	MMC0_CMD		IO		开启/高电平/上拉	开启/SS/上拉		1.8V	VDDS_MMC0		eMMCPHY	PU/PD
G19	MMC0_DS	MMC0_DS		IO		开启/关闭/下拉	开启/关闭/下拉		1.8V	VDDS_MMC0		eMMCPHY	PU/PD

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（ALV、ANI 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态 RX/TX/拉动 [7]	复位之后的焊球状态 RX/TX/拉动 [8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
L20	MMC1_CLK PADCONFIG：PADCONFIG163 0x000F428C	MMC1_CLK	0	IO		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV5	是	SDIO	PU/PD
		UART2_CTSn	1	I	1								
		TIMER_IO4	2	IO	0								
		UART4_RXD	3	I	1								
		GPIO1_75	7	IO	焊盘								
J19	MMC1_CMD PADCONFIG：PADCONFIG165 0x000F4294	MMC1_CMD	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV5	是	SDIO	PU/PD
		UART2_RTSn	1	O									
		TIMER_IO5	2	IO	0								
		UART4_TXD	3	O									
		GPIO1_76	7	IO	焊盘								
D19	MMC1_SDCD PADCONFIG：PADCONFIG166 0x000F4298	MMC1_SDCD	0	I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		UART3_CTSn	1	I	1								
		TIMER_IO6	2	IO	0								
		UART5_RXD	3	I	1								
		GPIO1_77	7	IO	焊盘								
C20	MMC1_SDWP PADCONFIG：PADCONFIG167 0x000F429C	MMC1_SDWP	0	I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		UART3_RTSn	1	O									
		TIMER_IO7	2	IO	0								
		UART5_TXD	3	O									
		GPIO1_78	7	IO	焊盘								
K20	MMC0_DAT0	MMC0_DAT0		IO		开启/关闭/上拉	开启/SS/上拉		1.8V	VDDS_MMC0		eMMCPHY	PU/PD
J20	MMC0_DAT1	MMC0_DAT1		IO		开启/关闭/上拉	开启/SS/上拉		1.8V	VDDS_MMC0		eMMCPHY	PU/PD
J18	MMC0_DAT2	MMC0_DAT2		IO		开启/关闭/上拉	开启/SS/上拉		1.8V	VDDS_MMC0		eMMCPHY	PU/PD
J17	MMC0_DAT3	MMC0_DAT3		IO		开启/关闭/上拉	开启/SS/上拉		1.8V	VDDS_MMC0		eMMCPHY	PU/PD
H17	MMC0_DAT4	MMC0_DAT4		IO		开启/关闭/上拉	开启/SS/上拉		1.8V	VDDS_MMC0		eMMCPHY	PU/PD
H19	MMC0_DAT5	MMC0_DAT5		IO		开启/关闭/上拉	开启/SS/上拉		1.8V	VDDS_MMC0		eMMCPHY	PU/PD
H18	MMC0_DAT6	MMC0_DAT6		IO		开启/关闭/上拉	开启/SS/上拉		1.8V	VDDS_MMC0		eMMCPHY	PU/PD
G17	MMC0_DAT7	MMC0_DAT7		IO		开启/关闭/上拉	开启/SS/上拉		1.8V	VDDS_MMC0		eMMCPHY	PU/PD
K21	MMC1_DAT0 PADCONFIG：PADCONFIG162 0x000F4288	MMC1_DAT0	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV5	是	SDIO	PU/PD
		CP_GEMAC_CPTS0_HW2TSPUSH	1	I	0								
		TIMER_IO3	2	IO	0								
		UART3_TXD	3	O									
		GPIO1_74	7	IO	焊盘								

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（ALV、ANI 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态 RX/TX/拉动 [7]	复位之后的焊球状态 RX/TX/拉动 [8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
L21	MMC1_DAT1 PADCONFIG： PADCONFIG161 0x000F4284	MMC1_DAT1	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV5	是	SDIO	PU/PD
		CP_GEMAC_CPTS0_HW1TSPUSH	1	I	0								
		TIMER_IO2	2	IO	0								
		UART3_RXD	3	I	1								
		GPIO1_73	7	IO	焊盘								
K19	MMC1_DAT2 PADCONFIG： PADCONFIG160 0x000F4280	MMC1_DAT2	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV5	是	SDIO	PU/PD
		CP_GEMAC_CPTS0_TS_SYNC	1	O									
		TIMER_IO1	2	IO	0								
		UART2_TXD	3	O									
		GPIO1_72	7	IO	焊盘								
K18	MMC1_DAT3 PADCONFIG： PADCONFIG159 0x000F427C	MMC1_DAT3	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV5	是	SDIO	PU/PD
		CP_GEMAC_CPTS0_TS_COMP	1	O									
		TIMER_IO0	2	IO	0								
		UART2_RXD	3	I	1								
		GPIO1_71	7	IO	焊盘								
N20	OSPI0_CLK PADCONFIG： PADCONFIG0 0x000F4000	OSPI0_CLK	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV4	是	LVCMOS	PU/PD
		GPIO0_0	7	IO	焊盘								
N19	OSPI0_DQS PADCONFIG： PADCONFIG2 0x000F4008	OSPI0_DQS	0	I	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV4	是	LVCMOS	PU/PD
		GPIO0_2	7	IO	焊盘								
N21	OSPI0_LBCLKO PADCONFIG： PADCONFIG1 0x000F4004	OSPI0_LBCLKO	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV4	是	LVCMOS	PU/PD
		GPIO0_1	7	IO	焊盘								
L19	OSPI0_CSn0 PADCONFIG： PADCONFIG11 0x000F402C	OSPI0_CSn0	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV4	是	LVCMOS	PU/PD
		GPIO0_11	7	IO	焊盘								
L18	OSPI0_CSn1 PADCONFIG： PADCONFIG12 0x000F4030	OSPI0_CSn1	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV4	是	LVCMOS	PU/PD
		GPIO0_12	7	IO	焊盘								
K17	OSPI0_CSn2 PADCONFIG： PADCONFIG13 0x000F4034	OSPI0_CSn2	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV4	是	LVCMOS	PU/PD
		OSPI0_RESET_OUT1	2	O									
		GPIO0_13	7	IO	焊盘								

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（ALV、ANI 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态 RX/TX/拉动 [7]	复位之后的焊球状态 RX/TX/拉动 [8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
L17	OSPI0_CSn3 PADCONFIG：PADCONFIG14 0x000F4038	OSPI0_CSn3	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV4	是	LVCMOS	PU/PD
		OSPI0_RESET_OUT0	1	O									
		OSPI0_ECC_FAIL	2	I	1								
		GPIO0_14	7	IO	焊盘								
M19	OSPI0_D0 PADCONFIG：PADCONFIG3 0x000F400C	OSPI0_D0	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV4	是	LVCMOS	PU/PD
		GPIO0_3	7	IO	焊盘								
M18	OSPI0_D1 PADCONFIG：PADCONFIG4 0x000F4010	OSPI0_D1	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV4	是	LVCMOS	PU/PD
		GPIO0_4	7	IO	焊盘								
M20	OSPI0_D2 PADCONFIG：PADCONFIG5 0x000F4014	OSPI0_D2	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV4	是	LVCMOS	PU/PD
		GPIO0_5	7	IO	焊盘								
M21	OSPI0_D3 PADCONFIG：PADCONFIG6 0x000F4018	OSPI0_D3	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV4	是	LVCMOS	PU/PD
		GPIO0_6	7	IO	焊盘								
P21	OSPI0_D4 PADCONFIG：PADCONFIG7 0x000F401C	OSPI0_D4	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV4	是	LVCMOS	PU/PD
		GPIO0_7	7	IO	焊盘								
P20	OSPI0_D5 PADCONFIG：PADCONFIG8 0x000F4020	OSPI0_D5	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV4	是	LVCMOS	PU/PD
		GPIO0_8	7	IO	焊盘								
N18	OSPI0_D6 PADCONFIG：PADCONFIG9 0x000F4024	OSPI0_D6	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV4	是	LVCMOS	PU/PD
		GPIO0_9	7	IO	焊盘								
M17	OSPI0_D7 PADCONFIG：PADCONFIG10 0x000F4028	OSPI0_D7	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV4	是	LVCMOS	PU/PD
		GPIO0_10	7	IO	焊盘								
E17	PORz_OUT PADCONFIG：PADCONFIG171 0x000F42AC	PORz_OUT	0	O		关闭/低电平/关闭	关闭/SS/关闭	0	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
P3	PRG0_MDIO0_MDC PADCONFIG：PADCONFIG129 0x000F4204	PRG0_MDIO0_MDC	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		GPIO1_41	7	IO	焊盘								
		GPMC0_A13	9	OZ									

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（ALV、ANI 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态 RX/TX/拉动 [7]	复位之后的焊球状态 RX/TX/拉动 [8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
P2	PRG0_MDIO0_MDIO PADCONFIG： PADCONFIG128 0x000F4200	PRG0_MDIO0_MDIO	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		GPIO1_40	7	IO	焊盘								
		GPMC0_A12	9	OZ									
Y1	PRG0_PRU0_GPO0 PADCONFIG： PADCONFIG88 0x000F4160	PRG0_PRU0_GPO0	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		PRG0_PRU0_GPI0	1	I	0								
		PRG0_RGMII1_RD0	2	I	0								
		PRG0_PWM3_A0	3	IO	0								
		GPIO1_0	7	IO	焊盘								
		UART2_CTSn	10	I	1								
R4	PRG0_PRU0_GPO1 PADCONFIG： PADCONFIG89 0x000F4164	PRG0_PRU0_GPO1	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		PRG0_PRU0_GPI1	1	I	0								
		PRG0_RGMII1_RD1	2	I	0								
		PRG0_PWM3_B0	3	IO	1								
		GPIO1_1	7	IO	焊盘								
		UART2_TXD	10	O									
U2	PRG0_PRU0_GPO2 PADCONFIG： PADCONFIG90 0x000F4168	PRG0_PRU0_GPO2	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		PRG0_PRU0_GPI2	1	I	0								
		PRG0_RGMII1_RD2	2	I	0								
		PRG0_PWM2_A0	3	IO	0								
		GPIO1_2	7	IO	焊盘								
		GPMC0_A0	9	OZ									
		UART2_RTSn	10	O									
V2	PRG0_PRU0_GPO3 PADCONFIG： PADCONFIG91 0x000F416C	PRG0_PRU0_GPO3	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		PRG0_PRU0_GPI3	1	I	0								
		PRG0_RGMII1_RD3	2	I	0								
		PRG0_PWM3_A2	3	IO	0								
		GPIO1_3	7	IO	焊盘								
		UART3_CTSn	10	I	1								
AA2	PRG0_PRU0_GPO4 PADCONFIG： PADCONFIG92 0x000F4170	PRG0_PRU0_GPO4	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		PRG0_PRU0_GPI4	1	I	0								
		PRG0_RGMII1_RX_CTL	2	I	0								
		PRG0_PWM2_B0	3	IO	1								
		GPIO1_4	7	IO	焊盘								
		GPMC0_A1	9	OZ									
		UART3_TXD	10	O									

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（ALV、ANI 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态 RX/TX/拉动 [7]	复位之后的焊球状态 RX/TX/拉动 [8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
R3	PRG0_PRU0_GPO5 PADCONFIG： PADCONFIG93 0x000F4174	PRG0_PRU0_GPO5	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		PRG0_PRU0_GPI5	1	I	0								
		PRG0_PWM3_B2	3	IO	1								
		GPIO1_5	7	IO	焊盘								
		UART3_RTSn	10	O									
T3	PRG0_PRU0_GPO6 PADCONFIG： PADCONFIG94 0x000F4178	PRG0_PRU0_GPO6	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		PRG0_PRU0_GPI6	1	I	0								
		PRG0_RGMII1_RXC	2	I	0								
		PRG0_PWM3_A1	3	IO	0								
		GPIO1_6	7	IO	焊盘								
		UART4_CTSn	10	I	1								
T1	PRG0_PRU0_GPO7 PADCONFIG： PADCONFIG95 0x000F417C	PRG0_PRU0_GPO7	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		PRG0_PRU0_GPI7	1	I	0								
		PRG0_IEP0_EDC_LATCH_IN1	2	I	0								
		PRG0_PWM3_B1	3	IO	1								
		CPTS0_HW2TSPUSH	4	I	0								
		CP_GEMAC_CPTS0_HW2TSPUSH	5	I	0								
		TIMER_IO6	6	IO	0								
		GPIO1_7	7	IO	焊盘								
		UART4_TXD	10	O									
T2	PRG0_PRU0_GPO8 PADCONFIG： PADCONFIG96 0x000F4180	PRG0_PRU0_GPO8	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		PRG0_PRU0_GPI8	1	I	0								
		PRG0_PWM2_A1	3	IO	0								
		GPIO1_8	7	IO	焊盘								
		GPMC0_A2	9	OZ									
		UART4_RTSn	10	O									
W6	PRG0_PRU0_GPO9 PADCONFIG： PADCONFIG97 0x000F4184	PRG0_PRU0_GPO9	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		PRG0_PRU0_GPI9	1	I	0								
		PRG0_UART0_CTSn	2	I	1								
		PRG0_PWM3_TZ_IN	3	I	0								
		RGMII1_RX_CTL	4	I	0								
		RMII1_RX_ER	5	I	0								
		PRG0_IEP0_EDIO_DATA_IN_OUT28	6	IO	0								
		GPIO1_9	7	IO	焊盘								
		UART2_RXD	10	I	1								

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（ALV、ANI 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态 RX/TX/拉动 [7]	复位之后的焊球状态 RX/TX/拉动 [8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
AA5	PRG0_PRU0_GPO10 PADCONFIG： PADCONFIG98 0x000F4188	PRG0_PRU0_GPO10	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		PRG0_PRU0_GPI10	1	I	0								
		PRG0_UART0_RTSn	2	O									
		PRG0_PWM2_B1	3	IO	1								
		RGMII1_RXC	4	I	0								
		RMII_REF_CLK	5	I	0								
		PRG0_IEP0_EDIO_DATA_IN_OUT29	6	IO	0								
		GPIO1_10	7	IO	焊盘								
		UART3_RXD	10	I	1								
Y3	PRG0_PRU0_GPO11 PADCONFIG： PADCONFIG99 0x000F418C	PRG0_PRU0_GPO11	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		PRG0_PRU0_GPI11	1	I	0								
		PRG0_RGMII1_TD0	2	O									
		PRG0_PWM3_TZ_OUT	3	O									
		GPIO1_11	7	IO	焊盘								
		UART4_RXD	10	I	1								
AA3	PRG0_PRU0_GPO12 PADCONFIG： PADCONFIG100 0x000F4190	PRG0_PRU0_GPO12	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		PRG0_PRU0_GPI12	1	I	0								
		PRG0_RGMII1_TD1	2	O									
		PRG0_PWM0_A0	3	IO	0								
		GPIO1_12	7	IO	焊盘								
		GPMC0_A14	9	OZ									
R6	PRG0_PRU0_GPO13 PADCONFIG： PADCONFIG101 0x000F4194	PRG0_PRU0_GPO13	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		PRG0_PRU0_GPI13	1	I	0								
		PRG0_RGMII1_TD2	2	O									
		PRG0_PWM0_B0	3	IO	1								
		SPI3_D0	6	IO	0								
		GPIO1_13	7	IO	焊盘								
		GPMC0_A15	9	OZ									
V4	PRG0_PRU0_GPO14 PADCONFIG： PADCONFIG102 0x000F4198	PRG0_PRU0_GPO14	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		PRG0_PRU0_GPI14	1	I	0								
		PRG0_RGMII1_TD3	2	O									
		PRG0_PWM0_A1	3	IO	0								
		SPI3_D1	6	IO	0								
		GPIO1_14	7	IO	焊盘								
		GPMC0_A3	9	OZ									

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（ALV、ANI 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态 RX/TX/拉动 [7]	复位之后的焊球状态 RX/TX/拉动 [8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
T5	PRG0_PRU0_GPO15 PADCONFIG： PADCONFIG103 0x000F419C	PRG0_PRU0_GPO15	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		PRG0_PRU0_GPI15	1	I	0								
		PRG0_RGMII1_TX_CTL	2	O									
		PRG0_PWM0_B1	3	IO	1								
		SPI3_CS1	6	IO	1								
		GPIO1_15	7	IO	焊盘								
		GPMC0_A16	9	OZ									
U4	PRG0_PRU0_GPO16 PADCONFIG： PADCONFIG104 0x000F41A0	PRG0_PRU0_GPO16	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		PRG0_PRU0_GPI16	1	I	0								
		PRG0_RGMII1_TXC	2	IO	0								
		PRG0_PWM0_A2	3	IO	0								
		SPI3_CLK	6	IO	0								
		GPIO1_16	7	IO	焊盘								
		GPMC0_A4	9	OZ									
U1	PRG0_PRU0_GPO17 PADCONFIG： PADCONFIG105 0x000F41A4	PRG0_PRU0_GPO17	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		PRG0_PRU0_GPI17	1	I	0								
		PRG0_IEP0_EDC_SYNC_OUT1	2	O									
		PRG0_PWM0_B2	3	IO	1								
		CPTS0_TS_SYNC	4	O									
		CP_GEMAC_CPTS0_TS_SYNC	5	O									
		SPI3_CS0	6	IO	1								
		GPIO1_17	7	IO	焊盘								
		TIMER_IO11	8	IO	0								
		GPMC0_A17	9	OZ									
V1	PRG0_PRU0_GPO18 PADCONFIG： PADCONFIG106 0x000F41A8	PRG0_PRU0_GPO18	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		PRG0_PRU0_GPI18	1	I	0								
		PRG0_IEP0_EDC_LATCH_IN0	2	I	0								
		PRG0_PWM0_TZ_IN	3	I	0								
		CPTS0_HW1TSPUSH	4	I	0								
		CP_GEMAC_CPTS0_HW1TSPUSH	5	I	0								
		EHRPWM8_A	6	IO	0								
		GPIO1_18	7	IO	焊盘								
		UART4_CTSn	8	I	1								
		GPMC0_A5	9	OZ									
		UART2_RXD	10	I	1								

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（ALV、ANI 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态 RX/TX/拉动 [7]	复位之后的焊球状态 RX/TX/拉动 [8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
W1	PRG0_PRU0_GPO19 PADCONFIG： PADCONFIG107 0x000F41AC	PRG0_PRU0_GPO19	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		PRG0_PRU0_GPI19	1	I	0								
		PRG0_IEP0_EDC_SYNC_OUT0	2	O									
		PRG0_PWM0_TZ_OUT	3	O									
		CPTS0_TS_COMP	4	O									
		CP_GEMAC_CPTS0_TS_COMP	5	O									
		EHRPWM8_B	6	IO	0								
		GPIO1_19	7	IO	焊盘								
		UART4_RTSn	8	O									
		GPMC0_A6	9	OZ									
		UART3_RXD	10	I	1								
Y2	PRG0_PRU1_GPO0 PADCONFIG： PADCONFIG108 0x000F41B0	PRG0_PRU1_GPO0	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		PRG0_PRU1_GPI0	1	I	0								
		PRG0_RGMII2_RD0	2	I	0								
		GPIO1_20	7	IO	焊盘								
		EQEP0_A	8	I	0								
		UART5_CTSn	10	I	1								
W2	PRG0_PRU1_GPO1 PADCONFIG： PADCONFIG109 0x000F41B4	PRG0_PRU1_GPO1	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		PRG0_PRU1_GPI1	1	I	0								
		PRG0_RGMII2_RD1	2	I	0								
		GPIO1_21	7	IO	焊盘								
		EQEP0_B	8	I	0								
		UART5_TXD	10	O									
V3	PRG0_PRU1_GPO2 PADCONFIG： PADCONFIG110 0x000F41B8	PRG0_PRU1_GPO2	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		PRG0_PRU1_GPI2	1	I	0								
		PRG0_RGMII2_RD2	2	I	0								
		PRG0_PWM2_A2	3	IO	0								
		GPIO1_22	7	IO	焊盘								
		EQEP0_S	8	IO	0								
		UART5_RTSn	10	O									

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（ALV、ANI 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态 RX/TX/拉动 [7]	复位之后的焊球状态 RX/TX/拉动 [8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
T4	PRG0_PRU1_GPO3 PADCONFIG： PADCONFIG111 0x000F41BC	PRG0_PRU1_GPO3	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		PRG0_PRU1_GPI3	1	I	0								
		PRG0_RGMII2_RD3	2	I	0								
		GPIO1_23	7	IO	焊盘								
		EQEP1_A	8	I	0								
		GPMC0_A18	9	OZ									
		UART6_CTSn	10	I	1								
W3	PRG0_PRU1_GPO4 PADCONFIG： PADCONFIG112 0x000F41C0	PRG0_PRU1_GPO4	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		PRG0_PRU1_GPI4	1	I	0								
		PRG0_RGMII2_RX_CTL	2	I	0								
		PRG0_PWM2_B2	3	IO	1								
		GPIO1_24	7	IO	焊盘								
		EQEP1_B	8	I	0								
		UART6_TXD	10	O									
P4	PRG0_PRU1_GPO5 PADCONFIG： PADCONFIG113 0x000F41C4	PRG0_PRU1_GPO5	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		PRG0_PRU1_GPI5	1	I	0								
		GPIO1_25	7	IO	焊盘								
		EQEP1_S	8	IO	0								
		UART6_RTSn	10	O									
R5	PRG0_PRU1_GPO6 PADCONFIG： PADCONFIG114 0x000F41C8	PRG0_PRU1_GPO6	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		PRG0_PRU1_GPI6	1	I	0								
		PRG0_RGMII2_RXC	2	I	0								
		GPIO1_26	7	IO	焊盘								
		EQEP2_A	8	I	0								
		GPMC0_A19	9	OZ									
		UART4_CTSn	10	I	1								
W5	PRG0_PRU1_GPO7 PADCONFIG： PADCONFIG115 0x000F41CC	PRG0_PRU1_GPO7	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		PRG0_PRU1_GPI7	1	I	0								
		PRG0_IEP1_EDC_LATCH_IN1	2	I	0								
		RGMII1_RD0	4	I	0								
		RMII1_RXD0	5	I	0								
		GPIO1_27	7	IO	焊盘								
		EQEP2_B	8	I	0								
		UART4_TXD	10	O									

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（ALV、ANI 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态 RX/TX/拉动 [7]	复位之后的焊球状态 RX/TX/拉动 [8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
R1	PRG0_PRU1_GPO8 PADCONFIG： PADCONFIG116 0x000F41D0	PRG0_PRU1_GPO8	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		PRG0_PRU1_GPI8	1	I	0								
		PRG0_PWM2_TZ_OUT	3	O									
		GPIO1_28	7	IO	焊盘								
		EQEP2_S	8	IO	0								
		UART4_RTSn	10	O									
Y5	PRG0_PRU1_GPO9 PADCONFIG： PADCONFIG117 0x000F41D4	PRG0_PRU1_GPO9	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		PRG0_PRU1_GPI9	1	I	0								
		PRG0_UART0_RXD	2	I	1								
		RGMII1_RD1	4	I	0								
		RMII1_RXD1	5	I	0								
		PRG0_IEP0_EDIO_DATA_IN_OUT30	6	IO	0								
		GPIO1_29	7	IO	焊盘								
		EQEP0_I	8	IO	0								
		UART5_RXD	10	I	1								
V6	PRG0_PRU1_GPO10 PADCONFIG： PADCONFIG118 0x000F41D8	PRG0_PRU1_GPO10	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		PRG0_PRU1_GPI10	1	I	0								
		PRG0_UART0_TXD	2	O									
		PRG0_PWM2_TZ_IN	3	I	0								
		RGMII1_RD2	4	I	0								
		RMII1_TXD0	5	O									
		PRG0_IEP0_EDIO_DATA_IN_OUT31	6	IO	0								
		GPIO1_30	7	IO	焊盘								
		EQEP1_I	8	IO	0								
		UART6_RXD	10	I	1								
W4	PRG0_PRU1_GPO11 PADCONFIG： PADCONFIG119 0x000F41DC	PRG0_PRU1_GPO11	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		PRG0_PRU1_GPI11	1	I	0								
		PRG0_RGMII2_TD0	2	O									
		GPIO1_31	7	IO	焊盘								
		EQEP2_I	8	IO	0								
		UART4_RXD	10	I	1								

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（ALV、ANI 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态 RX/TX/拉动 [7]	复位之后的焊球状态 RX/TX/拉动 [8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
Y4	PRG0_PRU1_GPO12 PADCONFIG： PADCONFIG120 0x000F41E0	PRG0_PRU1_GPO12	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		PRG0_PRU1_GPI12	1	I	0								
		PRG0_RGMII2_TD1	2	O									
		PRG0_PWM1_A0	3	IO	0								
		GPIO1_32	7	IO	焊盘								
		EQEP2_B	8	I	0								
		GPMC0_A7	9	OZ									
		UART4_TXD	10	O									
T6	PRG0_PRU1_GPO13 PADCONFIG： PADCONFIG121 0x000F41E4	PRG0_PRU1_GPO13	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		PRG0_PRU1_GPI13	1	I	0								
		PRG0_RGMII2_TD2	2	O									
		PRG0_PWM1_B0	3	IO	1								
		GPIO1_33	7	IO	焊盘								
		EQEP0_I	8	IO	0								
		GPMC0_A8	9	OZ									
		UART5_RXD	10	I	1								
U6	PRG0_PRU1_GPO14 PADCONFIG： PADCONFIG122 0x000F41E8	PRG0_PRU1_GPO14	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		PRG0_PRU1_GPI14	1	I	0								
		PRG0_RGMII2_TD3	2	O									
		PRG0_PWM1_A1	3	IO	0								
		GPIO1_34	7	IO	焊盘								
		EQEP1_I	8	IO	0								
		GPMC0_A9	9	OZ									
		UART6_RXD	10	I	1								
U5	PRG0_PRU1_GPO15 PADCONFIG： PADCONFIG123 0x000F41EC	PRG0_PRU1_GPO15	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		PRG0_PRU1_GPI15	1	I	0								
		PRG0_RGMII2_TX_CTL	2	O									
		PRG0_PWM1_B1	3	IO	1								
		GPIO1_35	7	IO	焊盘								
		GPMC0_A10	9	OZ									
		PRG0_ECAP0_IN_APWM_OUT	10	IO	0								

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（ALV、ANI 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态 RX/TX/拉动 [7]	复位之后的焊球状态 RX/TX/拉动 [8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
AA4	PRG0_PRU1_GPO16 PADCONFIG： PADCONFIG124 0x000F41F0	PRG0_PRU1_GPO16	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		PRG0_PRU1_GPI16	1	I	0								
		PRG0_RGMII2_TXC	2	IO	0								
		PRG0_PWM1_A2	3	IO	0								
		GPIO1_36	7	IO	焊盘								
		GPMC0_A11	9	OZ									
		PRG0_ECAP0_SYNC_OUT	10	O									
V5	PRG0_PRU1_GPO17 PADCONFIG： PADCONFIG125 0x000F41F4	PRG0_PRU1_GPO17	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		PRG0_PRU1_GPI17	1	I	0								
		PRG0_IEP1_EDC_SYNC_OUT1	2	O									
		PRG0_PWM1_B2	3	IO	1								
		RGMII1_RD3	4	I	0								
		RMII1_TXD1	5	O									
		GPIO1_37	7	IO	焊盘								
		PRG0_ECAP0_SYNC_OUT	8	O									
		PRG0_ECAP0_SYNC_IN	10	I	0								
P5	PRG0_PRU1_GPO18 PADCONFIG： PADCONFIG126 0x000F41F8	PRG0_PRU1_GPO18	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		PRG0_PRU1_GPI18	1	I	0								
		PRG0_IEP1_EDC_LATCH_IN0	2	I	0								
		PRG0_PWM1_TZ_IN	3	I	0								
		MDIO0_MDIO	4	IO	0								
		RMII1_TX_EN	5	O									
		EHRPWM7_A	6	IO	0								
		GPIO1_38	7	IO	焊盘								
		PRG0_ECAP0_SYNC_IN	8	I	0								
R2	PRG0_PRU1_GPO19 PADCONFIG： PADCONFIG127 0x000F41FC	PRG0_PRU1_GPO19	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD
		PRG0_PRU1_GPI19	1	I	0								
		PRG0_IEP1_EDC_SYNC_OUT0	2	O									
		PRG0_PWM1_TZ_OUT	3	O									
		MDIO0_MDC	4	O									
		RMII1_CRS_DV	5	I	0								
		EHRPWM7_B	6	IO	0								
		GPIO1_39	7	IO	焊盘								
		PRG0_ECAP0_IN_APWM_OUT	8	IO	0								

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（ALV、ANI 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态 RX/TX/拉动 [7]	复位之后的焊球状态 RX/TX/拉动 [8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
Y6	PRG1_MDIO0_MDC PADCONFIG： PADCONFIG87 0x000F415C	PRG1_MDIO0_MDC	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		MDIO0_MDC	4	O									
		GPIO0_86	7	IO	焊盘								
AA6	PRG1_MDIO0_MDIO PADCONFIG： PADCONFIG86 0x000F4158	PRG1_MDIO0_MDIO	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		MDIO0_MDIO	4	IO	0								
		GPIO0_85	7	IO	焊盘								
Y7	PRG1_PRU0_GPO0 PADCONFIG： PADCONFIG46 0x000F40B8	PRG1_PRU0_GPO0	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		PRG1_PRU0_GPI0	1	I	0								
		PRG1_RGMII1_RD0	2	I	0								
		PRG1_PWM3_A0	3	IO	0								
		GPIO0_45	7	IO	焊盘								
		GPMC0_AD16	8	IO	0								
U8	PRG1_PRU0_GPO1 PADCONFIG： PADCONFIG47 0x000F40BC	PRG1_PRU0_GPO1	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		PRG1_PRU0_GPI1	1	I	0								
		PRG1_RGMII1_RD1	2	I	0								
		PRG1_PWM3_B0	3	IO	1								
		GPIO0_46	7	IO	焊盘								
		GPMC0_AD17	8	IO	0								
W8	PRG1_PRU0_GPO2 PADCONFIG： PADCONFIG48 0x000F40C0	PRG1_PRU0_GPO2	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		PRG1_PRU0_GPI2	1	I	0								
		PRG1_RGMII1_RD2	2	I	0								
		PRG1_PWM2_A0	3	IO	0								
		GPIO0_47	7	IO	焊盘								
		GPMC0_AD18	8	IO	0								
V8	PRG1_PRU0_GPO3 PADCONFIG： PADCONFIG49 0x000F40C4	PRG1_PRU0_GPO3	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		PRG1_PRU0_GPI3	1	I	0								
		PRG1_RGMII1_RD3	2	I	0								
		PRG1_PWM3_A2	3	IO	0								
		GPIO0_48	7	IO	焊盘								
		GPMC0_AD19	8	IO	0								
Y8	PRG1_PRU0_GPO4 PADCONFIG： PADCONFIG50 0x000F40C8	PRG1_PRU0_GPO4	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		PRG1_PRU0_GPI4	1	I	0								
		PRG1_RGMII1_RX_CTL	2	I	0								
		PRG1_PWM2_B0	3	IO	1								
		GPIO0_49	7	IO	焊盘								
		GPMC0_AD20	8	IO	0								

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（ALV、ANI 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态 RX/TX/拉动 [7]	复位之后的焊球状态 RX/TX/拉动 [8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
V13	PRG1_PRU0_GPO5 PADCONFIG： PADCONFIG51 0x000F40CC	PRG1_PRU0_GPO5	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		PRG1_PRU0_GPI5	1	I	0								
		PRG1_PWM3_B2	3	IO	1								
		RGMII1_RX_CTL	4	I	0								
		GPIO0_50	7	IO	焊盘								
		GPMC0_AD21	8	IO	0								
AA7	PRG1_PRU0_GPO6 PADCONFIG： PADCONFIG52 0x000F40D0	PRG1_PRU0_GPO6	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		PRG1_PRU0_GPI6	1	I	0								
		PRG1_RGMII1_RXC	2	I	0								
		PRG1_PWM3_A1	3	IO	0								
		GPIO0_51	7	IO	焊盘								
		GPMC0_AD22	8	IO	0								
U13	PRG1_PRU0_GPO7 PADCONFIG： PADCONFIG53 0x000F40D4	PRG1_PRU0_GPO7	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		PRG1_PRU0_GPI7	1	I	0								
		PRG1_IEP0_EDC_LATCH_IN1	2	I	0								
		PRG1_PWM3_B1	3	IO	1								
		CPTS0_HW2TSPUSH	4	I	0								
		CLKOUT0	5	O									
		TIMER_IO10	6	IO	0								
		GPIO0_52	7	IO	焊盘								
		GPMC0_AD23	8	IO	0								
W13	PRG1_PRU0_GPO8 PADCONFIG： PADCONFIG54 0x000F40D8	PRG1_PRU0_GPO8	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		PRG1_PRU0_GPI8	1	I	0								
		PRG1_PWM2_A1	3	IO	0								
		RGMII1_RXC	4	I	0								
		GPIO0_53	7	IO	焊盘								
		GPMC0_AD24	8	IO	0								
U15	PRG1_PRU0_GPO9 PADCONFIG： PADCONFIG55 0x000F40DC	PRG1_PRU0_GPO9	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		PRG1_PRU0_GPI9	1	I	0								
		PRG1_UART0_CTSn	2	I	1								
		PRG1_PWM3_TZ_IN	3	I	0								
		RGMII1_TX_CTL	4	O									
		RMII1_RX_ER	5	I	0								
		PRG1_IEP0_EDIO_DATA_IN_OUT28	6	IO	0								
		GPIO0_54	7	IO	焊盘								
		GPMC0_AD25	8	IO	0								

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（ALV、ANI 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态 RX/TX/拉动 [7]	复位之后的焊球状态 RX/TX/拉动 [8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
U14	PRG1_PRU0_GPO10 PADCONFIG： PADCONFIG56 0x000F40E0	PRG1_PRU0_GPO10	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		PRG1_PRU0_GPI10	1	I	0								
		PRG1_UART0_RTSn	2	O									
		PRG1_PWM2_B1	3	IO	1								
		RGMII1_TXC	4	IO	0								
		RMII_REF_CLK	5	I	0								
		PRG1_IEP0_EDIO_DATA_IN_OUT29	6	IO	0								
		GPIO0_55	7	IO	焊盘								
		GPMC0_AD26	8	IO	0								
AA8	PRG1_PRU0_GPO11 PADCONFIG： PADCONFIG57 0x000F40E4	PRG1_PRU0_GPO11	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		PRG1_PRU0_GPI11	1	I	0								
		PRG1_RGMII1_TD0	2	O									
		PRG1_PWM3_TZ_OUT	3	O									
		GPIO0_56	7	IO	焊盘								
		GPMC0_AD27	8	IO	0								
U9	PRG1_PRU0_GPO12 PADCONFIG： PADCONFIG58 0x000F40E8	PRG1_PRU0_GPO12	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		PRG1_PRU0_GPI12	1	I	0								
		PRG1_RGMII1_TD1	2	O									
		PRG1_PWM0_A0	3	IO	0								
		GPIO0_57	7	IO	焊盘								
		GPMC0_AD28	8	IO	0								
W9	PRG1_PRU0_GPO13 PADCONFIG： PADCONFIG59 0x000F40EC	PRG1_PRU0_GPO13	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		PRG1_PRU0_GPI13	1	I	0								
		PRG1_RGMII1_TD2	2	O									
		PRG1_PWM0_B0	3	IO	1								
		GPIO0_58	7	IO	焊盘								
		GPMC0_AD29	8	IO	0								
AA9	PRG1_PRU0_GPO14 PADCONFIG： PADCONFIG60 0x000F40F0	PRG1_PRU0_GPO14	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		PRG1_PRU0_GPI14	1	I	0								
		PRG1_RGMII1_TD3	2	O									
		PRG1_PWM0_A1	3	IO	0								
		GPIO0_59	7	IO	焊盘								
		GPMC0_AD30	8	IO	0								

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（ALV、ANI 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态 RX/TX/拉动 [7]	复位之后的焊球状态 RX/TX/拉动 [8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
Y9	PRG1_PRU0_GPO15 PADCONFIG： PADCONFIG61 0x000F40F4	PRG1_PRU0_GPO15	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		PRG1_PRU0_GPI15	1	I	0								
		PRG1_RGMII1_TX_CTL	2	O									
		PRG1_PWM0_B1	3	IO	1								
		GPIO0_60	7	IO	焊盘								
		GPMC0_AD31	8	IO	0								
V9	PRG1_PRU0_GPO16 PADCONFIG： PADCONFIG62 0x000F40F8	PRG1_PRU0_GPO16	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		PRG1_PRU0_GPI16	1	I	0								
		PRG1_RGMII1_TXC	2	IO	0								
		PRG1_PWM0_A2	3	IO	0								
		GPIO0_61	7	IO	焊盘								
		GPMC0_BE2n	8	O									
U7	PRG1_PRU0_GPO17 PADCONFIG： PADCONFIG63 0x000F40FC	PRG1_PRU0_GPO17	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		PRG1_PRU0_GPI17	1	I	0								
		PRG1_IEP0_EDC_SYNC_OUT1	2	O									
		PRG1_PWM0_B2	3	IO	1								
		CPTS0_TS_SYNC	4	O									
		TIMER_IO7	6	IO	0								
		GPIO0_62	7	IO	焊盘								
		GPMC0_A0	8	OZ									
V7	PRG1_PRU0_GPO18 PADCONFIG： PADCONFIG64 0x000F4100	PRG1_PRU0_GPO18	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		PRG1_PRU0_GPI18	1	I	0								
		PRG1_IEP0_EDC_LATCH_IN0	2	I	0								
		PRG1_PWM0_TZ_IN	3	I	0								
		CPTS0_HW1TSPUSH	4	I	0								
		TIMER_IO8	6	IO	0								
		GPIO0_63	7	IO	焊盘								
		GPMC0_A1	8	OZ									
W7	PRG1_PRU0_GPO19 PADCONFIG： PADCONFIG65 0x000F4104	PRG1_PRU0_GPO19	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		PRG1_PRU0_GPI19	1	I	0								
		PRG1_IEP0_EDC_SYNC_OUT0	2	O									
		PRG1_PWM0_TZ_OUT	3	O									
		CPTS0_TS_COMP	4	O									
		TIMER_IO9	6	IO	0								
		GPIO0_64	7	IO	焊盘								
		GPMC0_A2	8	OZ									

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（ALV、ANI 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态 RX/TX/拉动 [7]	复位之后的焊球状态 RX/TX/拉动 [8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
W11	PRG1_PRU1_GPO0 PADCONFIG： PADCONFIG66 0x000F4108	PRG1_PRU1_GPO0	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		PRG1_PRU1_GPI0	1	I	0								
		PRG1_RGMII2_RD0	2	I	0								
		RGMII2_RD0	4	I	0								
		RMII2_RXD0	5	I	0								
		GPIO0_65	7	IO	焊盘								
		GPMC0_A3	8	OZ									
V11	PRG1_PRU1_GPO1 PADCONFIG： PADCONFIG67 0x000F410C	PRG1_PRU1_GPO1	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		PRG1_PRU1_GPI1	1	I	0								
		PRG1_RGMII2_RD1	2	I	0								
		RGMII2_RD1	4	I	0								
		RMII2_RXD1	5	I	0								
		GPIO0_66	7	IO	焊盘								
		GPMC0_A4	8	OZ									
AA12	PRG1_PRU1_GPO2 PADCONFIG： PADCONFIG68 0x000F4110	PRG1_PRU1_GPO2	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		PRG1_PRU1_GPI2	1	I	0								
		PRG1_RGMII2_RD2	2	I	0								
		PRG1_PWM2_A2	3	IO	0								
		RGMII2_RD2	4	I	0								
		GPIO0_67	7	IO	焊盘								
		GPMC0_A5	8	OZ									
Y12	PRG1_PRU1_GPO3 PADCONFIG： PADCONFIG69 0x000F4114	PRG1_PRU1_GPO3	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		PRG1_PRU1_GPI3	1	I	0								
		PRG1_RGMII2_RD3	2	I	0								
		RGMII2_RD3	4	I	0								
		GPIO0_68	7	IO	焊盘								
		GPMC0_A6	8	OZ									
W12	PRG1_PRU1_GPO4 PADCONFIG： PADCONFIG70 0x000F4118	PRG1_PRU1_GPO4	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		PRG1_PRU1_GPI4	1	I	0								
		PRG1_RGMII2_RX_CTL	2	I	0								
		PRG1_PWM2_B2	3	IO	1								
		RGMII2_RX_CTL	4	I	0								
		RMII2_RX_ER	5	I	0								
		GPIO0_69	7	IO	焊盘								
		GPMC0_A7	8	OZ									

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（ALV、ANI 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态 RX/TX/拉动 [7]	复位之后的焊球状态 RX/TX/拉动 [8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
AA13	PRG1_PRU1_GPO5 PADCONFIG： PADCONFIG71 0x000F411C	PRG1_PRU1_GPO5	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		PRG1_PRU1_GPI5	1	I	0								
		RGMII1_RD0	4	I	0								
		GPIO0_70	7	IO	焊盘								
		GPMC0_A8	8	OZ									
U11	PRG1_PRU1_GPO6 PADCONFIG： PADCONFIG72 0x000F4120	PRG1_PRU1_GPO6	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		PRG1_PRU1_GPI6	1	I	0								
		PRG1_RGMII2_RXC	2	I	0								
		RGMII2_RXC	4	I	0								
		GPIO0_71	7	IO	焊盘								
		GPMC0_A9	8	OZ									
V15	PRG1_PRU1_GPO7 PADCONFIG： PADCONFIG73 0x000F4124	PRG1_PRU1_GPO7	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		PRG1_PRU1_GPI7	1	I	0								
		PRG1_IEP1_EDC_LATCH_IN1	2	I	0								
		RGMII1_TD0	4	O									
		RMII1_RXD0	5	I	0								
		SPI3_CS3	6	IO	1								
		GPIO0_72	7	IO	焊盘								
		GPMC0_A10	8	OZ									
U12	PRG1_PRU1_GPO8 PADCONFIG： PADCONFIG74 0x000F4128	PRG1_PRU1_GPO8	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		PRG1_PRU1_GPI8	1	I	0								
		PRG1_PWM2_TZ_OUT	3	O									
		RGMII1_RD1	4	I	0								
		GPIO0_73	7	IO	焊盘								
		GPMC0_A11	8	OZ									
V14	PRG1_PRU1_GPO9 PADCONFIG： PADCONFIG75 0x000F412C	PRG1_PRU1_GPO9	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		PRG1_PRU1_GPI9	1	I	0								
		PRG1_UART0_RXD	2	I	1								
		RGMII1_TD1	4	O									
		RMII1_RXD1	5	I	0								
		PRG1_IEP0_EDIO_DATA_IN_OUT30	6	IO	0								
		GPIO0_74	7	IO	焊盘								
		GPMC0_A12	8	OZ									

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（ALV、ANI 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态 RX/TX/拉动 [7]	复位之后的焊球状态 RX/TX/拉动 [8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
W14	PRG1_PRU1_GPO10 PADCONFIG： PADCONFIG76 0x000F4130	PRG1_PRU1_GPO10	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		PRG1_PRU1_GPI10	1	I	0								
		PRG1_UART0_TXD	2	O									
		PRG1_PWM2_TZ_IN	3	I	0								
		RGMII1_TD2	4	O									
		RMII1_TXD0	5	O									
		PRG1_IEP0_EDIO_DATA_IN_OUT31	6	IO	0								
		GPIO0_75	7	IO	焊盘								
		GPMC0_A13	8	OZ									
AA10	PRG1_PRU1_GPO11 PADCONFIG： PADCONFIG77 0x000F4134	PRG1_PRU1_GPO11	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		PRG1_PRU1_GPI11	1	I	0								
		PRG1_RGMII2_TD0	2	O									
		RGMII2_TD0	4	O									
		RMII2_TXD0	5	O									
		GPIO0_76	7	IO	焊盘								
		GPMC0_A14	8	OZ									
V10	PRG1_PRU1_GPO12 PADCONFIG： PADCONFIG78 0x000F4138	PRG1_PRU1_GPO12	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		PRG1_PRU1_GPI12	1	I	0								
		PRG1_RGMII2_TD1	2	O									
		PRG1_PWM1_A0	3	IO	0								
		RGMII2_TD1	4	O									
		RMII2_TXD1	5	O									
		GPIO0_77	7	IO	焊盘								
		GPMC0_A15	8	OZ									
U10	PRG1_PRU1_GPO13 PADCONFIG： PADCONFIG79 0x000F413C	PRG1_PRU1_GPO13	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		PRG1_PRU1_GPI13	1	I	0								
		PRG1_RGMII2_TD2	2	O									
		PRG1_PWM1_B0	3	IO	1								
		RGMII2_TD2	4	O									
		RMII2_CRS_DV	5	I	0								
		GPIO0_78	7	IO	焊盘								
		GPMC0_A16	8	OZ									

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（ALV、ANI 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态 RX/TX/拉动 [7]	复位之后的焊球状态 RX/TX/拉动 [8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
AA11	PRG1_PRU1_GPO14 PADCONFIG： PADCONFIG80 0x000F4140	PRG1_PRU1_GPO14	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		PRG1_PRU1_GPI14	1	I	0								
		PRG1_RGMII2_TD3	2	O									
		PRG1_PWM1_A1	3	IO	0								
		RGMII2_TD3	4	O									
		GPIO0_79	7	IO	焊盘								
		GPMC0_A17	8	OZ									
Y11	PRG1_PRU1_GPO15 PADCONFIG： PADCONFIG81 0x000F4144	PRG1_PRU1_GPO15	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		PRG1_PRU1_GPI15	1	I	0								
		PRG1_RGMII2_TX_CTL	2	O									
		PRG1_PWM1_B1	3	IO	1								
		RGMII2_TX_CTL	4	O									
		RMII2_TX_EN	5	O									
		GPIO0_80	7	IO	焊盘								
		GPMC0_A18	8	OZ									
Y10	PRG1_PRU1_GPO16 PADCONFIG： PADCONFIG82 0x000F4148	PRG1_PRU1_GPO16	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		PRG1_PRU1_GPI16	1	I	0								
		PRG1_RGMII2_TXC	2	IO	0								
		PRG1_PWM1_A2	3	IO	0								
		RGMII2_TXC	4	IO	0								
		GPIO0_81	7	IO	焊盘								
		GPMC0_A19	8	OZ									
AA14	PRG1_PRU1_GPO17 PADCONFIG： PADCONFIG83 0x000F414C	PRG1_PRU1_GPO17	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		PRG1_PRU1_GPI17	1	I	0								
		PRG1_IEP1_EDC_SYNC_OUT1	2	O									
		PRG1_PWM1_B2	3	IO	1								
		RGMII1_TD3	4	O									
		RMII1_TXD1	5	O									
		GPIO0_19	7	IO	焊盘								
		GPMC0_BE3n	8	O									
		PRG1_ECAP0_SYNC_OUT	9	O									

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（ALV、ANI 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态 RX/TX/拉动 [7]	复位之后的焊球状态 RX/TX/拉动 [8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
Y13	PRG1_PRU1_GPO18 PADCONFIG： PADCONFIG84 0x000F4150	PRG1_PRU1_GPO18	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		PRG1_PRU1_GPI18	1	I	0								
		PRG1_IEP1_EDC_LATCH_IN0	2	I	0								
		PRG1_PWM1_TZ_IN	3	I	0								
		RGMII1_RD2	4	I	0								
		RMII1_TX_EN	5	O									
		GPIO0_20	7	IO	焊盘								
		UART5_CTSn	8	I	1								
		PRG1_ECAP0_SYNC_IN	9	I	0								
V12	PRG1_PRU1_GPO19 PADCONFIG： PADCONFIG85 0x000F4154	PRG1_PRU1_GPO19	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD
		PRG1_PRU1_GPI19	1	I	0								
		PRG1_IEP1_EDC_SYNC_OUT0	2	O									
		PRG1_PWM1_TZ_OUT	3	O									
		RGMII1_RD3	4	I	0								
		RMII1_CRS_DV	5	I	0								
		SPI3_CS2	6	IO	1								
		GPIO0_84	7	IO	焊盘								
		UART5_RTSn	8	O									
		PRG1_ECAP0_IN_APWM_OUT	9	IO	0								
F16	RESETSTATz PADCONFIG： PADCONFIG169 0x000F42A4	RESETSTATz	0	O		关闭/低电平/关闭	关闭/SS/关闭	0	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
E18	RESET_REQz PADCONFIG： PADCONFIG168 0x000F42A0	RESET_REQz	0	I		开启/关闭/上拉	开启/关闭/上拉	0	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
H16	RSVD0	RSVD0		不适用									
D21	RSVD1	RSVD1		不适用									
G13	RSVD2	RSVD2		不适用									
F17	RSVD3	RSVD3		不适用									
W15	RSVD4	RSVD4		不适用									
V16	RSVD5	RSVD5		不适用									
K2	RSVD6	RSVD6		不适用									
K1	RSVD7	RSVD7		不适用									
F12	RSVD8	RSVD8		不适用									
T13	SERDES0_REXT	SERDES0_REXT		A					1.8V	VDDA_1P8_SERDES0		SERDES	
W16	SERDES0_REFCLK0N	SERDES0_REFCLK0N		IO					1.8V	VDDA_1P8_SERDES0		SERDES	

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（ALV、ANI 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态 RX/TX/拉动 [7]	复位之后的焊球状态 RX/TX/拉动 [8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
W17	SERDES0_REFCLK0P	SERDES0_REFCLK0P		IO					1.8V	VDDA_1P8_SERDES0		SERDES	
Y15	SERDES0_RX0_N	SERDES0_RX0_N		I					1.8V	VDDA_1P8_SERDES0		SERDES	
Y16	SERDES0_RX0_P	SERDES0_RX0_P		I					1.8V	VDDA_1P8_SERDES0		SERDES	
AA16	SERDES0_TX0_N	SERDES0_TX0_N		O					1.8V	VDDA_1P8_SERDES0		SERDES	
AA17	SERDES0_TX0_P	SERDES0_TX0_P		O					1.8V	VDDA_1P8_SERDES0		SERDES	
D13	SPI0_CLK PADCONFIG： PADCONFIG132 0x000F4210	SPI0_CLK	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		GPIO1_44	7	IO	焊盘								
C14	SPI1_CLK PADCONFIG： PADCONFIG137 0x000F4224	SPI1_CLK	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		EHRPWM6_SYNCI	3	I	0								
		GPIO1_49	7	IO	焊盘								
D12	SPI0_CS0 PADCONFIG： PADCONFIG130 0x000F4208	SPI0_CS0	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		GPIO1_42	7	IO	焊盘								
C13	SPI0_CS1 PADCONFIG： PADCONFIG131 0x000F420C	SPI0_CS1	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		CPTS0_TS_COMP	1	O									
		I2C2_SCL	2	IOD	1								
		TIMER_IO10	3	IO	0								
		PRG0_IEP0_EDIO_OUTVALID	4	O									
		UART6_RXD	5	I	1								
		ADC_EXT_TRIGGER0	6	I	0								
		GPIO1_43	7	IO	焊盘								
A13	SPI0_D0 PADCONFIG： PADCONFIG133 0x000F4214	SPI0_D0	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		GPIO1_45	7	IO	焊盘								
A14	SPI0_D1 PADCONFIG： PADCONFIG134 0x000F4218	SPI0_D1	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		GPIO1_46	7	IO	焊盘								
B14	SPI1_CS0 PADCONFIG： PADCONFIG135 0x000F421C	SPI1_CS0	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		EHRPWM6_A	3	IO	0								
		GPIO1_47	7	IO	焊盘								

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（ALV、ANI 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态 RX/TX/拉动 [7]	复位之后的焊球状态 RX/TX/拉动 [8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
D14	SPI1_CS1 PADCONFIG： PADCONFIG136 0x000F4220	SPI1_CS1	0	IO	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		CPTS0_TS_SYNC	1	O									
		I2C2_SDA	2	IOD	1								
		PRG1_IEP0_EDIO_OUTVALID	4	O									
		UART6_TXD	5	O									
		ADC_EXT_TRIGGER1	6	I	0								
		GPIO1_48	7	IO	焊盘								
		TIMER_IO11	8	IO	0								
B15	SPI1_D0 PADCONFIG： PADCONFIG138 0x000F4228	SPI1_D0	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		EHRPWM6_SYNCO	3	O									
		GPIO1_50	7	IO	焊盘								
A15	SPI1_D1 PADCONFIG： PADCONFIG139 0x000F422C	SPI1_D1	0	IO	0	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		EHRPWM6_B	3	IO	0								
		GPIO1_51	7	IO	焊盘								
B11	TCK PADCONFIG： MCU_PADCONFIG26 0x04084068	TCK	0	I		开启/关闭/上拉	开启/关闭/上拉	0	1.8V/3.3V	VDDSHV_MCU	是	LVCMOS	PU/PD
C11	TDI PADCONFIG： MCU_PADCONFIG28 0x04084070	TDI	0	I		开启/关闭/上拉	开启/关闭/上拉	0	1.8V/3.3V	VDDSHV_MCU	是	LVCMOS	PU/PD
A12	TDO PADCONFIG： MCU_PADCONFIG29 0x04084074	TDO	0	OZ		关闭/关闭/上拉	关闭/SS/上拉	0	1.8V/3.3V	VDDSHV_MCU	是	LVCMOS	PU/PD
C12	TMS PADCONFIG： MCU_PADCONFIG30 0x04084078	TMS	0	I		开启/关闭/上拉	开启/关闭/上拉	0	1.8V/3.3V	VDDSHV_MCU	是	LVCMOS	PU/PD
D11	TRSTn PADCONFIG： MCU_PADCONFIG27 0x0408406C	TRSTn	0	I		开启/关闭/下拉	开启/关闭/下拉	0	1.8V/3.3V	VDDSHV_MCU	是	LVCMOS	PU/PD

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（ALV、ANI 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态 RX/TX/拉动 [7]	复位之后的焊球状态 RX/TX/拉动 [8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
B16	UART0_CTSn PADCONFIG： PADCONFIG142 0x000F4238	UART0_CTSn	0	I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		SPI0_CS2	1	IO	1								
		ADC_EXT_TRIGGER0	2	I	0								
		UART2_RXD	3	I	1								
		TIMER_IO6	4	IO	0								
		SPI4_CLK	6	IO	0								
		GPIO1_54	7	IO	焊盘								
		EQEP0_S	8	IO	0								
		CP_GEMAC_CPTS0_TS_SYNC	9	O									
A16	UART0_RTSn PADCONFIG： PADCONFIG143 0x000F423C	UART0_RTSn	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		SPI0_CS3	1	IO	1								
		UART2_TXD	3	O									
		TIMER_IO7	4	IO	0								
		SPI4_D0	6	IO	0								
		GPIO1_55	7	IO	焊盘								
		EQEP0_I	8	IO	0								
D15	UART0_RXD PADCONFIG： PADCONFIG140 0x000F4230	UART0_RXD	0	I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		SPI2_D0	2	IO	0								
		GPIO1_52	7	IO	焊盘								
		EQEP0_A	8	I	0								
C16	UART0_TXD PADCONFIG： PADCONFIG141 0x000F4234	UART0_TXD	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		SPI2_D1	2	IO	0								
		GPIO1_53	7	IO	焊盘								
		EQEP0_B	8	I	0								
D16	UART1_CTSn PADCONFIG： PADCONFIG146 0x000F4248	UART1_CTSn	0	I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		SPI1_CS2	1	IO	1								
		ADC_EXT_TRIGGER1	2	I	0								
		PCIE0_CLKREQn	3	IO	0								
		UART3_RXD	4	I	1								
		CP_GEMAC_CPTS0_TS_SYNC	5	O									
		SPI4_D1	6	IO	0								
		GPIO1_58	7	IO	焊盘								
		EQEP1_S	8	IO	0								

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（ALV、ANI 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态 RX/TX/拉动 [7]	复位之后的焊球状态 RX/TX/拉动 [8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
E16	UART1_RTSn PADCONFIG： PADCONFIG147 0x000F424C	UART1_RTSn	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		SPI1_CS3	1	IO	1								
		UART3_TXD	4	O									
		CP_GEMAC_CPTS0_HW2TSPUSH	5	I	0								
		SPI4_CS0	6	IO	1								
		GPIO1_59	7	IO	焊盘								
		EQEP1_I	8	IO	0								
E15	UART1_RXD PADCONFIG： PADCONFIG144 0x000F4240	UART1_RXD	0	I	1	关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		SPI2_CS0	2	IO	1								
		CP_GEMAC_CPTS0_TS_COMP	5	O									
		GPIO1_56	7	IO	焊盘								
		EQEP1_A	8	I	0								
E14	UART1_TXD PADCONFIG： PADCONFIG145 0x000F4244	UART1_TXD	0	O		关闭/关闭/关闭	关闭/关闭/关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		SPI2_CLK	2	IO	0								
		CP_GEMAC_CPTS0_HW1TSPUSH	5	I	0								
		GPIO1_57	7	IO	焊盘								
		EQEP1_B	8	I	0								
AA20	USB0_DM	USB0_DM		IO					1.8V/3.3V	VDDA_3P3_USB0、VDDA_1P8_USB0		USB2PHY	
AA19	USB0_DP	USB0_DP		IO					1.8V/3.3V	VDDA_3P3_USB0、VDDA_1P8_USB0		USB2PHY	
E19	USB0_DRVVBUS PADCONFIG： PADCONFIG170 0x000F42A8	USB0_DRVVBUS	0	O		关闭/关闭/下拉	关闭/关闭/下拉	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD
		GPIO1_79	7	IO	焊盘								
U16	USB0_ID	USB0_ID		A					1.8V/3.3V	VDDA_3P3_USB0、VDDA_1P8_USB0		USB2PHY	
U17	USB0_RCALIB	USB0_RCALIB		A					1.8V/3.3V	VDDA_3P3_USB0、VDDA_1P8_USB0		USB2PHY	
T14	USB0_VBUS	USB0_VBUS		A					1.8V/3.3V	VDDA_3P3_USB0、VDDA_1P8_USB0		USB2PHY	
P12、P13	VDDA_0P85_SERDES0	VDDA_0P85_SERDES0		PWR									
P11	VDDA_0P85_SERDES0_C	VDDA_0P85_SERDES0_C		PWR									
T12	VDDA_0P85_USB0	VDDA_0P85_USB0		PWR									
R14	VDDA_1P8_SERDES0	VDDA_1P8_SERDES0		PWR									
R15	VDDA_1P8_USB0	VDDA_1P8_USB0		PWR									
H15	VDDA_3P3_SDIO	VDDA_3P3_SDIO		PWR									
R13	VDDA_3P3_USB0	VDDA_3P3_USB0		PWR									
J13	VDDA_ADC	VDDA_ADC		PWR									

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（ALV、ANI 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态 RX/TX/拉动 [7]	复位之后的焊球状态 RX/TX/拉动 [8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
K12	VDDA_MCU	VDDA_MCU		PWR									
N12	VDDA_PLL0	VDDA_PLL0		PWR									
H9	VDDA_PLL1	VDDA_PLL1		PWR									
J11	VDDA_PLL2	VDDA_PLL2		PWR									
G11	VDDA_TEMP0	VDDA_TEMP0		PWR									
L11	VDDA_TEMP1	VDDA_TEMP1		PWR									
L10、M13	VDDR_CORE	VDDR_CORE		PWR									
F11、G12、G14	VDDSHV0	VDDSHV0		PWR									
M7、N6、P7	VDDSHV1	VDDSHV1		PWR									
R10、R8、T9	VDDSHV2	VDDSHV2		PWR									
P14、P15	VDDSHV3	VDDSHV3		PWR									
M14、M15	VDDSHV4	VDDSHV4		PWR									
L14、L15	VDDSHV5	VDDSHV5		PWR									
F9、G10、G8	VDDSHV_MCU	VDDSHV_MCU		PWR									
F7、G6、H7、J6、K7、L6	VDDS_DDR	VDDS_DDR		PWR									
J8	VDDS_DDR_C	VDDS_DDR_C		PWR									
K14	VDDS_MMC0	VDDS_MMC0		PWR									
H13	VDDS_OSC	VDDS_OSC		PWR									
J10、J12、K11、K9、L12、L8、M11、M9、N10、N8、P9	VDD_CORE	VDD_CORE		PWR									
H14	VDD_DLL_MMC0	VDD_DLL_MMC0		PWR									
K13	VDD_MMC0	VDD_MMC0		PWR									
K16	VMON_1P8_MCU	VMON_1P8_MCU		A									
E12	VMON_1P8_SOC	VMON_1P8_SOC		A									
F13	VMON_3P3_MCU	VMON_3P3_MCU		A									
F14	VMON_3P3_SOC	VMON_3P3_SOC		A									
K10	VMON_VSYS	VMON_VSYS		A									
G15	VPP	VPP		PWR									

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（ALV、ANI 封装）（续）

焊球编号 [1]	焊球名称 [2] PADCONFIG 寄存器 [15] PADCONFIG 地址 [16]	信号名称 [3]	多路复用模式 [4]	类型 [5]	DSIS [6]	复位期间的焊球状态 RX/TX/拉动 [7]	复位之后的焊球状态 RX/TX/拉动 [8]	复位之后的多路复用模式 [9]	I/O 工作电压 [10]	电源 [11]	HYS [12]	缓冲器类型 [13]	上拉/下拉类型 [14]
A1、A21、A5、A6、AA1、AA15、AA18、AA21、C10、C15、C3、D1、E11、E13、F10、F15、F8、G1、G16、G3、G7、G9、H11、H20、H21、H6、H8、J14、J7、J9、K6、K8、L1、L16、L3、L7、L9、M10、M12、M6、M8、N11、N13、N15、N7、N9、P1、P10、P18、P6、P8、R12、R7、R9、T10、T11、T15、T16、T8、U3、V17、W10、W18、Y14、Y17、Y19	VSS	VSS		GND									

Copyright © 2026 Texas Instruments Incorporated

5.3 信号说明

根据引脚多路复用选项的软件配置，许多信号可在多个引脚上使用。

以下列表说明了列标题：

1. **信号名称：**通过引脚的信号的名称。

备注

每个信号说明表中提供的信号名称和说明表示在引脚上实现并通过 PADCONFIG 寄存器选择的引脚多路复用信号功能。某些器件子系统为这些表中未介绍的信号功能提供了额外的多路复用层。有关辅助多路复用信号功能的更多信息，请参阅器件 TRM 的相应外设章节。

2. **信号类型：**信号方向和类型：
   - I = 输入
   - O = 输出
   - OD = 输出，具有开漏输出功能
   - IO = 输入、输出或同时输入和输出
   - IOD = 输入、输出或同时输入和输出，具有开漏输出功能
   - IOZ = 输入、输出或同时输入和输出，具有三态输出功能
   - OZ = 具有三态输出功能的输出
   - A = 模拟
   - PWR = 电源
   - GND = 接地
   - CAP = LDO 电容器
3. **说明：**信号说明
4. **焊球：**与信号相关的球号

更多有关 IO 单元配置的信息，请参阅器件 TRM 中*器件配置*一章的*焊盘配置寄存器*部分。

5.3.1 ADC

备注

ADC 可配置为作为八个通用数字输入运行。有关更多信息，请参阅器件 TRM 的“外设”一章中的“模数转换器 (ADC)”一节。

5.3.1.1 MAIN 域

表 5-2. ADC0 信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
ADC0_REFN (5)	A	ADC0 负基准	J16
ADC0_REFP (5)	A	ADC0 正基准	J15
ADC0_AIN0 (2) (3) (4)	A	ADC 模拟输入 0/GPIO1_80（仅限输入）	G20
ADC0_AIN1 (2) (3) (4)	A	ADC 模拟输入 1/GPIO1_81（仅限输入）	F20
ADC0_AIN2 (2) (3) (4)	A	ADC 模拟输入 2/GPIO1_82（仅限输入）	E21
ADC0_AIN3 (2) (3) (4)	A	ADC 模拟输入 3/GPIO1_83（仅限输入）	D20
ADC0_AIN4 (2) (3) (4)	A	ADC 模拟输入 4/GPIO1_84（仅限输入）	G21

Copyright © 2026 Texas Instruments Incorporated

表 5-2. ADC0 信号说明（续）

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
ADC0_AIN5 (2) (3) (4)	A	ADC 模拟输入 5/GPIO1_85（仅限输入）	F21
ADC0_AIN6 (2) (3) (4)	A	ADC 模拟输入 6/GPIO1_86（仅限输入）	F19
ADC0_AIN7 (2) (3) (4)	A	ADC 模拟输入 7/GPIO1_87（仅限输入）	E20
ADC_EXT_TRIGGER0 (1)	I	ADC 触发输入	B16、C13
ADC_EXT_TRIGGER1 (1)	I	ADC 触发输入	D14、D16

(1) 该 ADC 触发输入信号具有去抖功能。有关 I/O 去抖配置的更多信息，请参阅 TRM *器件配置* 一章。
(2) 当 ADC0 配置为在 GPI 模式下运行时，与该 ADC0_AIN 输入关联的通用输入信号具有去抖功能。有关将 ADC0 配置为在 GPI 模式下运行的更多信息，请参阅*外设* 一章中的 TRM *模数转换器 (ADC)* 一节。有关 I/O 去抖配置的更多信息，请参阅 TRM *器件配置* 一章。
(3) ADC0_AIN[7:0] 输入仅在 ADC0 配置为在 GPI 模式下运行时具有迟滞。
(4) VDDA_ADC 连接到电源时，任何未使用的 ADC0_AIN 输入均必须通过电阻器上拉至 VSS 或直接连接到 VSS。
(5) ADC0_REFP 和 ADC0_REFN 基准输入是模拟输入，必须将其视为高瞬态电源轨，其中 ADC0_REFN 应与所有其他 VSS 引脚一起直接连接到 PCB 接地平面，而 ADC0_REFP 连接到能够提供至少 4mA 电流的电源。如果电源的电压容差为 ADC 基准提供了可接受的精度，则可以将 ADC0_REFP 连接到与 VDDA_ADC0 相同的电源。必须在 ADC0_REFP 和 ADC0_REFN 之间直接连接一个高频去耦电容器。高频去耦电容器应放置在 PCB 背面的焊球阵列中，并通过过孔直接连接到 ADC0_REFP 和 ADC0_REFN 引脚。如果未使用 ADC0 并且 VDDA_ADC0 已连接到 VSS，则 ADC0_REFP 可以连接到 VSS。如果未使用 ADC0 且 ADC0_REFP 连接到 VSS，则不需要上述高频去耦电容器。有关 ADC0 连接的更多信息，请参阅*引脚连接要求* 一节。

5.3.2 CPSW3G

5.3.2.1 MAIN 域

表 5-3. CPSW3G0 RGMII1 信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
RGMII1_RXC	I	RGMII 接收时钟	AA5、W13
RGMII1_RX_CTL	I	RGMII 接收控制	V13、W6
RGMII1_TXC	IO	RGMII 发送时钟	U14
RGMII1_TX_CTL	O	RGMII 发送控制	U15
RGMII1_RD0	I	RGMII 接收数据 0	AA13、W5
RGMII1_RD1	I	RGMII 接收数据 1	U12、Y5
RGMII1_RD2	I	RGMII 接收数据 2	V6、Y13
RGMII1_RD3	I	RGMII 接收数据 3	V12、V5
RGMII1_TD0	O	RGMII 发送数据 0	V15
RGMII1_TD1	O	RGMII 发送数据 1	V14
RGMII1_TD2	O	RGMII 发送数据 2	W14
RGMII1_TD3	O	RGMII 发送数据 3	AA14

表 5-4. CPSW3G0 RGMII2 信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
RGMII2_RXC	I	RGMII 接收时钟	U11
RGMII2_RX_CTL	I	RGMII 接收控制	W12
RGMII2_TXC	IO	RGMII 发送时钟	Y10
RGMII2_TX_CTL	O	RGMII 发送控制	Y11
RGMII2_RD0	I	RGMII 接收数据 0	W11
RGMII2_RD1	I	RGMII 接收数据 1	V11
RGMII2_RD2	I	RGMII 接收数据 2	AA12

Copyright © 2026 Texas Instruments Incorporated

表 5-4. CPSW3G0 RGMII2 信号说明（续）

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
RGMII2_RD3	I	RGMII 接收数据 3	Y12
RGMII2_TD0	O	RGMII 发送数据 0	AA10
RGMII2_TD1	O	RGMII 发送数据 1	V10
RGMII2_TD2	O	RGMII 发送数据 2	U10
RGMII2_TD3	O	RGMII 发送数据 3	AA11

表 5-5. CPSW3G0 RMII1 和 RMII2 信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
RMII1_CRS_DV	I	RMII 载波侦听/数据有效	R2、V12
RMII1_RX_ER	I	RMII 接收数据错误	U15、W6
RMII1_TX_EN	O	RMII 发送使能	P5、Y13
RMII2_CRS_DV	I	RMII 载波侦听/数据有效	U10
RMII2_RX_ER	I	RMII 接收数据错误	W12
RMII2_TX_EN	O	RMII 发送使能	Y11
RMII1_RXD0	I	RMII 接收数据 0	V15、W5
RMII1_RXD1	I	RMII 接收数据 1	V14、Y5
RMII1_TXD0	O	RMII 发送数据 0	V6、W14
RMII1_TXD1	O	RMII 发送数据 1	AA14、V5
RMII2_RXD0	I	RMII 接收数据 0	W11
RMII2_RXD1	I	RMII 接收数据 1	V11
RMII2_TXD0	O	RMII 发送数据 0	AA10
RMII2_TXD1	O	RMII 发送数据 1	V10
RMII_REF_CLK (1)	I	RMII 基准时钟	AA5、U14

(1) RMII_REF_CLK 由 RMII1 和 RMII2 共用。

5.3.3 CPTS

5.3.3.1 MAIN 域

表 5-6. CP GEMAC CPTS0 信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
CP_GEMAC_CPTS0_RFT_CLK	I	CPTS 到 CPSW3G0 CPTS 的基准时钟输入	D18
CP_GEMAC_CPTS0_TS_COMP	O	来自 CPSW3G0 CPTS 的 CPTS 时间戳计数器比较输出	E15、K18、W1
CP_GEMAC_CPTS0_TS_SYNC	O	来自 CPSW3G0 CPTS 的 CPTS 时间戳计数器位输出	B16、D16、K19、U1
CP_GEMAC_CPTS0_HW1TSPUSH	I	CPTS 到 CPSW3G0 CPTS 的硬件时间戳推送输入	E14、L21、V1
CP_GEMAC_CPTS0_HW2TSPUSH	I	CPTS 到 CPSW3G0 CPTS 的硬件时间戳推送输入	E16、K21、T1

表 5-7. CPTS0 信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
CPTS0_RFT_CLK	I	CPTS 基准时钟输入	D18
CPTS0_TS_COMP	O	CPTS 时间戳计数器比较输出	C13、W1、W7

Copyright © 2026 Texas Instruments Incorporated

表 5-7. CPTS0 信号说明（续）

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
CPTS0_TS_SYNC	O	CPTS 时间戳计数器位输出	D14、U1、U7
CPTS0_HW1TSPUSH	I	时间同步路由器的 CPTS 硬件时间戳推送输入	C18、V1、V7
CPTS0_HW2TSPUSH	I	时间同步路由器的 CPTS 硬件时间戳推送输入	B19、T1、U13
SYNC0_OUT	O	来自时间同步路由器的 CPTS 时间戳生成器位 0 输出	D18
SYNC1_OUT	O	来自时间同步路由器的 CPTS 时间戳生成器位 1 输出	A19
SYNC2_OUT	O	来自时间同步路由器的 CPTS 时间戳生成器位 2 输出	A17
SYNC3_OUT	O	来自时间同步路由器的 CPTS 时间戳生成器位 3 输出	B17

5.3.4 DDRSS

5.3.4.1 MAIN 域

表 5-8. DDRSS0 信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
DDR0_ACT_n	O	DDRSS 激活命令	H2
DDR0_ALERT_n	IO	DDRSS 警报	H1
DDR0_CAS_n	O	DDRSS 列地址选通	J5
DDR0_PAR	O	DDRSS 命令和地址奇偶校验	K5
DDR0_RAS_n	O	DDRSS 行地址选通	F6
DDR0_WE_n	O	DDRSS 写入使能	H4
DDR0_A0	O	DDRSS 地址总线	D2
DDR0_A1	O	DDRSS 地址总线	C5
DDR0_A2	O	DDRSS 地址总线	E2
DDR0_A3	O	DDRSS 地址总线	D4
DDR0_A4	O	DDRSS 地址总线	D3
DDR0_A5	O	DDRSS 地址总线	F2
DDR0_A6	O	DDRSS 地址总线	J2
DDR0_A7	O	DDRSS 地址总线	L5
DDR0_A8	O	DDRSS 地址总线	J3
DDR0_A9	O	DDRSS 地址总线	J4
DDR0_A10	O	DDRSS 地址总线	K3
DDR0_A11	O	DDRSS 地址总线	J1
DDR0_A12	O	DDRSS 地址总线	M5
DDR0_A13	O	DDRSS 地址总线	K4
DDR0_BA0	O	DDRSS 存储库地址	G4
DDR0_BA1	O	DDRSS 存储库地址	G5
DDR0_BG0	O	DDRSS 存储库组	G2
DDR0_BG1	O	DDRSS 存储库组	H3
DDR0_CAL0 (1)	A	IO 焊盘校准电阻	H5
DDR0_CK0	O	DDRSS 时钟	F1
DDR0_CK0_n	O	DDRSS 负时钟	E1
DDR0_CKE0	O	DDRSS 时钟使能	F4
DDR0_CKE1	O	DDRSS 时钟使能	F3

Copyright © 2026 Texas Instruments Incorporated

表 5-8. DDRSS0 信号说明（续）

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
DDR0_CS0_n	O	DDRSS 片选 0	E3
DDR0_CS1_n	O	DDRSS 片选 1	E4
DDR0_DM0	IO	DDRSS 数据掩码	B2
DDR0_DM1	IO	DDRSS 数据掩码	M2
DDR0_DQ0	IO	DDRSS 数据	A3
DDR0_DQ1	IO	DDRSS 数据	A2
DDR0_DQ2	IO	DDRSS 数据	B5
DDR0_DQ3	IO	DDRSS 数据	A4
DDR0_DQ4	IO	DDRSS 数据	B3
DDR0_DQ5	IO	DDRSS 数据	C4
DDR0_DQ6	IO	DDRSS 数据	C2
DDR0_DQ7	IO	DDRSS 数据	B4
DDR0_DQ8	IO	DDRSS 数据	N5
DDR0_DQ9	IO	DDRSS 数据	L4
DDR0_DQ10	IO	DDRSS 数据	L2
DDR0_DQ11	IO	DDRSS 数据	M3
DDR0_DQ12	IO	DDRSS 数据	N4
DDR0_DQ13	IO	DDRSS 数据	N3
DDR0_DQ14	IO	DDRSS 数据	M4
DDR0_DQ15	IO	DDRSS 数据	N2
DDR0_DQS0	IO	DDRSS 数据选通 0	C1
DDR0_DQS0_n	IO	DDRSS 互补数据选通 0	B1
DDR0_DQS1	IO	DDRSS 数据选通 1	N1
DDR0_DQS1_n	IO	DDRSS 互补数据选通 1	M1
DDR0_ODT0	O	用于片选 0 的 DDRSS 片上端接	E5
DDR0_ODT1	O	用于片选 1 的 DDRSS 片上端接	F5
DDR0_RESET0_n	O	DDRSS 复位	D5

(1) 必须在该引脚和 VSS 之间连接一个外部 240Ω ±1% 电阻。该电阻的最大功耗为 5.2mW。不应向该引脚施加外部电压。

5.3.5 ECAP

5.3.5.1 MAIN 域

表 5-9. ECAP0 信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
ECAP0_IN_APWM_OUT	IO	增强型捕获 (ECAP) 输入或辅助 PWM (APWM) 输出	D18

表 5-10. ECAP1 信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
ECAP1_IN_APWM_OUT	IO	增强型捕获 (ECAP) 输入或辅助 PWM (APWM) 输出	C17

Copyright © 2026 Texas Instruments Incorporated

表 5-11. ECAP2 信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
ECAP2_IN_APWM_OUT	IO	增强型捕获 (ECAP) 输入或辅助 PWM (APWM) 输出	D17

5.3.6 仿真和调试

5.3.6.1 MAIN 域

表 5-12. 布线信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
TRC_CLK	O	跟踪时钟	T20
TRC_CTL	O	跟踪控制	U21
TRC_DATA0	O	跟踪数据 0	T18
TRC_DATA1	O	跟踪数据 1	U20
TRC_DATA2	O	跟踪数据 2	U18
TRC_DATA3	O	跟踪数据 3	U19
TRC_DATA4	O	跟踪数据 4	V20
TRC_DATA5	O	跟踪数据 5	V21
TRC_DATA6	O	跟踪数据 6	V19
TRC_DATA7	O	跟踪数据 7	T17
TRC_DATA8	O	跟踪数据 8	R16
TRC_DATA9	O	跟踪数据 9	W20
TRC_DATA10	O	跟踪数据 10	W21
TRC_DATA11	O	跟踪数据 11	V18
TRC_DATA12	O	跟踪数据 12	Y21
TRC_DATA13	O	跟踪数据 13	Y20
TRC_DATA14	O	跟踪数据 14	R17
TRC_DATA15	O	跟踪数据 15	P16
TRC_DATA16	O	跟踪数据 16	R18
TRC_DATA17	O	跟踪数据 17	T21
TRC_DATA18	O	跟踪数据 18	P17
TRC_DATA19	O	跟踪数据 19	T19
TRC_DATA20	O	跟踪数据 20	W19
TRC_DATA21	O	跟踪数据 21	Y18
TRC_DATA22	O	跟踪数据 22	N16
TRC_DATA23	O	跟踪数据 23	R19

5.3.6.2 MCU 域

表 5-13. JTAG 信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
EMU0	IO	仿真控制 0	D10
EMU1	IO	仿真控制 1	E10
TCK	I	JTAG 测试时钟输入	B11
TDI	I	JTAG 测试数据输入	C11

Copyright © 2026 Texas Instruments Incorporated

表 5-13. JTAG 信号说明（续）

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
TDO	OZ	JTAG 测试数据输出	A12
TMS	I	JTAG 测试模式选择输入	C12
TRSTn	I	JTAG 复位	D11

5.3.7 EPWM

5.3.7.1 MAIN 域

表 5-14. EPWM 信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
EHRPWM_SOCA	O	EPWM 转换启动 A	C17
EHRPWM_SOCB	O	EPWM 转换启动 B	D17
EHRPWM_TZn_IN0	I	EPWM 触发区输入 0（低电平有效）	T18
EHRPWM_TZn_IN1	I	EPWM 触发区输入 1（低电平有效）	V21
EHRPWM_TZn_IN2	I	EPWM 触发区输入 2（低电平有效）	R16、R20
EHRPWM_TZn_IN3	I	EPWM 触发区输入 3（低电平有效）	P16
EHRPWM_TZn_IN4	I	EPWM 触发区输入 4（低电平有效）	P17、P19
EHRPWM_TZn_IN5	I	EPWM 触发区输入 5（低电平有效）	R21、Y18

表 5-15. EPWM0 信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
EHRPWM0_A	IO	EPWM 输出 A	U20
EHRPWM0_B	IO	EPWM 输出 B	U18
EHRPWM0_SYNCI	I	从外部引脚到 EPWM 模块的同步输入	T20
EHRPWM0_SYNCO	O	从 EPWM 模块到外部引脚的同步输出	U21

表 5-16. EPWM1 信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
EHRPWM1_A	IO	EPWM 输出 A	U19
EHRPWM1_B	IO	EPWM 输出 B	V20

表 5-17. EPWM2 信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
EHRPWM2_A	IO	EPWM 输出 A	V19
EHRPWM2_B	IO	EPWM 输出 B	T17

表 5-18. EPWM3 信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
EHRPWM3_A	IO	EPWM 输出 A	V18
EHRPWM3_B	IO	EPWM 输出 B	Y21
EHRPWM3_SYNCI	I	从外部引脚到 EPWM 模块的同步输入	Y20

Copyright © 2026 Texas Instruments Incorporated

表 5-18. EPWM3 信号说明（续）

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
EHRPWM3_SYNCO	O	从 EPWM 模块到外部引脚的同步输出	R17

表 5-19. EPWM4 信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
EHRPWM4_A	IO	EPWM 输出 A	R18
EHRPWM4_B	IO	EPWM 输出 B	T21

表 5-20. EPWM5 信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
EHRPWM5_A	IO	EPWM 输出 A	T19
EHRPWM5_B	IO	EPWM 输出 B	W19

表 5-21. EPWM6 信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
EHRPWM6_A	IO	EPWM 输出 A	B14、N16
EHRPWM6_B	IO	EPWM 输出 B	A15、N17
EHRPWM6_SYNCI	I	从外部引脚到 EPWM 模块的同步输入	C14、R19
EHRPWM6_SYNCO	O	从 EPWM 模块到外部引脚的同步输出	B15、R20

表 5-22. EPWM7 信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
EHRPWM7_A	IO	EPWM 输出 A	P17、P5、W20
EHRPWM7_B	IO	EPWM 输出 B	R2、W21、Y18

表 5-23. EPWM8 信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
EHRPWM8_A	IO	EPWM 输出 A	V1、V21
EHRPWM8_B	IO	EPWM 输出 B	R16、W1

5.3.8 EQEP

5.3.8.1 MAIN 域

表 5-24. EQEP0 信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
EQEP0_A (1)	I	EQEP 正交输入 A	D15、N16、Y2
EQEP0_B (1)	I	EQEP 正交输入 B	C16、N17、W2
EQEP0_I (1)	IO	EQEP 索引	A16、R20、T6、Y5

Copyright © 2026 Texas Instruments Incorporated

表 5-24. EQEP0 信号说明（续）

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
EQEP0_S (1)	IO	EQEP 选通	B16、R19、V3

(1) 该 EQEP 输入信号具有去抖功能。有关 I/O 去抖配置的更多信息，请参阅 TRM *器件配置* 一章。

表 5-25. EQEP1 信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
EQEP1_A (1)	I	EQEP 正交输入 A	E15、T4、W20
EQEP1_B (1)	I	EQEP 正交输入 B	E14、W21、W3
EQEP1_I (1)	IO	EQEP 索引	E16、R21、U6、V6
EQEP1_S (1)	IO	EQEP 选通	D16、P19、P4

(1) 该 EQEP 输入信号具有去抖功能。有关 I/O 去抖配置的更多信息，请参阅 TRM *器件配置* 一章。

表 5-26. EQEP2 信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
EQEP2_A (1)	I	EQEP 正交输入 A	C17、R5
EQEP2_B (1)	I	EQEP 正交输入 B	D17、W5、Y4
EQEP2_I (1)	IO	EQEP 索引	A17、W4
EQEP2_S (1)	IO	EQEP 选通	B17、R1

(1) 该 EQEP 输入信号具有去抖功能。有关 I/O 去抖配置的更多信息，请参阅 TRM *器件配置* 一章。

5.3.9 FSI

5.3.9.1 MAIN 域

表 5-27. FSI0 RX 信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
FSI_RX0_CLK	I	FSI 时钟	V19
FSI_RX0_D0	I	FSI 数据	T17
FSI_RX0_D1	I	FSI 数据	R16

表 5-28. FSI0 TX 信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
FSI_TX0_CLK	O	FSI 时钟	T19
FSI_TX0_D0	O	FSI 数据	Y21
FSI_TX0_D1	O	FSI 数据	Y20

表 5-29. FSI1 RX 信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
FSI_RX1_CLK	I	FSI 时钟	W20
FSI_RX1_D0	I	FSI 数据	W21

Copyright © 2026 Texas Instruments Incorporated

表 5-29. FSI1 RX 信号说明（续）

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
FSI_RX1_D1	I	FSI 数据	V18

表 5-30. FSI1 TX 信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
FSI_TX1_CLK	O	FSI 时钟	N16
FSI_TX1_D0	O	FSI 数据	P17
FSI_TX1_D1	O	FSI 数据	Y18

表 5-31. FSI2 RX 信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
FSI_RX2_CLK	I	FSI 时钟	T20
FSI_RX2_D0	I	FSI 数据	U21
FSI_RX2_D1	I	FSI 数据	T18

表 5-32. FSI3 RX 信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
FSI_RX3_CLK	I	FSI 时钟	U20
FSI_RX3_D0	I	FSI 数据	U18
FSI_RX3_D1	I	FSI 数据	U19

表 5-33. FSI4 RX 信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
FSI_RX4_CLK	I	FSI 时钟	R17
FSI_RX4_D0	I	FSI 数据	V20
FSI_RX4_D1	I	FSI 数据	V21

表 5-34. FSI5 RX 信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
FSI_RX5_CLK	I	FSI 时钟	P16
FSI_RX5_D0	I	FSI 数据	R18
FSI_RX5_D1	I	FSI 数据	T21

5.3.10 GPIO

5.3.10.1 MAIN 域

表 5-35. GPIO0 信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
GPIO0_0	IO	通用输入/输出	N20
GPIO0_1	IO	通用输入/输出	N21

Copyright © 2026 Texas Instruments Incorporated

表 5-35. GPIO0 信号说明（续）

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
GPIO0_2	IO	通用输入/输出	N19
GPIO0_3	IO	通用输入/输出	M19
GPIO0_4	IO	通用输入/输出	M18
GPIO0_5	IO	通用输入/输出	M20
GPIO0_6	IO	通用输入/输出	M21
GPIO0_7	IO	通用输入/输出	P21
GPIO0_8	IO	通用输入/输出	P20
GPIO0_9	IO	通用输入/输出	N18
GPIO0_10	IO	通用输入/输出	M17
GPIO0_11	IO	通用输入/输出	L19
GPIO0_12	IO	通用输入/输出	L18
GPIO0_13	IO	通用输入/输出	K17
GPIO0_14	IO	通用输入/输出	L17
GPIO0_15	IO	通用输入/输出	T20
GPIO0_16	IO	通用输入/输出	U21
GPIO0_17	IO	通用输入/输出	T18
GPIO0_18	IO	通用输入/输出	U20
GPIO0_19	IO	通用输入/输出	AA14
GPIO0_20	IO	通用输入/输出	Y13
GPIO0_21	IO	通用输入/输出	V20
GPIO0_22	IO	通用输入/输出	V21
GPIO0_23	IO	通用输入/输出	V19
GPIO0_24	IO	通用输入/输出	T17
GPIO0_25	IO	通用输入/输出	R16
GPIO0_26	IO	通用输入/输出	W20
GPIO0_27	IO	通用输入/输出	W21
GPIO0_28	IO	通用输入/输出	V18
GPIO0_29	IO	通用输入/输出	Y21
GPIO0_30	IO	通用输入/输出	Y20
GPIO0_31	IO	通用输入/输出	R17
GPIO0_32	IO	通用输入/输出	P16
GPIO0_33	IO	通用输入/输出	R18
GPIO0_34	IO	通用输入/输出	T21
GPIO0_35	IO	通用输入/输出	P17
GPIO0_36	IO	通用输入/输出	T19
GPIO0_37	IO	通用输入/输出	W19
GPIO0_38	IO	通用输入/输出	Y18
GPIO0_39	IO	通用输入/输出	N16
GPIO0_40	IO	通用输入/输出	N17
GPIO0_41	IO	通用输入/输出	R19
GPIO0_42	IO	通用输入/输出	R20
GPIO0_43 (1)	IO	通用输入/输出	P19

Copyright © 2026 Texas Instruments Incorporated

表 5-35. GPIO0 信号说明（续）

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
GPIO0_44 (1)	IO	通用输入/输出	R21
GPIO0_45	IO	通用输入/输出	Y7
GPIO0_46	IO	通用输入/输出	U8
GPIO0_47	IO	通用输入/输出	W8
GPIO0_48	IO	通用输入/输出	V8
GPIO0_49	IO	通用输入/输出	Y8
GPIO0_50	IO	通用输入/输出	V13
GPIO0_51	IO	通用输入/输出	AA7
GPIO0_52	IO	通用输入/输出	U13
GPIO0_53	IO	通用输入/输出	W13
GPIO0_54	IO	通用输入/输出	U15
GPIO0_55	IO	通用输入/输出	U14
GPIO0_56	IO	通用输入/输出	AA8
GPIO0_57	IO	通用输入/输出	U9
GPIO0_58	IO	通用输入/输出	W9
GPIO0_59	IO	通用输入/输出	AA9
GPIO0_60	IO	通用输入/输出	Y9
GPIO0_61	IO	通用输入/输出	V9
GPIO0_62	IO	通用输入/输出	U7
GPIO0_63	IO	通用输入/输出	V7
GPIO0_64	IO	通用输入/输出	W7
GPIO0_65	IO	通用输入/输出	W11
GPIO0_66	IO	通用输入/输出	V11
GPIO0_67	IO	通用输入/输出	AA12
GPIO0_68	IO	通用输入/输出	Y12
GPIO0_69	IO	通用输入/输出	W12
GPIO0_70	IO	通用输入/输出	AA13
GPIO0_71	IO	通用输入/输出	U11
GPIO0_72	IO	通用输入/输出	V15
GPIO0_73	IO	通用输入/输出	U12
GPIO0_74	IO	通用输入/输出	V14
GPIO0_75	IO	通用输入/输出	W14
GPIO0_76	IO	通用输入/输出	AA10
GPIO0_77	IO	通用输入/输出	V10
GPIO0_78	IO	通用输入/输出	U10
GPIO0_79	IO	通用输入/输出	AA11
GPIO0_80	IO	通用输入/输出	Y11
GPIO0_81	IO	通用输入/输出	Y10
GPIO0_82	IO	通用输入/输出	U18
GPIO0_83	IO	通用输入/输出	U19
GPIO0_84	IO	通用输入/输出	V12
GPIO0_85	IO	通用输入/输出	AA6

Copyright © 2026 Texas Instruments Incorporated

表 5-35. GPIO0 信号说明（续）

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
GPIO0_86	IO	通用输入/输出	Y6

(1) 该 GPIO 输入信号具有去抖功能。有关 I/O 去抖配置的更多信息，请参阅 TRM *器件配置* 一章。

表 5-36. GPIO1 信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
GPIO1_0	IO	通用输入/输出	Y1
GPIO1_1	IO	通用输入/输出	R4
GPIO1_2	IO	通用输入/输出	U2
GPIO1_3	IO	通用输入/输出	V2
GPIO1_4	IO	通用输入/输出	AA2
GPIO1_5	IO	通用输入/输出	R3
GPIO1_6	IO	通用输入/输出	T3
GPIO1_7	IO	通用输入/输出	T1
GPIO1_8	IO	通用输入/输出	T2
GPIO1_9	IO	通用输入/输出	W6
GPIO1_10	IO	通用输入/输出	AA5
GPIO1_11	IO	通用输入/输出	Y3
GPIO1_12	IO	通用输入/输出	AA3
GPIO1_13	IO	通用输入/输出	R6
GPIO1_14	IO	通用输入/输出	V4
GPIO1_15	IO	通用输入/输出	T5
GPIO1_16	IO	通用输入/输出	U4
GPIO1_17	IO	通用输入/输出	U1
GPIO1_18	IO	通用输入/输出	V1
GPIO1_19	IO	通用输入/输出	W1
GPIO1_20	IO	通用输入/输出	Y2
GPIO1_21	IO	通用输入/输出	W2
GPIO1_22	IO	通用输入/输出	V3
GPIO1_23	IO	通用输入/输出	T4
GPIO1_24	IO	通用输入/输出	W3
GPIO1_25	IO	通用输入/输出	P4
GPIO1_26	IO	通用输入/输出	R5
GPIO1_27	IO	通用输入/输出	W5
GPIO1_28	IO	通用输入/输出	R1
GPIO1_29	IO	通用输入/输出	Y5
GPIO1_30	IO	通用输入/输出	V6
GPIO1_31	IO	通用输入/输出	W4
GPIO1_32	IO	通用输入/输出	Y4
GPIO1_33	IO	通用输入/输出	T6
GPIO1_34	IO	通用输入/输出	U6
GPIO1_35	IO	通用输入/输出	U5

Copyright © 2026 Texas Instruments Incorporated

表 5-36. GPIO1 信号说明（续）

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
GPIO1_36	IO	通用输入/输出	AA4
GPIO1_37	IO	通用输入/输出	V5
GPIO1_38	IO	通用输入/输出	P5
GPIO1_39	IO	通用输入/输出	R2
GPIO1_40	IO	通用输入/输出	P2
GPIO1_41	IO	通用输入/输出	P3
GPIO1_42	IO	通用输入/输出	D12
GPIO1_43	IO	通用输入/输出	C13
GPIO1_44	IO	通用输入/输出	D13
GPIO1_45	IO	通用输入/输出	A13
GPIO1_46	IO	通用输入/输出	A14
GPIO1_47	IO	通用输入/输出	B14
GPIO1_48	IO	通用输入/输出	D14
GPIO1_49	IO	通用输入/输出	C14
GPIO1_50	IO	通用输入/输出	B15
GPIO1_51	IO	通用输入/输出	A15
GPIO1_52	IO	通用输入/输出	D15
GPIO1_53	IO	通用输入/输出	C16
GPIO1_54	IO	通用输入/输出	B16
GPIO1_55	IO	通用输入/输出	A16
GPIO1_56	IO	通用输入/输出	E15
GPIO1_57	IO	通用输入/输出	E14
GPIO1_58	IO	通用输入/输出	D16
GPIO1_59	IO	通用输入/输出	E16
GPIO1_60	IO	通用输入/输出	A17
GPIO1_61	IO	通用输入/输出	B17
GPIO1_62	IO	通用输入/输出	C17
GPIO1_63	IO	通用输入/输出	D17
GPIO1_64	IOD	通用输入/输出	A18
GPIO1_65	IOD	通用输入/输出	B18
GPIO1_66	IO	通用输入/输出	C18
GPIO1_67	IO	通用输入/输出	B19
GPIO1_68 (1)	IO	通用输入/输出	D18
GPIO1_69	IO	通用输入/输出	A19
GPIO1_70 (1)	IOD	通用输入/输出	C19
GPIO1_71 (1)	IO	通用输入/输出	K18
GPIO1_72 (1)	IO	通用输入/输出	K19
GPIO1_73 (1)	IO	通用输入/输出	L21
GPIO1_74 (1)	IO	通用输入/输出	K21
GPIO1_75 (1)	IO	通用输入/输出	L20
GPIO1_76 (1)	IO	通用输入/输出	J19
GPIO1_77 (1)	IO	通用输入/输出	D19

Copyright © 2026 Texas Instruments Incorporated

表 5-36. GPIO1 信号说明（续）

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
GPIO1_78 (1)	IO	通用输入/输出	C20
GPIO1_79	IO	通用输入/输出	E19

(1) 该 GPIO 输入信号具有去抖功能。有关 I/O 去抖配置的更多信息，请参阅 TRM *器件配置* 一章。

5.3.10.2 MCU 域

表 5-37. MCU_GPIO0 信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
MCU_GPIO0_0 (1)	IO	通用输入/输出	E8
MCU_GPIO0_1 (1)	IO	通用输入/输出	D8
MCU_GPIO0_2	IO	通用输入/输出	A8
MCU_GPIO0_3	IO	通用输入/输出	A9
MCU_GPIO0_4	IO	通用输入/输出	B6
MCU_GPIO0_5 (1)	IO	通用输入/输出	A7
MCU_GPIO0_6 (1)	IO	通用输入/输出	B7
MCU_GPIO0_7	IO	通用输入/输出	D7
MCU_GPIO0_8	IO	通用输入/输出	C7
MCU_GPIO0_9	IO	通用输入/输出	C8
MCU_GPIO0_10	IO	通用输入/输出	E7
MCU_GPIO0_11	IO	通用输入/输出	E6
MCU_GPIO0_12 (1)	IO	通用输入/输出	C6
MCU_GPIO0_13 (1)	IO	通用输入/输出	D6
MCU_GPIO0_14	IO	通用输入/输出	C9
MCU_GPIO0_15	IO	通用输入/输出	D9
MCU_GPIO0_16 (1)	IO	通用输入/输出	B8
MCU_GPIO0_17 (1)	IO	通用输入/输出	B9
MCU_GPIO0_18	IOD	通用输入/输出	E9
MCU_GPIO0_19	IOD	通用输入/输出	A10
MCU_GPIO0_20 (1)	IO	通用输入/输出	A11
MCU_GPIO0_21 (1)	IO	通用输入/输出	B10
MCU_GPIO0_22	IO	通用输入/输出	B13

(1) 该 GPIO 输入信号具有去抖功能。有关 I/O 去抖配置的更多信息，请参阅 TRM *器件配置* 一章。

5.3.11 GPMC

5.3.11.1 MAIN 域

表 5-38. GPMC0 信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
GPMC0_ADVn_ALE	O	GPMC 地址有效（低电平有效）或地址锁存使能	P16
GPMC0_CLK	O	GPMC 时钟	R17
GPMC0_DIR	O	GPMC 数据总线信号方向控制	N17
GPMC0_FCLK_MUX	O	通过多路复用器逻辑选择的 GPMC 功能时钟输出	R17

Copyright © 2026 Texas Instruments Incorporated

表 5-38. GPMC0 信号说明（续）

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
GPMC0_OEn_REn	O	GPMC 输出使能（低电平有效）或读取使能（低电平有效）	R18
GPMC0_WEn	O	GPMC 写入使能（低电平有效）	T21
GPMC0_WPn	O	GPMC 闪存写保护（低电平有效）	N16
GPMC0_A0	OZ	GPMC 地址 0 输出。仅用于有效寻址 8 位数据非多路复用存储器	U2、U7
GPMC0_A1	OZ	A/D 非多路复用模式下为 GPMC 地址 1 输出，A/D 多路复用模式下为地址 17	AA2、V7
GPMC0_A2	OZ	A/D 非多路复用模式下为 GPMC 地址 2 输出，A/D 多路复用模式下为地址 18	T2、W7
GPMC0_A3	OZ	A/D 非多路复用模式下为 GPMC 地址 3 输出，A/D 多路复用模式下为地址 19	V4、W11
GPMC0_A4	OZ	A/D 非多路复用模式下为 GPMC 地址 4 输出，A/D 多路复用模式下为地址 20	U4、V11
GPMC0_A5	OZ	A/D 非多路复用模式下为 GPMC 地址 5 输出，A/D 多路复用模式下为地址 21	AA12、V1
GPMC0_A6	OZ	A/D 非多路复用模式下为 GPMC 地址 6 输出，A/D 多路复用模式下为地址 22	W1、Y12
GPMC0_A7	OZ	A/D 非多路复用模式下为 GPMC 地址 7 输出，A/D 多路复用模式下为地址 23	W12、Y4
GPMC0_A8	OZ	A/D 非多路复用模式下为 GPMC 地址 8 输出，A/D 多路复用模式下为地址 24	AA13、T6
GPMC0_A9	OZ	A/D 非多路复用模式下为 GPMC 地址 9 输出，A/D 多路复用模式下为地址 25	U11、U6
GPMC0_A10	OZ	A/D 非多路复用模式下为 GPMC 地址 10 输出，A/D 多路复用模式下为地址 26	U5、V15
GPMC0_A11	OZ	A/D 非多路复用模式下为 GPMC 地址 11 输出，A/D 多路复用模式下未使用	AA4、U12
GPMC0_A12	OZ	A/D 非多路复用模式下为 GPMC 地址 12 输出，A/D 多路复用模式下未使用	P2、V14
GPMC0_A13	OZ	A/D 非多路复用模式下为 GPMC 地址 13 输出，A/D 多路复用模式下未使用	P3、W14
GPMC0_A14	OZ	A/D 非多路复用模式下为 GPMC 地址 14 输出，A/D 多路复用模式下未使用	AA10、AA3
GPMC0_A15	OZ	A/D 非多路复用模式下为 GPMC 地址 15 输出，A/D 多路复用模式下未使用	R6、V10
GPMC0_A16	OZ	A/D 非多路复用模式下为 GPMC 地址 16 输出，A/D 多路复用模式下未使用	T5、U10
GPMC0_A17	OZ	A/D 非多路复用模式下为 GPMC 地址 17 输出，A/D 多路复用模式下未使用	AA11、U1
GPMC0_A18	OZ	A/D 非多路复用模式下为 GPMC 地址 18 输出，A/D 多路复用模式下未使用	T4、Y11
GPMC0_A19	OZ	A/D 非多路复用模式下为 GPMC 地址 19 输出，A/D 多路复用模式下未使用	R5、Y10
GPMC0_A20	OZ	A/D 非多路复用模式下为 GPMC 地址 20 输出，A/D 多路复用模式下未使用	R21
GPMC0_A21	OZ	A/D 非多路复用模式下为 GPMC 地址 21 输出，A/D 多路复用模式下未使用	Y18

Copyright © 2026 Texas Instruments Incorporated

表 5-38. GPMC0 信号说明（续）

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
GPMC0_A22	OZ	A/D 非多路复用模式下为 GPMC 地址 22 输出，A/D 多路复用模式下未使用	N16
GPMC0_AD0	IO	A/D 非多路复用模式下为 GPMC 数据 0 输入/输出，A/D 多路复用模式下为附加的地址 1 输出	T20
GPMC0_AD1	IO	A/D 非多路复用模式下为 GPMC 数据 1 输入/输出，A/D 多路复用模式下为附加的地址 2 输出	U21
GPMC0_AD2	IO	A/D 非多路复用模式下为 GPMC 数据 2 输入/输出，A/D 多路复用模式下为附加的地址 3 输出	T18
GPMC0_AD3	IO	A/D 非多路复用模式下为 GPMC 数据 3 输入/输出，A/D 多路复用模式下为附加的地址 4 输出	U20
GPMC0_AD4	IO	A/D 非多路复用模式下为 GPMC 数据 4 输入/输出，A/D 多路复用模式下为附加的地址 5 输出	U18
GPMC0_AD5	IO	A/D 非多路复用模式下为 GPMC 数据 5 输入/输出，A/D 多路复用模式下为附加的地址 6 输出	U19
GPMC0_AD6	IO	A/D 非多路复用模式下为 GPMC 数据 6 输入/输出，A/D 多路复用模式下为附加的地址 7 输出	V20
GPMC0_AD7	IO	A/D 非多路复用模式下为 GPMC 数据 7 输入/输出，A/D 多路复用模式下为附加的地址 8 输出	V21
GPMC0_AD8	IO	A/D 非多路复用模式下为 GPMC 数据 8 输入/输出，A/D 多路复用模式下为附加的地址 9 输出	V19
GPMC0_AD9	IO	A/D 非多路复用模式下为 GPMC 数据 9 输入/输出，A/D 多路复用模式下为附加的地址 10 输出	T17
GPMC0_AD10	IO	A/D 非多路复用模式下为 GPMC 数据 10 输入/输出，A/D 多路复用模式下为附加的地址 11 输出	R16
GPMC0_AD11	IO	A/D 非多路复用模式下为 GPMC 数据 11 输入/输出，A/D 多路复用模式下为附加的地址 12 输出	W20
GPMC0_AD12	IO	A/D 非多路复用模式下为 GPMC 数据 12 输入/输出，A/D 多路复用模式下为附加的地址 13 输出	W21
GPMC0_AD13	IO	A/D 非多路复用模式下为 GPMC 数据 13 输入/输出，A/D 多路复用模式下为附加的地址 14 输出	V18
GPMC0_AD14	IO	A/D 非多路复用模式下为 GPMC 数据 14 输入/输出，A/D 多路复用模式下为附加的地址 15 输出	Y21
GPMC0_AD15	IO	A/D 非多路复用模式下为 GPMC 数据 15 输入/输出，A/D 多路复用模式下为附加的地址 16 输出	Y20
GPMC0_AD16	IO	A/D 非多路复用模式下为 GPMC 数据 16 输入/输出，A/D 多路复用模式下为附加的地址 17 输出	Y7
GPMC0_AD17	IO	A/D 非多路复用模式下为 GPMC 数据 17 输入/输出，A/D 多路复用模式下为附加的地址 18 输出	U8
GPMC0_AD18	IO	A/D 非多路复用模式下为 GPMC 数据 18 输入/输出，A/D 多路复用模式下为附加的地址 19 输出	W8
GPMC0_AD19	IO	A/D 非多路复用模式下为 GPMC 数据 19 输入/输出，A/D 多路复用模式下为附加的地址 20 输出	V8
GPMC0_AD20	IO	A/D 非多路复用模式下为 GPMC 数据 20 输入/输出，A/D 多路复用模式下为附加的地址 21 输出	Y8
GPMC0_AD21	IO	A/D 非多路复用模式下为 GPMC 数据 21 输入/输出，A/D 多路复用模式下为附加的地址 22 输出	V13
GPMC0_AD22	IO	A/D 非多路复用模式下为 GPMC 数据 22 输入/输出，A/D 多路复用模式下为附加的地址 23 输出	AA7

Copyright © 2026 Texas Instruments Incorporated

表 5-38. GPMC0 信号说明（续）

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
GPMC0_AD23	IO	A/D 非多路复用模式下为 GPMC 数据 23 输入/输出，A/D 多路复用模式下为附加的地址 24 输出	U13
GPMC0_AD24	IO	A/D 非多路复用模式下为 GPMC 数据 24 输入/输出，A/D 多路复用模式下为附加的地址 25 输出	W13
GPMC0_AD25	IO	A/D 非多路复用模式下为 GPMC 数据 25 输入/输出，A/D 多路复用模式下为附加的地址 26 输出	U15
GPMC0_AD26	IO	A/D 非多路复用模式下为 GPMC 数据 26 输入/输出，A/D 多路复用模式下为附加的地址 27 输出	U14
GPMC0_AD27	IO	A/D 非多路复用模式下为 GPMC 数据 27 输入/输出，A/D 多路复用模式下为附加的地址 28 输出	AA8
GPMC0_AD28	IO	A/D 非多路复用模式下为 GPMC 数据 28 输入/输出，A/D 多路复用模式下为附加的地址 29 输出	U9
GPMC0_AD29	IO	A/D 非多路复用模式下为 GPMC 数据 29 输入/输出，A/D 多路复用模式下为附加的地址 30 输出	W9
GPMC0_AD30	IO	A/D 非多路复用模式下为 GPMC 数据 30 输入/输出，A/D 多路复用模式下为附加的地址 31 输出	AA9
GPMC0_AD31	IO	A/D 非多路复用模式下为 GPMC 数据 31 输入/输出，A/D 多路复用模式下为附加的地址 0 输出	Y9
GPMC0_BE0n_CLE	O	GPMC 低位字节使能（低电平有效）或命令锁存使能	P17
GPMC0_BE1n	O	GPMC 高位字节使能（低电平有效）	T19
GPMC0_BE2n	O	GPMC 高位字节使能（低电平有效）	V9
GPMC0_BE3n	O	GPMC 高位字节使能（低电平有效）	AA14
GPMC0_CSn0	O	GPMC 片选 0（低电平有效）	R19
GPMC0_CSn1	O	GPMC 片选 1（低电平有效）	R20
GPMC0_CSn2	O	GPMC 片选 2（低电平有效）	P19
GPMC0_CSn3	O	GPMC 片选 3（低电平有效）	R21
GPMC0_WAIT0	I	GPMC 外部等待指示	W19
GPMC0_WAIT1	I	GPMC 外部等待指示	Y18

5.3.12 I2C

5.3.12.1 MAIN 域

表 5-39. I2C0 信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
I2C0_SCL	IOD	I2C 时钟	A18
I2C0_SDA	IOD	I2C 数据	B18

表 5-40. I2C1 信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
I2C1_SCL	IOD	I2C 时钟	C18
I2C1_SDA	IOD	I2C 数据	B19

Copyright © 2026 Texas Instruments Incorporated

表 5-41. I2C2 信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
I2C2_SCL	IOD	I2C 时钟	C13、P19
I2C2_SDA	IOD	I2C 数据	D14、R21

表 5-42. I2C3 信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
I2C3_SCL	IOD	I2C 时钟	C17
I2C3_SDA	IOD	I2C 数据	D17

5.3.12.2 MCU 域

表 5-43. MCU_I2C0 信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
MCU_I2C0_SCL	IOD	I2C 时钟	E9
MCU_I2C0_SDA	IOD	I2C 数据	A10

表 5-44. MCU_I2C1 信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
MCU_I2C1_SCL	IOD	I2C 时钟	A11
MCU_I2C1_SDA	IOD	I2C 数据	B10

5.3.13 MCAN

5.3.13.1 MAIN 域

表 5-45. MCAN0 信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
MCAN0_RX	I	MCAN 接收数据	B17
MCAN0_TX	O	MCAN 发送数据	A17

表 5-46. MCAN1 信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
MCAN1_RX	I	MCAN 接收数据	D17
MCAN1_TX	O	MCAN 发送数据	C17

5.3.14 MCSPI

5.3.14.1 MAIN 域

表 5-47. MCSPI0 信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
SPI0_CLK	IO	SPI 时钟	D13
SPI0_CS0	IO	SPI 片选 0	D12
SPI0_CS1	IO	SPI 片选 1	C13

Copyright © 2026 Texas Instruments Incorporated

表 5-47. MCSPI0 信号说明（续）

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
SPI0_CS2	IO	SPI 片选 2	B16
SPI0_CS3	IO	SPI 片选 3	A16
SPI0_D0	IO	SPI 数据 0	A13
SPI0_D1	IO	SPI 数据 1	A14

表 5-48. MCSPI1 信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
SPI1_CLK	IO	SPI 时钟	C14
SPI1_CS0	IO	SPI 片选 0	B14
SPI1_CS1	IO	SPI 片选 1	D14
SPI1_CS2	IO	SPI 片选 2	D16
SPI1_CS3	IO	SPI 片选 3	E16
SPI1_D0	IO	SPI 数据 0	B15
SPI1_D1	IO	SPI 数据 1	A15

表 5-49. MCSPI2 信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
SPI2_CLK	IO	SPI 时钟	E14
SPI2_CS0	IO	SPI 片选 0	E15
SPI2_CS1	IO	SPI 片选 1	C18
SPI2_CS2	IO	SPI 片选 2	B19
SPI2_CS3	IO	SPI 片选 3	A19
SPI2_D0	IO	SPI 数据 0	D15
SPI2_D1	IO	SPI 数据 1	C16

表 5-50. MCSPI3 信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
SPI3_CLK	IO	SPI 时钟	U4
SPI3_CS0	IO	SPI 片选 0	U1
SPI3_CS1	IO	SPI 片选 1	T5
SPI3_CS2	IO	SPI 片选 2	V12
SPI3_CS3	IO	SPI 片选 3	V15
SPI3_D0	IO	SPI 数据 0	R6
SPI3_D1	IO	SPI 数据 1	V4

表 5-51. MCSPI4 信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
SPI4_CLK	IO	SPI 时钟	B16
SPI4_CS0	IO	SPI 片选 0	E16

Copyright © 2026 Texas Instruments Incorporated

表 5-51. MCSPI4 信号说明（续）

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
SPI4_CS1	IO	SPI 片选 1	A17
SPI4_CS2	IO	SPI 片选 2	B17
SPI4_CS3	IO	SPI 片选 3	D18
SPI4_D0	IO	SPI 数据 0	A16
SPI4_D1	IO	SPI 数据 1	D16

5.3.14.2 MCU 域

表 5-52. MCU_MCSPI0 信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
MCU_SPI0_CLK	IO	SPI 时钟	E6
MCU_SPI0_CS0	IO	SPI 片选 0	D6
MCU_SPI0_CS1	IO	SPI 片选 1	C6
MCU_SPI0_CS2	IO	SPI 片选 2	D8
MCU_SPI0_CS3	IO	SPI 片选 3	B8
MCU_SPI0_D0	IO	SPI 数据 0	E7
MCU_SPI0_D1	IO	SPI 数据 1	B6

表 5-53. MCU_MCSPI1 信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
MCU_SPI1_CLK	IO	SPI 时钟	D7
MCU_SPI1_CS0	IO	SPI 片选 0	A7
MCU_SPI1_CS1	IO	SPI 片选 1	B7
MCU_SPI1_CS2	IO	SPI 片选 2	E8
MCU_SPI1_CS3	IO	SPI 片选 3	B9
MCU_SPI1_D0	IO	SPI 数据 0	C7
MCU_SPI1_D1	IO	SPI 数据 1	C8

5.3.15 MDIO

5.3.15.1 MAIN 域

表 5-54. MDIO0 信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
MDIO0_MDC	O	MDIO 时钟	R2、Y6
MDIO0_MDIO	IO	MDIO 数据	AA6、P5

5.3.16 MMC

5.3.16.1 MAIN 域

表 5-55. MMC0 信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
MMC0_CALPAD (1)	A	MMC/SD/SDIO 校准电阻器	F18

Copyright © 2026 Texas Instruments Incorporated

表 5-55. MMC0 信号说明（续）

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
MMC0_CLK	IO	MMC/SD/SDIO 时钟	G18
MMC0_CMD	IO	MMC/SD/SDIO 命令	J21
MMC0_DS	IO	MMC 数据选通	G19
MMC0_DAT0	IO	MMC/SD/SDIO 数据	K20
MMC0_DAT1	IO	MMC/SD/SDIO 数据	J20
MMC0_DAT2	IO	MMC/SD/SDIO 数据	J18
MMC0_DAT3	IO	MMC/SD/SDIO 数据	J17
MMC0_DAT4	IO	MMC/SD/SDIO 数据	H17
MMC0_DAT5	IO	MMC/SD/SDIO 数据	H19
MMC0_DAT6	IO	MMC/SD/SDIO 数据	H18
MMC0_DAT7	IO	MMC/SD/SDIO 数据	G17

(1) 必须在该引脚和 VSS 之间连接一个外部 10kΩ ±1% 电阻。不应向该引脚施加外部电压。

表 5-56. MMC1 信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
MMC1_CLK	IO	MMC/SD/SDIO 时钟	L20
MMC1_CMD	IO	MMC/SD/SDIO 命令	J19
MMC1_SDCD	I	SD 卡检测	D19
MMC1_SDWP	I	SD 写保护	C20
MMC1_DAT0	IO	MMC/SD/SDIO 数据	K21
MMC1_DAT1	IO	MMC/SD/SDIO 数据	L21
MMC1_DAT2	IO	MMC/SD/SDIO 数据	K19
MMC1_DAT3	IO	MMC/SD/SDIO 数据	K18

5.3.17 OSPI

5.3.17.1 MAIN 域

表 5-57. OSPI0 信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
OSPI0_CLK	O	OSPI 时钟输出	N20
OSPI0_DQS	I	OSPI 数据选通 (DQS) 或环回时钟输入	N19
OSPI0_ECC_FAIL	I	OSPI ECC 状态	L17
OSPI0_LBCLKO	IO	OSPI 环回时钟输出	N21
OSPI0_CSn0	O	OSPI 片选 0（低电平有效）	L19
OSPI0_CSn1	O	OSPI 片选 1（低电平有效）	L18
OSPI0_CSn2	O	OSPI 片选 2（低电平有效）	K17
OSPI0_CSn3	O	OSPI 片选 3（低电平有效）	L17
OSPI0_D0	IO	OSPI 数据 0	M19
OSPI0_D1	IO	OSPI 数据 1	M18
OSPI0_D2	IO	OSPI 数据 2	M20
OSPI0_D3	IO	OSPI 数据 3	M21

Copyright © 2026 Texas Instruments Incorporated

表 5-57. OSPI0 信号说明（续）

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
OSPI0_D4	IO	OSPI 数据 4	P21
OSPI0_D5	IO	OSPI 数据 5	P20
OSPI0_D6	IO	OSPI 数据 6	N18
OSPI0_D7	IO	OSPI 数据 7	M17
OSPI0_RESET_OUT0	O	OSPI 复位输出	L17
OSPI0_RESET_OUT1	O	OSPI 复位输出	K17

5.3.18 电源

表 5-58. 电源信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
CAP_VDDS0 (1)	CAP	IO 组 0 的外部电容器连接	H12
CAP_VDDS1 (1)	CAP	IO 组 1 的外部电容器连接	T7
CAP_VDDS2 (1)	CAP	IO 组 2 的外部电容器连接	R11
CAP_VDDS3 (1)	CAP	IO 组 3 的外部电容器连接	N14
CAP_VDDS4 (1)	CAP	IO 组 4 的外部电容器连接	M16
CAP_VDDS5 (1)	CAP	IO 组 5 的外部电容器连接	L13
CAP_VDDSHV_MMC1 (2)	CAP	SDIO_LDO 的外部电容器连接	K15
CAP_VDDS_MCU (1)	CAP	IO MCU 的外部电容器连接	H10
VDDA_0P85_SERDES0	PWR	SERDES0 0.85V 模拟电源	P12、P13
VDDA_0P85_SERDES0_C	PWR	SERDES0 时钟 0.85V 模拟电源	P11
VDDA_0P85_USB0	PWR	USB0 0.85V 模拟电源	T12
VDDA_1P8_SERDES0	PWR	SERDES0 1.8V 模拟电源	R14
VDDA_1P8_USB0	PWR	USB0 1.8V 模拟电源	R15
VDDA_3P3_SDIO	PWR	SDIO_LDO 3.3V 模拟电源	H15
VDDA_3P3_USB0	PWR	USB0 3.3V 模拟电源	R13
VDDA_ADC	PWR	ADC0 模拟电源	J13
VDDA_MCU	PWR	RCOSC、POR、POK 和 MCU_PLL0 模拟电源	K12
VDDA_PLL0	PWR	MAIN_PLL0、MAIN_PLL2 和 MAIN_PLL14 模拟电源	N12
VDDA_PLL1	PWR	MAIN_PLL8 和 MAIN_PLL12 模拟电源	H9
VDDA_PLL2	PWR	MAIN_PLL1 模拟电源	J11
VDDA_TEMP0	PWR	TEMP0 模拟电源	G11
VDDA_TEMP1	PWR	TEMP1 模拟电源	L11
VDDR_CORE	PWR	RAM 电源	L10、M13
VDDSHV0	PWR	IO 组 0 的 IO 电源	F11、G12、G14
VDDSHV1	PWR	IO 组 1 的 IO 电源	M7、N6、P7
VDDSHV2	PWR	IO 组 2 的 IO 电源	R10、R8、T9
VDDSHV3	PWR	IO 组 3 的 IO 电源	P14、P15
VDDSHV4	PWR	IO 组 4 的 IO 电源	M14、M15
VDDSHV5	PWR	IO 组 5 的 IO 电源	L14、L15
VDDSHV_MCU	PWR	IO MCU 的 IO 电源	F9、G10、G8

Copyright © 2026 Texas Instruments Incorporated

表 5-58. 电源信号说明（续）

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
VDDS_DDR	PWR	DDR PHY IO 电源	F7、G6、H7、J6、K7、L6
VDDS_DDR_C	PWR	DDR 时钟 IO 电源	J8
VDDS_MMC0	PWR	MMC0 PHY IO 电源	K14
VDDS_OSC	PWR	MCU_OSC0 电源	H13
VDD_CORE	PWR	内核电源	J10、J12、K11、K9、L12、L8、M11、M9、N10、N8、P9
VDD_DLL_MMC0	PWR	MMC0 PLL 模拟电源	H14
VDD_MMC0	PWR	MMC0 PHY 内核电源	K13
VPP	PWR	电子保险丝 ROM 编程电源	G15
VSS	GND	接地	A1、A21、A5、A6、AA1、AA15、AA18、AA21、C10、C15、C3、D1、E11、E13、F10、F15、F8、G1、G16、G3、G7、G9、H11、H20、H21、H6、H8、J14、J7、J9、K6、K8、L1、L16、L3、L7、L9、M10、M12、M6、M8、N11、N13、N15、N7、N9、P1、P10、P18、P6、P8、R12、R7、R9、T10、T11、T15、T16、T8、U3、V17、W10、W18、Y14、Y17、Y19

(1) 如果相应的 VDDSHVx 引脚以 3.3V 电压运行，则该引脚必须始终通过 6.3V 或更高电压、0.8uF 至 1.5 µ F 电容器连接至 VSS。所选电容器必须在因直流偏置、工作温度和老化效应而降额后提供定义范围内的电容值。如果相应的 VDDSHVx 引脚仅在 1.8V 下运行，则有三个连接选项：连接到实现 3.3V 运行所需的同一去耦电容器，保持未连接状态，或连接到与相应 VDDSHVx 引脚相同的 1.8V 电源。

(2) 当 SDIO_LDO 用于为 VDDSHV5 供电时，该引脚必须始终通过 6.3V 或更大的 3.3 µ F ±20% 电容器连接到 VSS。所选电容器必须在因直流偏置、工作温度和老化效应而降额后提供定义范围内的电容值。否则，当 VDDA_3P3_SDIO 引脚也直接连接到 VSS 时，该引脚可直接连接到 VSS。

5.3.19 PRU_ICSSG

备注

PRU_ICSSG 包含第二层多路复用，以实现 PRU GPO 和 GPI 信号的附加功能。器件 TRM 的 PRU_ICSSG 一章中对该内部包装器多路复用进行了说明。

Copyright © 2026 Texas Instruments Incorporated

5.3.19.1 MAIN 域

表 5-59. PRU_ICSSG0 信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
PRG0_ECAP0_IN_APWM_OUT	IO	PRU-ICSSG 增强型捕获 (ECAP) 输入或辅助 PWM (APWM) 输出	R2、U5
PRG0_ECAP0_SYNC_IN	I	PRU-ICSSG ECAP 同步输入	P5、V5
PRG0_ECAP0_SYNC_OUT	O	PRU-ICSSG ECAP 同步输出	AA4、V5
PRG0_IEP0_EDIO_OUTVALID	O	PRU_ICSSG 工业以太网数字 I/O 输出有效	C13
PRG0_IEP0_EDC_LATCH_IN0	I	PRU_ICSSG 工业以太网分布式时钟锁存输入	V1
PRG0_IEP0_EDC_LATCH_IN1	I	PRU_ICSSG 工业以太网分布式时钟锁存输入	T1
PRG0_IEP0_EDC_SYNC_OUT0	O	PRU_ICSSG 工业以太网分布式时钟同步输出	W1
PRG0_IEP0_EDC_SYNC_OUT1	O	PRU_ICSSG 工业以太网分布式时钟同步输出	U1
PRG0_IEP0_EDIO_DATA_IN_OUT28	IO	PRU_ICSSG 工业以太网数字 I/O 数据输入/输出	W6
PRG0_IEP0_EDIO_DATA_IN_OUT29	IO	PRU_ICSSG 工业以太网数字 I/O 数据输入/输出	AA5
PRG0_IEP0_EDIO_DATA_IN_OUT30	IO	PRU_ICSSG 工业以太网数字 I/O 数据输入/输出	Y5
PRG0_IEP0_EDIO_DATA_IN_OUT31	IO	PRU_ICSSG 工业以太网数字 I/O 数据输入/输出	V6
PRG0_IEP1_EDC_LATCH_IN0	I	PRU_ICSSG 工业以太网分布式时钟锁存输入	P5
PRG0_IEP1_EDC_LATCH_IN1	I	PRU_ICSSG 工业以太网分布式时钟锁存输入	W5
PRG0_IEP1_EDC_SYNC_OUT0	O	PRU_ICSSG 工业以太网分布式时钟同步输出	R2
PRG0_IEP1_EDC_SYNC_OUT1	O	PRU_ICSSG 工业以太网分布式时钟同步输出	V5
PRG0_MDIO0_MDC	O	PRU-ICSSG MDIO 时钟	P3
PRG0_MDIO0_MDIO	IO	PRU-ICSSG MDIO 数据	P2
PRG0_PRU0_GPI0	I	PRU-ICSSG PRU 数据输入	Y1
PRG0_PRU0_GPI1	I	PRU-ICSSG PRU 数据输入	R4
PRG0_PRU0_GPI2	I	PRU-ICSSG PRU 数据输入	U2
PRG0_PRU0_GPI3	I	PRU-ICSSG PRU 数据输入	V2
PRG0_PRU0_GPI4	I	PRU-ICSSG PRU 数据输入	AA2
PRG0_PRU0_GPI5	I	PRU-ICSSG PRU 数据输入	R3
PRG0_PRU0_GPI6	I	PRU-ICSSG PRU 数据输入	T3
PRG0_PRU0_GPI7	I	PRU-ICSSG PRU 数据输入	T1
PRG0_PRU0_GPI8	I	PRU-ICSSG PRU 数据输入	T2
PRG0_PRU0_GPI9	I	PRU-ICSSG PRU 数据输入	W6
PRG0_PRU0_GPI10	I	PRU-ICSSG PRU 数据输入	AA5
PRG0_PRU0_GPI11	I	PRU-ICSSG PRU 数据输入	Y3
PRG0_PRU0_GPI12	I	PRU-ICSSG PRU 数据输入	AA3
PRG0_PRU0_GPI13	I	PRU-ICSSG PRU 数据输入	R6
PRG0_PRU0_GPI14	I	PRU-ICSSG PRU 数据输入	V4
PRG0_PRU0_GPI15	I	PRU-ICSSG PRU 数据输入	T5
PRG0_PRU0_GPI16	I	PRU-ICSSG PRU 数据输入	U4
PRG0_PRU0_GPI17	I	PRU-ICSSG PRU 数据输入	U1
PRG0_PRU0_GPI18	I	PRU-ICSSG PRU 数据输入	V1
PRG0_PRU0_GPI19	I	PRU-ICSSG PRU 数据输入	W1
PRG0_PRU0_GPO0	IO	PRU-ICSSG PRU 数据输出	Y1

Copyright © 2026 Texas Instruments Incorporated

表 5-59. PRU_ICSSG0 信号说明（续）

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
PRG0_PRU0_GPO1	IO	PRU-ICSSG PRU 数据输出	R4
PRG0_PRU0_GPO2	IO	PRU-ICSSG PRU 数据输出	U2
PRG0_PRU0_GPO3	IO	PRU-ICSSG PRU 数据输出	V2
PRG0_PRU0_GPO4	IO	PRU-ICSSG PRU 数据输出	AA2
PRG0_PRU0_GPO5	IO	PRU-ICSSG PRU 数据输出	R3
PRG0_PRU0_GPO6	IO	PRU-ICSSG PRU 数据输出	T3
PRG0_PRU0_GPO7	IO	PRU-ICSSG PRU 数据输出	T1
PRG0_PRU0_GPO8	IO	PRU-ICSSG PRU 数据输出	T2
PRG0_PRU0_GPO9	IO	PRU-ICSSG PRU 数据输出	W6
PRG0_PRU0_GPO10	IO	PRU-ICSSG PRU 数据输出	AA5
PRG0_PRU0_GPO11	IO	PRU-ICSSG PRU 数据输出	Y3
PRG0_PRU0_GPO12	IO	PRU-ICSSG PRU 数据输出	AA3
PRG0_PRU0_GPO13	IO	PRU-ICSSG PRU 数据输出	R6
PRG0_PRU0_GPO14	IO	PRU-ICSSG PRU 数据输出	V4
PRG0_PRU0_GPO15	IO	PRU-ICSSG PRU 数据输出	T5
PRG0_PRU0_GPO16	IO	PRU-ICSSG PRU 数据输出	U4
PRG0_PRU0_GPO17	IO	PRU-ICSSG PRU 数据输出	U1
PRG0_PRU0_GPO18	IO	PRU-ICSSG PRU 数据输出	V1
PRG0_PRU0_GPO19	IO	PRU-ICSSG PRU 数据输出	W1
PRG0_PRU1_GPI0	I	PRU-ICSSG PRU 数据输入	Y2
PRG0_PRU1_GPI1	I	PRU-ICSSG PRU 数据输入	W2
PRG0_PRU1_GPI2	I	PRU-ICSSG PRU 数据输入	V3
PRG0_PRU1_GPI3	I	PRU-ICSSG PRU 数据输入	T4
PRG0_PRU1_GPI4	I	PRU-ICSSG PRU 数据输入	W3
PRG0_PRU1_GPI5	I	PRU-ICSSG PRU 数据输入	P4
PRG0_PRU1_GPI6	I	PRU-ICSSG PRU 数据输入	R5
PRG0_PRU1_GPI7	I	PRU-ICSSG PRU 数据输入	W5
PRG0_PRU1_GPI8	I	PRU-ICSSG PRU 数据输入	R1
PRG0_PRU1_GPI9	I	PRU-ICSSG PRU 数据输入	Y5
PRG0_PRU1_GPI10	I	PRU-ICSSG PRU 数据输入	V6
PRG0_PRU1_GPI11	I	PRU-ICSSG PRU 数据输入	W4
PRG0_PRU1_GPI12	I	PRU-ICSSG PRU 数据输入	Y4
PRG0_PRU1_GPI13	I	PRU-ICSSG PRU 数据输入	T6
PRG0_PRU1_GPI14	I	PRU-ICSSG PRU 数据输入	U6
PRG0_PRU1_GPI15	I	PRU-ICSSG PRU 数据输入	U5
PRG0_PRU1_GPI16	I	PRU-ICSSG PRU 数据输入	AA4
PRG0_PRU1_GPI17	I	PRU-ICSSG PRU 数据输入	V5
PRG0_PRU1_GPI18	I	PRU-ICSSG PRU 数据输入	P5
PRG0_PRU1_GPI19	I	PRU-ICSSG PRU 数据输入	R2
PRG0_PRU1_GPO0	IO	PRU-ICSSG PRU 数据输出	Y2
PRG0_PRU1_GPO1	IO	PRU-ICSSG PRU 数据输出	W2
PRG0_PRU1_GPO2	IO	PRU-ICSSG PRU 数据输出	V3

Copyright © 2026 Texas Instruments Incorporated

表 5-59. PRU_ICSSG0 信号说明（续）

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
PRG0_PRU1_GPO3	IO	PRU-ICSSG PRU 数据输出	T4
PRG0_PRU1_GPO4	IO	PRU-ICSSG PRU 数据输出	W3
PRG0_PRU1_GPO5	IO	PRU-ICSSG PRU 数据输出	P4
PRG0_PRU1_GPO6	IO	PRU-ICSSG PRU 数据输出	R5
PRG0_PRU1_GPO7	IO	PRU-ICSSG PRU 数据输出	W5
PRG0_PRU1_GPO8	IO	PRU-ICSSG PRU 数据输出	R1
PRG0_PRU1_GPO9	IO	PRU-ICSSG PRU 数据输出	Y5
PRG0_PRU1_GPO10	IO	PRU-ICSSG PRU 数据输出	V6
PRG0_PRU1_GPO11	IO	PRU-ICSSG PRU 数据输出	W4
PRG0_PRU1_GPO12	IO	PRU-ICSSG PRU 数据输出	Y4
PRG0_PRU1_GPO13	IO	PRU-ICSSG PRU 数据输出	T6
PRG0_PRU1_GPO14	IO	PRU-ICSSG PRU 数据输出	U6
PRG0_PRU1_GPO15	IO	PRU-ICSSG PRU 数据输出	U5
PRG0_PRU1_GPO16	IO	PRU-ICSSG PRU 数据输出	AA4
PRG0_PRU1_GPO17	IO	PRU-ICSSG PRU 数据输出	V5
PRG0_PRU1_GPO18	IO	PRU-ICSSG PRU 数据输出	P5
PRG0_PRU1_GPO19	IO	PRU-ICSSG PRU 数据输出	R2
PRG0_PWM0_TZ_IN	I	PRU_ICSSG PWM 跳闸区输入	V1
PRG0_PWM0_TZ_OUT	O	PRU_ICSSG PWM 跳闸区输出	W1
PRG0_PWM1_TZ_IN	I	PRU_ICSSG PWM 跳闸区输入	P5
PRG0_PWM1_TZ_OUT	O	PRU_ICSSG PWM 跳闸区输出	R2
PRG0_PWM2_TZ_IN	I	PRU_ICSSG PWM 跳闸区输入	T18、V6
PRG0_PWM2_TZ_OUT	O	PRU_ICSSG PWM 跳闸区输出	R1、U21
PRG0_PWM3_TZ_IN	I	PRU_ICSSG PWM 跳闸区输入	P16、W6
PRG0_PWM3_TZ_OUT	O	PRU_ICSSG PWM 跳闸区输出	R17、Y3
PRG0_PWM0_A0	IO	PRU_ICSSG PWM 输出 A	AA3
PRG0_PWM0_A1	IO	PRU_ICSSG PWM 输出 A	V4
PRG0_PWM0_A2	IO	PRU_ICSSG PWM 输出 A	U4
PRG0_PWM0_B0	IO	PRU_ICSSG PWM 输出 B	R6
PRG0_PWM0_B1	IO	PRU_ICSSG PWM 输出 B	T5
PRG0_PWM0_B2	IO	PRU_ICSSG PWM 输出 B	U1
PRG0_PWM1_A0	IO	PRU_ICSSG PWM 输出 A	Y4
PRG0_PWM1_A1	IO	PRU_ICSSG PWM 输出 A	U6
PRG0_PWM1_A2	IO	PRU_ICSSG PWM 输出 A	AA4
PRG0_PWM1_B0	IO	PRU_ICSSG PWM 输出 B	T6
PRG0_PWM1_B1	IO	PRU_ICSSG PWM 输出 B	U5
PRG0_PWM1_B2	IO	PRU_ICSSG PWM 输出 B	V5
PRG0_PWM2_A0	IO	PRU_ICSSG PWM 输出 A	U2、U20
PRG0_PWM2_A1	IO	PRU_ICSSG PWM 输出 A	T2、U19
PRG0_PWM2_A2	IO	PRU_ICSSG PWM 输出 A	V19、V3
PRG0_PWM2_B0	IO	PRU_ICSSG PWM 输出 B	AA2、U18
PRG0_PWM2_B1	IO	PRU_ICSSG PWM 输出 B	AA5、V20

Copyright © 2026 Texas Instruments Incorporated

表 5-59. PRU_ICSSG0 信号说明（续）

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
PRG0_PWM2_B2	IO	PRU_ICSSG PWM 输出 B	T17、W3
PRG0_PWM3_A0	IO	PRU_ICSSG PWM 输出 A	V18、Y1
PRG0_PWM3_A1	IO	PRU_ICSSG PWM 输出 A	R18、T3
PRG0_PWM3_A2	IO	PRU_ICSSG PWM 输出 A	T19、V2
PRG0_PWM3_B0	IO	PRU_ICSSG PWM 输出 B	R4、Y21
PRG0_PWM3_B1	IO	PRU_ICSSG PWM 输出 B	T1、T21
PRG0_PWM3_B2	IO	PRU_ICSSG PWM 输出 B	R3、W19
PRG0_RGMII1_RXC	I	PRU_ICSSG RGMII 接收时钟	T3
PRG0_RGMII1_RX_CTL	I	PRU_ICSSG RGMII 接收控制	AA2
PRG0_RGMII1_TXC	IO	PRU_ICSSG RGMII 发送时钟	U4
PRG0_RGMII1_TX_CTL	O	PRU_ICSSG RGMII 发送控制	T5
PRG0_RGMII2_RXC	I	PRU_ICSSG RGMII 接收时钟	R5
PRG0_RGMII2_RX_CTL	I	PRU_ICSSG RGMII 接收控制	W3
PRG0_RGMII2_TXC	IO	PRU_ICSSG RGMII 发送时钟	AA4
PRG0_RGMII2_TX_CTL	O	PRU_ICSSG RGMII 发送控制	U5
PRG0_RGMII1_RD0	I	PRU_ICSSG RGMII 接收数据	Y1
PRG0_RGMII1_RD1	I	PRU_ICSSG RGMII 接收数据	R4
PRG0_RGMII1_RD2	I	PRU_ICSSG RGMII 接收数据	U2
PRG0_RGMII1_RD3	I	PRU_ICSSG RGMII 接收数据	V2
PRG0_RGMII1_TD0	O	PRU_ICSSG RGMII 发送数据	Y3
PRG0_RGMII1_TD1	O	PRU_ICSSG RGMII 发送数据	AA3
PRG0_RGMII1_TD2	O	PRU_ICSSG RGMII 发送数据	R6
PRG0_RGMII1_TD3	O	PRU_ICSSG RGMII 发送数据	V4
PRG0_RGMII2_RD0	I	PRU_ICSSG RGMII 接收数据	Y2
PRG0_RGMII2_RD1	I	PRU_ICSSG RGMII 接收数据	W2
PRG0_RGMII2_RD2	I	PRU_ICSSG RGMII 接收数据	V3
PRG0_RGMII2_RD3	I	PRU_ICSSG RGMII 接收数据	T4
PRG0_RGMII2_TD0	O	PRU_ICSSG RGMII 发送数据	W4
PRG0_RGMII2_TD1	O	PRU_ICSSG RGMII 发送数据	Y4
PRG0_RGMII2_TD2	O	PRU_ICSSG RGMII 发送数据	T6
PRG0_RGMII2_TD3	O	PRU_ICSSG RGMII 发送数据	U6
PRG0_UART0_CTSn	I	PRU-ICSSG UART 允许发送（低电平有效）	W6
PRG0_UART0_RTSn	O	PRU-ICSSG UART 请求发送（低电平有效）	AA5
PRG0_UART0_RXD	I	PRU-ICSSG UART 接收数据	Y5
PRG0_UART0_TXD	O	PRU-ICSSG UART 发送数据	V6

表 5-60. PRU_ICSSG1 信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
PRG1_ECAP0_IN_APWM_OUT	IO	PRU-ICSSG 增强型捕获 (ECAP) 输入或辅助 PWM (APWM) 输出	V12
PRG1_ECAP0_SYNC_IN	I	PRU-ICSSG ECAP 同步输入	Y13

Copyright © 2026 Texas Instruments Incorporated

表 5-60. PRU_ICSSG1 信号说明（续）

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
PRG1_ECAP0_SYNC_OUT	O	PRU-ICSSG ECAP 同步输出	AA14
PRG1_IEP0_EDIO_OUTVALID	O	PRU_ICSSG 工业以太网数字 I/O 输出有效	D14
PRG1_IEP0_EDC_LATCH_IN0	I	PRU_ICSSG 工业以太网分布式时钟锁存输入	V7
PRG1_IEP0_EDC_LATCH_IN1	I	PRU_ICSSG 工业以太网分布式时钟锁存输入	U13
PRG1_IEP0_EDC_SYNC_OUT0	O	PRU_ICSSG 工业以太网分布式时钟同步输出	W7
PRG1_IEP0_EDC_SYNC_OUT1	O	PRU_ICSSG 工业以太网分布式时钟同步输出	U7
PRG1_IEP0_EDIO_DATA_IN_OUT28	IO	PRU_ICSSG 工业以太网数字 I/O 数据输入/输出	U15
PRG1_IEP0_EDIO_DATA_IN_OUT29	IO	PRU_ICSSG 工业以太网数字 I/O 数据输入/输出	U14
PRG1_IEP0_EDIO_DATA_IN_OUT30	IO	PRU_ICSSG 工业以太网数字 I/O 数据输入/输出	V14
PRG1_IEP0_EDIO_DATA_IN_OUT31	IO	PRU_ICSSG 工业以太网数字 I/O 数据输入/输出	W14
PRG1_IEP1_EDC_LATCH_IN0	I	PRU_ICSSG 工业以太网分布式时钟锁存输入	Y13
PRG1_IEP1_EDC_LATCH_IN1	I	PRU_ICSSG 工业以太网分布式时钟锁存输入	V15
PRG1_IEP1_EDC_SYNC_OUT0	O	PRU_ICSSG 工业以太网分布式时钟同步输出	V12
PRG1_IEP1_EDC_SYNC_OUT1	O	PRU_ICSSG 工业以太网分布式时钟同步输出	AA14
PRG1_MDIO0_MDC	O	PRU-ICSSG MDIO 时钟	Y6
PRG1_MDIO0_MDIO	IO	PRU-ICSSG MDIO 数据	AA6
PRG1_PRU0_GPI0	I	PRU-ICSSG PRU 数据输入	Y7
PRG1_PRU0_GPI1	I	PRU-ICSSG PRU 数据输入	U8
PRG1_PRU0_GPI2	I	PRU-ICSSG PRU 数据输入	W8
PRG1_PRU0_GPI3	I	PRU-ICSSG PRU 数据输入	V8
PRG1_PRU0_GPI4	I	PRU-ICSSG PRU 数据输入	Y8
PRG1_PRU0_GPI5	I	PRU-ICSSG PRU 数据输入	V13
PRG1_PRU0_GPI6	I	PRU-ICSSG PRU 数据输入	AA7
PRG1_PRU0_GPI7	I	PRU-ICSSG PRU 数据输入	U13
PRG1_PRU0_GPI8	I	PRU-ICSSG PRU 数据输入	W13
PRG1_PRU0_GPI9	I	PRU-ICSSG PRU 数据输入	U15
PRG1_PRU0_GPI10	I	PRU-ICSSG PRU 数据输入	U14
PRG1_PRU0_GPI11	I	PRU-ICSSG PRU 数据输入	AA8
PRG1_PRU0_GPI12	I	PRU-ICSSG PRU 数据输入	U9
PRG1_PRU0_GPI13	I	PRU-ICSSG PRU 数据输入	W9
PRG1_PRU0_GPI14	I	PRU-ICSSG PRU 数据输入	AA9
PRG1_PRU0_GPI15	I	PRU-ICSSG PRU 数据输入	Y9
PRG1_PRU0_GPI16	I	PRU-ICSSG PRU 数据输入	V9
PRG1_PRU0_GPI17	I	PRU-ICSSG PRU 数据输入	U7
PRG1_PRU0_GPI18	I	PRU-ICSSG PRU 数据输入	V7
PRG1_PRU0_GPI19	I	PRU-ICSSG PRU 数据输入	W7
PRG1_PRU0_GPO0	IO	PRU-ICSSG PRU 数据输出	Y7
PRG1_PRU0_GPO1	IO	PRU-ICSSG PRU 数据输出	U8
PRG1_PRU0_GPO2	IO	PRU-ICSSG PRU 数据输出	W8
PRG1_PRU0_GPO3	IO	PRU-ICSSG PRU 数据输出	V8
PRG1_PRU0_GPO4	IO	PRU-ICSSG PRU 数据输出	Y8
PRG1_PRU0_GPO5	IO	PRU-ICSSG PRU 数据输出	V13

Copyright © 2026 Texas Instruments Incorporated

表 5-60. PRU_ICSSG1 信号说明（续）

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
PRG1_PRU0_GPO6	IO	PRU-ICSSG PRU 数据输出	AA7
PRG1_PRU0_GPO7	IO	PRU-ICSSG PRU 数据输出	U13
PRG1_PRU0_GPO8	IO	PRU-ICSSG PRU 数据输出	W13
PRG1_PRU0_GPO9	IO	PRU-ICSSG PRU 数据输出	U15
PRG1_PRU0_GPO10	IO	PRU-ICSSG PRU 数据输出	U14
PRG1_PRU0_GPO11	IO	PRU-ICSSG PRU 数据输出	AA8
PRG1_PRU0_GPO12	IO	PRU-ICSSG PRU 数据输出	U9
PRG1_PRU0_GPO13	IO	PRU-ICSSG PRU 数据输出	W9
PRG1_PRU0_GPO14	IO	PRU-ICSSG PRU 数据输出	AA9
PRG1_PRU0_GPO15	IO	PRU-ICSSG PRU 数据输出	Y9
PRG1_PRU0_GPO16	IO	PRU-ICSSG PRU 数据输出	V9
PRG1_PRU0_GPO17	IO	PRU-ICSSG PRU 数据输出	U7
PRG1_PRU0_GPO18	IO	PRU-ICSSG PRU 数据输出	V7
PRG1_PRU0_GPO19	IO	PRU-ICSSG PRU 数据输出	W7
PRG1_PRU1_GPI0	I	PRU-ICSSG PRU 数据输入	W11
PRG1_PRU1_GPI1	I	PRU-ICSSG PRU 数据输入	V11
PRG1_PRU1_GPI2	I	PRU-ICSSG PRU 数据输入	AA12
PRG1_PRU1_GPI3	I	PRU-ICSSG PRU 数据输入	Y12
PRG1_PRU1_GPI4	I	PRU-ICSSG PRU 数据输入	W12
PRG1_PRU1_GPI5	I	PRU-ICSSG PRU 数据输入	AA13
PRG1_PRU1_GPI6	I	PRU-ICSSG PRU 数据输入	U11
PRG1_PRU1_GPI7	I	PRU-ICSSG PRU 数据输入	V15
PRG1_PRU1_GPI8	I	PRU-ICSSG PRU 数据输入	U12
PRG1_PRU1_GPI9	I	PRU-ICSSG PRU 数据输入	V14
PRG1_PRU1_GPI10	I	PRU-ICSSG PRU 数据输入	W14
PRG1_PRU1_GPI11	I	PRU-ICSSG PRU 数据输入	AA10
PRG1_PRU1_GPI12	I	PRU-ICSSG PRU 数据输入	V10
PRG1_PRU1_GPI13	I	PRU-ICSSG PRU 数据输入	U10
PRG1_PRU1_GPI14	I	PRU-ICSSG PRU 数据输入	AA11
PRG1_PRU1_GPI15	I	PRU-ICSSG PRU 数据输入	Y11
PRG1_PRU1_GPI16	I	PRU-ICSSG PRU 数据输入	Y10
PRG1_PRU1_GPI17	I	PRU-ICSSG PRU 数据输入	AA14
PRG1_PRU1_GPI18	I	PRU-ICSSG PRU 数据输入	Y13
PRG1_PRU1_GPI19	I	PRU-ICSSG PRU 数据输入	V12
PRG1_PRU1_GPO0	IO	PRU-ICSSG PRU 数据输出	W11
PRG1_PRU1_GPO1	IO	PRU-ICSSG PRU 数据输出	V11
PRG1_PRU1_GPO2	IO	PRU-ICSSG PRU 数据输出	AA12
PRG1_PRU1_GPO3	IO	PRU-ICSSG PRU 数据输出	Y12
PRG1_PRU1_GPO4	IO	PRU-ICSSG PRU 数据输出	W12
PRG1_PRU1_GPO5	IO	PRU-ICSSG PRU 数据输出	AA13
PRG1_PRU1_GPO6	IO	PRU-ICSSG PRU 数据输出	U11
PRG1_PRU1_GPO7	IO	PRU-ICSSG PRU 数据输出	V15

Copyright © 2026 Texas Instruments Incorporated

表 5-60. PRU_ICSSG1 信号说明（续）

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
PRG1_PRU1_GPO8	IO	PRU-ICSSG PRU 数据输出	U12
PRG1_PRU1_GPO9	IO	PRU-ICSSG PRU 数据输出	V14
PRG1_PRU1_GPO10	IO	PRU-ICSSG PRU 数据输出	W14
PRG1_PRU1_GPO11	IO	PRU-ICSSG PRU 数据输出	AA10
PRG1_PRU1_GPO12	IO	PRU-ICSSG PRU 数据输出	V10
PRG1_PRU1_GPO13	IO	PRU-ICSSG PRU 数据输出	U10
PRG1_PRU1_GPO14	IO	PRU-ICSSG PRU 数据输出	AA11
PRG1_PRU1_GPO15	IO	PRU-ICSSG PRU 数据输出	Y11
PRG1_PRU1_GPO16	IO	PRU-ICSSG PRU 数据输出	Y10
PRG1_PRU1_GPO17	IO	PRU-ICSSG PRU 数据输出	AA14
PRG1_PRU1_GPO18	IO	PRU-ICSSG PRU 数据输出	Y13
PRG1_PRU1_GPO19	IO	PRU-ICSSG PRU 数据输出	V12
PRG1_PWM0_TZ_IN	I	PRU_ICSSG PWM 跳闸区输入	V7
PRG1_PWM0_TZ_OUT	O	PRU_ICSSG PWM 跳闸区输出	W7
PRG1_PWM1_TZ_IN	I	PRU_ICSSG PWM 跳闸区输入	Y13
PRG1_PWM1_TZ_OUT	O	PRU_ICSSG PWM 跳闸区输出	V12
PRG1_PWM2_TZ_IN	I	PRU_ICSSG PWM 跳闸区输入	P19、W14
PRG1_PWM2_TZ_OUT	O	PRU_ICSSG PWM 跳闸区输出	R20、U12
PRG1_PWM3_TZ_IN	I	PRU_ICSSG PWM 跳闸区输入	U15
PRG1_PWM3_TZ_OUT	O	PRU_ICSSG PWM 跳闸区输出	AA8
PRG1_PWM0_A0	IO	PRU_ICSSG PWM 输出 A	U9
PRG1_PWM0_A1	IO	PRU_ICSSG PWM 输出 A	AA9
PRG1_PWM0_A2	IO	PRU_ICSSG PWM 输出 A	V9
PRG1_PWM0_B0	IO	PRU_ICSSG PWM 输出 B	W9
PRG1_PWM0_B1	IO	PRU_ICSSG PWM 输出 B	Y9
PRG1_PWM0_B2	IO	PRU_ICSSG PWM 输出 B	U7
PRG1_PWM1_A0	IO	PRU_ICSSG PWM 输出 A	V10
PRG1_PWM1_A1	IO	PRU_ICSSG PWM 输出 A	AA11
PRG1_PWM1_A2	IO	PRU_ICSSG PWM 输出 A	Y10
PRG1_PWM1_B0	IO	PRU_ICSSG PWM 输出 B	U10
PRG1_PWM1_B1	IO	PRU_ICSSG PWM 输出 B	Y11
PRG1_PWM1_B2	IO	PRU_ICSSG PWM 输出 B	AA14
PRG1_PWM2_A0	IO	PRU_ICSSG PWM 输出 A	N16、W8
PRG1_PWM2_A1	IO	PRU_ICSSG PWM 输出 A	P17、W13
PRG1_PWM2_A2	IO	PRU_ICSSG PWM 输出 A	AA12、V21
PRG1_PWM2_B0	IO	PRU_ICSSG PWM 输出 B	N17、Y8
PRG1_PWM2_B1	IO	PRU_ICSSG PWM 输出 B	U14、Y18
PRG1_PWM2_B2	IO	PRU_ICSSG PWM 输出 B	R16、W12
PRG1_PWM3_A0	IO	PRU_ICSSG PWM 输出 A	Y7
PRG1_PWM3_A1	IO	PRU_ICSSG PWM 输出 A	AA7
PRG1_PWM3_A2	IO	PRU_ICSSG PWM 输出 A	V8
PRG1_PWM3_B0	IO	PRU_ICSSG PWM 输出 B	U8

Copyright © 2026 Texas Instruments Incorporated

表 5-60. PRU_ICSSG1 信号说明（续）

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
PRG1_PWM3_B1	IO	PRU_ICSSG PWM 输出 B	U13
PRG1_PWM3_B2	IO	PRU_ICSSG PWM 输出 B	V13
PRG1_RGMII1_RXC	I	PRU_ICSSG RGMII 接收时钟	AA7
PRG1_RGMII1_RX_CTL	I	PRU_ICSSG RGMII 接收控制	Y8
PRG1_RGMII1_TXC	IO	PRU_ICSSG RGMII 发送时钟	V9
PRG1_RGMII1_TX_CTL	O	PRU_ICSSG RGMII 发送控制	Y9
PRG1_RGMII2_RXC	I	PRU_ICSSG RGMII 接收时钟	U11
PRG1_RGMII2_RX_CTL	I	PRU_ICSSG RGMII 接收控制	W12
PRG1_RGMII2_TXC	IO	PRU_ICSSG RGMII 发送时钟	Y10
PRG1_RGMII2_TX_CTL	O	PRU_ICSSG RGMII 发送控制	Y11
PRG1_RGMII1_RD0	I	PRU_ICSSG RGMII 接收数据	Y7
PRG1_RGMII1_RD1	I	PRU_ICSSG RGMII 接收数据	U8
PRG1_RGMII1_RD2	I	PRU_ICSSG RGMII 接收数据	W8
PRG1_RGMII1_RD3	I	PRU_ICSSG RGMII 接收数据	V8
PRG1_RGMII1_TD0	O	PRU_ICSSG RGMII 发送数据	AA8
PRG1_RGMII1_TD1	O	PRU_ICSSG RGMII 发送数据	U9
PRG1_RGMII1_TD2	O	PRU_ICSSG RGMII 发送数据	W9
PRG1_RGMII1_TD3	O	PRU_ICSSG RGMII 发送数据	AA9
PRG1_RGMII2_RD0	I	PRU_ICSSG RGMII 接收数据	W11
PRG1_RGMII2_RD1	I	PRU_ICSSG RGMII 接收数据	V11
PRG1_RGMII2_RD2	I	PRU_ICSSG RGMII 接收数据	AA12
PRG1_RGMII2_RD3	I	PRU_ICSSG RGMII 接收数据	Y12
PRG1_RGMII2_TD0	O	PRU_ICSSG RGMII 发送数据	AA10
PRG1_RGMII2_TD1	O	PRU_ICSSG RGMII 发送数据	V10
PRG1_RGMII2_TD2	O	PRU_ICSSG RGMII 发送数据	U10
PRG1_RGMII2_TD3	O	PRU_ICSSG RGMII 发送数据	AA11
PRG1_UART0_CTSn	I	PRU-ICSSG UART 允许发送（低电平有效）	U15
PRG1_UART0_RTSn	O	PRU-ICSSG UART 请求发送（低电平有效）	U14
PRG1_UART0_RXD	I	PRU-ICSSG UART 接收数据	V14
PRG1_UART0_TXD	O	PRU-ICSSG UART 发送数据	W14

5.3.20 保留

表 5-61. 保留信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
RSVD0	不适用	保留，必须保持未连接状态	H16
RSVD1	不适用	保留，必须保持未连接状态	D21
RSVD2	不适用	保留，必须保持未连接状态	G13
RSVD3	不适用	保留，必须保持未连接状态	F17
RSVD4	不适用	保留，必须保持未连接状态	W15
RSVD5	不适用	保留，必须保持未连接状态	V16
RSVD6	不适用	保留，必须保持未连接状态	K2

Copyright © 2026 Texas Instruments Incorporated

表 5-61. 保留信号说明（续）

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
RSVD7	不适用	保留，必须保持未连接状态	K1
RSVD8	不适用	保留，必须保持未连接状态	F12

5.3.21 SERDES

5.3.21.1 MAIN 域

表 5-62. SERDES0 信号说明

信号名称 [1] ((2))	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
PCIE0_CLKREQn	IO	PCIE 时钟请求信号	D16
SERDES0_REXT (1)	A	外部串行器/解串器 PHY 校准电阻器	T13
SERDES0_REFCLK0N	IO	串行器/解串器 PHY 基准时钟输入/输出（负）	W16
SERDES0_REFCLK0P	IO	串行器/解串器 PHY 基准时钟输入/输出（正）	W17
SERDES0_RX0_N	I	串行器/解串器 PHY 差分接收数据（负）	Y15
SERDES0_RX0_P	I	串行器/解串器 PHY 差分接收数据（正）	Y16
SERDES0_TX0_N	O	串行器/解串器 PHY 差分发送数据（负）	AA16
SERDES0_TX0_P	O	串行器/解串器 PHY 差分发送数据（正）	AA17

(1) 必须在该引脚和 VSS 之间连接一个外部 3.01kΩ ±1% 电阻。不应向该引脚施加外部电压。
(2) 引脚的功能由 SERDES0_LN0_CTRL_LANE_FUNC_SEL 来控制。

5.3.22 系统和其他

5.3.22.1 启动模式配置

5.3.22.1.1 MAIN 域

表 5-63. Sysboot 信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
BOOTMODE00	I	引导模式引脚 0	T20
BOOTMODE01	I	引导模式引脚 1	U21
BOOTMODE02	I	引导模式引脚 2	T18
BOOTMODE03	I	引导模式引脚 3	U20
BOOTMODE04	I	引导模式引脚 4	U18
BOOTMODE05	I	引导模式引脚 5	U19
BOOTMODE06	I	引导模式引脚 6	V20
BOOTMODE07	I	引导模式引脚 7	V21
BOOTMODE08	I	引导模式引脚 8	V19
BOOTMODE09	I	引导模式引脚 9	T17
BOOTMODE10	I	引导模式引脚 10	R16
BOOTMODE11	I	引导模式引脚 11	W20
BOOTMODE12	I	引导模式引脚 12	W21
BOOTMODE13	I	引导模式引脚 13	V18
BOOTMODE14	I	引导模式引脚 14	Y21
BOOTMODE15	I	引导模式引脚 15	Y20

Copyright © 2026 Texas Instruments Incorporated

5.3.22.2 时钟

5.3.22.2.1 MCU 域

表 5-64. MCU 时钟信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
MCU_OSC0_XI	I	高频振荡器输入	C21
MCU_OSC0_XO	O	高频振荡器输出	B20

5.3.22.3 系统

5.3.22.3.1 MAIN 域

表 5-65. 系统信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
CLKOUT0	O	RMII 时钟输出 (50MHz)。该引脚用作外部 PHY 的时钟源，并且必须路由回相应的 RMII_REF_CLK 引脚以确保器件正常运行。	A19、U13
EXTINTn	I	外部中断	C19
EXT_REFCLK1	I	主域的外部时钟输入	A19
OBSCLK0	O	观察时钟输出，仅用于测试和调试目的	D17
PORz_OUT	O	主域 POR 状态输出	E17
RESETSTATz	O	主域热复位状态输出	F16
RESET_REQz	I	主域外部热复位请求输入	E18
SYSCLKOUT0	O	主 PLL 控制器的 SYSCLK0 输出（6 分频），仅用于测试和调试用途	C17

5.3.22.3.2 MCU 域

表 5-66. MCU 系统信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
MCU_EXT_REFCLK0	I	外部系统时钟输入	B7
MCU_OBSCLK0	O	观察时钟输出，仅用于测试和调试目的	C6、E10
MCU_PORz	I	MCU 和主域冷复位	B21
MCU_RESETSTATz	O	MCU 域热复位状态输出	B13
MCU_RESETz	I	MCU 域热复位	B12
MCU_SAFETY_ERRORn	IO	MCU 域 ESM 的错误信号输出	A20
MCU_SYSCLKOUT0	O	MCU 域系统时钟输出，仅用于测试和调试目的	C6

5.3.22.4 VMON

表 5-67. VMON 信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
VMON_1P8_MCU	A	1.8V MCU 电源的电压监测输入	K16
VMON_1P8_SOC	A	1.8V SoC 电源的电压监测输入	E12
VMON_3P3_MCU	A	3.3V MCU 电源的电压监测输入	F13
VMON_3P3_SOC	A	3.3V SoC 电源的电压监测输入	F14

Copyright © 2026 Texas Instruments Incorporated

表 5-67. VMON 信号说明（续）

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
VMON_VSYS	A	电压监控输入，0.45V (+/-3%) 固定阈值。与外部精密分压器配合使用，以监控更高的电压轨，例如 PMIC 输入电源。	K10

5.3.23 计时器

5.3.23.1 MAIN 域

表 5-68. 计时器信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
TIMER_IO0	IO	计时器输入和输出（未连接到单个计时器实例）	C18、K18
TIMER_IO1	IO	计时器输入和输出（未连接到单个计时器实例）	B19、K19
TIMER_IO2	IO	计时器输入和输出（未连接到单个计时器实例）	A17、L21
TIMER_IO3	IO	计时器输入和输出（未连接到单个计时器实例）	B17、K21
TIMER_IO4	IO	计时器输入和输出（未连接到单个计时器实例）	C17、L20
TIMER_IO5	IO	计时器输入和输出（未连接到单个计时器实例）	D17、J19
TIMER_IO6	IO	计时器输入和输出（未连接到单个计时器实例）	B16、D19、T1
TIMER_IO7	IO	计时器输入和输出（未连接到单个计时器实例）	A16、C20、U7
TIMER_IO8	IO	计时器输入和输出（未连接到单个计时器实例）	P19、V7
TIMER_IO9	IO	计时器输入和输出（未连接到单个计时器实例）	R21、W7
TIMER_IO10	IO	计时器输入和输出（未连接到单个计时器实例）	C13、U13
TIMER_IO11	IO	计时器输入和输出（未连接到单个计时器实例）	D14、U1

5.3.23.2 MCU 域

表 5-69. MCU_TIMER 信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
MCU_TIMER_IO0	IO	计时器输入和输出（未连接到单个计时器实例）	D8
MCU_TIMER_IO1	IO	计时器输入和输出（未连接到单个计时器实例）	E8
MCU_TIMER_IO2	IO	计时器输入和输出（未连接到单个计时器实例）	B8
MCU_TIMER_IO3	IO	计时器输入和输出（未连接到单个计时器实例）	B9

5.3.24 UART

5.3.24.1 MAIN 域

表 5-70. UART0 信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
UART0_CTSn	I	UART 允许发送（低电平有效）	B16
UART0_DCDn	I	UART 数据载波检测（低电平有效）	C17
UART0_DSRn	I	UART 数据集就绪（低电平有效）	D17
UART0_DTRn	O	UART 数据终端就绪（低电平有效）	A17
UART0_RIn	I	UART 振铃指示器	B17
UART0_RTSn	O	UART 请求发送（低电平有效）	A16
UART0_RXD	I	UART 接收数据	D15

Copyright © 2026 Texas Instruments Incorporated

表 5-70. UART0 信号说明（续）

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
UART0_TXD	O	UART 发送数据	C16

表 5-71. UART1 信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
UART1_CTSn	I	UART 允许发送（低电平有效）	D16
UART1_RTSn	O	UART 请求发送（低电平有效）	E16
UART1_RXD	I	UART 接收数据	E15
UART1_TXD	O	UART 发送数据	E14

表 5-72. UART2 信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
UART2_CTSn	I	UART 允许发送（低电平有效）	L20、V19、Y1
UART2_RTSn	O	UART 请求发送（低电平有效）	J19、T18、U2
UART2_RXD	I	UART 接收数据	B16、K18、T20、V1、W6
UART2_TXD	O	UART 发送数据	A16、K19、R4、U21

表 5-73. UART3 信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
UART3_CTSn	I	UART 允许发送（低电平有效）	D19、T17、V2
UART3_RTSn	O	UART 请求发送（低电平有效）	C20、R3、U19
UART3_RXD	I	UART 接收数据	AA5、D16、L21、U20、W1
UART3_TXD	O	UART 发送数据	AA2、E16、K21、U18

表 5-74. UART4 信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
UART4_CTSn	I	UART 允许发送（低电平有效）	R16、R5、T3、V1
UART4_RTSn	O	UART 请求发送（低电平有效）	R1、R17、T2、W1
UART4_RXD	I	UART 接收数据	A17、L20、V20、W4、Y3
UART4_TXD	O	UART 发送数据	B17、J19、T1、V21、W5、Y4

表 5-75. UART5 信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
UART5_CTSn	I	UART 允许发送（低电平有效）	W20、Y13、Y2

Copyright © 2026 Texas Instruments Incorporated

表 5-75. UART5 信号说明（续）

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
UART5_RTSn	O	UART 请求发送（低电平有效）	T21、V12、V3
UART5_RXD	I	UART 接收数据	C17、D19、P16、T6、Y5
UART5_TXD	O	UART 发送数据	C20、D17、R18、W2

表 5-76. UART6 信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
UART6_CTSn	I	UART 允许发送（低电平有效）	T4、W21
UART6_RTSn	O	UART 请求发送（低电平有效）	P17、P4
UART6_RXD	I	UART 接收数据	C13、U6、V6、Y21
UART6_TXD	O	UART 发送数据	D14、W3、Y20

5.3.24.2 MCU 域

表 5-77. MCU_UART0 信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
MCU_UART0_CTSn	I	UART 允许发送（低电平有效）	D8
MCU_UART0_RTSn	O	UART 请求发送（低电平有效）	E8
MCU_UART0_RXD	I	UART 接收数据	A9
MCU_UART0_TXD	O	UART 发送数据	A8

表 5-78. MCU_UART1 信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
MCU_UART1_CTSn	I	UART 允许发送（低电平有效）	B8
MCU_UART1_RTSn	O	UART 请求发送（低电平有效）	B9
MCU_UART1_RXD	I	UART 接收数据	C9
MCU_UART1_TXD	O	UART 发送数据	D9

5.3.25 USB

5.3.25.1 MAIN 域

表 5-79. USB0 信号说明

信号名称 [1]	信号类型 [2]	说明 [3]	ALV/ANI PIN [4]
USB0_DM	IO	USB 2.0 差分数据（负）	AA20
USB0_DP	IO	USB 2.0 差分数据（正）	AA19
USB0_DRVVBUS	O	USB VBUS 控制输出（高电平有效）	E19
USB0_ID	A	USB 2.0 双角色器件 (DRD) 角色选择	U16
USB0_RCALIB (1)	A	连接到校准电阻的引脚	U17
USB0_VBUS (2)	A	USB 电平转换的 VBUS 输入	T14

(1) 必须在该引脚和 VSS 之间连接一个外部 499Ω ±1% 电阻。该电阻的最大功耗为 7.2mW。不应向该引脚施加外部电压。
(2) 需要使用外部电阻分压器来限制施加到该器件引脚的电压。有关更多信息，请参阅节 8.2.3 *USB VBUS 设计指南*。

Copyright © 2026 Texas Instruments Incorporated

5.4 引脚连接要求

本节介绍了具有特定连接要求的封装焊球和未使用封装焊球的连接要求。

备注

除非另有说明，否则必须为所有电源焊球提供*建议运行条件*一节中指定的电压。

备注

需要补充说明的是，“保持未连接状态”或“无连接”(NC) 表示这些器件焊球编号不能连接任何信号布线。

表 5-80. 连接要求

焊球编号	焊球名称	连接要求
A20 D11	MCU_SAFETY_ERRORn TRSTn	这些焊球均必须通过单独的外部拉电阻器连接到 VSS，以确保如果 PCB 信号布线已连接并且未由连接的器件主动驱动，与这些焊球关联的输入会保持为有效的逻辑低电平。如果没有 PCB 信号布线连接到焊球，则可以使用内部下拉来保持有效的逻辑低电平。
D10 E10 B12 E18 B11 C11 C12	EMU0 EMU1 MCU_RESETz RESET_REQz TCK TDI TMS	这些焊球每一个均必须通过单独的外部拉电阻器连接到相应的电源(1)，以确保如果信号布线 PCB 已连接并且未由连接的器件主动驱动，则与这些焊球相关的输入保持为有效的逻辑高电平。如果没有 PCB 信号布线连接到焊球，则可以使用内部上拉来保持有效的逻辑高电平。
A18 B18 E9 A10	I2C0_SCL I2C0_SDA MCU_I2C0_SCL MCU_I2C0_SDA	这些焊球均必须通过单独的外部拉电阻器连接到相应的电源(1)或 VSS，以确保与这些焊球相关的输入相应地保持为有效的逻辑高电平或低电平，从而实现所选的信号功能。
T20 U21 T18 U20 U18 U19 V20 V21 V19 T17 R16 W20 W21 V18 Y21 Y20	GPMC0_AD0 GPMC0_AD1 GPMC0_AD2 GPMC0_AD3 GPMC0_AD4 GPMC0_AD5 GPMC0_AD6 GPMC0_AD7 GPMC0_AD8 GPMC0_AD9 GPMC0_AD10 GPMC0_AD11 GPMC0_AD12 GPMC0_AD13 GPMC0_AD14 GPMC0_AD15	这些焊球每一个均必须通过单独的外部拉电阻器连接到相应的电源(1)或 VSS，以确保与这些焊球相关的输入相应地保持为有效的逻辑高电平或低电平，从而选择所需的器件引导模式。
J13 G20 F20 E21 D20 G21 F21 F19 E20 J15 J16	VDDA_ADC ADC0_AIN0 ADC0_AIN1 ADC0_AIN2 ADC0_AIN3 ADC0_AIN4 ADC0_AIN5 ADC0_AIN6 ADC0_AIN7 ADC0_REFP ADC0_REFN	如果不使用整个 ADC0，则必须将这些焊球中的每一个直接连接到 VSS。

Copyright © 2026 Texas Instruments Incorporated

表 5-80. 连接要求（续）

焊球编号	焊球名称	连接要求
G20 F20 E21 D20 G21 F21 F19 E20	ADC0_AIN0 ADC0_AIN1 ADC0_AIN2 ADC0_AIN3 ADC0_AIN4 ADC0_AIN5 ADC0_AIN6 ADC0_AIN7	当 VDDA_ADC 连接到电源时，任何未使用的 ADC0_AIN[7:0] 焊球必须通过电阻拉至 VSS 或者直接连接到 VSS。
F7 G6 H7 J6 K7 L6 J8	VDDS_DDR VDDS_DDR VDDS_DDR VDDS_DDR VDDS_DDR VDDS_DDR VDDS_DDR_C	如果不使用 DDRSS0，则必须将这些焊球中的每一个直接连接到 VSS。

Copyright © 2026 Texas Instruments Incorporated

表 5-80. 连接要求（续）

焊球编号	焊球名称	连接要求
H2 H1 J5 K5 F6 H4 D2 C5 E2 D4 D3 F2 J2 L5 J3 J4 K3 J1 M5 K4 G4 G5 G2 H3 H5 F1 E1 F4 F3 E3 E4 B2 M2 A3 A2 B5 A4 B3 C4 C2 B4 N5 L4 L2 M3 N4 N3 M4 N2 C1 B1 N1 M1 E5 F5 D5	DDR0_ACT_n DDR0_ALERT_n DDR0_CAS_n DDR0_PAR DDR0_RAS_n DDR0_WE_n DDR0_A0 DDR0_A1 DDR0_A2 DDR0_A3 DDR0_A4 DDR0_A5 DDR0_A6 DDR0_A7 DDR0_A8 DDR0_A9 DDR0_A10 DDR0_A11 DDR0_A12 DDR0_A13 DDR0_BA0 DDR0_BA1 DDR0_BG0 DDR0_BG1 DDR0_CAL0 DDR0_CK0 DDR0_CK0_n DDR0_CKE0 DDR0_CKE1 DDR0_CS0_n DDR0_CS1_n DDR0_DM0 DDR0_DM1 DDR0_DQ0 DDR0_DQ1 DDR0_DQ2 DDR0_DQ3 DDR0_DQ4 DDR0_DQ5 DDR0_DQ6 DDR0_DQ7 DDR0_DQ8 DDR0_DQ9 DDR0_DQ10 DDR0_DQ11 DDR0_DQ12 DDR0_DQ13 DDR0_DQ14 DDR0_DQ15 DDR0_DQS0 DDR0_DQS0_n DDR0_DQS1 DDR0_DQS1_n DDR0_ODT0 DDR0_ODT1 DDR0_RESET0_n	如果不使用 DDRSS0，请保持未连接状态。 注意：仅当 VDDS_DDR 和 VDDS_DDR_C 连接到 VSS 时，此列表中的 DDR0 引脚才能保持未连接状态。当 VDDS_DDR 和 VDDS_DDR_C 连接到电源时，必须按照 AM64x\AM243x DDR 电路板设计和布局布线指南中的定义来连接 DDR0 引脚。
K13 H14	VDD_MMC0 VDD_DLL_MMC0	如果不使用 MMC0，则这些焊球每一个均必须与 VDD_CORE 连接到同一电源。
K14	VDDS_MMC0	如果不使用 MMC0，则这些焊球均必须连接到任何不违反器件电源时序要求的 1.8V 电源。

Copyright © 2026 Texas Instruments Incorporated

表 5-80. 连接要求（续）

焊球编号	焊球名称	连接要求
F18 G18 J21 G19 K20 J20 J18 J17 H17 H19 H18 G17	MMC0_CALPAD MMC0_CLK MMC0_CMD MMC0_DS MMC0_DAT0 MMC0_DAT1 MMC0_DAT2 MMC0_DAT3 MMC0_DAT4 MMC0_DAT5 MMC0_DAT6 MMC0_DAT7	如果不使用 MMC0，则这些焊球每一个均必须保持未连接状态。
H15 K15	VDDA_3P3_SDIO CAP_VDDSHV_MMC1	如果不使用 SDIO_LDO 来为 VDDSHV5 供电，则必须将这些焊球中的每一个直接连接到 VSS。
P12 P13 P11 R14	VDDA_0P85_SERDES0 VDDA_0P85_SERDES0 VDDA_0P85_SERDES0_C VDDA_1P8_SERDES0	如果不使用 SERDES0 并且需要器件边界扫描功能，这些焊球均必须连接至有效电源。 如果不使用 SERDES0，并且不需要器件边界扫描功能，这些焊球均可以直接连接到 VSS。
T13 W16 W17 Y15 Y16 AA16 AA17	SERDES0_REXT SERDES0_REFCLK0N SERDES0_REFCLK0P SERDES0_RX0_N SERDES0_RX0_P SERDES0_TX0_N SERDES0_TX0_P	如果不使用 SERDES0，请保持未连接状态。 注意：仅当 VDDA_0P85_SERDES0、VDDA_0P85_SERDES0_C 和 VDDA_1P8_SERDES0 连接到 VSS 时，SERDES0_REXT 引脚才能保持未连接状态。当 VDDA_0P85_SERDES0、VDDA_0P85_SERDES0_C 和 VDDA_1P8_SERDES0 连接到电源时，SERDES0_REXT 引脚必须通过适当的外部电阻器连接到 VSS。
T12 R15 R13	VDDA_0P85_USB0 VDDA_1P8_USB0 VDDA_3P3_USB0	如果不使用 USB0，则必须将这些焊球中的每一个直接连接到 VSS。
AA20 AA19 U16 U17 T14	USB0_DM USB0_DP USB0_ID USB0_RCALIB USB0_VBUS	如果不使用 USB0，请保持未连接状态。 注意：仅当 VDDA_0P85_USB0、VDDA_1P8_USB0 和 VDDA_3P3_USB0 连接到 VSS 时，USB0_RCALIB 引脚才能保持未连接状态。当 VDDA_0P85_USB0、VDDA_1P8_USB0 和 VDDA_3P3_USB0 连接到电源时，USB0_RCALIB 引脚必须通过适当的外部电阻器连接到 VSS。
K10	VMON_VSYS	如果不使用 VMON_VSYS，这个焊球必须直接连接至 VSS。
E12	VMON_1P8_SOC	如果 VMON_1P8_SOC 未用于监控 SOC 电源轨，则此焊球必须保持连接到 1.8V 电源轨。
K16 F13 F14	VMON_1P8_MCU VMON_3P3_MCU VMON_3P3_SOC	如果 VMON_1P8_MCU、VMON_3P3_MCU 和 VMON_3P3_SOC 未用于监控 MCU 和 SOC 电源轨，则这些焊球必须保持连接到各自的 1.8V 和 3.3V 电源轨，或者直接连接到 VSS。

(1) 要确定与任何 IO 关联的电源，请参阅 *引脚属性* 表中的“电源”一列。

Copyright © 2026 Texas Instruments Incorporated

备注

内部拉电阻器很弱，在某些工作条件下可能无法提供足够的电流来保持有效的逻辑电平。当连接到具有相反逻辑电平泄漏的元件时，或者当外部噪声源与连接到仅由内部电阻器拉至有效逻辑电平的焊球的信号布线耦合时，可能会出现这种情况。因此，建议使用外部拉电阻器来在具有外部连接的焊球上保持有效的逻辑电平。

很多处理器 I/O 默认处于关闭状态，并且可能需要外部拉电阻器才能将任何所连接器件的输入保持在有效逻辑状态，直到软件初始化相应的 I/O。*引脚属性* 表的“复位 RX/TX/PULL 期间的焊球状态”和“复位 RX/TX/PULL 后的焊球状态”列中定义了可配置器件 IO 的状态。任何输入缓冲器（RX）关闭的 IO 都可以浮动，而不会损坏器件。但是，任何已打开输入缓冲器 (RX) 的 IO 不得浮动到 V_{ILSS} 和 V_{IHSS} 之间的任何电位。输入缓冲器可以进入高电流状态，如果允许在这些电平之间浮动，则可能会损坏 IO 单元。

Copyright © 2026 Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在工作结温范围内测得（除非另有说明）(1) (2)

参数			最小值	最大值	单位
VDD_CORE	内核电源		-0.3	1.05	V
VDDR_CORE	RAM 电源		-0.3	1.05	V
VDD_MMC0	MMC0 PHY 内核电源		-0.3	1.05	V
VDD_DLL_MMC0	MMC0 PLL 模拟电源		-0.3	1.05	V
VDDA_0P85_SERDES0	SERDES0 0.85V 模拟电源		-0.3	1.05	V
VDDA_0P85_SERDES0_C	SERDES0 时钟 0.85V 模拟电源		-0.3	1.05	V
VDDA_0P85_USB0	USB0 0.85V 模拟电源		-0.3	1.05	V
VDDS_DDR	DDR PHY IO 电源		-0.3	1.57	V
VDDS_DDR_C	DDR 时钟 IO 电源		-0.3	1.57	V
VDDS_MMC0	MMC0 PHY IO 电源		-0.3	1.98	V
VDDS_OSC	MCU_OSC0 电源		-0.3	1.98	V
VDDA_MCU	RCOSC、POR、POK 和 MCU_PLL0 模拟电源		-0.3	1.98	V
VDDA_ADC0	ADC0 模拟电源		-0.3	1.98	V
VDDA_PLL0	MAIN_PLL0、MAIN_PLL2 和 MAIN_PLL14 模拟电源		-0.3	1.98	V
VDDA_PLL1	MAIN_PLL8 和 MAIN_PLL12 模拟电源		-0.3	1.98	V
VDDA_PLL2	MAIN_PLL1 模拟电源		-0.3	1.98	V
VDDA_1P8_SERDES0	SERDES0 1.8V 模拟电源		-0.3	1.98	V
VDDA_1P8_USB0	USB0 1.8V 模拟电源		-0.3	1.98	V
VDDA_TEMP0	TEMP0 模拟电源		-0.3	1.98	V
VDDA_TEMP1	TEMP1 模拟电源		-0.3	1.98	V
VPP	电子保险丝 ROM 编程电源		-0.3	1.98	V
VDDSHV_MCU	IO MCU 的 IO 电源		-0.3	3.63	V
VDDSHV0	IO 组 0 的 IO 电源		-0.3	3.63	V
VDDSHV1	IO 组 1 的 IO 电源		-0.3	3.63	V
VDDSHV2	IO 组 2 的 IO 电源		-0.3	3.63	V
VDDSHV3	IO 组 3 的 IO 电源		-0.3	3.63	V
VDDSHV4	IO 组 4 的 IO 电源		-0.3	3.63	V
VDDSHV5	IO 组 5 的 IO 电源		-0.3	3.63	V
VDDA_3P3_USB0	USB0 3.3V 模拟电源		-0.3	3.63	V
VDDA_3P3_SDIO	SDIO 3.3V 模拟电源		-0.3	3.63	V
所有失效防护 IO 引脚的稳态最大电压		MCU_PORz	-0.3	3.63	V
		以 1.8V 运行时的 MCU_I2C0_SCL、MCU_I2C0_SDA、I2C0_SCL、I2C0_SDA 和 EXTINTn	-0.3	1.98(3)	V
		以 3.3V 运行时的 MCU_I2C0_SCL、MCU_I2C0_SDA、I2C0_SCL、I2C0_SDA 和 EXTINTn	-0.3	3.63(3)	V
		VMON_1P8_MCU 和 VMON_1P8_SOC	-0.3	1.98	V
		VMON_3P3_MCU 和 VMON_3P3_SOC	-0.3	3.63	V
		VMON_VSYS(4)	-0.3	1.98	V

Copyright © 2026 Texas Instruments Incorporated

在工作结温范围内测得（除非另有说明）(1) (2)

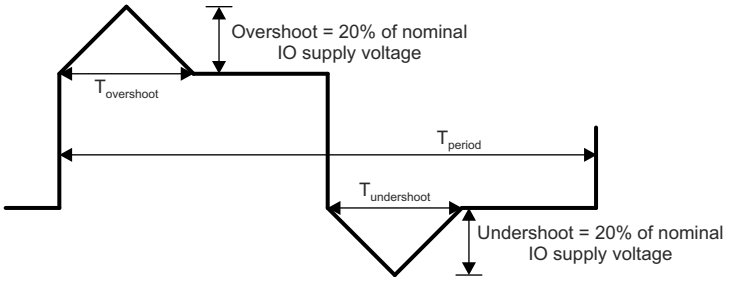
参数		最小值	最大值	单位
所有其他 IO 引脚的稳态最大电压(5)	USB0_VBUS(6)	-0.3	3.6	V
	USB0_ID(7)	-0.3	3.6	V
	所有其他 IO 引脚	-0.3	IO 电源电压 + 0.3	V
IO 引脚的瞬态过冲和下冲	20% 信号周期期间 20% 的 IO 电源电压（请参阅图 6-1 *IO 瞬态电压范围*）		0.2 × VDD(8)	V
闩锁性能	电流测试(9)	-100	+100	mA
	过压 (OV) 测试(10)		1.5 x VDD(8)	V
T_{STG}	贮存温度	-55	+150	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。“绝对最大额定值”并不表示器件在这些条件下或在“建议运行条件”以外的任何其他条件下能够正常运行。如果超出节 6.4 *建议运行条件*，但在绝对最大额定值范围内使用，器件可能无法完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) 除非另有说明，否则所有电压值均以 VSS 为基准。
(3) 这些失效防护引脚的绝对最大额定值取决于其 IO 电源工作电压。因此，该值也由 节 6.7.1 *I2C 漏极开路和失效防护 (I2C OD FS) 电气特性* 中的最大 V_{IH} 值定义，其中电气特性表具有针对 1.8V 模式和 3.3V 模式的不同参数值。
(4) VMON_VSYS 引脚提供了一种监测系统电源的方法。有关更多信息，请参阅节 8.2.4 *系统电源监测设计指南*。
(5) 此参数适用于所有不具有失效防护功能的 IO 引脚，该要求适用于所有 IO 电源电压值。例如，如果施加到特定 IO 电源的电压为 0V，则由该电源供电的任何 IO 的有效输入电压范围将为 –0.3V 至 +0.3V。每当外设不是由用于为相应 IO 电源供电的相同电源供电时，都应特别注意。所连接的外设绝不能提供超出有效输入电压范围的电压（包括电源斜升和斜降序列），这一点很重要。
(6) 需要使用外部电阻分压器来限制施加到该器件引脚的电压。有关更多信息，请参阅节 8.2.3 *USB 设计指南*。
(7) USB0_ID 引脚连接到 USB0 PHY 中的模拟电路。如果模拟电路通过电阻器连接到 VSS，则在测量电压时会拉出已知电流，以确定电阻值 (RID)。对于 USB 主机操作，此引脚应连接至 VSS，或者对于 USB 设备操作，则应保持未连接状态，并且永远不要连接至任何外部电压源。
(8) VDD 是 IO 相应电源引脚上的电压。
(9) 对于电流脉冲注入（电流测试）：
- 引脚应力符合 JEDEC JESD78（II 级），并施加额定 I/O 引脚注入电流和钳位电压（最大推荐 I/O 电压的 1.5 倍和最大推荐 I/O 电压的负 0.5 倍）。

(10) 对于过压性能（过压 (OV) 测试）：
- 电源应力符合 JEDEC JESD78（II 级）并施加额定电压注入。

失效防护 IO 终端的设计不依赖于相应的 IO 电源电压。这样便可在相应 IO 电源关闭时，将外部电压源连接到这些 IO 终端。

MCU_I2C0_SCL 、 MCU_I2C0_SDA 、 I2C0_SCL 、 I2C0_SDA 、 EXTINTn 、 VMON_1P8_MCU 、 VMON_1P8_SOC、VMON_3P3_MCU、VMON_3P3_SOC、VMON_VSYS 和 MCU_PORz 是仅有的失效防护 IO 终端。所有其他 IO 终端都不具有失效防护功能，对其施加的电压应限制为节 6.1 *绝对最大额定值* 中的*所有其他 IO 引脚的稳态最大电压* 参数定义的值。



A. $T_{overshoot} + T_{undershoot} < T_{period}$ 的 20%

图 6-1. IO 瞬态电压范围

Copyright © 2026 Texas Instruments Incorporated

6.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电 (ESD)	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±1000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准(2)	±250	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

6.3 上电小时数 (POH)

上电小时数 (POH)(1) (2) (3)		
结温范围 (T_J)		使用寿命 (POH)
扩展工业级	-40°C 至 105°C	100000
125°C 工业和汽车(4)	-40°C 至 105°C	100000
	-40°C 至 125°C	20000(5)

(1) 为方便起见，单独提供这些信息，并且未扩展或修改适用于 TI 半导体产品的 TI 标准条款和条件下提供的保修范围。
(2) 除非上表中另有说明，否则器件在额定温度下支持所有电压域和工作条件。
(3) POH 是电压、温度和时间的函数。在较高电压和温度下使用会导致 POH 降低。
(4) 应选择 -40°C 至 105°C 或 -40°C 至 125°C 温度曲线并在应用的整个生命周期内应用。为了延长温度和/或 POH 的目的而混合使用这些温度曲线可能会导致可靠性故障风险增加，因此不建议这样做。
(5) -40°C 至 125°C 温度曲线定义为 20000 小时通电时间，此时结温如下所示：5% (-40°C)、65% (70°C)、20% (110°C) 和 10% (125°C)。

Copyright © 2026 Texas Instruments Incorporated

6.4 建议运行条件

在工作结温范围内测得（除非另有说明）

电源名称	说明		最小值(1)	标称值	最大值(1)	单位
VDD_CORE	内核电源	0.75V 工作电压	0.715	0.75	0.79	V
		0.85V 工作电压	0.81	0.85	0.895	V
VDDR_CORE	RAM 电源		0.81	0.85	0.895	V
VDD_MMC0(2)	MMC0 PHY 内核电源		0.81	0.85	0.895	V
VDD_DLL_MMC0(2)	MMC0 PLL 模拟电源		0.81	0.85	0.895	V
VDDA_0P85_SERDES0	SERDES0 0.85V 模拟电源		0.81	0.85	0.895	V
VDDA_0P85_SERDES0_C	SERDES0 时钟 0.85V 模拟电源		0.81	0.85	0.895	V
VDDA_0P85_USB0	USB0 0.85V 模拟电源		0.81	0.85	0.895	V
VDDS_DDR(3) VDDS_DDR_C(3)	DDR PHY IO 电源 DDR 时钟 IO 电源	1.1V 工作电压	1.06	1.1	1.17	V
		1.2V 工作电压	1.14	1.2	1.26	V
VDDS_MMC0	MMC0 PHY IO 电源		1.71	1.8	1.89	V
VDDS_OSC	MCU_OSC0 电源		1.71	1.8	1.89	V
VDDA_MCU	RCOSC、POR、POK 和 MCU_PLL0 模拟电源		1.71	1.8	1.89	V
VDDA_ADC0	ADC0 模拟电源		1.71	1.8	1.89	V
VDDA_PLL0	MAIN_PLL0、MAIN_PLL2 和 MAIN_PLL14 模拟电源		1.71	1.8	1.89	V
VDDA_PLL1	MAIN_PLL8 和 MAIN_PLL12 模拟电源		1.71	1.8	1.89	V
VDDA_PLL2	MAIN_PLL1 模拟电源		1.71	1.8	1.89	V
VDDA_1P8_SERDES0	SERDES0 1.8V 模拟电源		1.71	1.8	1.89	V
VDDA_1P8_USB0	USB0 1.8V 模拟电源		1.71	1.8	1.89	V
VDDA_TEMP0	TEMP0 模拟电源		1.71	1.8	1.89	V
VDDA_TEMP1	TEMP1 模拟电源		1.71	1.8	1.89	V
VPP	电子保险丝 ROM 编程电源		请参阅(4)	请参阅(4)	请参阅(4)	V
VMON_1P8_MCU	1.8V MCU 电源的电压监测器		1.71	1.8	1.89	V
VMON_1P8_SOC	1.8V SoC 电源的电压监测器		1.71	1.8	1.89	V
VDDA_3P3_USB0	USB0 3.3V 模拟电源		3.135	3.3	3.465	V
VDDA_3P3_SDIO	SDIO 3.3V 模拟电源		3.135	3.3	3.465	V
VMON_3P3_MCU	3.3V MCU 电源的电压监测器		3.135	3.3	3.465	V
VMON_3P3_SOC	3.3V SoC 电源的电压监测器		3.135	3.3	3.465	V
VMON_VSYS	电压监测器引脚		0	请参阅(5)	1	V
USB0_VBUS	USB 电平转换的 VBUS 输入		0	请参阅(6)	3.465	V
USB0_ID	用于 RID 检测的 USB0 模拟 I/O			请参阅(7)		V
VDDSHV_MCU	双电压 IO 电源	1.8V 工作电压	1.71	1.8	1.89	V
		3.3V 工作电压	3.135	3.3	3.465	V
VDDSHV0	双电压 IO 电源	1.8V 工作电压	1.71	1.8	1.89	V
		3.3V 工作电压	3.135	3.3	3.465	V
VDDSHV1	双电压 IO 电源	1.8V 工作电压	1.71	1.8	1.89	V
		3.3V 工作电压	3.135	3.3	3.465	V
VDDSHV2	双电压 IO 电源	1.8V 工作电压	1.71	1.8	1.89	V
		3.3V 工作电压	3.135	3.3	3.465	V

Copyright © 2026 Texas Instruments Incorporated

在工作结温范围内测得（除非另有说明）

电源名称	说明		最小值(1)	标称值	最大值(1)	单位
VDDSHV3	双电压 IO 电源	1.8V 工作电压	1.71	1.8	1.89	V
		3.3V 工作电压	3.135	3.3	3.465	V
VDDSHV4	双电压 IO 电源	1.8V 工作电压	1.71	1.8	1.89	V
		3.3V 工作电压	3.135	3.3	3.465	V
VDDSHV5	双电压 IO 电源	1.8V 工作电压	1.71	1.8	1.89	V
		3.3V 工作电压	3.135	3.3	3.465	V
T_J	工作结温范围	125°C 工业和汽车	-40		125	°C
		扩展工业级	-40		105	

(1) 在器件正常运行期间，器件焊球上的电压在任何时间段绝不能降至 MIN 电压以下或升至 MAX 电压以上。
(2) 当使用 MMC0 时，VDD_MMC0 和 VDD_DLL_MMC0 必须连接到同一 0.85V 电源；在不使用 MMC0 时，则必须连接到与 VDD_CORE 相同的电源，在这种情况下，VDD_MMC0 和 VDD_DLL_MMC0 可以在 0.75 或 0.85 的标称电压下运行。
(3) VDDS_DDR 和 VDDS_DDR_C 应来自同一电源。
(4) 对于基于电子保险丝用法的 VPP 电源电压，请参阅 OTP 电子保险丝编程的建议运行条件表。
(5) VMON_VSYS 引脚提供了一种监测系统电源的方法。有关更多信息，请参阅节 8.2.4 *系统电源监测设计指南*。
(6) 需要使用外部电阻分压器来限制施加到该器件引脚的电压。有关更多信息，请参阅节 8.2.3 *USB 设计指南*。
(7) USB0_ID 引脚连接到 USB0 PHY 中的模拟电路。如果模拟电路通过电阻器连接到 VSS，则在测量电压时会拉出已知电流，以确定电阻值 (RID)。对于 USB 主机操作，此引脚应连接至 VSS，或者对于 USB 设备操作，则应保持未连接状态，并且永远不要连接至任何外部电压源。

6.5 运行性能点

本节介绍了器件的运行条件。本节还包含处理器时钟和器件内核时钟的每个运行性能点 (OPP) 的说明。

表 6-1 描述了器件每个速度等级支持的最大频率。

表 6-1. 速度等级最大频率

器件	最大频率 (MHz)									
	速度等级	VDD_CORE (V)(1)	A53SS	R5FSS	M4FSS	CBASS0	ICSSG	DMSC-L	DDR4(2)	LPDDR4(2)
AM64x	S	0.75/0.85	1000	800	400	250	333	250	800 (DDR-1600)	800 (LPDDR-1600)
AM64x	K	0.75/0.85	800	400	400	250	333	250	800 (DDR-1600)	800 (LPDDR-1600)

(1) 额定工作电压，请参阅“建议运行条件”。
(2) 最大 DDR 频率将根据系统中使用的特定存储器类型（供应商）以及根据 PCB 实现进行限制。有关实现最大 DDR 频率的适当 PCB 实现，请参阅 AM64x\AM243x DDR 电路板设计和布局布线指南。

6.6 功耗摘要

有关器件功耗的信息，请参阅 AM64x/AM243x 功耗估算工具应用手册。

Copyright © 2026 Texas Instruments Incorporated

6.7 电气特性

备注

节 6.7.1 至节 6.7.10 中所述的接口或信号对应于多路复用模式 0（主要功能）中可用的接口或信号。

这些表中介绍的焊球上多路复用的所有接口或信号都具有相同的直流电气特性，除非多路复用涉及 PHY 和 GPIO 组合，在这种情况下，会为不同的复用模式（功能）指定不同的直流电气特性。

6.7.1 I2C 开漏和失效防护 (I2C OD FS) 电气特性

在建议运行条件下（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
1.8V 模式						
V_{IL}	输入低电压				0.3 × VDD (1)	V
V_{ILSS}	输入低电压稳态				0.3 × VDD (1)	V
V_{IH}	输入高电压		0.7 × VDD (1)		1.98 (2)	V
V_{IHSS}	输入高电压稳态		0.7 × VDD (1)			V
V_{HYS}	输入迟滞电压		0.1 × VDD (1)			mV
I_{IN} (3)	输入漏电流。	V_I = 1.8V			10	µA
		V_I = 0V			-10	µA
V_{OL}	输出低电压				0.2 × VDD (1)	V
I_{OL} (4)	低电平输出电流	$V_{OL(MAX)}$	10			mA
SR_I (6)	输入压摆率		18f (5) 或 1.8E+6			V/s
3.3V 模式 (7)						
V_{IL}	输入低电压				0.3 × VDD (1)	V
V_{ILSS}	输入低电压稳态				0.25 × VDD (1)	V
V_{IH}	输入高电压		0.7 × VDD (1)		3.63 (2)	V
V_{IHSS}	输入高电压稳态		0.7 × VDD (1)			V
V_{HYS}	输入迟滞电压		0.05 × VDD (1)			mV
I_{IN} (3)	输入漏电流。	V_I = 3.3V			10	µA
		V_I = 0V			-10	µA
V_{OL}	输出低电压				0.4	V
I_{OL} (4)	低电平输出电流	$V_{OL(MAX)}$	10			mA
SR_I (6)	输入压摆率		33f (5) 或 3.3E+6		8E+7	V/s

(1) VDD 表示相应的电源。有关电源名称和相应焊球的详细信息，请参阅 *引脚属性* 表的 POWER 列。
(2) 该值还定义了 IO 的“绝对最大额定值”值。
(3) 此参数定义了将端子用作输入、非驱动输出或同时用作输入和非驱动输出时的漏电流。
(4) I_{OL} 参数定义了器件能够保持指定 V_{OL} 值的最小低电平输出电流。此参数定义的值应被视为系统实现可提供的最大电流，而系统实现需要为附加元件保持指定的 V_{OL} 值。
(5) f = 输入信号的切换频率（以 Hz 为单位）。
(6) 此最小值参数仅适用于在相应的 *时序和开关特性* 部分中未定义的输入信号功能。选择会产生最大值的最小值参数。
(7) 在 3.3V 模式下操作 IO 时，不支持 I2C Hs 模式。

Copyright © 2026 Texas Instruments Incorporated

6.7.2 失效防护复位 (FS 复位) 电气特性

在建议的运行条件下 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
V_{IL}	输入低电压				0.3 × VDDS_OSC	V
V_{ILSS}	输入低电压稳态				0.3 × VDDS_OSC	V
V_{IH}	输入高电压		0.7 × VDDS_OSC			V
V_{IHSS}	输入高电压稳态		0.7 × VDDS_OSC			V
V_{HYS}	输入迟滞电压		200			mV
I_{IN} (1)	输入漏电流。	V_I = 1.8V			10	µA
		V_I = 0V			-10	µA
SR_I (3)	输入压摆率		18f(2) 或 1.8E+6			V/s

(1) 此参数定义了将端子用作输入时的漏电流。
(2) f = 输入信号的切换频率 (以 Hz 为单位) 。
(3) 此最小值参数仅适用于在相应的*时序和开关特性* 部分中未定义的输入信号功能。选择会产生最大值的最小值参数。

6.7.3 高频振荡器 (HFOSC) 电气特性

在建议的运行条件下 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
V_{IL}	输入低电压				0.35 × VDDS_OSC	V
V_{IH}	输入高电压		0.65 × VDDS_OSC			V
V_{HYS}	输入迟滞电压			49		mV
I_{IN} (1)	输入漏电流。	V_I = 1.8V			10	µA
		V_I = 0V			-10	µA

(1) 此参数定义了将端子用作输入时的漏电流。

Copyright © 2026 Texas Instruments Incorporated

6.7.4 eMMCPHY 电气特性

在建议的工作条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
V_{IL}	输入低电压				0.35 × VDDS_MMC0	V
V_{ILSS}	输入低电压稳态				0.20	V
V_{IH}	输入高电压		0.65 × VDDS_MMC0			V
V_{IHSS}	输入高电压稳态		1.4			V
I_{IN} (1)	输入漏电流。	V_I = 1.8V			10	µA
		V_I = 0V			-10	µA
R_{PU}	上拉电阻器		15	20	25	kΩ
R_{PD}	下拉电阻器		15	20	25	kΩ
V_{OL}	输出低电压	I_{OL} = 2mA			0.30	V
V_{OH}	输出高电压	I_{OH} = -2mA	VDDS_MMC0 - 0.30			V
SR_I	输入压摆率		5E+8			V/s

(1) 此参数定义了在未启用内部拉电阻的情况下，将端子用作输入、非驱动输出或同时用作输入和非驱动输出时的漏电流。

Copyright © 2026 Texas Instruments Incorporated

6.7.5 SDIO 电气特性

在建议运行条件下（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
1.8V 模式						
V_{IL}	输入低电压				0.58	V
V_{ILSS}	输入低电压稳态				0.58	V
V_{IH}	输入高电压		1.27			V
V_{IHSS}	输入高电压稳态		1.7			V
V_{HYS}	输入迟滞电压		150			mV
I_{IN} (1)	输入漏电流。	V_I = 1.8V			10	μA
		V_I = 0V			-10	μA
R_{PU}	上拉电阻器		40	50	60	kΩ
R_{PD}	下拉电阻器		40	50	60	kΩ
V_{OL}	输出低电压				0.45	V
V_{OH}	输出高电压		VDD(2) - 0.45			V
I_{OL} (3)	低电平输出电流	$V_{OL(MAX)}$	4			mA
I_{OH} (3)	高电平输出电流	$V_{OH(MIN)}$	4			mA
SR_I (5)	输入压摆率		18f(4) 或 1.8E+6			V/s
3.3V 模式						
V_{IL}	输入低电压				0.25 × VDD(2)	V
V_{ILSS}	输入低电压稳态				0.15 × VDD(2)	V
V_{IH}	输入高电压		0.625 × VDD(2)			V
V_{IHSS}	输入高电压稳态		0.625 × VDD(2)			V
V_{HYS}	输入迟滞电压		150			mV
I_{IN} (1)	输入漏电流。	V_I = 3.3V			10	μA
		V_I = 0V			-10	μA
R_{PU}	上拉电阻器		40	50	60	kΩ
R_{PD}	下拉电阻器		40	50	60	kΩ
V_{OL}	输出低电压				0.125 × VDD(2)	V
V_{OH}	输出高电压		0.75 × VDD(2)			V
I_{OL} (3)	低电平输出电流	$V_{OL(MAX)}$	6			mA
I_{OH} (3)	高电平输出电流	$V_{OH(MIN)}$	10			mA
SR_I (5)	输入压摆率		33f(4) 或 3.3E+6			V/s

(1) 此参数定义了在未启用内部拉电阻的情况下，将端子用作输入、非驱动输出或同时用作输入和非驱动输出时的漏电流。
(2) VDD 表示相应的电源。有关电源名称和相应焊球的详细信息，请参阅 *引脚属性* 表的“电源”列。
(3) I_{OL} 和 I_{OH} 参数定义了器件能够保持指定的 V_{OL} 和 V_{OH} 值的最小低电平输出电流和高电平输出电流。这些参数定义的值应被视为系统实现可提供的最大电流，而系统实现需要为附加元件保持指定的 V_{OL} 和 V_{OH} 值。
(4) f = 输入信号的切换频率（以 Hz 为单位）。
(5) 此最小值参数仅适用于在相应的 *时序和开关特性* 部分中未定义的输入信号功能。选择会产生最大值的最小值参数。

Copyright © 2026 Texas Instruments Incorporated

6.7.6 LVCMOS 电气特性

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
1.8V 模式						
V_{IL}	输入低电压				0.35 × VDD(1)	V
V_{ILSS}	输入低电压稳态				0.3 × VDD(1)	V
V_{IH}	输入高电压		0.65 × VDD(1)			V
V_{IHSS}	输入高电压稳态		0.85 × VDD(1)			V
V_{HYS}	输入迟滞电压		150			mV
I_{IN} (2)	输入漏电流。	V_I = 1.8V			10	μA
		V_I = 0V			-10	μA
R_{PU}	上拉电阻器		15	22	30	kΩ
R_{PD}	下拉电阻器		15	22	30	kΩ
V_{OL}	输出低电压				0.45	V
V_{OH}	输出高电压		VDD(1) - 0.45			V
I_{OL} (3)	低电平输出电流	$V_{OL(MAX)}$	3			mA
I_{OH} (3)	高电平输出电流	$V_{OH(MIN)}$	3			mA
SR_I (5)	输入压摆率		18f(4) 或 1.8E+6			V/s
3.3V 模式						
V_{IL}	输入低电压				0.8	V
V_{ILSS}	输入低电压稳态				0.6	V
V_{IH}	输入高电压		2.0			V
V_{IHSS}	输入高电压稳态		2.0			V
V_{HYS}	输入迟滞电压		150			mV
I_{IN} (2)	输入漏电流。	V_I = 3.3V			10	μA
		V_I = 0V			-10	μA
R_{PU}	上拉电阻器		15	22	30	kΩ
R_{PD}	下拉电阻器		15	22	30	kΩ
V_{OL}	输出低电压				0.4	V
V_{OH}	输出高电压		2.4			V
I_{OL} (3)	低电平输出电流	$V_{OL(MAX)}$	5			mA
I_{OH} (3)	高电平输出电流	$V_{OH(MIN)}$	9			mA
SR_I (5)	输入压摆率		33f(4) 或 3.3E+6			V/s

(1) VDD 表示相应的电源。有关电源名称和相应焊球的详细信息，请参阅 *引脚属性* 表的“电源”列。
(2) 此参数定义了在未启用内部拉电阻的情况下将端子用作输入、非驱动输出或同时用作输入和非驱动输出时的漏电流。
(3) I_{OL} 和 I_{OH} 参数定义了器件能够保持指定的 V_{OL} 和 V_{OH} 值的最小低电平输出电流和高电平输出电流。这些参数定义的值应被视为系统实现可提供的最大电流，而系统实现需要为附加元件保持指定的 V_{OL} 和 V_{OH} 值。
(4) f = 输入信号的切换频率（以 Hz 为单位）。
(5) 此最小值参数仅适用于在相应的 *时序和开关特性* 部分中未定义的输入信号功能。选择会产生最大值的最小值参数。

Copyright © 2026 Texas Instruments Incorporated

6.7.7 ADC12B 电气特性

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
V_{ADC0_VREFP} (1)	正向基准电压，ADC0_VREFP		1.71		1.89	V
V_{ADC0_VREFN} (1)	负基准电压，ADC0_VREFN			VSS		V
$V_{ADC_AIN[7:0]}$	模拟输入电压，ADC_AIN[7:0]，满量程		VSS		VDDA_ADC0	V
DNL	微分非线性		> -1		+1	LSB
INL	积分非线性		-2		+2	LSB
$LSB_{GAIN-ERROR}$	增益误差			±10		LSB
$LSB_{OFFSET-ERROR}$	偏移误差			±5		LSB
SNR	信噪比	输入信号：–0.5dB 满量程的 200kHz 正弦波		70		dB
THD	总谐波失真	输入信号：–0.5dB 满量程的 200kHz 正弦波		-75		dB
$Z_{ADC_AIN[0:7]}$	模拟输入阻抗，ADC0_AIN[7:0]			(2)		Ω
I_{IN}	输入漏电流			±10		µA
C_{SMPL}	采样电容			5.5		pF
采样动态						
F_{SMPL_CLK}	ADC0 SMPL_CLK 频率			60		MHz
t_C	转换时间			13		ADC0 SMPL_CLK 周期
t_{ACQ}	采集时间		2		257	ADC0 SMPL_CLK 周期
T_R	采样率	ADC0 SMPL_CLK = 60MHz			4	MSPS
通用输入模式 (3)						
V_{IL}	输入低电压				0.35 × VDDA_ADC0	V
V_{ILSS}	输入低电压稳态				0.35 × VDDA_ADC0	V
V_{IH}	输入高电压		0.65 × VDDA_ADC0			V
V_{IHSS}	输入高电压稳态		0.65 × VDDA_ADC0			V
V_{HYS}	输入迟滞电压		200			mV
I_I (4)	输入漏电流	ADC0_AIN[7:0] = VDDA_ADC0			10	µA
		ADC0_AIN[7:0] = VSS			-10	µA

(1) ADC0_REFP 和 ADC0_REFN 基准输入是模拟输入，必须将其视为高瞬态电源轨。ADC0_REFN 应与所有其他 VSS 引脚一起直接连接到 PCB 接地平面，而 ADC0_REFP 连接到能够提供至少 4mA 电流的电源。如果电源的电压容差为 ADC 基准提供了可接受的精度，则可以将 ADC0_REFP 连接到与 VDDA_ADC0 相同的电源。高频去耦电容器必须通过过孔直接连接到 ADC0_REFP 和 ADC0_REFN 引脚，并放置在 PCB 背面的焊球阵列中。

Copyright © 2026 Texas Instruments Incorporated

(2) ADC0_AIN 引脚连接到内部采样电容器，用于提供用户可配置的采集时间和采集频率。ADC0_AIN 引脚的输入阻抗与用户可配置的采集时间和采集频率之间存在函数关系。设计人员必须了解每个 ADC0_AIN 引脚的源阻抗为内部采样电容器充电所需的时间。采集时间必须设置得足够长，以便内部采样电容器稳定至高于 14 位的精度。

(3) ADC0 可配置为以通用输入模式运行，其中所有 ADC0_AIN[7:0] 输入均通过 ADC0_CTRL 寄存器 (gpi_mode_en = 1) 全局启用，以作为数字输入运行。

(4) 此参数定义了当终端以通用输入模式运行时的漏电流。

6.7.8 USB2PHY 电气特性

备注

USB0 接口符合 2000 年 4 月 27 日发布的通用串行总线修订版 2.0 规范，包括适用的 ECN 和勘误表。

6.7.9 串行器/解串器 PHY 电气特性

备注

PCIe 接口符合 2014 年 2 月 19 日 PCI Express® 基本规范 4.0 版中规定的电气参数。

备注

USB0 实例符合 2013 年 7 月 26 日通用串行总线 3.1 规范 1.0 版本中定义的 USB3.1 超高速发送器和接收器标准化电气参数。

6.7.10 DDR 电气特性

备注

DDR 接口与**符合 JESD79-4B 标准**的 DDR4 器件和**符合 JESD209-4B 标准**的 LPDDR4 器件兼容

Copyright © 2026 Texas Instruments Incorporated

6.8 一次性可编程 (OTP) 电子保险丝的 VPP 规格

本节规定了对 OTP 电子保险丝进行编程所需的运行条件。。

6.8.1 OTP 电子保险丝编程的建议运行条件

在工作结温范围内测得（除非另有说明）

参数	说明	最小值	标称值	最大值	单位
VDD_CORE	OTP 运行期间内核域的电源电压范围		请参阅*建议运行条件*		V
VPP	在没有硬件支持对电子保险丝 ROM 进行编程的情况下正常运行期间电子保险丝 ROM 域的电源电压范围		NC(1)		V
	在有硬件支持对电子保险丝 ROM 进行编程的情况下正常运行期间电子保险丝 ROM 域的电源电压范围		0		V
	OTP 编程期间电子保险丝 ROM 域的电源电压范围(2)	1.71	1.8	1.89	V
$I_{(VPP)}$	VPP 电流			400	mA
$SR_{(VPP)}$	VPP 上电压摆率			6E+4	V/s
T_J	对电子保险丝 ROM 进行编程时的工作结温范围。	0	25	85	°C

(1) NC 表示“无连接”。
(2) 电源电压范围包括直流误差和峰峰值噪声。

6.8.2 硬件要求

对 OTP 电子保险丝中的密钥进行编程时，必须满足以下硬件要求：

- 当不对 OTP 寄存器进行编程时，必须禁用 VPP 电源。
- 在执行正确的器件上电序列后，VPP 电源必须斜升（有关更多详细信息，请参阅节 6.11.2 *电源时序控制*）。

6.8.3 编程序列

OTP 电子保险丝的编程序列：

- 按照上电顺序为电路板加电。上电和正常运行期间，VPP 端子上不应施加电压。
- 加载对电子保险丝进行编程所需的 OTP 写入软件（请联系您当地的 TI 代表以获取 OTP 软件包）。
- 根据节 6.8.1 中的规格在 VPP 端子上施加电压。
- 运行对 OTP 寄存器进行编程的软件。
- 验证 OTP 寄存器的内容后，移除 VPP 端子上的电压。

6.8.4 对硬件保修的影响

您同意使用安全密钥对 TI 器件进行电子熔断会永久改变它们。您确认，由于程序序列不正确或中止或者您省略了某个序列步骤等，电子保险丝可能会发生故障。此外，如果量产密钥的错误代码校正检查失败，或者映像未使用当前有效量产密钥进行签名和选择性加密，则 TI 器件可能无法安全启动。这些类型的情况将导致 TI 器件无法运行，TI 将无法确认在尝试使用电子保险丝之前 TI 器件是否符合其规格。因此，对于客户错误进行电子熔断的任何 TI 器件，TI 不承担任何责任（*保修责任或其他责任*）。

Copyright © 2026 Texas Instruments Incorporated

6.9 热阻特性

出于操作和可靠性方面的考虑，器件的最高结温必须达到或低于*建议运行条件*中确定的 T_J 值。

备注

热参数按照 JEDEC 标准 JESD51x 生成，不适用于设计参数。如果需要更准确的热表示，请下载处理器热模型，并将您的 PCB 设计导入热仿真环境。有关散热实施指南的详细信息，请参阅散热解决方案指南部分。

6.9.1 热阻特性

表 6-2. 热阻特性

TI 建议在最坏器件功耗情况下执行系统级热仿真。

编号	参数	说明	ALV 封装 °C/W(1) (2)	ANI 封装 °C/W(1) (2)	气流 (m/s)(3)
T1	$R_{\Theta JC}$	结点到外壳	0.98	3.0	不适用
T2	$R_{\Theta JB}$	结点到电路板	3.87	8.2	不适用
T3	$R_{\Theta JA}$	结点到环境空气	12.8	18.7	0
T4	$R_{\Theta JA}$	结至流动空气	9.2	13.8	1
T5			8.2	12.8	2
T6			7.6	12.3	3
T7	Ψ_{JT}	结至封装顶部	0.53	0.08	0
T8			0.55	0.14	1
T9			0.57	0.17	2
T10			0.58	0.20	3
T11	Ψ_{JB}	结点到电路板	3.74	8.1	0
T12			3.5	7.6	1
T13			3.4	7.4	2
T14			3.3	7.3	3

(1) 以上值基于 JEDEC 定义的 2S2P 系统（基于 JEDEC 定义的 1S0P 系统的 Theta JC [$R_{\Theta JC}$] 值除外），并随环境和应用的变化而更改。有关更多信息，请参阅 EIA/JEDEC 标准。

- JESD51-2, *Integrated Circuits Thermal Test Method Environment Conditions - Natural Convection (Still Air)*
- JESD51-3, *Low Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-6, *Integrated Circuit Thermal Test Method Environmental Conditions - Forced Convection (Moving Air)*
- JESD51-7, *High Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-9, *Test Boards for Area Array Surface Mount Packages*

(2) °C/W = 摄氏度/瓦。

(3) m/s = 米/秒。

Copyright © 2026 Texas Instruments Incorporated

6.10 温度传感器特性

本节总结了电压和温度模块 (VTM) 片上温度传感器特性。

出于操作和可靠性方面的考虑，器件的最高结温必须达到或低于*建议运行条件*中确定的 T_J 值。

表 6-3. VTM 裸片温度传感器特性

参数		测试条件	最小值	典型值	最大值	单位
T_{acc}	VTM 温度传感器精度	-40°C 至 125°C	-5		5	℃

6.11 时序和开关特性

本节介绍了器件时序参数和开关特性。

备注

除非另有具体说明，否则必须使用输出转换率和/或驱动强度的默认 PADCONFIG 设置来确保符合计时技术规格。修改这些设置可能会影响信号完整性和时序性能。

有关支持的 PADCONFIG 选项的更多信息，请参阅器件 TRM 的*焊盘配置寄存器*一节。

6.11.1 时序参数和信息

时序和开关特性 部分中使用的时序参数符号是根据 JEDEC 标准 100 创建的。为了缩短符号，表 6-4 中缩写了某些引脚名称和其他相关术语：

表 6-4. 时序参数下标

符号	参数
c	周期时间（周期）
d	延迟时间
dis	禁用时间
en	启用时间
h	保持时间
su	建立时间
启动	起始位
t	转换时间
v	有效时间
W	脉冲持续时间（宽度）
X	未知、改变或者不用考虑级别
F	下降时间
H	高
L	低
R	上升时间
V	有效
IV	无效
AE	有效边沿
FE	第一个边沿
LE	最后一个边沿
Z	高阻抗

Copyright © 2026 Texas Instruments Incorporated

6.11.2 电源要求

本节介绍了确保器件正常运行的电源要求。

备注

除非在*信号说明* 和*引脚连接要求* 中另有说明，否则必须使用*建议运行条件* 一节中指定的电压为所有电源焊球供电。

6.11.2.1 电源压摆率要求

为了维持内部 ESD 保护器件的安全工作范围，TI 建议将电源的最大压摆率限制为小于 18mV/μs。例如，如图 6-2 所示，对于高于 100μs 的 1.8V 电源，TI 建议采用电源电压斜坡转换时间。

图 6-2 介绍了器件中的电源压摆率要求。

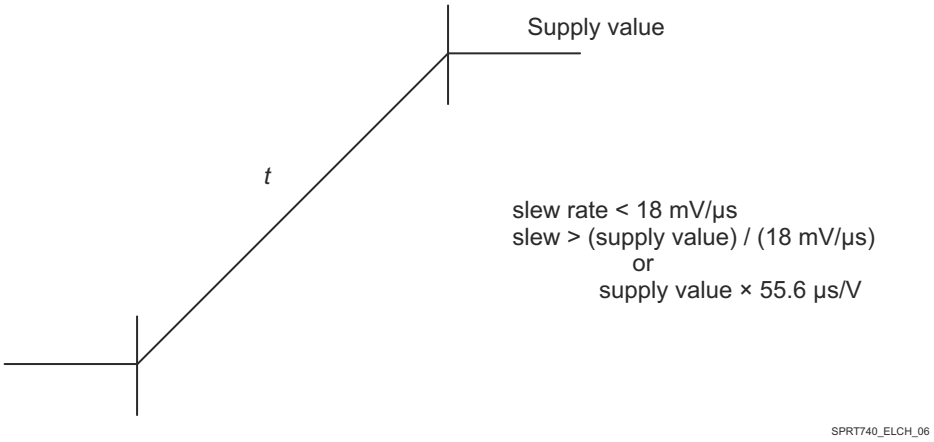


图 6-2. 电源电压转换时间和压摆率

6.11.2.2 电源时序

本节使用电源序列图和相关注释来介绍电源序列要求。每个电源序列图都展示了每个器件电源轨的预期顺序。这是通过将每个器件电源轨分配给一个或多个波形来完成的。双电压电源轨可能与多个波形相关联，相关注释将说明哪种波形适用。每个波形定义了相关电源轨的转换区域，并显示其与其他电源轨的转换区域的顺序关系。与电源时序图相关的注释提供了这些要求的更多详细信息。有关上电要求的详细信息，请参阅*上电序列*一节；有关断电要求的详细信息，请参阅*断电序列*一节。

使用两种类型的电源转换区域来简化电源时序图。提供了图 6-3 和图 6-4 中显示的图例及其说明，以阐明每个转换区域代表什么。

图 6-3 定义了具有多个电源轨的转换区域，这些电源轨可能来自多个电源或单个电源。转换区域内所示的转换代表一种用例，其中使用多个电源来提供与该波形相关的电源轨，允许这些电源在该区域内的不同时间升降，因为它们彼此之间没有任何特定的顺序要求。

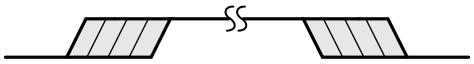


图 6-3. 多电源转换图例

图 6-4 定义了具有一个或多个电源轨的转换区域，这些电源轨必须来自单个公共电源。该区域内没有显示任何转换来表示转换区域内的单个斜坡。

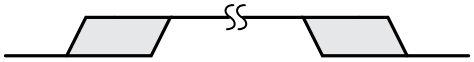


图 6-4. 单个公共电源转换图例

Copyright © 2026 Texas Instruments Incorporated

6.11.2.2.1 上电时序

表 6-5 和图 6-5 介绍了器件上电时序。

备注

只要电源轨降至*建议运行条件*中定义的最小值以下，就必须先关闭所有电源轨并使电压衰减到 300mV 以下，然后启动新的上电序列。

表 6-5. 上电时序 – 电源/信号分配

请参阅：图 6-5

波形	电源/信号名称
A	VSYS(1)、VMON_VSYS(2)
B	VDDSHV_MCU(3)、VDDSHV0(3)、VDDSHV1(3)、VDDSHV2(3)、VDDSHV3(3)、VDDSHV4(3)、VDDA_3P3_USB0、VMON_3P3_SOC(4)、VMON_3P3_MCU(4)
C	VDDSHV_MCU(5)、VDDSHV0(5)、VDDSHV1(5)、VDDSHV2(5)、VDDSHV3(5)、VDDSHV4(5)、VDDA_MCU、VDDS_OSC、VDDA_ADC0、VDDA_PLL0、VDDA_PLL1、VDDA_PLL2、VDDA_1P8_SERDES0、VDDA_1P8_USB0、VMON_1P8_SOC(6)、VMON_1P8_MCU(6)、VDDA_TEMP0、VDDA_TEMP1、VDDS_MMC0
D	VDDA_3P3_SDIO(7) (8)、VDDSHV5(7)
E	VDDS_DDR(9)、VDDS_DDR_C(9)
F	VDD_CORE(10) (12)
G	VDD_CORE(11) (12)、VDDA_0P85_USB0(13)、VDDA_0P85_SERDES0(13)、VDDA_0P85_SERDES0_C(13)、VDD_MMC0(13)、VDDA_DLL_MMC0(13)、VDDR_CORE(12) (13)
H	VPP(14)
I	MCU_PORz
J	MCU_OSC0_XI、MCU_OSC0_XO

(1) VSYS 表示为整个系统供电的电源的名称。该电源应是一个预调节电源，为电源管理器件提供电源，而电源管理器件为所有其他电源提供电源。
(2) VMON_VSYS 输入用于通过外部电阻分压器电路监测 VSYS。有关更多信息，请参阅节 8.2.4 *系统电源监测设计指南*。
(3) VDDSHV_MCU 和 VDDSHVx [x=0-4] 是双电压 IO 电源，可根据应用要求在 1.8V 或 3.3V 电压下运行。

当 VDDSHV_MCU 或 VDDSHVx [x=0-4] IO 电源中的任何一个在 3.3V 下运行时，它们应在该波形定义的 3.3V 斜坡周期内使用其他 3.3V 电源进行斜升。
(4) VMON_3P3_MCU 和 VMON_3P3_SOC 输入用于监测电源电压，并应连接到相应的 3.3V 电源。
(5) VDDSHV_MCU 和 VDDSHVx [x=0-4] 是双电压 IO 电源，可根据应用要求在 1.8V 或 3.3V 电压下运行。

当 VDDSHV_MCU 或 VDDSHVx [x=0-4] IO 电源中的任何一个在 1.8V 下运行时，它们应在该波形定义的 1.8V 斜坡周期内使用其他 1.8V 电源进行斜升。
(6) VMON_1P8_MCU 和 VMON_1P8_SOC 输入用于监测电源电压，并应连接到相应的 1.8V 电源。
(7) VDDA_3P3_SDIO 旨在支持独立上电或掉电，不依赖其他电源轨。VDDSHV5 为双电压 IO 电源，旨在支持加电、断电或不依赖于其他电源轨的动态电压变化。这是支持 UHS-I SD 卡所必需的功能。
(8) VDDA_3P3_SDIO 是内部 SDIO_LDO 的 3.3V 电源轨。该电源轨的供电必须与连接至 MMC1 的 UHS-I SD 卡的供电来自同一 3.3V 电源。这样，当 SD 卡电源关闭以复位 SD 卡时，MMC1 的 IO 引脚与 SD 卡的 IO 引脚可实现同步上电与掉电。在此应用场景下，SDIO_LDO 的输出 (CAP_VDDSHV_MMC1) 用于为 VDDSHV5 IO 电源轨供电，该电源轨将随 VDDA_3P3_SDIO 电源轨同步升压与降压。
(9) VDDS_DDR 和 VDDS_DDR_C 应由同一电源供电，以便它们一起斜升。
(10) VDD_CORE 可在 0.75V 或 0.85V 下运行。当 VDD_CORE 在 0.75V 下运行时，它应在用于为 VDDA_0P85_USB0、VDDA_0P85_SERDES0、VDDA_0P85_SERDES0_C、VDD_MMC0、VDDA_DLL_MMC0 和 VDDR_CORE 供电的 0.85V 电源之前斜升。
(11) VDD_CORE 可在 0.75V 或 0.85V 下运行。当 VDD_CORE 在 0.85V 下运行时，它应连接到用于为 VDDA_0P85_USB0、VDDA_0P85_SERDES0、VDDA_0P85_SERDES0_C、VDD_MMC0、VDDA_DLL_MMC0 和 VDDR_CORE 供电的同一 0.85V 电源。
(12) 在上电或断电期间，施加到 VDDR_CORE 的电势绝不能大于施加到 VDD_CORE 的电势 + 0.18V。当 VDD_CORE 工作电压为 0.75V 时，这要求 VDD_CORE 在 VDDR_CORE 之前斜升并在 VDDR_CORE 之后斜降。除了为 VDD_CORE 定义的斜坡要求之外，VDD_CORE 没有任何斜坡要求。

VDD_CORE 和 VDDR_CORE 应由同一电源供电，因此当 VDD_CORE 以 0.85V 电压运行时，这些电压会一起升降。
(13) VDDA_0P85_USB0、VDDA_0P85_SERDES0、VDDA_0P85_SERDES0_C、VDD_MMC0、VDDA_DLL_MMC0 和 VDDR_CORE 预计由同一 0.85V 电源供电。

Copyright © 2026 Texas Instruments Incorporated

(14) VPP 是 1.8V 电子保险丝编程电源，在上电/断电序列期间以及正常器件运行期间，应保持悬空（高阻态）或接地。该电源应仅在对电子保险丝进行编程时提供。

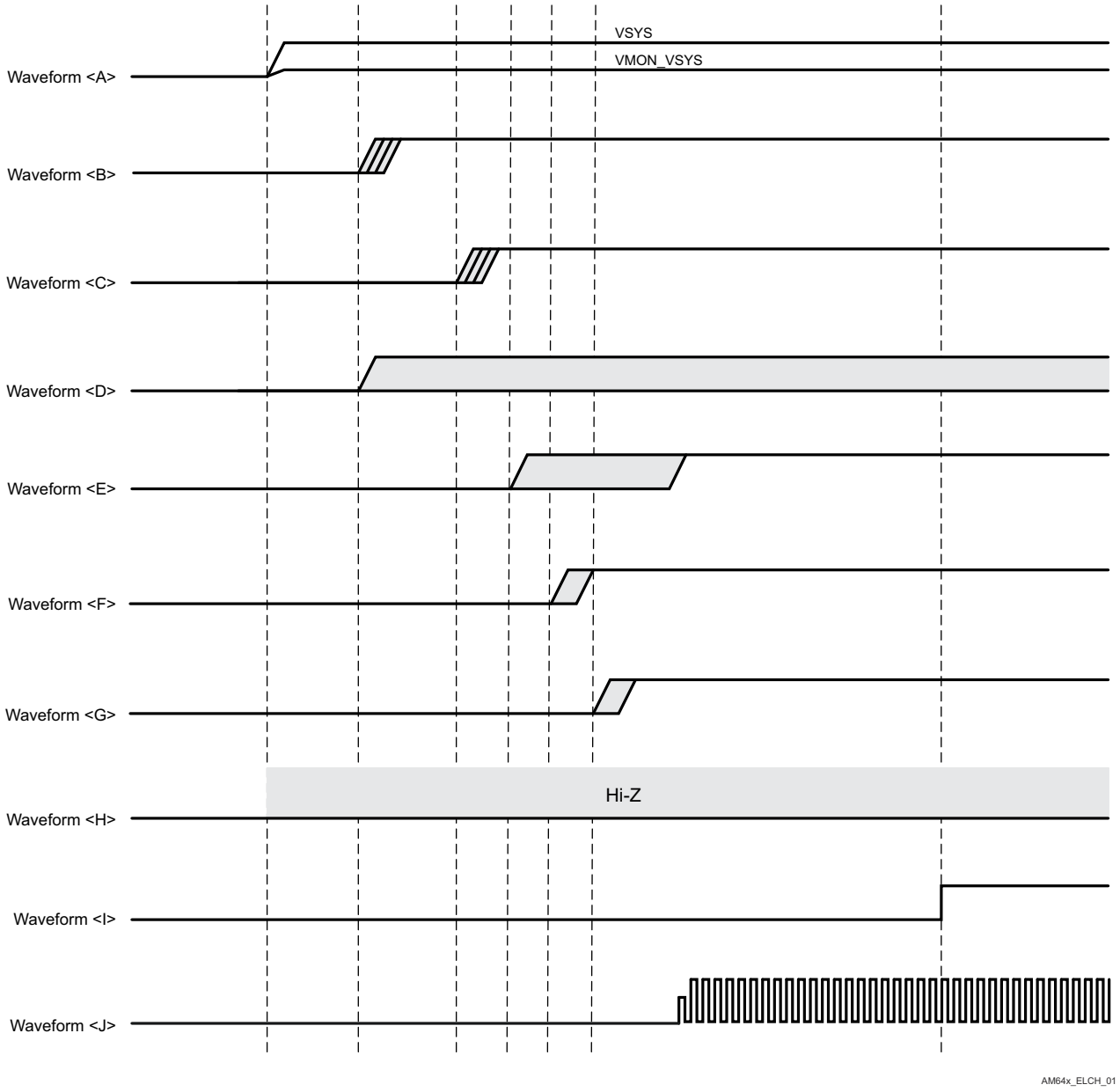


图 6-5. 上电时序

Copyright © 2026 Texas Instruments Incorporated

6.11.2.2.2 下电时序

表 6-6 和图 6-6 介绍了器件下电时序。

备注

只要电源轨降至*建议运行条件*中定义的最小值以下，就必须先关闭所有电源轨并使电压衰减到 300mV 以下，然后启动新的上电序列。

表 6-6. 下电时序 – 电源/信号分配

请参阅：图 6-6

波形	电源/信号名称
A	VSYS、VMON_VSYS
B	VDDSHV_MCU(1)、VDDSHV0(1)、VDDSHV1(1)、VDDSHV2(1)、VDDSHV3(1)、VDDSHV4(1)、VDDA_3P3_USB0、VMON_3P3_SOC、VMON_3P3_MCU
C	VDDSHV_MCU(2)、VDDSHV0(2)、VDDSHV1(2)、VDDSHV2(2)、VDDSHV3(2)、VDDSHV4(2)、VDDA_MCU、VDDS_OSC、VDDA_ADC0、VDDA_PLL0、VDDA_PLL1、VDDA_PLL2、VDDA_1P8_SERDES0、VDDA_1P8_USB0、VMON_1P8_SOC、VMON_1P8_MCU、VDDA_TEMP0、VDDA_TEMP1、VDDS_MMC0
D	VDDA_3P3_SDIO(3) (4)、VDDSHV5(3)
E	VDDS_DDR、VDDS_DDR_C
F	VDD_CORE(5) (7)
G	VDD_CORE(6) (7)、VDDA_0P85_USB0、VDDA_0P85_SERDES0、VDDA_0P85_SERDES0_C、VDD_MMC0、VDDA_DLL_MMC0、VDDR_CORE(7)
H	VPP
I	MCU_PORz
J	MCU_OSC0_XI、MCU_OSC0_XO

(1) 工作电压为 3.3V 时的 VDDSHV_MCU 和 VDDSHVx [x=0-4]。
(2) 工作电压为 1.8V 时的 VDDSHV_MCU 和 VDDSHVx [x=0-4]。
(3) VDDA_3P3_SDIO 旨在支持独立上电或掉电，不依赖其他电源轨。VDDSHV5 为双电压 IO 电源，旨在支持加电、断电或不依赖于其他电源轨的动态电压变化。这是支持 UHS-I SD 卡所必需的功能。
(4) VDDA_3P3_SDIO 是内部 SDIO_LDO 的 3.3V 电源轨。该电源轨的供电必须与连接至 MMC1 的 UHS-I SD 卡的供电来自同一 3.3V 电源。这样，当 SD 卡电源关闭以复位 SD 卡时，MMC1 的 IO 引脚与 SD 卡的 IO 引脚可实现同步上电与掉电。在此应用场景下，SDIO_LDO 的输出 (CAP_VDDSHV_MMC1) 用于为 VDDSHV5 IO 电源轨供电，该电源轨将随 VDDA_3P3_SDIO 电源轨同步升压与降压。
(5) 工作电压为 0.75V 时的 VDD_CORE。
(6) 工作电压为 0.85V 时的 VDD_CORE。
(7) 在上电或断电期间，施加到 VDDR_CORE 的电势绝不能大于施加到 VDD_CORE 的电势 + 0.18V。当 VDD_CORE 工作电压为 0.75V 时，这要求 VDD_CORE 在 VDDR_CORE 之前斜升并在 VDDR_CORE 之后斜降。除了为 VDD_CORE 定义的斜坡要求之外，VDD_CORE 没有任何斜坡要求。

VDD_CORE 和 VDDR_CORE 应由同一电源供电，因此当 VDD_CORE 以 0.85V 电压运行时，这些电压会一起升降。

Copyright © 2026 Texas Instruments Incorporated

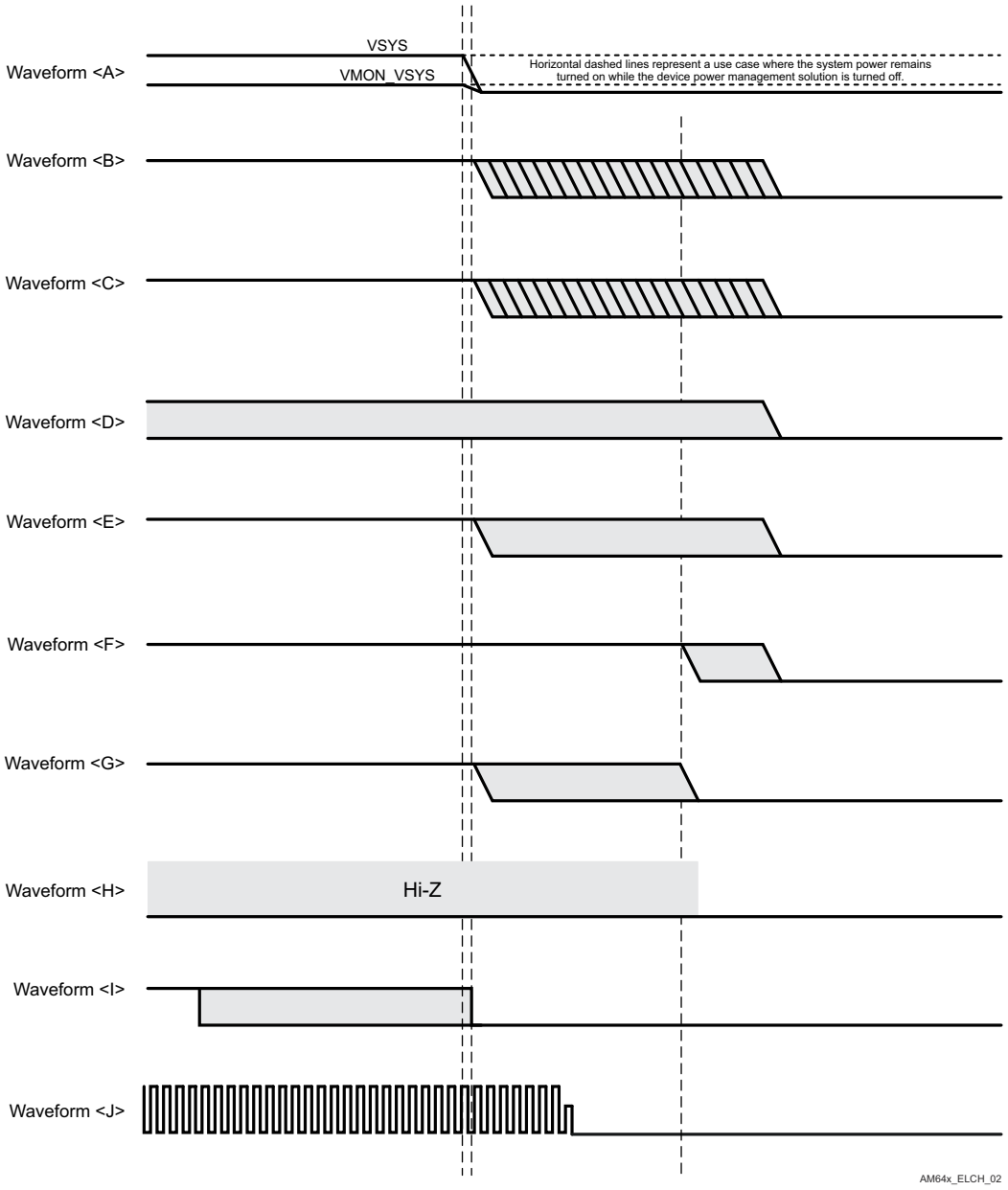


图 6-6. 下电时序

Copyright © 2026 Texas Instruments Incorporated

6.11.3 系统时序

有关子系统多路复用信号特性和其他说明信息的更多详情，请参阅*信号说明*和*详细说明*部分中的相应小节。

6.11.3.1 复位时序

本节中提供的表和图定义了复位相关信号的时序条件、时序要求和开关特性。

表 6-7. 复位时序条件

参数			最小值	最大值	单位
输入条件					
SR_I	输入压摆率	VDD(1) = 1.8V	0.0018		V/ns
		VDD(1) = 3.3V	0.0033		V/ns
输出条件					
C_L	输出负载电容			30	pF

(1) VDD 表示相应的电源。有关电源名称和相应焊球的详细信息，请参阅*引脚属性*表的“电源”列。

表 6-8. MCU_PORz 时序要求

请参阅图 6-7

编号	参数		最小值	最大值	单位
RST1	$t_{h(SUPPLIES_VALID - MCU_PORz)}$	保持时间，在电源有效之后 MCU_PORz 在上电时有效（低电平）（使用外部晶体电路）	9500000		ns
RST2		保持时间，在电源有效且外部时钟稳定之后 MCU_PORz 在上电时有效（低电平）（使用外部 LVCMOS 时钟源）	1200		ns
RST3	$t_{w(MCU_PORzL)}$	脉冲宽度，在上电之后 MCU_PORz 为低电平（不移除电源或系统基准时钟 MCU_OSC0_XI/XO）	1200		ns

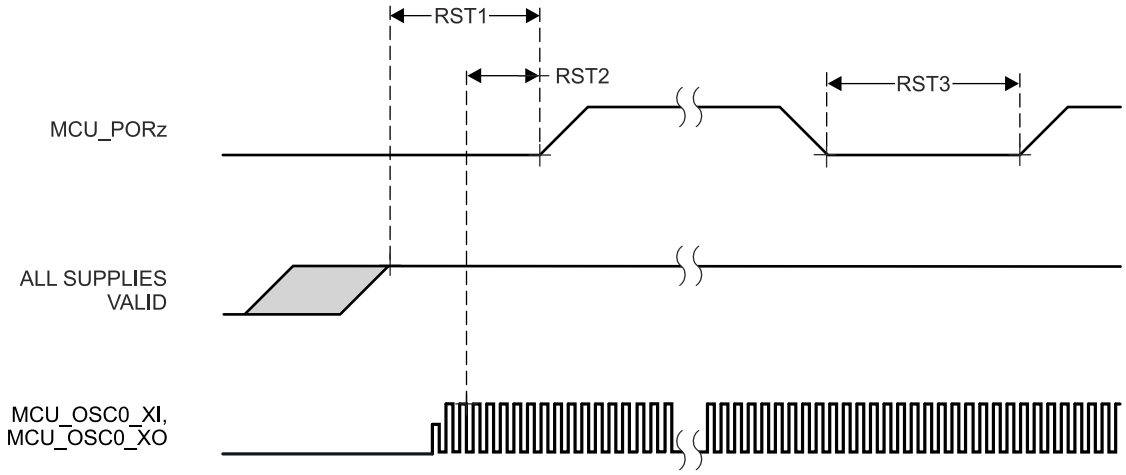


图 6-7. MCU_PORz 时序要求

表 6-9. MCU_RESETSTATz 和 RESETSTATz 开关特性

请参阅图 6-8

编号	参数		最小值	最大值	单位
RST4	$t_{d(MCU_PORzL-MCU_RESETSTATzL)}$	延迟时间，MCU_PORz 有效（低电平）到 MCU_RESETSTATz 有效（低电平）	0		ns
RST5	$t_{d(MCU_PORzH-MCU_RESETSTATzH)}$	延迟时间，MCU_PORz 无效（高电平）到 MCU_RESETSTATz 无效（高电平）	6120*S(1)		ns
RST6	$t_{d(MCU_PORzL-RESETSTATzL)}$	延迟时间，MCU_PORz 有效（低电平）到 RESETSTATz 有效（低电平）	0		ns
RST7	$t_{d(MCU_PORzH-RESETSTATzH)}$	延迟时间，MCU_PORz 无效（高电平）到 RESETSTATz 无效（高电平）	9195*S(1)		ns
RST8	$t_{w(MCU_RESETSTATzL)}$	脉冲宽度，MCU_RESETSTATz 低电平 (SW_MCU_WARMRST)	966*S(1)		ns
RST9	$t_{w(RESETSTATzL)}$	脉冲宽度，RESETSTATz 低电平（SW_MCU_WARMRST、SW_MAIN_PORz 或 SW_MAIN_WARMRST）	4040*S		ns

(1) S = MCU_OSC0_XI/XO 时钟周期（以 ns 为单位）。

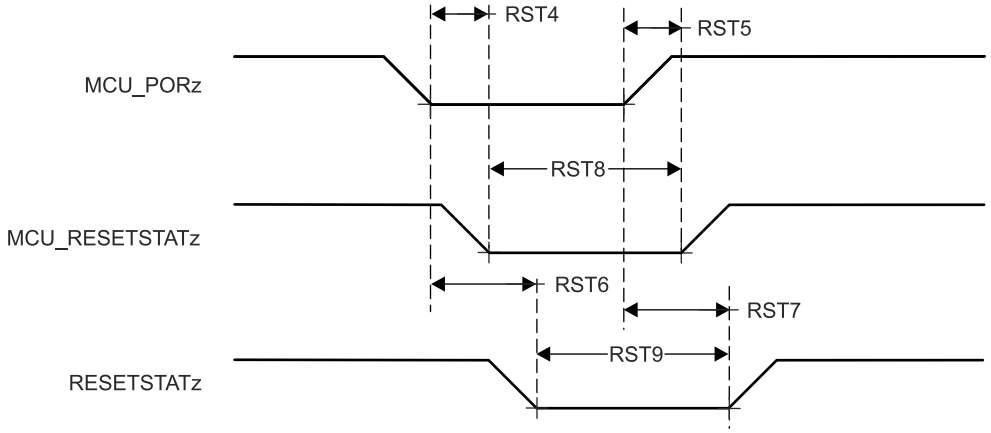


图 6-8. MCU_RESETSTATz 和 RESETSTATz 开关特性

Copyright © 2026 Texas Instruments Incorporated

表 6-10. MCU_RESETz 时序要求

请参阅图 6-9

编号	参数		最小值	最大值	单位
RST10	$t_{w(MCU_RESETzL)}$ (1)	脉冲宽度，MCU_RESETz 有效（低电平）	1200		ns

(1) 仅当所有电源有效且 MCU_PORz 已在指定时间内置为有效后，该时序参数才有效。

表 6-11. MCU_RESETSTATz 和 RESETSTATz 开关特性

请参阅图 6-9

编号	参数		最小值	最大值	单位
RST11	$t_{d(MCU_RESETzL-MCU_RESETSTATzL)}$	延迟时间，MCU_RESETz 有效（低电平）到 MCU_RESETSTATz 有效（低电平）	0		ns
RST12	$t_{d(MCU_RESETzH-MCU_RESETSTATzH)}$	延迟时间，MCU_RESETz 无效（高电平）到 MCU_RESETSTATz 无效（高电平）	966*S(1)		ns
RST13	$t_{d(MCU_RESETzL-RESETSTATzL)}$	延迟时间，MCU_RESETz 有效（低电平）到 RESETSTATz 有效（低电平）	960		ns
RST14	$t_{d(MCU_RESETzH-RESETSTATzH)}$	延迟时间，MCU_RESETz 无效（高电平）到 RESETSTATz 无效（高电平）	4040*S(1)		ns

(1) S = MCU_OSC0_XI/XO 时钟周期（以 ns 为单位）。

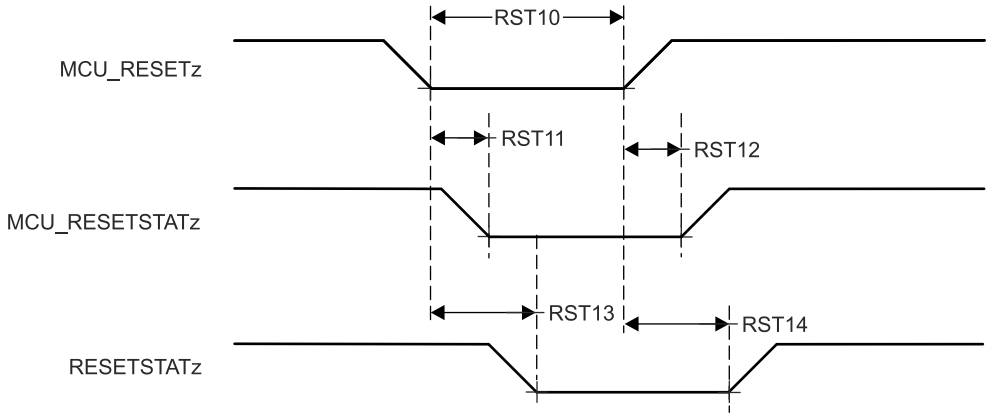


图 6-9. MCU_RESETz、MCU_RESETSTATz 和 RESETSTATz 时序要求和开关特性

Copyright © 2026 Texas Instruments Incorporated

表 6-12. RESET_REQz 时序要求

请参阅图 6-10

编号	参数		最小值	最大值	单位
RST15	$t_{w(RESET_REQzL)}$ (1)	脉冲宽度，RESET_REQz 有效（低电平）	1200		ns

(1) 仅当所有电源有效且 MCU_PORz 已在指定时间内置为有效后，该时序参数才有效。

表 6-13. RESETSTATz 开关特性

请参阅图 6-10

编号	参数		最小值	最大值	单位
RST16	$t_{d(RESET_REQzL-RESETSTATzL)}$	延迟时间，RESET_REQz 有效（低电平）到 RESETSTATz 有效（低电平）	900*T(1)		ns
RST17	$t_{d(RESET_REQzH-RESETSTATzH)}$	延迟时间，RESET_REQz 无效（高电平）到 RESETSTATz 无效（高电平）	4040*S(2)		ns

(1) T = 复位隔离时间（取决于软件）
(2) S = MCU_OSC0_XI/XO 时钟周期（以 ns 为单位）。

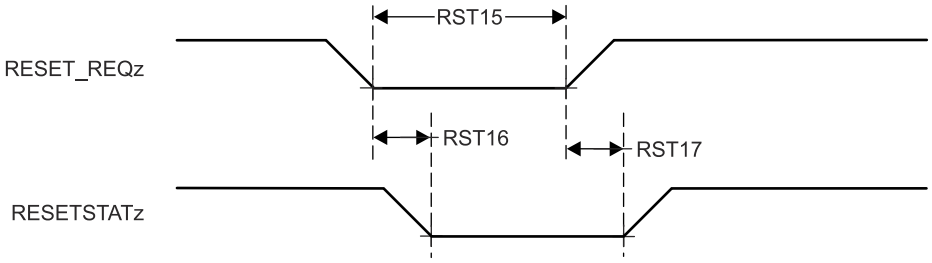


图 6-10. RESET_REQz 和 RESETSTATz 时序要求和开关特性

表 6-14. EMUx 时序要求

请参阅图 6-11

编号	参数		最小值	最大值	单位
RST18	$t_{su(EMUx-MCU_PORz)}$	建立时间，MCU_PORz 无效（高电平）之前的 EMU[1:0]	3*S(1)		ns
RST19	$t_{h(MCU_PORz - EMUx)}$	保持时间，MCU_PORz 无效（高电平）之后的 EMU[1:0]	10		ns

(1) S = MCU_OSC0_XI/XO 时钟周期（以 ns 为单位）。

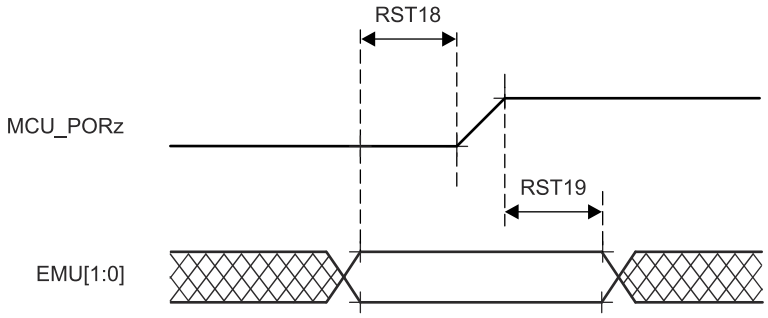


图 6-11. EMUx 时序要求

Copyright © 2026 Texas Instruments Incorporated

表 6-15. BOOTMODE 时序要求

请参阅图 6-12

编号	参数		最小值	最大值	单位
RST23	$t_{su(BOOTMODE-PORz_OUT)}$	建立时间，BOOTMODE[15:00] 在 PORz_OUT 高电平之前有效（外部 MCU PORz 事件或软件 SW_MAIN_PORz）	3*S(1)		ns
RST24	$t_{h(PORz_OUT - BOOTMODE)}$	保持时间，BOOTMODE[15:00] 在 PORz_OUT 高电平之后有效（外部 MCU PORz 事件或软件 SW_MAIN_PORz）	0		ns

(1) S = MCU_OSC0_XI/XO 时钟周期（以 ns 为单位）。

表 6-16. PORz_OUT 开关特性

请参阅图 6-12

编号	参数		最小值	最大值	单位
RST25	$t_{d(MCU_PORzL-PORz_OUT)}$	延迟时间，MCU_PORz 有效（低电平）到 PORz_OUT 有效（低电平）	0		ns
RST26	$t_{d(MCU_PORzH-PORz_OUT)}$	延迟时间，MCU_PORz 无效（高电平）到 PORz_OUT 无效（高电平）	1840		ns
RST27	$t_{w(PORz_OUTL)}$	脉冲宽度，PORz_OUT 低电平（MCU_PORz 或 SW_MAIN_PORz）	1200		ns

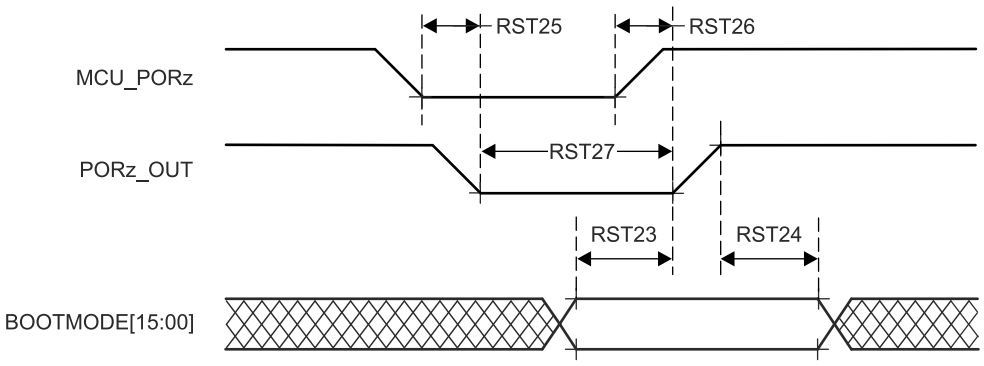


图 6-12. BOOTMODE 时序要求和 PORz_OUT 开关特性

6.11.3.2 安全信号时序

本节中提供的表和图定义了 MCU_SAFETY_ERRORn 的时序条件和开关特性。

表 6-17. MCU_SAFETY_ERRORn 时序条件

参数		最小值	最大值	单位
输出条件				
C_L	输出负载电容		30	pF

表 6-18. MCU_SAFETY_ERRORn 开关特性

请参阅图 6-13

编号	参数		最小值	最大值	单位
SFTY1	$t_{c(MCU_SAFETY_ERRORn)}$	最小周期时间，MCU_SAFETY_ERRORn（启用 PWM 模式）	(P*H)+(P*L)(1) (3) (4)		ns
SFTY2	$t_{w(MCU_SAFETY_ERRORn)}$	最小脉冲宽度，MCU_SAFETY_ERRORn 有效（禁用 PWM 模式）(5)	P*R(1) (2)		ns
SFTY3	$t_{d\ (ERROR_CONDITION-MCU_SAFETY_ERRORnL)}$	延迟时间，错误条件到 MCU_SAFETY_ERRORn 有效(5)	50*P(1)		ns

(1) P = ESM 功能时钟
(2) R = 错误引脚计数器预加载寄存器计数值
(3) H = 错误引脚 PWM 高预加载寄存器计数值
(4) L = 错误引脚 PWM 低预加载寄存器计数值
(5) 启用 PWM 模式后，MCU_SAFETY_ERRORn 会在 SFTY3 后停止切换，并将保持其值（高电平或低电平），直到错误被清除。禁用 PWM 模式时，MCU_SAFETY_ERRORn 为低电平有效。

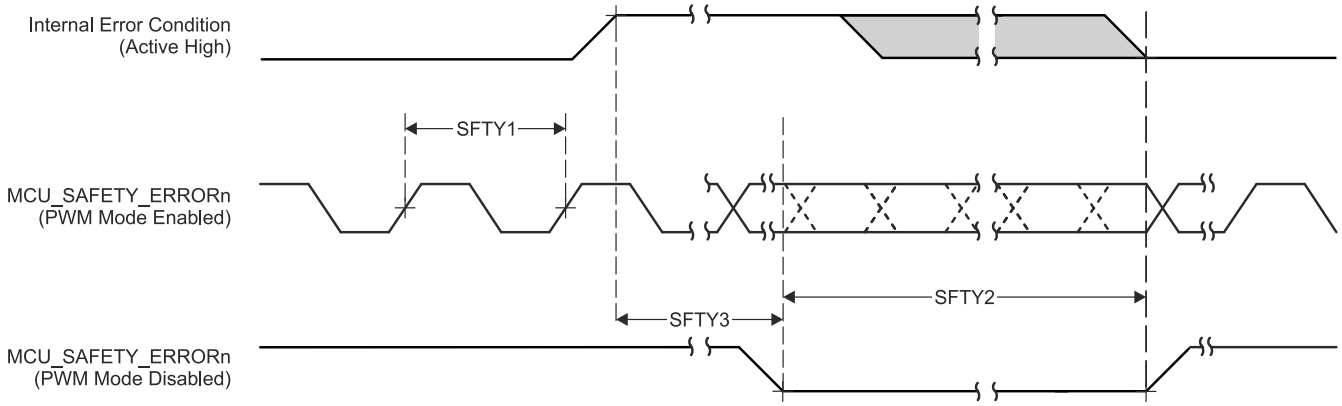


图 6-13. MCU_SAFETY_ERRORn 时序要求和开关特性

Copyright © 2026 Texas Instruments Incorporated

6.11.3.3 时钟时序

本节中提供的表和图定义了时钟信号的时序条件、时序要求和开关特性。

表 6-19. 时钟时序条件

参数			最小值	最大值	单位
输入条件					
SR_I	输入压摆率		0.5		V/ns
输出条件					
C_L	输出负载电容	10ns ⩽ t_c < 20ns		10	pF
		20ns ⩽ t_c		30	pF

表 6-20. 时钟时序要求

请参阅图 6-14

编号			最小值	最大值	单位
CLK1	$t_{c(EXT_REFCLK1)}$	最小周期时间，EXT_REFCLK1	10		ns
CLK2	$t_{w(EXT_REFCLK1H)}$	脉冲持续时间，EXT_REFCLK1 高电平	E*0.45(1)	E*0.55(1)	ns
CLK3	$t_{w(EXT_REFCLK1L)}$	脉冲持续时间，EXT_REFCLK1 低电平	E*0.45(1)	E*0.55(1)	ns
CLK1	$t_{c(MCU_EXT_REFCLK0)}$	最小周期时间，MCU_EXT_REFCLK0	10		ns
CLK2	$t_{w(MCU_EXT_REFCLK0H)}$	脉冲持续时间，MCU_EXT_REFCLK0 高电平	F*0.45(2)	F*0.55(2)	ns
CLK3	$t_{w(MCU_EXT_REFCLK0L)}$	脉冲持续时间，MCU_EXT_REFCLK0 低电平	F*0.45(2)	F*0.55(2)	ns

(1) E = EXT_REFCLK1 周期时间
(2) F = MCU_EXT_REFCLK0 周期时间

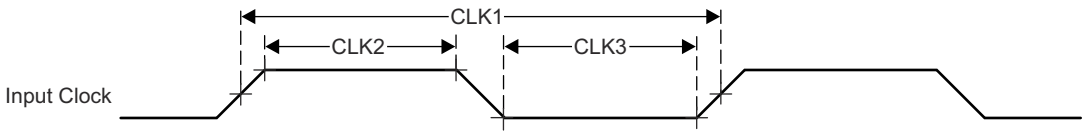


图 6-14. 时钟时序要求

表 6-21. 时钟开关特性

请参阅图 6-15

编号	参数		最小值	最大值	单位
CLK4	$t_{c(SYSCLKOUT0)}$	最小周期时间，SYSCLKOUT0	8		ns
CLK5	$t_{w(SYSCLKOUT0H)}$	脉冲持续时间，SYSCLKOUT0 高电平	A*0.4(1)	A*0.6(1)	ns
CLK6	$t_{w(SYSCLKOUT0L)}$	脉冲持续时间，SYSCLKOUT0 低电平	A*0.4(1)	A*0.6(1)	ns
CLK4	$t_{c(OBSCLK0)}$	最小周期时间，OBSCLK0	5		ns
CLK5	$t_{w(OBSCLK0H)}$	脉冲持续时间，OBSCLK0 高电平	B*0.45(2)	B*0.55(2)	ns
CLK6	$t_{w(OBSCLK0L)}$	脉冲持续时间，OBSCLK0 低电平	B*0.45(2)	B*0.55(2)	ns
CLK4	$t_{c(CLKOUT0)}$	最小周期时间，CLKOUT0	20		ns
CLK5	$t_{w(CLKOUT0H)}$	脉冲持续时间，CLKOUT0 高电平	C*0.4(3)	C*0.6(3)	ns
CLK6	$t_{w(CLKOUT0L)}$	脉冲持续时间，CLKOUT0 低电平	C*0.4(3)	C*0.6(3)	ns
CLK4	$t_{c(MCU_SYSCLKOUT0)}$	最小周期时间，MCU_SYSCLKOUT0	10		ns
CLK5	$t_{w(MCU_SYSCLKOUT0H)}$	脉冲持续时间，MCU_SYSCLKOUT0 高电平	G*0.4(4)	G*0.6(4)	ns
CLK6	$t_{w(MCU_SYSCLKOUT0L)}$	脉冲持续时间，MCU_SYSCLKOUT0 低电平	G*0.4(4)	G*0.6(4)	ns
CLK4	$t_{c(MCU_OBSCLK0)}$	最小周期时间，MCU_OBSCLK0	5		ns
CLK5	$t_{w(MCU_OBSCLK0H)}$	脉冲持续时间，MCU_OBSCLK0 高电平	H*0.45(5)	H*0.55(5)	ns
CLK6	$t_{w(MCU_OBSCLK0L)}$	脉冲持续时间，MCU_OBSCLK0 低电平	H*0.45(5)	H*0.55(5)	ns

(1) A = SYSCLKOUT0 周期时间
(2) B = OBSCLK0 周期时间
(3) C = CLKOUT0 周期时间
(4) G = MCU_SYSCLKOUT0 周期时间
(5) H = MCU_OBSCLK0 周期时间

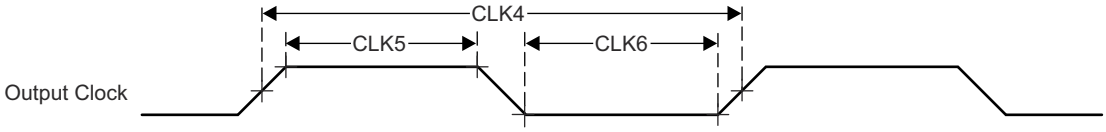


图 6-15. 时钟开关特性

Copyright © 2026 Texas Instruments Incorporated

6.11.4 时钟规格

6.11.4.1 输入时钟/振荡器

需要使用各种外部时钟输入/输出来驱动器件。这些输入时钟信号总结如下：

- MCU_OSC0_XI/MCU_OSC0_XO - 连接到内部高频振荡器 (MCU_HFOSC0) 的外部主晶体接口引脚，该振荡器是内部基准时钟 MCU_HFOSC0_CLKOUT 的默认时钟源。
- 通用时钟输入
  - MCU_EXT_REFCLK0 - MCU 域的可选外部系统时钟输入。
  - EXT_REFCLK1 - MAIN 域的可选外部系统时钟输入。
  - SERDES0_REFCLK0P/N - PCIe 的可选 SERDES0 基准时钟输入。
- 外部 CPTS 基准时钟输入
  - CP_GEMAC_CPTS0_RFT_CLK - CPTS 基准时钟输入。
  - CPTS_RFT_CLK - CPTS 基准时钟输入。

图 6-16 展示了外设的外部输入时钟源和输出时钟。

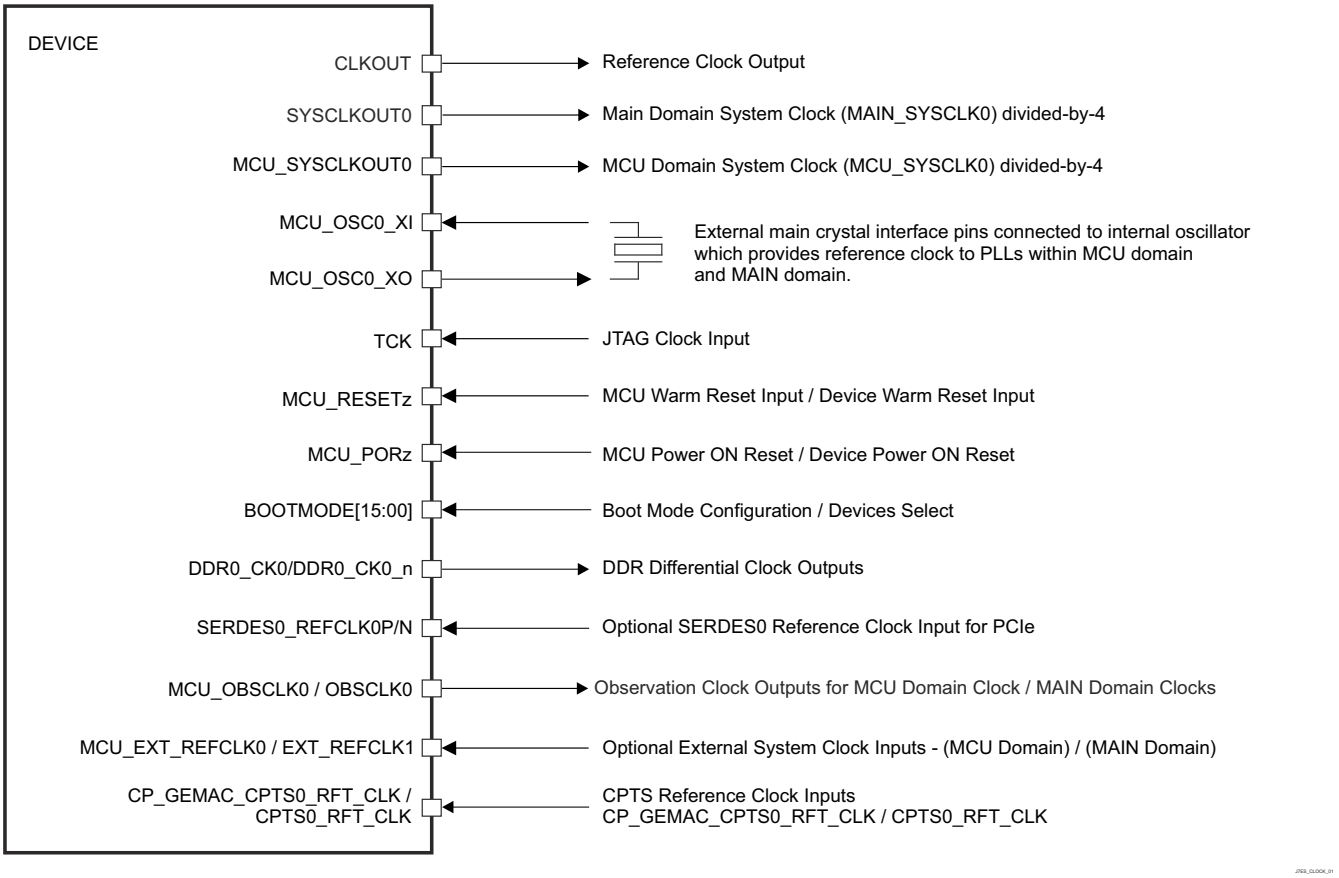


图 6-16. 输入时钟接口

有关输入时钟接口的详细信息，请参阅器件 TRM 的*器件配置*一章中的*时钟*一节。

Copyright © 2026 Texas Instruments Incorporated

6.11.4.1.1 MCU_OSC0 内部振荡器时钟源

图 6-17 展示了建议的晶体电路。用于实现振荡器电路的所有分立式元件必须尽可能靠近 MCU_OSC0_XI 和 MCU_OSC0_XO 引脚放置。

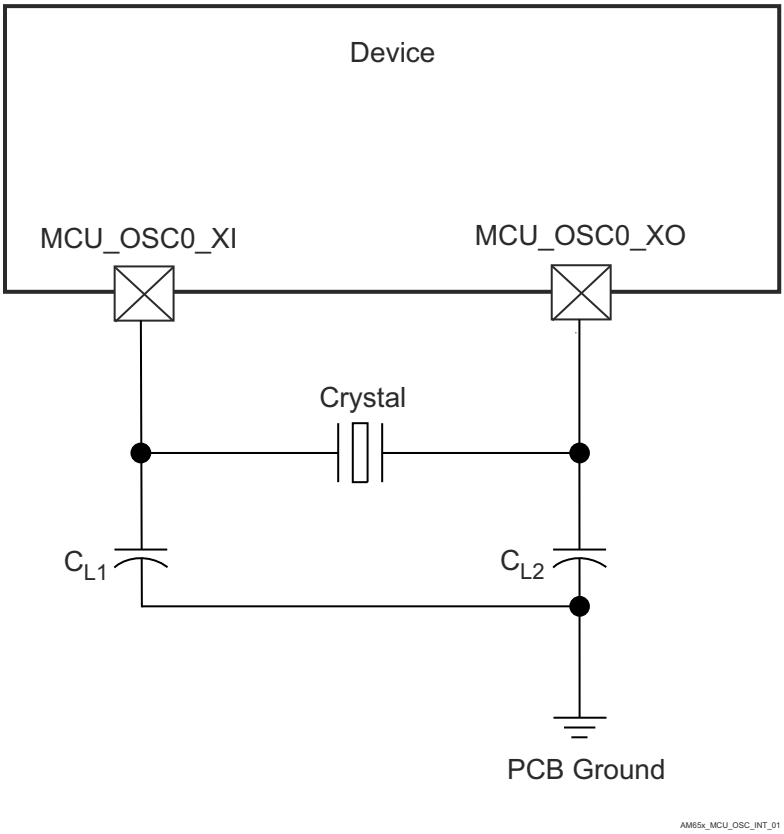


图 6-17. MCU_OSC0 晶体实现

晶体必须处于基本工作模式并且并联谐振。表 6-22 总结了所需的电气约束。

表 6-22. MCU_OSC0 晶体电路要求

参数				最小值	典型值	最大值	单位
F_{xtal}	晶体并联谐振频率				25		MHz
F_{xtal}	晶体频率稳定性和容差		未使用以太网 RGMII 和 RMII			±100	ppm
			RGMII 和 RMII 使用衍生的时钟			±50	
$C_{L1+PCBXI}$	C_{L1} + C_{PCBXI} 电容			12		24	pF
$C_{L2+PCBXO}$	C_{L2} + C_{PCBXO} 电容			12		24	pF
C_L	晶体负载电容			6		12	pF
C_{shunt}	晶体电路并联电容	ESR_{xtal} = 30 Ω	25MHz			7	pF
		ESR_{xtal} = 40 Ω	25MHz			5	pF
		ESR_{xtal} = 50 Ω	25MHz			5	pF
ESR_{xtal}	晶体有效串联电阻					(1)	Ω

(1) 晶体的最大 ESR 是晶体频率和并联电容的函数。请参阅 C_{shunt} 参数。

选择晶体时，系统设计必须根据最坏情况和系统预期寿命来考虑晶体的温度和老化特性。

Copyright © 2026 Texas Instruments Incorporated

表 6-23 详细说明了振荡器的开关特性。

表 6-23. MCU_OSC0 开关特性 - 晶体模式

参数		封装	最小值	典型值	最大值	单位
C_{XI}	XI 电容	ALV			1.44	pF
C_{XO}	XO 电容				1.52	pF
C_{XIXO}	XI 至 XO 互电容				0.01	pF
C_{XI}	XI 电容	ANI			1.435	pF
C_{XO}	XO 电容				1.472	pF
C_{XIXO}	XI 至 XO 互电容				0.01	pF
t_s	启动时间			4		ms

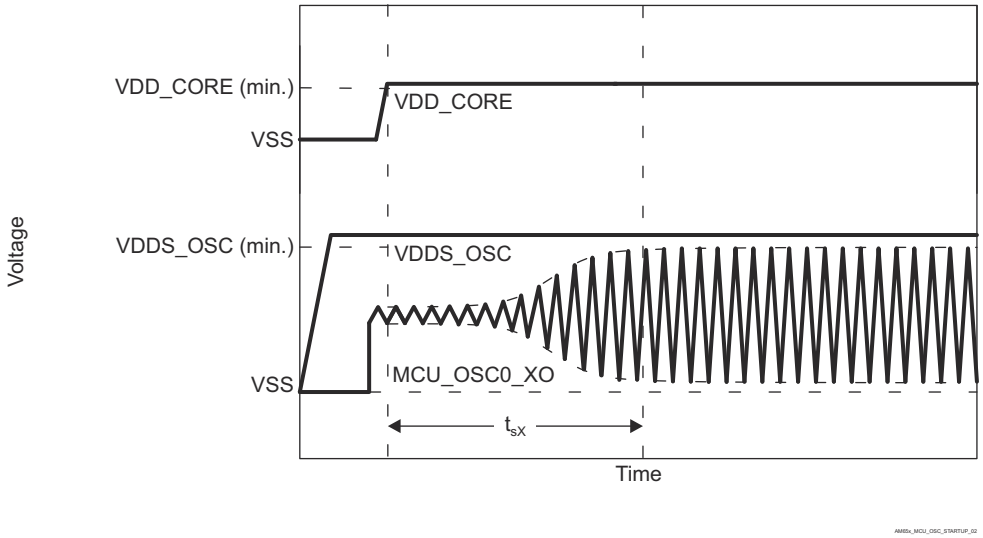


图 6-18. MCU_OSC0 启动时间

6.11.4.1.1.1 负载电容

晶体电路的设计必须能够向晶体施加适当的容性负载，如晶体制造商所定义的。该电路的容性负载 C_L 是分立式电容器 C_{L1}、C_{L2} 以及一些寄生电容的组合。将晶体电路元件到 MCU_OSC0_XI 和 MCU_OSC0_XO 的 PCB 信号引线具有接地寄生电容、C_{PCBXI} 和 C_{PCBXO}，PCB 设计人员应该能够提取每条信号引线的寄生电容。MCU_OSC0 电路和器件封装具有组合的接地寄生电容、C_{PCBXI} 和 C_{PCBXO}，表 6-23 定义了这些寄生电容值。

Copyright © 2026 Texas Instruments Incorporated

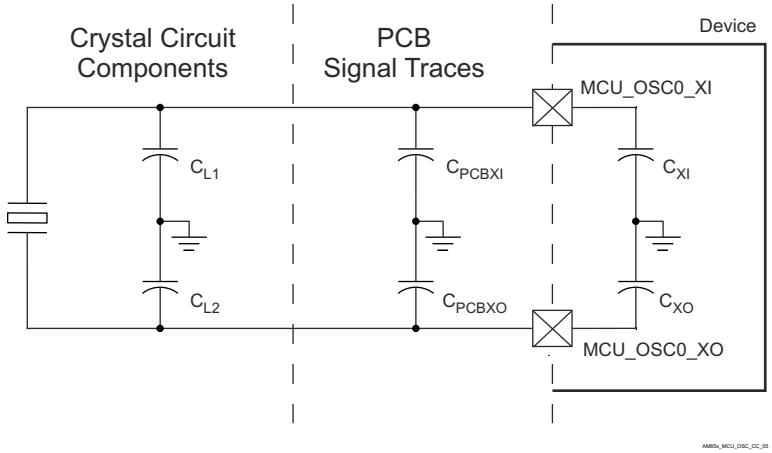


图 6-19. 负载电容

在选择图 6-17 中的负载电容器 C_{L1} 和 C_{L2} 时应满足以下公式。公式中的 C_L 是晶体制造商指定的负载。

$C_L = [(C_{L1} + C_{PCBXI} + C_{XI}) \times (C_{L2} + C_{PCBXO} + C_{XO})] / [(C_{L1} + C_{PCBXI} + C_{XI}) + (C_{L2} + C_{PCBXO} + C_{XO})]$

要确定 C_{L1} 和 C_{L2} 的值，请将容性负载值 C_L 乘以 2。使用该结果，减去 $C_{PCBXI} + C_{XI}$ 的组合值可确定 C_{L1} 的值，减去 $C_{PCBXO} + C_{XO}$ 的组合值可确定 C_{L2} 的值。例如，如果 C_L = 10pF，C_{PCBXI} = 2.9pF，C_{XI} = 0.5pF，C_{PCBXO} = 3.7pF，C_{XO} = 0.5pF，则 $C_{L1} = [(2C_L) - (C_{PCBXI} + C_{XI})] = [(2 \times 10pF) - 2.9pF - 0.5pF)] = 16.6pF$ and $C_{L2} = [(2C_L) - (C_{PCBXO} + C_{XO})] = [(2 \times 10pF) - 3.7pF - 0.5pF)] = 15.8pF$

6.11.4.1.1.2 并联电容

晶体电路的设计还必须使其不超过表 6-22 中定义的 MCU_OSC0 工作条件的最大并联电容。晶体电路的并联电容 C_{shunt} 是晶体并联电容和寄生作用的组合。将晶体电路组件连接到 MCU_OSC0 的 PCB 信号引线彼此之间存在互寄生电容 $C_{PCBXIXO}$，PCB 设计人员应该能够提取这些信号引线之间的互寄生电容。器件封装还具有互寄生电容 C_{XIXO}，表 6-23 定义了该互寄生电容值。

PCB 布线的设计应尽量减消 XI 和 XO 信号引线之间的互电容。这通常是通过使信号引线较短并且使其不相互靠近来实现的。当布局要求这些信号靠近布线时，还可以通过在这些信号之间放置接地引线来尽可能减小互电容。在选择晶体时，应尽量减小 PCB 上的互电容以提供尽可能大的裕度，这一点非常重要。

Copyright © 2026 Texas Instruments Incorporated

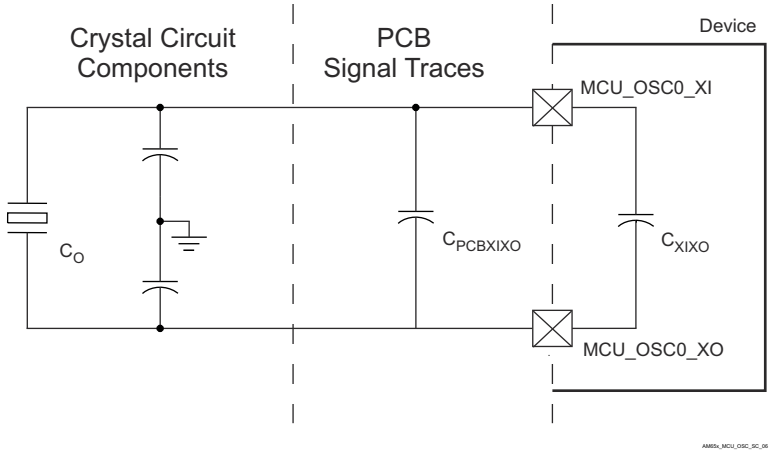


图 6-20. 并联电容

应选择满足以下公式的晶体。公式中的 C_O 是晶体制造商指定的最大并联电容。

$C_{shunt} \geqslant C_O + C_{PCBXIXO} + C_{XIXO}$

例如，当所用的晶体为 25MHz，ESR = 30Ω，$C_{PCBXIXO}$ = 0.04pF，C_{XIXO} = 0.01pF，且晶体的并联电容小于等于 6.95pF 时，应满足该公式。

Copyright © 2026 Texas Instruments Incorporated

6.11.4.1.2 MCU_OSC0 LVCMOS 数字时钟源

图 6-21 展示了当 MCU_OSC0_XI 连接到 1.8V LVCMOS 方波数字时钟源时建议的振荡器连接。

备注

1. 当振荡器上电时，MCU_OSC0_XI 上不允许出现直流稳态情况。这是不允许的，因为 MCU_OSC0_XI 在内部交流耦合到比较器，当向输入施加直流时，该比较器可能会进入未知状态。因此，只要 MCU_OSC0_XI 不在不同逻辑状态之间切换，应用软件就必须使 MCU_OSC0 断电。
2. 应最大限度缩短将 LVCMOS 时钟源连接到 MCU_OSC0_XI 的 PCB 布线长度。这样可以减小容性负载并降低外部噪声源耦合到时钟信号中的可能性。减小电容负载可优化时钟信号的上升/下降时间，从而降低系统中出现抖动的可能性。
3. 为 MCU_OSC0_XI 输入提供时钟源的 LVCMOS 时钟信号必须具有单调转换。该时钟源应通过放置在时钟源附近的串联端接电阻器以点对点连接的方式连接到 MCU_OSC0_XI。串联端接电阻值应使时钟源输出阻抗与传输线路阻抗相匹配。例如，如果时钟源的输出阻抗为 30 欧姆，并且 PCB 信号布线的特征阻抗为 50 欧姆，则串联端接电阻值需要为 20 欧姆。这样的电阻可以完全吸收从未端接传输线路的远端返回的反射，从而避免在信号上引入任何非单调事件。

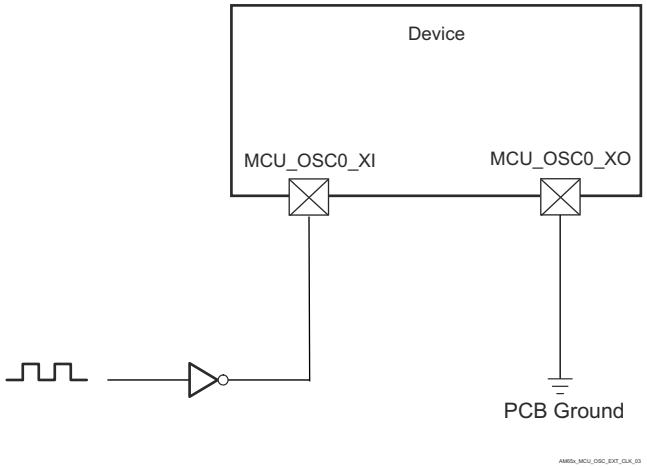


图 6-21. 与 1.8V LVCMOS 兼容的时钟输入

Copyright © 2026 Texas Instruments Incorporated

表 6-24. MCU_OSC0 LVCMOS 数字时钟源要求

参数			最小值	典型值	最大值	单位
F_{xtal}	频率			25		MHz
	频率稳定性和容差	未使用以太网 RGMII 和 RMII			±100	ppm
		RGMII 和 RMII 使用衍生的时钟			±50	
DC	占空比		45		55	%
$t_{R/F}$	上升/下降时间（10%-90% 上升，90%-10% 下降）				4(1)	ns
$J_{Period(RMS)}$	周期抖动，RMS（100k 个样本）				20	ps
$J_{Period(PK-PK)}$	周期抖动，峰峰值（100k 个样本）				300	ps
$J_{Phase(RMS)}$	相位抖动，RMS（带宽 100Hz 至 1MHz）				10(2)	ps
PN	相位噪声(3)	100Hz			-92.3	dBc/Hz
		1kHz			-112.3	
		10kHz			-132.3	
		100kHz			-142.3	
		1MHz			-152.3	

(1) 大多数 LVCMOS 振荡器数据表在其最大输出上升/下降时间的定义中使用的容性负载要比 PCB 布线电容与 MCU_OSC0_XI 输入电容组合所要施加的实际负载大得多。应该不难找到满足此要求的 LVCMOS 振荡器。但是，系统设计人员必须确认所选的 LVCMOS 振荡器能够为 MCU_OSC0_XI 输入提供适当的上升/下降时间。

(2) 大多数 LVCMOS 振荡器数据表在其最大 RMS 相位抖动的定义中使用的带宽积分范围大于此器件的要求。为了获得更合适的值，可能有必要联系 LVCMOS 振荡器制造商，要求他们使用为此参数定义的带宽积分范围来提供最大 RMS 相位抖动。

(3) 仅当串行器/解串器 PHY 用于 USB SuperSpeed 或在没有通用外部时钟源的情况下运行 PCIe 时，“相位噪声”参数才适用。

Copyright © 2026 Texas Instruments Incorporated

6.11.4.2 输出时钟

该器件提供多个系统时钟输出。这些输出时钟总结如下：

- **MCU_SYSCLKOUT0**
  - MCU_SYSCLKOUT0 是 MCU 域系统时钟 (MCU_SYSCK0) 的 4 分频。该时钟输出仅用于测试和调试目的。
- **MCU_OBSCLK0**
  - 观察时钟输出，仅用于测试和调试目的。
- **SYSCLKOUT0**
  - SYSCLKOUT0 是 MAIN 域系统时钟 (MAIN_SYSCLK0) 的 4 分频。该时钟输出仅用于测试和调试目的。
- **CLKOUT0**
  - CLKOUT0 是以太网子系统时钟 (MAIN_PLL0_HSDIV4_CLKOUT) 进行 5 分频或 10 分频。该时钟输出作为外部 PHY 的源提供。当配置为作为 RMII 时钟源 (50MHz) 运行时，该信号还必须路由回至 RMII_REF_CLK 引脚，以便器件正常运行。
- **OBSCLK0**
  - 观察时钟输出，仅用于测试和调试目的。
- **GPMC_FCLK_MUX**
  - GPMC_FCLK_MUX 是 GPMC0 功能时钟 (GPMC_FCLK)。当连接的器件需要连续运行时钟时，该时钟作为备用 GPMC 接口时钟提供。

有关更多信息，请参阅器件 TRM 中*时钟*一章的*时钟输出*一节和*外设*一章的 *GPMC 时钟配置*一节。

6.11.4.3 PLL

由内部稳压器向锁相环电路 (PLL) 供电，这些稳压器从片外电源获取电力。

MCU 域中有一个 PLL：

- MCU_PLL0 (MCU PLL)

主域中有六个 PLL：

- MAIN_PLL0（主 PLL）
- MAIN_PLL1 (PER0 PLL)
- MAIN_PLL2 (PER1 PLL)
- MAIN_PLL8 (ARM0 PLL)
- MAIN_PLL12 (DDR PLL)
- MAIN_PLL14 (R5F PLL)

备注

如需更多信息，请参阅：

- 器件 TRM 中的*器件配置|时钟|PLL* 一节。
- 器件 TRM 中的*可编程实时单元子系统和工业通信子系统 - 千兆位 (PRU_ICSSG)* 一节。

备注

如器件 TRM 中的*器件配置*一章所述，输入基准时钟 (MCU_OSC0_XI/MCU_OSC0_XO) 由 PLL 控制器指定，锁定时间由 PLL 控制器确保。

Copyright © 2026 Texas Instruments Incorporated

6.11.4.4 时钟和控制信号转换的建议系统预防措施

所有时钟和选通信号必须在 V_{IH} 和 V_{IL} 之间（或在 V_{IL} 和 V_{IH} 之间）单调转换。

快速信号转换更有可能发生单调转换。噪声很容易在缓慢转换的信号上产生非单调事件。因此，请避免所有时钟和控制信号上的缓慢信号转换，因为它们更有可能在器件内部产生干扰。

6.11.5 外设

6.11.5.1 CPSW3G

有关器件千兆位以太网 MAC 特性和其他说明信息的更多详情，请参阅*信号说明* 和*详细说明* 部分中的相应小节。

备注

CPSW3G MDIO0、CPSW3G RMII1、CPSW3G RMII2 和 CPSW3G RGMII1 具有一个或多个信号，这些信号可以多路复用到多个引脚。本节中定义的时序要求和开关特性仅对名为 IOSET 的特定引脚组合有效。可在 CPSW3G IOSET 一节的表中找到这些接口的有效引脚组合或 IOSET。

6.11.5.1.1 CPSW3G MDIO 时序

表 6-25、表 6-26、表 6-27 和图 6-22 说明了 CPSW3G MDIO 的时序条件、时序要求和开关特性。

表 6-25. CPSW3G MDIO 时序条件

参数		最小值	最大值	单位
输入条件				
SR_I	输入压摆率	0.9	3.6	V/ns
输出条件				
C_L	输出负载电容	10	470	pF
PCB 连接要求				
$t_{d(Trace\ Delay)}$	每条引线的传播延迟	0	5	ns
$t_{d(Trace\ Mismatch\ Delay)}$	所有布线之间的传播延迟不匹配		1	ns

表 6-26. CPSW3G MDIO 时序要求

请参阅图 6-22

编号	参数		最小值	最大值	单位
MDIO1	$t_{su(MDIO_MDC)}$	建立时间，在 MDIO[x]_MDC 高电平之前 MDIO[x]_MDIO 有效	45		ns
MDIO2	$t_{h(MDC_MDIO)}$	保持时间，在 MDIO[x]_MDC 高电平之后 MDIO[x]_MDIO 有效	0		ns

表 6-27. CPWS3G MDIO 开关特性

请参阅图 6-22

编号	参数		最小值	最大值	单位
MDIO3	$t_{c(MDC)}$	周期时间，MDIO[x]_MDC	400		ns
MDIO4	$t_{w(MDCH)}$	脉冲持续时间，MDIO[x]_MDC 高电平	160		ns
MDIO5	$t_{w(MDCL)}$	脉冲持续时间，MDIO[x]_MDC 低电平	160		ns
MDIO7	$t_{d(MDC_MDIO)}$	延迟时间，MDIO[x]_MDC 低电平到 MDIO[x]_MDIO 有效	-10	10	ns

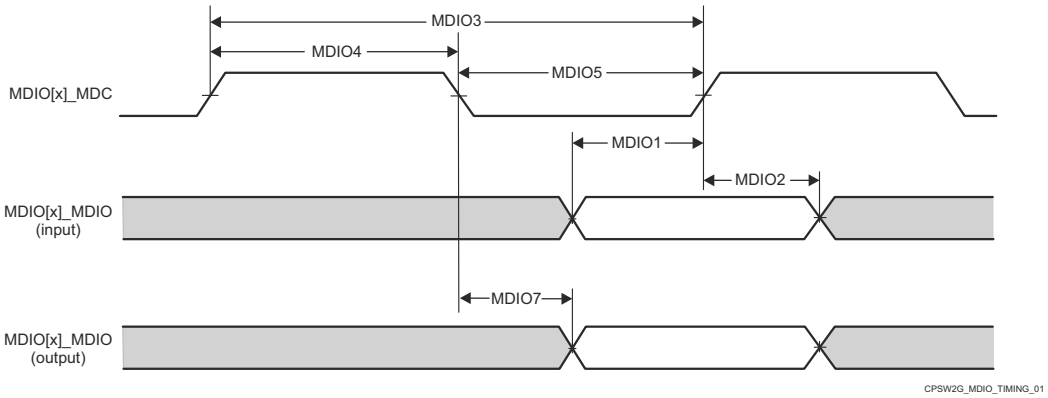


图 6-22. CPSW3G MDIO 时序要求和开关特性

Copyright © 2026 Texas Instruments Incorporated

6.11.5.1.2 CPSW3G RMII 时序

表 6-28、表 6-29、图 6-23、表 6-30、图 6-24、表 6-31 和 图 6-25 说明了 CPSW3G RMII 的时序条件、时序要求和开关特性。

表 6-28. CPSW3G RMII 时序条件

参数			最小值	最大值	单位
输入条件					
SR_I	输入压摆率	VDD(1) = 1.8V	0.18	5	V/ns
		VDD(1) = 3.3V	0.4	5	V/ns
输出条件					
C_L	输出负载电容		3	25	pF

(1) VDD 表示相应的电源。有关电源名称和相应焊球的详细信息，请参阅 *引脚属性* 表的“电源”列。

表 6-29. RMII[x]_REF_CLK 时序要求 – RMII 模式

请参阅图 6-23

编号	参数	说明	最小值	最大值	单位
RMII1	$t_{c(REF_CLK)}$	周期时间，RMII[x]_REF_CLK	19.999	20.001	ns
RMII2	$t_{w(REF_CLKH)}$	脉冲持续时间，RMII[x]_REF_CLK 高电平	7	13	ns
RMII3	$t_{w(REF_CLKL)}$	脉冲持续时间，RMII[x]_REF_CLK 低电平	7	13	ns

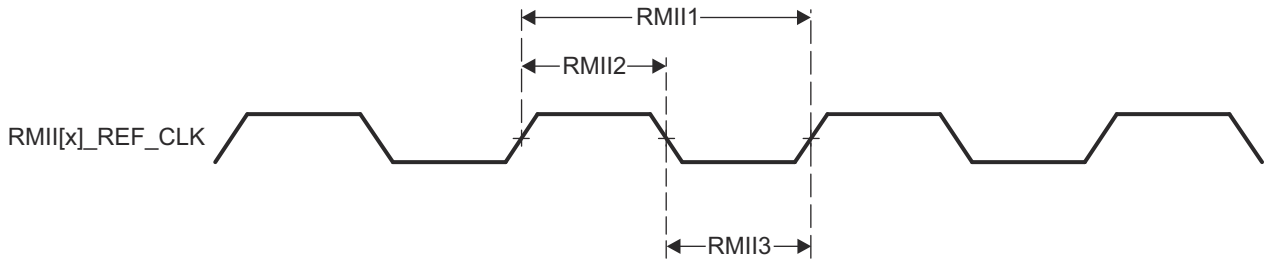


图 6-23. CPSW3G RMII[x]_REF_CLK 时序要求 – RMII 模式

表 6-30. RMII[x]_RXD[1:0]、RMII[x]_CRS_DV 和 RMII[x]_RX_ER 时序要求 – RMII 模式

请参阅图 6-24

编号	参数	说明	最小值	最大值	单位
RMII4	$t_{su(RXD-REF_CLK)}$	建立时间，在 RMII[x]_REF_CLK 之前 RMII[x]_RXD[1:0] 有效	4		ns
	$t_{su(CRS_DV-REF_CLK)}$	建立时间，在 RMII[x]_REF_CLK 之前 RMII[x]_CRS_DV 有效	4		ns
	$t_{su(RX_ER-REF_CLK)}$	建立时间，在 RMII[x]_REF_CLK 之前 RMII[x]_RX_ER 有效	4		ns
RMII5	$t_{h(REF_CLK-RXD)}$	保持时间，在 RMII[x]_REF_CLK 之后 RMII[x]_RXD[1:0] 有效	2		ns
	$t_{h(REF_CLK-CRS_DV)}$	保持时间，在 RMII[x]_REF_CLK 之后 RMII[x]_CRS_DV 有效	2		ns
	$t_{h(REF_CLK-RX_ER)}$	保持时间，在 RMII[x]_REF_CLK 之后 RMII[x]_RX_ER 有效	2		ns

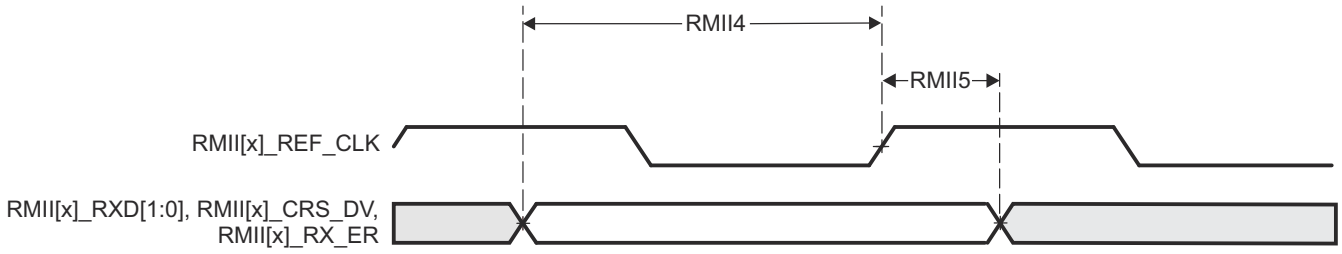


图 6-24. CPSW3G RMII[x]_RXD[1:0]、RMII[x]_CRS_DV、RMII[x]_RX_ER 时序要求 – RMII 模式

Copyright © 2026 Texas Instruments Incorporated

表 6-31. RMII[x]_TXD[1:0] 和 RMII[x]_TX_EN 开关特性 - RMII 模式

请参阅图 6-25

编号	参数	说明	最小值	最大值	单位
RMII6	$t_{d(REF_CLK-TXD)}$	延迟时间，RMII[x]_REF_CLK 高电平到 RMII[x]_TXD[1:0] 有效	2	10	ns
	$t_{d(REF_CLK-TX_EN)}$	延迟时间，RMII[x]_REF_CLK 到 RMII[x]_TX_EN 有效	2	10	ns

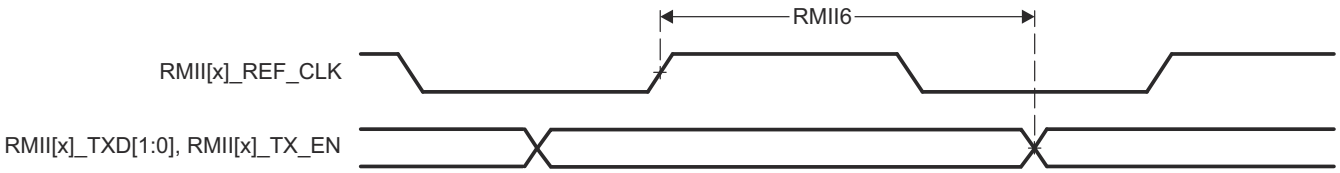


图 6-25. RMII[x]_TXD[1:0] 和 RMII[x]_TX_EN 开关特性 - RMII 模式

Copyright © 2026 Texas Instruments Incorporated

6.11.5.1.3 CPSW3G RGMII 时序

表 6-32、表 6-33、表 6-34、图 6-26、表 6-35、表 6-36 和图 6-27 说明了 CPSW3G RGMII 的时序条件、时序要求和开关特性。

表 6-32. CPSW3G RGMII 时序条件

参数			最小值	最大值	单位
输入条件					
SR_I	输入压摆率	VDD(1) = 1.8V	1.44	5	V/ns
		VDD(1) = 3.3V	2.64	5	
输出条件					
C_L	输出负载电容		2	20	pF
PCB 连接要求					
$t_{d(Trace\ Mismatch\ Delay)}$	所有布线之间的传播延迟不匹配	RGMII[x]_RXC、RGMII[x]_RD[3:0]、RGMII[x]_RX_CTL		50	ps
		RGMII[x]_TXC、RGMII[x]_TD[3:0]、RGMII[x]_TX_CTL		50	ps

(1) VDD 表示相应的电源。有关电源名称和相应焊球的详细信息，请参阅 *引脚属性* 表的“电源”列。

Copyright © 2026 Texas Instruments Incorporated

表 6-33. RGMII[x]_RXC 时序要求 - RGMII 模式

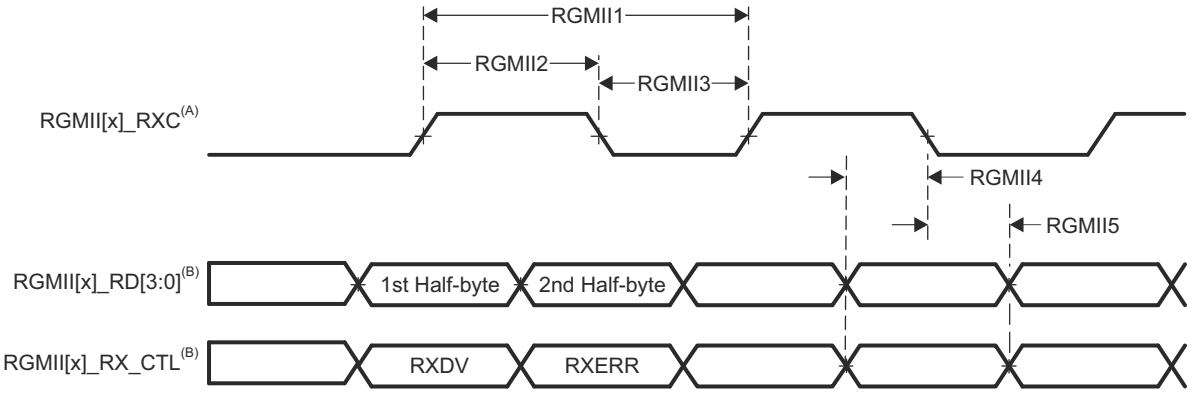
请参阅图 6-26

编号	参数	说明	模式	最小值	最大值	单位
RGMII1	$t_{c(RXC)}$	周期时间，RGMII[x]_RXC	10Mbps	360	440	ns
			100Mbps	36	44	ns
			1000Mbps	7.2	8.8	ns
RGMII2	$t_{w(RXCH)}$	脉冲持续时间，RGMII[x]_RXC 高电平	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns
RGMII3	$t_{w(RXCL)}$	脉冲持续时间，RGMII[x]_RXC 低电平	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns

表 6-34. RGMII[x]_RD[3:0] 和 RGMII[x]_RX_CTL 时序要求 – RGMII 模式

请参阅图 6-26

编号	参数	说明	模式	最小值	最大值	单位
RGMII4	$t_{su(RD-RXC)}$	建立时间，在 RGMII[x]_RXC 高电平/低电平之前 RGMII[x]_RD[3:0] 有效	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
	$t_{su(RX_CTL-RXC)}$	建立时间，在 RGMII[x]_RXC 高电平/低电平之前 RGMII[x]_RX_CTL 有效	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
RGMII5	$t_{h(RXC-RD)}$	保持时间，在 RGMII[x]_RXC 高电平/低电平之后 RGMII[x]_RD[3:0] 有效	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
	$t_{h(RXC-RX_CTL)}$	保持时间，在 RGMII[x]_RXC 高电平/低电平之后 RGMII[x]_RX_CTL 有效	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns



A. RGMII[x]_RXC 必须相对于数据和控制引脚进行外部延迟。

B. 使用时钟的两个边沿接收数据和控制信息。RGMII[x]_RD[3:0] 在 RGMII[x]_RXC 的上升沿承载数据位 3-0，在 RGMII[x]_RXC 的下降沿承载数据位 7-4。类似地，RGMII[x]_RX_CTL 在 RGMII[x]_RXC 的上升沿承载 RXDV，在 RGMII[x]_RXC 的下降沿承载 RXERR。

图 6-26. CPSW3G RGMII[x]_RXC、RGMII[x]_RD[3:0]、RGMII[x]_RX_CTL 时序要求 - RGMII 模式

Copyright © 2026 Texas Instruments Incorporated

表 6-35. RGMII[x]_TXC 开关特性 – RGMII 模式

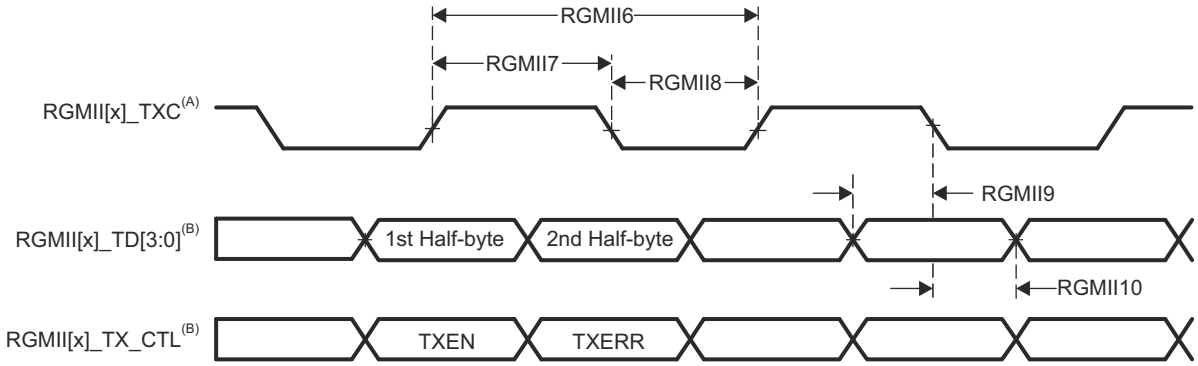
请参阅图 6-27

编号	参数	说明	模式	最小值	最大值	单位
RGMII6	$t_{c(TXC)}$	周期时间，RGMII[x]_TXC	10Mbps	360	440	ns
			100Mbps	36	44	ns
			1000Mbps	7.2	8.8	ns
RGMII7	$t_{w(TXCH)}$	脉冲持续时间，RGMII[x]_TXC 高电平	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns
RGMII8	$t_{w(TXCL)}$	脉冲持续时间，RGMII[x]_TXC 低电平	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns

表 6-36. RGMII[x]_TD[3:0] 和 RGMII[x]_TX_CTL 开关特性 – RGMII 模式

请参阅图 6-27

编号	参数	说明	模式	最小值	最大值	单位
RGMII9	$t_{osu(TD-TXC)}$	输出建立时间，RGMII[x]_TD[3:0] 有效到 RGMII[x]_TXC 高电平/低电平	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns
	$t_{osu(TX_CTL-TXC)}$	输出建立时间，RGMII[x]_TX_CTL 有效到 RGMII[x]_TXC 高电平/低电平	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns
RGMII10	$t_{oh(TXC-TD)}$	输出保持时间，RGMII[x]_TD[3:0] 在 RGMII[x]_TXC 高电平/低电平之后有效	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns
	$t_{oh(TXC-TX_CTL)}$	输出保持时间，RGMII[x]_TX_CTL 在 RGMII[x]_TXC 高电平/低电平之后有效	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns



A. TXC 在驱动至 RGMII[x]_TXC 引脚之前会在内部延迟。该内部延迟始终启用。

B. 使用时钟的两个边沿接收数据和控制信息。RGMII[x]_TD[3:0] 在 RGMII[x]_TXC 的上升沿承载数据位 3-0，在 RGMII[x]_TXC 的下降沿承载数据位 7-4。类似地，RGMII[x]_TX_CTL 在 RGMII[x]_TXC 的上升沿承载 TXEN，在 RGMII[x]_TXC 的下降沿承载 TXERR。

图 6-27. CPSW3G RGMII[x]_TXC、RGMII[x]_TD[3:0] 和 RGMII[x]_TX_CTL 开关特性 - RGMII 模式

Copyright © 2026 Texas Instruments Incorporated

6.11.5.1.4 CPSW3G IOSET

表 6-37 定义了每个 CPSW3G MDIO0 IOSET 的有效引脚组合。

表 6-37. CPSW3G MDIO0 IOSET

信号	IOSET1		IOSET2	
	焊球名称	MUXMODE	焊球名称	MUXMODE
MDIO0_MDIO	PRG0_PRU1_GPO18	4	PRG1_MDIO0_MDIO	4
MDIO0_MDC	PRG0_PRU1_GPO19	4	PRG1_MDIO0_MDC	4

表 6-38 定义了每个 CPSW3G RMII1 和 RMII2 IOSET 的有效引脚组合。

表 6-38. CPSW3G RMII1 和 RMII2 IOSET

信号	IOSET1		IOSET2	
	焊球名称	MUXMODE	焊球名称	MUXMODE
RMII_REF_CLK(1)	PRG1_PRU0_GPO10	5	PRG0_PRU0_GPO10	5
RMII1_CRS_DV	PRG1_PRU1_GPO19	5	PRG0_PRU1_GPO19	5
RMII1_RX_ER	PRG1_PRU0_GPO9	5	PRG0_PRU0_GPO9	5
RMII1_RXD0	PRG1_PRU1_GPO7	5	PRG0_PRU1_GPO7	5
RMII1_RXD1	PRG1_PRU1_GPO9	5	PRG0_PRU1_GPO9	5
RMII1_TXD0	PRG1_PRU1_GPO10	5	PRG0_PRU1_GPO10	5
RMII1_TXD1	PRG1_PRU1_GPO17	5	PRG0_PRU1_GPO17	5
RMII1_TX_EN	PRG1_PRU1_GPO18	5	PRG0_PRU1_GPO18	5
RMII2_CRS_DV	PRG1_PRU1_GPO13	5	PRG1_PRU1_GPO13	5
RMII2_RX_ER	PRG1_PRU1_GPO4	5	PRG1_PRU1_GPO4	5
RMII2_RXD0	PRG1_PRU1_GPO0	5	PRG1_PRU1_GPO0	5
RMII2_RXD1	PRG1_PRU1_GPO1	5	PRG1_PRU1_GPO1	5
RMII2_TXD0	PRG1_PRU1_GPO11	5	PRG1_PRU1_GPO11	5
RMII2_TXD1	PRG1_PRU1_GPO12	5	PRG1_PRU1_GPO12	5
RMII2_TX_EN	PRG1_PRU1_GPO15	5	PRG1_PRU1_GPO15	5

(1) RMII_REF_CLK 由 RMII1 和 RMII2 共用。为确保正常运行，所有引脚多路复用信号分配都必须使用相同的 IOSET。

表 6-39 定义了每个 CPSW3G RGMII1 IOSET 的有效引脚组合。

表 6-39. CPSW3G RGMII1 IOSET

信号	IOSET1		IOSET2	
	焊球名称	MUXMODE	焊球名称	MUXMODE
RGMII1_TX_CTL	PRG1_PRU0_GPO9	4	PRG1_PRU0_GPO9	4
RGMII1_TXC	PRG1_PRU0_GPO10	4	PRG1_PRU0_GPO10	4
RGMII1_TD0	PRG1_PRU1_GPO7	4	PRG1_PRU1_GPO7	4
RGMII1_TD1	PRG1_PRU1_GPO9	4	PRG1_PRU1_GPO9	4
RGMII1_TD2	PRG1_PRU1_GPO10	4	PRG1_PRU1_GPO10	4
RGMII1_TD3	PRG1_PRU1_GPO17	4	PRG1_PRU1_GPO17	4
RGMII1_RX_CTL	PRG0_PRU0_GPO9	4	PRG1_PRU0_GPO5	4
RGMII1_RXC	PRG0_PRU0_GPO10	4	PRG1_PRU0_GPO8	4
RGMII1_RD0	PRG0_PRU1_GPO7	4	PRG1_PRU1_GPO5	4
RGMII1_RD1	PRG0_PRU1_GPO9	4	PRG1_PRU1_GPO8	4
RGMII1_RD2	PRG0_PRU1_GPO10	4	PRG1_PRU1_GPO18	4

Copyright © 2026 Texas Instruments Incorporated

表 6-39. CPSW3G RGMII1 IOSET（续）

信号	IOSET1		IOSET2	
	焊球名称	MUXMODE	焊球名称	MUXMODE
RGMII1_RD3	PRG0_PRU1_GPO17	4	PRG1_PRU1_GPO19	4

6.11.5.2 DDRSS

有关器件 (LP)DDR4 存储器接口特性和其他说明信息的更多详情，请参阅*信号说明* 和*详细说明* 部分中的相应小节。

表 6-40 和 图 6-28 说明了 DDRSS 的开关特性。

表 6-40. DDRSS 开关特性

请参阅图 6-28

编号	参数		DDR 类型	最小值	最大值	单位
1	$t_{c(DDR_CKP/DDR_CKN)}$	周期时间，DDR_CKP 和 DDR_CKN	LPDDR4	1.25(1)	20	ns
			DDR4	1.25(1)	1.6	ns

(1) 最小 DDR 时钟周期时间将根据系统中使用的特定存储器类型（供应商）以及根据 PCB 实现进行限制。有关实现最大 DDR 频率的适当 PCB 实现，请参阅 AM64x\AM243x DDR 电路板设计和布局布线指南。

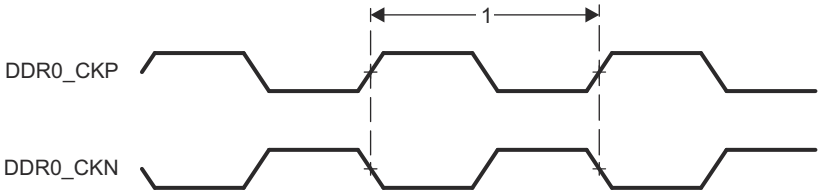


图 6-28. DDRSS 开关特性

有关更多信息，请参阅器件 TRM 的*存储器控制器* 一章中的 *DDR 子系统 (DDRSS)* 一节。

6.11.5.3 ECAP

表 6-41、表 6-42、图 6-29、表 6-43 和图 6-30 说明了 ECAP 的时序条件、时序要求和开关特性。

表 6-41. ECAP 时序条件

参数		最小值	最大值	单位
输入条件				
SR_I	输入压摆率	1	4	V/ns
输出条件				
C_L	输出负载电容	2	7	pF

表 6-42. ECAP 时序要求

请参阅图 6-29

编号	参数	说明	最小值	最大值	单位
CAP1	$t_{w(CAP)}$	脉冲持续时间，CAP（异步）	2 + 2P (1)		ns

(1) P = MAIN_SYSCLK0/4 期间（以 ns 为单位）。

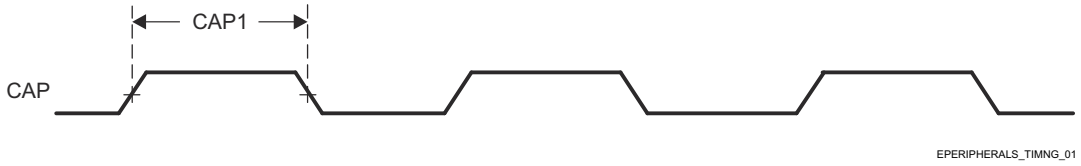


图 6-29. ECAP 时序要求

表 6-43. ECAP 开关特性

请参阅图 6-30

编号	参数	说明	最小值	最大值	单位
CAP2	$t_{w(APWM)}$	脉冲持续时间，APWMx 高电平/低电平	-2 + 2P (1)		ns

(1) P = MAIN_SYSCLK0/4 期间（以 ns 为单位）。

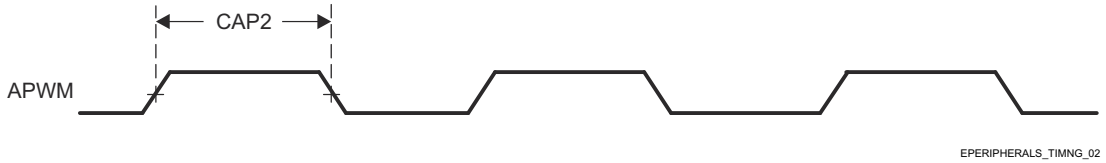


图 6-30. ECAP 开关特性

有关更多信息，请参阅器件 TRM 的*外设*一章中的*增强型捕获 (ECAP) 模块*一节。

Copyright © 2026 Texas Instruments Incorporated

6.11.5.4 EPWM

表 6-44、表 6-45、图 6-31、表 6-46、图 6-32、图 6-33 和图 6-34 说明了 EPWM 的时序条件、时序要求和开关特性。

表 6-44. EPWM 时序条件

参数		最小值	最大值	单位
输入条件				
SR_I	输入压摆率	1	4	V/ns
输出条件				
C_L	输出负载电容	2	7	pF

表 6-45. EPWM 时序要求

请参阅图 6-31

编号	参数	说明	最小值	最大值	单位
PWM6	$t_{w(SYNCIN)}$	脉冲持续时间，EHRPWM_SYNCI	2 + 2P(1)		ns
PWM7	$t_{w(TZ)}$	脉冲持续时间，EHRPWM_TZn_IN 低电平	2 + 3P(1)		ns

(1) P = MAIN_SYSCLK0/2 期间（以 ns 为单位）。

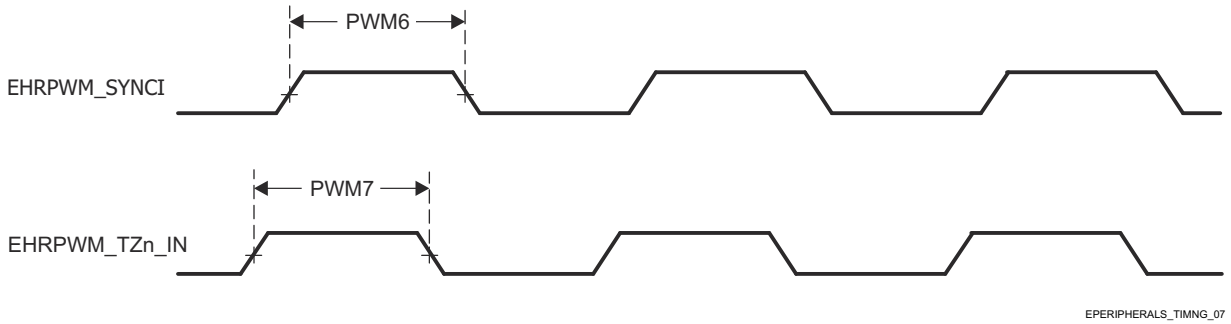


图 6-31. EPWM 时序要求

Copyright © 2026 Texas Instruments Incorporated

表 6-46. EPWM 开关特性

请参阅图 6-32、图 6-33 和图 6-34

编号	参数	说明	最小值	最大值	单位
PWM1	$t_{w(PWM)}$	脉冲持续时间，EHRPWM_A/B 高电平/低电平	P - 3(1)		ns
PWM2	$t_{w(SYNCOUT)}$	脉冲持续时间，EHRPWM_SYNCO	P - 3(1)		ns
PWM3	$t_{d(TZ-PWM)}$	延迟时间，EHRPWM_TZn_IN 有效到 EHRPWM_A/B 强制高电平/低电平		11	ns
PWM4	$t_{d(TZ-PWMZ)}$	延迟时间，EHRPWM_TZn_IN 有效到 EHRPWM_A/B 高阻态		11	ns
PWM5	$t_{w(SOC)}$	脉冲持续时间，EHRPWM_SOCA/B 输出	P - 3(1)		ns

(1) P = MAIN_SYSCLK0/2 期间（以 ns 为单位）。

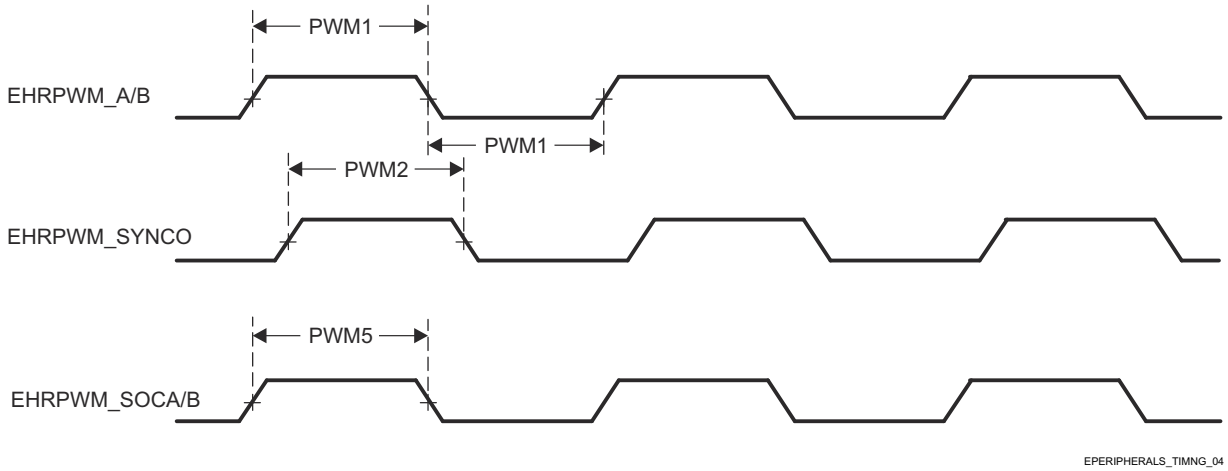


图 6-32. EHRPWM 开关特性

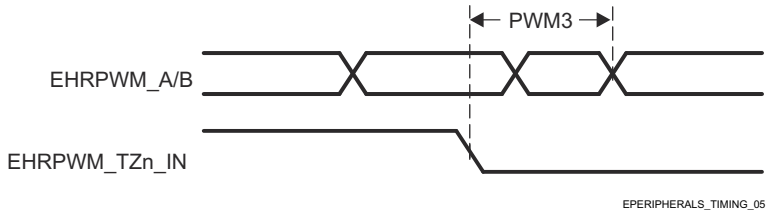


图 6-33. EHRPWM_TZn_IN 至 EHRPWM_A/B 强制开关特性

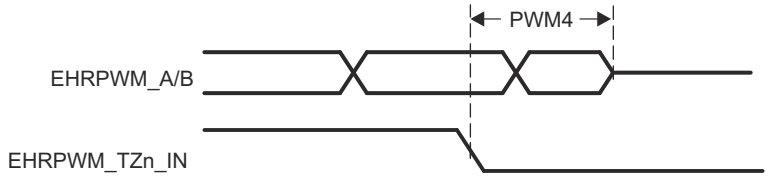


图 6-34. EHRPWM_TZn_IN 至 EHRPWM_A/B 高阻态开关特性

有关更多信息，请参阅器件 TRM 的*外设*一章中的*增强型脉宽调制 (EPWM) 模块*一节。

Copyright © 2026 Texas Instruments Incorporated

6.11.5.5 EQEP

表 6-47、表 6-48、图 6-35 和表 6-49 说明了 EQEP 的时序条件、时序要求和开关特性。

表 6-47. EQEP 时序条件

参数		最小值	最大值	单位
输入条件				
SR_I	输入压摆率	1	4	V/ns
输出条件				
C_L	输出负载电容	2	7	pF

表 6-48. EQEP 时序要求

请参阅图 6-35

编号	参数	说明	最小值	最大值	单位
QEP1	$t_{w(QEP)}$	脉冲持续时间，QEP_A/B	2 + 2P (1)		ns
QEP2	$t_{w(QEPIH)}$	脉冲持续时间，QEP_I 高电平	2 + 2P (1)		ns
QEP3	$t_{w(QEPIL)}$	脉冲持续时间，QEP_I 低电平	2 + 2P (1)		ns
QEP4	$t_{w(QEPSH)}$	脉冲持续时间，QEP_S 高电平	2 + 2P (1)		ns
QEP5	$t_{w(QEPSL)}$	脉冲持续时间，QEP_S 低电平	2 + 2P (1)		ns

(1) P = MAIN_SYSCLK0/4 期间（以 ns 为单位）

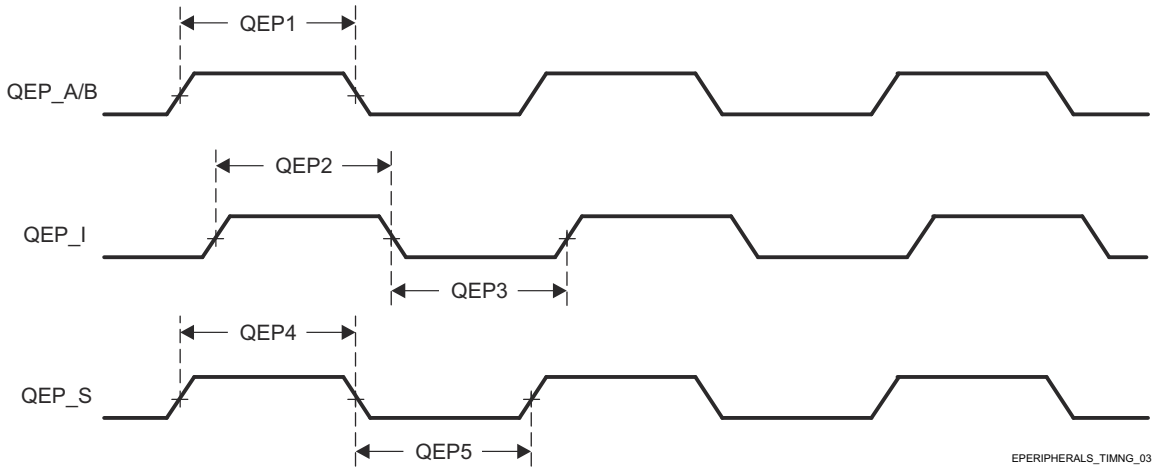


图 6-35. EQEP 时序要求

表 6-49. EQEP 开关特性

编号	参数	说明	最小值	最大值	单位
QEP6	$t_{d(QEP-CNTR)}$	延迟时间，外部时钟到计数器增量		24	ns

有关更多信息，请参阅器件 TRM 的*外设*一章中的*增强型正交编码器脉冲 (EQEP) 模块*一节。

6.11.5.6 FSI

表 6-50、表 6-51、图 6-36、表 6-52、图 6-37、表 6-53 和图 6-38 说明了 FSI 的时序条件、时序要求和开关特性。

表 6-50. FSI 时序条件

参数		最小值	最大值	单位
输入条件				
SR_I	输入压摆率	0.8	4	V/ns
输出条件				
C_L	输出负载电容	1	7	pF

表 6-51. FSI 时序要求

请参阅图 6-36

编号			最小值	最大值	单位
FSIR1	$t_{c(RX_CLK)}$	周期时间，FSI_RXn_CLK	20		ns
FSIR2	$t_{w(RX_CLK)}$	脉冲宽度，FSI_RXn_CLK 低电平或 FSI_RXn_CLK 高电平	0.5P - 1 (1)	0.5P + 1 (1)	ns
FSIR3	$t_{su(RX_D-RX_CLK)}$	建立时间，在 FSI_RXn_CLK 之前 FSI_RXn_D[1:0] 有效	3		ns
FSIR4	$t_{h(RX_CLK-RX_D)}$	保持时间，在 FSI_RXn_CLK 之后 FSI_RXn_D[1:0] 有效	2.5		ns

(1) P = FSI_RXn_CLK 周期（以 ns 为单位）。

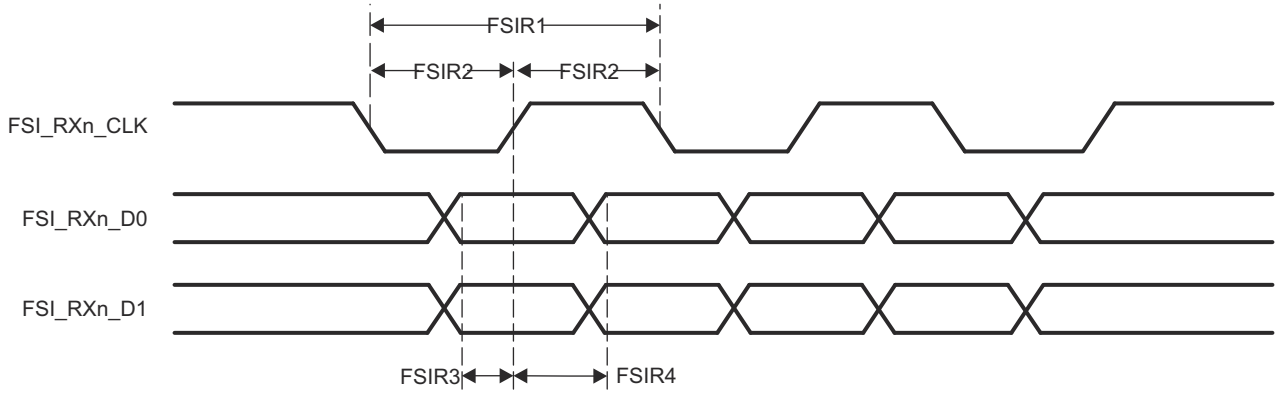


图 6-36. FSI 时序要求

Copyright © 2026 Texas Instruments Incorporated

表 6-52. FSI 开关特性 - FSI 模式

请参阅图 6-37

编号	参数		模式	最小值	最大值	单位
FSIT1	$t_{c(TX_CLK)}$	周期时间，FSI_TXn_CLK	FSI 模式	20		ns
FSIT2	$t_{w(TX_CLK)}$	脉冲宽度，FSI_TXn_CLK 低电平或 FSI_TXn_CLK 高电平	FSI 模式	0.5p + 1 (1)	0.5P - 1 (1)	ns
FSIT3	$t_{d(TX_CLK-TX_D)}$	延迟时间，FSI_TXN_CLK 高电平或 FSI_TXN_CLK 低电平后 FSI_TXn_D[1:0] 有效	FSI 模式	0.25P - 2 (1)	0.25P + 2.5 (1)	ns

(1) P = FSI_TXn_CLK 周期（以 ns 为单位）。

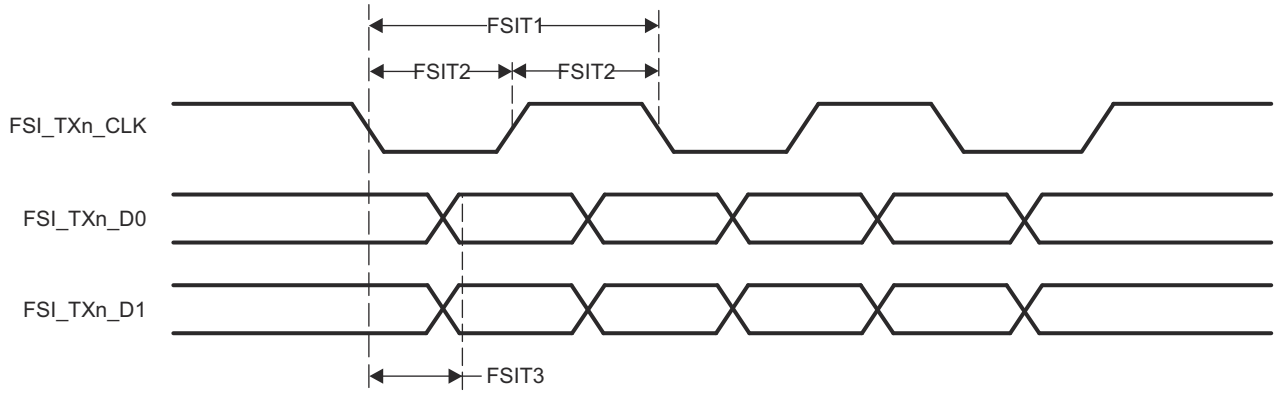


图 6-37. FSI 开关特性 - FSI 模式

表 6-53. FSI 开关特性 - SPI 模式

请参阅图 6-38

编号	参数		模式	最小值	最大值	单位
FSIT4	$t_{c(TX_CLK)}$	周期时间，FSI_TXn_CLK	SPI 模式	20		ns
FSIT5	$t_{w(TX_CLK)}$	脉冲宽度，FSI_TXn_CLK 低电平或 FSI_TXn_CLK 高电平	SPI 模式	0.5P + 1 (1)	0.5P - 1 (1)	ns
FSIT6	$t_{d(TX_CLKH-TX_D0)}$	延迟时间，FSI_TXn_CLK 高电平到 FSI_TXn_D0 有效	SPI 模式		3	ns
FSIT7	$t_{d(TX_D1-TX_CLK)}$	延迟时间，FSI_TXn_D1 低电平到 FSI_TXn_CLK 高电平	SPI 模式	P - 3 (1)		ns
FSIT8	$t_{d(TX_CLK-TX_D1)}$	延迟时间，FSI_TXn_CLK 低电平到 FSI_TXn_D1 高电平	SPI 模式	P - 2 (1)		ns

(1) P = FSI_TXn_CLK 周期（以 ns 为单位）。

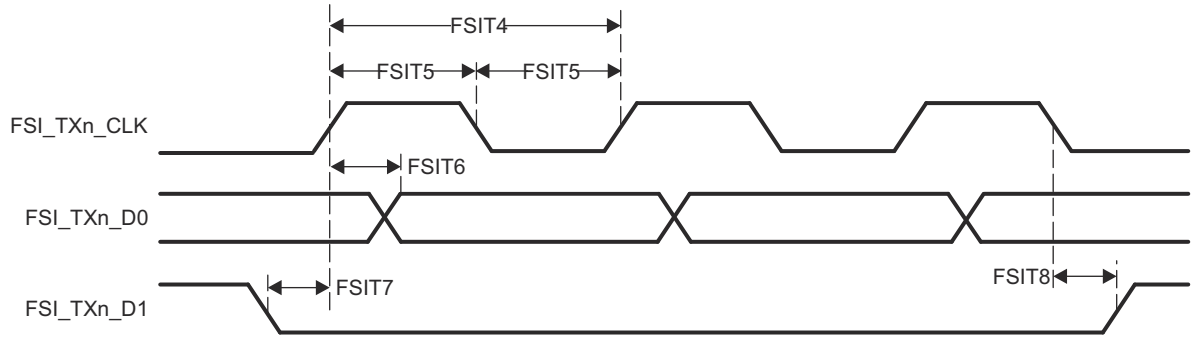


图 6-38. FSI 开关特性 - SPI 模式

有关更多信息，请参阅器件 TRM 的*外设*一章中的*快速串行接口*一节。

Copyright © 2026 Texas Instruments Incorporated

6.11.5.7 GPIO

表 6-54、表 6-55 和表 6-56 说明了 GPIO 的时序条件、时序要求和开关特性。

该器件具有三个 GPIO 模块实例。

- MCU_GPIO0
- GPIO0
- GPIO1

备注

GPIOn_x 是用于描述 GPIO 信号的通用名称，其中 n 表示特定的 GPIO 模块，x 表示与该模块关联的输入/输出信号之一。

有关器件 GPIO 的其他说明信息，请参阅*信号说明*和*详细说明*部分中的相应小节。

表 6-54. GPIO 时序条件

参数		缓冲器类型	最小值	最大值	单位
输入条件					
SR_I	输入压摆率	LVCMOS (VDD(1) = 1.8V)	0.0018	6.6	V/ns
		LVCMOS (VDD(1) = 3.3V)	0.0033	6.6	
		I2C OD FS (VDD(1) = 1.8V)	0.0018	6.6	
		I2C OD FS (VDD(1) = 3.3V)	0.0033	0.08	
输出条件					
C_L	输出负载电容	LVCMOS	3	10	pF
		I2C OD FS	3	100	pF

(1) VDD 表示相应的电源。有关电源名称和相应焊球的详细信息，请参阅*引脚属性*表的“电源”列。

表 6-55. GPIO 时序要求

编号	参数	说明	最小值	最大值	单位
GPIO1	$t_{w(GPIO_IN)}$	脉冲宽度，GPIOn_x	2P(1) + 30		ns

(1) P = 功能时钟周期（以 ns 为单位）。

表 6-56. GPIO 开关特性

编号	参数	说明	缓冲器类型	最小值	最大值	单位
GPIO2	$t_{w(GPIO_OUT)}$	脉冲宽度，GPIOn_x	LVCMOS	0.975P(1) - 3.6		ns
			I2C OD FS	160		ns

(1) P = 功能时钟周期（以 ns 为单位）。

有关更多信息，请参阅器件 TRM 的*外设*一章中的*通用接口 (GPIO)* 一节。

Copyright © 2026 Texas Instruments Incorporated

6.11.5.8 GPMC

有关器件通用存储器控制器特性和其他说明的更多详细信息，请参阅*信号说明*和*详细说明*部分中的相应小节。

备注

GPMC 有一个或多个可以多路复用到多个引脚的信号。本节中定义的时序要求和开关特性仅对名为 IOSET 的特定引脚组合有效。此接口的有效引脚组合或 IOSET 如节 6.11.5.8.4 所示。

表 6-57 展示了 GPMC 的时序条件。

表 6-57. GPMC 时序条件

参数			最小值	最大值	单位
输入条件					
SR_I	输入压摆率		1.65	4	V/ns
输出条件					
C_L	输出负载电容	133MHz 同步模式	3	20	pF
		所有其他模式	3	30	pF
PCB 连接要求					
$t_{d(Trace\ Delay)}$	每条引线的传播延迟	133MHz 同步模式	140	360	ps
		所有其他模式	140	720	ps
$t_{d(Trace\ Mismatch\ Delay)}$	所有布线之间的传播延迟不匹配			200	ps

有关更多信息，请参阅器件 TRM 的*外设*一章中的*通用存储器控制器 (GPMC)* 一节。

6.11.5.8.1 GPMC 和 NOR 闪存 - 同步模式

表 6-58 和表 6-59 展示了 GPMC 和 NOR 闪存的时序要求和开关特性 - 同步模式。

表 6-58. GPMC 和 NOR 闪存时序要求 - 同步模式

请参阅图 6-39、图 6-40 和图 6-43

编号	参数	说明	模式(4)	最小值 最大值 32 位数据总线（高达 100MHz）(1)	最小值 最大值 16 位数据总线（高达 133MHz）(1)	单位
F12	$t_{su(dV-clkH)}$	建立时间，GPMC0_AD[n:0](1) 在 GPMC0_CLK 高电平之前有效	div_by_1_mode	1.81	1.12	ns
			not_div_by_1_mode	1.06	3.5	ns
F13	$t_{h(clkH-dV)}$	保持时间，GPMC0_AD[n:0](1) 在 GPMC0_CLK 高电平之后有效	div_by_1_mode	2.29	2.29	ns
			not_div_by_1_mode	2.29	2.29	ns
F21	$t_{su(waitV-clkH)}$	建立时间，GPMC0_WAIT[j](2) (3) 在 GPMC0_CLK 高电平之前有效	div_by_1_mode	1.81	1.12	ns
			not_div_by_1_mode	1.06	3.5	ns
F22	$t_{h(clkH-waitV)}$	保持时间，GPMC0_WAIT[j](2) (3) 在 GPMC0_CLK 高电平之后有效	div_by_1_mode	2.29	2.29	ns
			not_div_by_1_mode	2.29	2.29	ns

(1) 同步模式支持 32 位数据总线 (GPMC0_AD[31:0])，GPMC0_CLK 高达 100MHz，以及 GPMC0_CLK 高达 133MHz 的 16 位数据总线 (GPMC0_AD[15:0])。通过向 CTRLMMR_GPMC0_CLKSEL 寄存器写入值，选择为 GPMC0_CLK 提供时钟的 GPMC0_FCLK 时钟源：
- 133MHz：CLK_SEL = 0h - MAIN_PLL0_HSDIV3_CLKOUT（默认值）
- 100MHz： CLK_SEL = 1h - MAIN_PLL2_HSDIV3_CLKOUT

(2) 在 GPMC_WAIT[j] 中，j 等于 0 或 1。

(3) 等待监视支持仅限于 WaitMonitoringTime 值 > 0。有关等待监视功能的完整说明，请参阅器件 TRM 中的*通用存储器控制器 (GPMC)* 一节。

(4) 对于 div_by_1_mode：
- GPMC_CONFIG1_i 寄存器：GPMCFCLKDIVIDER = 0h：

Copyright © 2026 Texas Instruments Incorporated

– GPMC0_CLK 频率 = GPMC0_FCLK 频率

对于 not_div_by_1_mode：

- GPMC_CONFIG1_i 寄存器：GPMCFCLKDIVIDER = 1h 至 3h：
  – GPMC0_CLK 频率 = GPMC0_FCLK 频率/（2 至 4）

表 6-59. GPMC 和 NOR 闪存开关特性 — 同步模式

请参阅图 6-39、图 6-40、图 6-41、图 6-42 和图 6-43

编号	参数	说明	最小值	最大值	单位
F0	$t_{c(clk)}$	周期时间，GPMC0_CLK(16)	7.52(1)		ns
F1	$t_{w(clkH)}$	典型脉冲持续时间，GPMC0_CLK 高电平	0.475P(14) - 0.3		ns
F1	$t_{w(clkL)}$	典型脉冲持续时间，GPMC0_CLK 低电平	0.475P(14) - 0.3		ns
F2	$t_{d(clkH-csn[i]V)}$	延迟时间，GPMC0_CLK 上升沿到 GPMC0_CSn[i](13) 转换	F(6) - 2.2	F(6) + 1.31	ns
F3	$t_{d(clkH-csn[i]IV)}$	延迟时间，GPMC0_CLK 上升沿到 GPMC0_CSn[i](13) 无效	D(5) - 2.2	D(5) + 1.31	ns
F4	$t_{d(aV-clk)}$	延迟时间，GPMC0_A[27:1] 有效至 GPMC0_CLK 第一个边沿	B(3) - 2.3	B(3) + 4.5	ns
F5	$t_{d(clkH-aIV)}$	延迟时间，GPMC0_CLK 上升沿到 GPMC0_A[27:1] 有效	-2.3	4.5	ns
F6	$t_{d(be[x]nV-clk)}$	延迟时间，GPMC0_BE0n_CLE、GPMC0_BE1n、GPMC0_BE2n、GPMC0_BE3n 有效至 GPMC0_CLK 第一个边沿	B(3) - 2.3	B(3) + 1.9	ns
F7	$t_{d(clkH-be[x]nIV)}$	延迟时间，GPMC0_CLK 上升沿到 GPMC0_BE0n_CLE、GPMC0_BE1n、GPMC0_BE2n、GPMC0_BE3n 无效	D(5) - 2.3	D(5) + 1.9	ns
F8	$t_{d(clkH-advn)}$	延迟时间，GPMC0_CLK 上升沿到 GPMC0_ADVn_ALE 转换	G(7) - 2.3	G(7) + 4.5	ns
F9	$t_{d(clkH-advnIV)}$	延迟时间，GPMC0_CLK 上升沿到 GPMC0_ADVn_ALE 无效	D(5) - 2.3	D(5) + 4.5	ns
F10	$t_{d(clkH-oen)}$	延迟时间，GPMC0_CLK 上升沿到 GPMC0_OEn_REn 转换	H(8) - 2.3	H(8) + 3.5	ns
F11	$t_{d(clkH-oenIV)}$	延迟时间，GPMC0_CLK 上升沿到 GPMC0_OEn_REn 无效	D(5) - 2.3	D(5) + 3.5	ns
F14	$t_{d(clkH-wen)}$	延迟时间，GPMC0_CLK 上升沿到 GPMC0_WEn 转换	I(9) - 2.3	I(9) + 4.5	ns
F15	$t_{d(clkH-do)}$	延迟时间，GPMC0_CLK 上升沿到 GPMC0_AD[n:0](1) 转换(10)	-2.3	2.7	ns
F15	$t_{d(clkL-do)}$	延迟时间，GPMC0_CLK 下降沿到 GPMC0_AD[n:0](1) 转换(11)	-2.3	2.7	ns
F15	$t_{d(clkL-do)}$	延迟时间，GPMC0_CLK 下降沿到 GPMC0_AD[n:0](1) 转换(12)	-2.3	2.7	ns
F17	$t_{d(clkH-be[x]n)}$	延迟时间，GPMC0_CLK 上升沿到 GPMC0_BE0n_CLE、GPMC0_BE1n、GPMC0_BE2n、GPMC0_BE3n 转换(10)	-2.3	1.9	ns
F17	$t_{d(clkL-be[x]n)}$	延迟时间，GPMC0_CLK 下降沿到 GPMC0_BE0n_CLE、GPMC0_BE1n、GPMC0_BE2n、GPMC0_BE3n 转换(11)	-2.3	1.9	ns
F17	$t_{d(clkL-be[x]n)}$	延迟时间，GPMC0_CLK 下降沿到 GPMC0_BE0n_CLE、GPMC0_BE1n、GPMC0_BE2n、GPMC0_BE3n 转换(12)	-2.3	1.9	ns
F18	$t_{w(csnV)}$	脉冲持续时间，GPMC0_CSn[i](13) 低电平	A(2)		ns
F19	$t_{w(be[x]nV)}$	脉冲持续时间，GPMC0_BE0n_CLE、GPMC0_BE1n、GPMC0_BE2n、GPMC0_BE3n 低电平	C(4)		ns
F20	$t_{w(advnV)}$	脉冲持续时间，GPMC0_ADVn_ALE 低电平	K(15)		ns

(1) 同步模式支持 32 位数据总线 (GPMC0_AD[31:0])，GPMC0_CLK 高达 100MHz，以及 GPMC0_CLK 高达 133MHz 的 16 位数据总线 (GPMC0_AD[15:0])。通过向 CTRLMMR_GPMC0_CLKSEL 寄存器写入值，选择为 GPMC0_CLK 提供时钟的 GPMC0_FCLK 时钟源：
- 133MHz：CLK_SEL = 0h - MAIN_PLL0_HSDIV3_CLKOUT（默认值）
- 100MHz：CLK_SEL = 1h - MAIN_PLL2_HSDIV3_CLKOUT

(2) 对于单次读取：A = (CSRdOffTime - CSOnTime) × (TimeParaGranularity + 1) × GPMC0_FCLK(14)
对于突发读取：A = (CSRdOffTime - CSOnTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC0_FCLK(14)
对于突发写入：A = (CSWrOffTime - CSOnTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC0_FCLK(14)
n 为页面突发访问次数。

(3) 地址总线/字节使能在周期开始时有效，GPMC0_CLK 激活时间可能在周期开始之后延迟 B = ClkActivationTime × GPMC0_FCLK(14)

(4) 对于单次读取：C = RdCycleTime × (TimeParaGranularity + 1) × GPMC0_FCLK(14)

Copyright © 2026 Texas Instruments Incorporated

对于突发读取：C = (RdCycleTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC0_FCLK[14]
对于突发写入：C = (WrCycleTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC0_FCLK[14]
n 为页面突发访问次数。

(5) 对于单次读取：D = (RdCycleTime - RdAccessTime) × (TimeParaGranularity + 1) × GPMC0_FCLK[14]
对于单次写入：D = (WrCycleTime - WrAccessTime) × (TimeParaGranularity + 1) × GPMC0_FCLK[14]
对于突发读取：D = (RdCycleTime - RdAccessTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC0_FCLK[14]
对于突发写入：D = (WrCycleTime - WrAccessTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC0_FCLK[14]
n 为页面突发访问次数。

(6) 对于 CSn 下降沿（CS 激活）：

- 如果 GPMCFCLKDIVIDER = 0：
  - F = 0.5 × CSExtraDelay × GPMC0_FCLK[14]
- 如果 GPMCFCLKDIVIDER = 1：
  - 如果（ClkActivationTime 和 CSOnTime 同为奇数）或（ClkActivationTime 和 CSOnTime 同为偶数），则 F = 0.5 × CSExtraDelay × GPMC0_FCLK[14]
  - 否则 F = (1 + 0.5 × CSExtraDelay) × GPMC0_FCLK[14]
- 如果 GPMCFCLKDIVIDER = 2：
  - 如果 (CSOnTime - ClkActivationTime) 是 3 的倍数，则 F = 0.5 × CSExtraDelay × GPMC0_FCLK[14]
  - 如果 (CSOnTime - ClkActivationTime - 1) 是 3 的倍数，则 F = (1 + 0.5 × CSExtraDelay) × GPMC0_FCLK[14]
  - 如果 (CSOnTime - ClkActivationTime - 2) 是 3 的倍数，则 F = (2 + 0.5 × CSExtraDelay) × GPMC0_FCLK[14]

对于读取模式下的 CSn 上升沿（CS 停用）：

- 如果 GPMCFCLKDIVIDER = 0：
  - F = 0.5 × CSExtraDelay × GPMC0_FCLK[14]
- 如果 GPMCFCLKDIVIDER = 1：
  - 如果（ClkActivationTime 和 CSRdOffTime 同为奇数）或（ClkActivationTime 和 CSRdOffTime 同为偶数），则 F = 0.5 × CSExtraDelay × GPMC0_FCLK[14]
  - 否则 F = (1 + 0.5 × CSExtraDelay) × GPMC0_FCLK[14]
- 如果 GPMCFCLKDIVIDER = 2：
  - 如果 (CSRdOffTime - ClkActivationTime) 是 3 的倍数，则 F = 0.5 × CSExtraDelay × GPMC0_FCLK[14]
  - 如果 (CSRdOffTime - ClkActivationTime - 1) 是 3 的倍数，则 F = (1 + 0.5 × CSExtraDelay) × GPMC0_FCLK[14]
  - 如果 (CSRdOffTime - ClkActivationTime - 2) 是 3 的倍数，则 F = (2 + 0.5 × CSExtraDelay) × GPMC0_FCLK[14]

对于写入模式下的 CSn 上升沿（CS 停用）：

- 如果 GPMCFCLKDIVIDER = 0：
  - F = 0.5 × CSExtraDelay × GPMC0_FCLK[14]
- 如果 GPMCFCLKDIVIDER = 1：
  - 如果（ClkActivationTime 和 CSWrOffTime 同为奇数）或（ClkActivationTime 和 CSWrOffTime 同为偶数），则 F = 0.5 × CSExtraDelay × GPMC0_FCLK[14]
  - 否则 F = (1 + 0.5 × CSExtraDelay) × GPMC0_FCLK[14]
- 如果 GPMCFCLKDIVIDER = 2：
  - 如果 (CSWrOffTime - ClkActivationTime) 是 3 的倍数，则 F = 0.5 × CSExtraDelay × GPMC0_FCLK[14]
  - 如果 (CSWrOffTime - ClkActivationTime - 1) 是 3 的倍数，则 F = (1 + 0.5 × CSExtraDelay) × GPMC0_FCLK[14]
  - 如果 (CSWrOffTime - ClkActivationTime - 2) 是 3 的倍数，则 F = (2 + 0.5 × CSExtraDelay) × GPMC0_FCLK[14]

(7) 对于 ADV 下降沿（ADV 激活）：

- 如果 GPMCFCLKDIVIDER = 0：
  - G = 0.5 × ADVExtraDelay × GPMC0_FCLK[14]
- 如果 GPMCFCLKDIVIDER = 1：
  - 如果（ClkActivationTime 和 ADVOnTime 同为奇数）或（ClkActivationTime 和 ADVOnTime 同为偶数），则 G = 0.5 × ADVExtraDelay × GPMC0_FCLK[14]
  - 否则 G = (1 + 0.5 × ADVExtraDelay) × GPMC0_FCLK[14]
- 如果 GPMCFCLKDIVIDER = 2：

Copyright © 2026 Texas Instruments Incorporated

- 如果 (ADVOnTime - ClkActivationTime) 是 3 的倍数，则 G = 0.5 × ADVExtraDelay × GPMC0_FCLK(14)
- 如果 (ADVOnTime - ClkActivationTime - 1) 是 3 的倍数，则 G = (1 + 0.5 × ADVExtraDelay) × GPMC0_FCLK(14)
- 如果 (ADVOnTime - ClkActivationTime - 2) 是 3 的倍数，则 G = (2 + 0.5 × ADVExtraDelay) × GPMC0_FCLK(14)

对于读取模式下的 ADV 上升沿（ADV 停用）：

- 如果 GPMCFCLKDIVIDER = 0：
  - G = 0.5 × ADVExtraDelay × GPMC0_FCLK(14)
- 如果 GPMCFCLKDIVIDER = 1：
  - 如果（ClkActivationTime 和 ADVRdOffTime 同为奇数）或（ClkActivationTime 和 ADVRdOffTime 同为偶数），则 G = 0.5 × ADVExtraDelay × GPMC0_FCLK(14)
  - 否则 G = (1 + 0.5 × ADVExtraDelay) × GPMC0_FCLK(14)
- 如果 GPMCFCLKDIVIDER = 2：
  - 如果 (ADVRdOffTime - ClkActivationTime) 是 3 的倍数，则 G = 0.5 × ADVExtraDelay × GPMC0_FCLK(14)
  - 如果 (ADVRdOffTime - ClkActivationTime - 1) 是 3 的倍数，则 G = (1 + 0.5 × ADVExtraDelay) × GPMC0_FCLK(14)
  - 如果 (ADVRdOffTime - ClkActivationTime - 2) 是 3 的倍数，则 G = (2 + 0.5 × ADVExtraDelay) × GPMC0_FCLK(14)

对于写入模式下的 ADV 上升沿（ADV 停用）：

- 如果 GPMCFCLKDIVIDER = 0：
  - G = 0.5 × ADVExtraDelay × GPMC0_FCLK(14)
- 如果 GPMCFCLKDIVIDER = 1：
  - 如果（ClkActivationTime 和 ADVWrOffTime 同为奇数）或（ClkActivationTime 和 ADVWrOffTime 同为偶数），则 G = 0.5 × ADVExtraDelay × GPMC0_FCLK(14)
  - 否则 G = (1 + 0.5 × ADVExtraDelay) × GPMC0_FCLK(14)
- 如果 GPMCFCLKDIVIDER = 2：
  - 如果 (ADVWrOffTime - ClkActivationTime) 是 3 的倍数，则 G = 0.5 × ADVExtraDelay × GPMC0_FCLK(14)
  - 如果 (ADVWrOffTime - ClkActivationTime - 1) 是 3 的倍数，则 G = (1 + 0.5 × ADVExtraDelay) × GPMC0_FCLK(14)
  - 如果 (ADVWrOffTime - ClkActivationTime - 2) 是 3 的倍数，则 G = (2 + 0.5 × ADVExtraDelay) × GPMC0_FCLK(14)

(8) 对于 OE 下降沿（OE 激活）和 IO DIR 上升沿（数据总线输入方向）：

- 如果 GPMCFCLKDIVIDER = 0：
  - H = 0.5 × OEExtraDelay × GPMC0_FCLK(14)
- 如果 GPMCFCLKDIVIDER = 1：
  - 如果（ClkActivationTime 和 OEOnTime 同为奇数）或（ClkActivationTime 和 OEOnTime 同为偶数），则 H = 0.5 × OEExtraDelay × GPMC0_FCLK(14)
  - 否则 H = (1 + 0.5 × OEExtraDelay) × GPMC0_FCLK(14)
- 如果 GPMCFCLKDIVIDER = 2：
  - 如果 (OEOnTime - ClkActivationTime) 是 3 的倍数，则 H = 0.5 × OEExtraDelay × GPMC0_FCLK(14)
  - 如果 (OEOnTime - ClkActivationTime - 1) 是 3 的倍数，则 H = (1 + 0.5 × OEExtraDelay) × GPMC0_FCLK(14)
  - 如果 (OEOnTime - ClkActivationTime - 2) 是 3 的倍数，则 H = (2 + 0.5 × OEExtraDelay) × GPMC0_FCLK(14)

对于 OE 上升沿（OE 停用）：

- 如果 GPMCFCLKDIVIDER = 0：
  - H = 0.5 × OEExtraDelay × GPMC0_FCLK(14)
- 如果 GPMCFCLKDIVIDER = 1：
  - 如果（ClkActivationTime 和 OEOffTime 同为奇数）或（ClkActivationTime 和 OEOffTime 同为偶数），则 H = 0.5 × OEExtraDelay × GPMC0_FCLK(14)
  - 否则 H = (1 + 0.5 × OEExtraDelay) × GPMC0_FCLK(14)
- 如果 GPMCFCLKDIVIDER = 2：
  - 如果 (OEOffTime - ClkActivationTime) 是 3 的倍数，则 H = 0.5 × OEExtraDelay × GPMC0_FCLK(14)
  - 如果 (OEOffTime - ClkActivationTime - 1) 是 3 的倍数，则 H = (1 + 0.5 × OEExtraDelay) × GPMC0_FCLK(14)
  - 如果 (OEOffTime - ClkActivationTime - 2) 是 3 的倍数，则 H = (2 + 0.5 × OEExtraDelay) × GPMC0_FCLK(14)

(9) 对于 WE 下降沿（WE 激活）：

- 如果 GPMCFCLKDIVIDER = 0：

Copyright © 2026 Texas Instruments Incorporated

  - I = 0.5 × WEExtraDelay × GPMC0_FCLK(14)
- 如果 GPMCFCLKDIVIDER = 1：
  - 如果（ClkActivationTime 和 WEOnTime 同为奇数）或（ClkActivationTime 和 WEOnTime 同为偶数），则 I = 0.5 × WEExtraDelay × GPMC0_FCLK(14)
  - 否则 I = (1 + 0.5 × WEExtraDelay) × GPMC0_FCLK(14)
- 如果 GPMCFCLKDIVIDER = 2：
  - 如果 (WEOnTime - ClkActivationTime) 是 3 的倍数，则 I = 0.5 × WEExtraDelay × GPMC0_FCLK(14)
  - 如果 (WEOnTime - ClkActivationTime - 1) 是 3 的倍数，则 I = (1 + 0.5 × WEExtraDelay) × GPMC0_FCLK(14)
  - 如果 (WEOnTime - ClkActivationTime - 2) 是 3 的倍数，则 I = (2 + 0.5 × WEExtraDelay) × GPMC0_FCLK(14)

对于 WE 上升沿（WE 停用）：

- 如果 GPMCFCLKDIVIDER = 0：
  - I = 0.5 × WEExtraDelay × GPMC0_FCLK(14)
- 如果 GPMCFCLKDIVIDER = 1：
  - 如果（ClkActivationTime 和 WEOffTime 同为奇数）或（ClkActivationTime 和 WEOffTime 同为偶数），则 I = 0.5 × WEExtraDelay × GPMC0_FCLK(14)
  - 否则 I = (1 + 0.5 × WEExtraDelay) × GPMC0_FCLK(14)
- 如果 GPMCFCLKDIVIDER = 2：
  - 如果 (WEOffTime - ClkActivationTime) 是 3 的倍数，则 I = 0.5 × WEExtraDelay × GPMC0_FCLK(14)
  - 如果 (WEOffTime - ClkActivationTime - 1) 是 3 的倍数，则 I = (1 + 0.5 × WEExtraDelay) × GPMC0_FCLK(14)
  - 如果 (WEOffTime - ClkActivationTime - 2) 是 3 的倍数，则 I = (2 + 0.5 × WEExtraDelay) × GPMC0_FCLK(14)

(10) GPMC0_CLK 处于 div_by_1_mode 时(17)，仅第一次传输：数据和字节使能信号在 GPMC0_CLK 的上升沿发生转换
- 非多路复用模式：数据在周期开始时转换
- 多路复用模式：数据在 WRDATAONADMUXBUS × (TimeParaGranularity + 1) × GPMC0_FCLK 时刻发生转换(14)

(11) 在 GPMC0_CLK 处于 div_by_1_mode(17) 时，初始传输后的所有数据和字节使能信号：数据和字节使能信号在 GPMC0_CLK 的下降沿（GPMC0_CLK 的半个周期）发生转换

(12) 在 GPMC0_CLK 处于 not_div_by_1_mode(17)（GPMC0_CLK 由 GPMC0_FCLK 分频得到）时：所有数据和字节使能信号在 GPMC0_CLK 的下降沿（GPMC0_CLK 的半个周期）发生转换。必须配置 ClkActivationTime、GPMCFCLKDIVIDER、RDACCESSTIME/WRACCESSTIME 和 PAGEBURSTACCESSTIME，以强制数据和字节使能信号在 GPMC0_CLK 的下降沿发生转换（从而在 GPMC0_CLK 上升沿被锁存）

(13) 在 GPMC0_CSn[i] 中，i 等于 0、1、2 或 3。

(14) P = GPMC0_CLK 的周期期间（以 ns 为单位）

(15) 对于读取：K = (ADVRdOffTime - ADVOnTime) × (TimeParaGranularity + 1) × GPMC0_FCLK(14)
对于写入： K = (ADVWrOffTime - ADVOnTime) × (TimeParaGranularity + 1) × GPMC0_FCLK(14)

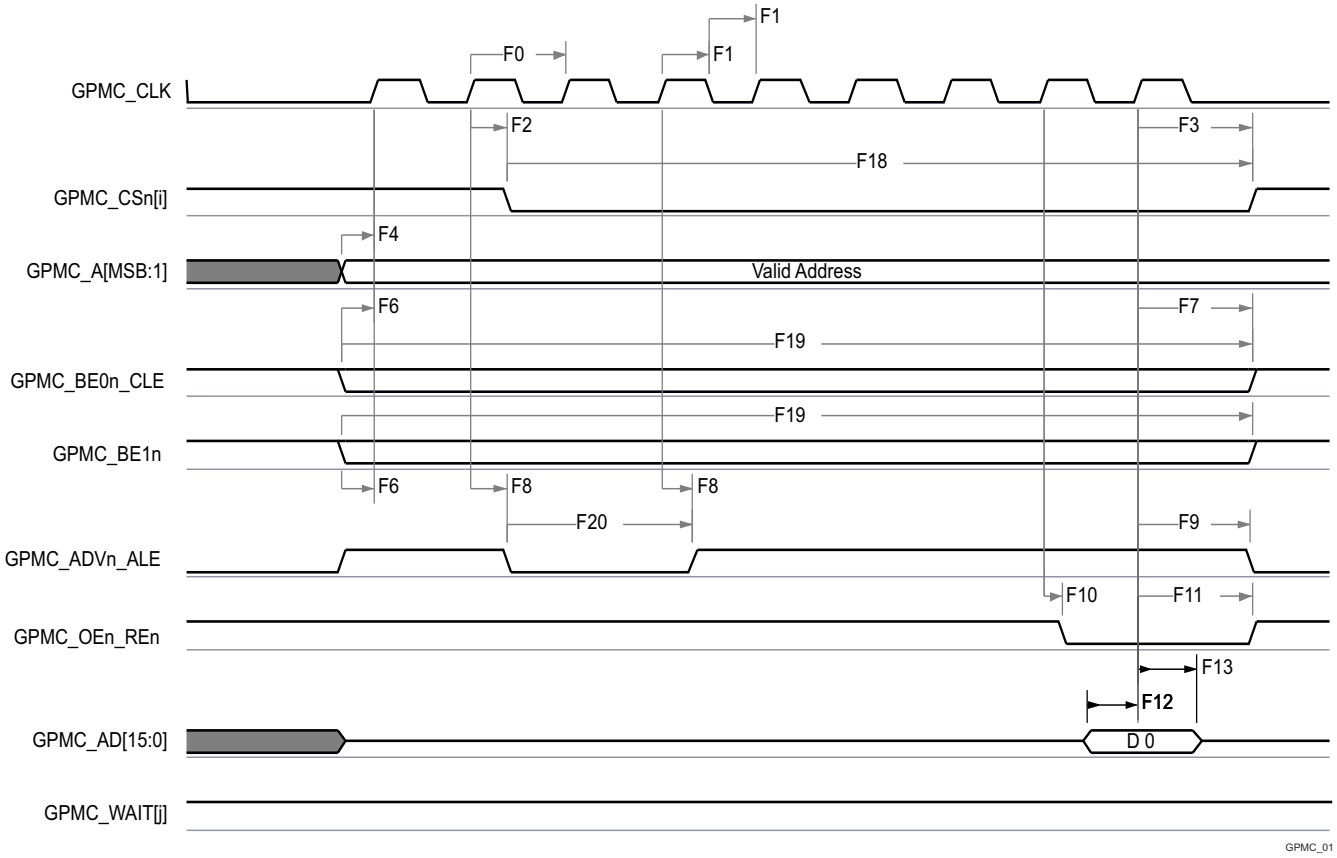
(16) 与 GPMC0_CLK 输出时钟相关的最大和最小频率可在 GPMC 模块中通过设置 GPMC0_CONFIG1_i 配置寄存器位字段 GPMCFCLKDIVIDER 进行编程。

(17) 对于 div_by_1_mode：
- GPMC_CONFIG1_i 寄存器：GPMCFCLKDIVIDER = 0h：
  - GPMC0_CLK 频率 = GPMC0_FCLK 频率

对于 not_div_by_1_mode：

- GPMC_CONFIG1_i 寄存器：GPMCFCLKDIVIDER = 1h 至 3h：
  - GPMC0_CLK 频率 = GPMC0_FCLK 频率/（2 至 4）

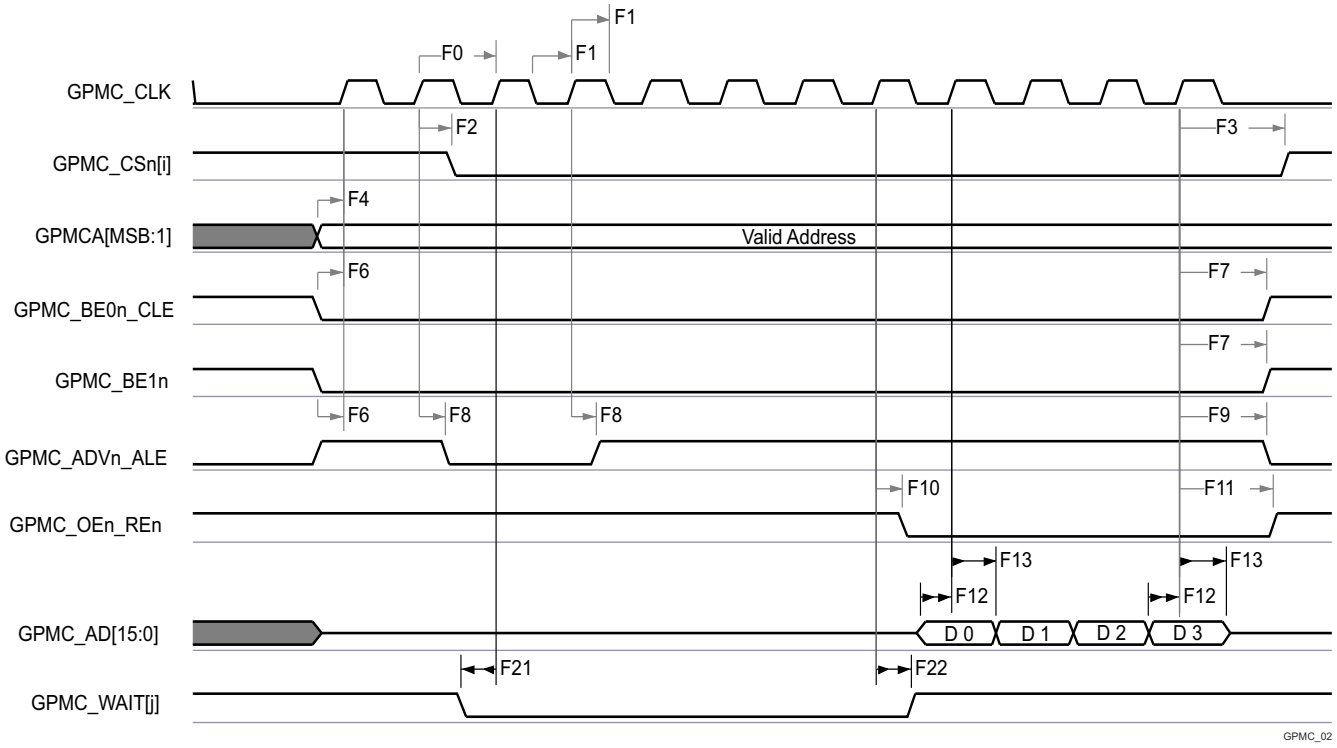
Copyright © 2026 Texas Instruments Incorporated



A. 在 GPMC0_CSn[i] 中，i 等于 0、1、2 或 3。
B. 在 GPMC0_WAIT[j] 中，j 等于 0 或 1。

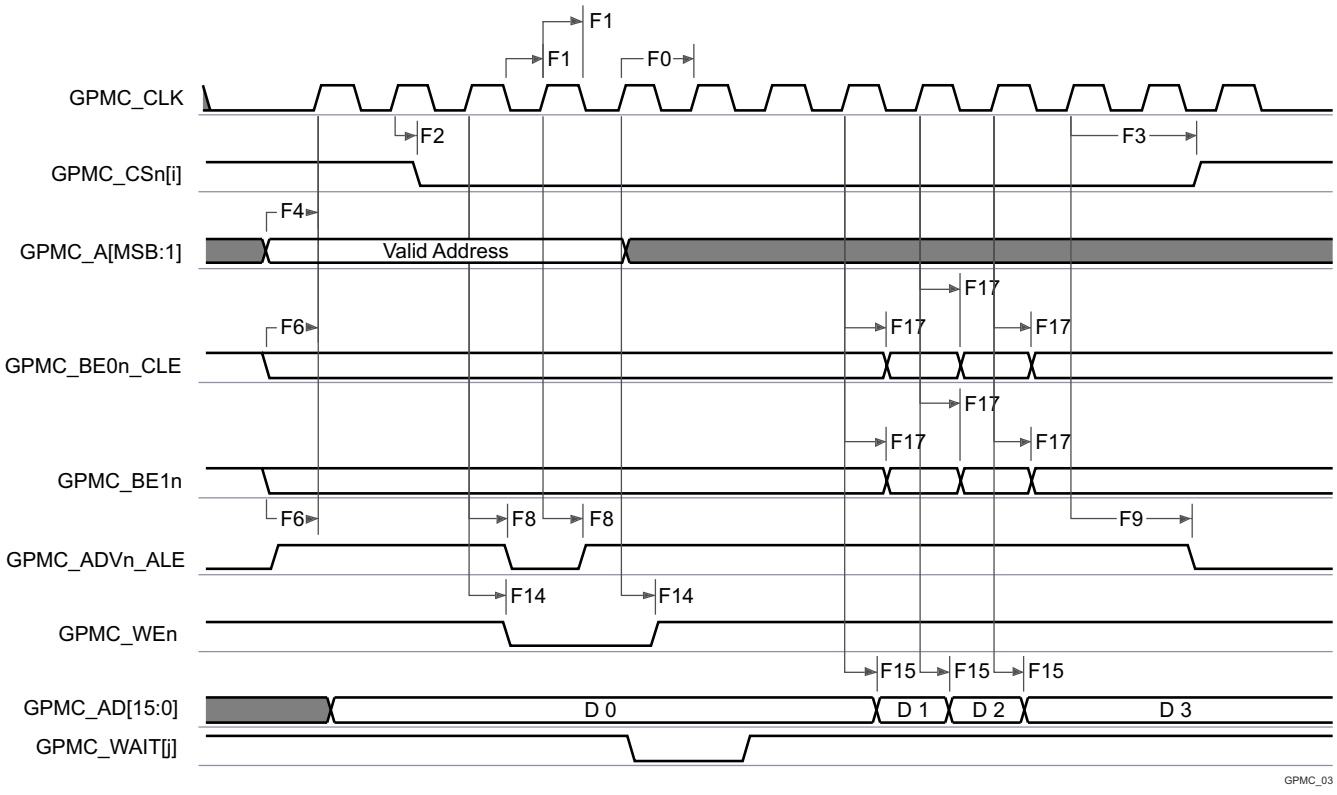
图 6-39. GPMC 和 NOR 闪存 - 同步单次读取 (GPMCFCLKDIVIDER = 0)

Copyright © 2026 Texas Instruments Incorporated



A. 在 GPMC0_CSn[i] 中，i 等于 0、1、2 或 3。
B. 在 GPMC0_WAIT[j] 中，j 等于 0 或 1。

图 6-40. GPMC 和 NOR 闪存 - 同步突发读取 - 4x16 位 (GPMCFCLKDIVIDER = 0)

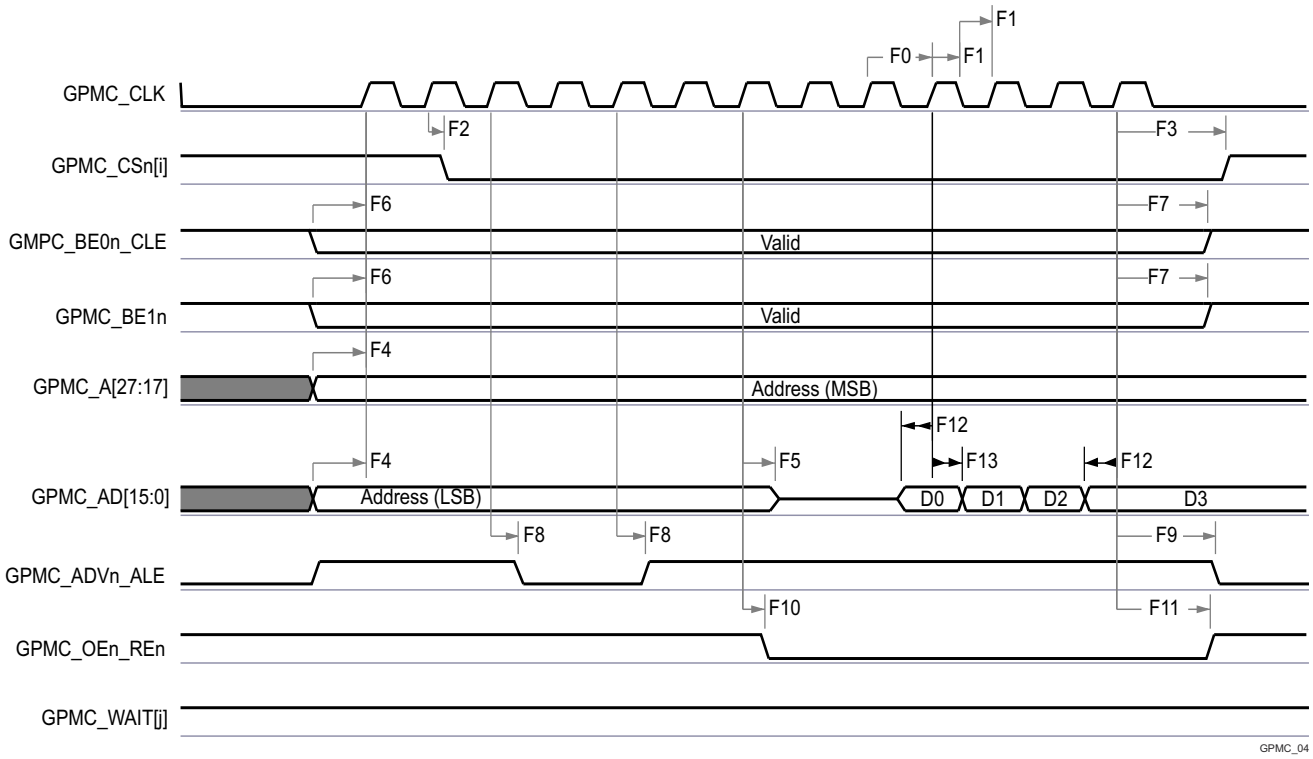


A. 在 GPMC0_CSn[i] 中，i 等于 0、1、2 或 3。

Copyright © 2026 Texas Instruments Incorporated

B. 在 GPMC0_WAIT[j] 中，j 等于 0 或 1。

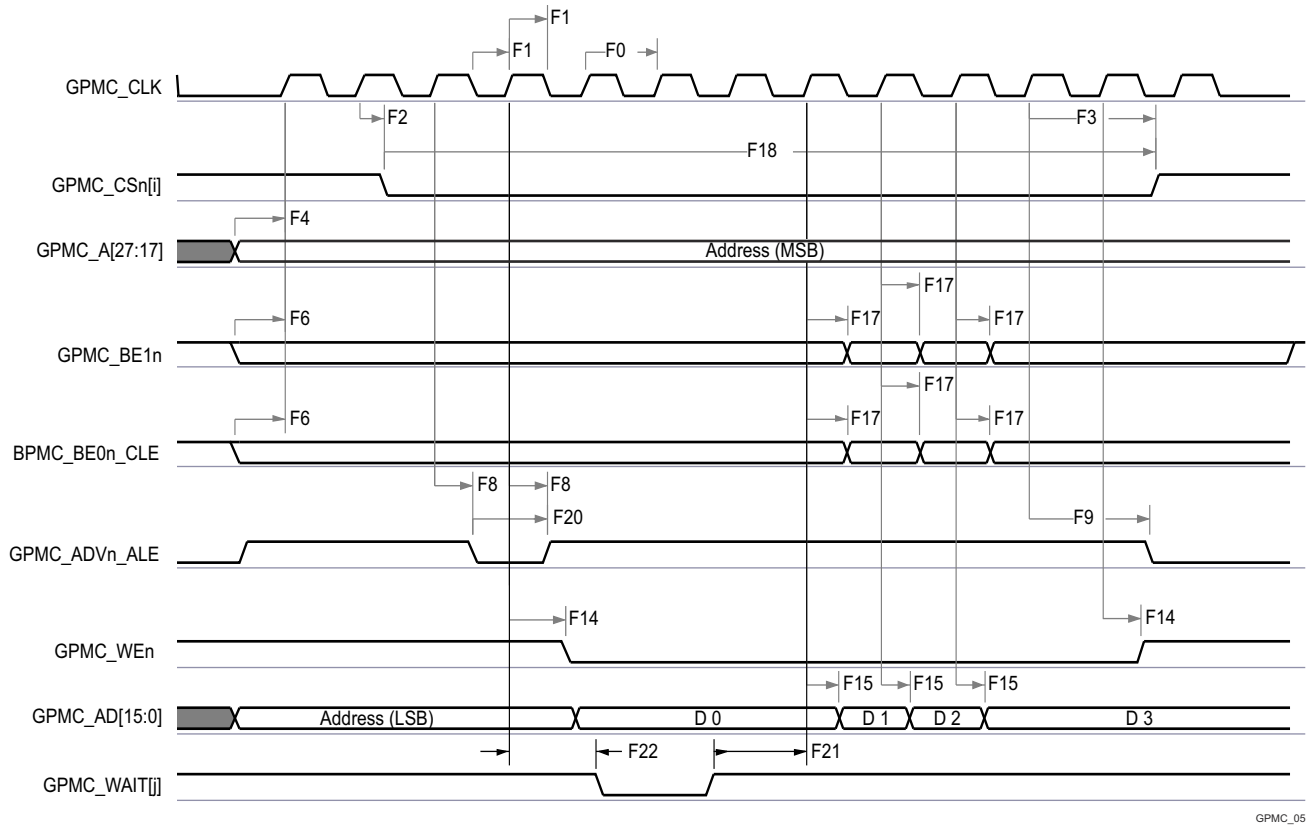
图 6-41. GPMC 和 NOR 闪存 - 同步突发写入 (GPMCFCLKDIVIDER = 0)



A. 在 GPMC0_CSn[i] 中，i 等于 0、1、2 或 3。
B. 在 GPMC0_WAIT[j] 中，j 等于 0 或 1。

图 6-42. GPMC 和多路复用 NOR 闪存 - 同步突发读取

Copyright © 2026 Texas Instruments Incorporated



A. 在 GPMC0_CSn[i] 中，i 等于 0、1、2 或 3。
B. 在 GPMC0_WAIT[j] 中，j 等于 0 或 1。

图 6-43. GPMC 和多路复用 NOR 闪存 - 同步突发写入

6.11.5.8.2 GPMC 和 NOR 闪存 - 异步模式

表 6-60 和表 6-61 展示了 GPMC 和 NOR 闪存的时序要求和开关特性 - 异步模式。

表 6-60. GPMC 和 NOR 闪存时序要求 – 异步模式

请参阅图 6-44、图 6-45、图 6-46 和图 6-48

编号	参数	说明	最小值	最大值	单位
FA5(1)	$t_{acc(d)}$	数据访问时间		H(5)	ns
FA20(2)	$t_{acc1\text{-}pgmode(d)}$	页面模式连续数据访问时间		P(4)	ns
FA21(3)	$t_{acc2\text{-}pgmode(d)}$	页面模式首个数据访问时间		H(5)	ns

(1) FA5 参数说明了在内部对输入数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 FA5 功能时钟周期结束后，输入数据通过有效功能时钟边沿在内部采样。FA5 值必须存储在 AccessTime 寄存器位字段内。
(2) FA20 参数说明了在内部对连续输入页面数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。每次访问输入页面数据后，下一个输入页面数据将在 FA20 功能时钟周期后通过有效功能时钟边沿进行内部采样。FA20 值必须存储在 PageBurstAccessTime 寄存器位字段中。
(3) FA21 参数说明了在内部对首个输入页面数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 FA21 功能时钟周期结束后，首个输入页面数据通过有效功能时钟边沿在内部采样。FA21 值必须存储在 AccessTime 寄存器位字段内。
(4) P = PageBurstAccessTime × (TimeParaGranularity + 1) × GPMC_FCLK(6)
(5) H = AccessTime × (TimeParaGranularity + 1) × GPMC_FCLK(6)
(6) GPMC_FCLK 是通用存储器控制器内部功能时钟周期（以 ns 为单位）。

表 6-61. GPMC 和 NOR 闪存开关特性 – 异步模式

请参阅图 6-44、图 6-45、图 6-46、图 6-47、图 6-48 和图 6-49

编号	参数	说明	最小值	最大值	单位
FA0	$t_{w(be[x]nV)}$	脉冲持续时间，输出低字节使能和命令锁存使能 GPMC_BE0n_CLE、输出高字节使能 GPMC_BE1n 有效时间		N(12)	ns
FA1	$t_{w(csnV)}$	脉冲持续时间，输出片选 GPMC_CSn[i](13) 低电平		A(1)	ns
FA3	$t_{d(csnV\text{-}advnIV)}$	延迟时间，输出片选 GPMC_CSn[i](13) 有效到输出地址有效和地址锁存使能 GPMC_ADVn_ALE 无效	B(2) - 2.1	B(2) + 2.1	ns
FA4	$t_{d(csnV\text{-}oenIV)}$	延迟时间，输出片选 GPMC_CSn[i](13) 有效到输出使能 GPMC_OEn_REn 无效（单次读取）	C(3) - 2.1	C(3) + 2.1	ns
FA9	$t_{d(aV\text{-}csnV)}$	延迟时间，输出地址 GPMC_A[27:1] 有效到输出片选 GPMC_CSn[i](13) 有效	J(9) - 2.1	J(9) + 2.1	ns
FA10	$t_{d(be[x]nV\text{-}csnV)}$	延迟时间，输出低字节使能和命令锁存使能 GPMC_BE0n_CLE、输出高字节使能 GPMC_BE1n 有效到输出片选 GPMC_CSn[i](13) 有效	J(9) - 2.1	J(9) + 2.1	ns
FA12	$t_{d(csnV\text{-}advnV)}$	延迟时间，输出片选 GPMC_CSn[i](13) 有效到输出地址有效和地址锁存使能 GPMC_ADVn_ALE 有效	K(10) - 2.1	K(10) + 2.1	ns
FA13	$t_{d(csnV\text{-}oenV)}$	延迟时间，输出片选 GPMC_CSn[i](13) 有效到输出使能 GPMC_OEn_REn 有效	L(11) - 2.1	L(11) + 2.1	ns
FA16	$t_{w(aIV)}$	脉冲持续时间，输出地址 GPMC_A[26:1] 在 2 次连续读取和写入访问之间无效	G(7)		ns
FA18	$t_{d(csnV\text{-}oenIV)}$	延迟时间，输出片选 GPMC_CSn[i](13) 有效到输出使能 GPMC_OEn_REn 无效（突发读取）	I(8) - 2.1	I(8) + 2.1	ns
FA20	$t_{w(aV)}$	脉冲持续时间，输出地址 GPMC_A[27:1] 有效 - 第 2、3、4 次访问	D(4)		ns
FA25	$t_{d(csnV\text{-}wenV)}$	延迟时间，输出片选 GPMC_CSn[i](13) 有效到输出写入使能 GPMC_WEn 有效	E(5) - 2.1	E(5) + 2.1	ns
FA27	$t_{d(csnV\text{-}wenIV)}$	延迟时间，输出片选 GPMC_CSn[i](13) 有效到输出写入使能 GPMC_WEn 无效	F(6) - 2.1	F(6) + 2.1	ns
FA28	$t_{d(wenV\text{-}dV)}$	延迟时间，输出写入使能 GPMC_WEn 有效到输出数据 GPMC_AD[15:0] 有效		2.1	ns
FA29	$t_{d(dV\text{-}csnV)}$	延迟时间，输出数据 GPMC_AD[15:0] 有效到输出片选 GPMC_CSn[i](13) 有效	J(9) - 2.1	J(9) + 2.1	ns

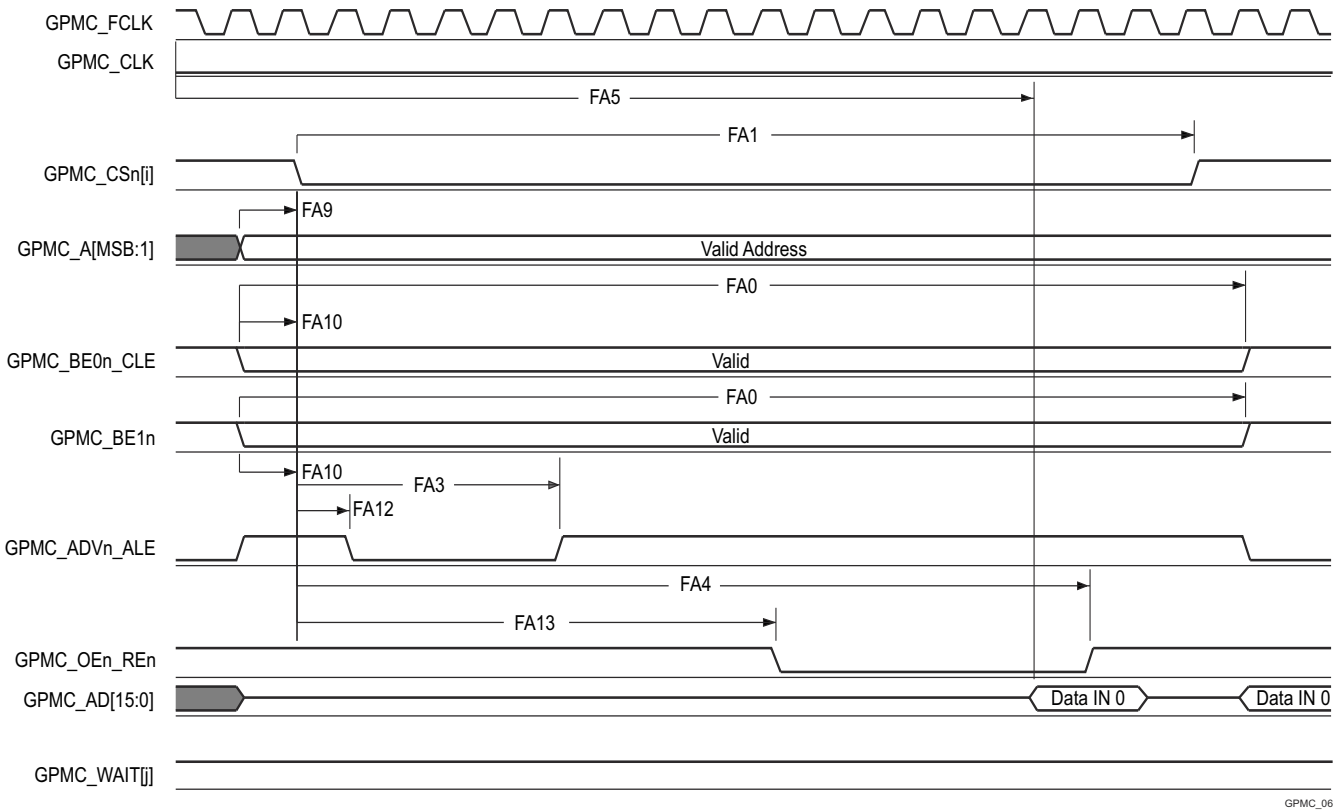
Copyright © 2026 Texas Instruments Incorporated

表 6-61. GPMC 和 NOR 闪存开关特性 – 异步模式（续）

请参阅图 6-44、图 6-45、图 6-46、图 6-47、图 6-48 和图 6-49

编号	参数	说明	最小值	最大值	单位
FA37	$t_{d(oenV-alV)}$	延迟时间，输出使能 GPMC_OEn_REn 有效到输出地址 GPMC_AD[15:0] 阶段结束		2.1	ns

(1) 对于单次读取：A = (CSRdOffTime - CSOnTime) × (TimeParaGranularity + 1) × GPMC_FCLK(14)
对于单次写入：A = (CSWrOffTime - CSOnTime) × (TimeParaGranularity + 1) × GPMC_FCLK(14)
对于突发读取：A = (CSRdOffTime - CSOnTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(14)
对于突发写入：A = (CSWrOffTime - CSOnTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(14)
n 是页面突发访问编号
(2) 对于读取：B = ((ADVRdOffTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (ADVExtraDelay - CSExtraDelay)) × GPMC_FCLK(14)
对于写入：B = ((ADVWrOffTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (ADVExtraDelay - CSExtraDelay)) × GPMC_FCLK(14)
(3) C = ((OEOffTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (OEExtraDelay - CSExtraDelay)) × GPMC_FCLK(14)
(4) D = PageBurstAccessTime × (TimeParaGranularity + 1) × GPMC_FCLK(14)
(5) E = ((WEOnTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (WEExtraDelay - CSExtraDelay)) × GPMC_FCLK(14)
(6) F = ((WEOffTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (WEExtraDelay - CSExtraDelay)) × GPMC_FCLK(14)
(7) G = Cycle2CycleDelay × GPMC_FCLK(14)
(8) I = ((OEOffTime + (n - 1) × PageBurstAccessTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (OEExtraDelay - CSExtraDelay)) × GPMC_FCLK(14)
(9) J = (CSOnTime × (TimeParaGranularity + 1) + 0.5 × CSExtraDelay) × GPMC_FCLK(14)
(10) K = ((ADVOnTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (ADVExtraDelay - CSExtraDelay)) × GPMC_FCLK(14)
(11) L = ((OEOnTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (OEExtraDelay - CSExtraDelay)) × GPMC_FCLK(14)
(12) 对于单次读取：N = RdCycleTime × (TimeParaGranularity + 1) × GPMC_FCLK(14)
对于单次写入：N = WrCycleTime × (TimeParaGranularity + 1) × GPMC_FCLK(14)
对于突发读取：N = (RdCycleTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(14)
对于突发写入：N = (WrCycleTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(14)
(13) 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。
(14) GPMC_FCLK 是通用存储器控制器内部功能时钟周期（以 ns 为单位）。



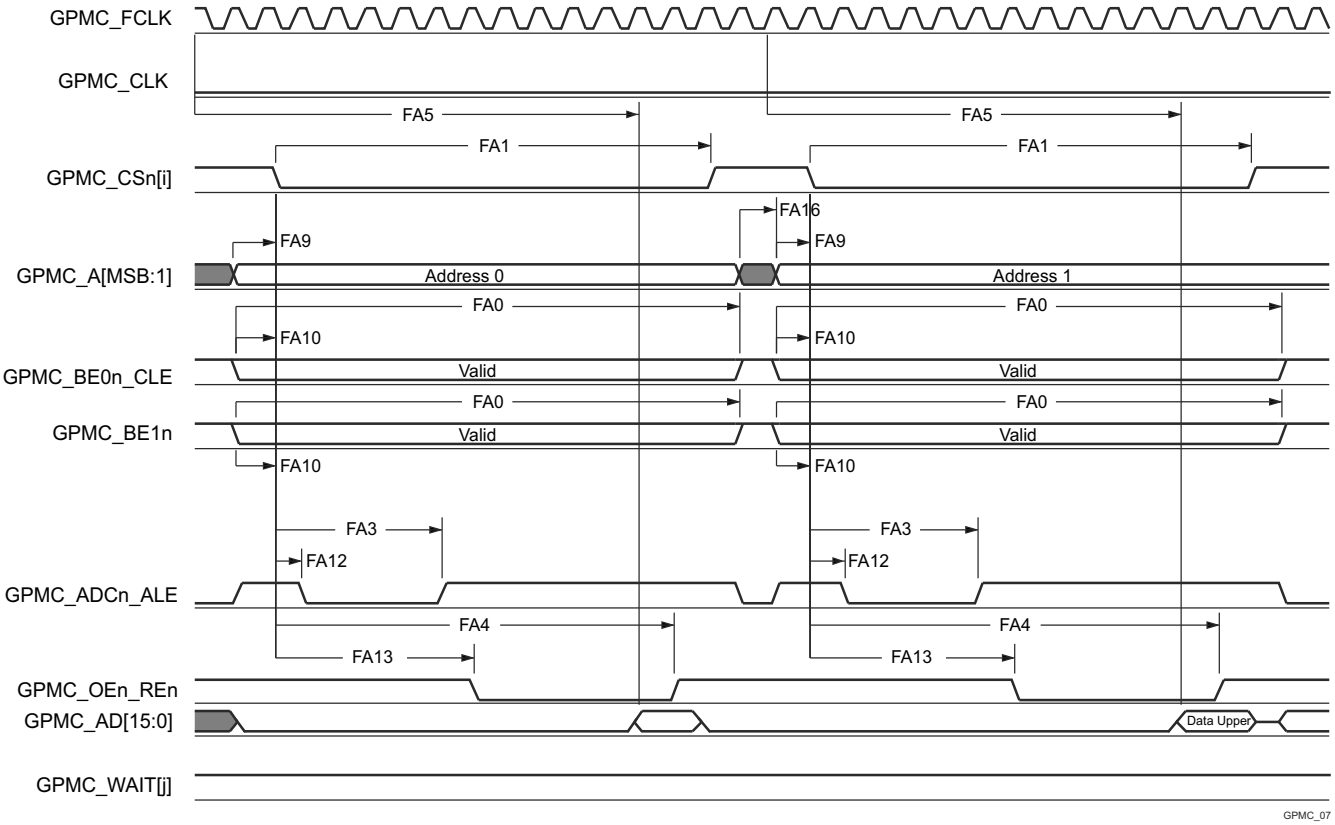
A. 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。在 GPMC_WAIT[j] 中，j 等于 0 或 1。

Copyright © 2026 Texas Instruments Incorporated

B. FA5 参数说明了在内部对输入数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 FA5 功能时钟周期结束后，输入数据将通过有效功能时钟边沿在内部采样。FA5 值必须存储在 AccessTime 寄存器位字段内。

C. GPMC_FCLK 是内部时钟（GPMC 功能时钟），不从外部提供。

图 6-44. GPMC 和 NOR 闪存 - 异步读取 - 单字



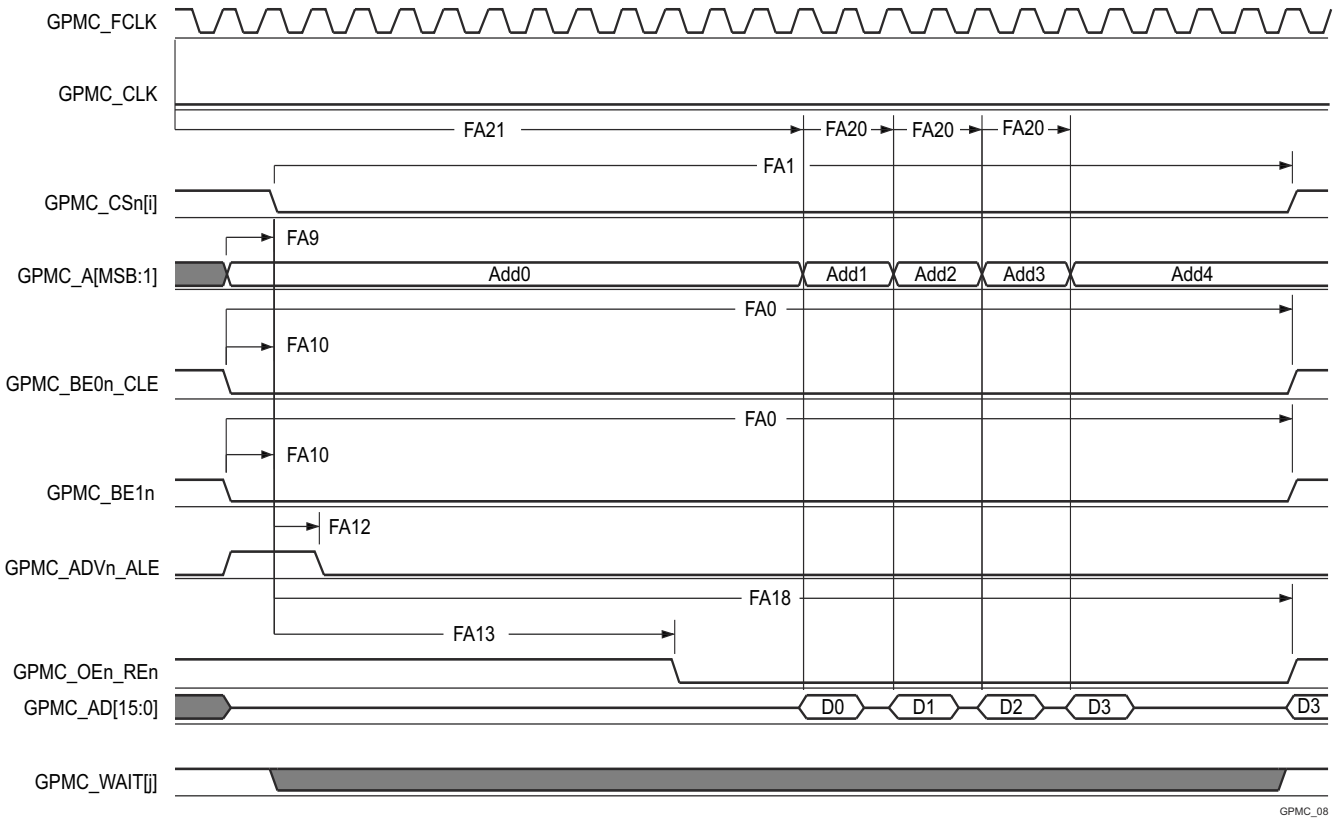
A. 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。在 GPMC_WAIT[j] 中，j 等于 0 或 1。

B. FA5 参数说明了在内部对输入数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 FA5 功能时钟周期结束后，输入数据将通过有效功能时钟边沿在内部采样。FA5 值必须存储在 AccessTime 寄存器位字段内。

C. GPMC_FCLK 是内部时钟（GPMC 功能时钟），不从外部提供。

图 6-45. GPMC 和 NOR 闪存 - 异步读取 - 32 位

Copyright © 2026 Texas Instruments Incorporated



A. 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。在 GPMC_WAIT[j] 中，j 等于 0 或 1。

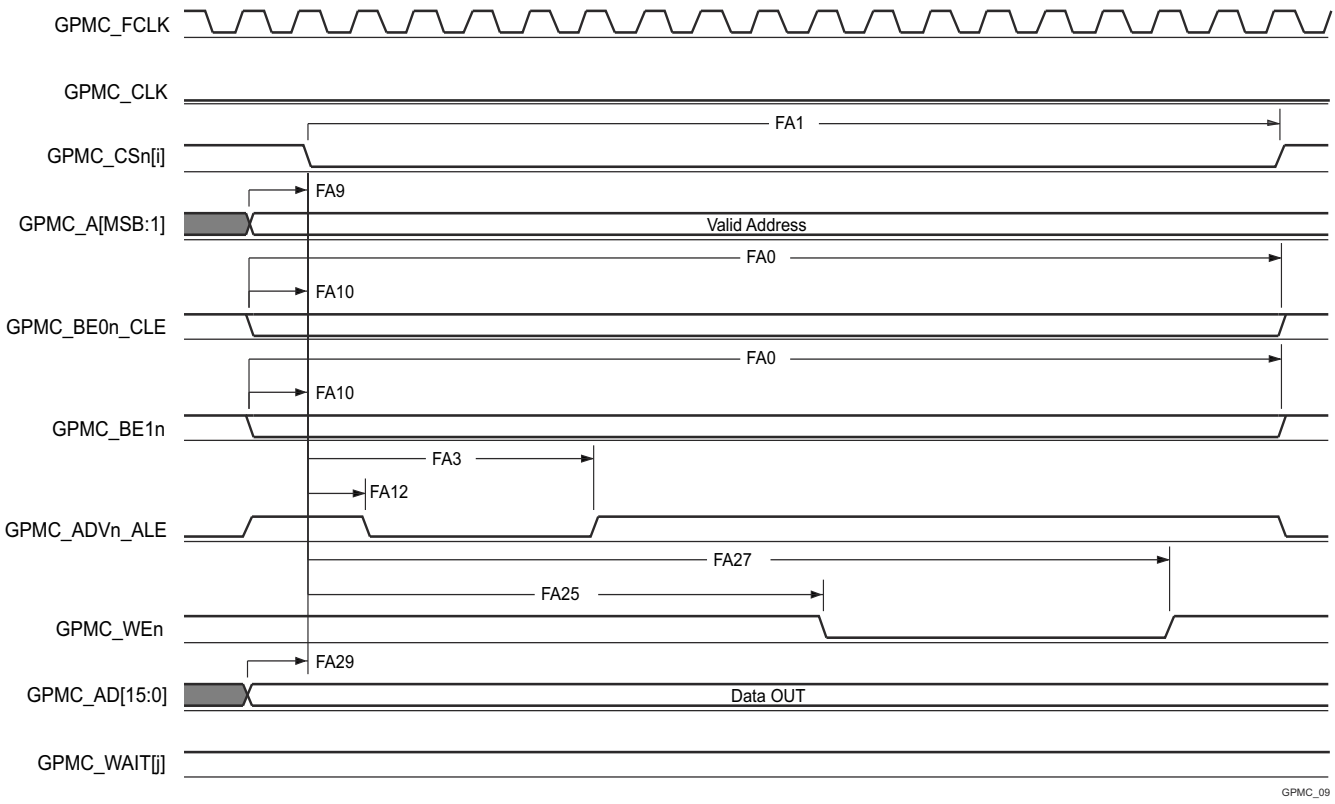
B. FA21 参数说明了在内部对首个输入页面数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 FA21 功能时钟周期结束后，首个输入页面数据将通过有效功能时钟边沿在内部采样。FA21 计算结果必须存储在 AccessTime 寄存器位字段内。

C. FA20 参数说明了在内部对连续输入页面数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。每次访问输入页面数据后，下一个输入页面数据将在 FA20 功能时钟周期后通过有效功能时钟边沿进行内部采样。FA20 也是连续输入页面数据（不包括第一个输入页面数据）的寻址阶段的持续时间。FA20 值必须存储在 PageBurstAccessTime 寄存器位字段中。

D. GPMC_FCLK 是内部时钟（GPMC 功能时钟），不从外部提供。

图 6-46. GPMC 和 NOR 闪存 - 异步读取 - 页面模式 4x16 位

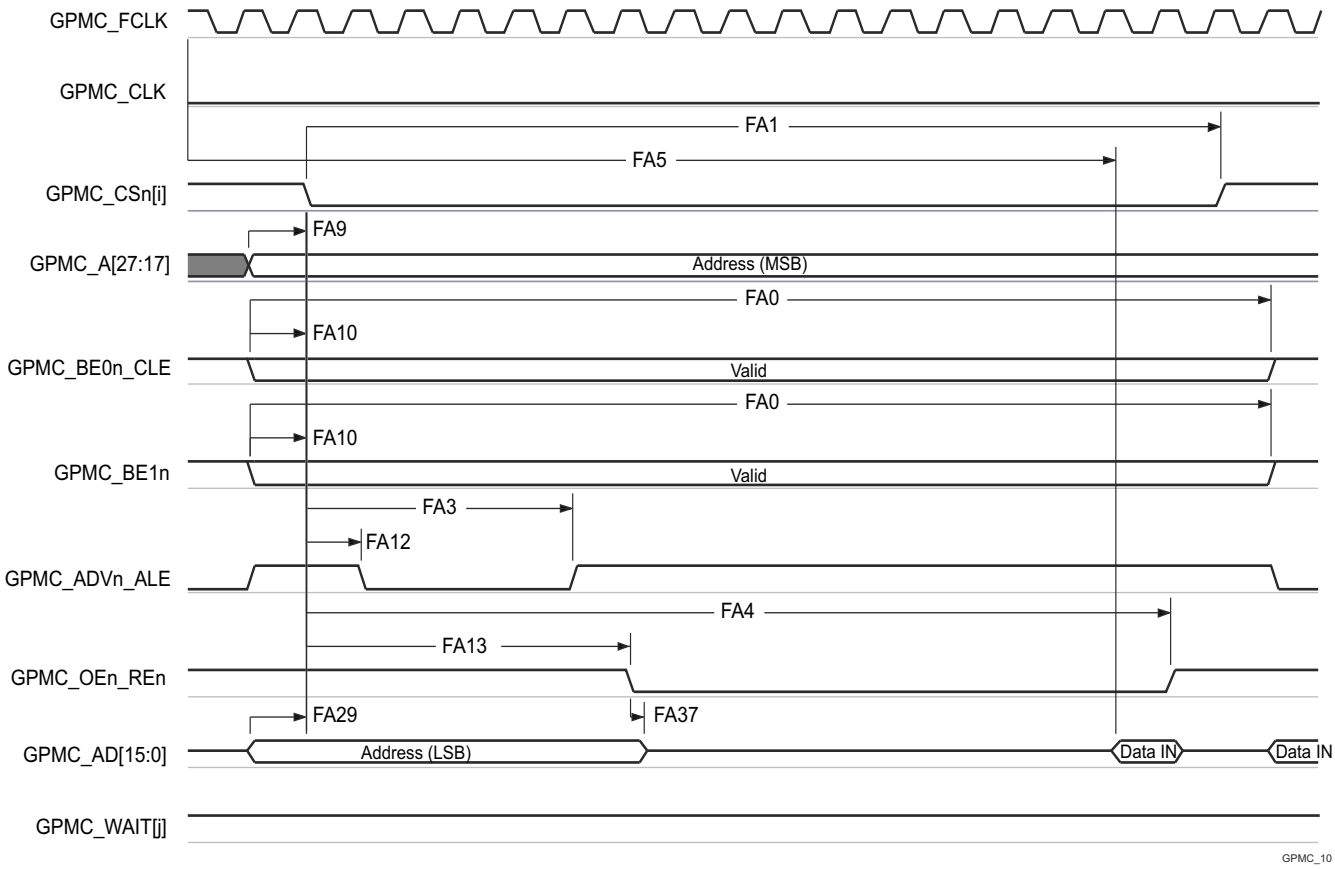
Copyright © 2026 Texas Instruments Incorporated



A. 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。在 GPMC_WAIT[j] 中，j 等于 0 或 1。

图 6-47. GPMC 和 NOR 闪存 - 异步写入 - 单字

Copyright © 2026 Texas Instruments Incorporated



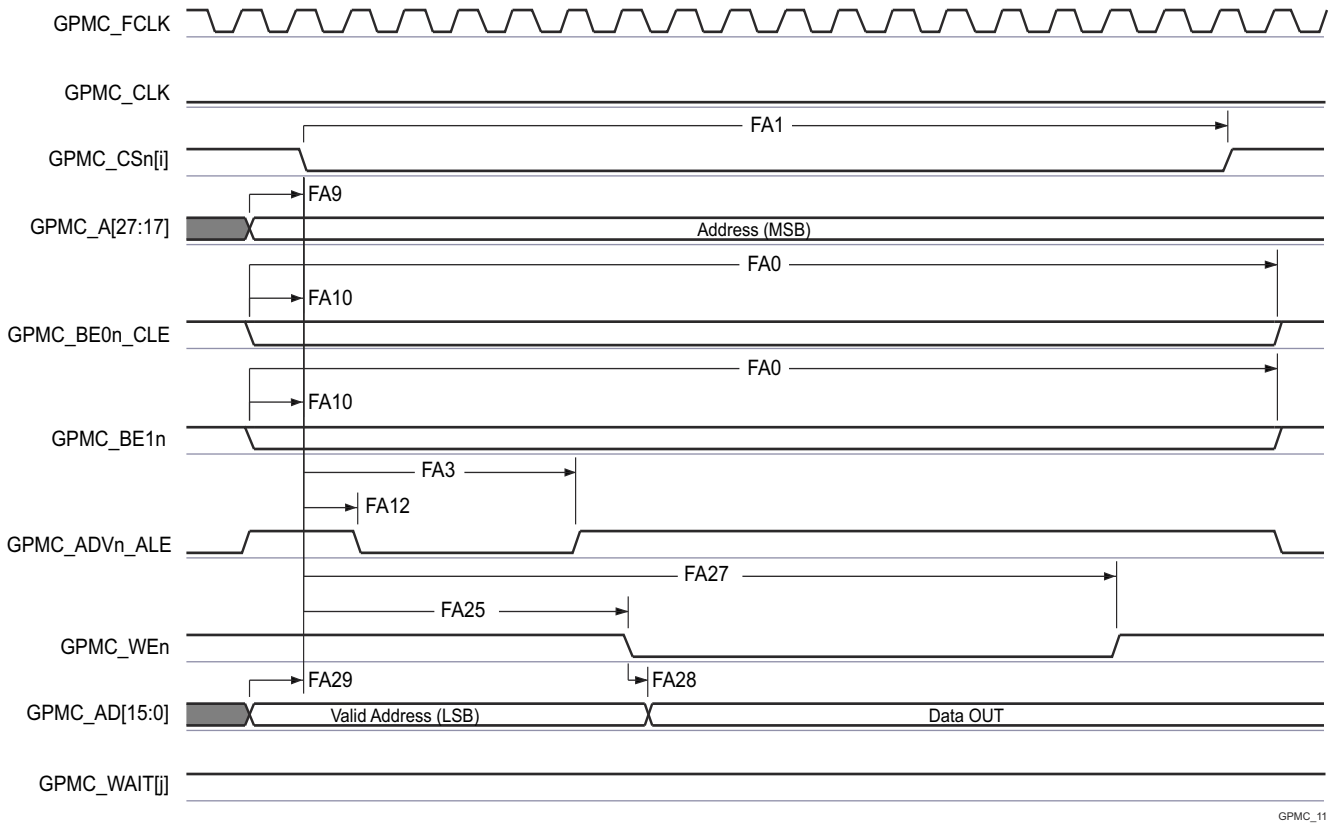
A. 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。在 GPMC_WAIT[j] 中，j 等于 0 或 1。

B. FA5 参数说明了在内部对输入数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 FA5 功能时钟周期结束后，输入数据将通过有效功能时钟边沿在内部采样。FA5 值必须存储在 AccessTime 寄存器位字段内。

C. GPMC_FCLK 是内部时钟（GPMC 功能时钟），不从外部提供。

图 6-48. GPMC 和多路复用 NOR 闪存 - 异步读取 - 单字

Copyright © 2026 Texas Instruments Incorporated



A. 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。在 GPMC_WAIT[j] 中，j 等于 0 或 1。

图 6-49. GPMC 和多路复用 NOR 闪存 - 异步写入 - 单字

Copyright © 2026 Texas Instruments Incorporated

6.11.5.8.3 GPMC 和 NAND 闪存 - 异步模式

表 6-62 和表 6-63 展示了 GPMC 和 NAND 闪存的时序要求和开关特性 - 异步模式。

表 6-62. GPMC 和 NAND 闪存时序要求 – 异步模式

请参阅图 6-52

编号	参数	说明	最小值	最大值	单位
GNF12(1)	$t_{acc(d)}$	访问时间，输入数据 GPMC_AD[15:0](3)		J(2)	ns

(1) GNF12 参数说明了在内部对输入数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 GNF12 功能时钟周期结束后，输入数据通过有效功能时钟边沿在内部采样。GNF12 值必须存储在 AccessTime 寄存器位字段内。
(2) J = AccessTime × (TimeParaGranularity + 1) × GPMC_FCLK(3)
(3) GPMC_FCLK 是通用存储器控制器内部功能时钟周期（以 ns 为单位）。

表 6-63. GPMC 和 NAND 闪存开关特性 – 异步模式

请参阅图 6-50、图 6-51、图 6-52 和图 6-53

编号	参数		最小值	最大值	单位
GNF0	$t_{w(wenV)}$	脉冲持续时间，输出写入使能 GPMC_WEn 有效	A(1)		ns
GNF1	$t_{d(csnV-wenV)}$	延迟时间，输出片选 GPMC_CSn[i](13) 有效到输出写入使能 GPMC_WEn 有效	B(2) - 2	B(2) + 2	ns
GNF2	$t_{w(cleH-wenV)}$	延迟时间，输出低字节使能和命令锁存使能 GPMC_BE0n_CLE 高电平到输出写入使能 GPMC_WEn 有效	C(3) - 2	C(3) + 2	ns
GNF3	$t_{w(wenV-dV)}$	延迟时间，输出数据 GPMC_AD[15:0] 有效到输出写入使能 GPMC_WEn 有效	D(4) - 2	D(4) + 2	ns
GNF4	$t_{w(wenIV-dIV)}$	延迟时间，输出写入使能 GPMC_WEn 无效到输出数据 GPMC_AD[15:0] 无效	E(5) - 2	E(5) + 2	ns
GNF5	$t_{w(wenIV-cleIV)}$	延迟时间，输出写入使能 GPMC_WEn 无效到输出低字节使能和命令锁存使能 GPMC_BE0n_CLE 无效	F(6) - 2	F(6) + 2	ns
GNF6	$t_{w(wenIV-CSn[i]V)}$	延迟时间，输出写入使能 GPMC_WEn 无效到输出片选 GPMC_CSn[i](13) 无效	G(7) - 2	G(7) + 2	ns
GNF7	$t_{w(aleH-wenV)}$	延迟时间，输出地址有效和地址锁存使能 GPMC_ADVn_ALE 高电平到输出写入使能 GPMC_WEn 有效	C(3) - 2	C(3) + 2	ns
GNF8	$t_{w(wenIV-aleIV)}$	延迟时间，输出写入使能 GPMC_WEn 无效到输出地址有效和地址锁存使能 GPMC_ADVn_ALE 无效	F(6) - 2	F(6) + 2	ns
GNF9	$t_{c(wen)}$	周期时间，写入		H(8)	ns
GNF10	$t_{d(csnV-oenV)}$	延迟时间，输出片选 GPMC_CSn[i](13) 有效到输出使能 GPMC_OEn_REn 有效	I(9) - 2	I(9) + 2	ns
GNF13	$t_{w(oenV)}$	脉冲持续时间，输出使能 GPMC_OEn_REn 有效		K(10)	ns
GNF14	$t_{c(oen)}$	周期时间，读取	L(11)		ns
GNF15	$t_{w(oenIV-CSn[i]V)}$	延迟时间，输出使能 GPMC_OEn_REn 无效到输出片选 GPMC_CSn[i](13) 无效	M(12) - 2	M(12) + 2	ns

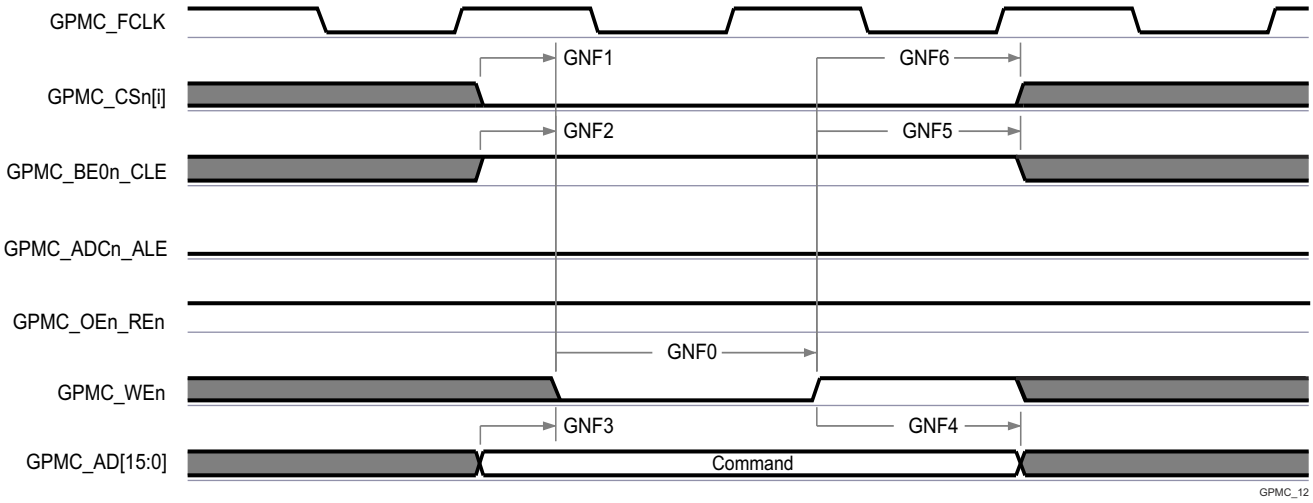
(1) A = (WEOffTime - WEOnTime) × (TimeParaGranularity + 1) × GPMC_FCLK(14)
(2) B = ((WEOnTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (WEExtraDelay - CSExtraDelay)) × GPMC_FCLK(14)
(3) C = ((WEOnTime - ADVOnTime) × (TimeParaGranularity + 1) + 0.5 × (WEExtraDelay - ADVExtraDelay)) × GPMC_FCLK(14) 注释：对于设备类型：NAND
- 在命令锁存周期内：CLE 信号由 ADVOnTime 和 ADVWrOffTime 时序参数控制
- 在地址锁存周期内：ALE 信号由 ADVOnTime 和 ADVWrOffTime 时序参数控制。

(4) D = (WEOnTime × (TimeParaGranularity + 1) + 0.5 × WEExtraDelay) × GPMC_FCLK(14)
(5) E = ((WrCycleTime - WEOffTime) × (TimeParaGranularity + 1) - 0.5 × WEExtraDelay) × GPMC_FCLK(14)
(6) F = ((ADVWrOffTime - WEOffTime) × (TimeParaGranularity + 1) + 0.5 × (ADVExtraDelay - WEExtraDelay)) × GPMC_FCLK(14) 注释：对于设备类型：NAND
- 在命令锁存周期内：CLE 信号由 ADVOnTime 和 ADVWrOffTime 时序参数控制
- 在地址锁存周期内：ALE 信号由 ADVOnTime 和 ADVWrOffTime 时序参数控制。

(7) G = ((CSWrOffTime - WEOffTime) × (TimeParaGranularity + 1) + 0.5 × (CSExtraDelay - WEExtraDelay)) × GPMC_FCLK(14)

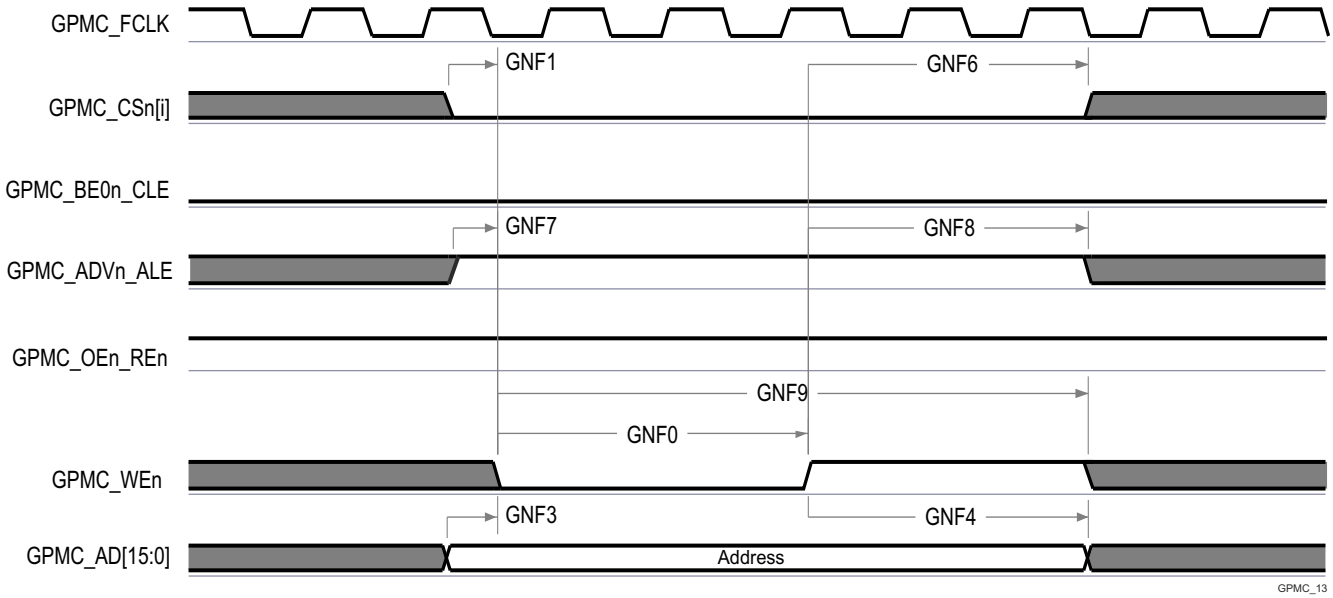
Copyright © 2026 Texas Instruments Incorporated

(8) H = WrCycleTime × (1 + TimeParaGranularity) × GPMC_FCLK(14)
(9) I = ((OEOnTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (OEExtraDelay - CSExtraDelay)) × GPMC_FCLK(14)
(10) K = (OEOffTime - OEOnTime) × (1 + TimeParaGranularity) × GPMC_FCLK(14)
(11) L = RdCycleTime × (1 + TimeParaGranularity) × GPMC_FCLK(14)
(12) M = ((CSRdOffTime - OEOffTime) × (TimeParaGranularity + 1) + 0.5 × (CSExtraDelay - OEExtraDelay)) × GPMC_FCLK(14)
(13) 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。
(14) GPMC_FCLK 是通用存储器控制器内部功能时钟周期（以 ns 为单位）。



A. 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。

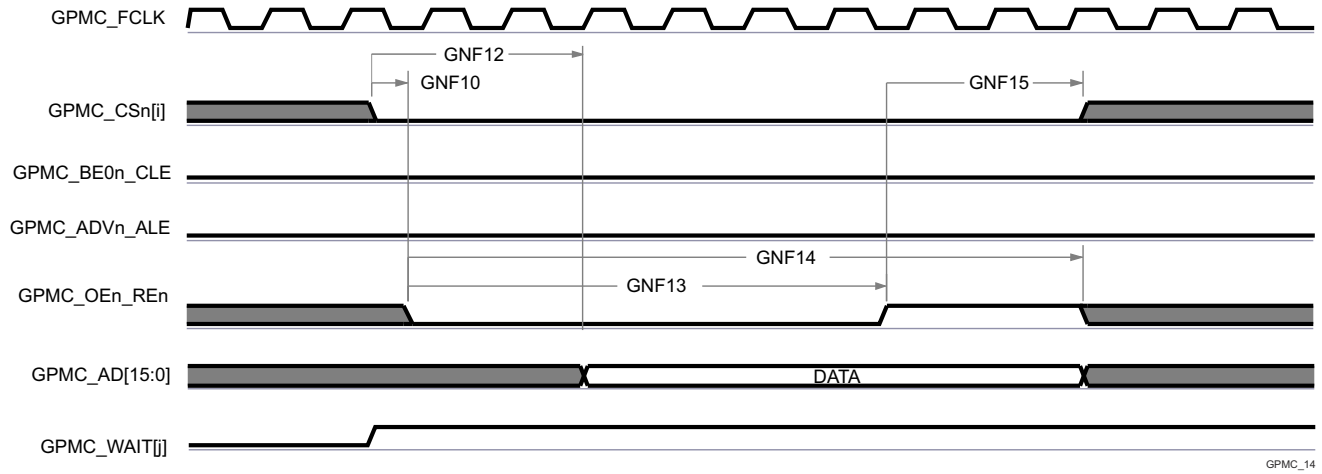
图 6-50. GPMC 和 NAND 闪存 - 命令锁存周期



A. 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。

图 6-51. GPMC 和 NAND 闪存 - 地址锁存周期

Copyright © 2026 Texas Instruments Incorporated

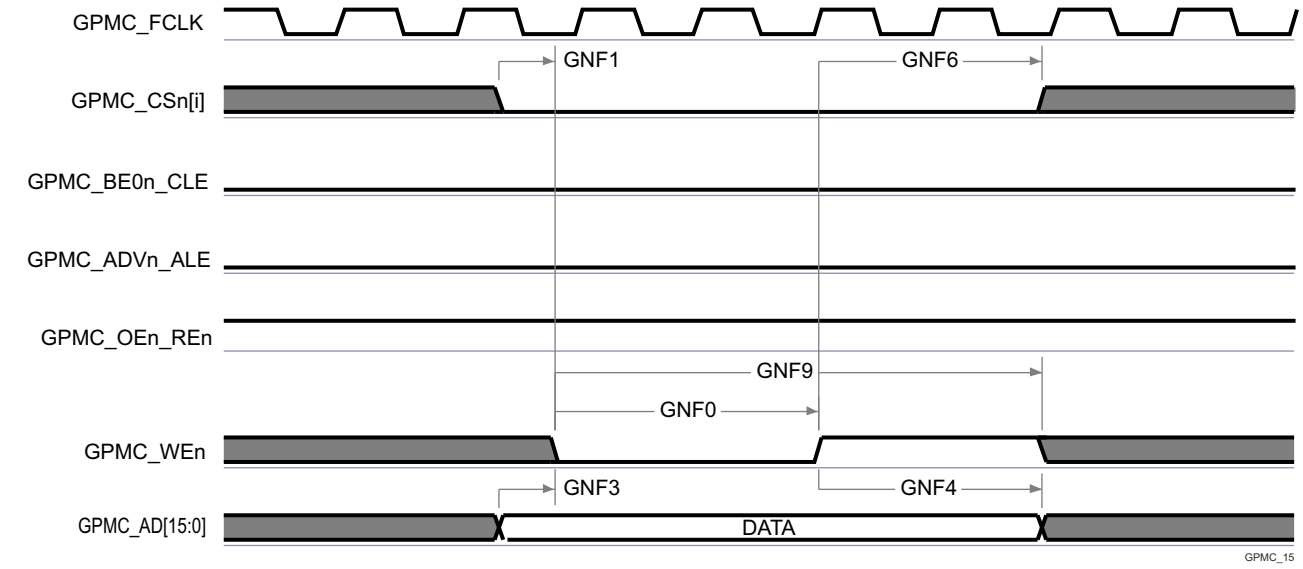


A. GNF12 参数说明了在内部对输入数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 GNF12 功能时钟周期结束后，输入数据将通过有效功能时钟边沿在内部采样。GNF12 值必须存储在 AccessTime 寄存器位字段内。

B. GPMC_FCLK 是内部时钟（GPMC 功能时钟），不从外部提供。

C. 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。在 GPMC_WAIT[j] 中，j 等于 0 或 1。

图 6-52. GPMC 和 NAND 闪存 - 数据读取周期



A. 在 GPMC_CSn[i] 中，i 等于 0、1、2 或 3。

图 6-53. GPMC 和 NAND 闪存 - 数据写入周期

6.11.5.8.4 GPMC0 IOSET

表 6-64 定义了每个 GPMC0 IOSET 的有效引脚组合。

表 6-64. GPMC0 IOSET

信号	IOSET1		IOSET2	
	焊球名称	MUXMODE	焊球名称	MUXMODE
GPMC0_AD0	GPMC0_AD0	0	GPMC0_AD0	0
GPMC0_AD1	GPMC0_AD1	0	GPMC0_AD1	0
GPMC0_AD2	GPMC0_AD2	0	GPMC0_AD2	0
GPMC0_AD3	GPMC0_AD3	0	GPMC0_AD3	0
GPMC0_AD4	GPMC0_AD4	0	GPMC0_AD4	0
GPMC0_AD5	GPMC0_AD5	0	GPMC0_AD5	0
GPMC0_AD6	GPMC0_AD6	0	GPMC0_AD6	0
GPMC0_AD7	GPMC0_AD7	0	GPMC0_AD7	0
GPMC0_AD8	GPMC0_AD8	0	GPMC0_AD8	0
GPMC0_AD9	GPMC0_AD9	0	GPMC0_AD9	0
GPMC0_AD10	GPMC0_AD10	0	GPMC0_AD10	0
GPMC0_AD11	GPMC0_AD11	0	GPMC0_AD11	0
GPMC0_AD12	GPMC0_AD12	0	GPMC0_AD12	0
GPMC0_AD13	GPMC0_AD13	0	GPMC0_AD13	0
GPMC0_AD14	GPMC0_AD14	0	GPMC0_AD14	0
GPMC0_AD15	GPMC0_AD15	0	GPMC0_AD15	0
GPMC0_CLK	GPMC0_CLK	0	GPMC0_CLK	0
GPMC0_ADVn_ALE	GPMC0_ADVn_ALE	0	GPMC0_ADVn_ALE	0
GPMC0_OEn_REn	GPMC0_OEn_REn	0	GPMC0_OEn_REn	0
GPMC0_WEn	GPMC0_WEn	0	GPMC0_WEn	0
GPMC0_BE0n_CLE	GPMC0_BE0n_CLE	0	GPMC0_BE0n_CLE	0
GPMC0_BE1n	GPMC0_BE1n	0	GPMC0_BE1n	0
GPMC0_WAIT0	GPMC0_WAIT0	0	GPMC0_WAIT0	0
GPMC0_WAIT1	GPMC0_WAIT1	0	GPMC0_WAIT1	0
GPMC0_WPn	GPMC0_WPn	0	GPMC0_WPn	0
GPMC0_DIR	GPMC0_DIR	0	GPMC0_DIR	0
GPMC0_CSn0	GPMC0_CSn0	0	GPMC0_CSn0	0
GPMC0_CSn1	GPMC0_CSn1	0	GPMC0_CSn1	0
GPMC0_CSn2	GPMC0_CSn2	0	GPMC0_CSn2	0
GPMC0_CSn3	GPMC0_CSn3	0	GPMC0_CSn3	0
GPMC0_AD16	PRG1_PRU0_GPO0	8	PRG1_PRU0_GPO0	8
GPMC0_AD17	PRG1_PRU0_GPO1	8	PRG1_PRU0_GPO1	8
GPMC0_AD18	PRG1_PRU0_GPO2	8	PRG1_PRU0_GPO2	8
GPMC0_AD19	PRG1_PRU0_GPO3	8	PRG1_PRU0_GPO3	8
GPMC0_AD20	PRG1_PRU0_GPO4	8	PRG1_PRU0_GPO4	8
GPMC0_AD21	PRG1_PRU0_GPO5	8	PRG1_PRU0_GPO5	8
GPMC0_AD22	PRG1_PRU0_GPO6	8	PRG1_PRU0_GPO6	8
GPMC0_AD23	PRG1_PRU0_GPO7	8	PRG1_PRU0_GPO7	8
GPMC0_AD24	PRG1_PRU0_GPO8	8	PRG1_PRU0_GPO8	8
GPMC0_AD25	PRG1_PRU0_GPO9	8	PRG1_PRU0_GPO9	8
GPMC0_AD26	PRG1_PRU0_GPO10	8	PRG1_PRU0_GPO10	8

Copyright © 2026 Texas Instruments Incorporated

表 6-64. GPMC0 IOSET（续）

信号	IOSET1		IOSET2	
	焊球名称	MUXMODE	焊球名称	MUXMODE
GPMC0_AD27	PRG1_PRU0_GPO11	8	PRG1_PRU0_GPO11	8
GPMC0_AD28	PRG1_PRU0_GPO12	8	PRG1_PRU0_GPO12	8
GPMC0_AD29	PRG1_PRU0_GPO13	8	PRG1_PRU0_GPO13	8
GPMC0_AD30	PRG1_PRU0_GPO14	8	PRG1_PRU0_GPO14	8
GPMC0_AD31	PRG1_PRU0_GPO15	8	PRG1_PRU0_GPO15	8
GPMC0_BE2n	PRG1_PRU0_GPO16	8	PRG1_PRU0_GPO16	8
GPMC0_A0	PRG1_PRU0_GPO17	8	PRG0_PRU0_GPO2	9
GPMC0_A1	PRG1_PRU0_GPO18	8	PRG0_PRU0_GPO4	9
GPMC0_A2	PRG1_PRU0_GPO19	8	PRG0_PRU0_GPO8	9
GPMC0_A3	PRG1_PRU1_GPO0	8	PRG0_PRU0_GPO14	9
GPMC0_A4	PRG1_PRU1_GPO1	8	PRG0_PRU0_GPO16	9
GPMC0_A5	PRG1_PRU1_GPO2	8	PRG0_PRU0_GPO18	9
GPMC0_A6	PRG1_PRU1_GPO3	8	PRG0_PRU0_GPO19	9
GPMC0_A7	PRG1_PRU1_GPO4	8	PRG0_PRU1_GPO12	9
GPMC0_A8	PRG1_PRU1_GPO5	8	PRG0_PRU1_GPO13	9
GPMC0_A9	PRG1_PRU1_GPO6	8	PRG0_PRU1_GPO14	9
GPMC0_A10	PRG1_PRU1_GPO7	8	PRG0_PRU1_GPO15	9
GPMC0_A11	PRG1_PRU1_GPO8	8	PRG0_PRU1_GPO16	9
GPMC0_A12	PRG1_PRU1_GPO9	8	PRG0_MDIO0_MDIO	9
GPMC0_A13	PRG1_PRU1_GPO10	8	PRG0_MDIO0_MDC	9
GPMC0_A14	PRG1_PRU1_GPO11	8	PRG0_PRU0_GPO12	9
GPMC0_A15	PRG1_PRU1_GPO12	8	PRG0_PRU0_GPO13	9
GPMC0_A16	PRG1_PRU1_GPO13	8	PRG0_PRU0_GPO15	9
GPMC0_A17	PRG1_PRU1_GPO14	8	PRG0_PRU0_GPO17	9
GPMC0_A18	PRG1_PRU1_GPO15	8	PRG0_PRU1_GPO3	9
GPMC0_A19	PRG1_PRU1_GPO16	8	PRG0_PRU1_GPO6	9
GPMC0_BE3n	PRG1_PRU1_GPO17	8	PRG1_PRU1_GPO17	8
GPMC0_A20	GPMC0_CSn3	4	GPMC0_CSn3	4
GPMC0_A21	GPMC0_WAIT1	4	GPMC0_WAIT1	4
GPMC0_A22	GPMC0_WPn	4	GPMC0_WPn	4

Copyright © 2026 Texas Instruments Incorporated

6.11.5.9 I2C

该器件包含六个多控制器集成电路总线 (I2C) 控制器。每个 I2C 控制器均设计为符合 Philips I²C-bus™ 规范版本 2.1。然而，器件 IO 并不完全符合 I2C 电气规格。下面介绍了每个端口支持的速度和例外情况：

- MCU_I2C1、I2C1、I2C2 和 I2C3
  - 速度：
    - 标准模式（最高 100kb/s）
      - 1.8V
      - 3.3V
    - 快速模式（最高 400kb/s）
      - 1.8V
      - 3.3V
  - 例外情况：
    - 与这些端口关联的 IO 不符合 I2C 规范中定义的下降时间要求，因为它们是通过性能更高的 LVCMOS 推挽 IO 实现的，这些 IO 旨在支持无法通过 I2C 兼容 IO 实现的其他信号功能。这些端口上使用的 LVCMOS IO 的连接方式可以对开漏输出进行仿真。该仿真是通过强制实现恒定低电平输出并禁用输出缓冲器进入高阻态来实现的。
    - I2C 规范定义了大小为 ($V_{DD_{max}}$ + 0.5V) 的最大输入电压 V_{IH}，这超出了器件 IO 的绝对最大额定值。系统的设计必须确保 I2C 信号始终不会超过本数据表的*绝对最大额定值*部分中定义的限值。
- MCU_I2C0 和 I2C0
  - 速度：
    - 标准模式（最高 100kb/s）
      - 1.8V
      - 3.3V
    - 快速模式（最高 400kb/s）
      - 1.8V
      - 3.3V
    - Hs 模式（最高 3.4Mb/s）
      - 1.8V
  - 例外情况：
    - 与这些端口关联的 IO 并未设计为在 3.3V 下运行时支持 Hs 模式。因此，Hs 模式的运行电压限制为 1.8V。
    - 在 3.3V 下运行时，连接到这些端口的 I2C 信号的上升和下降时间不得超过 0.08V/ns（或 8E+7V/s）的压摆率。该限制比 I2C 规范中定义的最小下降时间限制更严格。因此，可能需要向 I2C 信号添加额外的电容，以延长上升和下降时间，使其压摆率不超过 0.08V/ns。
    - I2C 规范定义了大小为 ($V_{DD_{max}}$ + 0.5V) 的最大输入电压 V_{IH}，这超出了器件 IO 的绝对最大额定值。系统的设计必须确保 I2C 信号始终不会超过本数据表的*绝对最大额定值*部分中定义的限值。

备注

I2C2 有一个或多个可以多路复用到多个引脚的信号。时序仅对称为 IOSET 的特定引脚组合有效。**SysConfig-PinMux 工具**中定义了该接口的有效引脚组合或 IOSET。

有关时序详细信息，请参阅 Philips I2C 总线规范版本 2.1。

有关器件集成电路总线特性和其他说明的更多详细信息，请参阅*信号说明*和*详细说明*部分中的相应小节。

Copyright © 2026 Texas Instruments Incorporated

6.11.5.10 MCAN

表 6-65 和表 6-66 展示了 MCAN 的时序条件和开关特性。

有关器件控制器局域网接口特性和其他说明信息的更多详情，请参阅*信号说明*和*详细说明*部分中的相应小节。

备注

器件具有多个 MCAN 模块。MCANn 是应用于 MCAN 信号名称的通用前缀，其中 n 代表特定的 MCAN 模块。

表 6-65. MCAN 时序条件

参数		最小值	最大值	单位
输入条件				
SR_I	输入压摆率	2	15	V/ns
输出条件				
C_L	输出负载电容	5	20	pF

表 6-66. MCAN 开关特性

编号	参数	说明	最小值	最大值	单位
MCAN1	$t_{d(MCAN_TX)}$	延迟时间，发送移位寄存器到 MCANn_TX		10	ns
MCAN2	$t_{d(MCAN_RX)}$	延迟时间，MCANn_RX 到接收移位寄存器		10	ns

有关更多信息，请参阅器件 TRM 中*外设*一章的*控制器局域网 (MCAN)* 部分。

Copyright © 2026 Texas Instruments Incorporated

6.11.5.11 MCSPI

有关器件串行端口接口特性和其他说明信息的更多详情，请参阅*信号说明*和*详细说明*部分中的相应小节。

表 6-67 展示了 MCSPI 的时序条件。

表 6-67. MCSPI 时序条件

参数		最小值	最大值	单位
输入条件				
SR_I	输入压摆率	2	8.5	V/ns
输出条件				
C_L	输出负载电容	6	12	pF

有关更多信息，请参阅器件 TRM 的*外设*一章中的*多通道串行外设接口 (MCSPI)* 一节。

Copyright © 2026 Texas Instruments Incorporated

6.11.5.11.1 MCSPI - 控制器模式

表 6-68、图 6-54、表 6-69 和图 6-55 展示了 SPI 的时序要求和开关特性 – 控制器模式。

表 6-68. MCSPI 时序要求 - 控制器模式

请参阅图 6-54

编号	参数	说明	最小值	最大值	单位
SM4	$t_{su(POCI-SPICLK)}$	建立时间，在 SPIn_CLK 有效边沿之前 SPIn_D[x] 有效	2.8		ns
SM5	$t_{h(SPICLK-POCI)}$	保持时间，在 SPIn_CLK 有效边沿之后 SPIn_D[x] 有效	3		ns

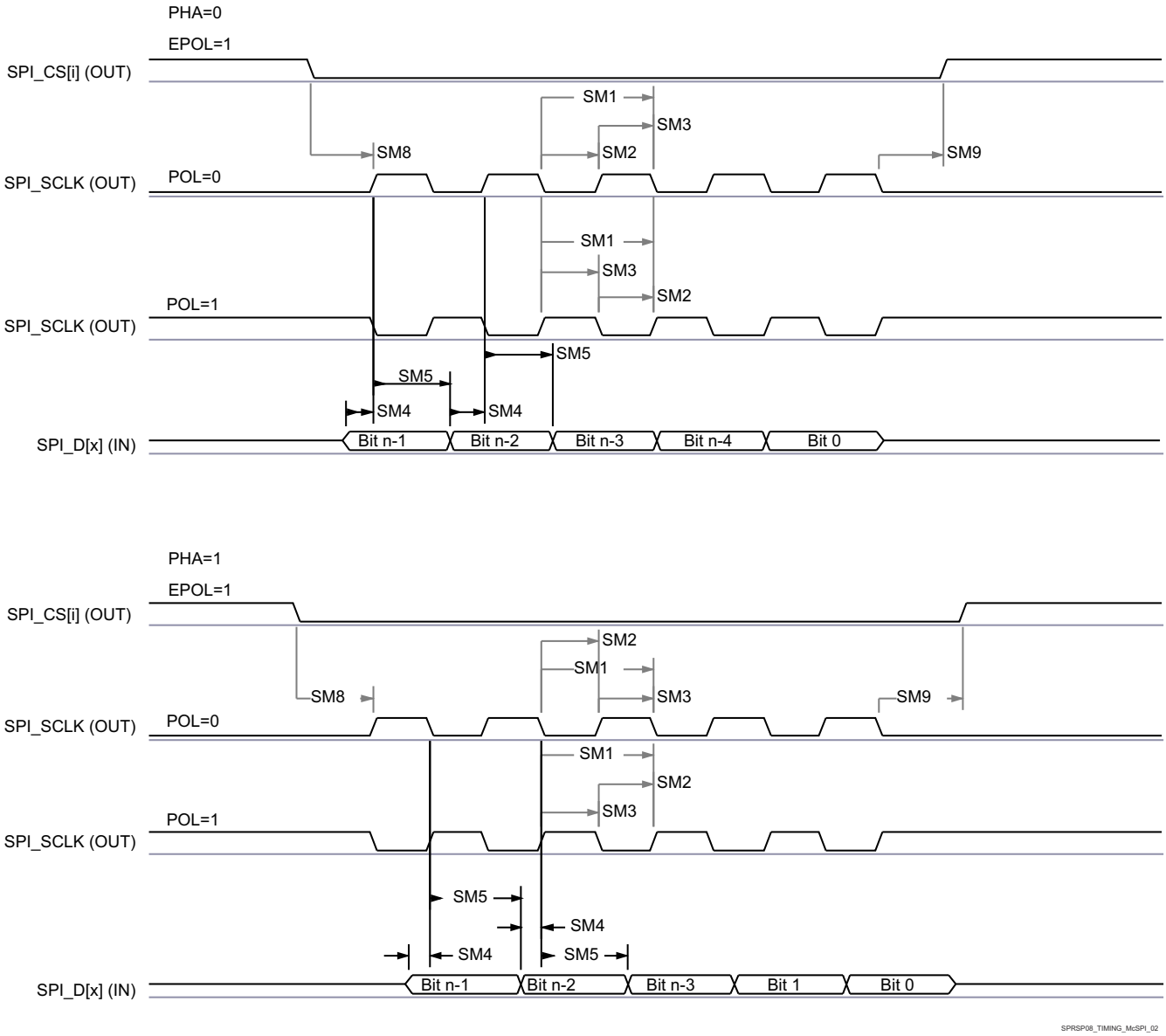


图 6-54. MCSPI 控制器模式接收时序

表 6-69. MCSPI 开关特性 - 控制器模式

请参阅图 6-55

编号	参数			最小值	最大值	单位
SM1	$t_{c(SPICLK)}$	周期时间，SPIn_CLK		20		ns
SM2	$t_{w(SPICLKL)}$	脉冲持续时间，SPIn_CLK 低电平		0.5P - 1 (1)		ns
SM3	$t_{w(SPICLKH)}$	脉冲持续时间，SPIn_CLK 高电平		0.5P - 1 (1)		ns
SM6	$t_{d(SPICLK-PICO)}$	延迟时间，SPIn_CLK 有效边沿到 SPIn_D[x]		-3	2.5	ns
SM7	$t_{d(CS-PICO)}$	延迟时间，SPIn_CSi 有效边沿到 SPIn_D[x]		5		ns
SM8	$t_{d(CS-SPICLK)}$	延迟时间，SPIn_CSi 有效到 SPIn_CLK 第一个边沿	PHA = 0	B - 4(2)		ns
			PHA = 1	A - 4(3)		ns
SM9	$t_{d(SPICLK-CS)}$	延迟时间，SPIn_CLK 最后一个边沿到 SPIn_CSi 无效	PHA = 0	A - 4(4)		ns
			PHA = 1	B - 4(5)		ns

(1) P = SPI_CLK 周期（以 ns 为单位）。

(2) T_ref 是 McSPI 功能时钟的周期（以 ns 为单位）。Fratio 是 McSPI 功能时钟频率与 SPIn_CLK 时钟频率的分频比，由 MCSPI_CH(i)CONF 寄存器中的 CLKD 和 CLKG 位字段以及 MCSPI_CH(i)CTRL 寄存器中的 EXTCLK 位字段控制。TCS(i) 是编程到 MCSPI_CH(i)CONF 寄存器的芯片选择时间控制位字段中的值。

- 当 Fratio = 1 时，B = (TCS(i) + 0.5) * T_ref。
- 当 Fratio ≥ 2 且为偶数时，B = (TCS(i) + 0.5) * Fratio * T_ref。
- 当 Fratio ≥ 3 且为奇数时，B = ((TCS(i) * Fratio) + ((Fratio + 1)/2)) * T_ref。

(3) T_ref 是 McSPI 功能时钟的周期。Fratio 是 McSPI 功能时钟频率与 SPIn_CLK 时钟频率的分频比，由 MCSPI_CH(i)CONF 寄存器中的 CLKD 和 CLKG 位字段以及 MCSPI_CH(i)CTRL 寄存器中的 EXTCLK 位字段控制。TCS(i) 是编程到 MCSPI_CH(i)CONF 寄存器的芯片选择时间控制位字段中的值。

- 当 Fratio = 1 时，A = (TCS(i) + 1) * T_ref。
- 当 Fratio ≥ 2 且为偶数时，A = (TCS(i) + 0.5) * Fratio * T_ref。
- 当 Fratio ≥ 3 且为奇数时，A = ((TCS(i) * Fratio) + ((Fratio - 1)/2)) * T_ref。

(4) T_ref 是 McSPI 功能时钟的周期。Fratio 是 McSPI 功能时钟频率与 SPIn_CLK 时钟频率的分频比，由 MCSPI_CH(i)CONF 寄存器中的 CLKD 和 CLKG 位字段以及 MCSPI_CH(i)CTRL 寄存器中的 EXTCLK 位字段控制。TCS(i) 是编程到 MCSPI_CH(i)CONF 寄存器的芯片选择时间控制位字段中的值。

- 当 Fratio = 1 时，A = (TCS(i) + 1) * T_ref。
- 当 Fratio ≥ 2 且为偶数时，A = (TCS(i) + 0.5) * Fratio * T_ref。
- 当 Fratio ≥ 3 且为奇数时，A = ((TCS(i) * Fratio) + ((Fratio + 1)/2)) * T_ref。

(5) T_ref 是 McSPI 功能时钟的周期。Fratio 是 McSPI 功能时钟频率与 SPIn_CLK 时钟频率的分频比，由 MCSPI_CH(i)CONF 寄存器中的 CLKD 和 CLKG 位字段以及 MCSPI_CH(i)CTRL 寄存器中的 EXTCLK 位字段控制。TCS(i) 是编程到 MCSPI_CH(i)CONF 寄存器的芯片选择时间控制位字段中的值。

- 当 Fratio = 1 时，B = (TCS(i) + 0.5) * T_ref。
- 当 Fratio ≥ 2 且为偶数时，B = (TCS(i) + 0.5) * Fratio * T_ref。
- 当 Fratio ≥ 3 且为奇数时，B = ((TCS(i) * Fratio) + ((Fratio - 1)/2)) * T_ref。

Copyright © 2026 Texas Instruments Incorporated

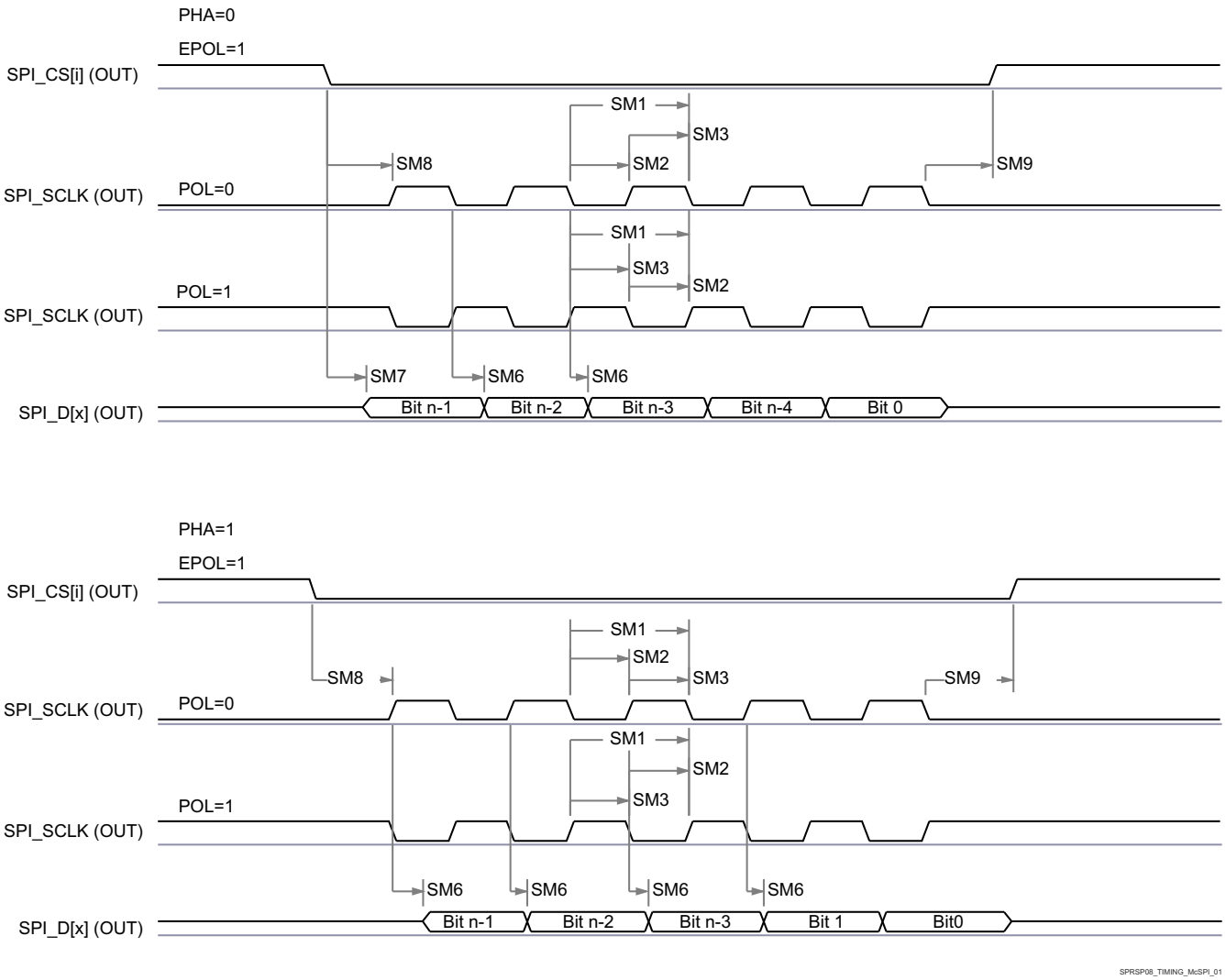


图 6-55. MCSPI 控制器模式发送时序

6.11.5.11.2 MCSPI - 外设模式

表 6-70、图 6-56、表 6-71 和图 6-57 展示了 SPI 的时序要求和开关特性 – 外设模式。

表 6-70. MCSPI 时序要求 – 外设模式

请参阅图 6-56

编号	参数	说明	最小值	最大值	单位
SS1	$t_{c(SPICLK)}$	周期时间，SPIn_CLK	20		ns
SS2	$t_{w(SPICLKL)}$	脉冲持续时间，SPIn_CLK 低电平	0.45P (1)		ns
SS3	$t_{w(SPICLKH)}$	脉冲持续时间，SPIn_CLK 高电平	0.45P (1)		ns
SS4	$t_{su(PICO-SPICLK)}$	建立时间，在 SPIn_CLK 有效边沿之前 SPIn_D[x] 有效	5		ns
SS5	$t_{h(SPICLK-PICO)}$	保持时间，在 SPIn_CLK 有效边沿之后 SPIn_D[x] 有效	5		ns
SS8	$t_{su(CS-SPICLK)}$	建立时间，在 SPIn_CLK 第一个边沿之前 SPIn_CSi 有效	5		ns
SS9	$t_{h(SPICLK-CS)}$	保持时间，在 SPIn_CLK 最后一个边沿之后 SPIn_CSi 有效	5		ns

(1) P = SPIn_CLK 周期（以 ns 为单位）。

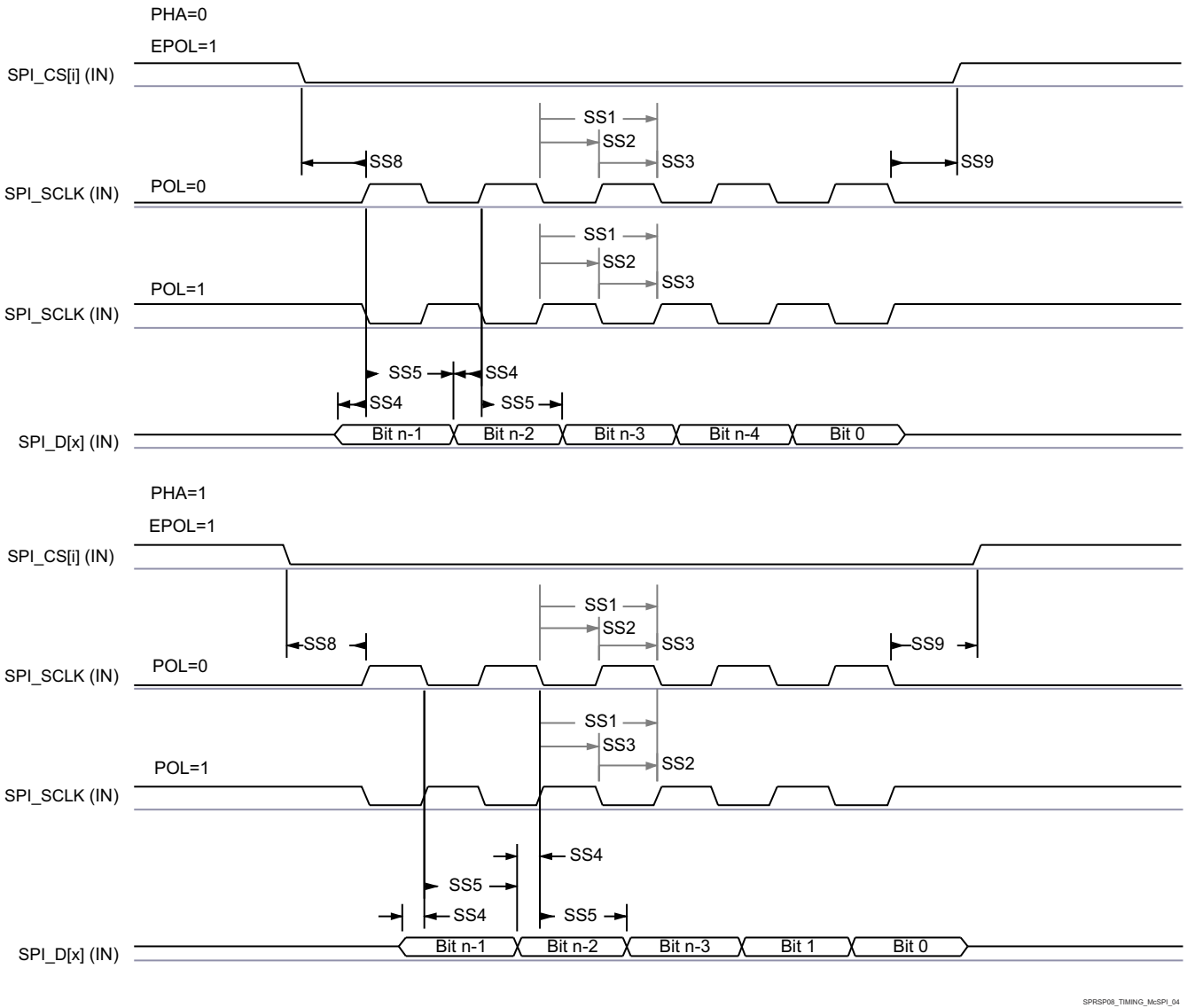


图 6-56. SPI 外设模式接收时序

Copyright © 2026 Texas Instruments Incorporated

表 6-71. MCSPI 开关特性 – 外设模式

请参阅图 6-57

编号	参数	说明	最小值	最大值	单位
SS6	$t_{d(SPICLK-POCI)}$	延迟时间，SPIn_CLK 有效边沿到 SPIn_D[x]	2	10.5	ns
SS7	$t_{sk(CS-POCI)}$	延迟时间，SPIn_CSi 有效边沿到 SPIn_D[x]		18.5	ns

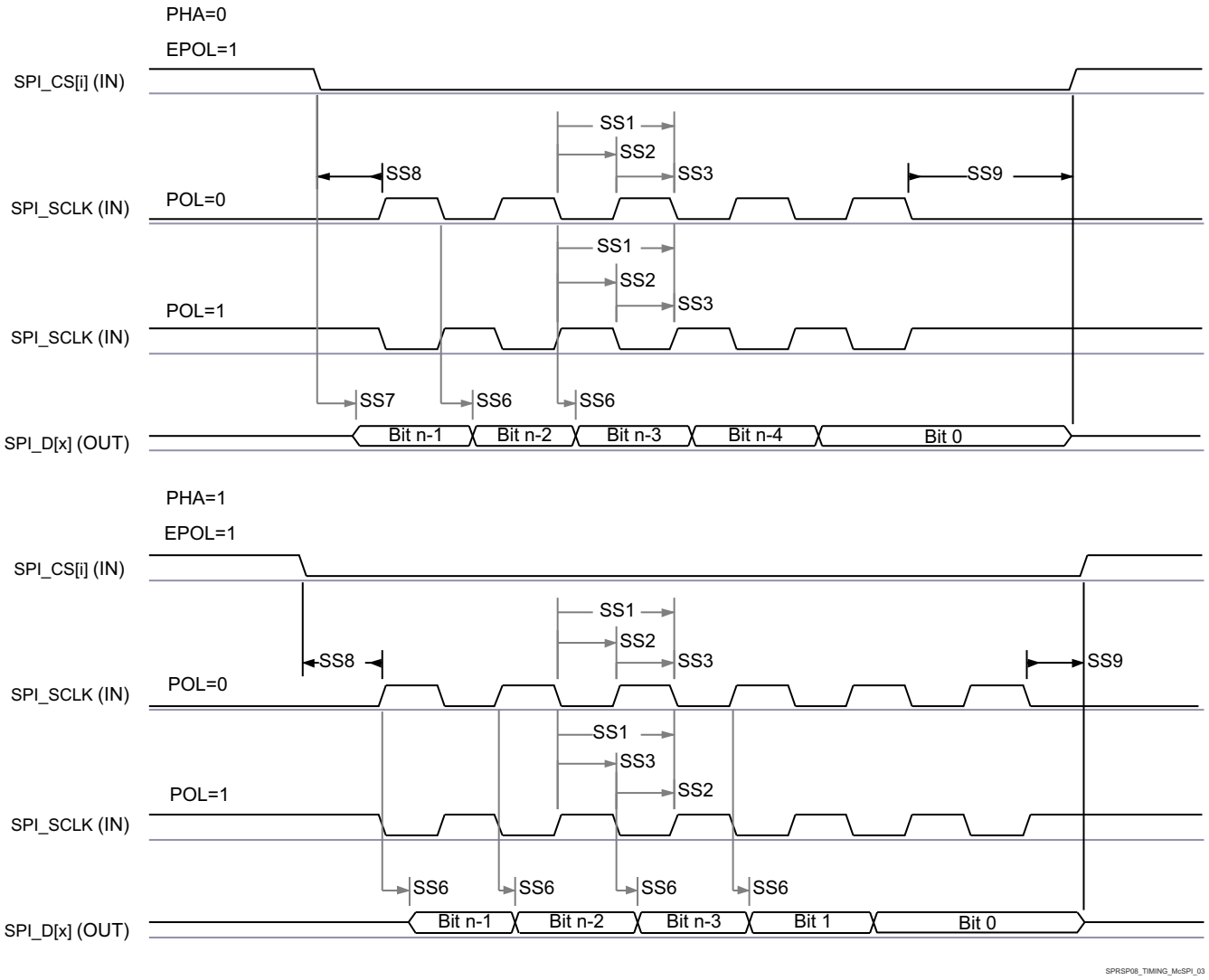


图 6-57. SPI 外设模式发送时序

Copyright © 2026 Texas Instruments Incorporated

6.11.5.12 MMCSD

MMCSD 主机控制器提供用于连接嵌入式多媒体卡 (MMC)、安全数字 (SD) 和安全数字 IO (SDIO) 器件的接口。MMCSD 主机控制器在传输级别处理 MMC/SD/SDIO 协议、数据打包、添加循环冗余校验 (CRC)、开始/结束位插入以及语法正确性检查。

有关 MMCSD 接口的更多详细信息，请参阅*信号说明*和*详细说明*中相应的 MMC0 和 MMC1 小节。

备注

某些工作模式需要对 MMC DLL 延迟设置进行软件配置，如表 6-72 和表 6-82 所示。

表 6-72 和表 6-82 的 ITAPDLYSEL 列中显示“调优”值的模式需要使用调优算法来优化输入时序。有关优化输入时序所需的调优算法和输入延迟配置的更多信息，请参阅器件 TRM 中的 MMCSD 编程指南。

有关更多信息，请参阅器件 TRM 的*外设*一章中的*多媒体卡/安全数字 (MMCSD) 接口*一节。

6.11.5.12.1 MMC0 - eMMC 接口

MMC0 接口符合 JEDEC eMMC 电气标准 v5.1 (JESD84-B51)，并支持以下 eMMC 应用：

- 传统速度
- 高速 SDR
- 高速 DDR
- HS200

表 6-72 展示了 MMC0 时序模式所需的 DLL 软件配置设置。

表 6-72. 所有时序模式的 MMC0 DLL 延迟映射

寄存器名称		MMCSD0_MMC_SSCFG_PHY_CTRL_x_REG								
		x = 1	x = 4					x = 5		
位字段		[1]	[31:24]	[20]	[15:12]	[8]	[4:0]	[17:16]	[10:8]	[2:0]
位字段名称		ENDLL	STRBSEL	OTAPDLYENA	OTAPDLYSEL	ITAPDLYENA	ITAPDLYSEL	SELDLYTXCLK SELDLYRXCLK	FRQSEL	CLKBUFSEL
模式	说明	启用 DLL	选通延迟	输出延迟启用	输出延迟值	输入延迟启用	输入延迟值	DLL 延迟链选择	DLL 基准频率	延迟缓冲器持续时间
旧 SDR	8 位 PHY 运行 1.8V，25MHz	0x0	0x0	不适用(1)	不适用(1)	0x1	0x10	0x1 或 0x3(2)	不适用(3)	0x7
高速 SDR	8 位 PHY 运行 1.8V，50MHz	0x0	0x0	不适用(1)	不适用(1)	0x1	0xA	0x1 或 0x3(2)	不适用(3)	0x7
高速 DDR	8 位 PHY 运行 1.8V，50MHz	0x1	0x0	0x1	0x6	0x1	0x3	0x0	0x4	不适用(4)
HS200	8 位 PHY 运行 1.8V，200MHz	0x1	0x0	0x1	0x7	0x1	调优(5)	0x0	0x0	不适用(4)

(1) 不适用意味着当以半周期时序运行（此模式强制要求）时，该寄存器字段无功能。
(2) 当以半周期时序运行（此模式强制要求）时，SELDLYTXCLK 位不起作用。
(3) 不适用意味着当 ENDLL 设为 0x0 时，该寄存器字段不起作用。
(4) 不适用意味着当 ENDLL 设为 0x1 时，该寄存器字段不起作用。
(5) 调优意味着此模式需要使用调优算法来确定适当输入时序

表 6-73 展示了 MMC0 的时序条件。

Copyright © 2026 Texas Instruments Incorporated

表 6-73. MMC0 时序条件

参数			最小值	最大值	单位
输入条件					
SR_I	输入压摆率	旧 SDR	0.14	1.44	V/ns
		高速 SDR	0.3	0.9	V/ns
		高速 DDR (CMD)	0.3	0.9	V/ns
		高速 DDR (DAT[7:0])	0.45	0.9	V/ns
输出条件					
C_L	输出负载电容	旧 SDR	1	12	pF
		高速 SDR	1	12	pF
		高速 DDR	1	12	pF
		HS200	1	6	pF
PCB 连接要求					
$t_{d(Trace\ Delay)}$	每条引线的传播延迟	所有模式	126	756	ps
$t_{d(Trace\ Mismatch\ Delay)}$	所有布线之间的传播延迟不匹配	传统 SDR、高速 SDR		100	ps
		高速 DDR，HS200		8	ps

Copyright © 2026 Texas Instruments Incorporated

6.11.5.12.1.1 旧 SDR 模式

表 6-74、图 6-58、表 6-75 和图 6-59 展示了 MMC0 的时序要求和开关特性 – 旧 SDR 模式。

表 6-74. MMC0 时序要求 – 旧 SDR 模式

请参阅图 6-58

编号			最小值	最大值	单位
LSDR1	$t_{su(cmdV-clkH)}$	建立时间，在 MMC0_CLK 上升沿之前 MMC0_CMD 有效	1.56		ns
LSDR2	$t_{h(clkH-cmdV)}$	保持时间，在 MMC0_CLK 上升沿之后 MMC0_CMD 有效	5.44		ns
LSDR3	$t_{su(dV-clkH)}$	建立时间，在 MMC0_CLK 上升沿之前 MMC0_DAT[7:0] 有效	1.56		ns
LSDR4	$t_{h(clkH-dV)}$	保持时间，在 MMC0_CLK 上升沿之后 MMC0_DAT[7:0] 有效	5.44		ns

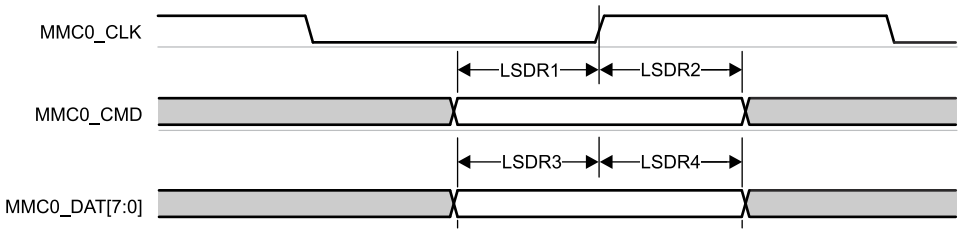


图 6-58. MMC0 – 旧 SDR – 接收模式

表 6-75. MMC0 开关特性 – 旧 SDR 模式

请参阅图 6-59

编号	参数		最小值	最大值	单位
	$f_{op(clk)}$	工作频率，MMC0_CLK		25	MHz
LSDR5	$t_{c(clk)}$	周期时间，MMC0_CLK	40		ns
LSDR6	$t_{w(clkH)}$	脉冲持续时间，MMC0_CLK 高电平	18.7		ns
LSDR7	$t_{w(clkL)}$	脉冲持续时间，MMC0_CLK 低电平	18.7		ns
LSDR8	$t_{d(clkL-cmdV)}$	延迟时间，MMC0_CLK 下降沿到 MMC0_CMD 转换	-2.3	2.9	ns
LSDR9	$t_{d(clkL-dV)}$	延迟时间，MMC0_CLK 下降沿到 MMC0_DAT[7:0] 转换	-2.3	2.9	ns

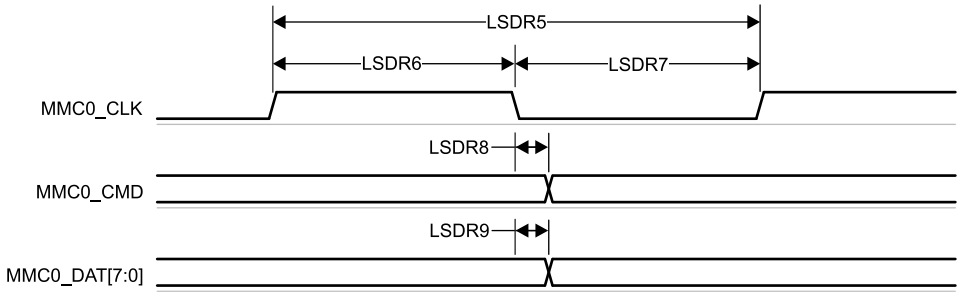


图 6-59. MMC0 - 旧 SDR - 发送模式

Copyright © 2026 Texas Instruments Incorporated

6.11.5.12.1.2 高速 SDR 模式

表 6-76、图 6-60、表 6-77 和图 6-61 展示了 MMC0 的时序要求和开关特性 – 高速 SDR 模式。

表 6-76. MMC0 时序要求 – 高速 SDR 模式

请参阅图 6-60

编号			最小值	最大值	单位
HSSDR1	$t_{su(cmdV-clkH)}$	建立时间，在 MMC0_CLK 上升沿之前 MMC0_CMD 有效	2.55		ns
HSSDR2	$t_{h(clkH-cmdV)}$	保持时间，在 MMC0_CLK 上升沿之后 MMC0_CMD 有效	2.67		ns
HSSDR3	$t_{su(dV-clkH)}$	建立时间，在 MMC0_CLK 上升沿之前 MMC0_DAT[7:0] 有效	2.55		ns
HSSDR4	$t_{h(clkH-dV)}$	保持时间，在 MMC0_CLK 上升沿之后 MMC0_DAT[7:0] 有效	2.67		ns

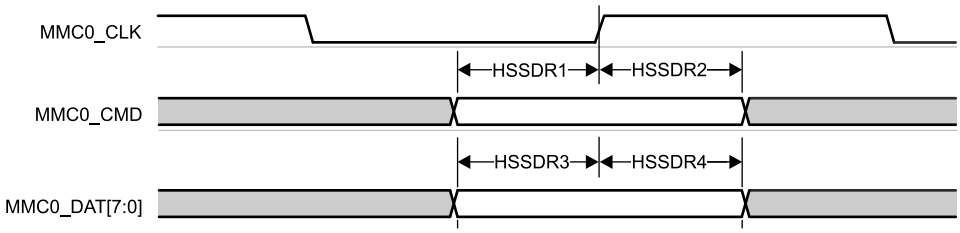


图 6-60. MMC0 – 高速 SDR 模式 – 接收模式

表 6-77. MMC0 开关特性 – 高速 SDR 模式

请参阅图 6-61

编号	参数		最小值	最大值	单位
	$f_{op(clk)}$	工作频率，MMC0_CLK		50	MHz
HSSDR5	$t_{c(clk)}$	周期时间，MMC0_CLK	20		ns
HSSDR6	$t_{w(clkH)}$	脉冲持续时间，MMC0_CLK 高电平	9.2		ns
HSSDR7	$t_{w(clkL)}$	脉冲持续时间，MMC0_CLK 低电平	9.2		ns
HSSDR8	$t_{d(clkL-cmdV)}$	延迟时间，MMC0_CLK 下降沿到 MMC0_CMD 转换	-2.3	2.9	ns
HSSDR9	$t_{d(clkL-dV)}$	延迟时间，MMC0_CLK 下降沿到 MMC0_DAT[7:0] 转换	-2.3	2.9	ns

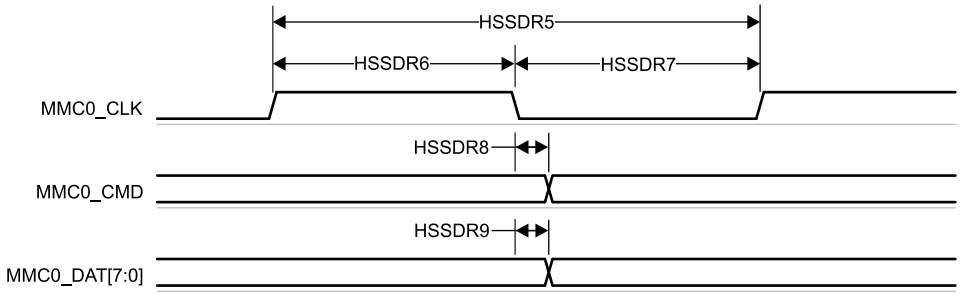


图 6-61. MMC0 - 高速 SDR 模式 - 发送模式

Copyright © 2026 Texas Instruments Incorporated

6.11.5.12.1.3 高速 DDR 模式

表 6-78、图 6-62、表 6-79 和图 6-63 展示了 MMC0 的时序要求和开关特性 – 高速 DDR 模式。

表 6-78. MMC0 时序要求 – 高速 DDR 模式

请参阅图 6-62

编号			最小值	最大值	单位
HSDDR1	$t_{su(cmdV-clk)}$	建立时间，在 MMC0_CLK 上升沿之前 MMC0_CMD 有效	1.62		ns
HSDDR2	$t_{h(clk-cmdV)}$	保持时间，在 MMC0_CLK 上升沿之后 MMC0_CMD 有效	2.52		ns
HSDDR3	$t_{su(dV-clk)}$	建立时间，在 MMC0_CLK 转换之前 MMC0_DAT[7:0] 有效	0.83		ns
HSDDR4	$t_{h(clk-dV)}$	保持时间，在 MMC0_CLK 转换之后 MMC0_DAT[7:0] 有效	1.76		ns

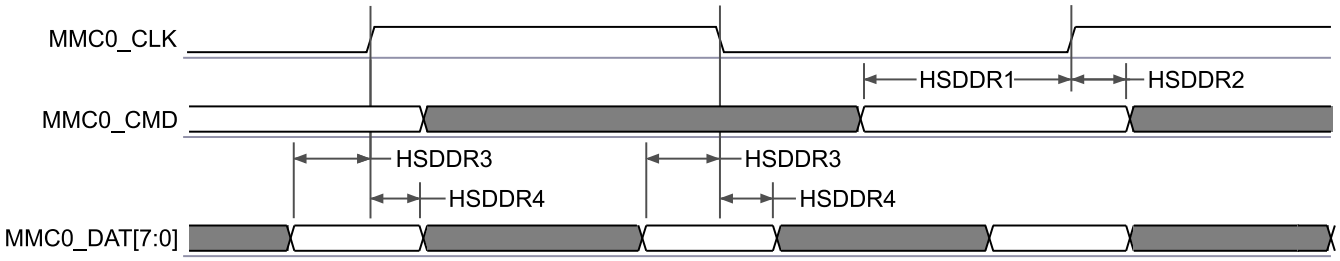


图 6-62. MMC0 – 高速 DDR 模式 – 接收模式

表 6-79. MMC0 开关特性 – 高速 DDR 模式

请参阅图 6-63

编号	参数		最小值	最大值	单位
	$f_{op(clk)}$	工作频率，MMC0_CLK		50	MHz
HSDDR5	$t_{c(clk)}$	周期时间，MMC0_CLK	20		ns
HSDDR6	$t_{w(clkH)}$	脉冲持续时间，MMC0_CLK 高电平	9.2		ns
HSDDR7	$t_{w(clkL)}$	脉冲持续时间，MMC0_CLK 低电平	9.2		ns
HSDDR8	$t_{d(clk-cmdV)}$	延迟时间，MMC0_CLK 上升沿到 MMC0_CMD 转换	3.31	7.65	ns
HSDDR9	$t_{d(clk-dV)}$	延迟时间，MMC0_CLK 转换到 MMC0_DAT[7:0] 转换	2.81	6.94	ns

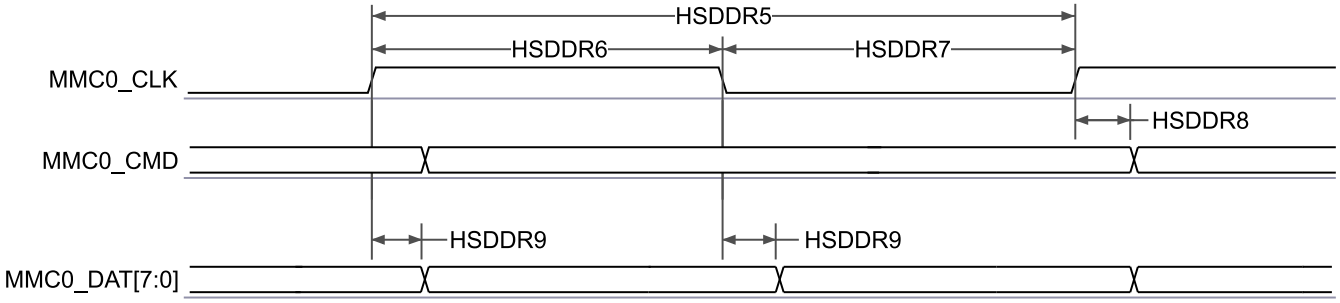


图 6-63. MMC0 - 高速 DDR 模式 - 发送模式

Copyright © 2026 Texas Instruments Incorporated

6.11.5.12.1.4 HS200 模式

表 6-80、图 6-64、表 6-81 和图 6-65 说明了 MMC0 的开关特性 - HS200 模式。

表 6-80. MMC0 时序要求 – HS200 模式

请参阅图 6-64

编号			最小值	最大值	单位
HS2004	t_{DVW}	输入数据有效窗口、MMC0_CMD 和 MMC0_DAT[7:0]	2.0(1)		ns

(1) 此参数定义了主机所需的最小数据有效窗口，任何提供给主机的数据有效窗口大于此值时，均可确保主机能够捕获有效数据。此参数定义的值小于针对任何在 HS200 模式下运行的 eMMC 器件定义的最小可能数据有效窗口。

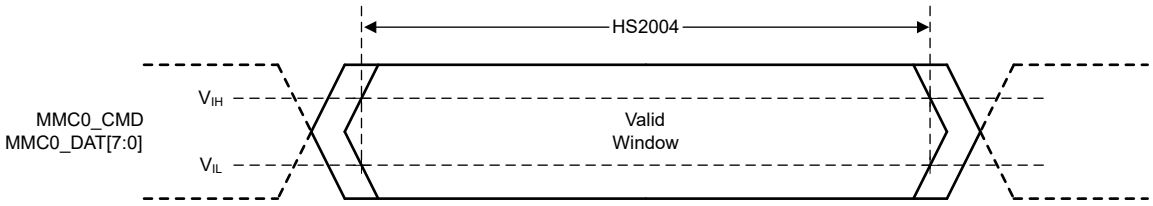


图 6-64. MMC0 – HS200 – 接收模式

表 6-81. MMC0 开关特性 - HS200 模式

请参阅图 6-65

编号	参数		最小值	最大值	单位
	$f_{op(clk)}$	工作频率，MMC0_CLK		200	MHz
HS2005	$t_{c(clk)}$	周期时间，MMC0_CLK	5		ns
HS2006	$t_{w(clkH)}$	脉冲持续时间，MMC0_CLK 高电平	2.08		ns
HS2007	$t_{w(clkL)}$	脉冲持续时间，MMC0_CLK 低电平	2.08		ns
HS2008	$t_{d(clkL-cmdV)}$	延迟时间，MMC0_CLK 上升沿到 MMC0_CMD 转换	0.99	3.28	ns
HS2009	$t_{d(clkL-dV)}$	延迟时间，MMC0_CLK 上升沿到 MMC0_DAT[7:0] 转换	0.99	3.28	ns

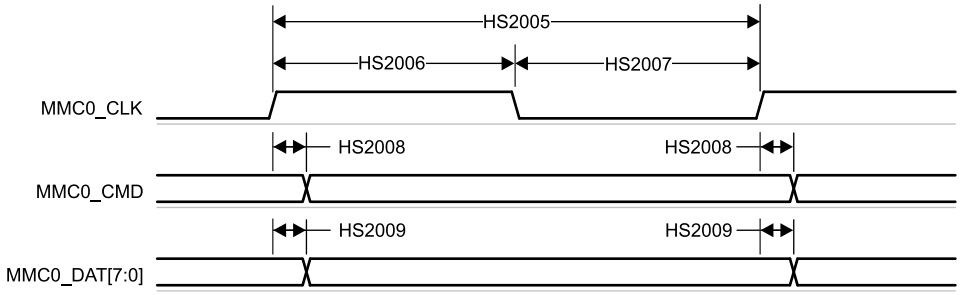


图 6-65. MMC0 – HS200 模式 – 发送模式

Copyright © 2026 Texas Instruments Incorporated

6.11.5.12.2 MMC1 - SD/SDIO 接口

MMC1 接口符合 SD 主机控制器标准规范 4.10 和 SD 物理层规范 v3.01 以及 SDIO 规范 v3.00，并支持以下 SD 卡应用：

- 默认速度
- 高速
- UHS‑I SDR12
- UHS‑I SDR25
- UHS‑I SDR50
- UHS‑I SDR104
- UHS‑I DDR50

表 6-82 展示了 MMC1 时序模式所需的 DLL 软件配置设置。

表 6-82. 所有时序模式的 MMC1 DLL 延迟映射

寄存器名称		MMCSD1_MMC_SSCFG_PHY_CTRL_4_REG			
位字段		[20]	[15:12]	[8]	[4:0]
位字段名称		OTAPDLYENA	OTAPDLYSEL	ITAPDLYENA	ITAPDLYSEL
模式	说明	延迟启用	延迟值	输入延迟启用	输入延迟值
默认速度	4 位 PHY 运行 3.3V，25MHz	不适用(1)	不适用(1)	0x1	0x0
高速	4 位 PHY 运行 3.3V，50MHz	不适用(1)	不适用(1)	0x1	0x0
UHS-I SDR12	4 位 PHY 运行 1.8V，25MHz	0x1	0xF	0x1	0x0
UHS-I SDR25	4 位 PHY 运行 1.8V，50MHz	0x1	0xF	0x1	0x0
UHS-I SDR50	4 位 PHY 运行 1.8V，100MHz	0x1	0xC	0x1	调优(2)
UHS-I DDR50	4 位 PHY 运行 1.8V，50MHz	0x1	0x9	0x1	调优(2)
UHS-I SDR104	4 位 PHY 运行 1.8V，200MHz	0x1	0x6	0x1	调优(2)

(1) 不适用意味着当以半周期时序运行（此模式强制要求）时，该寄存器字段无功能。
(2) 调优意味着此模式需要使用调优算法来确定适当输入时序

表 6-83 展示了 MMC1 的时序条件。

Copyright © 2026 Texas Instruments Incorporated

表 6-83. MMC1 时序条件

参数			最小值	最大值	单位
输入条件					
SR_I	输入压摆率	默认速度，高速	0.69	2.06	V/ns
		UHS-I SDR12、UHS-I SDR25	0.34	1.34	V/ns
		UHS – I DDR50	1	2	V/ns
输出条件					
C_L	输出负载电容	UHS – I DDR50	3	10	pF
		所有其他模式	1	10	pF
PCB 连接要求					
$t_{d(Trace\ Delay)}$	每条引线的传播延迟	UHS – I DDR50	240	1134	ps
		所有其他模式	126	1386	ps
$t_{d(Trace\ Mismatch\ Delay)}$	所有布线之间的传播延迟不匹配	UHS-I DDR50、UHS-I SDR104		20	ps
		所有其他模式		100	ps

Copyright © 2026 Texas Instruments Incorporated

6.11.5.12.2.1 默认速度模式

表 6-84、图 6-66、表 6-85 和图 6-67 展示了 MMC1 的时序要求和开关特性 – 默认速度模式。

表 6-84. MMC1 的时序要求 – 默认速度模式

请参阅图 6-66

编号			最小值	最大值	单位
DS1	$t_{su(cmdV-clkH)}$	建立时间，在 MMCi_CLK 上升沿之前 MMC1_CMD 有效	2.15		ns
DS2	$t_{h(clkH-cmdV)}$	保持时间，在 MMC1_CLK 上升沿之后 MMC1_CMD 有效	1.67		ns
DS3	$t_{su(dV-clkH)}$	建立时间，在 MMC1_CLK 上升沿之前 MMC1_DAT[3:0] 有效	2.15		ns
DS4	$t_{h(clkH-dV)}$	保持时间，在 MMC1_CLK 上升沿之后 MMC1_DAT[3:0] 有效	1.67		ns

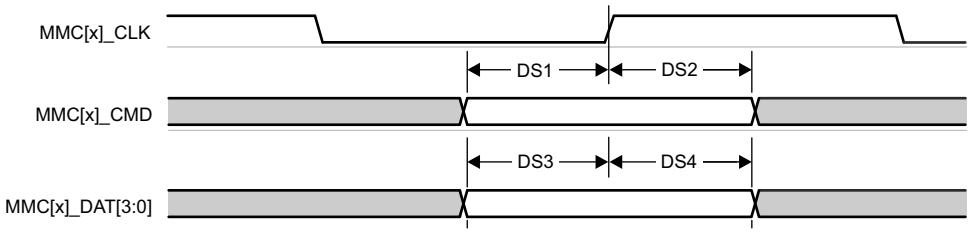


图 6-66. MMC1 – 默认速度 – 接收模式

表 6-85. MMC1 的开关特性 – 默认速度模式

请参阅图 6-67

编号	参数		最小值	最大值	单位
	$f_{op(clk)}$	工作频率，MMC1_CLK		25	MHz
DS5	$t_{c(clk)}$	周期时间，MMC1_CLK	40		ns
DS6	$t_{w(clkH)}$	脉冲持续时间，MMC1_CLK 高电平	18.7		ns
DS7	$t_{w(clkL)}$	脉冲持续时间，MMC1_CLK 低电平	18.7		ns
DS8	$t_{d(clkL-cmdV)}$	延迟时间，MMC1_CLK 下降沿到 MMC1_CMD 转换	-1.8	1.8	ns
DS9	$t_{d(clkL-dV)}$	延迟时间，MMC1_CLK 下降沿到 MMC1_DAT[3:0] 转换	-1.8	1.8	ns

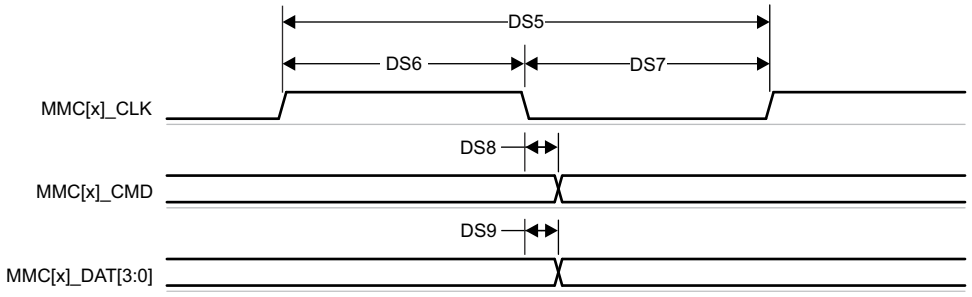


图 6-67. MMC1 - 默认速度 - 发送模式

Copyright © 2026 Texas Instruments Incorporated

6.11.5.12.2.2 高速模式

表 6-86、图 6-68、表 6-87 和图 6-69 展示了 MMC1 的时序要求和开关特性 – 高速模式。

表 6-86. MMC1 的时序要求 – 高速模式

请参阅图 6-68

编号			最小值	最大值	单位
HS1	$t_{su(cmdV-clkH)}$	建立时间，在 MMC1_CLK 上升沿之前 MMC1_CMD 有效	2.15		ns
HS2	$t_{h(clkH-cmdV)}$	保持时间，在 MMC1_CLK 上升沿之后 MMC1_CMD 有效	1.67		ns
HS3	$t_{su(dV-clkH)}$	建立时间，在 MMC1_CLK 上升沿之前 MMC1_DAT[3:0] 有效	2.15		ns
HS4	$t_{h(clkH-dV)}$	保持时间，在 MMC1_CLK 上升沿之后 MMC1_DAT[3:0] 有效	1.67		ns

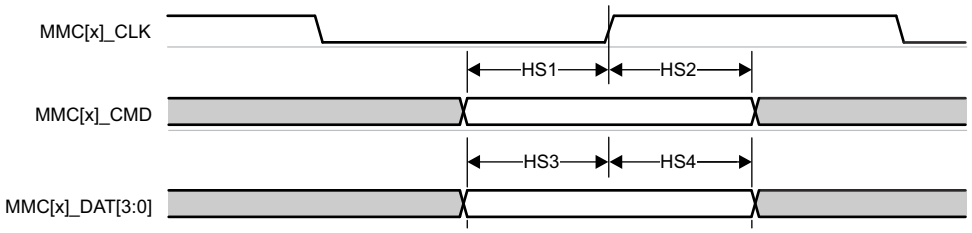


图 6-68. MMC1 – 高速 – 接收模式

表 6-87. MMC1 的开关特性 – 高速模式

请参阅图 6-69

编号	参数		最小值	最大值	单位
	$f_{op(clk)}$	工作频率，MMC1_CLK		50	MHz
HS5	$t_{c(clk)}$	周期时间。MMC1_CLK	20		ns
HS6	$t_{w(clkH)}$	脉冲持续时间，MMC1_CLK 高电平	9.2		ns
HS7	$t_{w(clkL)}$	脉冲持续时间，MMC1_CLK 低电平	9.2		ns
HS8	$t_{d(clkL-cmdV)}$	延迟时间，MMC1_CLK 下降沿到 MMC1_CMD 转换	-1.8	1.8	ns
HS9	$t_{d(clkL-dV)}$	延迟时间，MMC1_CLK 下降沿到 MMC1_DAT[3:0] 转换	-1.8	1.8	ns

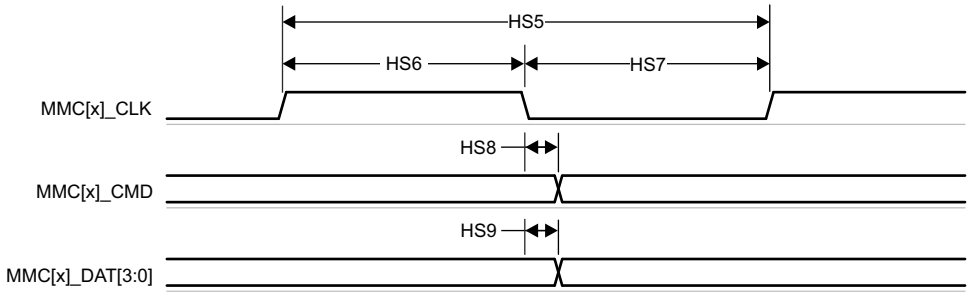


图 6-69. MMC1 – 高速 – 发送模式

Copyright © 2026 Texas Instruments Incorporated

6.11.5.12.2.3 UHS –I SDR12 模式

表 6-88、图 6-70、表 6-89 和图 6-71 展示了 MMC1 的时序要求和开关特性 – UHS-I SDR12 模式。

表 6-88. MMC1 的时序要求 – UHS-I SDR12 模式

请参阅图 6-70

编号			最小值	最大值	单位
SDR121	$t_{su(cmdV-clkH)}$	建立时间，在 MMC1_CLK 上升沿之前 MMC1_CMD 有效	2.35		ns
SDR122	$t_{h(clkH-cmdV)}$	保持时间，在 MMC1_CLK 上升沿之后 MMC1_CMD 有效	1.67		ns
SDR123	$t_{su(dV-clkH)}$	建立时间，在 MMC1_CLK 上升沿之前 MMC1_DAT[3:0] 有效	2.35		ns
SDR124	$t_{h(clkH-dV)}$	保持时间，在 MMC1_CLK 上升沿之后 MMC1_DAT[3:0] 有效	1.67		ns

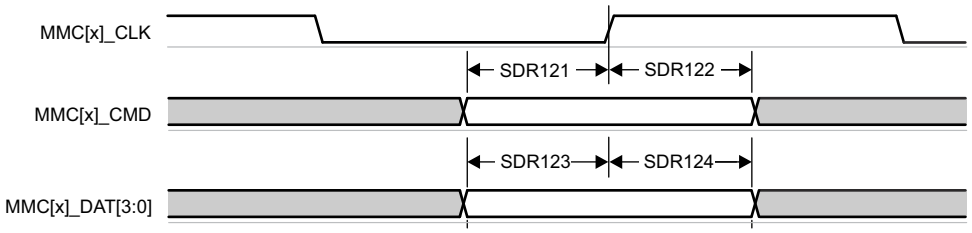


图 6-70. MMC1 – UHS-I SDR12 – 接收模式

表 6-89. MMC1 的开关特性 – UHS-I SDR12 模式

请参阅图 6-71

编号	参数		最小值	最大值	单位
	$f_{op(clk)}$	工作频率，MMC1_CLK		25	MHz
SDR125	$t_{c(clk)}$	周期时间，MMC1_CLK	40		ns
SDR126	$t_{w(clkH)}$	脉冲持续时间，MMC1_CLK 高电平	18.7		ns
SDR127	$t_{w(clkL)}$	脉冲持续时间，MMC1_CLK 低电平	18.7		ns
SDR128	$t_{d(clkL-cmdV)}$	延迟时间，MMC1_CLK 上升沿到 MMC1_CMD 转换	1.2	8	ns
SDR129	$t_{d(clkL-dV)}$	延迟时间，MMC1_CLK 上升沿到 MMC1_DAT[3:0] 转换	1.2	8	ns

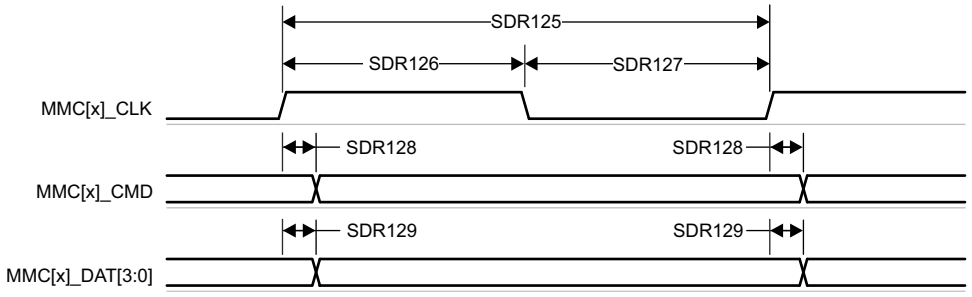


图 6-71. MMC1 – UHS-I SDR12 – 发送模式

Copyright © 2026 Texas Instruments Incorporated

6.11.5.12.2.4 UHS –I SDR25 模式

表 6-90、图 6-72、表 6-91 和图 6-73 展示了 MMC1 的时序要求和开关特性 – UHS-I SDR25 模式。

表 6-90. MMC1 的时序要求 – UHS-I SDR25 模式

请参阅图 6-72

编号			最小值	最大值	单位
SDR251	$t_{su(cmdV-clkH)}$	建立时间，在 MMC1_CLK 上升沿之前 MMC1_CMD 有效	1.95		ns
SDR252	$t_{h(clkH-cmdV)}$	保持时间，在 MMC1_CLK 上升沿之后 MMC1_CMD 有效	1.67		ns
SDR253	$t_{su(dV-clkH)}$	建立时间，在 MMC1_CLK 上升沿之前 MMC1_DAT[3:0] 有效	1.95		ns
SDR254	$t_{h(clkH-dV)}$	保持时间，在 MMC1_CLK 上升沿之后 MMC1_DAT[3:0] 有效	1.67		ns

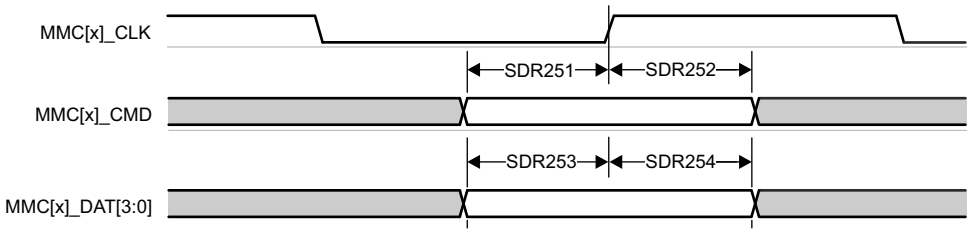


图 6-72. MMC1 – UHS-I SDR25 – 接收模式

表 6-91. MMC1 的开关特性 – UHS-I SDR25 模式

请参阅图 6-73

编号	参数		最小值	最大值	单位
	$f_{op(clk)}$	工作频率，MMC1_CLK		50	MHz
SDR255	$t_{c(clk)}$	周期时间，MMC1_CLK	20		ns
SDR256	$t_{w(clkH)}$	脉冲持续时间，MMC1_CLK 高电平	9.2		ns
SDR257	$t_{w(clkL)}$	脉冲持续时间，MMC1_CLK 低电平	9.2		ns
SDR258	$t_{d(clkL-cmdV)}$	延迟时间，MMC1_CLK 上升沿到 MMC1_CMD 转换	2.4	8	ns
SDR259	$t_{d(clkL-dV)}$	延迟时间，MMC1_CLK 上升沿到 MMC1_DAT[3:0] 转换	2.4	8	ns

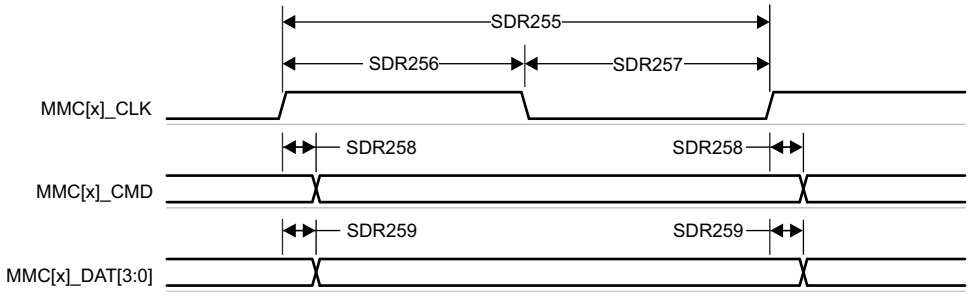


图 6-73. MMC1 – UHS-I SDR25 – 发送模式

Copyright © 2026 Texas Instruments Incorporated

6.11.5.12.2.5 UHS –I SDR50 模式

表 6-92 和图 6-74 展示了 MMC1 的开关特性 – UHS-I SDR50 模式。

表 6-92. MMC1 的开关特性 – UHS-I SDR50 模式

请参阅图 6-74

编号	参数		最小值	最大值	单位
	$f_{op(clk)}$	工作频率，MMC1_CLK		100	MHz
SDR505	$t_{c(clk)}$	周期时间，MMC1_CLK	10		ns
SDR506	$t_{w(clkH)}$	脉冲持续时间，MMC1_CLK 高电平	4.45		ns
SDR507	$t_{w(clkL)}$	脉冲持续时间，MMC1_CLK 低电平	4.45		ns
SDR508	$t_{d(clkL-cmdV)}$	延迟时间，MMC1_CLK 上升沿到 MMC1_CMD 转换	1.2	6.35	ns
SDR509	$t_{d(clkL-dV)}$	延迟时间，MMC1_CLK 上升沿到 MMC1_DAT[3:0] 转换	1.2	6.35	ns

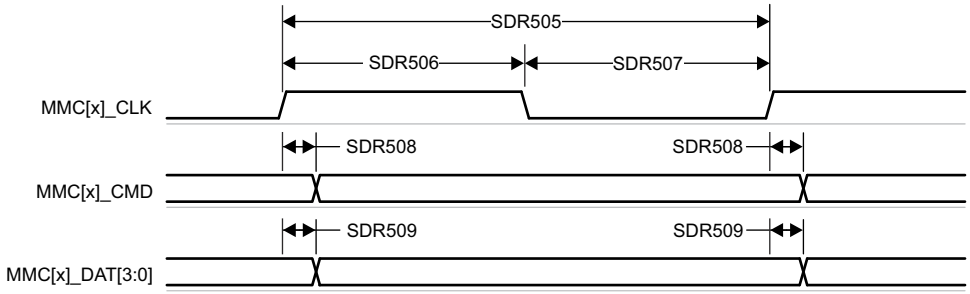


图 6-74. MMC1 – UHS-I SDR50 – 发送模式

Copyright © 2026 Texas Instruments Incorporated

6.11.5.12.2.6 UHS-I DDR50 模式

表 6-93 和图 6-75 展示了 MMC1 的开关特性 – UHS-I DDR50 模式。

表 6-93. MMC1 的开关特性 – UHS-I DDR50 模式

请参阅图 6-75

编号	参数		最小值	最大值	单位
	$f_{op(clk)}$	工作频率，MMC1_CLK		50	MHz
DDR505	$t_{c(clk)}$	周期时间，MMC1_CLK	20		ns
DDR506	$t_{w(clkH)}$	脉冲持续时间，MMC1_CLK 高电平	9.2		ns
DDR507	$t_{w(clkL)}$	脉冲持续时间，MMC1_CLK 低电平	9.2		ns
DDR508	$t_{d(clk-cmdV)}$	延迟时间，MMC1_CLK 上升沿到 MMC1_CMD 转换	1.2	6.35	ns
DDR509	$t_{d(clk-dV)}$	延迟时间，MMC1_CLK 转换到 MMC1_DAT[3:0] 转换	1.2	6.35	ns

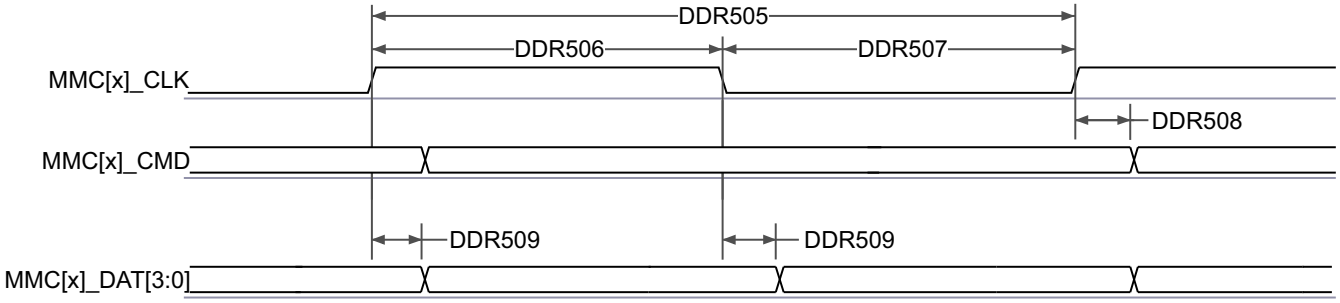


图 6-75. MMC1 – UHS-I DDR50 – 发送模式

Copyright © 2026 Texas Instruments Incorporated

6.11.5.12.2.7 UHS –I SDR104 模式

表 6-94 和图 6-76 展示了 MMC1 的开关特性 – UHS-I SDR104 模式。

表 6-94. MMC1 的开关特性 – UHS-I SDR104 模式

请参阅图 6-76

编号	参数		最小值	最大值	单位
	$f_{op(clk)}$	工作频率，MMC1_CLK		200	MHz
SDR1045	$t_{c(clk)}$	周期时间，MMC1_CLK	5		ns
SDR1046	$t_{w(clkH)}$	脉冲持续时间，MMC1_CLK 高电平	2.12		ns
SDR1047	$t_{w(clkL)}$	脉冲持续时间，MMC1_CLK 低电平	2.12		ns
SDR1048	$t_{d(clkL-cmdV)}$	延迟时间，MMC1_CLK 上升沿到 MMC1_CMD 转换	1.08	3.2	ns
SDR1049	$t_{d(clkL-dV)}$	延迟时间，MMC1_CLK 上升沿到 MMC1_DAT[3:0] 转换	1.08	3.2	ns

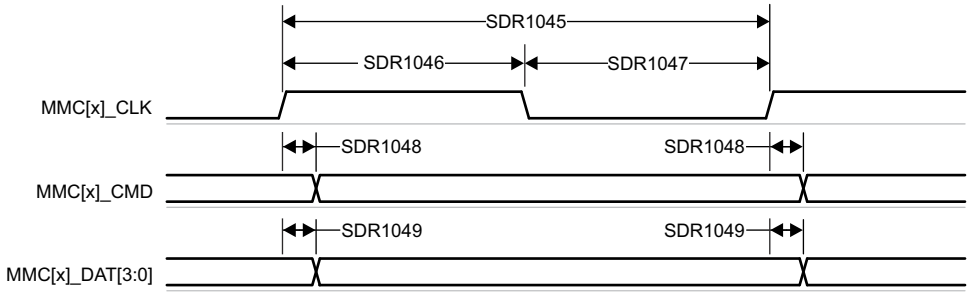


图 6-76. MMC1 – UHS-I SDR104 – 发送模式

Copyright © 2026 Texas Instruments Incorporated

6.11.5.13 CPTS

表 6-95、表 6-96、图 6-77、表 6-97 和图 6-78 说明了 CPTS 的时序条件、时序要求和开关特性。

表 6-95. CPTS 时序条件

参数		最小值	最大值	单位
输入条件				
SR_I	输入压摆率	0.5	5	V/ns
输出条件				
C_L	输出负载电容	2	10	pF

表 6-96. CPTS 时序要求

请参阅图 6-77

编号	参数	说明	最小值	最大值	单位
T1	$t_{w(HWTSPUSHH)}$	脉冲持续时间，HWnTSPUSH 高电平	12P(1) + 2		ns
T2	$t_{w(HWTSPUSHL)}$	脉冲持续时间，HWnTSPUSH 低电平	12P(1) + 2		ns
T3	$t_{c(RFT_CLK)}$	周期时间，RFT_CLK	5	8	ns
T4	$t_{w(RFT_CLKH)}$	脉冲持续时间，RFT_CLK 高电平	0.45T(2)		ns
T5	$t_{w(RFT_CLKL)}$	脉冲持续时间，RFT_CLK 低电平	0.45T(2)		ns

(1) P = 功能时钟周期（以 ns 为单位）。
(2) T = RFT_CLK 周期时间（以 ns 为单位）。

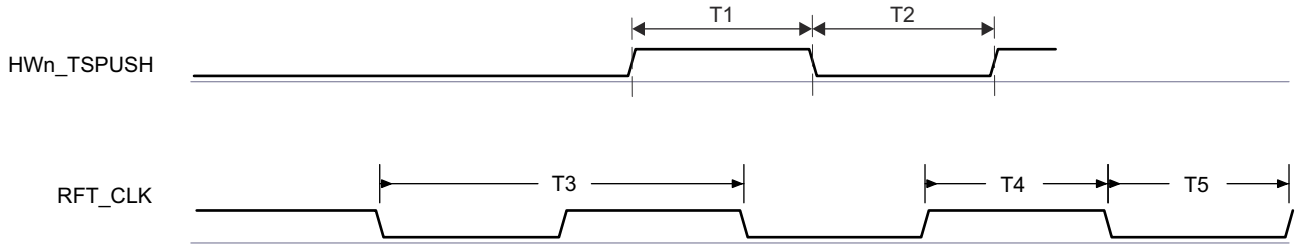


图 6-77. CPTS 时序要求

表 6-97. CPTS 开关特性

请参阅图 6-78

编号	参数	说明	源端	最小值	最大值	单位
T6	$t_{w(TS_COMPH)}$	脉冲持续时间，TS_COMP 高电平		36P(1) - 2		ns
T7	$t_{w(TS_COMPL)}$	脉冲持续时间，TS_COMP 低电平		36P(1) - 2		ns
T8	$t_{w(TS_SYNCH)}$	脉冲持续时间，TS_SYNC 高电平		36P(1) - 2		ns
T9	$t_{w(TS_SYNCL)}$	脉冲持续时间，TS_SYNC 低电平		36P(1) - 2		ns
T10	$t_{w(SYNC_OUTH)}$	脉冲持续时间，SYNCn_OUT 高电平	TS_SYNC	36P(1) - 2		ns
			GENF	5P(1) - 2		ns
T11	$t_{w(SYNC_OUTL)}$	脉冲持续时间，SYNCn_OUT 低电平	TS_SYNC	36P(1) - 2		ns
			GENF	5P(1) - 2		ns

(1) P = 功能时钟周期（以 ns 为单位）。

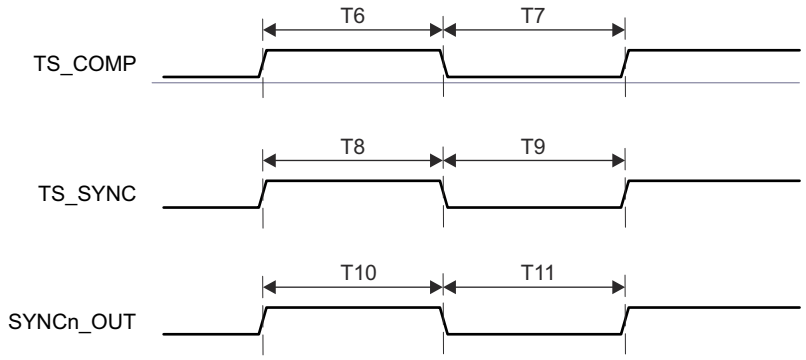


图 6-78. CPTS 开关特性

有关更多信息，请参阅器件 TRM 中的*数据移动架构 (DMA)* 一章。

Copyright © 2026 Texas Instruments Incorporated

6.11.5.14 OSPI

OSPI0 提供两种数据捕获模式：PHY 模式和 Tap 模式。

PHY 模式使用内部基准时钟通过基于 DLL 的 PHY 发送和接收数据，在这种模式下，每个基准时钟周期为单倍数据速率 (SDR) 传输生成一个周期的 OSPI0_CLK，或为双倍数据速率 (DDR) 传输生成半个周期的 OSPI0_CLK。PHY 模式支持接收数据捕获时钟的四种时钟拓扑。内部 PHY 环回 - 使用内部基准时钟作为 PHY 接收数据采集时钟。内部焊盘环回 - 使用从 OSPI0_LBCLKO 引脚环回到 PHY 的 OSPI0_LBCLKO 作为 PHY 接收数据采集时钟。外部电路板环回 - 使用从 OSPI0_DQS 引脚环回到 PHY 的 OSPI0_LBCLKO 作为 PHY 接收数据采集时钟。DQS - 使用所连接器件的 DQS 输出作为 PHY 接收数据采集时钟。使用内部焊盘环回和 DQS 时钟拓扑时，不支持 SDR 传输。使用内部 PHY 环回或内部焊盘环回时钟拓扑时，不支持 DDR 传输。

Tap 模式使用具有可选 Tap 的内部基准时钟来调整相对于 OSPI0_CLK 的数据发送和接收捕获延迟，OSPI0_CLK 是 SDR 传输的内部基准时钟的 4 分频或 DDR 传输的内部基准时钟的 8 分频。Tap 模式仅支持接收数据捕获时钟的一种时钟拓扑。无环回 - 使用内部基准时钟作为 Tap 接收数据捕获时钟。此时钟拓扑支持 200MHz 的最大内部基准时钟速率，从而在 SDR 模式下产生高达 50MHz 的 OSPI0_CLK 速率，或在 DDR 模式下产生高达 25MHz 的 OSPI0_CLK 速率。

有关器件八路串行外设接口特性和其他说明信息的更多详情，请参阅*信号说明*和*详细说明*部分中的相应小节。

节 6.11.5.14.1 定义了与 PHY 模式相关的时序要求和开关特性，节 6.11.5.14.2 定义了与 Tap 模式相关的时序要求和开关特性。

表 6-98 展示了 OSPI0 的时序条件。

表 6-98. OSPI0 时序条件

参数		模式	最小值	最大值	单位
输入条件					
SR_I	输入压摆率		1	6	V/ns
输出条件					
C_L	输出负载电容		3	10	pF
PCB 连接要求					
$t_{d(Trace\ Delay)}$	OSPI0_CLK 布线的传播延迟	无环回 内部 PHY 环回 内部焊盘环回		450	ps
	OSPI0_LBCLKO 布线的传播延迟	外部电路板环回	2L(1) - 30	2L(1) + 30	ps
	OSPI0_DQS 布线的传播延迟	DQS	L(1) - 30	L(1) + 30	ps
$t_{d(Trace\ Mismatch\ Delay)}$	OSPI0_D[7:0] 和 OSPI0_CSn[3:0] 相对于 OSPI0_CLK 的传播延迟不匹配	所有模式		60	ps

(1) L = OSPI0_CLK 布线的传播延迟

有关更多信息，请参阅器件 TRM 中*外设*一章的*八路串行外设接口 (OSPI)* 一节。

6.11.5.14.1 OSPI0 PHY 模式

6.11.5.14.1.1 具有 PHY 数据训练的 OSPI0

读取和写入数据有效窗口将因工艺、电压、温度和工作频率的变化而发生变化。可以实现数据训练方法，以动态配置最优读取和写入时序。实现数据训练可以在特定工艺、电压和频率工作条件下的温度范围内实现正常运行，同时实现更高的工作频率。

由于数据传输和接收时序参数会根据运行条件进行动态调整，因此未针对数据训练用例定义这些参数。

表 6-99 定义了具有数据训练的 OSPI0 所需的 DLL 延迟。表 6-100、图 6-79、表 6-101 和图 6-80 展示了具有数据训练的 OSPI0 的时序要求和开关特性。

表 6-99. 用于 PHY 数据训练的 OSPI0 DLL 延迟映射

模式	寄存器位字段	延迟值
OSPI_PHY_CONFIGURATION_REG		
发送		
所有模式	PHY_CONFIG_TX_DLL_DELAY_FLD	(1)
接收		
所有模式	PHY_CONFIG_RX_DLL_DELAY_FLD	(2)
PHY_MASTER_CONTROL_REG		
所有模式	PHY_MASTER_PHASE_DETECT_SELECTOR_FLD	0x3

(1) 发送由训练软件确定的 DLL 延迟值
(2) 接收由训练软件确定的 DLL 延迟值

表 6-100. OSPI0 时序要求 – PHY 数据训练

请参阅图 6-79

编号			模式	最小值 最大值	单位
O15	$t_{su(D-LBCLK)}$	建立时间，在有效 OSPI0_DQS 边沿之前 OSPI0_D[7:0] 有效	具有 DQS 的 DDR	(1)	ns
O16	$t_{h(LBCLK-D)}$	保持时间，在有效 OSPI0_DQS 边沿之后 OSPI0_D[7:0] 有效	具有 DQS 的 DDR	(1)	ns

(1) 当使用数据训练查找合适的数据有效窗口时，未定义 OSPI0_D[7:0] 输入的最小建立和保持时间要求。

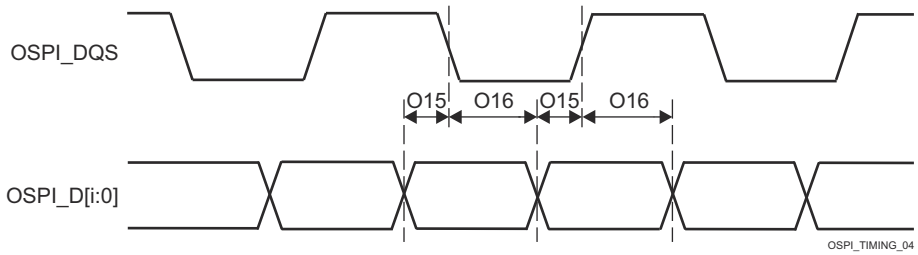


图 6-79. OSPI0 时序要求 – PHY 数据训练，带 DQS 的 DDR

Copyright © 2026 Texas Instruments Incorporated

表 6-101. OSPI 开关特性 - PHY 数据训练

请参阅图 6-80

编号	参数		模式	最小值	最大值	单位
O1	$t_{c(CLK)}$	周期时间，OSPI0_CLK	1.8V，DDR	6.02	7.52	ns
			3.3V，DDR	7.52	7.52	ns
O2	$t_{w(CLKL)}$	脉冲持续时间，OSPI0_CLK 低电平	DDR	((0.475P(1)) - 0.3)		ns
O3	$t_{w(CLKH)}$	脉冲持续时间，OSPI0_CLK 高电平	DDR	((0.475P(1)) - 0.3)		ns
O4	$t_{d(CSn-CLK)}$	延迟时间，OSPI0_CSn[3:0] 有效边沿到 OSPI0_CLK 上升沿	DDR	((0.475P(1)) + (0.975M(2)R(4)) + (0.04TD(5)) - 1)	((0.525P(1)) + (1.025M(2)R(4)) + (0.11TD(5)) + 1)	ns
O5	$t_{d(CLK-CSn)}$	延迟时间，OSPI0_CLK 上升沿到 OSPI0_CSn[3:0] 无效边沿	DDR	((0.475P(1)) + (0.975N(3)R(4)) - (0.11TD(5)) - 1)	((0.525P(1)) + (1.025N(3)R(4)) - (0.04TD(5)) + 1)	ns
O6	$t_{d(CLK-D)}$	延迟时间，OSPI0_CLK 有效边沿到 OSPI0_D[7:0] 转换	DDR	(6)	(6)	ns

(1) P = SCLK 周期时间（以 ns 为单位）= OSPI0_CLK 周期时间（以 ns 为单位）
(2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]
(3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]
(4) R = 基准时钟周期时间（以 ns 为单位）
(5) TD = PHY_CONFIG_TX_DLL_DELAY_FLD
(6) 当使用数据训练查找合适的数据有效窗口时，不定义 OSPI0_D[7:0] 输出的最小和最大延迟时间。

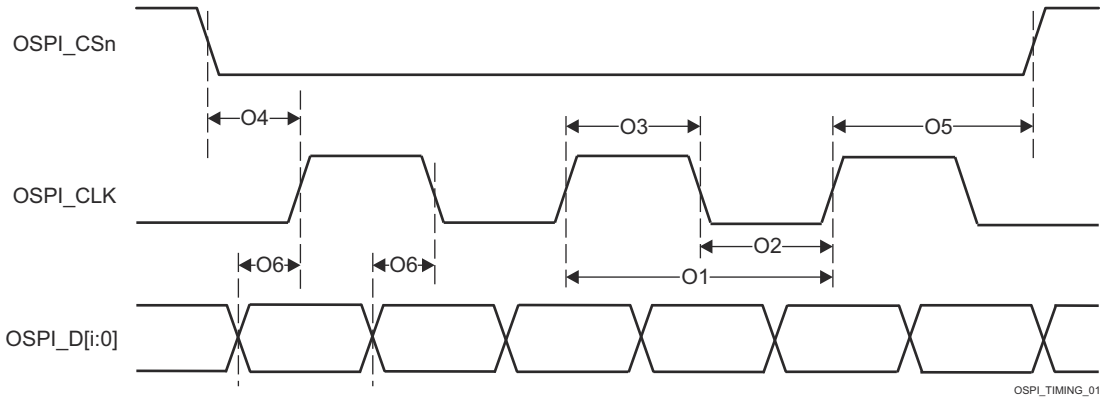


图 6-80. OSPI0 开关特性 – PHY DDR 数据训练

6.11.5.14.1.2 无数据训练的 OSPI0

备注

本节中定义的时序参数仅适用于未实现数据训练且 DLL 延迟按表 6-102 和表 6-105 中所述进行配置的情况。

6.11.5.14.1.2.1 OSPI0 PHY SDR 时序

表 6-102 定义了 OSPI0 PHY SDR 模式所需的 DLL 延迟。表 6-103、图 6-81、图 6-82、表 6-104 和图 6-83 展示了 OSPI0 PHY SDR 模式的时序要求和开关特性。

表 6-102. PHY SDR 时序模式的 OSPI0 DLL 延迟映射

模式	寄存器位字段	延迟值
OSPI_PHY_CONFIGURATION_REG		
发送		
所有模式	PHY_CONFIG_TX_DLL_DELAY_FLD	0x0
接收		
所有模式	PHY_CONFIG_RX_DLL_DELAY_FLD	0x0
PHY_MASTER_CONTROL_REG		
所有模式	PHY_MASTER_PHASE_DETECT_SELECTOR_FLD	0x3

表 6-103. OSPI0 时序要求 - PHY SDR 模式

请参阅图 6-81 和图 6-82

编号			模式	最小值	最大值	单位
O19	$t_{su(D-CLK)}$	建立时间，在有效 OSPI0_CLK 边沿之前 OSPI0_D[7:0] 有效	1.8V，具有内部 PHY 环回的 SDR	4.8		ns
			3.3V，具有内部 PHY 环回的 SDR	5.19		ns
O20	$t_{h(CLK-D)}$	保持时间，在有效 OSPI0_CLK 边沿之后 OSPI0_D[7:0] 有效	1.8V，具有内部 PHY 环回的 SDR	-0.5		ns
			3.3V，具有内部 PHY 环回的 SDR	-0.5		ns
O21	$t_{su(D-LBCLK)}$	建立时间，在有效 OSPI0_DQS 边沿之前 OSPI0_D[7:0] 有效	1.8V，具有外部电路板环回的 SDR	0.6		ns
			3.3V，具有外部电路板环回的 SDR	0.9		ns
O22	$t_{h(LBCLK-D)}$	保持时间，在有效 OSPI0_DQS 边沿之后 OSPI0_D[7:0] 有效	1.8V，具有外部电路板环回的 SDR	1.7		ns
			3.3V，具有外部电路板环回的 SDR	2.0		ns

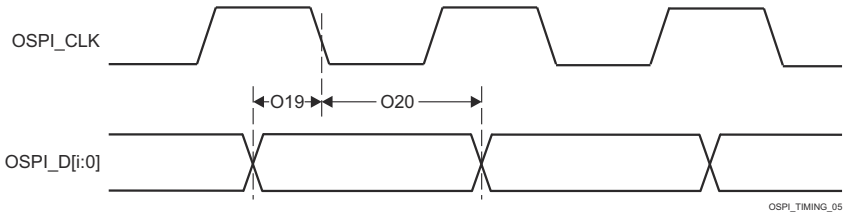


图 6-81. OSPI0 时序要求 – 具有内部 PHY 环回的 PHY SDR

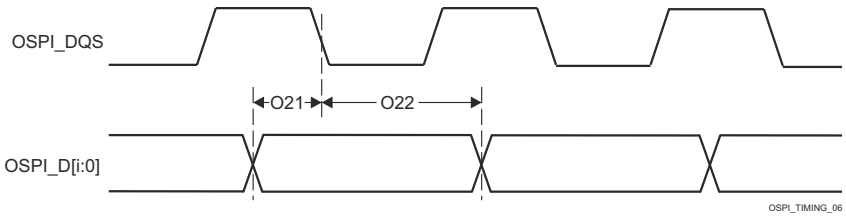


图 6-82. OSPI0 时序要求 – 具有外部电路板环回的 PHY SDR

Copyright © 2026 Texas Instruments Incorporated

表 6-104. OSPI0 开关特性 – PHY SDR 模式

请参阅图 6-83

编号	参数		模式	最小值	最大值	单位
O7	$t_{c(CLK)}$	周期时间，OSPI0_CLK	1.8V	7		ns
			3.3V	6.03		ns
O8	$t_{w(CLKL)}$	脉冲持续时间，OSPI0_CLK 低电平		((0.475P(1)) - 0.3)		ns
O9	$t_{w(CLKH)}$	脉冲持续时间，OSPI0_CLK 高电平		((0.475P(1)) - 0.3)		ns
O10	$t_{d(CSn-CLK)}$	延迟时间，OSPI0_CSn[3:0] 有效边沿到 OSPI0_CLK 上升沿		((0.475P(1)) + (0.975M(2)R(4)) + (0.04TD(5)) - 1)	((0.525P(1)) + (1.025M(2)R(4)) + (0.11TD(5)) + 1)	ns
O11	$t_{d(CLK-CSn)}$	延迟时间，OSPI0_CLK 上升沿到 OSPI0_CSn[3:0] 无效边沿		((0.475P(1)) + (0.975N(3)R(4)) - (0.11TD(5)) - 1)	((0.525P(1)) + (1.025N(3)R(4)) - (0.04TD(5)) + 1)	ns
O12	$t_{d(CLK-D)}$	延迟时间，OSPI0_CLK 有效边沿到 OSPI0_D[7:0] 转换	1.8V	-1.16	1.25	ns
			3.3V	-1.33	1.51	ns

(1) P = SCLK 周期时间（以 ns 为单位）= OSPI0_CLK 周期时间（以 ns 为单位）
(2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]
(3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]
(4) R = 基准时钟周期时间（以 ns 为单位）
(5) TD = PHY_CONFIG_TX_DLL_DELAY_FLD

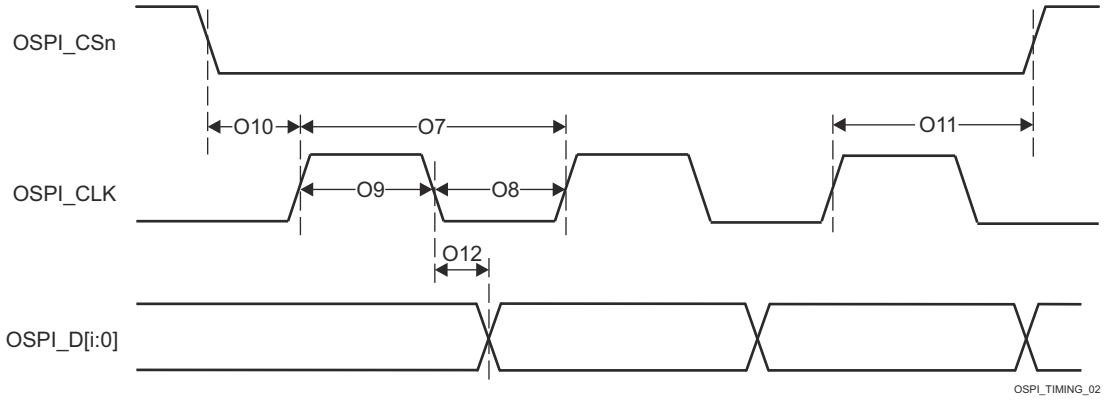


图 6-83. OSPI0 开关特性 – PHY SDR

6.11.5.14.1.2.2 OSPI0 PHY DDR 时序

表 6-105 定义了 OSPI0 PHY DDR 模式所需的 DLL 延迟。表 6-106、图 6-84、表 6-107 和图 6-85 展示了 OSPI0 PHY DDR 模式的时序要求和开关特性。

表 6-105. PHY DDR 时序模式的 OSPI0 DLL 延迟映射

模式	寄存器位字段	延迟值
OSPI_PHY_CONFIGURATION_REG		
发送		
1.8V	PHY_CONFIG_TX_DLL_DELAY_FLD	0x3E
3.3V	PHY_CONFIG_TX_DLL_DELAY_FLD	0x3B
接收		
1.8V，DQS	PHY_CONFIG_RX_DLL_DELAY_FLD	0x15
3.3V，DQS	PHY_CONFIG_RX_DLL_DELAY_FLD	0x3A
所有其他模式	PHY_CONFIG_RX_DLL_DELAY_FLD	0x0
PHY_MASTER_CONTROL_REG		
所有模式	PHY_MASTER_PHASE_DETECT_SELECTOR_FLD	0x3

表 6-106. OSPI0 时序要求 - PHY DDR 模式

请参阅图 6-84

编号			模式	最小值 最大值	单位
O15	$t_{su(D-LBCLK)}$	建立时间，在有效 OSPI0_DQS 边沿之前 OSPI0_D[7:0] 有效	1.8V，具有外部电路板环回的 DDR	0.53	ns
			1.8V，具有 DQS 的 DDR	-0.46	ns
			3.3V，具有外部电路板环回的 DDR	1.23	ns
			3.3V，具有 DQS 的 DDR	-0.66	ns
O16	$t_{h(LBCLK-D)}$	保持时间，在有效 OSPI0_DQS 边沿之后 OSPI0_D[7:0] 有效	1.8V，具有外部电路板环回的 DDR	1.24(1)	ns
			1.8V，具有 DQS 的 DDR	3.59	ns
			3.3V，具有外部电路板环回的 DDR	1.44(1)	ns
			3.3V，具有 DQS 的 DDR	7.92	ns

(1) 此保持时间要求大于典型 OSPI/QSPI/SPI 器件提供的保持时间。因此，SoC 和所连接 OSPI/QSPI/SPI 器件之间的布线长度必须足够长，以确保满足 SoC 的保持时间。SoC 的外部环回时钟（OSPI0_LBCLKO 至 OSPI0_DQS）的长度可能需要缩短才能进行补偿。

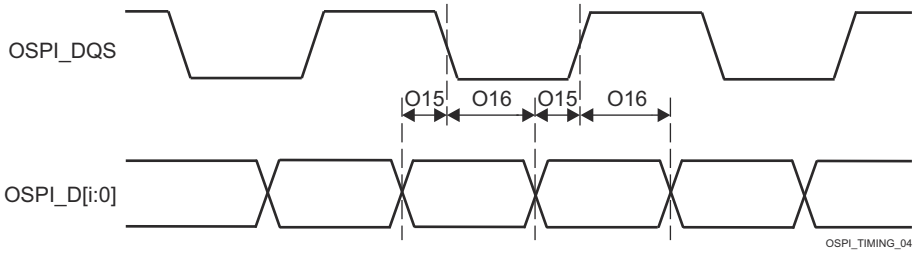


图 6-84. OSPI0 时序要求 – 具有外部电路板环回或 DQS 的 PHY DDR

Copyright © 2026 Texas Instruments Incorporated

表 6-107. OSPI0 开关特性 – PHY DDR 模式

请参阅图 6-85

编号	参数		模式	最小值	最大值	单位
O1	$t_{c(CLK)}$	周期时间，OSPI0_CLK		19		ns
O2	$t_{w(CLKL)}$	脉冲持续时间，OSPI0_CLK 低电平		((0.475P(1)) - 0.3)		ns
O3	$t_{w(CLKH)}$	脉冲持续时间，OSPI0_CLK 高电平		((0.475P(1)) - 0.3)		ns
O4	$t_{d(CSn-CLK)}$	延迟时间，OSPI0_CSn[3:0] 有效边沿到 OSPI0_CLK 上升沿		((0.475P(1)) + (0.975M(2)R(4)) + (0.04TD(5)) - 1)	((0.525P(1)) + (1.025M(2)R(4)) + (0.11TD(5)) + 1)	ns
O5	$t_{d(CLK-CSn)}$	延迟时间，OSPI0_CLK 上升沿到 OSPI0_CSn[3:0] 无效边沿		((0.475P(1)) + (0.975N(3)R(4)) - (0.11TD(5)) - 1)	((0.525P(1)) + (1.025N(3)R(4)) - (0.04TD(5)) + 1)	ns
O6	$t_{d(CLK-D)}$	延迟时间，OSPI0_CLK 有效边沿到 OSPI0_D[7:0] 转换	1.8V	-7.71	-1.56	ns
			3.3V	-7.71	-1.56	ns

(1) P = SCLK 周期时间（以 ns 为单位）= OSPI0_CLK 周期时间（以 ns 为单位）
(2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]
(3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]
(4) R = 基准时钟周期时间（以 ns 为单位）
(5) TD = PHY_CONFIG_TX_DLL_DELAY_FLD

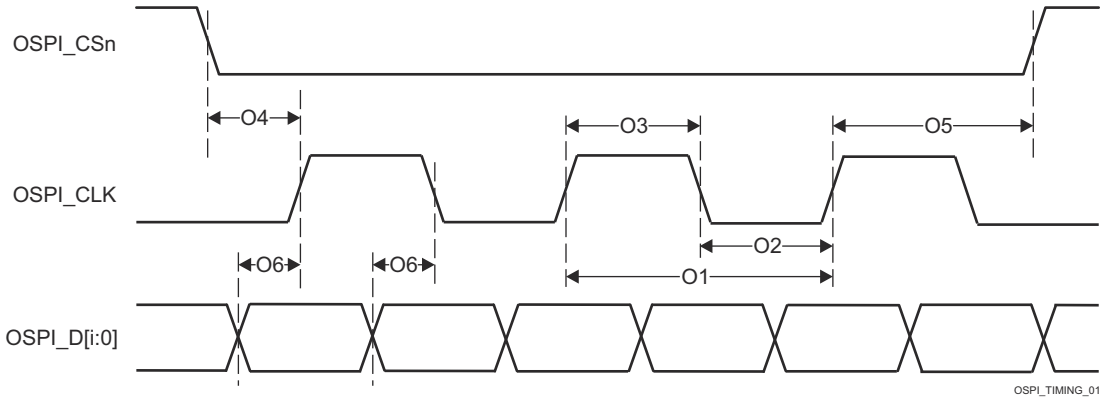


图 6-85. OSPI0 开关特性 – PHY DDR

6.11.5.14.2 OSPI0 Tap 模式

6.11.5.14.2.1 OSPI0 Tap SDR 时序

表 6-108、图 6-86、表 6-109 和图 6-87 展示了 OSPI0 的时序要求和开关特性 – Tap SDR 模式。

表 6-108. OSPI0 时序要求 – Tap SDR 模式

请参阅图 6-86

编号			模式	最小值	最大值	单位
O19	$t_{su(D-CLK)}$	建立时间，在有效 OSPI0_CLK 边沿之前 OSPI0_D[7:0] 有效	无环回	(15.4 - (0.975T(1)R(2)))		ns
O20	$t_{h(CLK-D)}$	保持时间，在有效 OSPI0_CLK 边沿之后 OSPI0_D[7:0] 有效	无环回	(- 4.3 + (0.975T(1)R(2)))		ns

(1) T = OSPI_RD_DATA_CAPTURE_REG[DELAY_FLD]
(2) R = 基准时钟周期时间（以 ns 为单位）

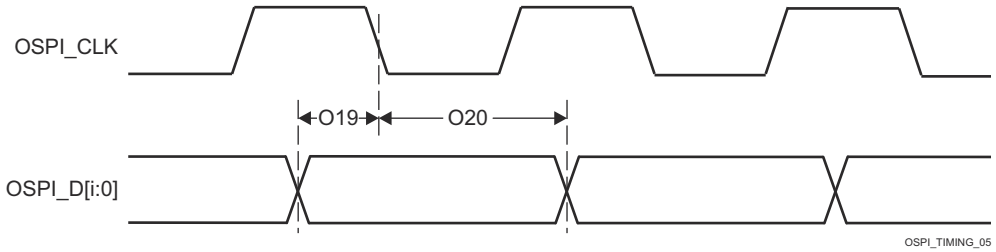


图 6-86. OSPI0 时序要求 – Tap SDR，无环回

Copyright © 2026 Texas Instruments Incorporated

表 6-109. OSPI0 开关特性 – Tap SDR 模式

请参阅图 6-87

编号	参数		模式	最小值	最大值	单位
O7	$t_{c(CLK)}$	周期时间，OSPI0_CLK		20		ns
O8	$t_{w(CLKL)}$	脉冲持续时间，OSPI0_CLK 低电平		((0.475P(1)) - 0.3)		ns
O9	$t_{w(CLKH)}$	脉冲持续时间，OSPI0_CLK 高电平		((0.475P(1)) - 0.3)		ns
O10	$t_{d(CSn-CLK)}$	延迟时间，OSPI0_CSn[3:0] 有效边沿到 OSPI0_CLK 上升沿		((0.475P(1)) + (0.975M(2)R(4)) - 1)	((0.525P(1)) + (1.025M(2)R(4)) + 1)	ns
O11	$t_{d(CLK-CSn)}$	延迟时间，OSPI0_CLK 上升沿到 OSPI0_CSn[3:0] 无效边沿		((0.475P(1)) + (0.975N(3)R(4)) - 1)	((0.525P(1)) + (1.025N(3)R(4)) + 1)	ns
O12	$t_{d(CLK-D)}$	延迟时间，OSPI0_CLK 有效边沿到 OSPI0_D[7:0] 转换		- 4.25	7.25	ns

(1) P = SCLK 周期时间（以 ns 为单位）= OSPI0_CLK 周期时间（以 ns 为单位）
(2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]
(3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]
(4) R = 基准时钟周期时间（以 ns 为单位）

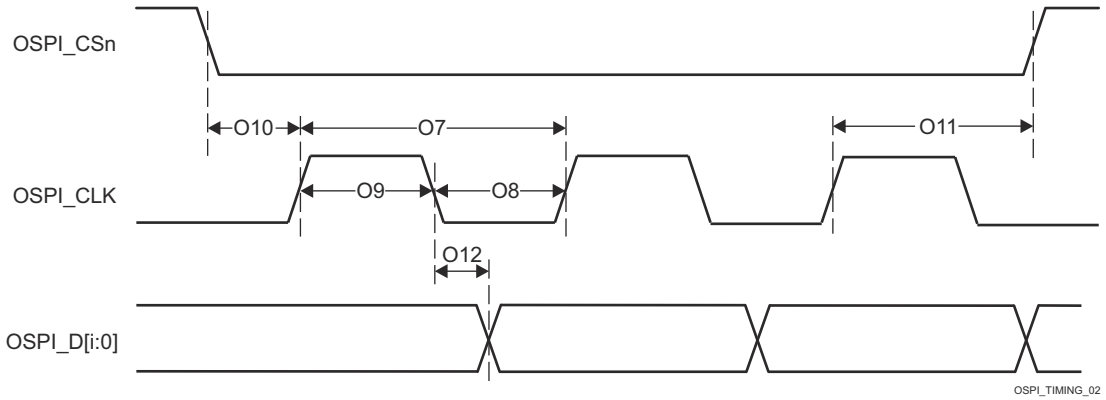


图 6-87. OSPI0 开关特性 – Tap SDR，无环回

6.11.5.14.2.2 OSPI0 Tap DDR 时序

表 6-110、图 6-88、表 6-111 和图 6-89 展示了 OSPI0 的时序要求和开关特性 – Tap DDR 模式。

表 6-110. OSPI0 时序要求 – Tap DDR 模式

请参阅图 6-88

编号			模式	最小值	最大值	单位
O13	$t_{su(D-CLK)}$	建立时间，在有效 OSPI0_CLK 边沿之前 OSPI0_D[7:0] 有效	无环回	(17.04 - (0.975T(1)R(2)))		ns
O14	$t_{h(CLK-D)}$	保持时间，在有效 OSPI0_CLK 边沿之后 OSPI0_D[7:0] 有效	无环回	(- 3.16 + (0.975T(1)R(2)))		ns

(1) T = OSPI_RD_DATA_CAPTURE_REG[DELAY_FLD]
(2) R = 基准时钟周期时间（以 ns 为单位）

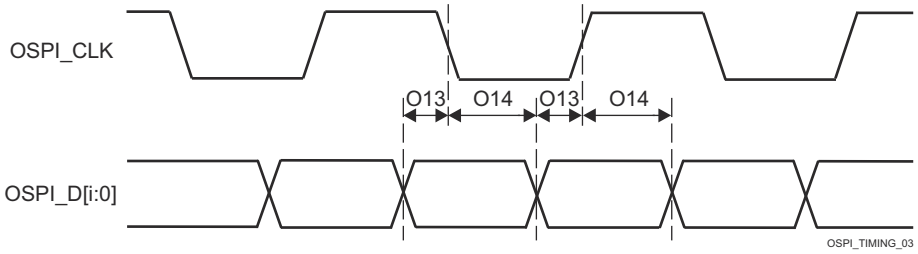


图 6-88. OSPI0 时序要求 – Tap DDR，无环回

Copyright © 2026 Texas Instruments Incorporated

表 6-111. OSPI0 开关特性 – Tap DDR 模式

请参阅图 6-89

编号	参数		模式	最小值	最大值	单位
O1	$t_{c(CLK)}$	周期时间，OSPI0_CLK		40		ns
O2	$t_{w(CLKL)}$	脉冲持续时间，OSPI0_CLK 低电平		((0.475P(1)) - 0.3)		ns
O3	$t_{w(CLKH)}$	脉冲持续时间，OSPI0_CLK 高电平		((0.475P(1)) - 0.3)		ns
O4	$t_{d(CSn-CLK)}$	延迟时间，OSPI0_CSn[3:0] 有效边沿到 OSPI0_CLK 上升沿		((0.475P(1)) + ((0.975M(2)R(5)) - 1)	((0.525P(1)) + (1.025M(2)R(5)) + 1)	ns
O5	$t_{d(CLK-CSn)}$	延迟时间，OSPI0_CLK 上升沿到 OSPI0_CSn[3:0] 无效边沿		((0.475P(1)) + (0.975N(3)R(5)) - 1)	((0.525P(1)) + (1.025N(3)R(5)) + 1)	ns
O6	$t_{d(CLK-D)}$	延迟时间，OSPI0_CLK 有效边沿到 OSPI0_D[7:0] 转换		(- 5.04 + (0.975(T(4) + 1)R(5)) - (0.525P(1)))	(3.64 + (1.025(T(4) + 1)R(5)) - (0.475P(1)))	ns

(1) P = SCLK 周期时间 (以 ns 为单位) = OSPI0_CLK 周期时间 (以 ns 为单位)
(2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]
(3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]
(4) T = OSPI_RD_DATA_CAPTURE_REG[DDR_READ_DELAY_FLD]
(5) R = 基准时钟周期时间 (以 ns 为单位)

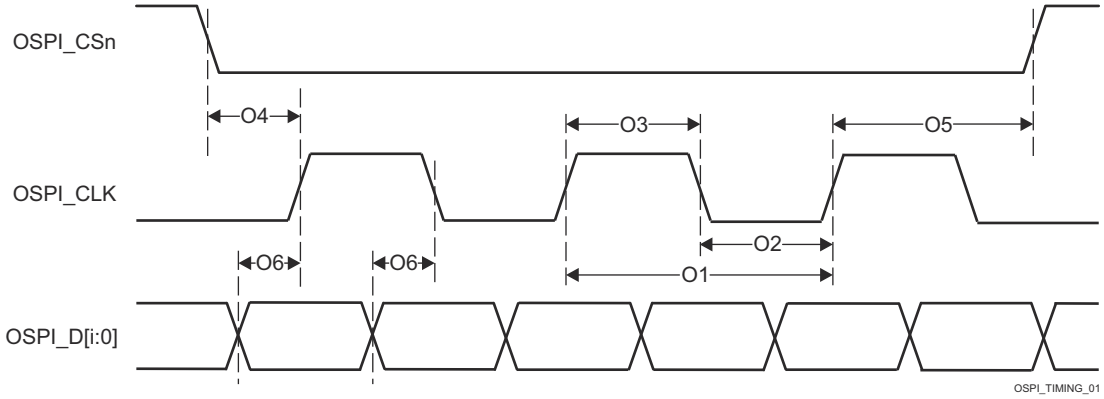


图 6-89. OSPI0 开关特性 – Tap DDR，无环回

6.11.5.15 PCIe

PCI-Express 子系统符合 PCIe® 基础规范修订版 4.0。有关时序详细信息，请参阅规范。

有关器件快速外设组件互连 (PCIe) 功能的更多详细信息和附加说明信息，请参阅 *详细说明* 中的 *SERDES0 信号说明* 和相应小节。

有关更多信息，请参阅器件 TRM 中 *外设* 一章的 *快速外设组件互连 (PCIe) 子系统* 一节。

6.11.5.16 PRU_ICSSG

该器件集成了两个相同的可编程实时单元子系统和工业通信子系统 - 千兆位 (PRU_ICSSG)、PRU_ICSSG0 和 PRU_ICSSG1。凭借 PRU 内核的可编程特性及其对引脚、事件和所有器件资源的访问权限，该子系统可以灵活地实现快速实时响应、专用数据处理操作以及定制外设接口，并灵活地减轻器件其他处理器内核的任务负载。

有关器件 PRU_ICSSG 特性和其他说明信息的更多详情，请参阅*信号说明*和*详细说明*部分中的相应小节。

备注

PRU_ICSSG 包含第二层多路复用，以实现 PRU GPO 和 GPI 信号的附加功能。器件 TRM 的 PRU_ICSSG 一章中对该内部包装器多路复用进行了说明。

6.11.5.16.1 PRU_ICSSG 可编程实时单元 (PRU)

备注

PRU_ICSSG PRU 信号具有不同的功能，具体取决于操作模式。本节中的信号命名与器件 TRM 中 *PRU 模块接口*一节使用的命名相匹配。

表 6-112. PRU_ICSSG PRU 时序条件

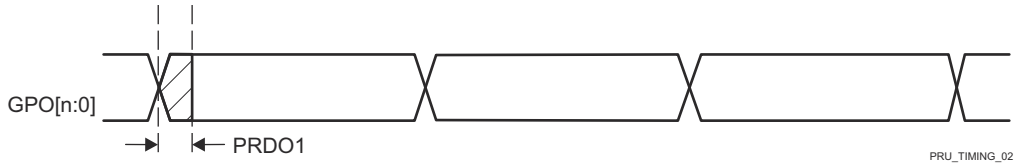
参数		最小值	最大值	单位
输入条件				
SR_I	输入压摆率	1	3	V/ns
输出条件				
C_L	输出负载电容	2	30	pF

6.11.5.16.1.1 PRU_ICSSG PRU 直接输出模式时序

表 6-113. PRU_ICSSG PRU 开关特性 - 直接输出模式

请参阅图 6-90

编号	参数	说明	最小值	最大值	单位
PRDO1	$t_{sk(GPO-GPO)}$	偏斜，GPO 到 GPO		2	ns



A. GPO[n:0] 中的 n = 19。

图 6-90. PRU_ICSSG PRU 直接输出时序

Copyright © 2026 Texas Instruments Incorporated

6.11.5.16.1.2 PRU_ICSSG PRU 并行捕获模式时序

表 6-114. PRU_ICSSG PRU 时序要求 - 并行捕获模式

请参阅图 6-91 和图 6-92

编号	参数	说明	最小值	最大值	单位
PRPC1	$t_{c(CLOCK)}$	周期时间，CLOCKIN	20		ns
PRPC2	$t_{w(CLOCKL)}$	脉冲持续时间，CLOCKIN 低电平	0.45P(1)		ns
PRPC3	$t_{w(CLOCKH)}$	脉冲持续时间，CLOCKIN 高电平	0.45P(1)		ns
PRPC4	$t_{su(DATAIN-CLOCK)}$	建立时间，在 CLOCKIN 有效边沿之前 DATAIN 有效	4		ns
PRPC5	$t_{h(CLOCK-DATAIN)}$	保持时间，在 CLOCKIN 有效边沿之后 DATAIN 有效	0		ns

(1) P = CLOCKIN 周期时间（以 ns 为单位）

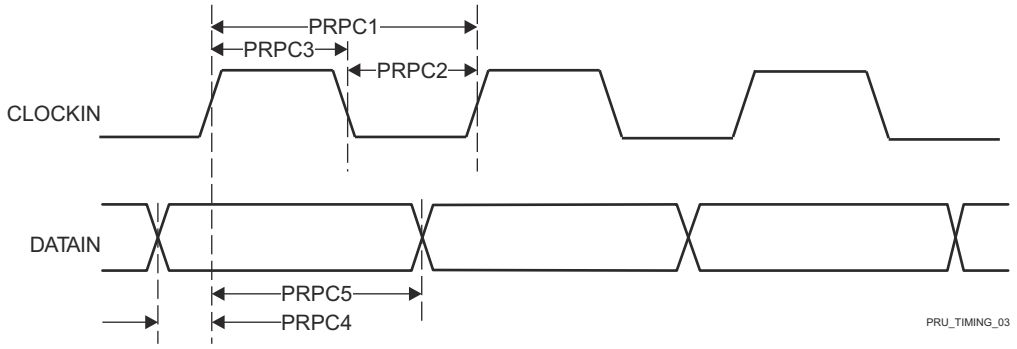


图 6-91. PRU_ICSSG PRU 并行捕获时序要求 - 上升沿模式

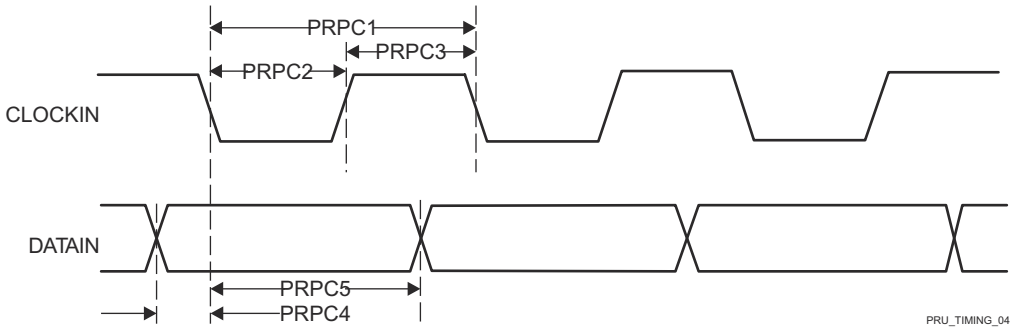


图 6-92. PRU_ICSSG PRU 并行捕获时序要求 - 下降沿模式

Copyright © 2026 Texas Instruments Incorporated

6.11.5.16.1.3 PRU_ICSSG PRU 移位模式时序

表 6-115. PRU_ICSSG PRU 时序要求 - 移位输入模式

请参阅图 6-93

编号	参数	说明	最小值	最大值	单位
PRSI1	$t_{w(DATAINH)}$	脉冲持续时间，DATAIN 高电平	2P(1) + 2		ns
PRSI2	$t_{w(DATAINL)}$	脉冲持续时间，DATAIN 低电平	2P(1) + 2		ns

(1) P = 时钟周期的内部移位，由 ICSSG_GPCFGn_REG 寄存器中的 PRUN_GPI_DIV0 和 PRUN_GPI_DIV1 位字段定义。PRUN 表示各自的 PRU0 或 PRU1 实例。

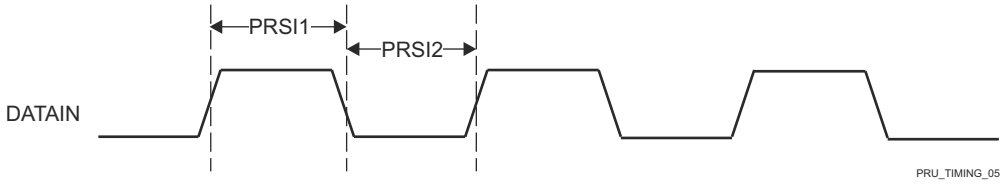


图 6-93. PRU_ICSSG PRU 移位输入时序

Copyright © 2026 Texas Instruments Incorporated

表 6-116. PRU_ICSSG PRU 开关特性 - 移出模式

请参阅图 6-94

编号	参数	说明	最小值	最大值	单位
PRSO1	$t_{c(CLOCKOUT)}$	周期时间，CLOCKOUT	10		ns
PRSO2L	$t_{w(CLOCKOUTL)}$	脉冲持续时间，CLOCKOUT 低电平	0.475P(1)Z(2) - 0.3		ns
PRSO2H	$t_{w(CLOCKOUTH)}$	脉冲持续时间，CLOCKOUT 高电平	0.475P(1)Y(3) - 0.3		ns
PRSO3	$t_{d(CLOCKOUT-DATAOUT)}$	延迟时间，CLOCKOUT 到 DATAOUT 有效	-1	4	ns

(1) P = 软件可编程移出时钟周期，由 ICSSG_GPCFGn_REG 寄存器中的 PRUN_GPO_DIV0 和 PRUN_GPO_DIV1 位字段定义，其中 PRUN 表示相应的 PRU0 或 PRU1 实例。

(2) Z 参数定义如下，其中 PRUn 表示相应的 PRU0 或 PRU1 实例。

a. 如果 PRUN_GPI_DIV0 和 PRUN_GPI_DIV1 为整数，或如果 PRUN_GPI_DIV0 为非整数且 PRUN_GPI_DIV1 为偶数，则 Z 等于 (PRUn_GPI_DIV0 * PRUn_GPI_DIV1)。

b. 如果 PRUN_GPI_DIV0 为非整数且 PRUN_GPI_DIV1 为奇数，则 Z 等于 (PRUn_GPI_DIV0 * PRUn_GPI_DIV1 + 0.5)。

c. 如果 PRUN_GPI_DIV0 为整数且 PRUN_GPI_DIV1 为非整数，则 Z 等于 (PRUn_GPI_DIV0 * PRUn_GPI_DIV1 + 0.5 * PRUn_GPI_DIV0)。

d. 如果 PRUn_GPI_DIV0 和 PRUN_GPI_DIV1 为非整数，则 Z 等于 (PRUn_GPI_DIV0 * PRUn_GPI_DIV1 + 0.25 * PRUn_GPI_DIV0)。

(3) Y 参数定义如下，其中 PRUn 表示相应的 PRU0 或 PRU1 实例。

a. 如果 PRUN_GPI_DIV0 和 PRUN_GPI_DIV1 为整数，或如果 PRUN_GPI_DIV0 为非整数且 PRUN_GPI_DIV1 为偶数，则 Y 等于 (PRUn_GPI_DIV0 * PRUn_GPI_DIV1)。

b. 如果 PRUN_GPI_DIV0 为非整数且 PRUN_GPI_DIV1 为奇数整数，则 Y 等于 (PRUn_GPI_DIV0 * PRUn_GPI_DIV1 - 0.5)。

c. 如果 PRUN_GPI_DIV0 为整数且 PRUN_GPI_DIV1 为非整数，则 Y 等于 (PRUn_GPI_DIV0 * PRUn_GPI_DIV1 - 0.5 * PRUn_GPI_DIV0)。

d. 如果 PRUN_GPI_DIV0 和 PRUN_GPI_DIV1 为非整数，则 Y1 等于 (PRUn_GPI_DIV0 * PRUn_GPI_DIV1 - 0.25 * PRUn_GPI_DIV0)，而 Y2 等于 (PRUn_GPI_DIV0 * PRUn_GPI_DIV1 + 0.25 * PRUn_GPI_DIV0)，其中 Y1 是第一个高电平脉冲，而 Y2 是第二个高电平脉冲。

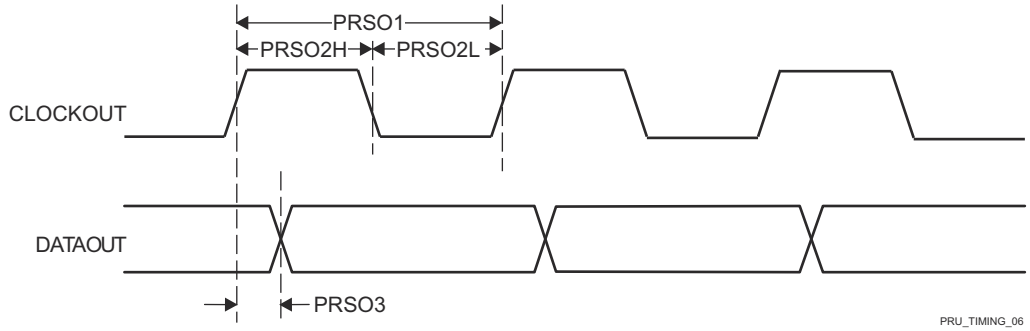


图 6-94. PRU_ICSSG PRU 移出时序

6.11.5.16.1.4 PRU_ICSSG PRU Σ-Δ 和外设接口

表 6-117. PRU_ICSSG PRU Σ-Δ 和外设接口时序条件

参数		最小值	最大值	单位
输入条件				
SR_I	输入压摆率	1	3	V/ns
输出条件				
C_L	输出负载电容	2	18	pF

6.11.5.16.1.4.1 PRU_ICSSG PRU Σ-Δ 和外设接口时序

表 6-118. PRU_ICSSG PRU 时序要求 - Σ-Δ 模式

请参阅图 6-95 和图 6-96

编号	参数	说明	最小值	最大值	单位
PRSD1	$t_{c(SD_CLK)}$	周期时间，SDx_CLK	40		ns
PRSD2L	$t_{w(SD_CLKL)}$	脉冲持续时间，SDx_CLK 低电平	20		ns
PRSD2H	$t_{w(SD_CLKH)}$	脉冲持续时间，SDx_CLK 高电平	20		ns
PRSD3	$t_{su(SD_D-SD_CLK)}$	建立时间，在 SDx_CLK 有效边沿之前 SDx_D 有效	10		ns
PRSD4	$t_{h(SD_CLK-SD_D)}$	保持时间，在 SDx_CLK 有效边沿之后 SDx_D 有效	5		ns

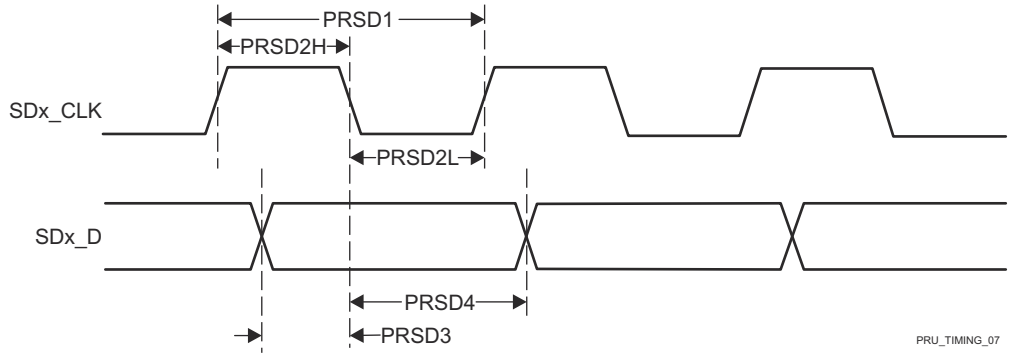


图 6-95. PRU_ICSSG PRU SD_CLK 下降有效边沿

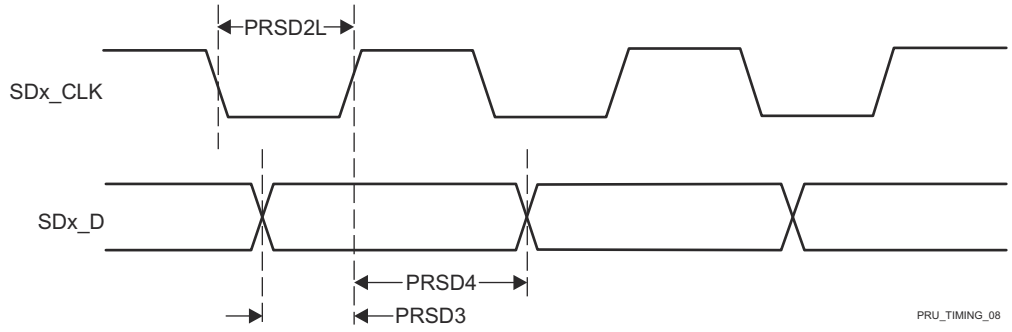


图 6-96. PRU_ICSSG PRU SD_CLK 上升有效边沿

Copyright © 2026 Texas Instruments Incorporated

表 6-119. PRU_ICSSG PRU 时序要求 - 外设接口模式

请参阅图 6-97

编号	参数	说明	最小值	最大值	单位
PRPIF1	$t_{w(PIF_DATA_INH)}$	脉冲持续时间，PIF_DATA_IN 高电平	2 + 0.475*(4*P) (1)		ns
PRPIF2	$t_{w(PIF_DATA_INL)}$	脉冲持续时间，PIF_DATA_IN 低电平	2 + 0.475*(4*P) (1)		ns

(1) P = 1x（或 TX）时钟周期（以 ns 为单位），由 ICSSG_PRUn_ED_TX_CFG_REG 寄存器中的 PRUn_ED_TX_DIV_FACTOR 和 PRUn_ED_TX_DIV_FACTOR_FRAC 定义。PRUN 表示各自的 PRU0 或 PRU1 实例。

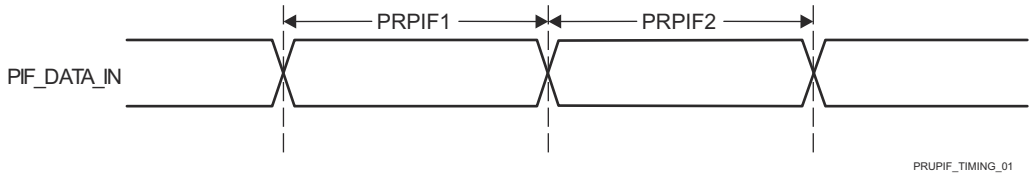


图 6-97. PRU_ICSSG PRU 外设接口时序要求

表 6-120. PRU_ICSSG PRU 开关特性 - 外设接口模式

请参阅图 6-98

编号	参数	说明	最小值	最大值	单位
PRPIF3	$t_{c(PIF_CLK)}$	周期时间，PIF_CLK	30		ns
PRPIF4	$t_{w(PIF_CLKH)}$	脉冲持续时间，PIF_CLK 高电平	0.475*P (1)		ns
PRPIF5	$t_{w(PIF_CLKL)}$	脉冲持续时间，PIF_CLK 低电平	0.475*P (1)		ns
PRPIF6	$t_{d(PIF_CLK-PIF_DATA_OUT)}$	延迟时间，PIF_CLK 下降到 PIF_DATA_OUT	-5	5	ns
PRPIF7	$t_{d(PIF_CLK-PIF_DATA_EN)}$	延迟时间，PIF_CLK 下降到 PIF_DATA_EN	-5	5	ns

(1) P = 1x（或 TX）时钟周期（以 ns 为单位），由 ICSSG_PRUn_ED_TX_CFG_REG 寄存器中的 PRUn_ED_TX_DIV_FACTOR 和 PRUn_ED_TX_DIV_FACTOR_FRAC 定义。PRUN 表示各自的 PRU0 或 PRU1 实例。

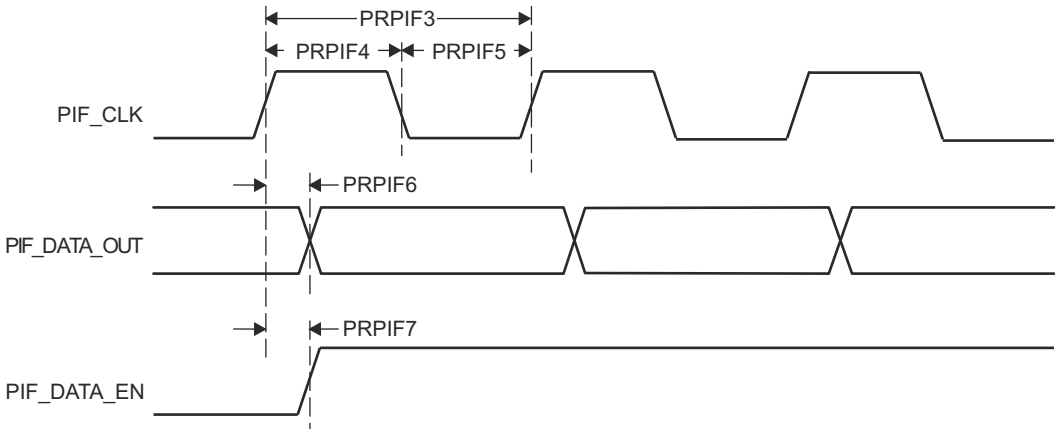


图 6-98. PRU_ICSSG PRU 外设接口开关特性

Copyright © 2026 Texas Instruments Incorporated

6.11.5.16.2 PRU_ICSSG 脉宽调制 (PWM)

表 6-121. PRU_ICSSG PWM 时序条件

参数		最小值	最大值	单位
输入条件				
SR_I	输入压摆率	1	4	V/ns
输出条件				
C_L	输出负载电容	2	7	pF

6.11.5.16.2.1 PRU_ICSSG PWM 时序

表 6-122. PRU_ICSSG PWM 开关特性

请参阅图 6-99

编号	参数	说明	最小值	最大值	单位
PRPWM1	$t_{sk(PWM_A-PWM_B)}$	偏斜，PWM_A 到 PWM_B		5	ns

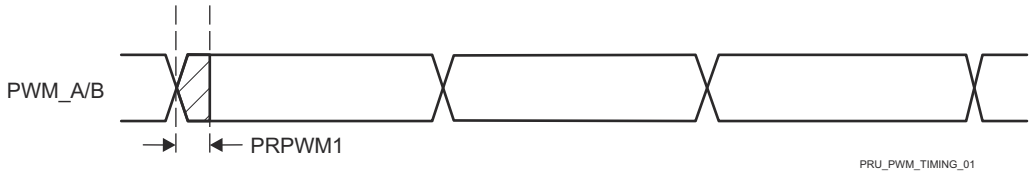


图 6-99. PRU_ICSSG PWM 时序

Copyright © 2026 Texas Instruments Incorporated

6.11.5.16.3 PRU_ICSSG 工业以太网外设 (IEP)

表 6-123. PRU_ICSSG IEP 时序条件

参数			最小值	最大值	单位
输入条件					
SR_I	输入压摆率		1	3	V/ns
输出条件					
C_L	输出负载电容	EDC_SYNC_OUTx EDIO_OUTVALID	2	7	pF
		EDIO_DATA_OUT	3	10	pF

6.11.5.16.3.1 PRU_ICSSG IEP 时序

表 6-124. PRU_ICSSG IEP 时序要求 - 通过 SYNC 验证的输入

请参阅图 6-100

编号	参数	说明	最小值	最大值	单位
PRIEP1	$t_{w(EDC_SYNC_OUTxL)}$	脉冲持续时间，EDC_SYNC_OUTx 低电平	20P(1) - 2		ns
PRIEP2	$t_{w(EDC_SYNC_OUTxH)}$	脉冲持续时间，EDC_SYNC_OUTx 高电平	20P(1) - 2		ns
PRIEP3	$t_{su(EDIO_DATA_IN-EDC_SYNC_OUTx)}$	建立时间，在 EDC_SYNC_OUTx 有效边沿之前 EDIO_DATA_IN 有效	20		ns
PRIEP4	$t_{h(EDC_SYNC_OUTx-EDIO_DATA_IN)}$	保持时间，在 EDC_SYNC_OUTx 有效边沿之后 EDIO_DATA_IN 有效	20		ns

(1) P = PRU_ICSSG IEP 时钟源周期（以 ns 为单位）。

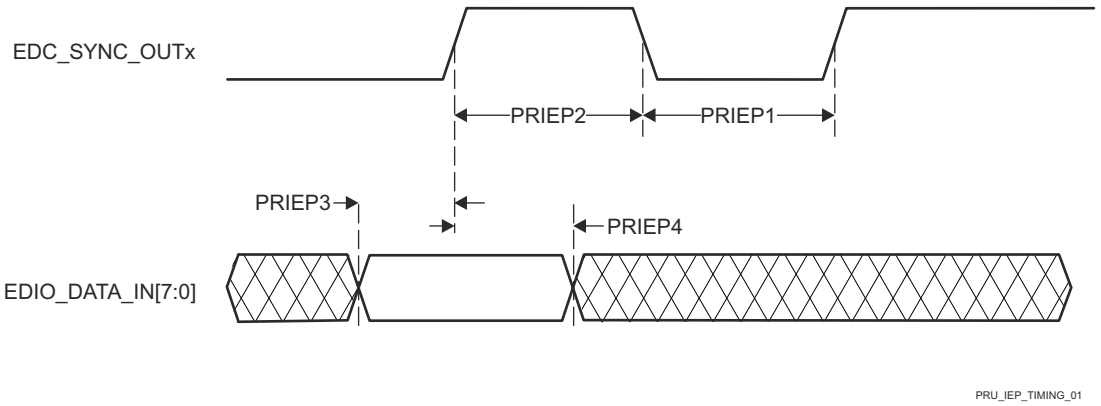


图 6-100. PRU_ICSSG IEP SYNC 时序要求

表 6-125. PRU_ICSSG IEP 开关特性 – 数字 IO

请参阅图 6-101

编号	参数	说明	最小值	最大值	单位
IEPIO1	$t_{w(EDIO_OUTVALIDL)}$	脉冲持续时间，EDIO_OUTVALID 低电平	14P(1) - 2		ns
IEPIO2	$t_{w(EDIO_OUTVALIDH)}$	脉冲持续时间，EDIO_OUTVALID 高电平	32P(1) - 2		ns
IEPIO3	$t_{d(EDIO_OUTVALID-EDIO_DATA_OUT)}$	延迟时间，EDIO_OUTVALID 到 EDIO_DATA_OUT	0	18P(1)	ns
IEPIO4	$t_{sk(EDIO_DATA_OUT)}$	EDIO_DATA_OUT 偏移		5	ns

(1) P = PRU_ICSSG IEP 时钟源周期（以 ns 为单位）。

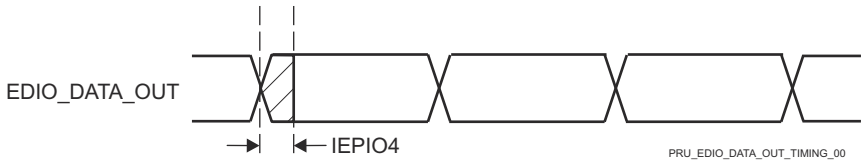


图 6-101. PRU_ICSSG IEP 数字 IO 时序要求

表 6-126. PRU_ICSSG IEP 时序要求 - LATCH_INx

请参阅图 6-102

编号	参数	说明	最小值	最大值	单位
PRLA1	$t_{w(EDC_LATCH_INxL)}$	脉冲持续时间，EDC_LATCH_INx 低电平	3P(1) + 2		ns
PRLA2	$t_{w(EDC_LATCH_INxH)}$	脉冲持续时间，EDC_LATCH_INx 高电平	3P(1) + 2		ns

(1) P = PRU_ICSSG IEP 时钟源周期（以 ns 为单位）。

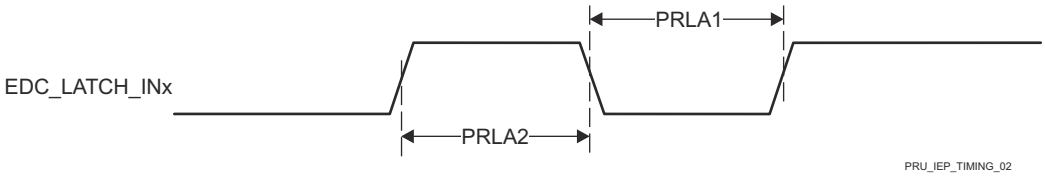


图 6-102. PRU_ICSSG IEP LATCH_INx 时序要求

Copyright © 2026 Texas Instruments Incorporated

6.11.5.16.4 PRU_ICSSG 通用异步接收器/发送器 (UART)

表 6-127. PRU_ICSSG UART 时序条件

参数		最小值	最大值	单位
输入条件				
SR_I	输入压摆率	0.5	5	V/ns
输出条件				
C_L	输出负载电容	1	30(1)	pF

(1) 该值表示绝对最大负载电容。随着 UART 波特率的增加，可能需要将负载电容减小到小于此最大限制的值，以便为连接的器件提供足够的时序裕度。输出上升/下降时间随着容性负载的增加而增加，这会减少数据对所连接器件的接收器有效的时间。因此，了解连接器件在工作波特率下所需的最短数据有效时间非常重要。然后使用器件 IBIS 模型来验证 UART 信号上的实际负载电容是否不会将上升/下降时间增加到超出所连接器件的最小数据有效时间的点。

6.11.5.16.4.1 PRU_ICSSG UART 时序

表 6-128. PRU_ICSSG UART 时序要求

请参阅图 6-103

编号	参数	说明	最小值	最大值	单位
1	$t_{w(RXD)}$	脉冲宽度，接收数据位高电平或低电平	0.95U(1) (2)	1.05U(1) (2)	ns
2	$t_{w(RXDS)}$	脉冲宽度，接收开始位低电平	0.95U(1) (2)		ns

(1) U = UART 波特时间（以 ns 为单位）= 1/编程波特率。
(2) 该值定义了数据有效时间，其中要求输入电压高于 V_{IH} 或低于 V_{IL}。

表 6-129. PRU_ICSSG UART 开关特性

请参阅图 6-103

编号	参数	说明	最小值	最大值	单位
	f(baud)	编程的波特率		12	Mbps
3	$t_{w(TXD)}$	脉冲宽度，发送数据位高电平或低电平	U(1) - 2	U(1) + 2	ns
4	$t_{w(TXDS)}$	脉冲宽度，发送开始位低电平	U(1) - 2	U(1) + 2	ns

(1) U = UART 波特时间（以 ns 为单位）= 1/实际波特率，器件 TRM 的 UART 波特率设置表中定义了实际波特率。

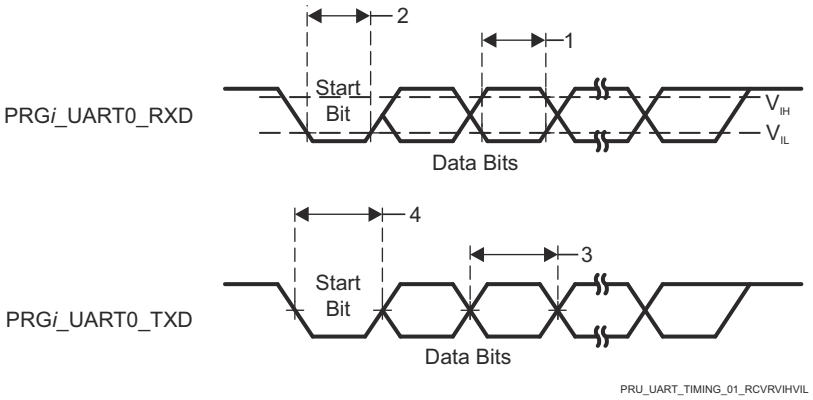


图 6-103. PRU_ICSSG UART 时序要求和开关特性

6.11.5.16.5 PRU_ICSSG 增强型捕获外设 (ECAP)

表 6-130. PRU_ICSSG ECAP 时序条件

参数		最小值	最大值	单位
输入条件				
SR_I	输入压摆率	1	3	V/ns
输出条件				
C_L	输出负载电容	2	7	pF

6.11.5.16.5.1 PRU_ICSSG ECAP 时序

表 6-131. PRU_ICSSG ECAP 时序要求

请参阅图 6-104

编号	参数	说明	最小值	最大值	单位
PREP1	$t_{w(CAP)}$	脉冲持续时间，CAP（异步）	2P(1) + 2		ns
PREP2	$t_{w(SYNCI)}$	脉冲持续时间，SYNCI（异步）	2P(1) + 2		ns

(1) P = CORE_CLK 周期（以 ns 为单位）。

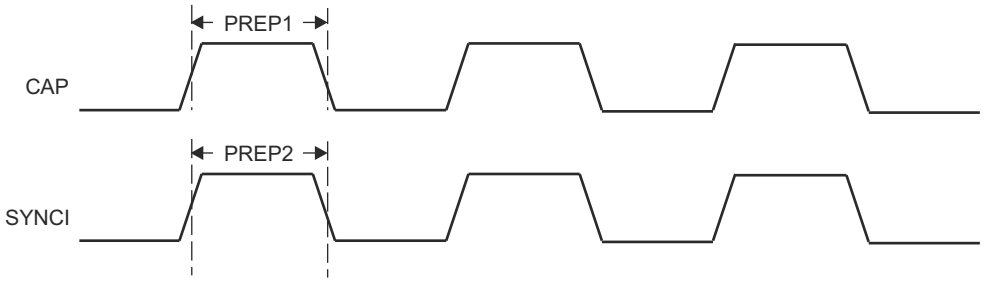


图 6-104. PRU_ICSSG ECAP 时序

表 6-132. PRU_ICSSG ECAP 开关特性

请参阅图 6-105

编号	参数	说明	最小值	最大值	单位
PREP3	$t_{w(APWM)}$	脉冲持续时间，APWM 高电平/低电平	2P(1) - 2		ns
PREP4	$t_{w(SYNCO)}$	脉冲持续时间，SYNCO（异步）	P(1) - 2		ns

(1) P = CORE_CLK 周期（以 ns 为单位）。

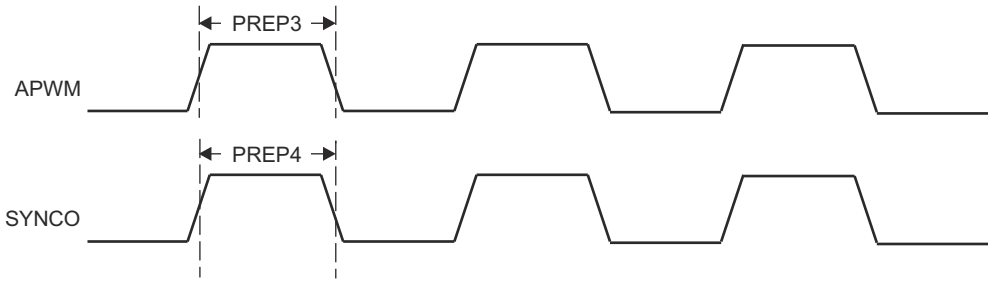


图 6-105. PRU_ICSSG ECAP 开关特性

Copyright © 2026 Texas Instruments Incorporated

6.11.5.16.6 PRU_ICSSG RGMII、MII_RT 和开关

有关更多信息，请参阅器件 TRM 中*处理器和加速器*一章的*可编程实时单元子系统和工业通信子系统 - 千兆位 (PRU_ICSSG)* 一节。

6.11.5.16.6.1 PRU_ICSSG MDIO 时序

表 6-133、表 6-134、表 6-135 和 图 6-106 说明了 PRU_ICSSG MDIO 的时序条件、时序要求和开关特性。

表 6-133. PRU_ICSSG MDIO 时序条件

参数		最小值	最大值	单位
输入条件				
SR_I	输入压摆率	0.9	3.6	V/ns
输出条件				
C_L	输出负载电容	10	470	pF

表 6-134. PRU_ICSSG MDIO 时序要求

请参阅图 6-106

编号	参数		最小值	最大值	单位
MDIO1	$t_{su(MDIO_MDC)}$	建立时间，在 MDIO[x]_MDC 高电平之前 MDIO[x]_MDIO 有效	90		ns
MDIO2	$t_{h(MDC_MDIO)}$	保持时间，在 MDIO[x]_MDC 高电平之后 MDIO[x]_MDIO 有效	0		ns

表 6-135. PRU_ICSSG MDIO 开关特性

请参阅图 6-106

编号	参数		最小值	最大值	单位
MDIO3	$t_{c(MDC)}$	周期时间，MDIO[x]_MDC	400		ns
MDIO4	$t_{w(MDCH)}$	脉冲持续时间，MDIO[x]_MDC 高电平	160		ns
MDIO5	$t_{w(MDCL)}$	脉冲持续时间，MDIO[x]_MDC 低电平	160		ns
MDIO7	$t_{d(MDC_MDIO)}$	延迟时间，MDIO[x]_MDC 低电平到 MDIO[x]_MDIO 有效	-150	150	ns

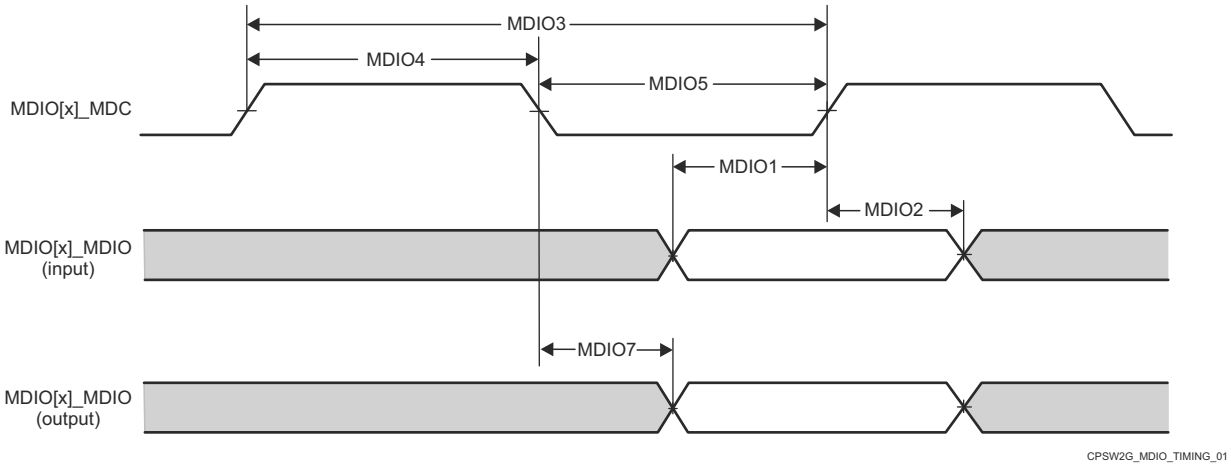


图 6-106. PRU_ICSSG MDIO 时序要求和开关特性

6.11.5.16.6.2 PRU_ICSSG MII 时序

备注

为了确保器件数据表中发布的 MII_G_RT I/O 时序值，必须将 PRU_ICSSG ICSSGn_CORE_CLK（其中 n = 0 至 1）内核时钟配置为 200MHz、225MHz 或 250MHz，并且必须将 ICSSG_TXCFG0/1 寄存器中的 TX_CLK_DELAYn（其中 n = 0 或 1）位字段设置为 0h（默认值）。

表 6-136、表 6-137、图 6-107、表 6-138、图 6-108、表 6-139、图 6-109、表 6-140 和图 6-110 说明了 PRU_ICSSG MII 的时序条件、时序要求和开关特性。

表 6-136. PRU_ICSSG MII 时序条件

参数		最小值	最大值	单位
输入条件				
SR_I	输入压摆率	0.9	3.6	V/ns
输出条件				
C_L	输出负载电容	2	20	pF

表 6-137. PRU_ICSSG MII 时序要求 – MII[x]_RX_CLK

请参阅图 6-107

编号	参数	说明	模式	最小值	最大值	单位
PMIR1	$t_{c(RX_CLK)}$	周期时间，MII[x]_RX_CLK	10Mbps	399.96	400.04	ns
			100Mbps	39.996	40.004	ns
PMIR2	$t_{w(RX_CLKH)}$	脉冲持续时间，MII[x]_RX_CLK 高电平	10Mbps	140	260	ns
			100Mbps	14	26	ns
PMIR3	$t_{w(RX_CLKL)}$	脉冲持续时间，MII[x]_RX_CLK 低电平	10Mbps	140	260	ns
			100Mbps	14	26	ns

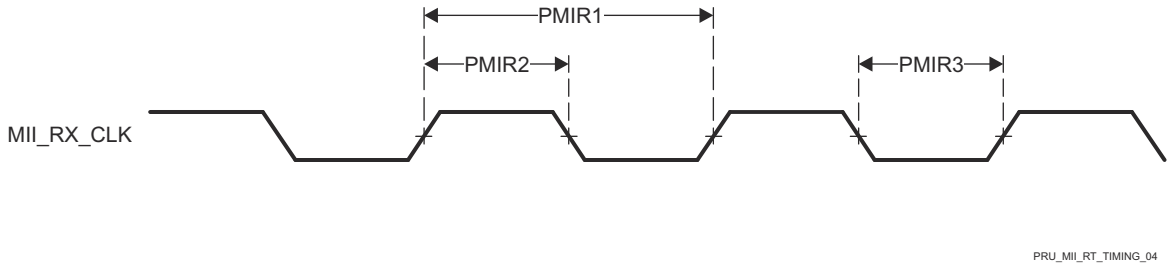


图 6-107. PRU_ICSSG MII[x]_RX_CLK 时序

Copyright © 2026 Texas Instruments Incorporated

表 6-138. PRU_ICSSG MII 时序要求 – MII[x]_RXD[3:0]、MII[x]_RX_DV 和 MII[x]_RX_ER

请参阅图 6-108

编号	参数	说明	模式	最小值	最大值	单位
PMIR4	$t_{su(RXD-RX_CLK)}$	建立时间，在 MII[x]_RX_CLK 之前 MII[x]_RXD[3:0] 有效	10Mbps	8		ns
	$t_{su(RX_DV-RX_CLK)}$	建立时间，在 MII[x]_RX_CLK 之前 MII[x]_RX_DV 有效		8		ns
	$t_{su(RX_ER-RX_CLK)}$	建立时间，在 MII[x]_RX_CLK 之前 MII[x]_RX_ER 有效		8		ns
	$t_{su(RXD-RX_CLK)}$	建立时间，在 MII[x]_RX_CLK 之前 MII[x]_RXD[3:0] 有效	100Mbps	8		ns
	$t_{su(RX_DV-RX_CLK)}$	建立时间，在 MII[x]_RX_CLK 之前 MII[x]_RX_DV 有效		8		ns
	$t_{su(RX_ER-RX_CLK)}$	建立时间，在 MII[x]_RX_CLK 之前 MII[x]_RX_ER 有效		8		ns
PMIR5	$t_{h(RX_CLK-RXD)}$	保持时间，在 MII[x]_ RX_CLK 之后 MII[x]_RXD[3:0] 有效	10Mbps	8		ns
	$t_{h(RX_CLK-RX_DV)}$	保持时间，在 MII[x]_RX_CLK 之后 MII[x]_RX_DV 有效		8		ns
	$t_{h(RX_CLK-RX_ER)}$	保持时间，在 MII[x]_RX_CLK 之后 MII[x]_RX_ER 有效		8		ns
	$t_{h(RX_CLK-RXD)}$	保持时间，在 MII[x]_ RX_CLK 之后 MII[x]_RXD[3:0] 有效	100Mbps	8		ns
	$t_{h(RX_CLK-RX_DV)}$	保持时间，在 MII[x]_RX_CLK 之后 MII[x]_RX_DV 有效		8		ns
	$t_{h(RX_CLK-RX_ER)}$	保持时间，在 MII[x]_RX_CLK 之后 MII[x]_RX_ER 有效		8		ns

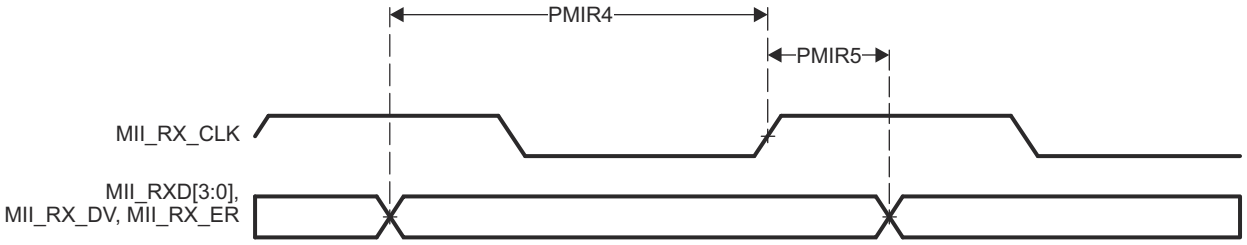


图 6-108. PRU_ICSSG MII[x]_RXD[3:0]、MII[x]_RX_DV 和 MII[x]_RX_ER 时序

表 6-139. PRU_ICSSG MII 时序要求 – MII[x]_TX_CLK

请参阅图 6-109

编号	参数	说明	模式	最小值	最大值	单位
PMIT1	$t_{c(TX_CLK)}$	周期时间，MII[x]_TX_CLK	10Mbps	399.96	400.04	ns
			100Mbps	39.996	40.004	ns
PMIT2	$t_{w(TX_CLKH)}$	脉冲持续时间，MII[x]_TX_CLK 高电平	10Mbps	140	260	ns
			100Mbps	14	26	ns
PMIT3	$t_{w(TX_CLKL)}$	脉冲持续时间，MII[x]_TX_CLK 低电平	10Mbps	140	260	ns
			100Mbps	14	26	ns

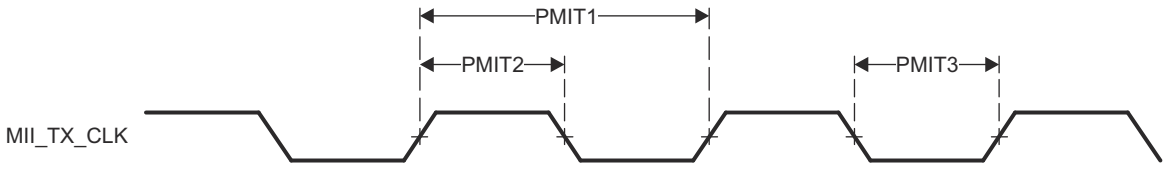


图 6-109. PRU_ICSSG MII[x]_TX_CLK 时序

Copyright © 2026 Texas Instruments Incorporated

表 6-140. PRU_ICSSG MII 开关特性 – MII[x]_TXD[3:0] 和 MII[x]_TX_EN

请参阅图 6-110

编号	参数	说明	模式	最小值	最大值	单位
PMIT4	$t_{d(TX_CLK-TXD)}$	延迟时间，MII[x]_TX_CLK 高电平到 MII[x]_TXD[3:0] 有效	10Mbps	0	25	ns
	$t_{d(TX_CLK-TX_EN)}$	延迟时间，MII[x]_TX_CLK 到 MII[x]_TX_EN 有效		0	25	ns
	$t_{d(TX_CLK-TXD)}$	延迟时间，MII[x]_TX_CLK 高电平到 MII[x]_TXD[3:0] 有效	100Mbps	0	25	ns
	$t_{d(TX_CLK-TX_EN)}$	延迟时间，MII[x]_TX_CLK 到 MII[x]_TX_EN 有效		0	25	ns

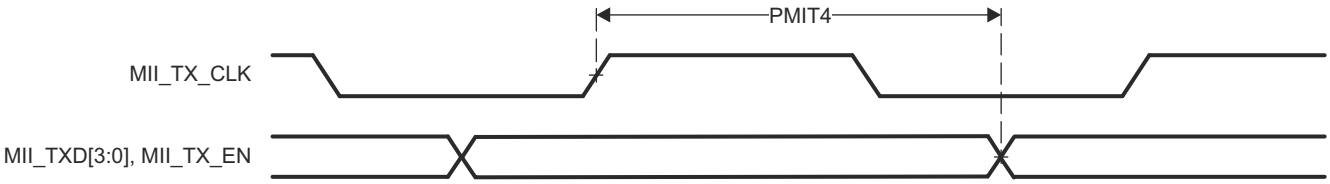


图 6-110. PRU_ICSSG MII[x]_TXD[3:0]、MII[x]_TX_EN 时序

Copyright © 2026 Texas Instruments Incorporated

6.11.5.16.6.3 PRU_ICSSG RGMII 时序

表 6-141、表 6-142、表 6-143、图 6-111、表 6-144、表 6-145 和图 6-112 说明了 PRU_ICSSG RGMII 的时序条件、时序要求和开关特性。

表 6-141. PRU_ICSSG RGMII 时序条件

参数			最小值	最大值	单位
输入条件					
SR_I	输入压摆率	VDD(1) = 1.8V	1.44	5	V/ns
		VDD(1) = 3.3V	2.65	5	V/ns
输出条件					
C_L	输出负载电容		2	20	pF
PCB 连接要求					
$t_{d(Trace\ Mismatch\ Delay)}$	所有布线之间的传播延迟不匹配	RGMII[x]_RXC、RGMII[x]_RD[3:0]、RGMII[x]_RX_CTL		50	ps
		RGMII[x]_TXC、RGMII[x]_TD[3:0]、RGMII[x]_TX_CTL		50	ps

(1) VDD 表示相应的电源。有关电源名称和相应焊球的详细信息，请参阅 *引脚属性* 表的“电源”列。

表 6-142. PRU_ICSSG RGMII 时序要求 – RGMII[x]_RXC

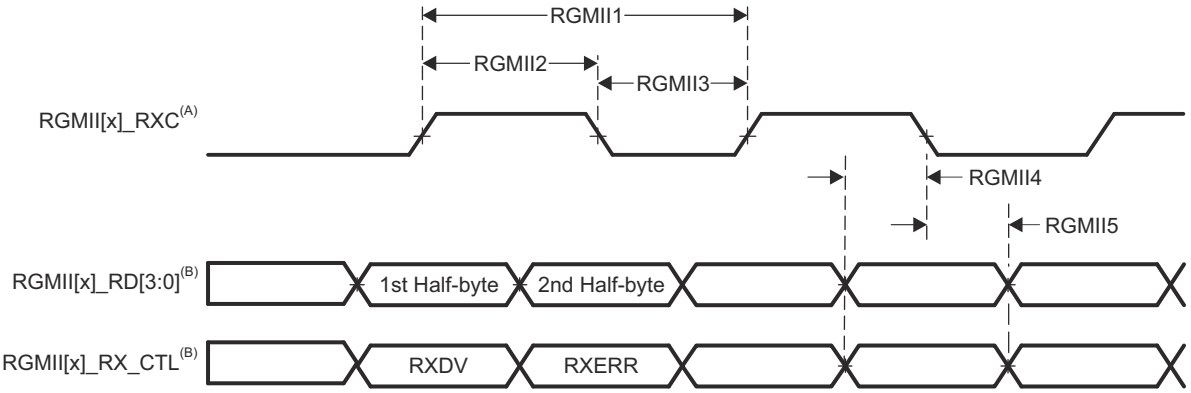
请参阅图 6-111

编号	参数	说明	模式	最小值	最大值	单位
RGMII1	$t_{c(RXC)}$	周期时间，RGMII[x]_RXC	10Mbps	360	440	ns
			100Mbps	36	44	ns
			1000Mbps	7.2	8.8	ns
RGMII2	$t_{w(RXCH)}$	脉冲持续时间，RGMII[x]_RXC 高电平	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns
RGMII3	$t_{w(RXCL)}$	脉冲持续时间，RGMII[x]_RXC 低电平	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns

表 6-143. PRU_ICSSG RGMII 时序要求 – RGMII[x]_RD[3:0] 和 RGMII[x]_RX_CTL

请参阅图 6-111

编号	参数	说明	模式	最小值	最大值	单位
RGMII4	$t_{su(RD-RXC)}$	建立时间，在 RXC 高电平/低电平之前 RGMII[x]_RD[3:0] 有效	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
	$t_{su(RX_CTL-RXC)}$	建立时间，在 RGMII[x]_RXC 高电平/低电平之前 RGMII[x]_RX_CTL 有效	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
RGMII5	$t_{h(RXC-RD)}$	保持时间，在 RGMII[x]_RXC 高电平/低电平之后 RGMII[x]_RD[3:0] 有效	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
	$t_{h(RXC-RX_CTL)}$	保持时间，在 RGMII[x]_RXC 高电平/低电平之后 RGMII[x]_RX_CTL 有效	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns



A. RGMII[x]_RXC 必须相对于数据和控制引脚进行外部延迟。

B. 使用时钟的两个边沿接收数据和控制信息。RGMII[x]_RD[3:0] 在 RGMII[x]_RXC 的上升沿承载数据位 3-0，在 RGMII[x]_RXC 的下降沿承载数据位 7-4。类似地，RGMII[x]_RX_CTL 在 RGMII[x]_RXC 的上升沿承载 RXDV，在 RGMII[x]_RXC 的下降沿承载 RXERR。

图 6-111. PRU_ICSSG RGMII[x]_RXC、RGMII[x]_RD[3:0]、RGMII[x]_RX_CTL 时序要求 - RGMII 模式

Copyright © 2026 Texas Instruments Incorporated

表 6-144. PRU_ICSSG RGMII 开关特性 – RGMII[x]_TXC

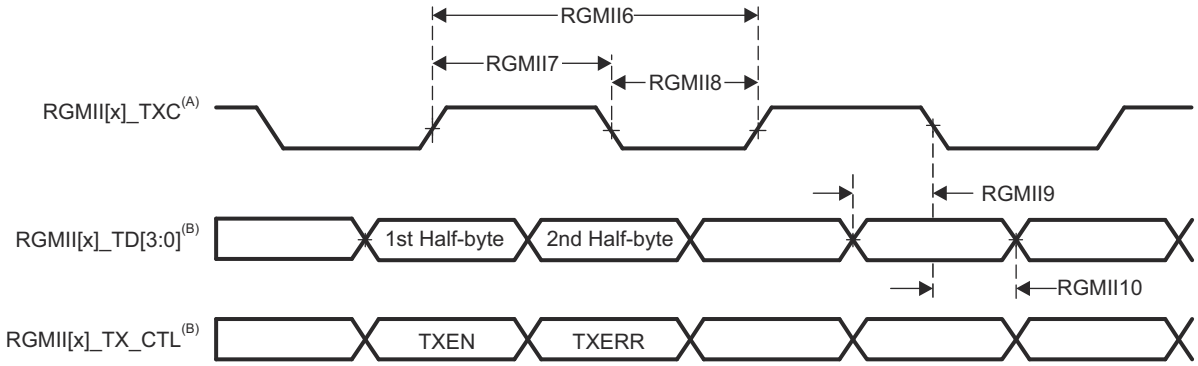
请参阅图 6-112

编号	参数	说明	模式	最小值	最大值	单位
RGMII6	$t_{c(TXC)}$	周期时间，RGMII[x]_TXC	10Mbps	360	440	ns
			100Mbps	36	44	ns
			1000Mbps	7.2	8.8	ns
RGMII7	$t_{w(TXCH)}$	脉冲持续时间，RGMII[x]_TXC 高电平	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns
RGMII8	$t_{w(TXCL)}$	脉冲持续时间，RGMII[x]_TXC 低电平	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns

表 6-145. PRU_ICSSG RGMII 开关特性 – RGMII[x]_TD[3:0] 和 RGMII[x]_TX_CTL

请参阅图 6-112

编号	参数	说明	模式	最小值	最大值	单位
RGMII9	$t_{osu(TD-TXC)}$	输出建立时间，RGMII[x]_TD[3:0] 有效到 RGMII[x]_TXC 高电平/低电平	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns
	$t_{osu(TX_CTL-TXC)}$	输出建立时间，RGMII[x]_TX_CTL 有效到 RGMII[x]_TXC 高电平/低电平	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns
RGMII10	$t_{oh(TXC-TD)}$	输出建立时间，在 RGMII[x]_TXC 高电平/低电平之后 RGMII[x]_TD[3:0] 有效	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns
	$t_{oh(TXC-TX_CTL)}$	输出建立时间，在 RGMII[x]_TXC 高电平/低电平之后 RGMII[x]_TX_CTL 有效	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns



A. TXC 在驱动至 RGMII[x]_TXC 引脚之前会在内部延迟。该内部延迟始终启用。

B. 使用时钟的两个边沿接收数据和控制信息。RGMII[x]_TD[3:0] 在 RGMII[x]_TXC 的上升沿承载数据位 3-0，在 RGMII[x]_TXC 的下降沿承载数据位 7-4。类似地，RGMII[x]_TX_CTL 在 RGMII[x]_TXC 的上升沿承载 TXEN，在 RGMII[x]_TXC 的下降沿承载 TXERR。

图 6-112. PRU_ICSSG RGMII[x]_TXC、RGMII[x]_TD[3:0] 和 RGMII[x]_TX_CTL 开关特性 - RGMII 模式

Copyright © 2026 Texas Instruments Incorporated

6.11.5.17 计时器

有关器件计时器特性和其他说明信息的更多详情，请参阅*信号说明*和*详细说明*部分中的相应小节。

表 6-146. 计时器时序条件

参数		最小值	最大值	单位
输入条件				
SR_I	输入压摆率	0.5	5	V/ns
输出条件				
C_L	输出负载电容	2	10	pF

表 6-147. 计时器输入时序要求

请参阅图 6-113

编号	参数	说明	模式	最小值	最大值	单位
T1	$t_{w(TINPH)}$	脉冲持续时间，高电平	捕获	2 + 4P (1)		ns
T2	$t_{w(TINPL)}$	脉冲持续时间，低电平	捕获	2 + 4P (1)		ns

(1) P = 功能时钟周期（以 ns 为单位）。

表 6-148. 计时器输出开关特性

请参阅图 6-113

编号	参数	说明	模式	最小值	最大值	单位
T3	$t_{w(TOUTH)}$	脉冲持续时间，高电平	PWM	-2 + 4P (1)		ns
T4	$t_{w(TOUTL)}$	脉冲持续时间，低电平	PWM	-2 + 4P (1)		ns

(1) P = 功能时钟周期（以 ns 为单位）。

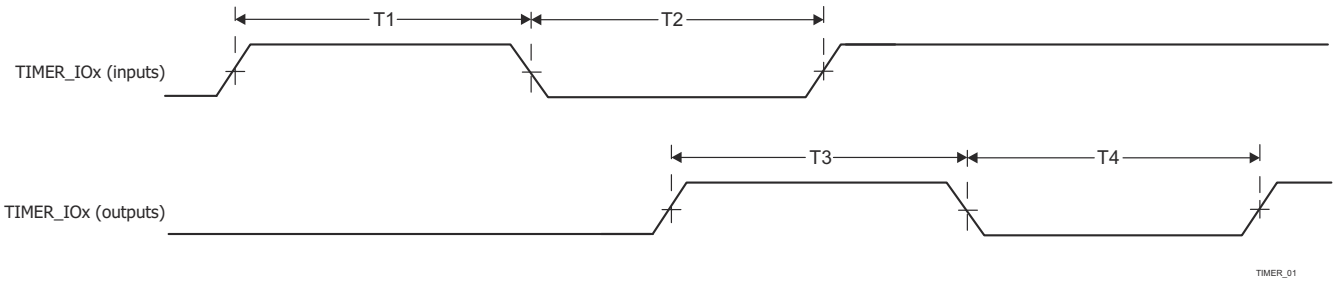


图 6-113. 计时器时序要求和开关特性

有关更多信息，请参阅器件 TRM 的*外设*一章中的*计时器*一节。

Copyright © 2026 Texas Instruments Incorporated

6.11.5.18 UART

有关器件通用异步接收器/发送器特性和其他说明信息的更多详情，请参阅*信号说明* 和*详细说明* 部分中的相应小节。

表 6-149. UART 时序条件

参数		最小值	最大值	单位
输入条件				
SR_I	输入压摆率	0.5	5	V/ns
输出条件				
C_L	输出负载电容	1	30(1)	pF

(1) 该值表示绝对最大负载电容。随着 UART 波特率的增加，可能需要将负载电容减小到小于此最大限制的值，以便为连接的器件提供足够的时序裕度。输出上升/下降时间随着容性负载的增加而增加，这会减少数据对所连接器件的接收器有效的时间。因此，了解连接器件在工作波特率下所需的最短数据有效时间非常重要。然后使用器件 IBIS 模型来验证 UART 信号上的实际负载电容是否不会将上升/下降时间增加到超出所连接器件的最小数据有效时间的点。

表 6-150. UART 时序要求

请参阅图 6-114

编号	参数	说明	最小值	最大值	单位
1	$t_{w(RXD)}$	脉冲宽度，接收数据位高电平或低电平	0.95U(1) (2)	1.05U(1) (2)	ns
2	$t_{w(RXDS)}$	脉冲宽度，接收开始位低电平	0.95U(1) (2)		ns

(1) U = UART 波特时间（以 ns 为单位）= 1/编程波特率。
(2) 该值定义了数据有效时间，其中要求输入电压高于 V_{IH} 或低于 V_{IL}。

表 6-151. UART 开关特性

请参阅图 6-114

编号	参数	说明	最小值	最大值	单位
	$f_{(baud)}$	主域 UART 的可编程波特率		12	Mbps
		MCU 域 UART 的可编程波特率		3.7	Mbps
3	$t_{w(TXD)}$	脉冲宽度，发送数据位高电平或低电平	U(1) - 2.2	U(1) + 2.2	ns
4	$t_{w(TXDS)}$	脉冲宽度，发送开始位低电平	U(1) - 2.2		ns

(1) U = UART 波特时间（以 ns 为单位）= 1/编程波特率。

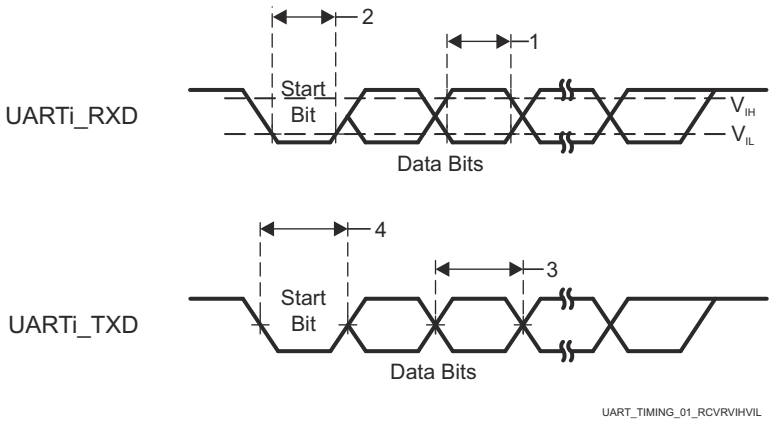


图 6-114. UART 时序要求和开关特性

有关更多信息，请参阅器件 TRM 的*外设*一章中的*通用异步接收器/发送器 (UART)* 一节。

6.11.5.19 USB

USB 2.0 子系统符合通用串行总线 (USB) 规范修订版 2.0。有关时序详细信息，请参阅规范。

USB 3.1 GEN1 子系统符合通用串行总线 (USB) 3.1 规范修订版 1.0 的要求。有关时序详细信息，请参阅规范。

有关器件通用串行总线子系统 (USB) 的更多特性详细信息和附加说明信息，请参阅 *详细说明* 中的 *SERDES0 信号说明* 和相应小节。

Copyright © 2026 Texas Instruments Incorporated

6.11.6 仿真和调试

有关器件跟踪和 JTAG 接口特性和其他说明信息的更多详情，请参阅*信号说明*和*详细说明*部分中的相应小节。

6.11.6.1 布线

表 6-152. 布线时序条件

参数			最小值	最大值	单位
输出条件					
C_L	输出负载电容		2	5	pF
PCB 连接要求					
$t_{d(Trace\ Mismatch)}$	所有引线之间的传播延迟不匹配	VDDSHV3 = 1.8V		200	ps
		VDDSHV3 = 3.3V		100	ps

表 6-153. 布线开关特性

编号	参数		最小值	最大值	单位
1.8V 模式					
DBTR1	$t_{c(TRC_CLK)}$	TRC_CLK 周期时间	6.50		ns
DBTR2	$t_{w(TRC_CLKH)}$	脉冲宽度，TRC_CLK 高电平	2.50		ns
DBTR3	$t_{w(TRC_CLKL)}$	脉冲宽度，TRC_CLK 低电平	2.50		ns
DBTR4	$t_{osu(TRC_DATAV-TRC_CLK)}$	输出建立时间，TRC_DATA 到 TRC_CLK 边沿有效的时间	0.81		ns
DBTR5	$t_{oh(TRC_CLK-TRC_DATAI)}$	输出保持时间，TRC_CLK 边沿到 TRC_DATA 无效	0.81		ns
DBTR6	$t_{osu(TRC_CTLV-TRC_CLK)}$	输出建立时间，TRC_CTL 到 TRC_CLK 边沿有效的时间	0.81		ns
DBTR7	$t_{oh(TRC_CLK-TRC_CTLI)}$	输出保持时间，TRC_CLK 边沿到 TRC_CTL 无效	0.81		ns
3.3V 模式					
DBTR1	$t_{c(TRC_CLK)}$	TRC_CLK 周期时间	8.67		ns
DBTR2	$t_{w(TRC_CLKH)}$	脉冲宽度，TRC_CLK 高电平	3.58		ns
DBTR3	$t_{w(TRC_CLKL)}$	脉冲宽度，TRC_CLK 低电平	3.58		ns
DBTR4	$t_{osu(TRC_DATAV-TRC_CLK)}$	输出建立时间，TRC_DATA 到 TRC_CLK 边沿有效的时间	1.08		ns
DBTR5	$t_{oh(TRC_CLK-TRC_DATAI)}$	输出保持时间，TRC_CLK 边沿到 TRC_DATA 无效	1.08		ns
DBTR6	$t_{osu(TRC_CTLV-TRC_CLK)}$	输出建立时间，TRC_CTL 到 TRC_CLK 边沿有效的时间	1.08		ns
DBTR7	$t_{oh(TRC_CLK-TRC_CTLI)}$	输出保持时间，TRC_CLK 边沿到 TRC_CTL 无效	1.08		ns

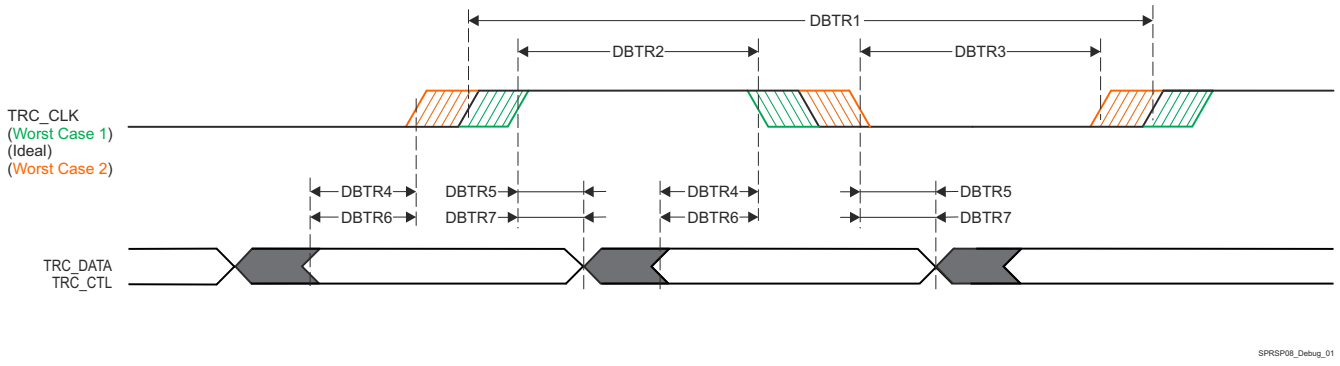


图 6-115. 布线开关特性

6.11.6.2 JTAG

表 6-154. JTAG 时序条件

参数		最小值	最大值	单位
输入条件				
SR_I	输入压摆率	0.5	2.0	V/ns
输出条件				
C_L	输出负载电容	5	15	pF
PCB 连接要求				
$t_{d(Trace\ Delay)}$	每条引线的传播延迟	83.5	1000(1)	ps
$t_{d(Trace\ Mismatch\ Delay)}$	所有布线之间的传播延迟不匹配		100	ps

(1) 与 JTAG 信号引线相关的最大传播延迟对最大 TCK 工作频率有显著的影响。可以将跟踪延迟增加到超过该值，但必须降低 TCK 的工作频率以解决额外的跟踪延迟。

表 6-155. JTAG 时序要求

请参阅图 6-116

编号			最小值	最大值	单位
J1	$t_{c(TCK)}$	最小周期时间，TCK	45.5(1)		ns
J2	$t_{w(TCKH)}$	最小脉冲宽度，TCK 高电平	0.4P(2)		ns
J3	$t_{w(TCKL)}$	最小脉冲宽度，TCK 低电平	0.4P(2)		ns
J4	$t_{su(TDI-TCK)}$	最小输入建立时间，TDI 有效到 TCK 高电平	4		ns
	$t_{su(TMS-TCK)}$	最小输入建立时间，TMS 有效到 TCK 高电平	4		ns
J5	$t_{h(TCK-TDI)}$	最小输入保持时间，从 TCK 高电平到 TDI 有效	2		ns
	$t_{h(TCK-TMS)}$	最小输入保持时间，从 TCK 高电平到 TMS 有效	2		ns

(1) 最大 TCK 工作频率假定所连接的调试器具有以下时序要求和开关特性。如果调试器超出任何这些假设，则必须降低 TCK 的工作频率以提供适当的时序裕度。
- 相对于 TCK 上升沿的最小 TDO 建立时间为 2.2 ns
- 相对于 TCK 下降沿，TDI 和 TMS 输出延迟范围为 -16.1 ns 至 14.1 ns

(2) P = TCK 周期时间（以 ns 为单位）

表 6-156. JTAG 开关特性

请参阅图 6-116

编号	参数		最小值	最大值	单位
J6	$t_{d(TCKL-TDOI)}$	最小延迟时间，TCK 低电平到 TDO 无效	0		ns
J7	$t_{d(TCKL-TDOV)}$	最大延迟时间，TCK 低电平到 TDO 有效		14	ns

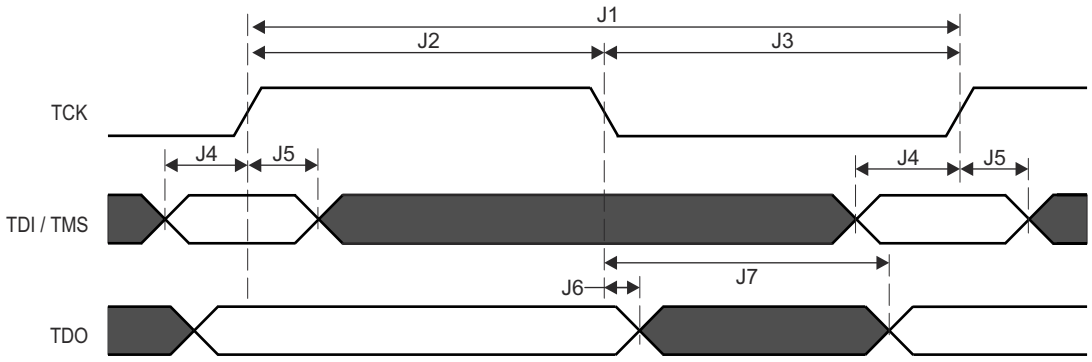


图 6-116. JTAG 时序要求和开关特性

Copyright © 2026 Texas Instruments Incorporated

7 详细说明

7.1 概述

AM64x 是 Sitara™ 工业级异构 Arm 处理器系列的新产品。AM64x 专为要求独特结合实时处理和通信与应用处理的电机驱动器和可编程逻辑控制器 (PLC) 等工业应用而构建。AM64x 将两个支持 TSN 技术的 Sitara 千兆位 PRU-ICSSG 实例与最多两个 Arm Cortex-A53 内核、最多四个 Cortex-R5F MCU 和一个 Cortex-M4F MCU 阈合并到一起。

AM64x 旨在通过高性能 R5F 内核、紧密耦合的存储器组、可配置的 SRAM 分区和进出外设的专用低延迟路径提供出色的实时性能，从而实现数据快速进出 SoC。这种确定性架构允许 AM64x 处理伺服驱动器中的严格控制环路，同时 FSI、GPMC、PWM、ΔΣ 抽取滤波器和绝对编码器接口等外设可帮助启用这些系统中的多种不同架构。

Cortex-A53 提供了 Linux 应用所必需的强大计算元件。Linux 和实时 (RT) Linux 则通过 TI 的 Processor SDK Linux 提供，后者会每年更新为最新的长期支持 (LTS) Linux 内核、引导加载程序和 Yocto 文件系统。AM64x 通过可配置的内存分区在 Linux 应用和实时数据流之间实现隔离，从而帮助桥接 Linux 世界与现实世界。Cortex-A53 可分配到采用 Linux 的 DDR 中严格工作，而内部 SRAM 可以拆分成各种大小，供 Cortex-R5F 综合或单独使用。

AM64x 中的 PRU_ICSSG 提供运行千兆位 TSN、EtherCAT、PROFINET、以太网/IP 和各种其他协议所需的灵活工业通信功能。此外，PRU_ICSSG 还支持 SoC 中的其他接口，包括 ΔΣ 抽取滤波器和绝对编码器接口。

可通过集成 Cortex-M4F 及其专用外设的 MCU 阈启用功能安全特性，这些外设均可与 SoC 的其余部分共享或隔离。AM64x 还支持安全启动。

备注

有关超集器件片上系统 (SoC) 的特性、子系统和架构的更多信息，请参阅器件 TRM。

Copyright © 2026 Texas Instruments Incorporated

7.2 处理器子系统

7.2.1 Arm Cortex-A53 子系统

A53SS 模块支持以下功能：

- 双核 A53 集群
  - 与 ARM v8-A 架构完全兼容
- AArch32 和 AArch64 执行状态
- 全部异常级别 EL0-3
- A32 指令集（以前的 ARM 指令集）
- T32 指令集（以前的 Thumb 指令集）
- A64 指令集
  - 高级 SIMD 和浮点扩展 (NEON)
  - ARMv8 加密扩展
  - ARMv8 加密扩展
  - ARM GICv3 架构
  - 大多数指令具有对称双发射的顺序流水线
  - 具有系统 MMU 的 Harvard L1
- 32KB 指令高速缓存
- 32KB 数据高速缓存
  - 256KB 共享 L2 高速缓存
  - 通用计时器
  - 调试
- 128 位 VBUSM 启动器接口（用于 axi_r 和 axi_r 通道）
- 128 位 VBUSM 目标接口（用于加速器一致性端口）
- 64 位格雷编码系统输入时间
- 48 位格雷编码调试输入时间
- 用于调试的 32 位 VBUSP 目标接口
- 具有 BISOR 的集成 PBIST 控制器

有关更多信息，请参阅器件 TRM 的*处理器和加速器*一章中的*双 A53 MPU 子系统*一节。

7.2.2 Arm Cortex-R5F 子系统 (R5FSS)

R5FSS 是 Arm® Cortex®-R5F 处理器的双核实现，配置为进行双核/单核操作。它还包括附带的存储器（L1 高速缓存和紧密耦合存储器）、标准 Arm® CoreSight™ 调试和布线架构、集成式矢量中断管理器 (VIM)、ECC 聚合器以及支持协议转换和地址转换的各种包装器，以便于集成到 SoC。

备注

Cortex®-R5F 处理器是一种 Cortex-R5 处理器，包含可选的浮点单元 (FPU) 扩展。

有关更多信息，请参阅器件 TRM 的*处理器和加速器*一章中的*双 R5F 子系统 (R5FSS)* 一节。

7.2.3 Arm Cortex-M4F (M4FSS)

AM64x 器件上的 M4FSS 模块提供一个安全通道（辅助通道 - 与外部微控制器结合使用）或一个通用 MCU。

M4FSS 模块支持以下功能：

- 具有 MPU 的 Cortex M4F
- ARMv7-M 架构
- 支持具有 64 个输入的嵌套矢量中断控制器 (NVIC)
- 能够从内部或外部存储器执行代码
- 192KB SRAM (I-Code)

Copyright © 2026 Texas Instruments Incorporated

- 64KB 的 SRAM (D-Code)
- 外部访问内部存储器 (如果允许)
- 调试支持包括：
  - 基于 DAP 的 CPU 内核调试
  - CPU 内核的完整调试功能已启用
  - 标准 ITM 布线
  - CTM 交叉触发器
  - ETM 跟踪支持
- 故障检测和校正
  - I-CODE 上的 SECDED ECC 保护
  - D-CODE 上的 SECDED ECC 保护
  - 故障错误中断输出

有关更多信息，请参阅器件 TRM 的*处理器和加速器*一章中的 *Arm Cortex M4F 子系统 (M4FSS)* 一节。

Copyright © 2026 Texas Instruments Incorporated

7.3 加速器和协处理器

7.3.1 可编程实时单元子系统和工业通信子系统 (PRU_ICSSG)

PRU_ICSSG 模块支持以下主要功能：

- 3 个 PRU
  - 通用 PRU (PRU)
  - 实时 PRU (RTU_PRU)
  - 发送 PRU (TX_PRU)
- 2 个与 PRU 的以太网 MII_G_RT 可配置连接
  - 多达 2 个 RGMII 端口
  - 多达 2 个 MII 端口
  - RX 分类器
- 2 个用于管理和生成工业以太网功能的工业以太网外设 (IEP)
- 2 个工业以太网 64 位计时器，具有 10 个捕捉事件和 16 个比较事件以及慢速和快速补偿。
- 1 个 MDIO
- 1 个 UART，具有专用的 192MHz 时钟输入
- 支持多达 4 组三相电机控制，具有 12 个主输出和 12 个互补的可编程 PWM 输出。
- 通过每个 PWM 集的可选外部跳变 I/O 以及硬件干扰滤波器，支持多达 9 个安全事件。
- 1 个增强型捕捉模块 (ECAP)
- 1 个中断控制器 (INTC)
  - 支持 160 个输入事件 – 96 个外部输入和 64 个内部输入事件
- 灵活的电源管理支持
- 优先级可编程的集成交换中央资源
- 所有存储器均支持 ECC

有关更多信息，请参阅器件 TRM 中*处理器和加速器*一章的*可编程实时单元子系统和工业通信子系统 - 千兆位 (PRU_ICSSG)* 一节。

7.4 其他子系统

7.4.1 PDMA 控制器

外设 DMA 是一种简单的 DMA，其架构专为满足外设的数据传输需求而设计，外设使用通过标准非相干总线结构访问的存储器映射寄存器来执行数据传输。PDMA 模块旨在靠近一个或多个需要外部 DMA 进行数据移动的外设，其架构旨在通过使用 VBUSP 接口并仅支持静态配置的传输请求 (TR) 操作来降低成本。

PDMA 仅负责执行与外设本身交互的数据移动事务。从给定外设读取的数据由 PDMA 源通道打包到 PSI-L 数据流中，然后将其发送到远程对等 UDMA-P 目标通道，然后由该通道将数据移动到存储器中。同样，远程 UDMA-P 源通道从存储器中获取数据，并通过 PSI-L 将其传输到对等 PDMA 目标通道，然后由 PSI-L 执行对外设的写入操作。

PDMA 架构特意采用异构结构 (UDMA-P + PDMA)，以适当调整系统中每个点的数据传输复杂性，以满足传入或传出的任何内容的要求。外设通常基于 FIFO，不需要超出其 FIFO 尺寸要求的多维传输，因此 PDMA 传输引擎保持简单，仅具有几个维度 (通常用于样本大小和 FIFO 深度) 、硬编码地址映射和简单的触发功能。

PDMA 内提供多个源通道和目标通道，允许同时进行多个传输操作。DMA 控制器维护每个通道的状态信息，并在通道之间采用轮询调度以共享底层 DMA 硬件。

该器件中共有五个 PDMA 模块。

有关更多信息，请参阅器件 TRM 的 *DMA 控制器*一章中的 *PDMA 控制器*一节。

Copyright © 2026 Texas Instruments Incorporated

7.4.2 外设

7.4.2.1 ADC

该模数转换器 (ADC) 模块是一款具有 8 路输入模拟多路复用器的单通道通用模数转换器，支持来自模拟前端 (AFE) 的 12 位转换样本。

该器件中有一个 ADC 模块。

有关更多信息，请参阅器件 TRM 的*外设*一章中的*模数转换器 (ADC)* 一节。

7.4.2.2 DCC

双时钟比较器 (DCC) 用于确定应用程序执行期间时钟信号的精度。具体而言，DCC 旨在检测相对于预期时钟频率的漂移。可以根据每个应用程序的计算结果对所需精度进行编程。DCC 使用另一个输入时钟作为基准来测量可选时钟源的频率。

该器件具有七个 DCC 模块实例。

有关更多信息，请参阅器件 TRM 的*外设*一章中的*双时钟比较器 (DCC)* 一节。

7.4.2.3 双倍数据速率 (DDR) 外部存储器接口 (DDRSS)

在主域中集成：DDR 子系统 (DDRSS) 的一个实例用作外部 RAM 器件的接口，该器件可用于存储程序或数据。DDRSS 提供以下主要功能：

- 支持 DDR4/LPDDR4 存储器类型
- 具有内置 ECC 的 16 位存储器总线接口
- 系统总线接口：仅限小端字节序，具有 128 位数据宽度
- 配置总线接口：仅限小端字节序，具有 32 位数据宽度
- 支持双列配置
- 支持在未检测到任何活动或检测到低活动水平时自动进入空闲节能模式
- 服务级别 (CoS) - 支持三个延迟级别
- 按优先顺序排序的刷新安排
- 性能管理统计计数器

有关更多信息，请参阅器件 TRM 的*外设*一章中的 *DDR 子系统 (DDRSS)* 一节。

7.4.2.4 ECAP

本节介绍了器件的增强型捕获 (ECAP) 模块。

有关更多信息，请参阅器件 TRM 的*外设*一章中的*增强型捕获 (ECAP) 模块*一节。

7.4.2.5 EPWM

有效的 PWM 外设必须能够以最小的 CPU 开销或干预生成复杂的脉冲宽度波形。该外设需要高度可编程且非常灵活，同时易于理解和使用。此处介绍的 EPWM 单元通过在每个 PWM 通道的基础上分配所有需要的计时和控制资源来满足这些要求。避免了交叉耦合或资源共享；相反，EPWM 由具有独立资源的较小单通道模块构建而成，并且可以根据需要一起运行以形成系统。该模块化方法形成了正交架构，并提供了更透明的外设结构视图，帮助用户快速了解其运行原理。

在进一步的说明中，信号或模块名称中的字母 x 用于指示器件上的通用 EPWM 实例。例如，输出信号 EPWMxA 和 EPWMxB 指来自 EPWM_x 实例的输出信号。因此，EPWM1A 和 EPWM1B 属于 EPWM1，EPWM2A 和 EPWM2B 属于 EPWM2，依此类推。

此外，EPWM 集成允许将该同步方案扩展至捕获外设模块 (ECAP)。模块的数量取决于器件并基于目标应用需求。模块也可以独立运行。

该器件具有六个 EPWM 模块实例。

有关更多信息，请参阅器件 TRM 的*外设*一章中的*增强型脉宽调制 (EPWM) 模块*一节。

Copyright © 2026 Texas Instruments Incorporated

7.4.2.6 ELM

错误定位模块 (ELM) 与 GPMC 一起使用。读取 NAND 闪存页面时动态生成并存储在 GPMC 寄存器中的伴随多项式被传递到 ELM。然后，主机处理器可以通过翻转 ELM 错误位置输出指向的位来纠正数据块。

从 NAND 闪存读取数据时，需要进行一定程度的纠错。对于没有内部校正功能的 NAND 模块（有时称为*裸 NAND*），校正过程由存储器控制器执行。ELM 还可用于支持并行 NOR 闪存或 NAND 闪存。

通用存储器控制器 (GPMC) 检测从外部 NAND 闪存读取的数据，并使用这些数据逐块计算类似于校验和的信息（称为“伴随多项式”）。每个伴随多项式给出一个完整块的读取操作状态，其中包括 512 字节的数据、奇偶校验位和一个可选的备用区域数据字段，最大块大小为 1023 字节。计算基于 Bose-Chaudhuri-Hocquenghem (BCH) 算法。ELM 从这些伴随多项式中提取错误地址。

有关更多信息，请参阅器件 TRM 的*外设*一章中的*错误定位模块 (ELM)* 一节。

7.4.2.7 ESM

错误信令模块 (ESM) 将整个器件中的安全相关事件和/或错误聚合到一个位置。该模块可以向处理器发出低优先级和高优先级中断信号，以处理安全事件和/或操纵 I/O 错误引脚，向外部硬件发出已发生错误的信号。这样一来，外部控制器能够使器件复位或使系统保持在安全、已知的状态。

有关更多信息，请参阅器件 TRM 的*外设*一章中的*错误信令模块 (ESM)* 一节。

7.4.2.8 GPIO

通用输入/输出 (GPIO) 外设提供专用的通用引脚，可以配置为输入或输出。当配置为输出时，用户可以对内部寄存器进行写入来控制输出引脚上驱动的状态。当配置为输入时，用户可以通过读取内部寄存器的状态来获取输入的状态。

此外，GPIO 外设可以在不同的中断/事件生成模式下产生主机 CPU 中断和 DMA 同步事件。

有关更多信息，请参阅器件 TRM 的*外设*一章中的*通用接口 (GPIO)* 一节。

7.4.2.9 EQEP

增强型正交编码器脉冲 (EQEP) 外设用于与线性或旋转增量编码器进行直接连接，以便获取高性能运动和位置控制系统中使用的旋转机器的位置、方向和速度信息。增量编码器的盘上刻有单轨槽图案。这些槽形成暗线和亮线交替的图案。盘计数定义为每转出现的暗线/亮线对的数量（每转线数）。通常，添加第二个轨道，每转一次生成一个信号（索引信号：QEPI），可用于指示绝对位置。编码器制造商使用不同的术语（例如索引、标记、初始位置和零基准）来标识索引脉冲。

为了获取方向信息，圆盘上的线条由两个不同的光电元件读取，这些元件通过机械移动“观察”圆盘的图案，机械位移为它们之间线对间距的 1/4。这种位移通过标线或掩模实现，它将光学元件的视野限制在圆盘线条的所需部分。随着圆盘的旋转，两个光电元件产生的信号相位彼此相差 90 度。这些信号通常称为正交 QEPA 和 QEPB 信号。对于大多数编码器，顺时针方向定义为 QEPA 通道在 QEPB 通道之前变为正，反之亦然。

编码器轮通常在电机每旋转一圈时转动一圈，或者编码器轮与电机之间可能存在齿轮旋转比。因此，来自 QEPA 和 QEPB 输出的数字信号频率与电机的速度成比例变化。例如，当 2000 线编码器直接耦合到以每分钟 5000 转 (rpm) 运行的电机上时，可以得到 166.6KHz 的频率，因此通过测量 QEPA 或 QEPB 输出频率，处理器可以确定电机的速度。

有关更多信息，请参阅器件 TRM 的*外设*一章中的*增强型正交编码器脉冲 (EQEP) 模块*一节。

7.4.2.10 通用存储器控制器 (GPMC)

通用存储器控制器是一个统一的存储器控制器，专用于与外部存储器器件连接，例如：

- 类似 SRAM 的异步存储器和应用特定集成电路 (ASIC) 器件
- 异步、同步和页面模式（仅在非多路复用模式下可用）突发 NOR 闪存器件
- NAND 闪存
- 伪 SRAM 器件

Copyright © 2026 Texas Instruments Incorporated

有关更多信息，请参阅器件 TRM 的*外设*一章中的*通用存储器控制器*一节。

7.4.2.11 I2C

集成电路总线 (I2C) 接口是使用 mshsi2c 模块实现的。该外设实现了多控制器 I2C 总线，允许通过两线接口以串行方式向其他 I2C 控制器和目标器件发送和从其接收 8 位数据。

I2C 模块支持以下主要功能：

- 与 Philips I2C 规范版本 2.1 兼容
- 支持的速度：
  - 标准模式（高达 100kb/s）
  - 快速模式（高达 400kb/s）
  - 高速模式（高达 3.4Mb/s），仅限 I2C0 和 MCU_I2C0
- 多控制器发送器和目标接收器模式
- 多控制器接收器和目标发送器模式
- 组合控制器发送/接收和接收/发送模式
- 7 位和 10 位器件寻址模式
- 内置 32 字节 FIFO，用于缓冲读取或写入
- 可编程多目标通道（响应 4 个独立的地址）
- 可编程时钟生成
- 支持异步唤醒
- 一个中断线路

有关更多信息，请参阅器件 TRM 的*外设*一章中的*内部集成电路 (I2C)* 一节。

7.4.2.12 MCAN

控制器局域网 (CAN) 是一种串行通信协议，用于有效地为具有高安全性的分布式实时控制提供支持。CAN 具有较高的抗电气干扰能力以及自诊断和修复数据错误的能力。在 CAN 网络中，许多较短的信息会广播到整个网络，从而在系统的每个节点中提供数据一致性。

MCAN 模块支持传统 CAN 和 CAN FD（具有灵活数据速率的 CAN）规范。CAN FD 特性可实现高吞吐量和增加每个数据帧的有效负载。传统 CAN 和 CAN FD 器件可以在同一网络中共存，不会发生任何冲突。

该器件支持 2 个 MCAN 模块

有关更多信息，请参阅器件 TRM 中*外设*一章的*模块化控制器局域网 (MCAN)* 一节。

7.4.2.13 MCRC 控制器

VBUSM CRC 控制器是一个用于执行 CRC（循环冗余校验）以验证存储系统完整性的模块。当存储器中的内容被读入 MCRC 控制器时，一个信号代表得到了内存内容。MCRC 控制器的职责是为一组数据计算信号，然后把计算过的信号与预先确定的良好的信号值相比较。MCRC 控制器提供四个通道对多个存储器并行执行 CRC 计算，并且可以在任何存储器系统上使用。通道 1 也可置于数据跟踪模式，在此模式中，MCRC 控制器压缩通过 CPU 读取数据总线读取的数据。

有关更多信息，请参阅器件 TRM 的*处理器间通信*一章中的 *MCRC 控制器*一节。

7.4.2.14 MCSPI

MCSPI 模块是多通道发送/接收、控制器/外设同步串行总线。

器件中共有七个 MCSPI 模块。

有关更多信息，请参阅器件 TRM 的*外设*一章中的*多通道串行外设接口 (MCSPI)* 一节。

7.4.2.15 MMCSD

该器件内部有两个多媒体卡/安全数字 (MMCSD) 模块：MMCSD0 和 MMCSD1。每个 MMCSD 模块都包含一个 MMCSD 主机控制器，其中 MMCSD0 与 MMC0 关联，而 MMCSD1 与 MMC1 关联。

Copyright © 2026 Texas Instruments Incorporated

MMCSD 主机控制器支持：

- 一个具有 8 位宽数据总线的控制器
- 一个具有 4 位宽数据总线的控制器
- 支持 eMMC5.1 主机规范 (JESD84-B51)
- 支持 SD 主机控制器标准规范 SDIO 3.00
- 集成 DMA 控制器，支持 SD 高级 DMA：DMA2 和 ADMA3
- eMMC 电气标准 5.1 (JESD84-B51)
- 多媒体卡具有以下特性：
  - 向后兼容早期的 eMMC 标准
  - 传统 MMC SDR：1.8V，8/4/1 位总线宽度，0MHz-25MHz，25/12.5/3.125MB/s
  - 高速 SDR：1.8V，8/4/1 位总线宽度，0MHz-50MHz，50/25/6.25MB/s
  - 高速 DDR：1.8V，8/4 位总线宽度，0MHz-50MHz，100/50MB/s
  - HS200 SDR：1.8V，0MHz-200MHz，8/4 位总线宽度，200/100MB/s
- SD 卡支持：SDIO、SDR12、SDR25、SDR50、DDR50
- 系统总线接口：CBA 4.0 VBUSM 启动器端口，具有 64 位数据宽度和 64 位地址，仅限小端字节序
- 配置总线接口：具有 32 位数据宽度的 CBA 4.0 VBUSM，仅 32 位对齐访问方式，线性递增寻址模式，仅限小端字节序

有关更多信息，请参阅器件 TRM 的*外设*一章中的*多媒体卡/安全数字 (MMCSD) 接口*一节。

7.4.2.16 OSPI

八路串行外设接口 (OSPI) 模块是一种串行外设接口 (SPI) 模块，允许对外部闪存器件进行单路、双路、四路或八路读取和写入访问。该模块具有存储器映射寄存器接口，可提供直接存储器接口用于从外部闪存器件访问数据，从而简化软件要求。

OSPI 模块用于以存储器映射直接模式（例如处理器希望直接从外部闪存执行代码）传输数据或以间接模式传输数据，其中模块设置为静默执行某些请求的操作，通过中断或状态寄存器发出完成信号。对于间接操作，数据通过内部 SRAM 在系统存储器和外部闪存之间传输，器件控制器以低延迟系统速度加载该内部 SRAM 以进行写入，卸载以进行读取。中断或状态寄存器用于识别应使用用户可编程配置寄存器访问该 SRAM 的特定时间。

有关更多信息，请参阅器件 TRM 的*外设*一章中的*八路串行外设接口 (OSPI)* 一节。

7.4.2.17 外设组件快速互连 (PCIe)

PCIe 子系统支持以下主要功能：

- 双模式 – 根端口 (RP) 或端点 (EP) 模式。
- 单通道配置，每通道速率高达 5.0GT。
- 分别在第 1 代/第 2 代的 PIPE 接口上以 62.5MHz/125MHz 运行
- 在第 1 代/第 2 代模式下，PIPE 宽度保持为 32 位
- 最大出站有效载荷大小为 128 字节
- 最大入站有效载荷大小为 128 字节
- 最大远程读取请求大小为 4K 字节
- 未发布的未处理事务最大数量：每个 VBUSM 接口上 8 个。
- 四个虚拟通道 (4VC)
- 可调整大小的 BAR 功能
- SRIS 支持
- 电源管理
  - L1 电源管理子状态支持
  - D1 支持
  - L1 电源关断支持
- 支持传统、MSI 和 MSI-X 中断

Copyright © 2026 Texas Instruments Incorporated

- 32 个出站地址转换区域
- 精确的时间测量 (PTM)

有关更多信息，请参阅器件 TRM 的*外设*一章中的*外设组件快速互连 (PCIe) 子系统*一节。

7.4.2.18 串行器/解串器 (SerDes) PHY

主域中集成了一个高速差分接口实例，该接口通过串行器/解串器 (SerDes) 多协议多链路 PHY 和以下主要模块实现：

- 单通道串行器/解串器 PHY，具有用于外设和 Tx 时钟处理的通用模块
- 物理编码子块，用于从并行接口到并行接口进行数据转换，以及数据编码/解码和符号对齐
- 多路复用器模块，用于将器件接口多路复用到单个串行器/解串器通道（Tx 和 Rx）
- 包装器，用于从串行器/解串器和多路复用器发送控制和报告状态信号

有关更多信息，请参阅器件 TRM 的*外设*一章中的*串行器/解串器 (SerDes)* 一节。

7.4.2.19 实时中断 (RTI/WWDT)

本节介绍了该器件中具有窗口化看门狗计时器 (WWDT) 功能的实时中断 (RTI) 模块。

有关更多信息，请参阅器件 TRM 的*外设*一章中的*实时中断 (RTI/WWDT) 模块*一节。

7.4.2.20 双模计时器 (DMTIMER)

双模计时器 (DMTIMER) 模块支持以下主要特性：

- 在发生溢出、比较和捕获事件时生成中断
- 自由运行的 32 位向上计数器
- 支持的操作模式：
  - 比较和捕获模式
  - 自动重新加载模式
  - 启动/停止模式
- 可编程分频器时钟源（2n，其中 n=[0:8]）
- 针对捕获模式的专用输入触发器，以及专用输出触发器/PWM（脉宽调制）信号
- 动态读取/写入寄存器（在计数时）
- 使用 32768Hz 功能时钟生成 1ms 节拍

有关更多信息，请参阅器件 TRM 的*外设*一章中的*计时器*一节。

7.4.2.21 UART

UART 模块支持以下主要功能：

- 16C750 兼容性
- 波特率范围为 300bps 至 12Mbps（MCU_UART0 和 MCU_UART1 限制为 3.7Mbps）
- 在 1200bps 和 115.2Kbps 之间自动选择波特率
- 软件/硬件流控制
  - 可编程 Xon/Xoff 字符
  - 可编程自动 RTS 和自动 CTS
- 可编程串行接口特性
  - 5、6、7、8 位字符
  - 偶数、奇数、标记（始终为 1）、空格（始终为 0）或无奇偶校验（非奇偶校验位帧）位生成和检测
  - 可生成 1、1.5 或 2 个停止位
- 可选多点传输
- 可配置时间保护功能
- 检测错误的起始位
- 换行符生成和检测功能
- UART0 上的调制解调器控制功能（CTS、RTS、DSR、DTR、RI 和 DCD）

Copyright © 2026 Texas Instruments Incorporated

- 完全优先化的中断系统控制
- 内部测试和环回功能
- RS-485 外部收发器自动流量控制支持

有关更多信息，请参阅器件 TRM 的*外设*一章中的*通用同步/异步接收器/发送器 (UART)* 一节。

7.4.2.22 通用串行总线子系统 (USBSS)

通用串行总线子系统 (USBSS) 模块支持以下主要功能：

通用 USB 接口：
- 符合 USB 3.1 规范
- 符合 xHCI 1.1 规范
- 端口可配置为：
  - USB 主机：
    - 超高速第 1 代 (5Gbps)
    - 高速 (480Mbps)
    - 全速 (12Mbps)
    - 低速 1.5Mbps)
  - USB 设备/外设：
    - 高速 (480Mbps)
    - 全速 (12Mbps)
  - USB 双角色设备

USB 主机模式具有以下特性：
- 64 个插槽
- 多达 96 个周期同步端点
- 256 个主流
- MSI
- 根集线器

有关更多信息，请参阅器件 TRM 中*外设*一章的*通用串行总线 (USB) 子系统*一节。

Copyright © 2026 Texas Instruments Incorporated

8 应用、实施和布局

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 器件连接和布局基本准则

8.1.1 电源

8.1.1.1 电源设计

当 VDD_CORE 在 0.75V 下运行时，对于以下电压域，该器件的电源实现至少需要六个电源（或者当 VDD_CORE 在 0.85V 下运行时，至少需要五个电源）：0.75V/0.85V CORE 电源、0.85V RAM 电源、3.3V IO 电源、1.8V IO 电源、1V8 模拟电源和 1.1V/1.2V DDR IO 电源。请参阅评估模块或入门套件设计文件，更好地了解特定电源引脚的组合方式。该电源解决方案可使用通用电源管理 IC (PMIC) 或直流/直流转换器和 LDO 等分立式稳压器来实现。**TPS65219** 是一款成本和空间经过优化的 PMIC，它具有集成式直流/直流转换器、LDO、多功能数字信号、序列发生器和监控器，可提供完整的电源解决方案，来为处理器和主要外设供电。有关最新的电源配套资料，请访问 TI 的电源解决方案网站。

备注

该器件允许 VDD_CORE 在 0.75V 或 0.85V 下运行。当 VDD_CORE 在 0.75V 下运行时，VDD_CORE 必须由专用 0.75V 电源供电，并具有相对于 VDDR_CORE 的适当加电和断电时序。当 VDD_CORE 在 0.85V 运行下时，VDD_CORE 必须由与 VDDA_0P85_USB0、VDDA_0P85_SERDES0、VDDA_0P85_SERDES0_C、VDD_MMC0、VDDA_DLL_MMC0 和 VDDR_CORE 相同的电源供电。

备注

该器件的电源实现方案需要专用的 1.8V LDO，以便仅在 eFuse 编程期间为 VPP 供电。此 LDO 是可选的，仅在需要板载 eFuse 编程时才需要。

8.1.1.2 配电网络实施指南

Sitara 处理器配电网络：实施与分析 为配电网络的成功实施提供指导。这包括 PCB 叠层指导以及优化去耦电容器的选择和放置的指导。TI *仅* 支持遵循此应用报告中所包含的电路板设计指南的设计。

8.1.2 外部振荡器

有关外部振荡器的更多信息，请参阅*时钟规格* 一节。

8.1.3 JTAG、仿真和跟踪

德州仪器 (TI) 支持各种扩展开发系统 (XDS™) JTAG 控制器，除了 JTAG 支持之外，还提供各种调试功能。XDS 目标连接指南中提供了有关此信息的摘要。

有关 JTAG、仿真和跟踪布线的建议，请参阅仿真和跟踪接头技术参考手册

8.1.4 未使用的引脚

有关未使用的引脚的更多信息，请参阅*引脚连接要求* 一节。

Copyright © 2026 Texas Instruments Incorporated

8.2 外设和接口的相关设计信息

8.2.1 DDR 电路板设计和布局布线指南

AM64x\AM243x DDR 电路板设计和布局布线指南旨在为所有设计人员简化 DDR 系统的实现，并将要求提炼为一组布局和布线规则，使设计人员能够针对 TI 支持的拓扑成功实施稳健的设计。TI 仅支持遵循本文档中指导原则且使用 DDR4 或 LPDDR4 存储器的电路板设计。

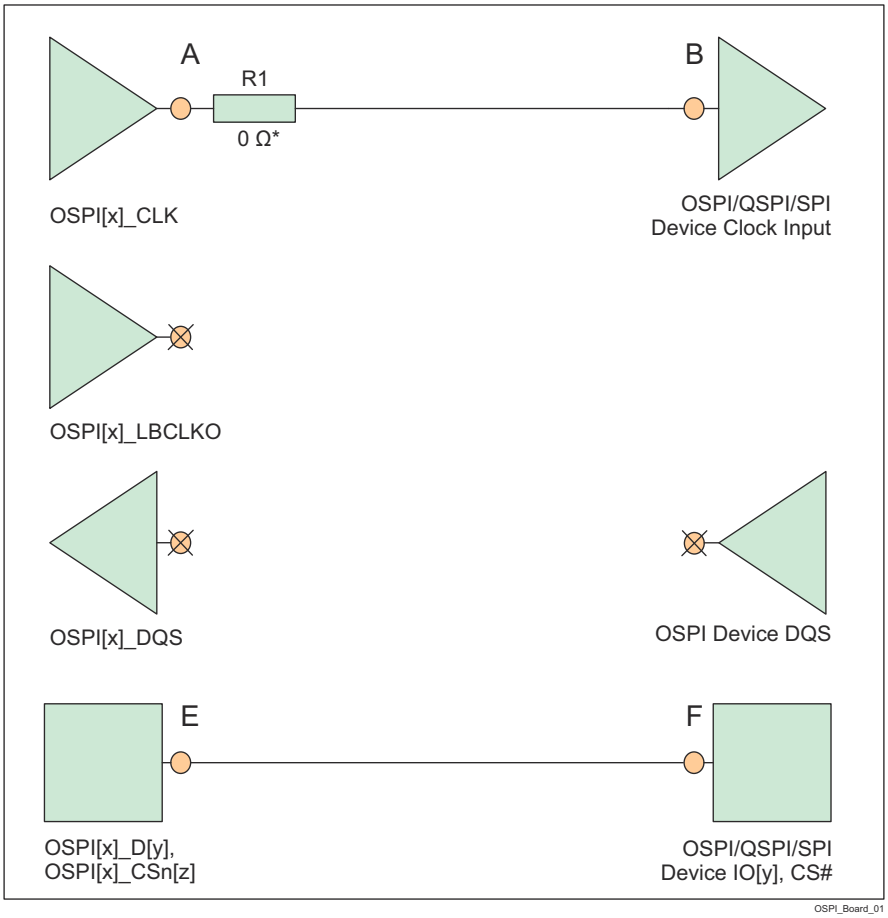
Copyright © 2026 Texas Instruments Incorporated

8.2.2 OSPI/QSPI/SPI 电路板设计和布局指南

以下部分详细介绍了在连接 OSPI、QSPI 或 SPI 器件时必须遵守的 PCB 布线指南。

8.2.2.1 无环回、内部 PHY 环回和内部焊盘环回

- OSPI[x]_CLK 输出引脚必须连接到所连接的 OSPI/QSPI/SPI 器件的 CLK 输入引脚
- 从 OSPI[x]_CLK 引脚到所连接的 OSPI/QSPI/SPI 器件 CLK 引脚（A 到 B）的信号传播延迟必须 ≤ 450ps（带状线约为 7cm，微带线约为 8cm）
- 每个 OSPI[x]_D[y] 和 OSPI[x]_CSn[z] 引脚到所连接的相应 OSPI/QSPI/SPI 器件数据和控制引脚（E 到 F，或 F 到 E）的信号传播延迟必须约等于从 OSPI[x]_CLK 引脚到所连接 OSPI/QSPI/SPI 器件 CLK 引脚（A 到 B）的信号传播延迟
- 建议将 50Ω PCB 布线与串联端接一起使用，如图 8-1 所示
- 传播延迟和匹配：
  - （A 到 B）≤ 450ps
  - （E 到 F，或 F 到 E）=（（A 到 B）± 60ps）



* 尽可能靠近 OSPI[x]_CLK 引脚的 0Ω 电阻器 (R1) 是用于微调（如果需要）的占位元件。

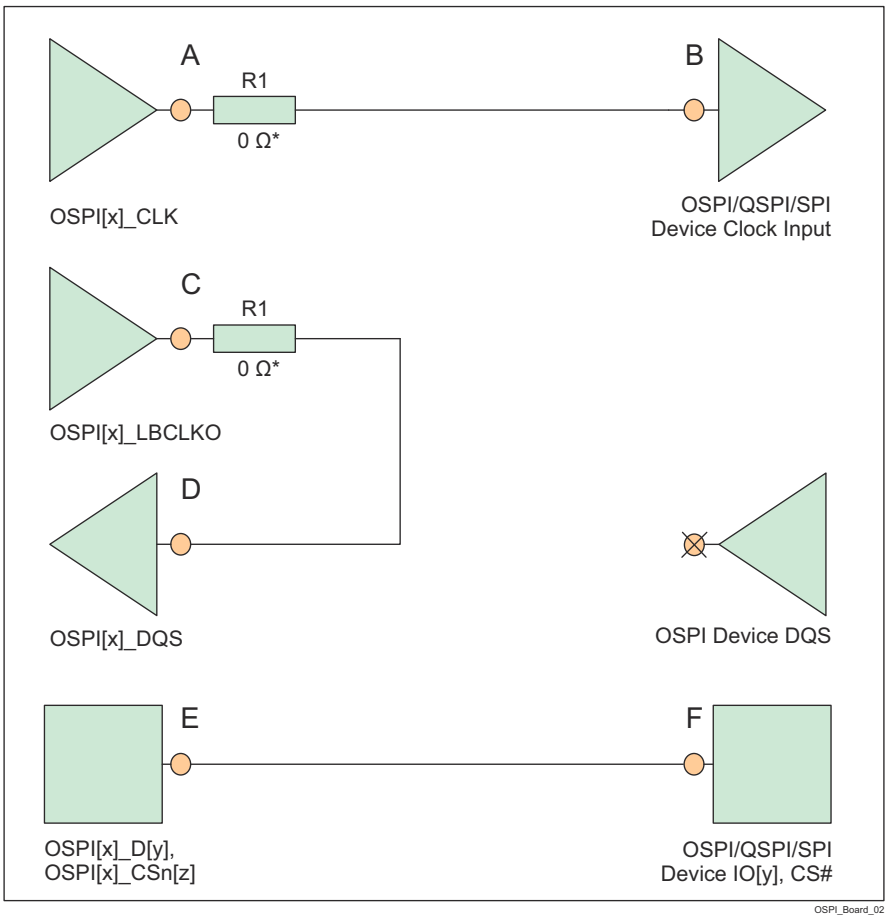
图 8-1. 无环回、内部 PHY 环回和内部焊盘环回的 OSPI 连接原理图

8.2.2.2 外部电路板环回

- OSPI[x]_CLK 输出引脚必须连接到所连接的 OSPI/QSPI/SPI 器件的 CLK 输入引脚
- OSPI[x]_LBCLKO 输出引脚必须环回 OSPI[x]_DQS 输入引脚
- OSPI[x]_LBCLKO 引脚到 OSPI[x]_DQS 引脚（C 到 D）的信号传播延迟必须大约是 OSPI[x]_CLK 引脚到所连接的 OSPI/QSPI/SPI 器件 CLK 引脚（A 到 B）的传播延迟的两倍
- 每个 OSPI[x]_D[y] 和 OSPI[x]_CSn[z] 引脚到所连接的相应 OSPI/QSPI/SPI 器件数据和控制引脚（E 到 F，或 F 到 E）的信号传播延迟必须约等于从 OSPI[x]_CLK 引脚到所连接 OSPI/QSPI/SPI 器件 CLK 引脚（A 到 B）的信号传播延迟
- 建议将 50Ω PCB 布线与串联端接一起使用，如图 8-2 所示
- 传播延迟和匹配：
  - （C 到 D）= 2 x（（A 到 B）± 30ps），请参阅下面的例外说明。
  - （E 到 F，或 F 到 E）=（（A 到 B）± 60ps）

备注

外部电路板环回保持时间要求（由 表 6-106 *OSPI0 时序要求 - PHY DDR 模式* 中编号为 O16 的参数定义）可能大于典型 OSPI/QSPI/SPI 器件提供的保持时间。在这种情况下，可以减少 OPSI[x]_LBCLKO 引脚到 OSPI[x]_DQS 引脚（C 到 D）的传播延迟，以提供额外的保持时间。



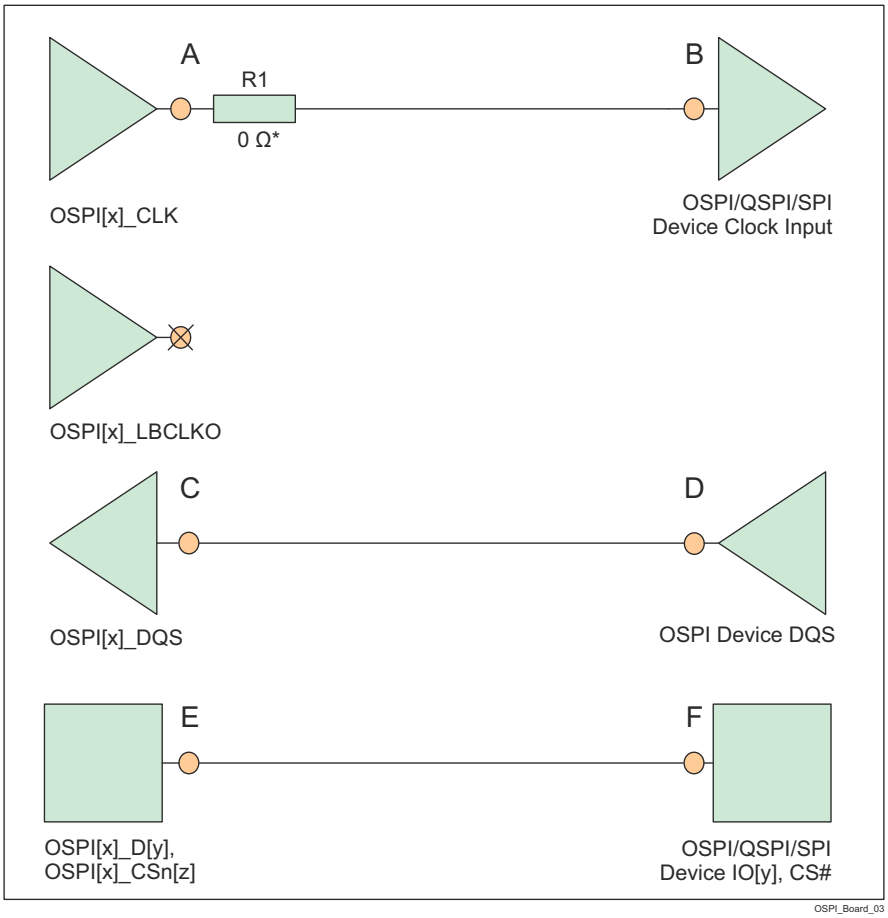
* 0Ω 电阻器 (R1) 尽可能靠近 OSPI[x]_CLK 和 OSPI[x]_LBCLKO 引脚，是用于微调（如果需要）的占位元件。

图 8-2. 外部板环回的 OSPI 连接原理图

Copyright © 2026 Texas Instruments Incorporated

8.2.2.3 DQS（仅适用于八路 SPI 器件）

- OSPI[x]_CLK 输出引脚必须连接到所连接的 OSPI/QSPI/SPI 器件的 CLK 输入引脚
- 所连接 OSPI/QSPI/SPI 器件的 DQS 引脚必须连接到 OSPI[x]_DQS 引脚
- 从所连接 OSPI/QSPI/SPI 器件 DQS 引脚到 OSPI[x]_DQS 引脚（D 到 C）的信号传播延迟必须约等于从 OSPI[x]_CLK 引脚到所连接 OSPI/QSPI/SPI 器件 CLK 引脚（A 至 B）的信号传播延迟
- 每个 OSPI[x]_D[y] 和 OSPI[x]_CSn[z] 引脚到所连接的相应 OSPI/QSPI/SPI 器件数据和控制引脚（E 到 F，或 F 到 E）的信号传播延迟必须约等于从 OSPI[x]_CLK 引脚到所连接 OSPI/QSPI/SPI 器件 CLK 引脚（A 到 B）的信号传播延迟
- 建议将 50Ω PCB 布线与串联端接一起使用，如图 8-3 所示
- 传播延迟和匹配：
  - （D 至 C）=（（A 至 B）± 30ps）
  - （E 到 F，或 F 到 E）=（（A 到 B）± 60ps）



* 尽可能靠近 OSPI[x]_CLK 引脚的 0Ω 电阻器 (R1) 是用于微调（如果需要）的占位符。

图 8-3. DQS 的 OSPI 连接原理图

8.2.3 USB VBUS 设计指南

USB 3.1 规范允许 VBUS 电压在正常运行时高达 5.5V，在支持“电力输送”附录时高达 20V。一些汽车应用要求最大电压为 30V。

该器件要求使用外部电阻分压器按比例缩小 VBUS 信号电压（如图 8-4 所示），这限制了施加到实际器件引脚 (USB0_VBUS) 的电压。这些外部电阻器的容差应等于或小于 1%，齐纳二极管在 5V 时的漏电流应小于 100nA。

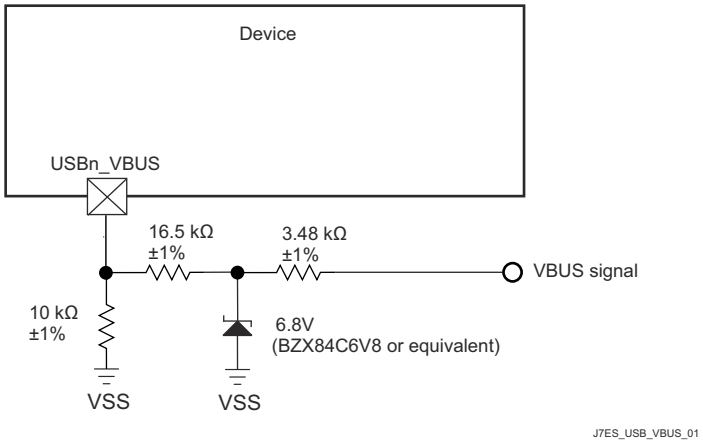


图 8-4. USB VBUS 检测分压器/钳位电路

USB0_VBUS 引脚可被视为失效防护引脚，因为在器件断电时施加 VBUS 的情况下，图 8-4 中的外部电路会限制实际器件引脚的输入电流。

8.2.4 系统电源监测设计指南

VMON_VSYS 引脚提供了一种监测系统电源的方法。该系统电源通常是用于整个系统的单个预稳压电源，可通过外部电阻分压器电路连接到 VMON_VSYS 引脚。通过将外部分压器输出电压与内部电压基准进行比较来监控该系统电源，当施加到 VMON_VSYS 的电压降至内部基准电压以下时，将触发电源故障事件。在选择用于实现外部电阻分压器电路的元件值时，系统设计人员可确定实际系统电源电压跳闸点。

在设计电阻分压器电路时，设计人员必须了解导致系统电源监测跳闸点可变性的各种因素。首先要考虑的是 VMON_VSYS 输入阈值的初始精度，其标称值为 0.45V，变化为 ±3%。建议使用具有相似热系数的精度为 1% 的电阻器来实现电阻分压器。这可更大程度地减小电阻值容差导致的可变性。还必须考虑与 VMON_VSYS 相关的输入漏电流，因为任何流入引脚的电流都会在分压器输出上产生负载误差。当施加 0.45V 电压时，VMON_VSYS 输入漏电流范围为 10nA 至 2.5µA。

备注

电阻分压器的设计应确保在正常运行条件下，输出电压绝不超过*建议运行条件*部分中定义的最大值。

图 8-5 给出了一个示例，其中系统电源的标称电压为 5V，最大触发阈值为 5V - 10% 或 4.5V。

对于此示例，设计人员必须在选择电阻器值时了解哪些变量会影响最大触发阈值。在尝试设计一个在系统电源下降 10% 之前不会跳闸的分压器时，需要考虑 VMON_VSYS 输入阈值为 0.45V + 3% 的器件。还需要考虑电阻器容差和输入泄漏的影响，但对最大触发点的影响并不明显。在选择会产生最大触发电压的元件值时，系统设计人员必须考虑以下情况：R1 的值为 1% 低、R2 的值为 1% 高，再加上 VMON_VSYS 引脚的输入漏电流为 2.5µA。当采用 R1 = 4.81KΩ 且 R2 = 40.2KΩ 的电阻分压器时，产生的最大触发阈值为 4.517V。

一旦选择了满足上述最大触发电压的元件值，系统设计人员就可以通过计算施加的电压来确定最小触发电压，该电压可在 R1 的值为 1% 高、R2 的值为 1% 低且输入漏电流为 10nA 或零时产生 0.45V - 3% 的输出电压。使用零输入漏电流和上面给出的电阻器值，结果为最小触发阈值 4.013V。

Copyright © 2026 Texas Instruments Incorporated

该示例演示了一个范围为 4.013V 至 4.517V 的系统电源电压跳闸点。当 VMON_VSYS 输入漏电流为 2.5µA 时，该范围中约 250mV 是通过 ±3% 的 VMON_VSYS 输入阈值精度引入的，约 150mV 是通过 ±1% 的电阻容差引入的，约 100mV 是通过负载误差引入的。

当系统电源为 4.5V 时，该示例中选择的电阻值会通过电阻分压器产生大约 100µA 的偏置电流。通过将流经电阻分压器的偏置电流增大至大约 1mA，可将上述 100mV 的负载误差降低至大约 10mV。因此，系统设计人员在选择元件值时需要考虑电阻分压器偏置电流与负载误差之间的关系。

由于 VMON_VSYS 具有极小的迟滞和对瞬态的高带宽响应，系统设计人员还必须考虑在分压器输出端实现噪声滤波器。这可通过在 R1 上安装一个电容器来实现，如图 8-5 所示。然而，系统设计人员必须根据系统电源噪声和对瞬态事件的预期响应来确定此滤波器的响应时间。

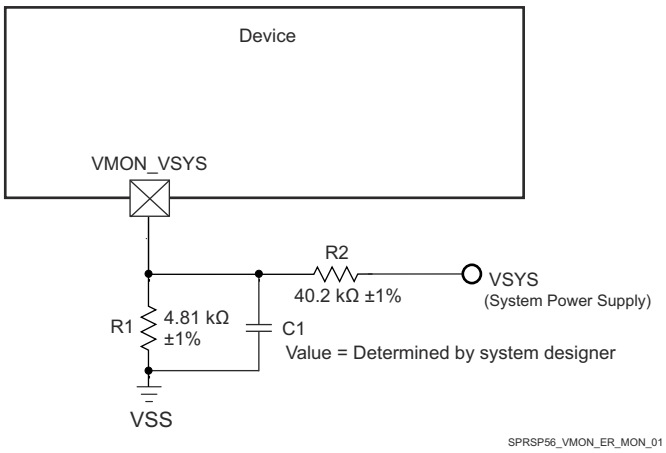


图 8-5. 系统电源监测分压器电路

VMON_1P8_MCU 和 VMON_1P8_SOC 引脚提供了一种监测外部 1.8V 电源的方法。这些引脚必须直接连接到各自的电源。SoC 内部为这些引脚的每一个都实现了一个具有软件控制的内部电阻分压器。软件可以对每个内部电阻分压器进行编程，以创建适当的欠压和过压中断。

VMON_3P3_MCU 和 VMON_3P3_SOC 引脚提供了一种监测外部 3.3V 电源的方法。这些引脚必须直接连接到各自的电源。SoC 内部为这些引脚的每一个都实现了一个具有软件控制的内部电阻分压器。软件可以对每个内部电阻分压器进行编程，以创建适当的欠压和过压中断。

8.2.5 高速差分信号布线指南

高速接口布局布线指南提供了如何为高速差分信号成功布线的指导。其中包括 PCB 堆叠和材料指导以及布线偏移、长度和间距限制。TI 仅支持遵循此应用手册中所包含的电路板设计指南的设计。

8.2.6 散热解决方案指导

DSP 和 ARM 应用处理器热设计指南为包含此器件的系统设计提供了如何成功实施散热解决方案的指导。本文档提供了与散热解决方案相关的常见术语和方法的背景信息。TI 仅支持遵循此应用手册中所包含的系统设计指南的设计。

Copyright © 2026 Texas Instruments Incorporated

8.3 时钟布线指南

8.3.1 振荡器路由

在设计印刷电路板时：

- 将所有晶体电路元件尽可能靠近相应的器件引脚放置。
- 在 PCB 的外层布置晶体电路布线，并尽量缩短布线长度，以减少寄生电容并尽可能减少其他信号的串扰。
- 在 PCB 的相邻层上放置一个连续的接地平面，使其位于所有晶体电路元件和晶体电路布线的下方。
- 在晶体电路元件周围布设接地防护，以屏蔽在与晶体电路布线布置在同一层上的所有相邻信号。插入多个过孔以拼接地防护，使其没有任何未端接残桩。
- 在 MCU_OSC0_XI 和 MCU_OSC0_XO 信号之间布置接地防护，以使 MCU_OSC0_X0 信号和 MCU_OSC0_XI 信号相互屏蔽。插入多个过孔以拼接地防护，使其没有任何未端接残桩。
- 如果在 PCB 的不同层上单独实现，则将所有晶体电路接地连接和接地防护连接直接连接到相邻层的接地平面和器件的 VSS 接地平面。

备注

在 MCU_OSC0_XI 和 MCU_OSC0_XO 信号之间实现接地防护对于尽可能减小两个信号之间的分流电容至关重要。在这两个信号间不存在接地防护的情况下，将这两个信号彼此相邻布置会有效地降低振荡器放大器的增益，进而降低其启动振荡的能力。

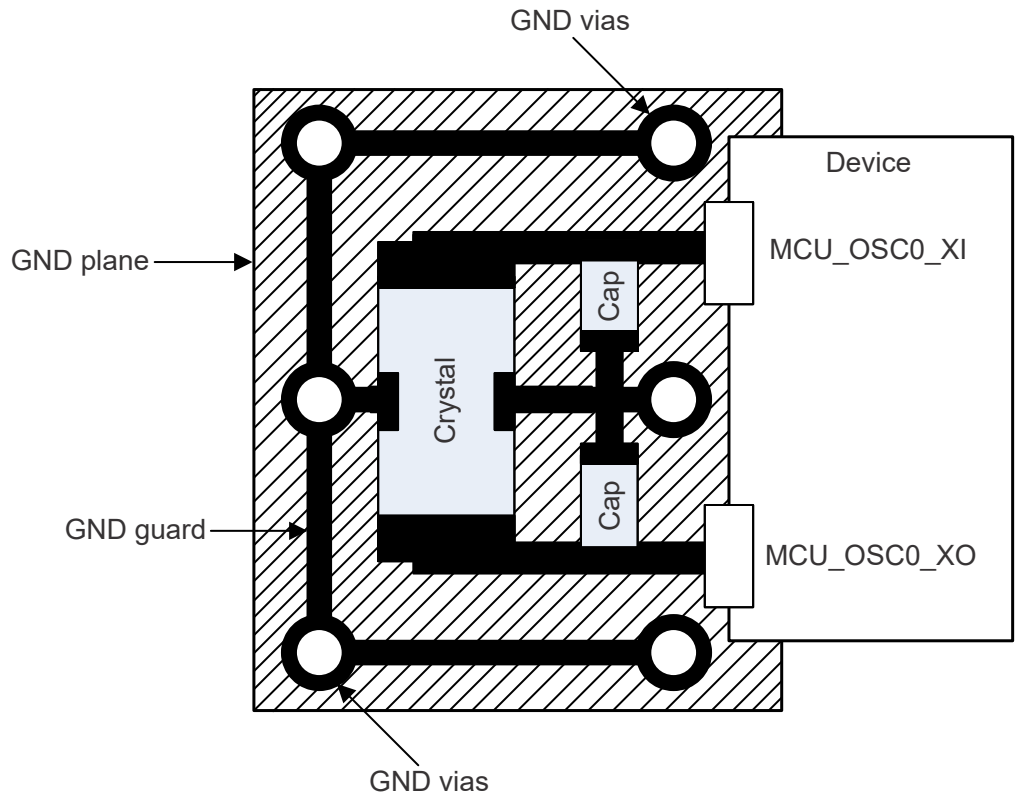


图 8-6. MCU_OSC0 PCB 要求

Copyright © 2026 Texas Instruments Incorporated

9 器件和文档支持

9.1 器件命名规则

为了标示产品开发周期所处的阶段，TI 为所有嵌入式处理器件和支持工具的器件型号分配了前缀。每个器件都具有以下三个前缀中的其中一个：X、P 或 null（无前缀）（例如，AM6442BSFFHAALV）。德州仪器 (TI) 为相关支持工具推荐使用三种可能的前缀指示符中的两个：TMDX 和 TMDS。这些前缀代表了产品开发的发展阶段，即从工程原型 (TMDX) 直到完全合格的生产器件和工具 (TMDS)。

器件开发进化流程：

X	试验器件不一定代表器件的最终电气规范标准，并且可能不使用生产组装流程。
P	原型器件不一定是最终的器件芯片，并且不一定符合最终电气规格。
null（空白）	完全符合要求并且符合最终电气规格的芯片模型的生产版本。

支持工具开发演变流程：

TMDX	还未经德州仪器 (TI) 完整内部质量测试的开发支持产品。
TMDS	完全合格的开发支持产品。

X 和 P 器件和 TMDX 开发支持工具在供货时附带如下免责条款：

“开发中的产品用于内部评估用途。”

生产器件和 TMDS 开发支持工具已进行完全特性描述，并且器件的质量和可靠性已经完全论证。TI 的标准保修证书对该器件适用。

预测显示原型器件（X 或者 P）的故障率大于标准生产器件。由于这些器件的预期最终使用故障率仍未确定，故德州仪器 (TI) 建议请勿将这些器件用于任何生产系统。请仅使用合格的生产器件。

如需 ALV/ANI 装类型的 AM64x 器件的可订购器件型号，请参阅本文档末尾的封装选项附录、访问 TI 网站 (ti.com) 或联系您的 TI 销售代表。

Copyright © 2026 Texas Instruments Incorporated

9.1.1 标准封装编号法

备注

某些器件的器件封装顶部的表面可能有一个圆形标识，该标识是生产测试过程中产生的。此外，一些器件的封装基板颜色也可能因基板制造商的原因而有所不同。这些差异只在表面显示，不会影响可靠性。

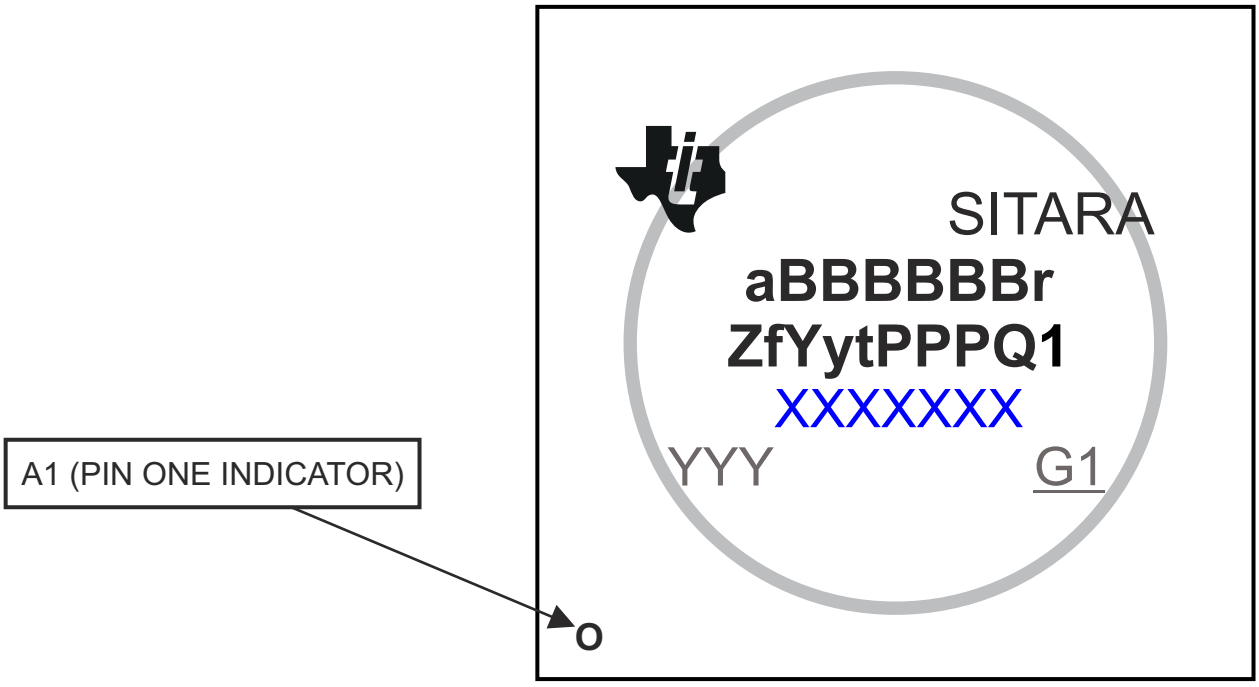


图 9-1. 印刷器件参考

Copyright © 2026 Texas Instruments Incorporated

9.1.2 器件命名约定

表 9-1. 命名规则说明

字段参数	字段说明	值	说明
a	器件演变阶段	X	原型
		P	预量产（生产测试流程，无可靠性数据）
		空白(1)	量产
BBBBBB	基本生产器件型号	AM6442	请参阅表 4-1，*器件比较*
		AM6441	
		AM6422	
		AM6421	
		AM6412	
		AM6411	
r	器件修订版本	A	器件修订版本 (SR) 1.0
		B	SR 2.0
Z	器件速度等级	S	请参阅表 6-1，*速度等级最大频率*
		K	
f	功能（请参阅表 4-1）	C	除工业通信支持以外，所有 PRU_ICSSG 特性均处于启用状态。PRU_ICSSG 工业通信接口包括以太网网络（MII/RGMII、MDIO）、Σ-Δ (SD) 抽取和三通道外设接口（EnDat 2.2 和 BiSS）
		D	C 支持的特性，并且 PRU_ICSSG 工业通信处于启用状态
		E	D 和 CAN FD 支持的特性，并且启用了对 EtherCAT 和其他需要硬件自动转发功能的以太网协议的硬件支持
		F	E 支持的特性，并且预集成堆栈处于启用状态
Y	功能安全	G	非功能安全
		F	功能安全
y	安全性	G	非安全
		H	安全
t	温度 (2)	A	-40°C 至 105°C - 扩展工业级（请参阅 节 6.4 *建议运行条件*）
		I	-40°C 至 125°C - 125°C 工业和汽车（请参阅 节 6.4 *建议运行条件*和 节 6.3 *上电时间 (POH)*）
PPP	封装符号	ALV	ALV FCBGA-N441 (17.2mm × 17.2mm) 封装
		ANI	ANI FCBGA-N441 (17.2mm × 17.2mm) 封装
Q1	汽车级指示符	Q1	符合汽车标准 (AEC - Q100)
		空白(1)	标准
XXXXXXX			批次追踪代码 (LTC)
YYY			生产代码；仅供 TI 使用
O			引脚 1 符号
G1			ECAT—环保封装符号

(1) 符号和器件号中的空白将折叠显示，以防字符间存在间隙。
(2) 适用于器件最高结温。

Copyright © 2026 Texas Instruments Incorporated

9.2 工具与软件

以下开发工具支持针对 TI 嵌入式处理平台进行开发：

开发工具

Code Composer Studio™ 集成开发环境 Code Composer Studio (CCS) 集成开发环境 (IDE) 是支持 TI 微控制器和嵌入式处理器产品系列的开发环境。Code Composer Studio 包含一整套用于开发和调试嵌入式应用的工具。该工具包含优化的 C/C++ 编译器、源代码编辑器、工程构建环境、调试程序、分析器以及多种其他功能。直观的 IDE 提供了一个单一用户界面，可帮助用户完成应用开发流程的每个步骤。熟悉的工具和界面让用户能够比以往更快地上手。Code Composer Studio 将 Eclipse® 软件框架的优势和 TI 高级嵌入式调试功能相结合，为嵌入式开发人员提供了一种极具吸引力且功能丰富的开发环境。

SysConfig 工具 系统配置工具提供可简化器件配置的图形用户界面 (GUI)。该工具旨在简化硬件和软件配置挑战，从而加速软件开发。SysConfig 可作为 Code Composer Studio™ 集成开发环境的一部分以及作为独立应用提供。此外，可以通过访问 **TI 开发人员专区**，在云中运行 SysConfig。

SysConfig 支持开发人员配置引脚、外设和其他元件，并自动检测、提示和解决冲突，从而加快软件开发进程。此外，时钟树工具还提供了器件时钟连接的可视化实现。

SysConfig 工具可生成输出 C 头文件/代码文件，这些文件可导入软件开发套件 (SDK)，使客户能够根据特定硬件要求配置其软件。

有关处理器平台开发支持工具的完整列表，请访问德州仪器 (TI) 网站 www.ti.com.cn。有关价格和供货情况的信息，请联系最近的 TI 现场销售办事处或授权分销商。

9.3 文档支持

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

以下文档对 AM64x 器件进行了介绍。

技术参考手册

AM64x/AM243x 处理器器件修订版本 1.0 技术参考手册详述了 AM64x 系列器件中每一个外设和子系统的集成、环境、功能说明以及编程模型。

勘误

AM64x/AM243x 处理器器件修订版本 1.0 器件勘误表描述了器件功能技术规格的已知例外情况。

9.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.5 商标

Sitara™, XDS™, Code Composer Studio™, and TI E2E™ are trademarks of Texas Instruments.
CoreSight™ is a trademark of Arm Limited (or its subsidiaries) in the US and/or elsewhere.
Arm® and Cortex® are registered trademarks of Arm Limited.
TrustZone® is a registered trademark of Arm Limited (or its subsidiaries) in the US and/or elsewhere.
PCI-Express® is a registered trademark of PCI-SIG.
EtherCAT® is a registered trademark of Beckhoff Automation GmbH.
Eclipse® is a registered trademark of Eclipse Foundation AISBL.
所有商标均为其各自所有者的财产。

Copyright © 2026 Texas Instruments Incorporated

9.6 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.7 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

Changes from DECEMBER 22, 2025 to JUNE 3, 2026 (from Revision H (DECEMBER 2025) to Revision I (JUNE 2026)) **Page**

- **通篇：**向器件添加了 ANI 封装选项支持 1
- （特性）：添加了新 ANI 封装选项的详细信息 1
- （器件比较）：添加了注释，说明功能可用性可能因封装而异 8
- （热阻特性）：向表添加了 ANI 封装选项 112
- （MCU_OSC0 开关特性 - 晶体模式）：向表添加了 ANI 封装选项 130
- (GPMC)：扩展了输出负载电容范围。为 133MHz 同步模式和所有其他模式分别规定了不同范围。 153
- （GPMC 和 NOR 闪存时序要求 - 同步模式）：简化了 MODE 列，使其仅包含 div_by_1_mode 和 not_div_by_1_mode。已将列标题从“GPMC_FCLK = 100MHz/133MHz”更改为“32 位数据总线（高达 100MHz）/16 位数据总线（高达 133MHz）”。简化了几个参数说明。更新了引脚名称，以与引脚属性表保持一致。更新了表注。 153
- （GPMC 和 NOR 闪存开关特性 - 同步模式）：删除了 MODE 列。合并了 GPMC_FCLK=100MHz 和 GPMC_FCLK=133MHz 列。降低了 F2 和 F3 clk-csn 最大输出延迟。将参数 F3 和 F11 中的时序变量更改为“D”。删除了 F7 行中的 2 行。从 F15 和 F17 参数中删除了“J”时序变量。为 F6、F7、F17、F19 添加了 32 位数据总线的字节使能。简化了几个参数说明。更新了引脚名称，以与引脚属性表保持一致。更新了表注。 153
- （GPMC 和 NOR 闪存时序要求 - 异步模式）：删除了 MODE 列和描述 div_by_1_mode 的寄存器配置的表注。为参数 FA21 添加了正确的表注 162
- （GPMC 和 NOR 闪存开关特性 - 异步模式）：删除了 MODE 列和冗余行。还删除了描述 div_by_1_mode 的寄存器配置的表注。将表注链接直接放置在每个字母旁边。 162
- （GPMC 和 NAND 闪存时序要求 - 异步模式）：删除了 MODE 列和描述 div_by_1_mode 的寄存器配置的表注。 169
- （GPMC 和 NAND 闪存开关特性 - 异步模式）：删除了 MODE 列和描述 div_by_1_mode 的寄存器配置的表注。为时序变量 A、B、C、D、E、F、G、H、I、K、L 和 M 添加了表注和相关参考链接。 169
- （MCSPI 开关特性 — 外设模式）：更新了参数 SS6 和 SS7 的值 180
- （器件命名约定）：更新了“封装标识符”行（添加了 ANI 封装选项） 253

Copyright © 2026 Texas Instruments Incorporated

Changes from JUNE 3, 2026 to JUNE 12, 2026 (from Revision I (JUNE 2026) to Revision J (JUNE 2026)) **Page**

- （速度等级最大频率）：添加了 VDD_CORE 列，指示所有速度等级选项都支持 0.75V 和 0.85V 内核电压.103
- （热阻特性）：更新了 ANI 封装特性值.....112

Copyright © 2026 Texas Instruments Incorporated

11 机械、封装和可订购信息

11.1 封装信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
AM6411BKCGHAALV	Active	Production	FCBGA (ALV) | 441	84 | JEDEC TRAY (5+1)	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	AM6411B KCGHAALV 709
AM6411BKCGHAALV.B	Active	Production	FCBGA (ALV) | 441	84 | JEDEC TRAY (5+1)	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	AM6411B KCGHAALV 709
AM6411BSCGHAALV	Active	Production	FCBGA (ALV) | 441	84 | JEDEC TRAY (5+1)	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	AM6411B SCGHAALV 709
AM6411BSCGHAALV.B	Active	Production	FCBGA (ALV) | 441	84 | JEDEC TRAY (5+1)	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	AM6411B SCGHAALV 709
AM6411BSCGHIALVR	Active	Production	FCBGA (ALV) | 441	500 | LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	AM6411B SCGHIALV 709
AM6411BSCGHIALVR.B	Active	Production	FCBGA (ALV) | 441	500 | LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	AM6411B SCGHIALV 709
AM6412BKCGHAALVR	Active	Production	FCBGA (ALV) | 441	500 | LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	AM6412B KCGHAALV 709
AM6412BKCGHAALVR.B	Active	Production	FCBGA (ALV) | 441	500 | LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	AM6412B KCGHAALV 709
AM6412BSCGHAALV	Active	Production	FCBGA (ALV) | 441	84 | JEDEC TRAY (5+1)	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	AM6412B SCGHAALV 709
AM6412BSCGHAALV.B	Active	Production	FCBGA (ALV) | 441	84 | JEDEC TRAY (5+1)	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	AM6412B SCGHAALV 709
AM6412BSCGHAANIR	Active	Production	FCCSP (ANI) | 441	1000 | LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	TI AM64 12BSCGHA
AM6421BSDGHAALVR	Active	Production	FCBGA (ALV) | 441	500 | LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	AM6421B SDGHAALV 709

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
AM6421BSDGHAALVR.B	Active	Production	FCBGA (ALV) | 441	500 | LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	AM6421B SDGHAALV 709
AM6421BSEFHAALVR	Active	Production	FCBGA (ALV) | 441	500 | LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	AM6421B SEFHAALV 709
AM6421BSEFHAALVR.B	Active	Production	FCBGA (ALV) | 441	500 | LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	AM6421B SEFHAALV 709
AM6421BSFFHAALV	Active	Production	FCBGA (ALV) | 441	84 | JEDEC TRAY (5+1)	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	AM6421B SFFHAALV 709
AM6421BSFFHAALV.B	Active	Production	FCBGA (ALV) | 441	84 | JEDEC TRAY (5+1)	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	AM6421B SFFHAALV 709
AM6421BSFGHAALV	Active	Production	FCBGA (ALV) | 441	84 | JEDEC TRAY (5+1)	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	AM6421B SFGHAALV 709
AM6421BSFGHAALV.B	Active	Production	FCBGA (ALV) | 441	84 | JEDEC TRAY (5+1)	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	AM6421B SFGHAALV 709
AM6422BSDFHAALVR	Active	Production	FCBGA (ALV) | 441	500 | LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	AM6422B SDFHAALV 709
AM6422BSDFHAALVR.B	Active	Production	FCBGA (ALV) | 441	500 | LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	AM6422B SDFHAALV 709
AM6422BSDGHAALV	Active	Production	FCBGA (ALV) | 441	84 | JEDEC TRAY (5+1)	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	AM6422B SDGHAALV 709
AM6422BSDGHAALV.B	Active	Production	FCBGA (ALV) | 441	84 | JEDEC TRAY (5+1)	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	AM6422B SDGHAALV 709
AM6441BSEFHAALV	Active	Production	FCBGA (ALV) | 441	84 | JEDEC TRAY (5+1)	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	AM6441B SEFHAALV 709

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
AM6441BSEFHAALV.B	Active	Production	FCBGA (ALV) | 441	84 | JEDEC TRAY (5+1)	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	AM6441B SEFHAALV 709
AM6441BSEGHAALVR	Active	Production	FCBGA (ALV) | 441	500 | LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	AM6441B SEGHAALV 709
AM6441BSEGHAALVR.B	Active	Production	FCBGA (ALV) | 441	500 | LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	AM6441B SEGHAALV 709
AM6441BSFFHAALV	Active	Production	FCBGA (ALV) | 441	84 | JEDEC TRAY (5+1)	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	AM6441B SFFHAALV 709
AM6441BSFFHAALV.B	Active	Production	FCBGA (ALV) | 441	84 | JEDEC TRAY (5+1)	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	AM6441B SFFHAALV 709
AM6442BSDGHAALV	Active	Production	FCBGA (ALV) | 441	84 | JEDEC TRAY (5+1)	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	AM6442B SDGHAALV 709
AM6442BSDGHAALV.B	Active	Production	FCBGA (ALV) | 441	84 | JEDEC TRAY (5+1)	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	AM6442B SDGHAALV 709
AM6442BSEFHAALV	Active	Production	FCBGA (ALV) | 441	84 | JEDEC TRAY (5+1)	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	AM6442B SEFHAALV 709
AM6442BSEFHAALV.B	Active	Production	FCBGA (ALV) | 441	84 | JEDEC TRAY (5+1)	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	AM6442B SEFHAALV 709
AM6442BSEGHAALV	Active	Production	FCBGA (ALV) | 441	84 | JEDEC TRAY (5+1)	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	AM6442B SEGHAALV 709
AM6442BSEGHAALV.B	Active	Production	FCBGA (ALV) | 441	84 | JEDEC TRAY (5+1)	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	AM6442B SEGHAALV 709
AM6442BSFFHAALV	Active	Production	FCBGA (ALV) | 441	84 | JEDEC TRAY (5+1)	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	AM6442B SFFHAALV 709

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
AM6442BSFFHAALV.B	Active	Production	FCBGA (ALV) | 441	84 | JEDEC TRAY (5+1)	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	AM6442B SFFHAALV 709
AM6442BSFGHAALV	Active	Production	FCBGA (ALV) | 441	84 | JEDEC TRAY (5+1)	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	AM6442B SFGHAALV 709
AM6442BSFGHAALV.B	Active	Production	FCBGA (ALV) | 441	84 | JEDEC TRAY (5+1)	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	AM6442B SFGHAALV 709

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

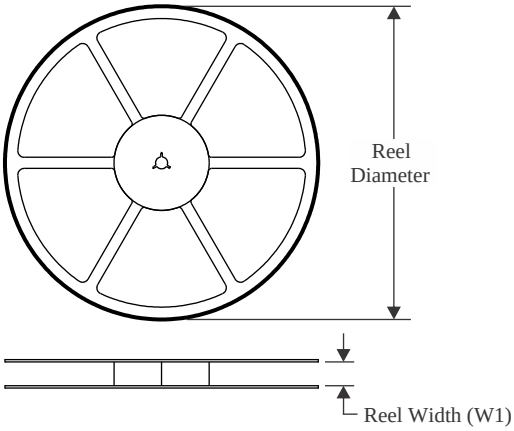
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

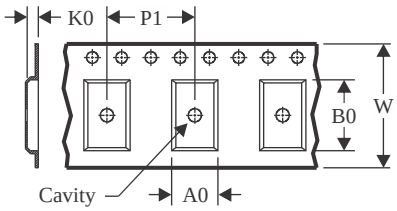
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

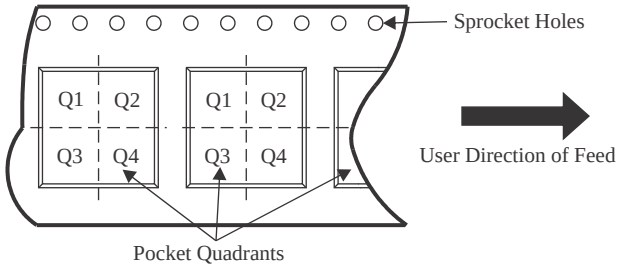


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

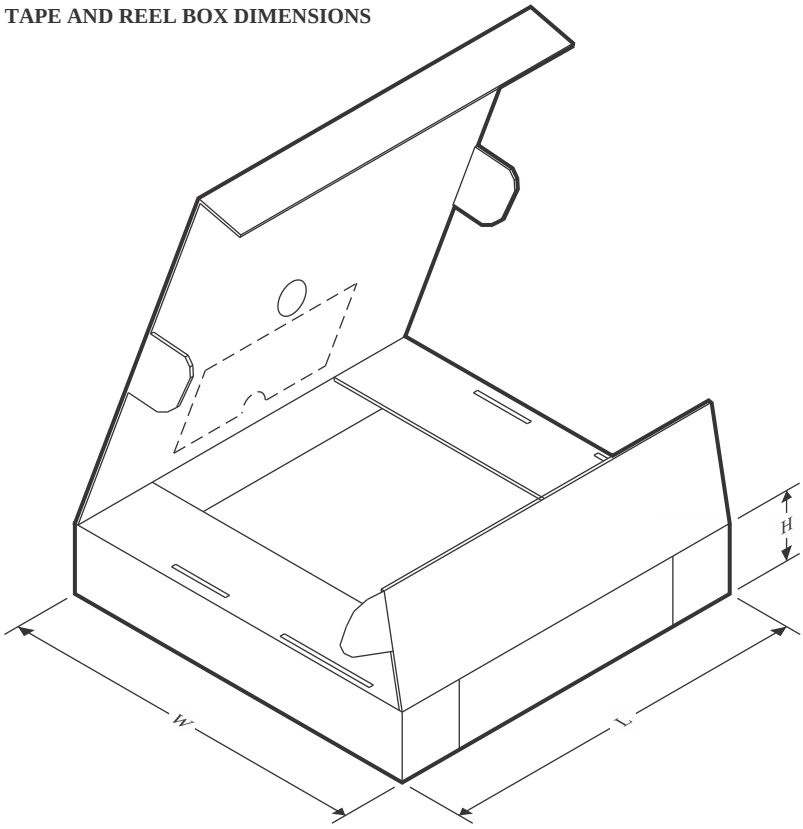
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
AM6411BSCGHIALVR	FCBGA	ALV	441	500	330.0	32.4	17.6	17.6	3.74	24.0	32.0	Q1
AM6412BKCGHAALVR	FCBGA	ALV	441	500	330.0	32.4	17.6	17.6	3.74	24.0	32.0	Q1
AM6412BSCGHAANIR	FCCSP	ANI	441	1000	330.0	32.4	17.6	17.6	1.7	20.0	32.0	Q1
AM6421BSDGHAALVR	FCBGA	ALV	441	500	330.0	32.4	17.6	17.6	3.74	24.0	32.0	Q1
AM6421BSEFHAALVR	FCBGA	ALV	441	500	330.0	32.4	17.6	17.6	3.74	24.0	32.0	Q1
AM6422BSDFHAALVR	FCBGA	ALV	441	500	330.0	32.4	17.6	17.6	3.74	24.0	32.0	Q1
AM6441BSEGHAALVR	FCBGA	ALV	441	500	330.0	32.4	17.6	17.6	3.74	24.0	32.0	Q1

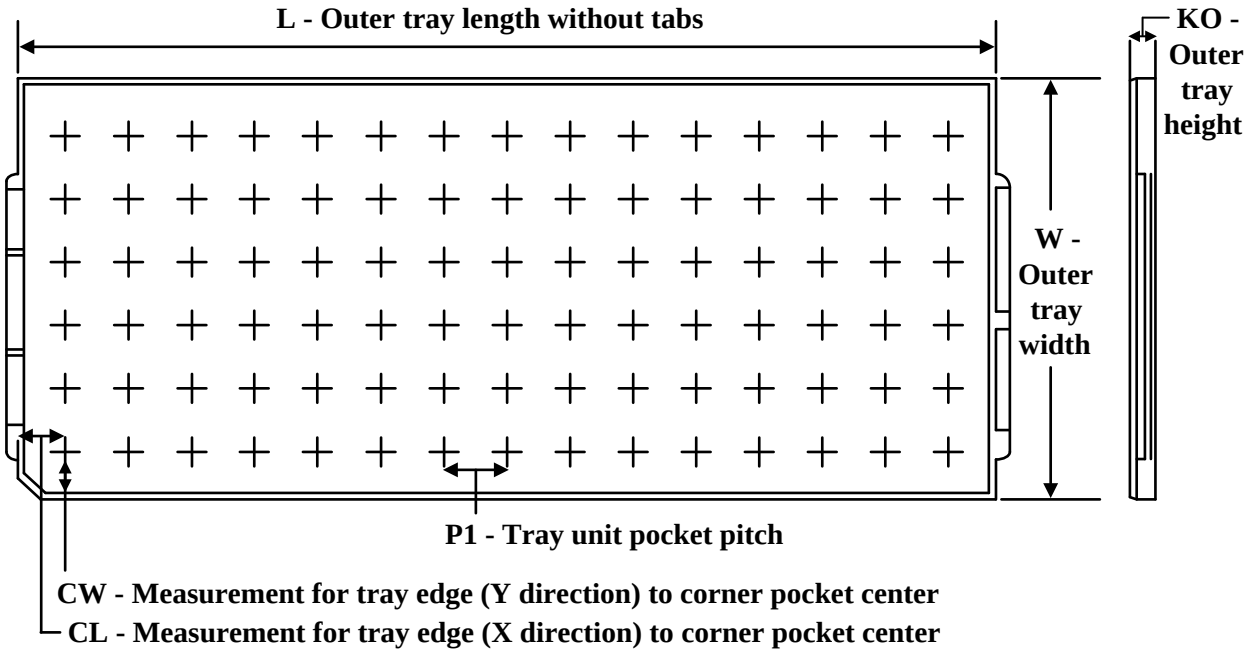
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
AM6411BSCGHIALVR	FCBGA	ALV	441	500	336.6	336.6	41.3
AM6412BKCGHAALVR	FCBGA	ALV	441	500	336.6	336.6	41.3
AM6412BSCGHAANIR	FCCSP	ANI	441	1000	336.6	336.6	41.3
AM6421BSDGHAALVR	FCBGA	ALV	441	500	336.6	336.6	41.3
AM6421BSEFHAALVR	FCBGA	ALV	441	500	336.6	336.6	41.3
AM6422BSDFHAALVR	FCBGA	ALV	441	500	336.6	336.6	41.3
AM6441BSEGHAALVR	FCBGA	ALV	441	500	336.6	336.6	41.3

TRAY



Chamfer on Tray corner indicates Pin 1 orientation of packed units.

*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
AM6411BKCGHAALV	ALV	FCBGA	441	84	6 x 14	150	315	135.9	7620	22	14.5	14.55
AM6411BKCGHAALV.B	ALV	FCBGA	441	84	6 x 14	150	315	135.9	7620	22	14.5	14.55
AM6411BSCGHAALV	ALV	FCBGA	441	84	6 x 14	150	315	135.9	7620	22	14.5	14.55
AM6411BSCGHAALV.B	ALV	FCBGA	441	84	6 x 14	150	315	135.9	7620	22	14.5	14.55
AM6412BSCGHAALV	ALV	FCBGA	441	84	6 x 14	150	315	135.9	7620	22	14.5	14.55
AM6412BSCGHAALV.B	ALV	FCBGA	441	84	6 x 14	150	315	135.9	7620	22	14.5	14.55
AM6421BSFFHAALV	ALV	FCBGA	441	84	6 x 14	150	315	135.9	7620	22	14.5	14.55
AM6421BSFFHAALV.B	ALV	FCBGA	441	84	6 x 14	150	315	135.9	7620	22	14.5	14.55
AM6421BSFGHAALV	ALV	FCBGA	441	84	6 x 14	150	315	135.9	7620	22	14.5	14.55
AM6421BSFGHAALV.B	ALV	FCBGA	441	84	6 x 14	150	315	135.9	7620	22	14.5	14.55
AM6422BSDGHAALV	ALV	FCBGA	441	84	6 x 14	150	315	135.9	7620	22	14.5	14.55
AM6422BSDGHAALV.B	ALV	FCBGA	441	84	6 x 14	150	315	135.9	7620	22	14.5	14.55
AM6441BSEFHAALV	ALV	FCBGA	441	84	6 x 14	150	315	135.9	7620	22	14.5	14.55
AM6441BSEFHAALV.B	ALV	FCBGA	441	84	6 x 14	150	315	135.9	7620	22	14.5	14.55
AM6441BSFFHAALV	ALV	FCBGA	441	84	6 x 14	150	315	135.9	7620	22	14.5	14.55
AM6441BSFFHAALV.B	ALV	FCBGA	441	84	6 x 14	150	315	135.9	7620	22	14.5	14.55
AM6442BSDGHAALV	ALV	FCBGA	441	84	6 x 14	150	315	135.9	7620	22	14.5	14.55

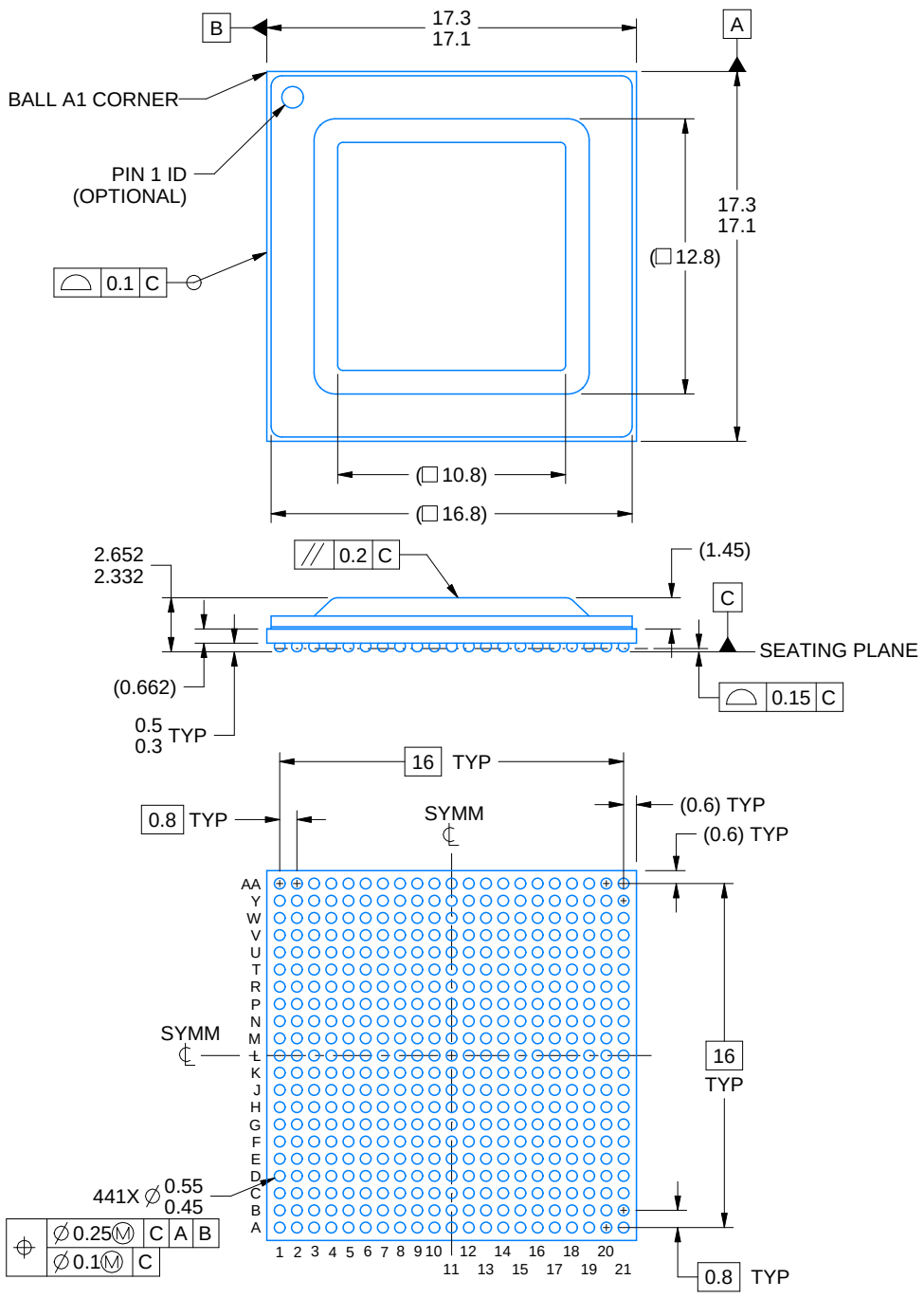
Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
AM6442BSDGHAALV.B	ALV	FCBGA	441	84	6 x 14	150	315	135.9	7620	22	14.5	14.55
AM6442BSEFHAALV	ALV	FCBGA	441	84	6 x 14	150	315	135.9	7620	22	14.5	14.55
AM6442BSEFHAALV.B	ALV	FCBGA	441	84	6 x 14	150	315	135.9	7620	22	14.5	14.55
AM6442BSEGHAALV	ALV	FCBGA	441	84	6 x 14	150	315	135.9	7620	22	14.5	14.55
AM6442BSEGHAALV.B	ALV	FCBGA	441	84	6 x 14	150	315	135.9	7620	22	14.5	14.55
AM6442BSFFHAALV	ALV	FCBGA	441	84	6 x 14	150	315	135.9	7620	22	14.5	14.55
AM6442BSFFHAALV.B	ALV	FCBGA	441	84	6 x 14	150	315	135.9	7620	22	14.5	14.55
AM6442BSFGHAALV	ALV	FCBGA	441	84	6 x 14	150	315	135.9	7620	22	14.5	14.55
AM6442BSFGHAALV.B	ALV	FCBGA	441	84	6 x 14	150	315	135.9	7620	22	14.5	14.55

PACKAGE OUTLINE

ALV0441A

FCBGA - 2.657 mm max height

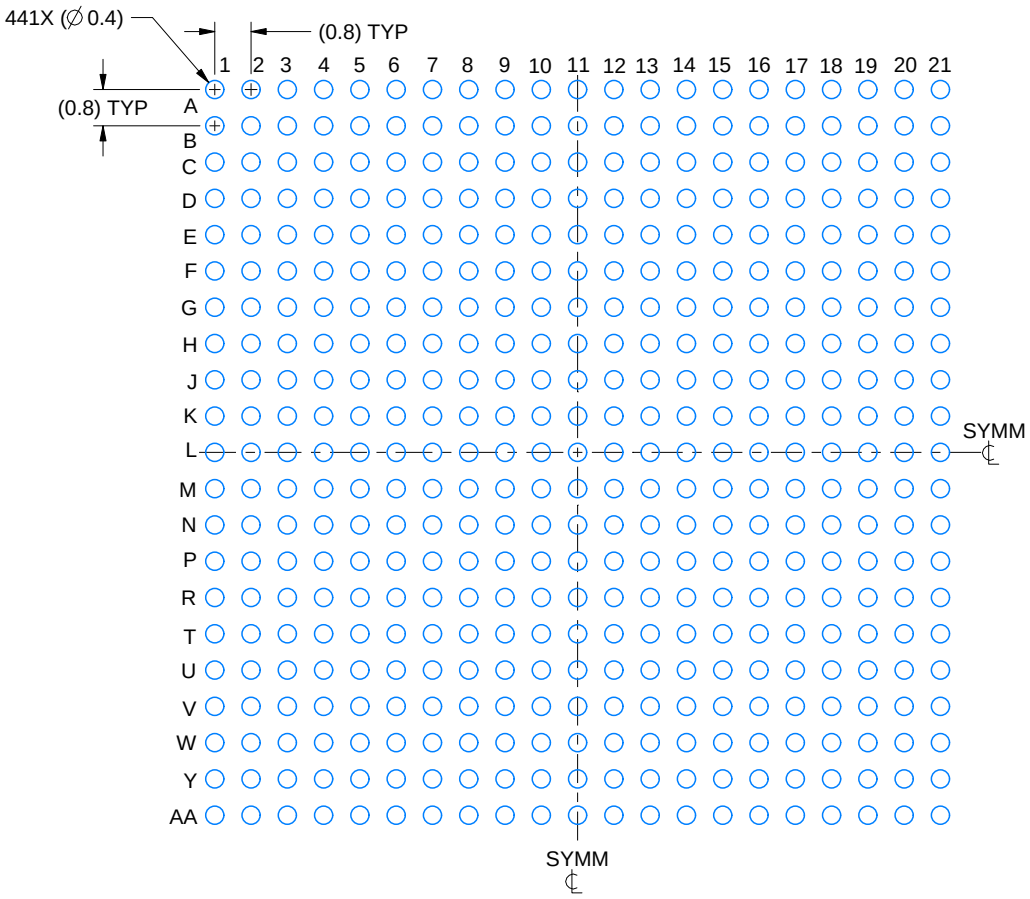
BALL GRID ARRAY



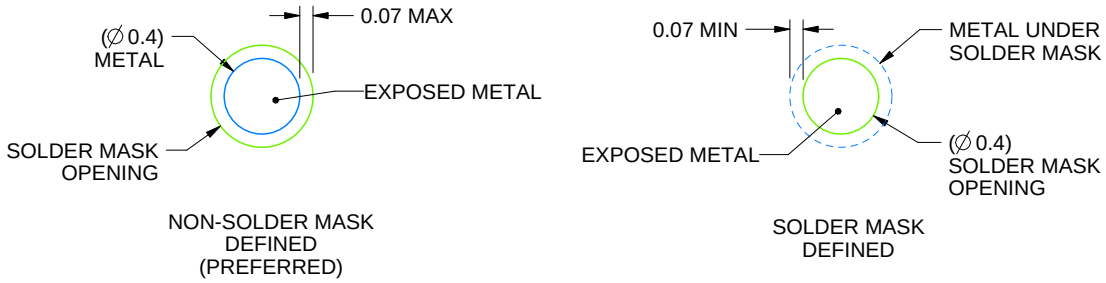
4225999/A 06/2020

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
EXPOSED METAL SNOWN
SCALE:6X



SOLDER MASK DETAILS
NOT TO SCALE

4225999/A 06/2020

NOTES: (continued)

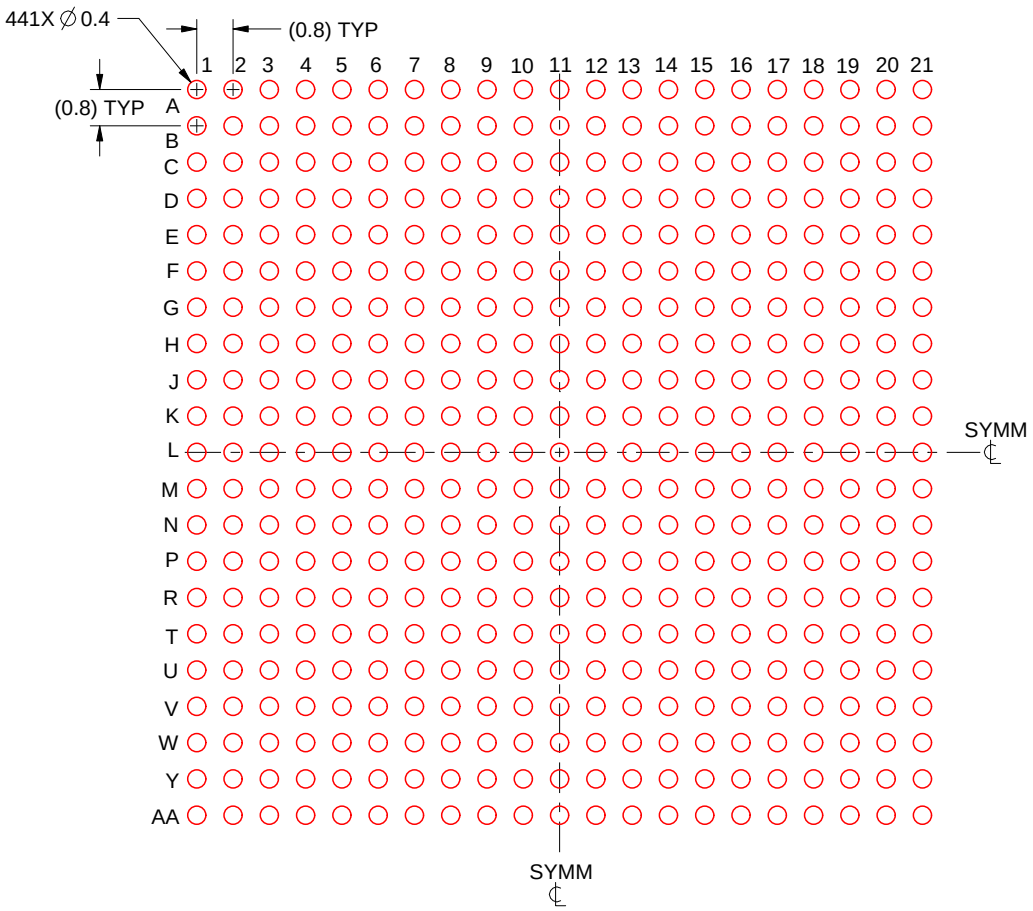
3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints.
For more information, see Texas Instruments literature number SPRU811 (www.ti.com/lit/spru811).

EXAMPLE STENCIL DESIGN

ALV0441A

FCBGA - 2.657 mm max height

BALL GRID ARRAY



SOLDER PASTE EXAMPLE
BASED ON 0.15 mm THICK STENCIL
SCALE: 6X

4225999/A 06/2020

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月