

DRA829 处理器

1 特性

处理器内核：

- 双核 64 位 Arm® Cortex®-A72 微处理器子系统，性能高达 2.0GHz
 - 每个双核 Arm® Cortex®-A72 集群具有 1MB L2 共享缓存
 - 每个 Cortex®-A72 内核具有 32KB L1 数据缓存和 48KB L1 指令缓存
- 六个 Arm® Cortex®-R5F MCU，性能高达 1.0GHz
 - 16K 指令高速缓存，16K 数据高速缓存，64K L2 TCM
 - 隔离 MCU 子系统中有两个 Arm® Cortex®-R5F MCU
 - 通用计算分区中有四个 Arm® Cortex®-R5F MCU
- 深度学习矩阵乘法加速器 (MMA)，性能高达 8TOPS (8b) (频率为 1.0GHz)
- C7x 浮点矢量 DSP，性能高达 1.0GHz、80GFLOPS、256GOPS
- 两个 C66x 浮点 DSP，性能高达 1.35GHz、40GFLOPS、160GOPS
- 3D GPU PowerVR® Rogue 8XE GE8430，性能高达 750MHz、96GFLOPS、6Gpix/s

存储器子系统：

- 高达 8MB 的片上 L3 RAM (具有 ECC 和一致性)
 - ECC 错误保护
 - 共享一致性高速缓存
 - 支持内部 DMA 引擎
- 外部存储器接口 (EMIF) 模块 (具有 ECC)
 - 支持 LPDDR4 存储器类型
 - 支持高达 4266MT/s 的速度
 - 具有内联 ECC 的 32 位数据总线，数据速率高达 14.9GB/s
- 通用存储器控制器 (GPMC)
- MAIN 域中的 512KB 片上 SRAM，受 ECC 保护

显示子系统：

- 1 个 eDP/DP 接口，具有多显示器支持 (MST)
 - HDCP1.4/HDCP2.2 高带宽数字内容保护
- 1 个 DSI TX (高达 2.5K)
- 多达 2 个 DPI

视频加速：

- 超高清视频，1 (3840 × 2160p, 60fps) 或 2 (3840 × 2160p, 30fps) H.264/H.265 解码
- 全高清视频，4 (1920 × 1080p, 60fps) 或 8 (1920 × 1080p, 30fps) H.264/H.265 解码

- 全高清视频，1 (1920 × 1080p, 60fps) 或高达 3 (1920 × 1080p, 30fps) H.264 编码

功能安全：

- [符合功能安全标准](#) (部分器件型号)
 - 专为功能安全应用开发
 - 提供相关文档，可辅助完成最高达 ASIL D/SIL 3 等级的、符合 ISO 26262/IEC 61508 标准的功能安全系统设计
 - 系统功能可满足高达 ASIL D/SC 3 等级的要求
 - 对于 MCU 域，硬件完整性可满足高达 ASIL D/SIL 3 等级的要求
 - 对于 Main 域，硬件完整性可满足高达 ASIL B/SIL 2 等级的要求
- 安全相关认证
 - [通过 TÜV SÜD 满足高达 ASIL D 等级的 ISO 26262 认证](#) (SR1.1、SR2.0)
 - [通过 TÜV SÜD 满足高达 SIL 3 等级的 IEC 61508 认证](#) (SR1.1、SR2.0)
- 符合 AEC-Q100 标准 (以 Q1 结尾的器件型号)

器件安全 (在部分器件型号上)：

- 安全启动，提供安全运行时支持
- 客户可编程的根密钥，级别高达 RSA-4K 或 ECC-512
- 嵌入式硬件安全模块
- 加密硬件加速器 - 带 ECC 的 PKA、AES、SHA、RNG、DES 和 3DES

高速串行接口：

- 2 个 CSI2.0 4L RX 和 1 个 CSI2.0 4L TX
- 集成以太网交换机支持多达 8 个外部端口
 - 所有端口均支持 2.5Gb SGMII
 - 所有端口均支持 1Gb SGMII/RGMII
 - 所有端口均支持 100Mb RMII
 - 任意两个端口均支持 QSGMII (每个 QSGMII 使用 4 个内部端口)
- 最多四个 PCI-Express® (PCIe) 第 3 代控制器
 - 第 1 代 (2.5GT/s)、第 2 代 (5.0GT/s) 和第 3 代 (8.0GT/s) 运行，具有自动协商功能
 - 每个控制器多达 2 个通道
- 2 个 USB 3.0 双重角色器件 (DRD) 子系统
 - 2 个增强型 SuperSpeed 第 1 代端口
 - 每个端口都支持 Type-C 开关
 - 每个端口均可独立配置为 USB 主机、USB 外设或 USB DRD

汽车接口：

- 16 个模块化控制器局域网 (MCAN) 模块，具有完整的 CAN-FD 支持



音频接口：

- 12 个多通道音频串行端口 (MCASP) 模块

闪存接口：

- 嵌入式多媒体卡接口 (eMMC™ 5.1)
- 具有 2 个通道的通用闪存 (UFS 2.1) 接口
- 两个安全数字® 3.0/安全数字输入输出 3.0 接口 (SD3.0/SDIO3.0)
- 2 个同步闪存接口，配置为
 - 1 个 OSPI 和 1 个 QSPI 闪存接口
 - 或 1 个 HyperBus™ 和 1 个 QSPI 闪存接口

片上系统 (SoC) 架构：

- 16nm FinFET 技术

- 24mm × 24mm、0.8mm 间距、827 引脚 FCBGA (ALF)，可实现 IPC 3 级 PCB 布线

TPS6594-Q1 配套电源管理 IC (PMIC)：

- 等级高达 ASIL-D 的功能安全支持
- 灵活的映射，可支持不同的用例

2 应用

- [汽车网关](#)
- [车身控制模块](#)
- [工业运输](#)
- [工业机器人](#)
- [高端 PLC](#)

3 说明

DRA829 处理器基于 Arm® v8 64 位架构，可提供高级系统集成，以降低汽车和工业应用的系统成本。集成式诊断和功能安全特性满足 ASIL-B/C 或 SIL-2 认证/要求。集成式微控制器 (MCU) 岛无需使用外部系统 MCU。该器件具有千兆位以太网交换机和 PCIe® 集线器，可支持需要大量数据带宽的网络使用情况。最多四个 Arm® Cortex®-R5F 子系统可管理低级的时序关键型处理任务，并且可使 Arm® Cortex®-A72 不受应用的影响。对 Arm® Cortex®-A72 的双核集群配置有助于实现多操作系统应用，而且对软件管理程序的需求非常低。

封装信息

器件型号 ⁽¹⁾	封装	封装尺寸 ⁽²⁾
DRA829...ALF	ALF (FCBGA , 827)	24.0mm × 24.0mm
XJ721E...ALF	ALF (FCBGA , 827)	24.0mm × 24.0mm

(1) 有关更多信息，请参阅[机械、封装和可订购信息](#)。

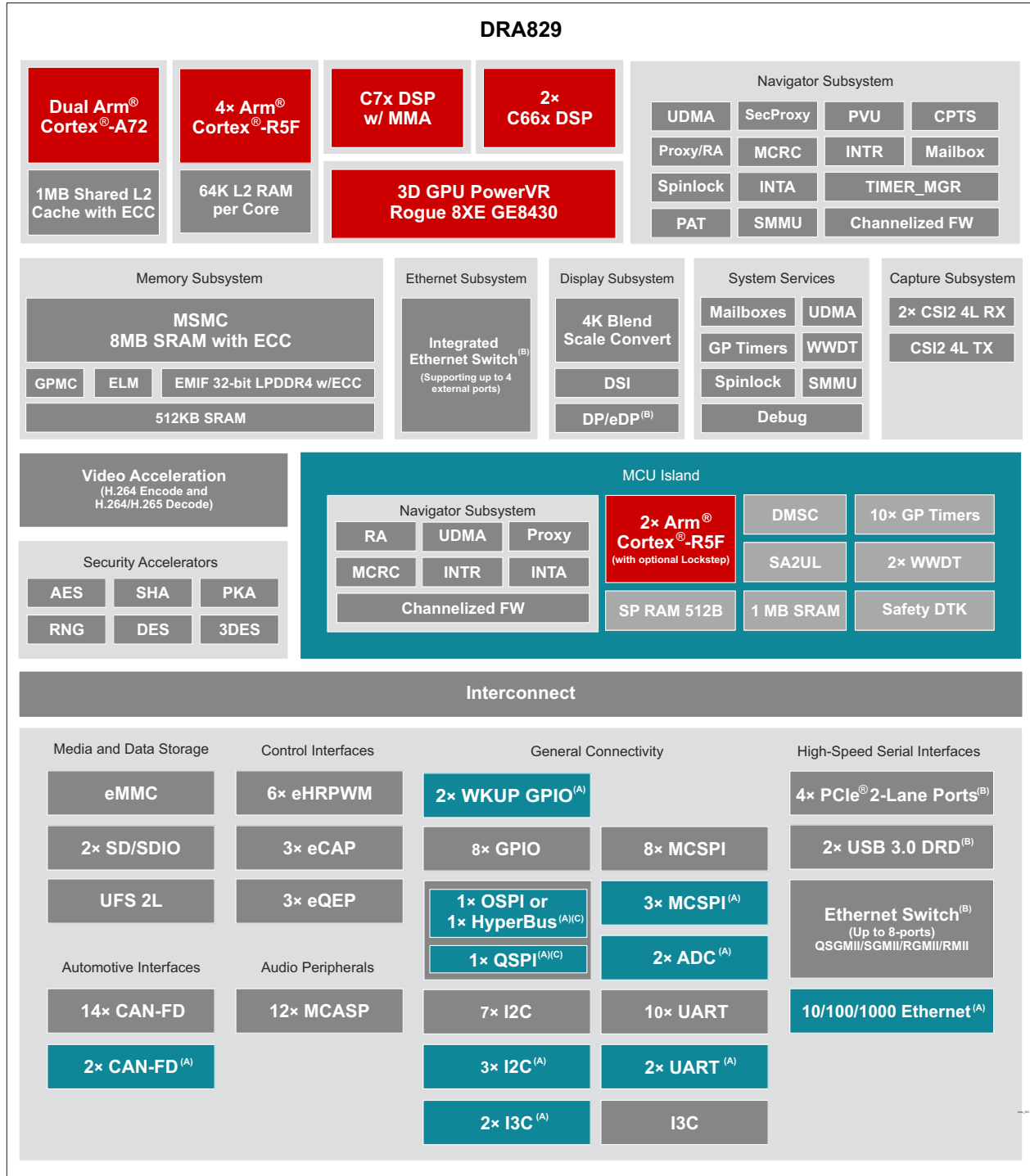
(2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。

3.1 功能方框图

图 3-1 是器件的功能方框图。

备注

要了解 TI 软件开发套件 (SDK) 目前支持的器件功能，请参阅 [DRA829](#) 和 [TDA4VM](#) 软件构建表 ([PROCESSOR-SDK-J721E](#))。



A. 该接口位于 MCU 岛上，但整个系统都可以访问该接口。

- B. DP、SGMII、USB3.0 和 PCIE[3:0] 共用总共 12 个串行器/解串器通道。
- C. 2 个同步闪存接口，配置为 OSPI0 和 OSPI1 或 HyperBus™ 和 OSPI1。

图 3-1. 功能方框图

内容

1 特性	1	6.10 时序和开关特性	173
2 应用	2	7 Detailed Description	299
3 说明	2	7.1 概述.....	299
3.1 功能方框图.....	3	7.2 处理器子系统.....	300
4 器件比较	6	7.3 加速器和协处理器.....	301
4.1 相关产品.....	8	7.4 其他子系统.....	302
5 端子配置和功能	9	8 应用和实施	310
5.1 引脚图.....	9	8.1 电源映射.....	310
5.2 引脚属性.....	10	8.2 器件连接和布局基本准则.....	313
5.3 Signal Descriptions.....	76	8.3 外设和接口的相关设计信息.....	315
5.4 引脚多路复用.....	136	9 器件和文档支持	320
5.5 引脚连接要求.....	151	9.1 器件命名规则.....	320
6 规格	154	9.2 工具与软件.....	322
6.1 绝对最大额定值.....	154	9.3 文档支持.....	323
6.2 ESD 等级.....	157	9.4 支持资源.....	323
6.3 通电时间 (POH) 限制.....	157	9.5 商标.....	323
6.4 Recommended Operating Conditions.....	157	9.6 静电放电警告.....	323
6.5 运行性能点.....	160	9.7 术语表.....	323
6.6 电气特性.....	161	10 修订历史记录	324
6.7 一次性可编程 (OTP) 电子保险丝的 VPP 规格.....	169	11 机械、封装和可订购信息	325
6.8 热阻特性.....	171	11.1 封装信息.....	325
6.9 温度传感器特性.....	172		

4 器件比较

表 4-1 展示了 SoC 的特性，突出了不同之处。

备注

要了解 TI 软件开发套件 (SDK) 目前支持的器件功能，请参阅 [DRA829](#) 和 [TDA4VM](#) 软件构建表 ([PROCESSOR-SDK-J721E](#))。

表 4-1. 器件比较

特性 ⁽⁷⁾	参考名称	DRA829JM	DRA829VM
特性			
CTRLMMR_WKUP_JTAG_USER_ID[31:16]DEVICE_ID 寄存器位字段值 ^{(6) (7)}		0x1388	0x1380
处理器和加速器			
速度等级		T	T
Arm Cortex-A72 微处理器子系统	Arm A72	双核	双核
Arm Cortex-R5F	Arm R5F	六核	六核
	锁步	可选 ⁽¹⁾	可选 ⁽¹⁾
设备管理安全控制器	DMSC	是	是
C7x 浮点, 矢量 DSP	C7x DSP	是	否
深度学习加速器	MMA	是	否
两个 C66x 浮点 DSP	C66x DSP	双核	否
图形加速器 3D GPU PowerVR Rogue 8XE GE8430	GPU	是	否
深度和运动处理加速器	DMPAC	否	否
视觉处理加速器	VPAC	否	否
安全加速器	SA	是	是
视频编码器/解码器	VENC/VDEC	是	否
安全与安防			
以符合安全标准为目标	安全	可选 ⁽¹⁾	可选 ⁽¹⁾
器件安全性	安全性	可选 ⁽²⁾	可选 ⁽²⁾
符合 AEC-Q100 标准	Q1	可选 ⁽³⁾	可选 ⁽³⁾
程序和数据存储			
MAIN 域中的片上共享存储器 (RAM)	OCSRAM	512KB SRAM	512KB SRAM
MCU 域中的片上共享存储器 (RAM)	MCU_MS RAM	1MB SRAM	1MB SRAM
多核共享存储器控制器	MSMC	8MB (带 ECC 的片上 SRAM)	8MB (带 ECC 的片上 SRAM)
LPDDR4 DDR 子系统	DDRSS	高达 8GB (32 位数据), 具有内联 ECC	高达 8GB (32 位数据), 具有内联 ECC
	SECDED	7 位	7 位
通用存储器控制器	GPMC	高达 1GB, 具有 ECC	高达 1GB, 具有 ECC
外设			
显示子系统	DSS	是	是
模块化控制器区域网接口, 具有完整 CAN-FD 支持	MCAN	16	16
通用 I/O	GPIO	高达 226	高达 226
内部集成电路接口	I2C	10	10
改进了内部集成电路接口	I3C	3	3
模数转换器	ADC	2	2
带摄像头串行接口的捕获子系统 (CSI2)	CSI2.0 4L RX	2	2
	CSI2.0 4L TX	1	1
多通道串行外设接口	MCSPi	11	11

表 4-1. 器件比较 (续)

特性 ⁽⁷⁾	参考名称	DRA829JM	DRA829VM
多通道音频串行端口	MCASP0	16 个串行器	16 个串行器
	MCASP1	12 个串行器	12 个串行器
	MCASP2	6 个串行器	6 个串行器
	MCASP3	4 个串行器	4 个串行器
	MCASP4	4 个串行器	4 个串行器
	MCASP5	4 个串行器	4 个串行器
	MCASP6	4 个串行器	4 个串行器
	MCASP7	4 个串行器	4 个串行器
	MCASP8	4 个串行器	4 个串行器
	MCASP9	4 个串行器	4 个串行器
	MCASP10	8 个串行器	8 个串行器
	MCASP11	8 个串行器	8 个串行器
多媒体卡/安全数字接口	MMCSDB0	eMMC (8 位)	eMMC (8 位)
	MMCSDB1	SD/SDIO (4 位)	SD/SDIO (4 位)
	MMCSDB2	SD/SDIO (4 位)	SD/SDIO (4 位)
通用闪存存储	UFS 2L	是 (2 个通道)	是 (2 个通道)
闪存子系统 (FSS)	OSPI0	8 位 ⁽⁵⁾	8 位 ⁽⁵⁾
	OSPI1 ⁽⁶⁾	4 位	4 位
	HyperBus	是 ⁽⁵⁾	是 ⁽⁵⁾
4 个具有集成 PHY 的 PCI Express 端口	PCIE0	最多两个通道 ⁽⁴⁾	最多两个通道 ⁽⁴⁾
	PCIE1	最多两个通道 ⁽⁴⁾	最多两个通道 ⁽⁴⁾
	PCIE2	最多两个通道 ⁽⁴⁾	最多两个通道 ⁽⁴⁾
	PCIE3	最多两个通道 ⁽⁴⁾	最多两个通道 ⁽⁴⁾
2 个可编程实时单元子系统和 TSN 通信子系统 (以太网子系统)	PRU_ICSSG0	无	无
	PRU_ICSSG1	无	无
千兆位以太网接口	CPSW2G	RMII 或 RGMII	RMII 或 RGMII
	CPSW9G	8 × RMII 8 × RGMII 8 × SGMII ⁽⁴⁾	8 × RMII 8 × RGMII 8 × SGMII ⁽⁴⁾
通用计时器	计时器	30	30
增强型高分辨率脉宽调制器模块	eHRPWM	6	6
增强型捕获模块	eCAP	3	3
增强型正交编码器脉冲模块	eQEP	3	3
通用异步接收器/发送器	UART	12	12
具有 SS PHY 的通用串行总线 (USB3.1) 超高速双角色设备 (DRD) 端口	USB0	是 ⁽⁴⁾	是 ⁽⁴⁾
	USB1	是 ⁽⁴⁾	是 ⁽⁴⁾

- (1) 包括 R5F 锁步和 SIL/ASIL 等级在内的安全特性仅适用于命名规则说明表 (表 9-1) 中的器件类型 (Y) 标识符所示的部分器件型号变体。
- (2) 器件安全特性 (包括安全启动和客户可编程密钥) 适用于命名规则说明表 (表 9-1) 中的器件类型 (Y) 标识符所示的部分器件型号变体。
- (3) AEC-Q100 鉴定适用于如命名规则说明表 (表 9-1) 中的汽车级指示符 (Q1) 标识符所示的部分器件型号变体。
- (4) DP、SGMII、USB3.0 和 PCIE[3:0] 共用总共 12 个串行器/解串器通道。
- (5) 2 个同步闪存接口, 配置为 OSPI0 和 OSPI1 或 HyperBus 和 OSPI1。
- (6) 有关 CTRLMMR_WKUP_JTAG_USER_ID 寄存器和 DEVICE_ID 位字段的更多详细信息, 请参阅器件 TRM。
- (7) J721E 是超集器件的基本器件型号。软件应限制用于匹配预期生产器件的功能。(CTRLMMR_WKUP_JTAG_USER_ID[31:16] "DEVICE_ID" 寄存器位字段值: 0x1317。)
- (8) OSPI1 模块仅对 4 个引脚进行引脚分配, 在一些上下文中被称为 QSPI。

4.1 相关产品

DRA829 的配套产品 查看经常购买或与此产品结合使用以完成设计的产品。

适用于 DRA8x 和 TDA4x Jacinto™ 处理器的软件开发套件 Processor SDK RTOS (PSDK RTOS) 可与 Processor SDK Linux (PSDK Linux) 或 Processor SDK QNX (PSDK QNX) 一起使用，从而在 TI 的 Jacinto™ 处理器平台内组成一个面向 TDA4x 和 DRA8x SoC 的多处理器软件开发平台。该 SDK 提供了一整套软件工具和组件，可帮助用户在支持的 J7 SoC 上开发和部署其应用程序。PSDK RTOS 可与 PSDK Linux 或 PSDK QNX 搭配使用，从而在机器人、视觉、工厂和楼宇自动化以及汽车 ADAS 和网关系统中实现各种用例。

DRA829 评估模块 DRA829 评估模块 (EVM) 平台基于 Jacinto™ DRA829J、V，旨在加快汽车网关和车辆计算系统的开发速度，缩短产品上市时间。集成式诊断和功能安全特性旨在满足 ASIL-D/SIL-3 认证/要求。集成式微控制器 (MCU) 岛无需使用外部系统 MCU。该器件具有带集成开关的千兆位以太网端口，以满足需要大量数据带宽的网络使用情况，还包括 PCIe 集线器功能。此器件提供多种接口，从 CAN-FD 到 UART 接口，一应俱全。通用 Arm® Cortex®-R5F 子系统可以处理较低级的定时关键型处理任务，并且可使 Arm®Cortex®-A72 不受高级应用的影响。

该 EVM 套件具有 CPU 主板和一个用于其他千兆位以太网端口的以太网扩展板选件，以快速开始评估和开发。

应用手册和白皮书 网关与车辆计算应用处理器。

5 端子配置和功能

5.1 引脚图

备注

在整个文档中，术语“焊球”、“引脚”和“端子”可互换使用。仅在提及物理封装时才尝试使用“焊球”。

图 5-1 展示了 827 球倒装晶片球栅阵列 (FCBGA) 封装的焊球位置，与表 5-1 至图 5-1 配合使用，以找到信号名称和球栅编号。

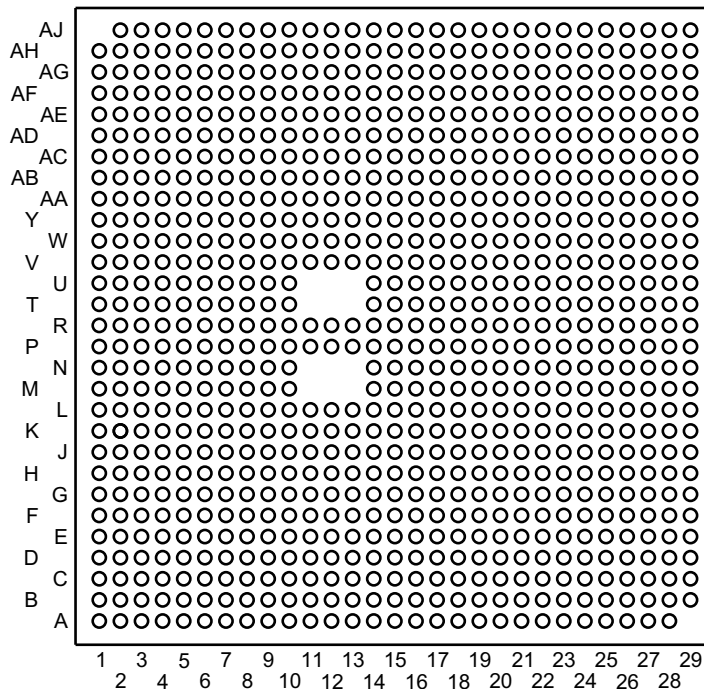


图 5-1. ALF FCBGA-N827 引脚图 (底视图)

5.2 引脚属性

备注

MCU_BOOTMODE 引脚锁存在 MCU_PORz_OUT 的上升沿。BOOTMODE 引脚锁存在 PORz_OUT 的上升沿。

备注

媒体本地总线 (MLB) 在该器件上不可用。如果在 GPIO 模式下未使用，则以下焊球必须保持未连接状态：AE2、AD2、AD3、AC3、AC1、AD1。

备注

PRU_ICSSG0 和 PRU_ICSSG1 在该器件上不可用。不应使用 prg* 信号。这些引脚可用于其他功能。

表 5-1. 引脚属性

焊球 编号 1	焊球名称 2	信号名称 3	多路复用模 式 4	类型 5	焊球复位状 态 6	焊球复位释 放多路复用 模式	I/O 电压值 8	电源 9	迟滞 10	缓冲器类型 11	上拉/下拉类 型 12	DSIS 13	RXACTIVE/ TXDISABL E 14
U7	CAP_VDDS0	CAP_VDDS0		CAP									
K23	CAP_VDDS0_MCU	CAP_VDDS0_MCU		CAP									
AB21	CAP_VDDS1	CAP_VDDS1		CAP									
J18	CAP_VDDS1_MCU	CAP_VDDS1_MCU		CAP									
Y18	CAP_VDDS2	CAP_VDDS2		CAP									
J19	CAP_VDDS2_MCU	CAP_VDDS2_MCU		CAP									
W21	CAP_VDDS3	CAP_VDDS3		CAP									
AA22	CAP_VDDS4	CAP_VDDS4		CAP									
R22	CAP_VDDS5	CAP_VDDS5		CAP									
V22	CAP_VDDS6	CAP_VDDS6		CAP									
B20	CSI0_RXCLKN	CSI0_RXCLKN		I	关闭		1.8V	VDDA_0P8_CSI RX/ VDDA_1P8_CSI RX		D-PHY			
A21	CSI0_RXCLKP	CSI0_RXCLKP		I	关闭		1.8V	VDDA_0P8_CSI RX/ VDDA_1P8_CSI RX		D-PHY			
F16	csi0_rxcplib	CSI0_RXRCALIB		A	关闭		1.8V	VDDA_0P8_CSI RX/ VDDA_1P8_CSI RX		D-PHY			
F15	csi1_rxcplib	CSI1_RXRCALIB		A	关闭		1.8V	VDDA_0P8_CSI RX/ VDDA_1P8_CSI RX		D-PHY			

表 5-1. 引脚属性 (续)

焊球 编号 1	焊球名称 2	信号名称 3	多路复用模 式 4	类型 5	焊球复位状 态 6	焊球复位释 放多路复用 模式	I/O 电压值 8	电源 9	迟滞 10	缓冲器类型 11	上拉/下拉类 型 12	DSIS 13	RXACTIVE/ TXDISABL E 14
B17	CSI1_RXCLKN	CSI1_RXCLKN		I	关闭		1.8V	VDDA_0P8_CSI RX/ VDDA_1P8_CSI RX		D-PHY			
A18	CSI1_RXCLKP	CSI1_RXCLKP		I	关闭		1.8V	VDDA_0P8_CSI RX/ VDDA_1P8_CSI RX		D-PHY			
B19	CSI0_RXN0	CSI0_RXN0		I	关闭		1.8V	VDDA_0P8_CSI RX/ VDDA_1P8_CSI RX		D-PHY			
D18	CSI0_RXN1	CSI0_RXN1		I	关闭		1.8V	VDDA_0P8_CSI RX/ VDDA_1P8_CSI RX		D-PHY			
D17	CSI0_RXN2	CSI0_RXN2		I	关闭		1.8V	VDDA_0P8_CSI RX/ VDDA_1P8_CSI RX		D-PHY			
E16	CSI0_RXN3	CSI0_RXN3		I	关闭		1.8V	VDDA_0P8_CSI RX/ VDDA_1P8_CSI RX		D-PHY			
A20	CSI0_RXP0	CSI0_RXP0		I	关闭		1.8V	VDDA_0P8_CSI RX/ VDDA_1P8_CSI RX		D-PHY			
C19	CSI0_RXP1	CSI0_RXP1		I	关闭		1.8V	VDDA_0P8_CSI RX/ VDDA_1P8_CSI RX		D-PHY			
C18	CSI0_RXP2	CSI0_RXP2		I	关闭		1.8V	VDDA_0P8_CSI RX/ VDDA_1P8_CSI RX		D-PHY			
E17	CSI0_RXP3	CSI0_RXP3		I	关闭		1.8V	VDDA_0P8_CSI RX/ VDDA_1P8_CSI RX		D-PHY			
B16	CSI1_RXN0	CSI1_RXN0		I	关闭		1.8V	VDDA_0P8_CSI RX/ VDDA_1P8_CSI RX		D-PHY			
D15	CSI1_RXN1	CSI1_RXN1		I	关闭		1.8V	VDDA_0P8_CSI RX/ VDDA_1P8_CSI RX		D-PHY			
D14	CSI1_RXN2	CSI1_RXN2		I	关闭		1.8V	VDDA_0P8_CSI RX/ VDDA_1P8_CSI RX		D-PHY			

DRA829J, DRA829J-Q1, DRA829V, DRA829V-Q1

ZHCSN40L - FEBRUARY 2019 - REVISED JUNE 2026

表 5-1. 引脚属性 (续)

焊球 编号 1	焊球名称 2	信号名称 3	多路复用模 式 4	类型 5	焊球复位状 态 6	焊球复位释 放多路复用 模式	I/O 电压值 8	电源 9	迟滞 10	缓冲器类型 11	上拉/下拉类 型 12	DSIS 13	RXACTIVE/ TXDISABL E 14
E13	CSI1_RXN3	CSI1_RXN3		I	关闭		1.8V	VDDA_0P8_CSI RX/ VDDA_1P8_CSI RX		D-PHY			
A17	CSI1_RXP0	CSI1_RXP0		I	关闭		1.8V	VDDA_0P8_CSI RX/ VDDA_1P8_CSI RX		D-PHY			
C16	CSI1_RXP1	CSI1_RXP1		I	关闭		1.8V	VDDA_0P8_CSI RX/ VDDA_1P8_CSI RX		D-PHY			
C15	CSI1_RXP2	CSI1_RXP2		I	关闭		1.8V	VDDA_0P8_CSI RX/ VDDA_1P8_CSI RX		D-PHY			
E14	CSI1_RXP3	CSI1_RXP3		I	关闭		1.8V	VDDA_0P8_CSI RX/ VDDA_1P8_CSI RX		D-PHY			
J1	ddr0_ckn	DDR0_CKN		IO	关闭		1.1V	VDDS_DDR		DDR0			
H1	ddr0_ckp	DDR0_CKP		IO	关闭		1.1V	VDDS_DDR		DDR0			
K6	ddr0_resetn	DDR0_RESEtN		IO	关闭		1.1V	VDDS_DDR		DDR0			
G4	ddr0_ca0	DDR0_CA0		IO	关闭		1.1V	VDDS_DDR		DDR0			
H3	ddr0_ca1	DDR0_CA1		IO	关闭		1.1V	VDDS_DDR		DDR0			
K5	ddr0_ca2	DDR0_CA2		IO	关闭		1.1V	VDDS_DDR		DDR0			
J4	ddr0_ca3	DDR0_CA3		IO	关闭		1.1V	VDDS_DDR		DDR0			
K2	ddr0_ca4	DDR0_CA4		IO	关闭		1.1V	VDDS_DDR		DDR0			
H5	ddr0_ca5	DDR0_CA5		IO	关闭		1.1V	VDDS_DDR		DDR0			
H2	ddr0_cal0	DDR0_CAL0		A	关闭		1.1V	VDDS_DDR		DDR0			
G3	ddr0_cke0	DDR0_CKE0		IO	关闭		1.1V	VDDS_DDR		DDR0			
J3	ddr0_cke1	DDR0_CKE1		IO	关闭		1.1V	VDDS_DDR		DDR0			
J5	ddr0_csn0_0	DDR0_CSn0_0		IO	关闭		1.1V	VDDS_DDR		DDR0			
K3	ddr0_csn0_1	DDR0_CSn0_1		IO	关闭		1.1V	VDDS_DDR		DDR0			
G5	ddr0_csn1_0	DDR0_CSn1_0		IO	关闭		1.1V	VDDS_DDR		DDR0			
J2	ddr0_csn1_1	DDR0_CSn1_1		IO	关闭		1.1V	VDDS_DDR		DDR0			
A3	ddr0_dm0	DDR0_DM0		IO	关闭		1.1V	VDDS_DDR		DDR0			
E4	ddr0_dm1	DDR0_DM1		IO	关闭		1.1V	VDDS_DDR		DDR0			
N1	ddr0_dm2	DDR0_DM2		IO	关闭		1.1V	VDDS_DDR		DDR0			
R5	ddr0_dm3	DDR0_DM3		IO	关闭		1.1V	VDDS_DDR		DDR0			
A5	ddr0_dq0	DDR0_DQ0		IO	关闭		1.1V	VDDS_DDR		DDR0			
A6	ddr0_dq1	DDR0_DQ1		IO	关闭		1.1V	VDDS_DDR		DDR0			
B5	ddr0_dq2	DDR0_DQ2		IO	关闭		1.1V	VDDS_DDR		DDR0			

表 5-1. 引脚属性 (续)

焊球 编号 1	焊球名称 2	信号名称 3	多路复用模 式 4	类型 5	焊球复位状 态 6	焊球复位释 放多路复用 模式	I/O 电压值 8	电源 9	迟滞 10	缓冲器类型 11	上拉/下拉类 型 12	DSIS 13	RXACTIVE/ TXDISABL E 14
C2	ddr0_dq3	DDR0_DQ3		IO	关闭		1.1V	VDDS_DDR		DDR0			
B4	ddr0_dq4	DDR0_DQ4		IO	关闭		1.1V	VDDS_DDR		DDR0			
C3	ddr0_dq5	DDR0_DQ5		IO	关闭		1.1V	VDDS_DDR		DDR0			
A2	ddr0_dq6	DDR0_DQ6		IO	关闭		1.1V	VDDS_DDR		DDR0			
A4	ddr0_dq7	DDR0_DQ7		IO	关闭		1.1V	VDDS_DDR		DDR0			
D1	ddr0_dq8	DDR0_DQ8		IO	关闭		1.1V	VDDS_DDR		DDR0			
C4	ddr0_dq9	DDR0_DQ9		IO	关闭		1.1V	VDDS_DDR		DDR0			
F1	ddr0_dq10	DDR0_DQ10		IO	关闭		1.1V	VDDS_DDR		DDR0			
G2	ddr0_dq11	DDR0_DQ11		IO	关闭		1.1V	VDDS_DDR		DDR0			
F2	ddr0_dq12	DDR0_DQ12		IO	关闭		1.1V	VDDS_DDR		DDR0			
F3	ddr0_dq13	DDR0_DQ13		IO	关闭		1.1V	VDDS_DDR		DDR0			
D3	ddr0_dq14	DDR0_DQ14		IO	关闭		1.1V	VDDS_DDR		DDR0			
F5	ddr0_dq15	DDR0_DQ15		IO	关闭		1.1V	VDDS_DDR		DDR0			
L5	ddr0_dq16	DDR0_DQ16		IO	关闭		1.1V	VDDS_DDR		DDR0			
M5	ddr0_dq17	DDR0_DQ17		IO	关闭		1.1V	VDDS_DDR		DDR0			
N5	ddr0_dq18	DDR0_DQ18		IO	关闭		1.1V	VDDS_DDR		DDR0			
L4	ddr0_dq19	DDR0_DQ19		IO	关闭		1.1V	VDDS_DDR		DDR0			
L2	ddr0_dq20	DDR0_DQ20		IO	关闭		1.1V	VDDS_DDR		DDR0			
L1	ddr0_dq21	DDR0_DQ21		IO	关闭		1.1V	VDDS_DDR		DDR0			
N2	ddr0_dq22	DDR0_DQ22		IO	关闭		1.1V	VDDS_DDR		DDR0			
N4	ddr0_dq23	DDR0_DQ23		IO	关闭		1.1V	VDDS_DDR		DDR0			
T3	ddr0_dq24	DDR0_DQ24		IO	关闭		1.1V	VDDS_DDR		DDR0			
T2	ddr0_dq25	DDR0_DQ25		IO	关闭		1.1V	VDDS_DDR		DDR0			
P2	ddr0_dq26	DDR0_DQ26		IO	关闭		1.1V	VDDS_DDR		DDR0			
P3	ddr0_dq27	DDR0_DQ27		IO	关闭		1.1V	VDDS_DDR		DDR0			
P5	ddr0_dq28	DDR0_DQ28		IO	关闭		1.1V	VDDS_DDR		DDR0			
R4	ddr0_dq29	DDR0_DQ29		IO	关闭		1.1V	VDDS_DDR		DDR0			
T4	ddr0_dq30	DDR0_DQ30		IO	关闭		1.1V	VDDS_DDR		DDR0			
T5	ddr0_dq31	DDR0_DQ31		IO	关闭		1.1V	VDDS_DDR		DDR0			
B1	ddr0_dqs0n	DDR0_DQS0N		IO	关闭		1.1V	VDDS_DDR		DDR0			
B2	ddr0_dqs0p	DDR0_DQS0P		IO	关闭		1.1V	VDDS_DDR		DDR0			
E2	ddr0_dqs1n	DDR0_DQS1N		IO	关闭		1.1V	VDDS_DDR		DDR0			
E3	ddr0_dqs1p	DDR0_DQS1P		IO	关闭		1.1V	VDDS_DDR		DDR0			
M2	ddr0_dqs2n	DDR0_DQS2N		IO	关闭		1.1V	VDDS_DDR		DDR0			
M3	ddr0_dqs2p	DDR0_DQS2P		IO	关闭		1.1V	VDDS_DDR		DDR0			
R1	ddr0_dqs3n	DDR0_DQS3N		IO	关闭		1.1V	VDDS_DDR		DDR0			
R2	ddr0_dqs3p	DDR0_DQS3P		IO	关闭		1.1V	VDDS_DDR		DDR0			

DRA829J, DRA829J-Q1, DRA829V, DRA829V-Q1

ZHCSN40L - FEBRUARY 2019 - REVISED JUNE 2026

表 5-1. 引脚属性 (续)

焊球 编号 1	焊球名称 2	信号名称 3	多路复用模 式 4	类型 5	焊球复位状 态 6	焊球复位释 放多路复用 模式	I/O 电压值 8	电源 9	迟滞 10	缓冲器类型 11	上拉/下拉类 型 12	DSIS 13	RXACTIVE/ TXDISABL E 14
P6	ddr_ret	DDR_RET		I	关闭		1.1V	VDDS_DDR_BI AS		DDR0			
G6	dp0_auxn	DP0_AUXN		IO	关闭		0.8V	VDDA_0P8_DP/ VDDA_1P8_DP		AUX-PHY			
F7	dp0_auxp	DP0_AUXP		IO	关闭		0.8V	VDDA_0P8_DP/ VDDA_1P8_DP		AUX-PHY			
E10	DSI_TXCLKN	DSI_TXCLKN		O	关闭		1.8V	VDDA_0P8_DSI TX/ VDDA_1P8_DSI TX		D-PHY			
		CSIO_TXCLKN		O									
E11	DSI_TXCLKP	DSI_TXCLKP		O	关闭		1.8V	VDDA_0P8_DSI TX/ VDDA_1P8_DSI TX		D-PHY			
		CSIO_TXCLKP		O									
D11	DSI_TXN0	DSI_TXN0		IO	关闭		1.8V	VDDA_0P8_DSI TX/ VDDA_1P8_DSI TX		D-PHY			
		CSIO_TXN0		O									
D12	DSI_TXN1	DSI_TXN1		O	关闭		1.8V	VDDA_0P8_DSI TX/ VDDA_1P8_DSI TX		D-PHY			
		CSIO_TXN1		O									
B13	DSI_TXN2	DSI_TXN2		O	关闭		1.8V	VDDA_0P8_DSI TX/ VDDA_1P8_DSI TX		D-PHY			
		CSIO_TXN2		O									
B14	DSI_TXN3	DSI_TXN3		O	关闭		1.8V	VDDA_0P8_DSI TX/ VDDA_1P8_DSI TX		D-PHY			
		CSIO_TXN3		O									
C12	DSI_TXP0	DSI_TXP0		IO	关闭		1.8V	VDDA_0P8_DSI TX/ VDDA_1P8_DSI TX		D-PHY			
		CSIO_TXP0		O									
C13	DSI_TXP1	DSI_TXP1		O	关闭		1.8V	VDDA_0P8_DSI TX/ VDDA_1P8_DSI TX		D-PHY			
		CSIO_TXP1		O									
A14	DSI_TXP2	DSI_TXP2		O	关闭		1.8V	VDDA_0P8_DSI TX/ VDDA_1P8_DSI TX		D-PHY			
		CSIO_TXP2		O									
A15	DSI_TXP3	DSI_TXP3		O	关闭		1.8V	VDDA_0P8_DSI TX/ VDDA_1P8_DSI TX		D-PHY			
		CSIO_TXP3		O									
F12	dsi_txrcalib	DSI_TXRCALIB		A	关闭		1.8V	VDDA_0P8_DSI TX/ VDDA_1P8_DSI TX		D-PHY			

表 5-1. 引脚属性 (续)

焊球 编号 1	焊球名称 2	信号名称 3	多路复用模 式 4	类型 5	焊球复位状 态 6	焊球复位释 放多路复用 模式	I/O 电压值 8	电源 9	迟滞 10	缓冲器类型 11	上拉/下拉类 型 12	DSIS 13	RXACTIVE/ TXDISABL E 14
U2	ecap0_in_apwm_out	ECAP0_IN_APWM_OUT	0	IO	关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD	0	0/1
		SYNCO_OUT	1	O									
		CPTS0_RFT_CLK	2	I								0	
		SPI2_CS3	4	IO								1	
		I3C0_SDAPULLEN	5	O									
		SPI7_CS0	6	IO								1	
		GPIO1_11	7	IO								0	
C26	emu0	EMU0	0	IO	PU	0	1.8V/3.3V	VDDSHV0_MC U	是	LVCMOS	PU/PD		1/1
B29	emu1	EMU1	0	IO	PU	0	1.8V/3.3V	VDDSHV0_MC U	是	LVCMOS	PU/PD		1/1
AC18	extintn	EXTINTn	0	I	关闭	7	1.8V/3.3V	VDDSHV2	是	I2C OD FS		1	0/0
		GPIO0_0	7	IO								0	
U3	ext_refclk1	EXT_REFCLK1	0	I	关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD	0	0/1
		SYNC1_OUT	1	O									
		SPI7_CLK	6	IO								0	
		GPIO1_12	7	IO								0	
AC5	i2c0_scl	I2C0_SCL	0	IOD	关闭	7	1.8V/3.3V	VDDSHV0	是	I2C OD FS		1	1/0
		GPIO1_7	7	IO								0	
AA5	i2c0_sda	I2C0_SDA	0	IOD	关闭	7	1.8V/3.3V	VDDSHV0	是	I2C OD FS		1	1/0
		GPIO1_8	7	IO								0	
Y6	i2c1_scl	I2C1_SCL	0	IOD	关闭	7	1.8V/3.3V	VDDSHV0	是	I2C OD FS		1	1/0
		CPTS0_HW1TSPUSH	1	I								0	
		GPIO1_9	7	IO								0	
AA6	i2c1_sda	I2C1_SDA	0	IOD	关闭	7	1.8V/3.3V	VDDSHV0	是	I2C OD FS		1	1/0
		CPTS0_HW2TSPUSH	1	I								0	
		GPIO1_10	7	IO								0	
W2	i3c0_scl	I3C0_SCL	0	IO	关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD	1	0/1
		MMC2_SD CD	1	I								1	
		UART9_CTSn	2	I								1	
		MCAN2_RX	3	I								1	
		I2C6_SCL	4	IOD								1	
		DP0_HPD	5	I								0	
		PCIE0_CLKREQn	6	IO								0	
		GPIO1_5	7	IO								0	
		UART6_RXD	8	I								0	

表 5-1. 引脚属性 (续)

焊球 编号 1	焊球名称 2	信号名称 3	多路复用模 式 4	类型 5	焊球复位状 态 6	焊球复位释 放多路复用 模式	I/O 电压值 8	电源 9	迟滞 10	缓冲器类型 11	上拉/下拉类 型 12	DSIS 13	RXACTIVE/ TXDISABL E 14
W1	i3c0_sda	I3C0_SDA	0	IO	关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD	1	0/1
		MMC2_SDWP	1	I								1	
		UART9_RTSn	2	O									
		MCAN2_TX	3	O									
		I2C6_SDA	4	IOD								1	
		PCIE1_CLKREQn	6	IO								0	
		GPIO1_6	7	IO								0	
		UART6_TXD	8	O								0	
W5	mcan0_rx	MCAN0_RX	0	I	关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD	1	0/1
		I2C2_SCL	4	IOD								1	
		GPIO1_1	7	IO								0	
W6	mcan0_tx	MCAN0_TX	0	O	关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD		0/1
		I2C2_SDA	4	IOD								1	
		GPIO1_2	7	IO								0	
W3	mcan1_rx	MCAN1_RX	0	I	关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD	1	0/1
		UART6_CTSn	1	I								1	
		UART9_RXD	2	I								1	
		USB0_DRVVBUS	3	O									
		USB1_DRVVBUS	4	O									
		GPIO1_3	7	IO								0	
V4	mcan1_tx	MCAN1_TX	0	O	关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD		0/1
		UART6_RTSn	1	O									
		UART9_TXD	2	O									
		USB0_DRVVBUS	3	O									
		USB1_DRVVBUS	4	O									
		GPIO1_4	7	IO								0	
K25	mcu_adc0_ain0	MCU_ADC0_AIN0	0	A	关闭	0	1.8V	VDDA_ADC0		ADC12B			
		WKUP_GPIO0_68	-1	I									
K26	mcu_adc0_ain1	MCU_ADC0_AIN1	0	A	关闭	0	1.8V	VDDA_ADC0		ADC12B			
		WKUP_GPIO0_69	-1	I									
K28	mcu_adc0_ain2	MCU_ADC0_AIN2	0	A	关闭	0	1.8V	VDDA_ADC0		ADC12B			
		WKUP_GPIO0_70	-1	I									
L28	mcu_adc0_ain3	MCU_ADC0_AIN3	0	A	关闭	0	1.8V	VDDA_ADC0		ADC12B			
		WKUP_GPIO0_71	-1	I									
K24	mcu_adc0_ain4	MCU_ADC0_AIN4	0	A	关闭	0	1.8V	VDDA_ADC0		ADC12B			
		WKUP_GPIO0_72	-1	I									

表 5-1. 引脚属性 (续)

焊球 编号 1	焊球名称 2	信号名称 3	多路复用模 式 4	类型 5	焊球复位状 态 6	焊球复位释 放多路复用 模式	I/O 电压值 8	电源 9	迟滞 10	缓冲器类型 11	上拉/下拉类 型 12	DSIS 13	RXACTIVE/ TXDISABL E 14
K27	mcu_adc0_ain5	MCU_ADC0_AIN5	0	A	关闭	0	1.8V	VDDA_ADC0		ADC12B			
		WKUP_GPIO0_73	-1	I									
K29	mcu_adc0_ain6	MCU_ADC0_AIN6	0	A	关闭	0	1.8V	VDDA_ADC0		ADC12B			
		WKUP_GPIO0_74	-1	I									
L29	mcu_adc0_ain7	MCU_ADC0_AIN7	0	A	关闭	0	1.8V	VDDA_ADC0		ADC12B			
		WKUP_GPIO0_75	-1	I									
N23	mcu_adc1_ain0	MCU_ADC1_AIN0	0	A	关闭	0	1.8V	VDDA_ADC1		ADC12B			
		WKUP_GPIO0_76	-1	I									
M25	mcu_adc1_ain1	MCU_ADC1_AIN1	0	A	关闭	0	1.8V	VDDA_ADC1		ADC12B			
		WKUP_GPIO0_77	-1	I									
L24	mcu_adc1_ain2	MCU_ADC1_AIN2	0	A	关闭	0	1.8V	VDDA_ADC1		ADC12B			
		WKUP_GPIO0_78	-1	I									
L26	mcu_adc1_ain3	MCU_ADC1_AIN3	0	A	关闭	0	1.8V	VDDA_ADC1		ADC12B			
		WKUP_GPIO0_79	-1	I									
N24	mcu_adc1_ain4	MCU_ADC1_AIN4	0	A	关闭	0	1.8V	VDDA_ADC1		ADC12B			
		WKUP_GPIO0_80	-1	I									
M24	mcu_adc1_ain5	MCU_ADC1_AIN5	0	A	关闭	0	1.8V	VDDA_ADC1		ADC12B			
		WKUP_GPIO0_81	-1	I									
L25	mcu_adc1_ain6	MCU_ADC1_AIN6	0	A	关闭	0	1.8V	VDDA_ADC1		ADC12B			
		WKUP_GPIO0_82	-1	I									
L27	mcu_adc1_ain7	MCU_ADC1_AIN7	0	A	关闭	0	1.8V	VDDA_ADC1		ADC12B			
		WKUP_GPIO0_83	-1	I									
J26	mcu_i2c0_scl	MCU_I2C0_SCL	0	IOD	关闭	0	1.8V/3.3V	VDDSHV0_MC U	是	I2C OD FS		1	1/0
		WKUP_GPIO0_64	7	IO								0	
H25	mcu_i2c0_sda	MCU_I2C0_SDA	0	IOD	关闭	0	1.8V/3.3V	VDDSHV0_MC U	是	I2C OD FS		1	1/0
		WKUP_GPIO0_65	7	IO								0	
D26	mcu_i3c0_scl	MCU_I3C0_SCL	0	IO	关闭	7	1.8V/3.3V	VDDSHV0_MC U	是	LVCMOS	PU/PD	1	0/1
		MCU_UART0_CTSn	2	I								1	
		MCU_TIMER_IO8	4	IO								0	
		WKUP_GPIO0_60	7	IO								0	
D25	mcu_i3c0_sda	MCU_I3C0_SDA	0	IO	关闭	7	1.8V/3.3V	VDDSHV0_MC U	是	LVCMOS	PU/PD	1	0/1
		MCU_UART0_RTSn	2	O								0	
		MCU_TIMER_IO9	4	IO								0	
		WKUP_GPIO0_61	7	IO								0	
C29	mcu_mcan0_rx	MCU_MCAN0_RX	0	I	关闭	7	1.8V/3.3V	VDDSHV0_MC U	是	LVCMOS	PU/PD	0	0/1
		WKUP_GPIO0_59	7	IO								0	

DRA829J, DRA829J-Q1, DRA829V, DRA829V-Q1

ZHCSN40L - FEBRUARY 2019 - REVISED JUNE 2026

表 5-1. 引脚属性 (续)

焊球 编号 1	焊球名称 2	信号名称 3	多路复用模 式 4	类型 5	焊球复位状 态 6	焊球复位释 放多路复用 模式	I/O 电压值 8	电源 9	迟滞 10	缓冲器类型 11	上拉/下拉类 型 12	DSIS 13	RXACTIVE/ TXDISABL E 14
D29	mcu_mcan0_tx	MCU_MCAN0_TX	0	O	关闭	7	1.8V/3.3V	VDDSHV0_MC U	是	LVCMOS	PU/PD		0/1
		WKUP_GPIO0_58	7	IO								0	
F23	mcu_mdio0_mdc	MCU_MDIO0_MDC	0	O	关闭	7	1.8V/3.3V	VDDSHV2_MC U	是	LVCMOS	PU/PD		0/1
		WKUP_GPIO0_51	7	IO								0	
E23	mcu_mdio0_mdio	MCU_MDIO0_MDIO	0	IO	关闭	7	1.8V/3.3V	VDDSHV2_MC U	是	LVCMOS	PU/PD	0	0/1
		WKUP_GPIO0_50	7	IO								0	
E20	mcu_ospi0_clk	MCU_OSPI0_CLK	0	O	关闭	7	1.8V/3.3V	VDDSHV1_MC U	是	LVCMOS	PU/PD		0/1
		MCU_HYPERBUS0_CK	1	O									
		WKUP_GPIO0_16	7	IO								0	
D21	mcu_ospi0_dqs	MCU_OSPI0_DQS	0	I	关闭	7	1.8V/3.3V	VDDSHV1_MC U	是	LVCMOS	PU/PD	0	0/1
		MCU_HYPERBUS0_RWDS	1	IO								0	
		WKUP_GPIO0_18	7	IO								0	
C21	mcu_ospi0_lbclo	MCU_OSPI0_LBCLKO	0	IO	关闭	7	1.8V/3.3V	VDDSHV1_MC U	是	LVCMOS	PU/PD	0	1/1
		MCU_HYPERBUS0_CKn	1	O									
		WKUP_GPIO0_17	7	IO								0	
F22	mcu_ospi1_clk	MCU_OSPI1_CLK	0	O	关闭	7	1.8V/3.3V	VDDSHV1_MC U	是	LVCMOS	PU/PD		0/1
		WKUP_GPIO0_29	7	IO								0	
B23	mcu_ospi1_dqs	MCU_OSPI1_DQS	0	I	关闭	7	1.8V/3.3V	VDDSHV1_MC U	是	LVCMOS	PU/PD	0	0/1
		MCU_OSPI0_CSn3	1	O									
		MCU_HYPERBUS0_INTn	2	I								1	
		MCU_OSPI0_ECC_FAIL	6	I								1	
		WKUP_GPIO0_31	7	IO								0	
A23	mcu_ospi1_lbclo	MCU_OSPI1_LBCLKO	0	IO	关闭	7	1.8V/3.3V	VDDSHV1_MC U	是	LVCMOS	PU/PD	0	1/1
		MCU_OSPI0_CSn2	1	O									
		MCU_HYPERBUS0_RESETO	2	I								1	
		MCU_OSPI0_RESET_OUT0	6	O									
		WKUP_GPIO0_30	7	IO								0	
F19	mcu_ospi0_csn0	MCU_OSPI0_CSn0	0	O	关闭	7	1.8V/3.3V	VDDSHV1_MC U	是	LVCMOS	PU/PD		0/1
		MCU_HYPERBUS0_CSn0	1	O									
		WKUP_GPIO0_27	7	IO								0	
E19	mcu_ospi0_csn1	MCU_OSPI0_CSn1	0	O	关闭	7	1.8V/3.3V	VDDSHV1_MC U	是	LVCMOS	PU/PD		0/1
		MCU_HYPERBUS0_RESETO	1	O									
		WKUP_GPIO0_28	7	IO								0	
D20	mcu_ospi0_d0	MCU_OSPI0_D0	0	IO	关闭	7	1.8V/3.3V	VDDSHV1_MC U	是	LVCMOS	PU/PD	0	0/1
		MCU_HYPERBUS0_DQ0	1	IO								0	
		WKUP_GPIO0_19	7	IO								0	

表 5-1. 引脚属性 (续)

焊球 编号 1	焊球名称 2	信号名称 3	多路复用模 式 4	类型 5	焊球复位状 态 6	焊球复位释 放多路复用 模式	I/O 电压值 8	电源 9	迟滞 10	缓冲器类型 11	上拉/下拉类 型 12	DSIS 13	RXACTIVE/ TXDISABL E 14
G19	mcu_ospi0_d1	MCU_OSPI0_D1	0	IO	关闭	7	1.8V/3.3V	VDDSHV1_MC U	是	LVCMOS	PU/PD	0	0/1
		MCU_HYPERBUS0_DQ1	1	IO								0	
		WKUP_GPIO0_20	7	IO								0	
G20	mcu_ospi0_d2	MCU_OSPI0_D2	0	IO	关闭	7	1.8V/3.3V	VDDSHV1_MC U	是	LVCMOS	PU/PD	0	0/1
		MCU_HYPERBUS0_DQ2	1	IO								0	
		WKUP_GPIO0_21	7	IO								0	
F20	mcu_ospi0_d3	MCU_OSPI0_D3	0	IO	关闭	7	1.8V/3.3V	VDDSHV1_MC U	是	LVCMOS	PU/PD	0	0/1
		MCU_HYPERBUS0_DQ3	1	IO								0	
		WKUP_GPIO0_22	7	IO								0	
F21	mcu_ospi0_d4	MCU_OSPI0_D4	0	IO	关闭	7	1.8V/3.3V	VDDSHV1_MC U	是	LVCMOS	PU/PD	0	0/1
		MCU_HYPERBUS0_DQ4	1	IO								0	
		WKUP_GPIO0_23	7	IO								0	
E21	mcu_ospi0_d5	MCU_OSPI0_D5	0	IO	关闭	7	1.8V/3.3V	VDDSHV1_MC U	是	LVCMOS	PU/PD	0	0/1
		MCU_HYPERBUS0_DQ5	1	IO								0	
		WKUP_GPIO0_24	7	IO								0	
B22	mcu_ospi0_d6	MCU_OSPI0_D6	0	IO	关闭	7	1.8V/3.3V	VDDSHV1_MC U	是	LVCMOS	PU/PD	0	0/1
		MCU_HYPERBUS0_DQ6	1	IO								0	
		WKUP_GPIO0_25	7	IO								0	
G21	mcu_ospi0_d7	MCU_OSPI0_D7	0	IO	关闭	7	1.8V/3.3V	VDDSHV1_MC U	是	LVCMOS	PU/PD	0	0/1
		MCU_HYPERBUS0_DQ7	1	IO								0	
		WKUP_GPIO0_26	7	IO								0	
C22	mcu_ospi1_csn0	MCU_OSPI1_CS0	0	O	关闭	7	1.8V/3.3V	VDDSHV1_MC U	是	LVCMOS	PU/PD		0/1
		WKUP_GPIO0_36	7	IO								0	
E22	mcu_ospi1_csn1	MCU_OSPI1_CS0	0	O	关闭	7	1.8V/3.3V	VDDSHV1_MC U	是	LVCMOS	PU/PD		0/1
		MCU_HYPERBUS0_WPn	1	O									
		MCU_TIMER_IO0	2	IO								0	
		MCU_HYPERBUS0_CS0	3	O									
		MCU_UART0_RTSn	4	O									
		MCU_SPI0_CS2	5	IO								1	
		MCU_OSPI0_RESET_OUT1	6	O									
		WKUP_GPIO0_37	7	IO								0	
D22	mcu_ospi1_d0	MCU_OSPI1_D0	0	IO	关闭	7	1.8V/3.3V	VDDSHV1_MC U	是	LVCMOS	PU/PD	0	0/1
		WKUP_GPIO0_32	7	IO								0	
G22	mcu_ospi1_d1	MCU_OSPI1_D1	0	IO	关闭	7	1.8V/3.3V	VDDSHV1_MC U	是	LVCMOS	PU/PD	0	0/1
		MCU_UART0_RXD	4	I								1	
		MCU_SPI1_CS1	5	IO								1	
		WKUP_GPIO0_33	7	IO								0	

DRA829J, DRA829J-Q1, DRA829V, DRA829V-Q1

ZHCSN40L - FEBRUARY 2019 - REVISED JUNE 2026

表 5-1. 引脚属性 (续)

焊球 编号 1	焊球名称 2	信号名称 3	多路复用模 式 4	类型 5	焊球复位状 态 6	焊球复位释 放多路复用 模式	I/O 电压值 8	电源 9	迟滞 10	缓冲器类型 11	上拉/下拉类 型 12	DSIS 13	RXACTIVE/ TXDISABL E 14
D23	mcu_ospi1_d2	MCU_OSPI1_D2	0	IO	关闭	7	1.8V/3.3V	VDDSHV1_MC U	是	LVCMOS	PU/PD	0	0/1
		MCU_UART0_TXD	4	O									
		MCU_SPI1_CS2	5	IO								1	
		WKUP_GPIO0_34	7	IO								0	
C23	mcu_ospi1_d3	MCU_OSPI1_D3	0	IO	关闭	7	1.8V/3.3V	VDDSHV1_MC U	是	LVCMOS	PU/PD	0	0/1
		MCU_UART0_CTSn	4	I								1	
		MCU_SPI0_CS1	5	IO								1	
		WKUP_GPIO0_35	7	IO								0	
H23	mcu_porz	MCU_PORz		I	关闭		1.8V	VDDA_WKUP	有	FS 复位	PU/PD		
B28	mcu_porz_out	MCU_PORz_OUT	0	O	关闭	0	1.8V/3.3V	VDDSHV0_MC U	是	LVCMOS	PU/PD		0/0
C27	mcu_resetstatz	MCU_RESETSTATz	0	O	关闭	0	1.8V/3.3V	VDDSHV0_MC U	是	LVCMOS	PU/PD		0/0
D28	mcu_resetz	MCU_RESETz	0	I	PU	0	1.8V/3.3V	VDDSHV0_MC U	是	LVCMOS	PU/PD		1/1
C24	mcu_rgmii1_rxc	MCU_RGMII1_RXC	0	I	关闭	7	1.8V/3.3V	VDDSHV2_MC U	是	LVCMOS	PU/PD	0	0/1
		MCU_RMII1_REF_CLK	1	I								0	
		WKUP_GPIO0_45	7	IO								0	
C25	mcu_rgmii1_rx_ctl	MCU_RGMII1_RX_CTL	0	I	关闭	7	1.8V/3.3V	VDDSHV2_MC U	是	LVCMOS	PU/PD	0	0/1
		MCU_RMII1_RX_ER	1	I								0	
		WKUP_GPIO0_39	7	IO								0	
B26	mcu_rgmii1_txc	MCU_RGMII1_TXC	0	O	关闭	7	1.8V/3.3V	VDDSHV2_MC U	是	LVCMOS	PU/PD	0	0/1
		MCU_RMII1_TX_EN	1	O									
		WKUP_GPIO0_44	7	IO								0	
B27	mcu_rgmii1_tx_ctl	MCU_RGMII1_TX_CTL	0	O	关闭	7	1.8V/3.3V	VDDSHV2_MC U	是	LVCMOS	PU/PD		0/1
		MCU_RMII1_CRS_DV	1	I								0	
		WKUP_GPIO0_38	7	IO								0	
B24	mcu_rgmii1_rd0	MCU_RGMII1_RD0	0	I	关闭	7	1.8V/3.3V	VDDSHV2_MC U	是	LVCMOS	PU/PD	0	0/1
		MCU_RMII1_RXD0	1	I								0	
		WKUP_GPIO0_49	7	IO								0	
A24	mcu_rgmii1_rd1	MCU_RGMII1_RD1	0	I	关闭	7	1.8V/3.3V	VDDSHV2_MC U	是	LVCMOS	PU/PD	0	0/1
		MCU_RMII1_RXD1	1	I								0	
		WKUP_GPIO0_48	7	IO								0	
D24	mcu_rgmii1_rd2	MCU_RGMII1_RD2	0	I	关闭	7	1.8V/3.3V	VDDSHV2_MC U	是	LVCMOS	PU/PD	0	0/1
		MCU_TIMER_IO5	1	IO								0	
		WKUP_GPIO0_47	7	IO								0	
A25	mcu_rgmii1_rd3	MCU_RGMII1_RD3	0	I	关闭	7	1.8V/3.3V	VDDSHV2_MC U	是	LVCMOS	PU/PD	0	0/1
		MCU_TIMER_IO4	1	IO								0	
		WKUP_GPIO0_46	7	IO								0	

表 5-1. 引脚属性 (续)

焊球 编号 1	焊球名称 2	信号名称 3	多路复用模 式 4	类型 5	焊球复位状 态 6	焊球复位释 放多路复用 模式	I/O 电压值 8	电源 9	迟滞 10	缓冲器类型 11	上拉/下拉类 型 12	DSIS 13	RXACTIVE/ TXDISABL E 14
B25	mcu_rgmii1_td0	MCU_RGMII1_TD0	0	O	关闭	7	1.8V/3.3V	VDDSHV2_MC U	是	LVCMOS	PU/PD		0/1
		MCU_RMII1_TXD0	1	O									
		WKUP_GPIO0_43	7	IO								0	
A26	mcu_rgmii1_td1	MCU_RGMII1_TD1	0	O	关闭	7	1.8V/3.3V	VDDSHV2_MC U	是	LVCMOS	PU/PD		0/1
		MCU_RMII1_TXD1	1	O									
		WKUP_GPIO0_42	7	IO								0	
A27	mcu_rgmii1_td2	MCU_RGMII1_TD2	0	O	关闭	7	1.8V/3.3V	VDDSHV2_MC U	是	LVCMOS	PU/PD		0/1
		MCU_TIMER_IO3	1	IO								0	
		MCU_ADC_EXT_TRIGGER1	3	I								0	
		WKUP_GPIO0_41	7	IO								0	
A28	mcu_rgmii1_td3	MCU_RGMII1_TD3	0	O	关闭	7	1.8V/3.3V	VDDSHV2_MC U	是	LVCMOS	PU/PD		0/1
		MCU_TIMER_IO2	1	IO								0	
		MCU_ADC_EXT_TRIGGER0	3	I								0	
		WKUP_GPIO0_40	7	IO								0	
D27	mcu_safety_errorn	MCU_SAFETY_ERRORn	0	IO	PD	0	1.8V	VDDA_WKUP	有	LVCMOS	PU/PD		1/0
E27	mcu_spi0_clk	MCU_SPI0_CLK	0	IO	关闭	7	1.8V/3.3V	VDDSHV0_MC U	是	LVCMOS	PU/PD	0	1/1
		WKUP_GPIO0_52	7	IO								0	
		MCU_BOOTMODE00	自举	I									
E25	mcu_spi0_cs0	MCU_SPI0_CS0	0	IO	关闭	7	1.8V/3.3V	VDDSHV0_MC U	是	LVCMOS	PU/PD	1	0/1
		MCU_TIMER_IO1	4	IO								0	
		WKUP_GPIO0_55	7	IO								0	
E24	mcu_spi0_d0	MCU_SPI0_D0	0	IO	关闭	7	1.8V/3.3V	VDDSHV0_MC U	是	LVCMOS	PU/PD	0	1/1
		WKUP_GPIO0_53	7	IO								0	
		MCU_BOOTMODE01	自举	I									
E28	mcu_spi0_d1	MCU_SPI0_D1	0	IO	关闭	7	1.8V/3.3V	VDDSHV0_MC U	是	LVCMOS	PU/PD	0	1/1
		MCU_TIMER_IO0	4	IO								0	
		WKUP_GPIO0_54	7	IO								0	
		MCU_BOOTMODE02	自举	I									
V24	mdio0_mdc	MDIO0_MDC	0	O	关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD		0/1
		TRC_DATA23	5	O									
		GPIO0_110	7	IO								0	
		GPMC0_WAIT2	8	I								0	
V26	mdio0_mdio	MDIO0_MDIO	0	IO	关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD	0	0/1
		TRC_DATA22	5	O									
		GPIO0_109	7	IO								0	
		GPMC0_WAIT3	8	I								0	

表 5-1. 引脚属性 (续)

焊球 编号 1	焊球名称 2	信号名称 3	多路复用模 式 4	类型 5	焊球复位状 态 6	焊球复位释 放多路复用 模式	I/O 电压值 8	电源 9	迟滞 10	缓冲器类型 11	上拉/下拉类 型 12	DSIS 13	RXACTIVE/ TXDISABL E 14
AE2	mlb0_mlbcn	MLB0_MLBCN	0	I	关闭	0	1.8V	VDDA_1P8_ML B		MLB_LVDS			
		GPIO1_35	7	IO								0	
AD2	mlb0_mlbcp	MLB0_MLBPCP	0	I	关闭	0	1.8V	VDDA_1P8_ML B		MLB_LVDS			
		GPIO1_34	7	IO								0	
AD3	mlb0_mlbdcn	MLB0_MLBDCN	0	IO	关闭	0	1.8V	VDDA_1P8_ML B		MLB_LVDS			
		GPIO1_33	7	IO								0	
AC3	mlb0_mlbdcp	MLB0_MLBDCP	0	IO	关闭	0	1.8V	VDDA_1P8_ML B		MLB_LVDS			
		GPIO1_32	7	IO								0	
AC1	mlb0_mlbdcn	MLB0_MLBDCN	0	IO	关闭	0	1.8V	VDDA_1P8_ML B		MLB_LVDS			
		GPIO1_31	7	IO								0	
AD1	mlb0_mlbdcp	MLB0_MLBDCP	0	IO	关闭	0	1.8V	VDDA_1P8_ML B		MLB_LVDS			
		GPIO1_30	7	IO								0	
AE1	mmc0_calpad	MMC0_CALPAD		A	关闭		1.8V	VDDS_MMC0		eMMCPHY	PU/PD		
AF1	mmc0_clk	MMC0_CLK		O	驱动器 0 (关闭)		1.8V	VDDS_MMC0		eMMCPHY	PU/PD		
AE3	mmc0_cmd	MMC0_CMD		IO	驱动器 1 (关闭)		1.8V	VDDS_MMC0		eMMCPHY	PU/PD	1	
AE4	mmc0_ds	MMC0_DS		IO	PD		1.8V	VDDS_MMC0		eMMCPHY	PU/PD	1	
P25	mmc1_clk	MMC1_CLK	0	IO	关闭	7	1.8V/3.3V	VDDSHV5	是	SDIO	PU/PD	0	0/1
		UART8_RXD	1	I								1	
		I2C4_SCL	4	IOD								1	
		GPIO1_19	7	IO								0	
R29	mmc1_cmd	MMC1_CMD	0	IO	关闭	7	1.8V/3.3V	VDDSHV5	是	SDIO	PU/PD	1	0/1
		UART8_TXD	1	O									
		I2C4_SDA	4	IOD								1	
		GPIO1_20	7	IO								0	
P23	mmc1_sdcd	MMC1_SDCCD	0	I	关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD	1	0/1
		UART8_CTSn	1	I								1	
		UART0_DCDn	2	I								1	
		TIMER_IO2	3	IO								0	
		EQEP2_I	5	IO								0	
		PCIE2_CLKREQn	6	IO								0	
		GPIO1_21	7	IO								0	
		PRG0_IEP0_EDC_LATCH_IN1	8	I								0	

表 5-1. 引脚属性 (续)

焊球 编号 1	焊球名称 2	信号名称 3	多路复用模 式 4	类型 5	焊球复位状 态 6	焊球复位释 放多路复用 模式	I/O 电压值 8	电源 9	迟滞 10	缓冲器类型 11	上拉/下拉类 型 12	DSIS 13	RXACTIVE/ TXDISABL E 14
R28	mmc1_sdwp	MMC1_SDWP	0	I	关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD	1	0/1
		UART8_RTSn	1	O									
		UART0_DSRn	2	I								1	
		TIMER_IO3	3	IO								0	
		ECAP2_IN_APWM_OUT	4	IO								0	
		EQEP2_S	5	IO								0	
		PCIE3_CLKREQn	6	IO								0	
		GPIO1_22	7	IO								0	
		PRG0_IEP0_EDC_SYNC_OUT1	8	O								0	
T26	mmc2_clk	MMC2_CLK	0	IO	关闭	7	1.8V/3.3V	VDDSHV6	是	SDIO	PU/PD	0	0/1
		USB0_DRVVBUS	1	O									
		USB1_DRVVBUS	2	O									
		TIMER_IO6	3	IO								0	
		I2C3_SCL	4	IOD								1	
		UART3_RXD	5	I								1	
		GPIO1_27	7	IO								0	
T25	mmc2_cmd	MMC2_CMD	0	IO	关闭	7	1.8V/3.3V	VDDSHV6	是	SDIO	PU/PD	1	0/1
		USB0_DRVVBUS	1	O									
		USB1_DRVVBUS	2	O									
		TIMER_IO7	3	IO								0	
		I2C3_SDA	4	IOD								1	
		UART3_TXD	5	O									
		GPIO1_28	7	IO								0	
AG2	mmc0_dat0	MMC0_DAT0		IO	PU		1.8V	VDDS_MMC0		eMMCPHY	PU/PD	1	
AH1	mmc0_dat1	MMC0_DAT1		IO	PU		1.8V	VDDS_MMC0		eMMCPHY	PU/PD	1	
AG3	mmc0_dat2	MMC0_DAT2		IO	PU		1.8V	VDDS_MMC0		eMMCPHY	PU/PD	1	
AF4	mmc0_dat3	MMC0_DAT3		IO	PU		1.8V	VDDS_MMC0		eMMCPHY	PU/PD	1	
AE5	mmc0_dat4	MMC0_DAT4		IO	PU		1.8V	VDDS_MMC0		eMMCPHY	PU/PD	1	
AF3	mmc0_dat5	MMC0_DAT5		IO	PU		1.8V	VDDS_MMC0		eMMCPHY	PU/PD	1	
AG1	mmc0_dat6	MMC0_DAT6		IO	PU		1.8V	VDDS_MMC0		eMMCPHY	PU/PD	1	
AF2	mmc0_dat7	MMC0_DAT7		IO	PU		1.8V	VDDS_MMC0		eMMCPHY	PU/PD	1	
R24	mmc1_dat0	MMC1_DAT0	0	IO	关闭	7	1.8V/3.3V	VDDSHV5	是	SDIO	PU/PD	1	0/1
		UART7_RTSn	1	O									
		ECAP1_IN_APWM_OUT	2	IO								0	
		TIMER_IO1	3	IO								0	
		UART4_TXD	5	O									
		GPIO1_18	7	IO								0	

表 5-1. 引脚属性 (续)

焊球 编号 1	焊球名称 2	信号名称 3	多路复用模 式 4	类型 5	焊球复位状 态 6	焊球复位释 放多路复用 模式	I/O 电压值 8	电源 9	迟滞 10	缓冲器类型 11	上拉/下拉类 型 12	DSIS 13	RXACTIVE/ TXDISABL E 14
P24	mmc1_dat1	MMC1_DAT1	0	IO	关闭	7	1.8V/3.3V	VDDSHV5	是	SDIO	PU/PD	1	0/1
		UART7_CTSn	1	I								1	
		ECAP0_IN_APWM_OUT	2	IO								0	
		TIMER_IO0	3	IO								0	
		UART4_RXD	5	I								1	
		GPIO1_17	7	IO								0	
R25	mmc1_dat2	MMC1_DAT2	0	IO	关闭	7	1.8V/3.3V	VDDSHV5	是	SDIO	PU/PD	1	0/1
		UART7_TXD	1	O									
		GPIO1_16	7	IO								0	
R26	mmc1_dat3	MMC1_DAT3	0	IO	关闭	7	1.8V/3.3V	VDDSHV5	是	SDIO	PU/PD	1	0/1
		UART7_RXD	1	I								1	
		GPIO1_15	7	IO								0	
T24	mmc2_dat0	MMC2_DAT0	0	IO	关闭	7	1.8V/3.3V	VDDSHV6	是	SDIO	PU/PD	1	0/1
		UART9_RTSn	1	O									
		UART0_RIn	2	I								1	
		TIMER_IO5	3	IO								0	
		UART6_TXD	4	O									
		EQEP2_B	5	I								0	
		GPIO1_26	7	IO								0	
		PRG0_IEP1_EDC_SYNC_OUT1	8	O								0	
T27	mmc2_dat1	MMC2_DAT1	0	IO	关闭	7	1.8V/3.3V	VDDSHV6	是	SDIO	PU/PD	1	0/1
		UART9_CTSn	1	I								1	
		UART0_DTRn	2	O									
		TIMER_IO4	3	IO								0	
		UART6_RXD	4	I								1	
		EQEP2_A	5	I								0	
		GPIO1_25	7	IO								0	
		PRG0_IEP1_EDC_LATCH_IN1	8	I								0	
T29	mmc2_dat2	MMC2_DAT2	0	IO	关闭	7	1.8V/3.3V	VDDSHV6	是	SDIO	PU/PD	1	0/1
		UART9_TXD	1	O									
		CPTS0_HW2TSPUSH	2	I								0	
		I2C5_SDA	4	IOD								1	
		GPIO1_24	7	IO								0	

表 5-1. 引脚属性 (续)

焊球 编号 1	焊球名称 2	信号名称 3	多路复用模 式 4	类型 5	焊球复位状 态 6	焊球复位释 放多路复用 模式	I/O 电压值 8	电源 9	迟滞 10	缓冲器类型 11	上拉/下拉类 型 12	DSIS 13	RXACTIVE/ TXDISABL E 14
T28	mmc2_dat3	MMC2_DAT3	0	IO	关闭	7	1.8V/3.3V	VDDSHV6	是	SDIO	PU/PD	1	0/1
		UART9_RXD	1	I								1	
		CPTS0_HW1TSPUSH	2	I								0	
		I2C5_SCL	4	IOD								1	
		GPIO1_23	7	IO								0	
P29	osc1_xi	OSC1_XI		I	关闭		1.8V	VDDS_OSC1		HFOSC			
P27	osc1_xo	OSC1_XO		O	关闭		1.8V	VDDS_OSC1		HFOSC			
AE17	pcie_refclk0n	PCIE_REFCLK0N		IO	关闭		0.8V	VDDA_0P8_SE RDES0_1/ VDDA_1P8_SE RDES0_1		2-L-PHY			
AD16	pcie_refclk0p	PCIE_REFCLK0P		IO	关闭		0.8V	VDDA_0P8_SE RDES0_1/ VDDA_1P8_SE RDES0_1		2-L-PHY			
AE14	pcie_refclk1n	PCIE_REFCLK1N		IO	关闭		0.8V	VDDA_0P8_SE RDES0_1/ VDDA_1P8_SE RDES0_1		2-L-PHY			
AD15	pcie_refclk1p	PCIE_REFCLK1P		IO	关闭		0.8V	VDDA_0P8_SE RDES0_1/ VDDA_1P8_SE RDES0_1		2-L-PHY			
AE11	pcie_refclk2n	PCIE_REFCLK2N		IO	关闭		0.8V	VDDA_0P8_SE RDES0_1/ VDDA_1P8_SE RDES0_1		2-L-PHY			
AD12	pcie_refclk2p	PCIE_REFCLK2P		IO	关闭		0.8V	VDDA_0P8_SE RDES0_1/ VDDA_1P8_SE RDES0_1		2-L-PHY			
AE9	pcie_refclk3n	PCIE_REFCLK3N		IO	关闭		0.8V	VDDA_0P8_SE RDES2_3/ VDDA_1P8_SE RDES2_3		2-L-PHY			
AD10	pcie_refclk3p	PCIE_REFCLK3P		IO	关闭		0.8V	VDDA_0P8_SE RDES2_3/ VDDA_1P8_SE RDES2_3		2-L-PHY			
E26	pmic_power_en0	MCU_I3C0_SDAPULLEN	0	O	关闭	7	1.8V/3.3V	VDDSHV0_MC U	是	LVCMOS	PU/PD		0/0
		WKUP_GPIO0_66	7	IO								0	
G23	pmic_power_en1	PMIC_POWER_EN1	0	O	关闭	0	1.8V/3.3V	VDDSHV0_MC U	是	LVCMOS	PU/PD		0/0
		MCU_I3C1_SDAPULLEN	5	O									
		WKUP_GPIO0_67	7	IO								0	
J24	porz	PORz	0	I	关闭	0	1.8V	VDDA_WKUP	有	FS 复位	PU/PD		
U1	porz_out	PORz_OUT	0	O	关闭	0	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD		0/0

表 5-1. 引脚属性 (续)

焊球 编号 1	焊球名称 2	信号名称 3	多路复用模 式 4	类型 5	焊球复位状 态 6	焊球复位释 放多路复用 模式	I/O 电压值 8	电源 9	迟滞 10	缓冲器类型 11	上拉/下拉类 型 12	DSIS 13	RXACTIVE/ TXDISABL E 14
AA27	prg0_mdio0_mdc	PRG0_MDIO0_MDC	0	O	关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD		0/1
		I2C5_SDA	2	IOD								1	
		MCAN13_RX	6	I								1	
		GPIO0_84	7	IO								0	
		GPMC0_A0	8	OZ								0	
		DSS_FSYNC2	10	O									
		MCASP2_ACLKR	12	IO									
		MCASP2_AXR5	13	IO								0	
Y26	prg0_mdio0_mdio	PRG0_MDIO0_MDIO	0	IO	关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD	0	0/1
		I2C5_SCL	2	IOD								1	
		MCAN13_TX	6	O									
		GPIO0_83	7	IO								0	
		GPMC0_A27	8	OZ								0	
		DSS_FSYNC0	10	O									
		MCASP2_AFSR	12	IO									
		MCASP2_AXR4	13	IO								0	
AF28	prg0_pru0_gpo0	PRG0_PRU0_GPO0	0	IO	关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD	0	0/1
		PRG0_PRU0_GPI0	1	I								0	
		PRG0_RGMII1_RD0	2	I								0	
		PRG0_PWM3_A0	3	IO								0	
		RGMII3_RD0	4	I								0	
		RMII3_RXD1	5	I								0	
		GPIO0_43	7	IO								0	
		MCASP0_AXR0	12	IO									
AE28	prg0_pru0_gpo1	PRG0_PRU0_GPO1	0	IO	关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD	0	0/1
		PRG0_PRU0_GPI1	1	I								0	
		PRG0_RGMII1_RD1	2	I								0	
		PRG0_PWM3_B0	3	IO								1	
		RGMII3_RD1	4	I								0	
		RMII3_RXD0	5	I								0	
		GPIO0_44	7	IO								0	
		MCASP0_AXR1	12	IO									

表 5-1. 引脚属性 (续)

焊球 编号 1	焊球名称 2	信号名称 3	多路复用模 式 4	类型 5	焊球复位状 态 6	焊球复位释 放多路复用 模式	I/O 电压值 8	电源 9	迟滞 10	缓冲器类型 11	上拉/下拉类 型 12	DSIS 13	RXACTIVE/ TXDISABL E 14
AE27	prg0_pru0_gpo2	PRG0_PRU0_GPO2	0	IO	关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD	0	0/1
		PRG0_PRU0_GPI2	1	I								0	
		PRG0_RGMII1_RD2	2	I								0	
		PRG0_PWM2_A0	3	IO								0	
		RGMII3_RD2	4	I								0	
		RMII3_CRS_DV	5	I								0	
		GPIO0_45	7	IO								0	
		UART3_RXD	8	I								0	
		MCASP0_ACLKR	12	IO									
AD26	prg0_pru0_gpo3	PRG0_PRU0_GPO3	0	IO	关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD	0	0/1
		PRG0_PRU0_GPI3	1	I								0	
		PRG0_RGMII1_RD3	2	I								0	
		PRG0_PWM3_A2	3	IO								0	
		RGMII3_RD3	4	I								0	
		RMII3_RX_ER	5	I								0	
		GPIO0_46	7	IO								0	
		UART3_TXD	8	O								0	
		MCASP0_AFSR	12	IO									
AD25	prg0_pru0_gpo4	PRG0_PRU0_GPO4	0	IO	关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD	0	0/1
		PRG0_PRU0_GPI4	1	I								0	
		PRG0_RGMII1_RX_CTL	2	I								0	
		PRG0_PWM2_B0	3	IO								1	
		RGMII3_RX_CTL	4	I								0	
		RMII3_TXD1	5	O									
		GPIO0_47	7	IO								0	
		MCASP0_AXR2	12	IO									
AC29	prg0_pru0_gpo5	PRG0_PRU0_GPO5	0	IO	关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD	0	1/1
		PRG0_PRU0_GPI5	1	I								0	
		PRG0_PWM3_B2	3	IO								1	
		RMII3_TXD0	5	O									
		GPIO0_48	7	IO								0	
		GPMC0_AD0	8	IO								0	
		MCASP0_AXR3	12	IO									
		BOOTMODE2	自举	I									

表 5-1. 引脚属性 (续)

焊球 编号 1	焊球名称 2	信号名称 3	多路复用模 式 4	类型 5	焊球复位状 态 6	焊球复位释 放多路复用 模式	I/O 电压值 8	电源 9	迟滞 10	缓冲器类型 11	上拉/下拉类 型 12	DSIS 13	RXACTIVE/ TXDISABL E 14
AE26	prg0_pru0_gpo6	PRG0_PRU0_GPO6	0	IO	关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD	0	0/1
		PRG0_PRU0_GPI6	1	I								0	
		PRG0_RGMII1_RXC	2	I								0	
		PRG0_PWM3_A1	3	IO								0	
		RGMII3_RXC	4	I								0	
		RMII3_TX_EN	5	O									
		GPIO0_49	7	IO								0	
		MCASP0_AXR4	12	IO									
AC28	prg0_pru0_gpo7	PRG0_PRU0_GPO7	0	IO	关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD	0	0/1
		PRG0_PRU0_GPI7	1	I								0	
		PRG0_IEP0_EDC_LATCH_IN1	2	I								0	
		PRG0_PWM3_B1	3	IO								1	
		PRG0_ECAP0_SYNC_IN	4	I								0	
		MCAN9_TX	6	O									
		GPIO0_50	7	IO								0	
		GPMC0_AD1	8	IO								0	
AC27	prg0_pru0_gpo8	MCASP0_AXR5	12	IO									
		PRG0_PRU0_GPO8	0	IO	关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD	0	0/1
		PRG0_PRU0_GPI8	1	I								0	
		PRG0_PWM2_A1	3	IO								0	
		MCAN9_RX	6	I								1	
		GPIO0_51	7	IO								0	
		GPMC0_AD2	8	IO								0	
		MCASP0_AXR6	12	IO									
		UART6_RXD	14	I									
AB26	prg0_pru0_gpo9	PRG0_PRU0_GPO9	0	IO	关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD	0	0/1
		PRG0_PRU0_GPI9	1	I								0	
		PRG0_UART0_CTSn	2	I								1	
		PRG0_PWM3_TZ_IN	3	I								0	
		SPI3_CS1	4	IO								1	
		PRG0_IEP0_EDIO_DATA_IN_OUT28	5	IO								0	
		MCAN10_TX	6	O									
		GPIO0_52	7	IO								0	
		GPMC0_AD3	8	IO								0	
		MCASP0_ACLKX	12	IO									
		UART6_TXD	14	O									

表 5-1. 引脚属性 (续)

焊球 编号 1	焊球名称 2	信号名称 3	多路复用模 式 4	类型 5	焊球复位状 态 6	焊球复位释 放多路复用 模式	I/O 电压值 8	电源 9	迟滞 10	缓冲器类型 11	上拉/下拉类 型 12	DSIS 13	RXACTIVE/ TXDISABL E 14
AB25	prg0_pru0_gpo10	PRG0_PRU0_GPO10	0	IO	关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD	0	0/1
		PRG0_PRU0_GPI10	1	I								0	
		PRG0_UART0_RTSn	2	O									
		PRG0_PWM2_B1	3	IO								1	
		SPI3_CS2	4	IO								1	
		PRG0_IEP0_EDIO_DATA_IN_OUT29	5	IO								0	
		MCAN10_RX	6	I								1	
		GPIO0_53	7	IO								0	
		GPMMC0_AD4	8	IO								0	
		MCASP0_AFSX	12	IO									
AJ28	prg0_pru0_gpo11	PRG0_PRU0_GPO11	0	IO	关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD	0	0/1
		PRG0_PRU0_GPI11	1	I								0	
		PRG0_RGMII1_TD0	2	O									
		PRG0_PWM3_TZ_OUT	3	O									
		RGMII3_TD0	4	O									
		GPIO0_54	7	IO								0	
		CLKOUT	9	OZ									
		MCASP0_AXR7	12	IO									
AH27	prg0_pru0_gpo12	PRG0_PRU0_GPO12	0	IO	关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD	0	0/1
		PRG0_PRU0_GPI12	1	I								0	
		PRG0_RGMII1_TD1	2	O									
		PRG0_PWM0_A0	3	IO								0	
		RGMII3_TD1	4	O									
		GPIO0_55	7	IO								0	
		DSS_FSYNC0	10	O									
		MCASP0_AXR8	12	IO									
AH29	prg0_pru0_gpo13	PRG0_PRU0_GPO13	0	IO	关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD	0	0/1
		PRG0_PRU0_GPI13	1	I								0	
		PRG0_RGMII1_TD2	2	O									
		PRG0_PWM0_B0	3	IO								1	
		RGMII3_TD2	4	O									
		GPIO0_56	7	IO								0	
		DSS_FSYNC2	10	O									
		MCASP0_AXR9	12	IO									

表 5-1. 引脚属性 (续)

焊球 编号 1	焊球名称 2	信号名称 3	多路复用模 式 4	类型 5	焊球复位状 态 6	焊球复位释 放多路复用 模式	I/O 电压值 8	电源 9	迟滞 10	缓冲器类型 11	上拉/下拉类 型 12	DSIS 13	RXACTIVE/ TXDISABL E 14
AG28	prg0_pru0_gpo14	PRG0_PRU0_GPO14	0	IO	关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD	0	0/1
		PRG0_PRU0_GPI14	1	I								0	
		PRG0_RGMII1_TD3	2	O								0	
		PRG0_PWM0_A1	3	IO								0	
		RGMII3_TD3	4	O								0	
		GPIO0_57	7	IO								0	
		UART4_RXD	8	I								0	
		MCASP0_AXR10	12	IO								0	
AG27	prg0_pru0_gpo15	PRG0_PRU0_GPO15	0	IO	关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD	0	0/1
		PRG0_PRU0_GPI15	1	I								0	
		PRG0_RGMII1_TX_CTL	2	O								1	
		PRG0_PWM0_B1	3	IO								0	
		RGMII3_TX_CTL	4	O								0	
		GPIO0_58	7	IO								0	
		UART4_TXD	8	O								0	
		DSS_FSYNC3	10	O								0	
AH28	prg0_pru0_gpo16	PRG0_PRU0_GPO16	0	IO	关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD	0	0/1
		PRG0_PRU0_GPI16	1	I								0	
		PRG0_RGMII1_TXC	2	IO								0	
		PRG0_PWM0_A2	3	IO								0	
		RGMII3_TXC	4	O								0	
		GPIO0_59	7	IO								0	
		DSS_FSYNC1	10	O								0	
		MCASP0_AXR12	12	IO								0	
AB24	prg0_pru0_gpo17	PRG0_PRU0_GPO17	0	IO	关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD	0	1/1
		PRG0_PRU0_GPI17	1	I								0	
		PRG0_IEP0_EDC_SYNC_OUT1	2	O								1	
		PRG0_PWM0_B2	3	IO								0	
		PRG0_ECAP0_SYNC_OUT	4	O								0	
		GPIO0_60	7	IO								0	
		GPMP0_AD5	8	IO								0	
		OBSClk1	9	O								0	
		MCASP0_AXR13	12	IO								0	
		BOOTMODE7	自举	I								0	

表 5-1. 引脚属性 (续)

焊球 编号 1	焊球名称 2	信号名称 3	多路复用模 式 4	类型 5	焊球复位状 态 6	焊球复位释 放多路复用 模式	I/O 电压值 8	电源 9	迟滞 10	缓冲器类型 11	上拉/下拉类 型 12	DSIS 13	RXACTIVE/ TXDISABL E 14
AB29	prg0_pru0_gpo18	PRG0_PRU0_GPO18	0	IO	关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD	0	0/1
		PRG0_PRU0_GPI18	1	I								0	
		PRG0_IEP0_EDC_LATCH_IN0	2	I								0	
		PRG0_PWM0_TZ_IN	3	I								0	
		PRG0_ECAP0_IN_APWM_OUT	4	IO								0	
		GPIO0_61	7	IO								0	
		GPMC0_AD6	8	IO								0	
		MCASP0_AXR14	12	IO								0	
AB28	prg0_pru0_gpo19	PRG0_PRU0_GPO19	0	IO	关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD	0	0/1
		PRG0_PRU0_GPI19	1	I								0	
		PRG0_IEP0_EDC_SYNC_OUT0	2	O								0	
		PRG0_PWM0_TZ_OUT	3	O								0	
		GPIO0_62	7	IO								0	
		GPMC0_AD7	8	IO								0	
		MCASP0_AXR15	12	IO								0	
												0	
AE29	prg0_pru1_gpo0	PRG0_PRU1_GPO0	0	IO	关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD	0	0/1
		PRG0_PRU1_GPI0	1	I								0	
		PRG0_RGMII2_RD0	2	I								0	
		RGMII4_RD0	4	I								0	
		RMII4_RXD0	5	I								0	
		GPIO0_63	7	IO								0	
		UART4_CTSn	8	I								0	
		MCASP1_AXR0	12	IO								0	
		UART5_RXD	14	I								0	
												0	
AD28	prg0_pru1_gpo1	PRG0_PRU1_GPO1	0	IO	关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD	0	0/1
		PRG0_PRU1_GPI1	1	I								0	
		PRG0_RGMII2_RD1	2	I								0	
		RGMII4_RD1	4	I								0	
		RMII4_RXD1	5	I								0	
		GPIO0_64	7	IO								0	
		UART4_RTSn	8	O								0	
		MCASP1_AXR1	12	IO								0	
		UART5_TXD	14	O								0	
												0	

表 5-1. 引脚属性 (续)

焊球 编号 1	焊球名称 2	信号名称 3	多路复用模 式 4	类型 5	焊球复位状 态 6	焊球复位释 放多路复用 模式	I/O 电压值 8	电源 9	迟滞 10	缓冲器类型 11	上拉/下拉类 型 12	DSIS 13	RXACTIVE/ TXDISABL E 14
AD27	prg0_pru1_gpo2	PRG0_PRU1_GPO2	0	IO	关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD	0	0/1
		PRG0_PRU1_GPI2	1	I								0	
		PRG0_RGMII2_RD2	2	I								0	
		PRG0_PWM2_A2	3	IO								0	
		RGMII4_RD2	4	I								0	
		RMII4_CRS_DV	5	I								0	
		GPIO0_65	7	IO								0	
		GPMC0_A23	8	OZ								0	
		MCASP1_ACLKR	12	IO									
		MCASP1_AXR10	13	IO								0	
AC25	prg0_pru1_gpo3	PRG0_PRU1_GPO3	0	IO	关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD	0	0/1
		PRG0_PRU1_GPI3	1	I								0	
		PRG0_RGMII2_RD3	2	I								0	
		RGMII4_RD3	4	I								0	
		RMII4_RX_ER	5	I								0	
		GPIO0_66	7	IO								0	
		MCASP1_AFSR	12	IO									
		MCASP1_AXR11	13	IO								0	
AD29	prg0_pru1_gpo4	PRG0_PRU1_GPO4	0	IO	关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD	0	0/1
		PRG0_PRU1_GPI4	1	I								0	
		PRG0_RGMII2_RX_CTL	2	I								0	
		PRG0_PWM2_B2	3	IO								1	
		RGMII4_RX_CTL	4	I								0	
		RMII4_TXD1	5	O									
		GPIO0_67	7	IO								0	
		GPMC0_A24	8	OZ								0	
		MCASP1_AXR2	12	IO									
AB27	prg0_pru1_gpo5	PRG0_PRU1_GPO5	0	IO	关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD	0	1/1
		PRG0_PRU1_GPI5	1	I								0	
		GPIO0_68	7	IO								0	
		GPMC0_AD8	8	IO								0	
		MCASP1_ACLKX	12	IO									
		BOOTMODE6	自举	I									

表 5-1. 引脚属性 (续)

焊球 编号 1	焊球名称 2	信号名称 3	多路复用模 式 4	类型 5	焊球复位状 态 6	焊球复位释 放多路复用 模式	I/O 电压值 8	电源 9	迟滞 10	缓冲器类型 11	上拉/下拉类 型 12	DSIS 13	RXACTIVE/ TXDISABL E 14
AC26	prg0_pru1_gpo6	PRG0_PRU1_GPO6	0	IO	关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD	0	0/1
		PRG0_PRU1_GPI6	1	I								0	
		PRG0_RGMII2_RXC	2	I								0	
		RGMII4_RXC	4	I								0	
		RMII4_TXD0	5	O									
		GPIO0_69	7	IO								0	
		GPMC0_A25	8	OZ								0	
		MCASP1_AXR3	12	IO									
AA24	prg0_pru1_gpo7	PRG0_PRU1_GPO7	0	IO	关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD	0	0/1
		PRG0_PRU1_GPI7	1	I								0	
		PRG0_IEP1_EDC_LATCH_IN1	2	I								0	
		SPI3_CS0	4	IO								1	
		MCAN11_TX	6	O									
		GPIO0_70	7	IO								0	
		GPMC0_AD9	8	IO								0	
		MCASP1_AXR4	12	IO									
AA28	prg0_pru1_gpo8	PRG0_PRU1_GPO8	0	IO	关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD	0	0/1
		PRG0_PRU1_GPI8	1	I								0	
		PRG0_PWM2_TZ_OUT	3	O									
		MCAN11_RX	6	I								1	
		GPIO0_71	7	IO								0	
		GPMC0_AD10	8	IO								0	
		MCASP1_AFSX	12	IO									
Y24	prg0_pru1_gpo9	PRG0_PRU1_GPO9	0	IO	关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD	0	0/1
		PRG0_PRU1_GPI9	1	I								0	
		PRG0_UART0_RXD	2	I								1	
		SPI3_CS3	4	IO								1	
		PRG0_IEP0_EDIO_DATA_IN_OUT30	6	IO								0	
		GPIO0_72	7	IO								0	
		GPMC0_AD11	8	IO								0	
		DSS_FSYNC3	10	O									
		MCASP1_AXR5	12	IO									
		UART8_RXD	14	I									

表 5-1. 引脚属性 (续)

焊球 编号 1	焊球名称 2	信号名称 3	多路复用模 式 4	类型 5	焊球复位状 态 6	焊球复位释 放多路复用 模式	I/O 电压值 8	电源 9	迟滞 10	缓冲器类型 11	上拉/下拉类 型 12	DSIS 13	RXACTIVE/ TXDISABL E 14
AA25	prg0_pru1_gpo10	PRG0_PRU1_GPO10	0	IO	关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD	0	0/1
		PRG0_PRU1_GPI10	1	I								0	
		PRG0_UART0_TXD	2	O								0	
		PRG0_PWM2_TZ_IN	3	I								0	
		PRG0_IEP0_EDIO_DATA_IN_OUT31	6	IO								0	
		GPIO0_73	7	IO								0	
		GPMC0_AD12	8	IO								0	
		CLKOUT	9	OZ								0	
		MCASP1_AXR6	12	IO									
		UART8_TXD	14	O									
AG26	prg0_pru1_gpo11	PRG0_PRU1_GPO11	0	IO	关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD	0	0/1
		PRG0_PRU1_GPI11	1	I								0	
		PRG0_RGMII2_TD0	2	O									
		RGMII4_TD0	4	O									
		RMII4_TX_EN	5	O									
		GPIO0_74	7	IO								0	
		GPMC0_A26	8	OZ								0	
		MCASP1_AXR7	12	IO									
AF27	prg0_pru1_gpo12	PRG0_PRU1_GPO12	0	IO	关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD	0	0/1
		PRG0_PRU1_GPI12	1	I								0	
		PRG0_RGMII2_TD1	2	O									
		PRG0_PWM1_A0	3	IO								0	
		RGMII4_TD1	4	O									
		GPIO0_75	7	IO								0	
		MCASP1_AXR8	12	IO									
AF26	prg0_pru1_gpo13	PRG0_PRU1_GPO13	0	IO	关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD	0	0/1
		PRG0_PRU1_GPI13	1	I								0	
		PRG0_RGMII2_TD2	2	O									
		PRG0_PWM1_B0	3	IO								1	
		RGMII4_TD2	4	O									
		GPIO0_76	7	IO								0	
		MCASP1_AXR9	12	IO									
		UART8_RTSn	14	O									

表 5-1. 引脚属性 (续)

焊球 编号 1	焊球名称 2	信号名称 3	多路复用模 式 4	类型 5	焊球复位状 态 6	焊球复位释 放多路复用 模式	I/O 电压值 8	电源 9	迟滞 10	缓冲器类型 11	上拉/下拉类 型 12	DSIS 13	RXACTIVE/ TXDISABL E 14
AE25	prg0_pru1_gpo14	PRG0_PRU1_GPO14	0	IO	关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD	0	0/1
		PRG0_PRU1_GPI14	1	I								0	
		PRG0_RGMII2_TD3	2	O								0	
		PRG0_PWM1_A1	3	IO								0	
		RGMII4_TD3	4	O								0	
		GPIO0_77	7	IO								0	
		MCASP2_AXR0	12	IO								0	
		UART2_CTSn	14	I								0	
AF29	prg0_pru1_gpo15	PRG0_PRU1_GPO15	0	IO	关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD	0	0/1
		PRG0_PRU1_GPI15	1	I								0	
		PRG0_RGMII2_TX_CTL	2	O								1	
		PRG0_PWM1_B1	3	IO								0	
		RGMII4_TX_CTL	4	O								0	
		GPIO0_78	7	IO								0	
		MCASP2_AXR1	12	IO								0	
		UART2_RTSn	14	O								0	
AG29	prg0_pru1_gpo16	PRG0_PRU1_GPO16	0	IO	关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD	0	0/1
		PRG0_PRU1_GPI16	1	I								0	
		PRG0_RGMII2_TXC	2	IO								0	
		PRG0_PWM1_A2	3	IO								0	
		RGMII4_TXC	4	O								0	
		GPIO0_79	7	IO								0	
		MCASP2_AXR2	12	IO								0	
												0	
Y25	prg0_pru1_gpo17	PRG0_PRU1_GPO17	0	IO	关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD	0	1/1
		PRG0_PRU1_GPI17	1	I								0	
		PRG0_IEP1_EDC_SYNC_OUT1	2	O								1	
		PRG0_PWM1_B2	3	IO								0	
		SPI3_CLK	4	IO								0	
		GPIO0_80	7	IO								0	
		GPMC0_AD13	8	IO								0	
		MCASP2_AXR3	12	IO								0	
		BOOTMODE3	自举	I								0	

表 5-1. 引脚属性 (续)

焊球 编号 1	焊球名称 2	信号名称 3	多路复用模 式 4	类型 5	焊球复位状 态 6	焊球复位释 放多路复用 模式	I/O 电压值 8	电源 9	迟滞 10	缓冲器类型 11	上拉/下拉类 型 12	DSIS 13	RXACTIVE/ TXDISABL E 14
AA26	prg0_pru1_gpo18	PRG0_PRU1_GPO18	0	IO	关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD	0	0/1
		PRG0_PRU1_GPI18	1	I								0	
		PRG0_IEP1_EDC_LATCH_IN0	2	I								0	
		PRG0_PWM1_TZ_IN	3	I								0	
		SPI3_D0	4	IO								0	
		MCAN12_TX	6	O									
		GPIO0_81	7	IO								0	
		GPMC0_AD14	8	IO								0	
		MCASP2_AFSX	12	IO									
		UART2_RXD	14	I									
AA29	prg0_pru1_gpo19	PRG0_PRU1_GPO19	0	IO	关闭	7	1.8V/3.3V	VDDSHV1	是	LVCMOS	PU/PD	0	0/1
		PRG0_PRU1_GPI19	1	I								0	
		PRG0_IEP1_EDC_SYNC_OUT0	2	O									
		PRG0_PWM1_TZ_OUT	3	O									
		SPI3_D1	4	IO								0	
		MCAN12_RX	6	I								1	
		GPIO0_82	7	IO								0	
		GPMC0_AD15	8	IO								0	
		MCASP2_ACLKX	12	IO									
AD18	prg1_mdio0_mdc	PRG1_MDIO0_MDC	0	O	关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD		0/1
		SPI1_CS3	1	IO								1	
		I2C4_SDA	2	IOD								1	
		RMII_REF_CLK	5	I								0	
		GPIO0_42	7	IO								0	
		VPFE0_DATA12	11	I									
		MCASP5_AXR3	12	IO								0	
		MCASP5_AFSR	13	IO								0	
		UART3_RTSn	14	O								0	
AD19	prg1_mdio0_mdio	PRG1_MDIO0_MDIO	0	IO	关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD	0	0/1
		SPI1_CS2	1	IO								1	
		I2C4_SCL	2	IOD								1	
		GPIO0_41	7	IO								0	
		DSS_FSYNC1	10	O									
		VPFE0_DATA11	11	I									
		MCASP5_AXR2	12	IO								0	
		MCASP5_ACLKR	13	IO								0	
		UART3_CTSn	14	I								0	

表 5-1. 引脚属性 (续)

焊球 编号 1	焊球名称 2	信号名称 3	多路复用模 式 4	类型 5	焊球复位状 态 6	焊球复位释 放多路复用 模式	I/O 电压值 8	电源 9	迟滞 10	缓冲器类型 11	上拉/下拉类 型 12	DSIS 13	RXACTIVE/ TXDISABL E 14
AC23	prg1_pru0_gpo0	PRG1_PRU0_GPO0	0	IO	关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD	0	0/1
		PRG1_PRU0_GPI0	1	I								0	
		PRG1_RGMII1_RD0	2	I								0	
		PRG1_PWM3_A0	3	IO								0	
		RGMII1_RD0	4	I								0	
		RMII1_RXD0	5	I								0	
		GPIO0_1	7	IO								0	
		GPMC0_BE1n	8	O								0	
		RGMII7_RD0	9	I									
		MCASP6_ACLKX	12	IO									
		UART0_RXD	14	I									
AG22	prg1_pru0_gpo1	PRG1_PRU0_GPO1	0	IO	关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD	0	0/1
		PRG1_PRU0_GPI1	1	I								0	
		PRG1_RGMII1_RD1	2	I								0	
		PRG1_PWM3_B0	3	IO								1	
		RGMII1_RD1	4	I								0	
		RMII1_RXD1	5	I								0	
		GPIO0_2	7	IO								0	
		GPMC0_WAIT0	8	I								0	
		RGMII7_RD1	9	I								0	
		MCASP6_AFSX	12	IO									
		UART0_TXD	14	O									
AF22	prg1_pru0_gpo2	PRG1_PRU0_GPO2	0	IO	关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD	0	0/1
		PRG1_PRU0_GPI2	1	I								0	
		PRG1_RGMII1_RD2	2	I								0	
		PRG1_PWM2_A0	3	IO								0	
		RGMII1_RD2	4	I								0	
		RMII1_CRS_DV	5	I								0	
		GPIO0_3	7	IO								0	
		GPMC0_WAIT1	8	I								0	
		RGMII7_RD2	9	I								0	
		MCASP6_AXR0	12	IO									
		UART1_RXD	14	I									

表 5-1. 引脚属性 (续)

焊球 编号 1	焊球名称 2	信号名称 3	多路复用模 式 4	类型 5	焊球复位状 态 6	焊球复位释 放多路复用 模式	I/O 电压值 8	电源 9	迟滞 10	缓冲器类型 11	上拉/下拉类 型 12	DSIS 13	RXACTIVE/ TXDISABL E 14
AJ23	prg1_pru0_gpo3	PRG1_PRU0_GPO3	0	IO	关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD	0	0/1
		PRG1_PRU0_GPI3	1	I								0	
		PRG1_RGMII1_RD3	2	I								0	
		PRG1_PWM3_A2	3	IO								0	
		RGMII1_RD3	4	I								0	
		RMII1_RX_ER	5	I								0	
		GPIO0_4	7	IO								0	
		GPMC0_DIR	8	O								0	
		RGMII7_RD3	9	I									
		MCASP6_AXR1	12	IO									
		UART1_TXD	14	O									
AH23	prg1_pru0_gpo4	PRG1_PRU0_GPO4	0	IO	关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD	0	0/1
		PRG1_PRU0_GPI4	1	I								0	
		PRG1_RGMII1_RX_CTL	2	I								0	
		PRG1_PWM2_B0	3	IO								1	
		RGMII1_RX_CTL	4	I								0	
		RMII1_TXD0	5	O									
		GPIO0_5	7	IO								0	
		GPMC0_CSn2	8	O								0	
		RGMII7_RX_CTL	9	I									
		MCASP6_AXR2	12	IO									
		MCASP6_ACLKR	13	IO								0	
		UART2_RXD	14	I								0	
AD20	prg1_pru0_gpo5	PRG1_PRU0_GPO5	0	IO	关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD	0	1/1
		PRG1_PRU0_GPI5	1	I								0	
		PRG1_PWM3_B2	3	IO								1	
		RMII1_TX_EN	5	O									
		GPIO0_6	7	IO								0	
		GPMC0_WEn	8	O								0	
		MCASP3_AXR0	12	IO									
		BOOTMODE0	自举	I									

表 5-1. 引脚属性 (续)

焊球 编号 1	焊球名称 2	信号名称 3	多路复用模 式 4	类型 5	焊球复位状 态 6	焊球复位释 放多路复用 模式	I/O 电压值 8	电源 9	迟滞 10	缓冲器类型 11	上拉/下拉类 型 12	DSIS 13	RXACTIVE/ TXDISABL E 14
AD22	prg1_pru0_gpo6	PRG1_PRU0_GPO6	0	IO	关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD	0	0/1
		PRG1_PRU0_GPI6	1	I								0	
		PRG1_RGMII1_RXC	2	I								0	
		PRG1_PWM3_A1	3	IO								0	
		RGMII1_RXC	4	I								0	
		RMII1_TXD1	5	O									
		AUDIO_EXT_REFCLK0	6	IO								0	
		GPIO0_7	7	IO								0	
		GPMC0_CSn3	8	O								0	
		RGMII7_RXC	9	I									
		MCASP6_AXR3	12	IO									
		MCASP6_AFSR	13	IO								0	
		UART2_TXD	14	O								0	
AE20	prg1_pru0_gpo7	PRG1_PRU0_GPO7	0	IO	关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD	0	0/1
		PRG1_PRU0_GPI7	1	I								0	
		PRG1_IEP0_EDC_LATCH_IN1	2	I								0	
		PRG1_PWM3_B1	3	IO								1	
		AUDIO_EXT_REFCLK1	5	IO								0	
		MCAN4_TX	6	O									
		GPIO0_8	7	IO								0	
		MCASP3_AXR1	12	IO									
AJ20	prg1_pru0_gpo8	PRG1_PRU0_GPO8	0	IO	关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD	0	0/1
		PRG1_PRU0_GPI8	1	I								0	
		PRG1_PWM2_A1	3	IO								0	
		RMII5_RXD0	5	I								0	
		MCAN4_RX	6	I								1	
		GPIO0_9	7	IO								0	
		GPMC0_OEn_REn	8	O								0	
		VOUT0_DATA22	10	O									
		MCASP3_AXR2	12	IO									

表 5-1. 引脚属性 (续)

焊球 编号 1	焊球名称 2	信号名称 3	多路复用模 式 4	类型 5	焊球复位状 态 6	焊球复位释 放多路复用 模式	I/O 电压值 8	电源 9	迟滞 10	缓冲器类型 11	上拉/下拉类 型 12	DSIS 13	RXACTIVE/ TXDISABL E 14
AG20	prg1_pru0_gpo9	PRG1_PRU0_GPO9	0	IO	关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD	0	0/1
		PRG1_PRU0_GPI9	1	I								0	
		PRG1_UART0_CTSn	2	I								1	
		PRG1_PWM3_TZ_IN	3	I								0	
		SPI6_CS1	4	IO								1	
		RMII5_RXD1	5	I								0	
		GPIO0_10	7	IO								0	
		GPMC0_ADVn_ALE	8	O								0	
		PRG1_IEP0_EDIO_DATA_IN_OUT28	9	IO									
		VOUT0_DATA23	10	O								0	
		MCASP3_ACLKX	12	IO									
AD21	prg1_pru0_gpo10	PRG1_PRU0_GPO10	0	IO	关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD	0	0/1
		PRG1_PRU0_GPI10	1	I								0	
		PRG1_UART0_RTSn	2	O									
		PRG1_PWM2_B1	3	IO								1	
		SPI6_CS2	4	IO								1	
		RMII5_CRS_DV	5	I								0	
		GPIO0_11	7	IO								0	
		GPMC0_BE0n_CLE	8	O								0	
		PRG1_IEP0_EDIO_DATA_IN_OUT29	9	IO									
		OBSCLK2	10	O								0	
		MCASP3_AFSX	12	IO									
AF24	prg1_pru0_gpo11	PRG1_PRU0_GPO11	0	IO	关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD	0	0/1
		PRG1_PRU0_GPI11	1	I								0	
		PRG1_RGMII1_TD0	2	O									
		PRG1_PWM3_TZ_OUT	3	O									
		RGMII1_TD0	4	O									
		MCAN4_TX	6	O									
		GPIO0_12	7	IO								0	
		RGMII7_TD0	9	O									
		VOUT0_DATA16	10	O									
		VPFE0_DATA0	11	I									
		MCASP7_ACLKX	12	IO								0	

表 5-1. 引脚属性 (续)

焊球 编号 1	焊球名称 2	信号名称 3	多路复用模 式 4	类型 5	焊球复位状 态 6	焊球复位释 放多路复用 模式	I/O 电压值 8	电源 9	迟滞 10	缓冲器类型 11	上拉/下拉类 型 12	DSIS 13	RXACTIVE/ TXDISABL E 14
AJ24	prg1_pru0_gpo12	PRG1_PRU0_GPO12	0	IO	关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD	0	0/1
		PRG1_PRU0_GPI12	1	I								0	
		PRG1_RGMII1_TD1	2	O								0	
		PRG1_PWM0_A0	3	IO								0	
		RGMII1_TD1	4	O								0	
		MCAN4_RX	6	I								1	
		GPIO0_13	7	IO								0	
		RGMII7_TD1	9	O								0	
		VOUT0_DATA17	10	O								0	
		VPFE0_DATA1	11	I								0	
		MCASP7_AFSX	12	IO								0	
AG24	prg1_pru0_gpo13	PRG1_PRU0_GPO13	0	IO	关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD	0	0/1
		PRG1_PRU0_GPI13	1	I								0	
		PRG1_RGMII1_TD2	2	O								0	
		PRG1_PWM0_B0	3	IO								1	
		RGMII1_TD2	4	O								0	
		MCAN5_TX	6	O								0	
		GPIO0_14	7	IO								0	
		RGMII7_TD2	9	O								0	
		VOUT0_DATA18	10	O								0	
		VPFE0_DATA2	11	I								0	
		MCASP7_AXR0	12	IO								0	
AD24	prg1_pru0_gpo14	PRG1_PRU0_GPO14	0	IO	关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD	0	0/1
		PRG1_PRU0_GPI14	1	I								0	
		PRG1_RGMII1_TD3	2	O								0	
		PRG1_PWM0_A1	3	IO								0	
		RGMII1_TD3	4	O								0	
		MCAN5_RX	6	I								1	
		GPIO0_15	7	IO								0	
		RGMII7_TD3	9	O								0	
		VOUT0_DATA19	10	O								0	
		VPFE0_DATA3	11	I								0	
		MCASP7_AXR1	12	IO								0	

表 5-1. 引脚属性 (续)

焊球 编号 1	焊球名称 2	信号名称 3	多路复用模 式 4	类型 5	焊球复位状 态 6	焊球复位释 放多路复用 模式	I/O 电压值 8	电源 9	迟滞 10	缓冲器类型 11	上拉/下拉类 型 12	DSIS 13	RXACTIVE/ TXDISABL E 14
AC24	prg1_pru0_gpo15	PRG1_PRU0_GPO15	0	IO	关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD	0	0/1
		PRG1_PRU0_GPI15	1	I								0	
		PRG1_RGMII1_TX_CTL	2	O									
		PRG1_PWM0_B1	3	IO								1	
		RGMII1_TX_CTL	4	O									
		MCAN6_TX	6	O									
		GPIO0_16	7	IO								0	
		RGMII7_TX_CTL	9	O									
		VOUT0_DATA20	10	O									
		VPFE0_DATA4	11	I									
		MCASP7_AXR2	12	IO								0	
		MCASP7_ACLKR	13	IO								0	
AE24	prg1_pru0_gpo16	PRG1_PRU0_GPO16	0	IO	关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD	0	0/1
		PRG1_PRU0_GPI16	1	I								0	
		PRG1_RGMII1_TXC	2	IO								0	
		PRG1_PWM0_A2	3	IO								0	
		RGMII1_TXC	4	O								0	
		MCAN6_RX	6	I								1	
		GPIO0_17	7	IO								0	
		RGMII7_TXC	9	O									
		VOUT0_DATA21	10	O								0	
		VPFE0_DATA5	11	I									
		MCASP7_AXR3	12	IO								0	
		MCASP7_AFSR	13	IO								0	
AJ21	prg1_pru0_gpo17	PRG1_PRU0_GPO17	0	IO	关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD	0	0/1
		PRG1_PRU0_GPI17	1	I								0	
		PRG1_IEP0_EDC_SYNC_OUT1	2	O									
		PRG1_PWM0_B2	3	IO								1	
		RMII5_TXD1	5	O									
		MCAN5_TX	6	O									
		GPIO0_18	7	IO								0	
		VPFE0_DATA6	11	I									
		MCASP3_AXR3	12	IO								0	

表 5-1. 引脚属性 (续)

焊球 编号 1	焊球名称 2	信号名称 3	多路复用模 式 4	类型 5	焊球复位状 态 6	焊球复位释 放多路复用 模式	I/O 电压值 8	电源 9	迟滞 10	缓冲器类型 11	上拉/下拉类 型 12	DSIS 13	RXACTIVE/ TXDISABL E 14
AE21	prg1_pru0_gpo18	PRG1_PRU0_GPO18	0	IO	关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD	0	0/1
		PRG1_PRU0_GPI18	1	I								0	
		PRG1_IEP0_EDC_LATCH_IN0	2	I								0	
		PRG1_PWM0_TZ_IN	3	I								0	
		RMII5_RX_ER	5	I								0	
		MCAN5_RX	6	I								1	
		GPIO0_19	7	IO								0	
		VPFE0_DATA7	11	I									
		MCASP4_ACLKX	12	IO								0	
AH21	prg1_pru0_gpo19	PRG1_PRU0_GPO19	0	IO	关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD	0	0/1
		PRG1_PRU0_GPI19	1	I								0	
		PRG1_IEP0_EDC_SYNC_OUT0	2	O									
		PRG1_PWM0_TZ_OUT	3	O									
		RMII5_TXD0	5	O									
		MCAN6_TX	6	O									
		GPIO0_20	7	IO								0	
		VOUT0_EXTCLKIN	10	I									
		VPFE0_PCLK	11	I								0	
		MCASP4_AFSX	12	IO								0	
AE22	prg1_pru1_gpo0	PRG1_PRU1_GPO0	0	IO	关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD	0	0/1
		PRG1_PRU1_GPI0	1	I								0	
		PRG1_RGMII2_RD0	2	I								0	
		RGMII2_RD0	4	I								0	
		RMII2_RXD0	5	I								0	
		GPIO0_21	7	IO								0	
		RGMII8_RD0	8	I								0	
		VOUT0_DATA0	10	O									
		VPFE0_HD	11	I									
		MCASP8_ACLKX	12	IO								0	

表 5-1. 引脚属性 (续)

焊球 编号 1	焊球名称 2	信号名称 3	多路复用模 式 4	类型 5	焊球复位状 态 6	焊球复位释 放多路复用 模式	I/O 电压值 8	电源 9	迟滞 10	缓冲器类型 11	上拉/下拉类 型 12	DSIS 13	RXACTIVE/ TXDISABL E 14
AG23	prg1_pru1_gpo1	PRG1_PRU1_GPO1	0	IO	关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD	0	0/1
		PRG1_PRU1_GPI1	1	I								0	
		PRG1_RGMII2_RD1	2	I								0	
		RGMII2_RD1	4	I								0	
		RMII2_RXD1	5	I								0	
		GPIO0_22	7	IO								0	
		RGMII8_RD1	8	I								0	
		VOUT0_DATA1	10	O									
		VPFE0_FIELD	11	I									
		MCASP8_AFSX	12	IO								0	
AF23	prg1_pru1_gpo2	PRG1_PRU1_GPO2	0	IO	关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD	0	0/1
		PRG1_PRU1_GPI2	1	I								0	
		PRG1_RGMII2_RD2	2	I								0	
		PRG1_PWM2_A2	3	IO								0	
		RGMII2_RD2	4	I								0	
		RMII2_CRS_DV	5	I								0	
		GPIO0_23	7	IO								0	
		RGMII8_RD2	8	I								0	
		VOUT0_DATA2	10	O									
		VPFE0_VD	11	I									
		MCASP8_AXR0	12	IO								0	
		MCASP3_ACLKR	13	IO								0	
AD23	prg1_pru1_gpo3	PRG1_PRU1_GPO3	0	IO	关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD	0	0/1
		PRG1_PRU1_GPI3	1	I								0	
		PRG1_RGMII2_RD3	2	I								0	
		RGMII2_RD3	4	I								0	
		RMII2_RX_ER	5	I								0	
		GPIO0_24	7	IO								0	
		RGMII8_RD3	8	I								0	
		EQEP1_A	9	I								0	
		VOUT0_DATA3	10	O								0	
		VPFE0_WEN	11	I									
		MCASP8_AXR1	12	IO								0	
		MCASP3_AFSR	13	IO								0	
		TIMER_IO2	14	IO								0	

表 5-1. 引脚属性 (续)

焊球 编号 1	焊球名称 2	信号名称 3	多路复用模 式 4	类型 5	焊球复位状 态 6	焊球复位释 放多路复用 模式	I/O 电压值 8	电源 9	迟滞 10	缓冲器类型 11	上拉/下拉类 型 12	DSIS 13	RXACTIVE/ TXDISABL E 14
AH24	prg1_pru1_gpo4	PRG1_PRU1_GPO4	0	IO	关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD	0	0/1
		PRG1_PRU1_GPI4	1	I								0	
		PRG1_RGMII2_RX_CTL	2	I								0	
		PRG1_PWM2_B2	3	IO								1	
		RGMII2_RX_CTL	4	I								0	
		RMII2_TXD0	5	O									
		GPIO0_25	7	IO								0	
		RGMII8_RX_CTL	8	I								0	
		EQEP1_B	9	I								0	
		VOUT0_DATA4	10	O								0	
		VPFE0_DATA13	11	I									
		MCASP8_AXR2	12	IO								0	
		MCASP8_ACLKR	13	IO								0	
		TIMER_IO3	14	IO								0	
AG21	prg1_pru1_gpo5	PRG1_PRU1_GPO5	0	IO	关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD	0	0/1
		PRG1_PRU1_GPI5	1	I								0	
		RMII5_TX_EN	5	O									
		MCAN6_RX	6	I								1	
		GPIO0_26	7	IO								0	
		GPMC0_WPn	8	O								0	
		EQEP1_S	9	IO									
		VOUT0_DATA5	10	O								0	
		MCASP4_AXR0	12	IO									
		TIMER_IO4	14	IO									
AE23	prg1_pru1_gpo6	PRG1_PRU1_GPO6	0	IO	关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD	0	0/1
		PRG1_PRU1_GPI6	1	I								0	
		PRG1_RGMII2_RXC	2	I								0	
		RGMII2_RXC	4	I								0	
		RMII2_TXD1	5	O									
		GPIO0_27	7	IO								0	
		RGMII8_RXC	8	I								0	
		VOUT0_DATA6	10	O									
		VPFE0_DATA14	11	I									
		MCASP8_AXR3	12	IO								0	
		MCASP8_AFSR	13	IO								0	
		TIMER_IO5	14	IO								0	

表 5-1. 引脚属性 (续)

焊球 编号 1	焊球名称 2	信号名称 3	多路复用模 式 4	类型 5	焊球复位状 态 6	焊球复位释 放多路复用 模式	I/O 电压值 8	电源 9	迟滞 10	缓冲器类型 11	上拉/下拉类 型 12	DSIS 13	RXACTIVE/ TXDISABL E 14
AC21	prg1_pru1_gpo7	PRG1_PRU1_GPO7	0	IO	关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD	0	0/1
		PRG1_PRU1_GPI7	1	I								0	
		PRG1_IEP1_EDC_LATCH_IN1	2	I								0	
		SPI6_CS0	4	IO								1	
		RMII6_RX_ER	5	I								0	
		MCAN7_TX	6	O									
		GPIO0_28	7	IO								0	
		VOUT0_DATA7	10	O									
		VPFE0_DATA15	11	I									
		MCASP4_AXR1	12	IO								0	
		UART3_TXD	14	O									
Y23	prg1_pru1_gpo8	PRG1_PRU1_GPO8	0	IO	关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD	0	0/1
		PRG1_PRU1_GPI8	1	I								0	
		PRG1_PWM2_TZ_OUT	3	O									
		RMII6_RXD0	5	I								0	
		MCAN7_RX	6	I								1	
		GPIO0_29	7	IO								0	
		GPMC0_CSn1	8	O								0	
		VOUT0_DATA8	10	O									
		MCASP4_AXR2	12	IO									
		UART3_RXD	14	I									
AF21	prg1_pru1_gpo9	PRG1_PRU1_GPO9	0	IO	关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD	0	0/1
		PRG1_PRU1_GPI9	1	I								0	
		PRG1_UART0_RXD	2	I								1	
		SPI6_CS3	4	IO								1	
		RMII6_RXD1	5	I								0	
		MCAN8_TX	6	O									
		GPIO0_30	7	IO								0	
		GPMC0_CSn0	8	O								0	
		PRG1_IEP0_EDIO_DATA_IN_OUT30	9	IO									
		VOUT0_DATA9	10	O								0	
		MCASP4_AXR3	12	IO									

表 5-1. 引脚属性 (续)

焊球 编号 1	焊球名称 2	信号名称 3	多路复用模 式 4	类型 5	焊球复位状 态 6	焊球复位释 放多路复用 模式	I/O 电压值 8	电源 9	迟滞 10	缓冲器类型 11	上拉/下拉类 型 12	DSIS 13	RXACTIVE/ TXDISABL E 14
AB23	prg1_pru1_gpo10	PRG1_PRU1_GPO10	0	IO	关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD	0	0/1
		PRG1_PRU1_GPI10	1	I								0	
		PRG1_UART0_TXD	2	O								0	
		PRG1_PWM2_TZ_IN	3	I								0	
		RMII6_CRSDV	5	I								0	
		MCAN8_RX	6	I								1	
		GPIO0_31	7	IO								0	
		GPMC0_CLKOUT	8	O								0	
		PRG1_IEP0_EDIO_DATA_IN_OUT31	9	IO								0	
		VOUT0_DATA10	10	O								0	
		GPMC0_FCLK_MUX	11	O								0	
		MCASP5_ACLKX	12	IO								0	
AJ25	prg1_pru1_gpo11	PRG1_PRU1_GPO11	0	IO	关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD	0	0/1
		PRG1_PRU1_GPI11	1	I								0	
		PRG1_RGMII2_TD0	2	O								0	
		RGMII2_TD0	4	O								0	
		RMII2_TX_EN	5	O								0	
		GPIO0_32	7	IO								0	
		RGMII8_TD0	8	O								0	
		EQEP1_I	9	IO								0	
		VOUT0_DATA11	10	O								0	
		MCASP9_ACLKX	12	IO								0	
												0	
												0	
AH25	prg1_pru1_gpo12	PRG1_PRU1_GPO12	0	IO	关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD	0	0/1
		PRG1_PRU1_GPI12	1	I								0	
		PRG1_RGMII2_TD1	2	O								0	
		PRG1_PWM1_A0	3	IO								0	
		RGMII2_TD1	4	O								0	
		MCAN7_TX	6	O								0	
		GPIO0_33	7	IO								0	
		RGMII8_TD1	8	O								0	
		VOUT0_DATA12	10	O								0	
		MCASP9_AFSX	12	IO								0	

表 5-1. 引脚属性 (续)

焊球 编号 1	焊球名称 2	信号名称 3	多路复用模 式 4	类型 5	焊球复位状 态 6	焊球复位释 放多路复用 模式	I/O 电压值 8	电源 9	迟滞 10	缓冲器类型 11	上拉/下拉类 型 12	DSIS 13	RXACTIVE/ TXDISABL E 14
AG25	prg1_pru1_gpo13	PRG1_PRU1_GPO13	0	IO	关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD	0	0/1
		PRG1_PRU1_GPI13	1	I								0	
		PRG1_RGMII2_TD2	2	O									
		PRG1_PWM1_B0	3	IO								1	
		RGMII2_TD2	4	O									
		MCAN7_RX	6	I								1	
		GPIO0_34	7	IO								0	
		RGMII8_TD2	8	O								0	
		VOUT0_DATA13	10	O									
		VPFE0_DATA8	11	I									
		MCASP9_AXR0	12	IO								0	
		MCASP4_ACLKR	13	IO								0	
AH26	prg1_pru1_gpo14	PRG1_PRU1_GPO14	0	IO	关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD	0	0/1
		PRG1_PRU1_GPI14	1	I								0	
		PRG1_RGMII2_TD3	2	O									
		PRG1_PWM1_A1	3	IO								0	
		RGMII2_TD3	4	O									
		MCAN8_TX	6	O									
		GPIO0_35	7	IO								0	
		RGMII8_TD3	8	O								0	
		VOUT0_DATA14	10	O									
		MCASP9_AXR1	12	IO									
		MCASP4_AFSR	13	IO								0	
AJ27	prg1_pru1_gpo15	PRG1_PRU1_GPO15	0	IO	关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD	0	0/1
		PRG1_PRU1_GPI15	1	I								0	
		PRG1_RGMII2_TX_CTL	2	O									
		PRG1_PWM1_B1	3	IO								1	
		RGMII2_TX_CTL	4	O									
		MCAN8_RX	6	I								1	
		GPIO0_36	7	IO								0	
		RGMII8_TX_CTL	8	O								0	
		VOUT0_DATA15	10	O									
		VPFE0_DATA9	11	I									
		MCASP9_AXR2	12	IO								0	
		MCASP9_ACLKR	13	IO								0	

表 5-1. 引脚属性 (续)

焊球 编号 1	焊球名称 2	信号名称 3	多路复用模 式 4	类型 5	焊球复位状 态 6	焊球复位释 放多路复用 模式	I/O 电压值 8	电源 9	迟滞 10	缓冲器类型 11	上拉/下拉类 型 12	DSIS 13	RXACTIVE/ TXDISABL E 14
AJ26	prg1_pru1_gpo16	PRG1_PRU1_GPO16	0	IO	关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD	0	0/1
		PRG1_PRU1_GPI16	1	I								0	
		PRG1_RGMII2_TXC	2	IO								0	
		PRG1_PWM1_A2	3	IO								0	
		RGMII2_TXC	4	O								0	
		GPIO0_37	7	IO								0	
		RGMII8_TXC	8	O								0	
		VOUT0_VP2_HSYNC	9	O								0	
		VOUT0_HSYNC	10	O									
		MCASP9_AXR3	12	IO									
		MCASP9_AFSR	13	IO								0	
		VOUT0_VP0_HSYNC	14	O								0	
AC22	prg1_pru1_gpo17	PRG1_PRU1_GPO17	0	IO	关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD	0	1/1
		PRG1_PRU1_GPI17	1	I								0	
		PRG1_IEP1_EDC_SYNC_OUT1	2	O									
		PRG1_PWM1_B2	3	IO								1	
		SPI6_CLK	4	IO								0	
		RMII6_TX_EN	5	O									
		PRG1_ECAP0_SYNC_OUT	6	O									
		GPIO0_38	7	IO								0	
		VOUT0_VP2_DE	9	O									
		VOUT0_DE	10	O									
		VPFE0_DATA10	11	I									
		MCASP5_AFSX	12	IO								0	
		VOUT0_VP0_DE	14	O									
		BOOTMODE1	自举	I									

表 5-1. 引脚属性 (续)

焊球 编号 1	焊球名称 2	信号名称 3	多路复用模 式 4	类型 5	焊球复位状 态 6	焊球复位释 放多路复用 模式	I/O 电压值 8	电源 9	迟滞 10	缓冲器类型 11	上拉/下拉类 型 12	DSIS 13	RXACTIVE/ TXDISABL E 14
AJ22	prg1_pru1_gpo18	PRG1_PRU1_GPO18	0	IO	关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD	0	0/1
		PRG1_PRU1_GPI18	1	I								0	
		PRG1_IEP1_EDC_LATCH_IN0	2	I								0	
		PRG1_PWM1_TZ_IN	3	I								0	
		SPI6_D0	4	IO								0	
		RMII6_TXD0	5	O									
		PRG1_ECAP0_SYNC_IN	6	I								0	
		GPIO0_39	7	IO								0	
		VOUT0_VP2_VSYNC	9	O									
		VOUT0_VSYNC	10	O									
		MCASP5_AXR0	12	IO									
		VOUT0_VP0_VSYNC	14	O									
AH22	prg1_pru1_gpo19	PRG1_PRU1_GPO19	0	IO	关闭	7	1.8V/3.3V	VDDSHV2	是	LVCMOS	PU/PD	0	0/1
		PRG1_PRU1_GPI19	1	I								0	
		PRG1_IEP1_EDC_SYNC_OUT0	2	O									
		PRG1_PWM1_TZ_OUT	3	O									
		SPI6_D1	4	IO								0	
		RMII6_TXD1	5	O									
		PRG1_ECAP0_IN_APWM_OUT	6	IO								0	
		GPIO0_40	7	IO								0	
		VOUT0_PCLK	10	O									
		MCASP5_AXR1	12	IO									
T6	resetstatz	RESETSTATz	0	O	关闭	0	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD		0/0
C28	RESET_REQZ	RESET_REQz	0	I	PU	0	1.8V/3.3V	VDDSHV0_MC U	是	LVCMOS	PU/PD		1/1
U25	rgmii5_rxc	RGMII5_RXC	0	I	关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD	0	0/1
		I2C6_SDA	2	IOD								1	
		VOUT1_DATA7	4	O									
		TRC_DATA5	5	O									
		EHRPWM_TZn_IN1	6	I								0	
		GPIO0_92	7	IO								0	
		GPMC0_A8	8	OZ								0	
		MCASP10_AXR3	12	IO									
		EHRPWM_SOCa	14	O									

表 5-1. 引脚属性 (续)

焊球 编号 1	焊球名称 2	信号名称 3	多路复用模 式 4	类型 5	焊球复位状 态 6	焊球复位释 放多路复用 模式	I/O 电压值 8	电源 9	迟滞 10	缓冲器类型 11	上拉/下拉类 型 12	DSIS 13	RXACTIVE/ TXDISABL E 14
U26	rgmii5_rx_ctl	RGMII5_RX_CTL	0	I	关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD	0	0/1
		RMII7_RX_ER	1	I								0	
		I2C2_SDA	2	IOD								1	
		VOUT1_DATA1	4	O									
		TRC_CTL	5	O									
		EHRPWM0_SYNCO	6	O									
		GPIO0_86	7	IO								0	
		GPMC0_A2	8	OZ								0	
		MCASP10_AFSX	12	IO									
U29	rgmii5_txc	RGMII5_TXC	0	O	关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD	0	0/1
		RMII7_TX_EN	1	O									
		I2C6_SCL	2	IOD								1	
		VOUT1_DATA6	4	O									
		TRC_DATA4	5	O									
		EHRPWM1_B	6	IO								0	
		GPIO0_91	7	IO								0	
		GPMC0_A7	8	OZ								0	
		MCASP10_AXR2	12	IO									
U23	rgmii5_tx_ctl	RGMII5_TX_CTL	0	O	关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD		0/1
		RMII7_CRS_DV	1	I								0	
		I2C2_SCL	2	IOD								1	
		VOUT1_DATA0	4	O									
		TRC_CLK	5	O									
		EHRPWM0_SYNCI	6	I								0	
		GPIO0_85	7	IO								0	
		GPMC0_A1	8	OZ								0	
		MCASP10_ACLKX	12	IO									
W26	rgmii6_rxc	RGMII6_RXC	0	I	关闭	7	1.8V/3.3V	VDDSHV4	是	LVCMOS	PU/PD	0	0/1
		AUDIO_EXT_REFCLK2	3	IO								0	
		VOUT1_DE	4	O									
		TRC_DATA17	5	O									
		EHRPWM4_B	6	IO								0	
		GPIO0_104	7	IO								0	
		GPMC0_A20	8	OZ								0	
		VOUT1_VP0_DE	9	O									
		MCASP10_AXR7	12	IO									

表 5-1. 引脚属性 (续)

焊球 编号 1	焊球名称 2	信号名称 3	多路复用模 式 4	类型 5	焊球复位状 态 6	焊球复位释 放多路复用 模式	I/O 电压值 8	电源 9	迟滞 10	缓冲器类型 11	上拉/下拉类 型 12	DSIS 13	RXACTIVE/ TXDISABL E 14
V23	rgmii6_rx_ctl	RGMII6_RX_CTL	0	I	关闭	7	1.8V/3.3V	VDDSHV4	是	LVCMOS	PU/PD	0	0/1
		RMII8_RX_ER	1	I								0	
		VOUT1_DATA13	4	O									
		TRC_DATA11	5	O									
		EHRPWM3_A	6	IO								0	
		GPIO0_98	7	IO								0	
		GPMC0_A14	8	OZ								0	
		MCASP10_AFSR	12	IO									
W29	rgmii6_txc	RGMII6_TXC	0	O	关闭	7	1.8V/3.3V	VDDSHV4	是	LVCMOS	PU/PD	0	0/1
		RMII8_TX_EN	1	O									
		SPI5_CLK	3	IO								0	
		VOUT1_PCLK	4	O									
		TRC_DATA16	5	O									
		EHRPWM4_A	6	IO								0	
		GPIO0_103	7	IO								0	
		GPMC0_A19	8	OZ								0	
Y28	rgmii6_tx_ctl	RGMII6_TX_CTL	0	O	关闭	7	1.8V/3.3V	VDDSHV4	是	LVCMOS	PU/PD		0/1
		RMII8_CRSDV	1	I								0	
		VOUT1_DATA12	4	O									
		TRC_DATA10	5	O									
		GPIO0_97	7	IO								0	
		GPMC0_A13	8	OZ								0	
		MCASP10_ACLKR	12	IO									
T23	rgmii5_rd0	RGMII5_RD0	0	I	关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD	0	0/1
		RMII7_RXD0	1	I								0	
		UART6_RTSn	3	O									
		VOUT1_DATA11	4	O									
		TRC_DATA9	5	O									
		GPIO0_96	7	IO								0	
		GPMC0_A12	8	OZ								0	
		MCASP11_AXR3	12	IO									

表 5-1. 引脚属性 (续)

焊球 编号 1	焊球名称 2	信号名称 3	多路复用模 式 4	类型 5	焊球复位状 态 6	焊球复位释 放多路复用 模式	I/O 电压值 8	电源 9	迟滞 10	缓冲器类型 11	上拉/下拉类 型 12	DSIS 13	RXACTIVE/ TXDISABL E 14
R23	rgmii5_rd1	RGMII5_RD1	0	I	关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD	0	0/1
		RMII7_RXD1	1	I								0	
		UART6_CTSn	3	I								1	
		VOUT1_DATA10	4	O									
		TRC_DATA8	5	O									
		EHRPWM_TZn_IN2	6	I								0	
		GPIO0_95	7	IO								0	
		GPMC0_A11	8	OZ								0	
		MCASP11_AXR2	12	IO									
		EHRPWM_SOCB	14	O									
U24	rgmii5_rd2	RGMII5_RD2	0	I	关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD	0	0/1
		UART3_RTSn	1	O									
		UART6_TXD	3	O									
		VOUT1_DATA9	4	O									
		TRC_DATA7	5	O									
		EHRPWM2_B	6	IO								0	
		GPIO0_94	7	IO								0	
		GPMC0_A10	8	OZ								0	
		MCASP11_AXR1	12	IO									
U27	rgmii5_rd3	RGMII5_RD3	0	I	关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD	0	0/1
		UART3_CTSn	1	I								1	
		UART6_RXD	3	I								1	
		VOUT1_DATA8	4	O									
		TRC_DATA6	5	O									
		EHRPWM2_A	6	IO								0	
		GPIO0_93	7	IO								0	
		GPMC0_A9	8	OZ								0	
		MCASP11_AXR0	12	IO									
U28	rgmii5_td0	RGMII5_TD0	0	O	关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD		0/1
		RMII7_TXD0	1	O									
		I2C3_SDA	2	IOD								1	
		VOUT1_DATA5	4	O									
		TRC_DATA3	5	O									
		EHRPWM1_A	6	IO								0	
		GPIO0_90	7	IO								0	
		GPMC0_A6	8	OZ								0	
		MCASP11_AFSX	12	IO									

表 5-1. 引脚属性 (续)

焊球 编号 1	焊球名称 2	信号名称 3	多路复用模 式 4	类型 5	焊球复位状 态 6	焊球复位释 放多路复用 模式	I/O 电压值 8	电源 9	迟滞 10	缓冲器类型 11	上拉/下拉类 型 12	DSIS 13	RXACTIVE/ TXDISABL E 14
V27	rgmii5_td1	RGMII5_TD1	0	O	关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD		0/1
		RMII7_TXD1	1	O									
		I2C3_SCL	2	IOD								1	
		VOUT1_DATA4	4	O									
		TRC_DATA2	5	O									
		EHRPWM0_B	6	IO								0	
		GPIO0_89	7	IO								0	
		GPMC0_A5	8	OZ								0	
		MCASP11_ACLKX	12	IO									
V29	rgmii5_td2	RGMII5_TD2	0	O	关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD		0/1
		UART3_TXD	1	O									
		SYNC3_OUT	3	O									
		VOUT1_DATA3	4	O									
		TRC_DATA1	5	O									
		EHRPWM0_A	6	IO								0	
		GPIO0_88	7	IO								0	
		GPMC0_A4	8	OZ								0	
		MCASP10_AXR1	12	IO									
V28	rgmii5_td3	RGMII5_TD3	0	O	关闭	7	1.8V/3.3V	VDDSHV3	是	LVCMOS	PU/PD		0/1
		UART3_RXD	1	I								1	
		SYNC2_OUT	3	O									
		VOUT1_DATA2	4	O									
		TRC_DATA0	5	O									
		EHRPWM_TZn_IN0	6	I								0	
		GPIO0_87	7	IO								0	
		GPMC0_A3	8	OZ								0	
		MCASP10_AXR0	12	IO									
W25	rgmii6_rd0	RGMII6_RD0	0	I	关闭	7	1.8V/3.3V	VDDSHV4	是	LVCMOS	PU/PD	0	0/1
		RMII8_RXD0	1	I								0	
		SPI5_CS1	3	IO								1	
		AUDIO_EXT_REFCLK3	4	IO								0	
		TRC_DATA21	5	O									
		EHRPWM_TZn_IN5	6	I								0	
		GPIO0_108	7	IO								0	
		GPMC0_DIR	8	O								0	
		MCASP11_AXR7	12	IO									

表 5-1. 引脚属性 (续)

焊球 编号 1	焊球名称 2	信号名称 3	多路复用模 式 4	类型 5	焊球复位状 态 6	焊球复位释 放多路复用 模式	I/O 电压值 8	电源 9	迟滞 10	缓冲器类型 11	上拉/下拉类 型 12	DSIS 13	RXACTIVE/ TXDISABL E 14
W24	rgmii6_rd1	RGMII6_RD1	0	I	关闭	7	1.8V/3.3V	VDDSHV4	是	LVCMOS	PU/PD	0	0/1
		RMII8_RXD1	1	I								0	
		SPI5_D1	3	IO								0	
		VOUT1_EXTCLKIN	4	I								0	
		TRC_DATA20	5	O									
		EHRPWM5_B	6	IO								0	
		GPIO0_107	7	IO								0	
		GPMC0_BE1n	8	O								0	
		MCASP11_AXR6	12	IO									
Y27	rgmii6_rd2	RGMII6_RD2	0	I	关闭	7	1.8V/3.3V	VDDSHV4	是	LVCMOS	PU/PD	0	0/1
		UART4_RTSn	1	O									
		UART5_TXD	3	O									
		TRC_DATA19	5	O									
		EHRPWM5_A	6	IO								0	
		GPIO0_106	7	IO								0	
		GPMC0_A22	8	OZ								0	
		MCASP11_AXR5	12	IO									
Y29	rgmii6_rd3	RGMII6_RD3	0	I	关闭	7	1.8V/3.3V	VDDSHV4	是	LVCMOS	PU/PD	0	0/1
		UART4_CTSn	1	I								1	
		UART5_RXD	3	I								1	
		CLKOUT	4	OZ									
		TRC_DATA18	5	O									
		EHRPWM_TZn_IN4	6	I								0	
		GPIO0_105	7	IO								0	
		GPMC0_A21	8	OZ								0	
		MCASP11_AXR4	12	IO									
W27	rgmii6_td0	RGMII6_TD0	0	O	关闭	7	1.8V/3.3V	VDDSHV4	是	LVCMOS	PU/PD		0/1
		RMII8_TXD0	1	O									
		SPI5_CS0	3	IO								1	
		VOUT1_HSYNC	4	O									
		TRC_DATA15	5	O									
		EHRPWM_TZn_IN3	6	I								0	
		GPIO0_102	7	IO								0	
		GPMC0_A18	8	OZ								0	
		VOUT1_VP0_HSYNC	9	O									
		MCASP10_AXR5	12	IO									

DRA829J, DRA829J-Q1, DRA829V, DRA829V-Q1

ZHCSN40L - FEBRUARY 2019 - REVISED JUNE 2026

表 5-1. 引脚属性 (续)

焊球 编号 1	焊球名称 2	信号名称 3	多路复用模 式 4	类型 5	焊球复位状 态 6	焊球复位释 放多路复用 模式	I/O 电压值 8	电源 9	迟滞 10	缓冲器类型 11	上拉/下拉类 型 12	DSIS 13	RXACTIVE/ TXDISABL E 14
V25	rgmii6_td1	RGMII6_TD1	0	O	关闭	7	1.8V/3.3V	VDDSHV4	是	LVCMOS	PU/PD	0	0/1
		RMII8_TXD1	1	O									
		SPI5_D0	3	IO									
		VOUT1_VSYNC	4	O									
		TRC_DATA14	5	O									
		EHRPWM3_SYNCO	6	O									
		GPIO0_101	7	IO									
		GPMC0_A17	8	OZ									
		VOUT1_VP0_VSYNC	9	O									
		MCASP10_AXR4	12	IO									
W28	rgmii6_td2	RGMII6_TD2	0	O	关闭	7	1.8V/3.3V	VDDSHV4	是	LVCMOS	PU/PD	0	0/1
		UART4_TXD	1	O									
		SPI5_CS2	3	IO									
		VOUT1_DATA15	4	O									
		TRC_DATA13	5	O									
		EHRPWM3_SYNCI	6	I									
		GPIO0_100	7	IO									
		GPMC0_A16	8	OZ									
		MCASP11_AFSR	12	IO									
W23	rgmii6_td3	RGMII6_TD3	0	O	关闭	7	1.8V/3.3V	VDDSHV4	是	LVCMOS	PU/PD	0	0/1
		UART4_RXD	1	I									
		SPI5_CS3	3	IO									
		VOUT1_DATA14	4	O									
		TRC_DATA12	5	O									
		EHRPWM3_B	6	IO									
		GPIO0_99	7	IO									
		GPMC0_A15	8	OZ									
		MCASP11_ACLKR	12	IO									
E7	SERDES4_REFCLK_N	SERDES4_REFCLK_N		IO	关闭		0.8V	VDDA_0P8_DP /VDDA_1P8_DP		4-L-PHY			
AE18	serdes0_rext	SERDES0_REXT		A	关闭		0.8V	VDDA_0P8_SE RDES0_1/ VDDA_1P8_SE RDES0_1		2-L-PHY			
AE13	serdes1_rext	SERDES1_REXT		A	关闭		0.8V	VDDA_0P8_SE RDES0_1/ VDDA_1P8_SE RDES0_1		2-L-PHY			

表 5-1. 引脚属性 (续)

焊球 编号 1	焊球名称 2	信号名称 3	多路复用模 式 4	类型 5	焊球复位状 态 6	焊球复位释 放多路复用 模式	I/O 电压值 8	电源 9	迟滞 10	缓冲器类型 11	上拉/下拉类 型 12	DSIS 13	RXACTIVE/ TXDISABL E 14
AD13	serdes2_rext	SERDES2_REXT		A	关闭		0.8V	VDDA_0P8_SE RDES2_3/ VDDA_1P8_SE RDES2_3		2-L-PHY			
F9	serdes4_rext	SERDES4_REXT		I	关闭		0.8V	VDDA_0P8_DP /VDDA_1P8_DP		4-L-PHY			
E8	SERDES4_REFCLK_P	SERDES4_REFCLK_P		IO	关闭		0.8V	VDDA_0P8_DP /VDDA_1P8_DP		4-L-PHY			
AE8	serdes3_rext	SERDES3_REXT		A	关闭		0.8V	VDDA_0P8_SE RDES2_3/ VDDA_1P8_SE RDES2_3		2-L-PHY			
AH19	SERDES0_RX0_N	SERDES0_RX0_N		I	关闭		0.8V	VDDA_0P8_SE RDES0_1/ VDDA_1P8_SE RDES0_1		2-L-PHY			
		SGMII1_RXN0		I									
		PCIE0_RXN0		I									
		USB0_SSRX2N		I									
AJ18	SERDES0_RX0_P	SERDES0_RX0_P		I	关闭		0.8V	VDDA_0P8_SE RDES0_1/ VDDA_1P8_SE RDES0_1		2-L-PHY			
		SGMII1_RXP0		I									
		PCIE0_RXP0		I									
		USB0_SSRX2P		I									
AH18	SERDES0_RX1_N	SERDES0_RX1_N		I	关闭		0.8V	VDDA_0P8_SE RDES0_1/ VDDA_1P8_SE RDES0_1		2-L-PHY			
		SGMII2_RXN0		I									
		PCIE0_RXN1		I									
		USB0_SSRX1N		I									
AJ17	SERDES0_RX1_P	SERDES0_RX1_P		I	关闭		0.8V	VDDA_0P8_SE RDES0_1/ VDDA_1P8_SE RDES0_1		2-L-PHY			
		SGMII2_RXP0		I									
		PCIE0_RXP1		I									
		USB0_SSRX1P		I									
AF19	SERDES0_TX0_N	SERDES0_TX0_N		O	关闭		0.8V	VDDA_0P8_SE RDES0_1/ VDDA_1P8_SE RDES0_1		2-L-PHY			
		SGMII1_TXN0		O									
		PCIE0_TXN0		O									
		USB0_SSTX2N		O									
AG18	SERDES0_TX0_P	SERDES0_TX0_P		O	关闭		0.8V	VDDA_0P8_SE RDES0_1/ VDDA_1P8_SE RDES0_1		2-L-PHY			
		SGMII1_TXP0		O									
		PCIE0_TXP0		O									
		USB0_SSTX2P		O									
AF18	SERDES0_TX1_N	SERDES0_TX1_N		O	关闭		0.8V	VDDA_0P8_SE RDES0_1/ VDDA_1P8_SE RDES0_1		2-L-PHY			
		SGMII2_TXN0		O									
		PCIE0_TXN1		O									
		USB0_SSTX1N		O									

DRA829J, DRA829J-Q1, DRA829V, DRA829V-Q1

ZHCSN40L - FEBRUARY 2019 - REVISED JUNE 2026

表 5-1. 引脚属性 (续)

焊球 编号 1	焊球名称 2	信号名称 3	多路复用模 式 4	类型 5	焊球复位状 态 6	焊球复位释 放多路复用 模式	I/O 电压值 8	电源 9	迟滞 10	缓冲器类型 11	上拉/下拉类 型 12	DSIS 13	RXACTIVE/ TXDISABL E 14
AG17	SERDES0_TX1_P	SERDES0_TX1_P		O	关闭		0.8V	VDDA_0P8_SE RDES0_1/ VDDA_1P8_SE RDES0_1		2-L-PHY			
		SGMII2_TXP0		O									
		PCIE0_TXP1		O									
		USB0_SSTX1P		O									
AH15	SERDES1_RX0_N	SERDES1_RX0_N		I	关闭		0.8V	VDDA_0P8_SE RDES0_1/ VDDA_1P8_SE RDES0_1		2-L-PHY			
		SGMII3_RXN0		I									
		PCIE1_RXN0		I									
		USB1_SSRX2N		I									
		PRG1_SGMII0_RXN0		I									
AJ14	SERDES1_RX0_P	SERDES1_RX0_P		I	关闭		0.8V	VDDA_0P8_SE RDES0_1/ VDDA_1P8_SE RDES0_1		2-L-PHY			
		SGMII3_RXP0		I									
		PCIE1_RXP0		I									
		USB1_SSRX2P		I									
		PRG1_SGMII0_RXP0		I									
AH16	SERDES1_RX1_N	SERDES1_RX1_N		I	关闭		0.8V	VDDA_0P8_SE RDES0_1/ VDDA_1P8_SE RDES0_1		2-L-PHY			
		SGMII4_RXN0		I									
		PCIE1_RXN1		I									
		USB1_SSRX1N		I									
		PRG1_SGMII1_RXN0		I									
AJ15	SERDES1_RX1_P	SERDES1_RX1_P		I	关闭		0.8V	VDDA_0P8_SE RDES0_1/ VDDA_1P8_SE RDES0_1		2-L-PHY			
		SGMII4_RXP0		I									
		PCIE1_RXP1		I									
		USB1_SSRX1P		I									
		PRG1_SGMII1_RXP0		I									
AF15	SERDES1_TX0_N	SERDES1_TX0_N		O	关闭		0.8V	VDDA_0P8_SE RDES0_1/ VDDA_1P8_SE RDES0_1		2-L-PHY			
		SGMII3_TXN0		O									
		PCIE1_TXN0		O									
		USB1_SSTX2N		O									
		PRG1_SGMII0_TXN0		O									
AG14	SERDES1_TX0_P	SERDES1_TX0_P		O	关闭		0.8V	VDDA_0P8_SE RDES0_1/ VDDA_1P8_SE RDES0_1		2-L-PHY			
		SGMII3_TXP0		O									
		PCIE1_TXP0		O									
		USB1_SSTX2P		O									
		PRG1_SGMII0_TXP0		O									

表 5-1. 引脚属性 (续)

焊球 编号 1	焊球名称 2	信号名称 3	多路复用模 式 4	类型 5	焊球复位状 态 6	焊球复位释 放多路复用 模式	I/O 电压值 8	电源 9	迟滞 10	缓冲器类型 11	上拉/下拉类 型 12	DSIS 13	RXACTIVE/ TXDISABL E 14
AF16	SERDES1_TX1_N	SERDES1_TX1_N		O	关闭		0.8V	VDDA_0P8_SE RDES0_1/ VDDA_1P8_SE RDES0_1		2-L-PHY			
		SGMII4_TXN0		O									
		PCIE1_TXN1		O									
		USB1_SSTX1N		O									
		PRG1_SGMII1_TXN0		O									
AG15	SERDES1_TX1_P	SERDES1_TX1_P		O	关闭		0.8V	VDDA_0P8_SE RDES0_1/ VDDA_1P8_SE RDES0_1		2-L-PHY			
		SGMII4_TXP0		O									
		PCIE1_TXP1		O									
		USB1_SSTX1P		O									
		PRG1_SGMII1_TXP0		O									
AH13	SERDES2_RX0_N	SERDES2_RX0_N		I	关闭		0.8V	VDDA_0P8_SE RDES2_3/ VDDA_1P8_SE RDES2_3		2-L-PHY			
		PCIE2_RXN0		I									
		USB1_SSRX2N		I									
		PRG1_SGMII0_RXN0											
AJ12	SERDES2_RX0_P	SERDES2_RX0_P		I	关闭		0.8V	VDDA_0P8_SE RDES2_3/ VDDA_1P8_SE RDES2_3		2-L-PHY			
		PCIE2_RXP0		I									
		USB1_SSRX2P		I									
		PRG1_SGMII0_RXP0											
AH12	SERDES2_RX1_N	SERDES2_RX1_N		I	关闭		0.8V	VDDA_0P8_SE RDES2_3/ VDDA_1P8_SE RDES2_3		2-L-PHY			
		PCIE2_RXN1		I									
		USB1_SSRX1N		I									
		PRG1_SGMII1_RXN0											
AJ11	SERDES2_RX1_P	SERDES2_RX1_P		I	关闭		0.8V	VDDA_0P8_SE RDES2_3/ VDDA_1P8_SE RDES2_3		2-L-PHY			
		PCIE2_RXP1		I									
		USB1_SSRX1P		I									
		PRG1_SGMII1_RXP0											
AF13	SERDES2_TX0_N	SERDES2_TX0_N		O	关闭		0.8V	VDDA_0P8_SE RDES2_3/ VDDA_1P8_SE RDES2_3		2-L-PHY			
		PCIE2_TXN0		O									
		USB1_SSTX2N		O									
		PRG1_SGMII0_TXN0											
AG12	SERDES2_TX0_P	SERDES2_TX0_P		O	关闭		0.8V	VDDA_0P8_SE RDES2_3/ VDDA_1P8_SE RDES2_3		2-L-PHY			
		PCIE2_TXP0		O									
		USB1_SSTX2P		O									
		PRG1_SGMII0_TXP0											

DRA829J, DRA829J-Q1, DRA829V, DRA829V-Q1

ZHCSN40L - FEBRUARY 2019 - REVISED JUNE 2026

表 5-1. 引脚属性 (续)

焊球 编号 1	焊球名称 2	信号名称 3	多路复用模 式 4	类型 5	焊球复位状 态 6	焊球复位释 放多路复用 模式	I/O 电压值 8	电源 9	迟滞 10	缓冲器类型 11	上拉/下拉类 型 12	DSIS 13	RXACTIVE/ TXDISABL E 14
AF12	SERDES2_TX1_N	SERDES2_TX1_N		O	关闭		0.8V	VDDA_0P8_SE RDES2_3/ VDDA_1P8_SE RDES2_3		2-L-PHY			
		PCIE2_TXN1		O									
		USB1_SSTX1N		O									
		PRG1_SGMII1_TXN0											
AG11	SERDES2_TX1_P	SERDES2_TX1_P		O	关闭		0.8V	VDDA_0P8_SE RDES2_3/ VDDA_1P8_SE RDES2_3		2-L-PHY			
		PCIE2_TXP1		O									
		USB1_SSTX1P		O									
		PRG1_SGMII1_TXP0											
AH9	SERDES3_RX0_N	SERDES3_RX0_N		I	关闭		0.8V	VDDA_0P8_SE RDES2_3/ VDDA_1P8_SE RDES2_3		2-L-PHY			
		PCIE3_RXN0		I									
		USB0_SSRX2N		I									
AJ8	SERDES3_RX0_P	SERDES3_RX0_P		I	关闭		0.8V	VDDA_0P8_SE RDES2_3/ VDDA_1P8_SE RDES2_3		2-L-PHY			
		PCIE3_RXP0		I									
		USB0_SSRX2P		I									
AH10	SERDES3_RX1_N	SERDES3_RX1_N		I	关闭		0.8V	VDDA_0P8_SE RDES2_3/ VDDA_1P8_SE RDES2_3		2-L-PHY			
		PCIE3_RXN1		I									
		USB0_SSRX1N		I									
AJ9	SERDES3_RX1_P	SERDES3_RX1_P		I	关闭		0.8V	VDDA_0P8_SE RDES2_3/ VDDA_1P8_SE RDES2_3		2-L-PHY			
		PCIE3_RXP1		I									
		USB0_SSRX1P		I									
AF9	SERDES3_TX0_N	SERDES3_TX0_N		O	关闭		0.8V	VDDA_0P8_SE RDES2_3/ VDDA_1P8_SE RDES2_3		2-L-PHY			
		PCIE3_TXN0		O									
		USB0_SSTX2N		O									
AG8	SERDES3_TX0_P	SERDES3_TX0_P		O	关闭		0.8V	VDDA_0P8_SE RDES2_3/ VDDA_1P8_SE RDES2_3		2-L-PHY			
		PCIE3_TXP0		O									
		USB0_SSTX2P		O									
AF10	SERDES3_TX1_N	SERDES3_TX1_N		O	关闭		0.8V	VDDA_0P8_SE RDES2_3/ VDDA_1P8_SE RDES2_3		2-L-PHY			
		PCIE3_TXN1		O									
		USB0_SSTX1N		O									
AG9	SERDES3_TX1_P	SERDES3_TX1_P		O	关闭		0.8V	VDDA_0P8_SE RDES2_3/ VDDA_1P8_SE RDES2_3		2-L-PHY			
		PCIE3_TXP1		O									
		USB0_SSTX1P		O									
D9	SERDES4_RX0_N	SERDES4_RX0_N		I	关闭		0.8V	VDDA_0P8_DP/ VDDA_1P8_DP		4-L-PHY			
C10	SERDES4_RX0_P	SERDES4_RX0_P		I	关闭		0.8V	VDDA_0P8_DP/ VDDA_1P8_DP		4-L-PHY			
		SGMII5_RXP0		I									

表 5-1. 引脚属性 (续)

焊球 编号 1	焊球名称 2	信号名称 3	多路复用模 式 4	类型 5	焊球复位状 态 6	焊球复位释 放多路复用 模式	I/O 电压值 8	电源 9	迟滞 10	缓冲器类型 11	上拉/下拉类 型 12	DSIS 13	RXACTIVE/ TXDISABL E 14
D8	SERDES4_RX1_N	SERDES4_RX1_N		I	关闭		0.8V	VDDA_0P8_DP/ VDDA_1P8_DP		4-L-PHY			
		SGMII6_RXN0		I									
C9	SERDES4_RX1_P	SERDES4_RX1_P		I	关闭		0.8V	VDDA_0P8_DP/ VDDA_1P8_DP		4-L-PHY			
		SGMII6_RXP0		I									
D6	SERDES4_RX2_N	SERDES4_RX2_N		I	关闭		0.8V	VDDA_0P8_DP/ VDDA_1P8_DP		4-L-PHY			
		SGMII7_RXN0		I									
C7	SERDES4_RX2_P	SERDES4_RX2_P		I	关闭		0.8V	VDDA_0P8_DP/ VDDA_1P8_DP		4-L-PHY			
		SGMII7_RXP0		I									
D5	SERDES4_RX3_N	SERDES4_RX3_N		I	关闭		0.8V	VDDA_0P8_DP/ VDDA_1P8_DP		4-L-PHY			
		SGMII8_RXN0		I									
C6	SERDES4_RX3_P	SERDES4_RX3_P		I	关闭		0.8V	VDDA_0P8_DP/ VDDA_1P8_DP		4-L-PHY			
		SGMII8_RXP0		I									
B11	SERDES4_TX0_N	SERDES4_TX0_N		O	关闭		0.8V	VDDA_0P8_DP/ VDDA_1P8_DP		4-L-PHY			
		DP0_TX0_N		O									
		SGMII5_TXN0		O									
A12	SERDES4_TX0_P	SERDES4_TX0_P		O	关闭		0.8V	VDDA_0P8_DP/ VDDA_1P8_DP		4-L-PHY			
		DP0_TX0_P		O									
		SGMII5_TXP0		O									
B10	SERDES4_TX1_N	SERDES4_TX1_N		O	关闭		0.8V	VDDA_0P8_DP/ VDDA_1P8_DP		4-L-PHY			
		DP0_TX1_N		O									
		SGMII6_TXN0		O									
A11	SERDES4_TX1_P	SERDES4_TX1_P		O	关闭		0.8V	VDDA_0P8_DP/ VDDA_1P8_DP		4-L-PHY			
		DP0_TX1_P		O									
		SGMII6_TXP0		O									
B8	SERDES4_TX2_N	SERDES4_TX2_N		O	关闭		0.8V	VDDA_0P8_DP/ VDDA_1P8_DP		4-L-PHY			
		DP0_TX2_N		O									
		SGMII7_TXN0		O									
A9	SERDES4_TX2_P	SERDES4_TX2_P		O	关闭		0.8V	VDDA_0P8_DP/ VDDA_1P8_DP		4-L-PHY			
		DP0_TX2_P		O									
		SGMII7_TXP0		O									
B7	SERDES4_TX3_N	SERDES4_TX3_N		O	关闭		0.8V	VDDA_0P8_DP/ VDDA_1P8_DP		4-L-PHY			
		DP0_TX3_N		O									
		SGMII8_TXN0		O									
A8	SERDES4_TX3_P	SERDES4_TX3_P		O	关闭		0.8V	VDDA_0P8_DP/ VDDA_1P8_DP		4-L-PHY			
		DP0_TX3_P		O									
		SGMII8_TXP0		O									
U4	soc_safety_errorn	SOC_SAFETY_ERRORn	0	IO	PD	0	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD		1/0

DRA829J, DRA829J-Q1, DRA829V, DRA829V-Q1

ZHCSN40L - FEBRUARY 2019 - REVISED JUNE 2026

表 5-1. 引脚属性 (续)

焊球 编号 1	焊球名称 2	信号名称 3	多路复用模 式 4	类型 5	焊球复位状 态 6	焊球复位释 放多路复用 模式	I/O 电压值 8	电源 9	迟滞 10	缓冲器类型 11	上拉/下拉类 型 12	DSIS 13	RXACTIVE/ TXDISABL E 14
AA1	spi0_clk	SPI0_CLK	0	IO	关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD	0	0/1
		UART1_CTSn	1	I								1	
		I2C2_SCL	2	IOD								1	
		GPIO0_113	7	IO								0	
Y1	spi1_clk	SPI1_CLK	0	IO	关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD	0	0/1
		UART5_CTSn	1	I								1	
		I2C4_SDA	2	IOD								1	
		UART2_RXD	3	I								1	
		GPIO0_118	7	IO								0	
		PRG0_IEP0_EDC_SYNC_OUT0	8	O								0	
AA2	spi0_cs0	SPI0_CS0	0	IO	关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD	1	0/1
		UART0_RTSn	1	O									
		GPIO0_111	7	IO								0	
Y4	spi0_cs1	SPI0_CS1	0	IO	关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD	1	0/1
		CPTS0_TS_COMP	1	O									
		I2C3_SCL	2	IOD								1	
		DP0_HPD	5	I								0	
		PRG1_IEP0_EDIO_OUTVALID	6	O									
		GPIO0_112	7	IO								0	
AB5	spi0_d0	SPI0_D0	0	IO	关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD	0	0/1
		UART1_RTSn	1	O									
		I2C2_SDA	2	IOD								1	
		GPIO0_114	7	IO								0	
AA3	spi0_d1	SPI0_D1	0	IO	关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD	0	0/1
		I2C6_SCL	2	IOD								1	
		GPIO0_115	7	IO								0	
Y3	spi1_cs0	SPI1_CS0	0	IO	关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD	1	0/1
		UART0_CTSn	1	I								1	
		UART5_RXD	3	I								1	
		PRG0_IEP0_EDIO_OUTVALID	6	O									
		GPIO0_116	7	IO								0	
		PRG0_IEP0_EDC_LATCH_IN0	8	I								0	
W4	spi1_cs1	SPI1_CS1	0	IO	关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD	1	0/1
		CPTS0_TS_SYNC	1	O									
		I2C3_SDA	2	IOD								1	
		UART5_TXD	3	O									
		GPIO0_117	7	IO								0	

表 5-1. 引脚属性 (续)

焊球 编号 1	焊球名称 2	信号名称 3	多路复用模 式 4	类型 5	焊球复位状 态 6	焊球复位释 放多路复用 模式	I/O 电压值 8	电源 9	迟滞 10	缓冲器类型 11	上拉/下拉类 型 12	DSIS 13	RXACTIVE/ TXDISABL E 14
Y5	spi1_d0	SPI1_D0	0	IO	关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD	0	0/1
		UART5_RTSn	1	O									
		I2C4_SCL	2	IOD								1	
		UART2_TXD	3	O									
		GPIO0_119	7	IO								0	
		PRG0_IEP1_EDC_LATCH_IN0	8	I								0	
Y2	spi1_d1	SPI1_D1	0	IO	关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD	0	0/1
		I2C6_SDA	2	IOD								1	
		GPIO0_120	7	IO								0	
		PRG0_IEP1_EDC_SYNC_OUT0	8	O								0	
E29	tck	TCK	0	I	PU	0	1.8V/3.3V	VDDSHV0_MC U	是	LVCMOS	PU/PD		1/1
V1	tdi	TDI	0	I	PU	0	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD		1/1
V3	tdo	TDO	0	OZ	PU	0	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD		0/0
V6	timer_io0	TIMER_IO0	0	IO	关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD	0	1/1
		ECAP1_IN_APWM_OUT	1	IO								0	
		SYSCLKOUT0	2	O									
		SPI7_D0	6	IO								0	
		GPIO1_13	7	IO								0	
		BOOTMODE4	自举	I									
V5	timer_io1	TIMER_IO1	0	IO	关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD	0	1/1
		ECAP2_IN_APWM_OUT	1	IO								0	
		OBSCCLK0	2	O									
		SPI7_D1	6	IO								0	
		GPIO1_14	7	IO								0	
		BOOTMODE5	自举	I									
V2	tms	TMS	0	I	PU	0	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD		1/1
F24	trstn	TRSTn	0	I	PD	0	1.8V/3.3V	VDDSHV0_MC U	是	LVCMOS	PU/PD		1/1
AC2	uart0_ctsn	UART0_CTSn	0	I	关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD	1	0/1
		TIMER_IO6	1	IO								0	
		SPI0_CS2	2	IO								1	
		MCAN2_RX	3	I								1	
		SPI2_CS0	4	IO								1	
		EQEP0_A	5	I								0	
		GPIO0_123	7	IO								0	
		MLB0_MLBSIG	8	IO								0	

表 5-1. 引脚属性 (续)

焊球 编号 1	焊球名称 2	信号名称 3	多路复用模 式 4	类型 5	焊球复位状 态 6	焊球复位释 放多路复用 模式	I/O 电压值 8	电源 9	迟滞 10	缓冲器类型 11	上拉/下拉类 型 12	DSIS 13	RXACTIVE/ TXDISABL E 14
AB1	uart0_rtsn	UART0_RTSn	0	O	关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD		0/1
		TIMER_I07	1	IO								0	
		SPI0_CS3	2	IO								1	
		MCAN2_TX	3	O									
		SPI2_CLK	4	IO								0	
		EQEP0_B	5	I								0	
		GPIO0_124	7	IO								0	
AB2	uart0_rxd	UART0_RXD	0	I	关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD	1	0/1
		SPI2_CS1	4	IO								1	
		GPIO0_121	7	IO								0	
AB3	uart0_txd	UART0_TXD	0	O	关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD		0/1
		SPI2_CS2	4	IO								1	
		SPI7_CS1	6	IO								1	
		GPIO0_122	7	IO								0	
AC4	uart1_ctsn	UART1_CTSn	0	I	关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD	1	0/1
		MCAN3_RX	1	I								1	
		SPI2_D0	4	IO								0	
		EQEP0_S	5	IO								0	
		GPIO0_127	7	IO								0	
		MLB0_MLBCLK	8	I								0	
AD5	uart1_rtsn	UART1_RTSn	0	O	关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD		0/1
		MCAN3_TX	1	O									
		SPI2_D1	4	IO								0	
		EQEP0_I	5	IO								0	
		GPIO1_0	7	IO								0	
		MLB0_MLB DAT	8	IO								0	
AA4	uart1_rxd	UART1_RXD	0	I	关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD	1	0/1
		SPI7_CS2	6	IO								1	
		GPIO0_125	7	IO								0	
AB4	uart1_txd	UART1_TXD	0	O	关闭	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD		0/1
		I3C0_SDAPULLEN	5	O									
		SPI7_CS3	6	IO								1	
		GPIO0_126	7	IO								0	
AE6	ufs0_ref_clk	UFS0_REF_CLK		O	关闭		1.2V	VDDA_0P8_UF S/ VDDA_1P8_UF S		M-PHY			

表 5-1. 引脚属性 (续)

焊球 编号 1	焊球名称 2	信号名称 3	多路复用模 式 4	类型 5	焊球复位状 态 6	焊球复位释 放多路复用 模式	I/O 电压值 8	电源 9	迟滞 10	缓冲器类型 11	上拉/下拉类 型 12	DSIS 13	RXACTIVE/ TXDISABL E 14
AD6	ufs0_rstn	UFS0_RSTn		O	关闭		1.2V	VDDA_0P8_UF S/ VDDA_1P8_UF S		M-PHY			
AH3	ufs0_rx_dn0	UFS0_RX_DN0		I	关闭		0.8V	VDDA_0P8_UF S/ VDDA_1P8_UF S		M-PHY			
AH4	ufs0_rx_dn1	UFS0_RX_DN1		I	关闭		0.8V	VDDA_0P8_UF S/ VDDA_1P8_UF S		M-PHY			
AJ2	ufs0_rx_dp0	UFS0_RX_DP0		I	关闭		0.8V	VDDA_0P8_UF S/ VDDA_1P8_UF S		M-PHY			
AJ3	ufs0_rx_dp1	UFS0_RX_DP1		I	关闭		0.8V	VDDA_0P8_UF S/ VDDA_1P8_UF S		M-PHY			
AG6	ufs0_tx_dn0	UFS0_TX_DN0		O	关闭		0.8V	VDDA_0P8_UF S/ VDDA_1P8_UF S		M-PHY			
AG5	ufs0_tx_dn1	UFS0_TX_DN1		O	关闭		0.8V	VDDA_0P8_UF S/ VDDA_1P8_UF S		M-PHY			
AF7	ufs0_tx_dp0	UFS0_TX_DP0		O	关闭		0.8V	VDDA_0P8_UF S/ VDDA_1P8_UF S		M-PHY			
AF6	ufs0_tx_dp1	UFS0_TX_DP1		O	关闭		0.8V	VDDA_0P8_UF S/ VDDA_1P8_UF S		M-PHY			
AJ5	usb0_dm	USB0_DM		IO	关闭		3.3V	VDDA_0P8_US B/ VDDA_1P8_US B/ VDDA_3P3_US B		USB2PHY			
AH6	usb0_dp	USB0_DP		IO	关闭		3.3V	VDDA_0P8_US B/ VDDA_1P8_US B/ VDDA_3P3_US B		USB2PHY			
U6	usb0_drvvbus	USB0_DRVVBUS	0	O	PD	7	1.8V/3.3V	VDDSHV0	是	LVCMOS	PU/PD		0/1
		USB1_DRVVBUS	1	O									
		GPIO1_29	7	IO								0	

表 5-1. 引脚属性 (续)

焊球 编号 1	焊球名称 2	信号名称 3	多路复用模 式 4	类型 5	焊球复位状 态 6	焊球复位释 放多路复用 模式	I/O 电压值 8	电源 9	迟滞 10	缓冲器类型 11	上拉/下拉类 型 12	DSIS 13	RXACTIVE/ TXDISABL E 14
AC6	usb0_id	USB0_ID		A	关闭		3.3V	VDDA_0P8_US B/ VDDA_1P8_US B/ VDDA_3P3_US B		USB2PHY			
AB6	usb0_rcalib	USB0_RCALIB		IO	关闭		3.3V	VDDA_0P8_US B/ VDDA_1P8_US B/ VDDA_3P3_US B		USB2PHY			
AC7	usb0_vbus	USB0_VBUS		A	关闭		3.3V	VDDA_0P8_US B/ VDDA_1P8_US B/ VDDA_3P3_US B		USB2PHY			
AH7	usb1_dm	USB1_DM		IO	关闭		3.3V	VDDA_0P8_U SB/ VDDA_1P8_US B/ VDDA_3P3_US B		USB2PHY			
AJ6	usb1_dp	USB1_DP		IO	关闭		3.3V	VDDA_0P8_U SB/ VDDA_1P8_US B/ VDDA_3P3_US B		USB2PHY			
AD7	usb1_id	USB1_ID		A	关闭		3.3V	VDDA_0P8_U SB/ VDDA_1P8_US B/ VDDA_3P3_US B		USB2PHY			
AD9	usb1_rcalib	USB1_RCALIB		IO	关闭		3.3V	VDDA_0P8_U SB/ VDDA_1P8_US B/ VDDA_3P3_US B		USB2PHY			
AD8	usb1_vbus	USB1_VBUS		A	关闭		3.3V	VDDA_0P8_U SB/ VDDA_1P8_US B/ VDDA_3P3_US B		USB2PHY			
L14、V13、 V16、W19	VDDAR_CORE	VDDAR_CORE		PWR									
L11、W12	VDDAR_CPU	VDDAR_CPU		PWR									
K19、T19	vddar_mcu	vddar_mcu		PWR									
H17	VDDA_0P8_CSIRX	VDDA_0P8_CSIRX		PWR									

表 5-1. 引脚属性 (续)

焊球 编号 1	焊球名称 2	信号名称 3	多路复用模 式 4	类型 5	焊球复位状 态 6	焊球复位释 放多路复用 模式	I/O 电压值 8	电源 9	迟滞 10	缓冲器类型 11	上拉/下拉类 型 12	DSIS 13	RXACTIVE/ TXDISABL E 14
G12、J12	VDDA_0P8_DP	VDDA_0P8_DP		PWR									
G14、H13	VDDA_0P8_DP_C	VDDA_0P8_DP_C		PWR									
H15	VDDA_0P8_DSITX	VDDA_0P8_DSITX		PWR									
J16	VDDA_0P8_DSITX_C	VDDA_0P8_DSITX_C		PWR									
AB9	VDDA_0P8_UFS	VDDA_0P8_UFS		PWR									
AA10	VDDA_0P8_USB	VDDA_0P8_USB		PWR									
AA15、Y14、 Y16	VDDA_0P8_SERDES0_1	VDDA_0P8_SERDES0_1		PWR									
AA12、Y11、 Y13	VDDA_0P8_SERDES2_3	VDDA_0P8_SERDES2_3		PWR									
AB14、AB15	VDDA_0P8_SERDES_C0_1	VDDA_0P8_SERDES_C0_1		PWR									
AB12、AB13	VDDA_0P8_SERDES_C2_3	VDDA_0P8_SERDES_C2_3		PWR									
G16	VDDA_1P8_CSIRX	VDDA_1P8_CSIRX		PWR									
H11	VDDA_1P8_DP	VDDA_1P8_DP		PWR									
J14	VDDA_1P8_DSITX	VDDA_1P8_DSITX		PWR									
AC8	VDDA_1P8_UFS	VDDA_1P8_UFS		PWR									
AC9	vdda_1p8_usb	vdda_1p8_usb		PWR									
AC14、AC15	VDDA_1P8_SERDES0_1	VDDA_1P8_SERDES0_1		PWR									
AC11、AC12	VDDA_1P8_SERDES2_3	VDDA_1P8_SERDES2_3		PWR									
AB10	vdda_3p3_usb	vdda_3p3_usb		PWR									
N22	VDDA_ADC0	VDDA_ADC0		PWR									
M23	VDDA_ADC1	VDDA_ADC1		PWR									
N9	VDDA_0P8_PLL_DDR	VDDA_0P8_PLL_DDR		PWR									
G18	VDDA_MCU_PLLGRP0	VDDA_MCU_PLLGRP0		PWR									
P21	VDDA_MCU_TEMP	VDDA_MCU_TEMP		PWR									
W7	VDDA_1P8_MLB	VDDA_1P8_MLB		PWR									
Y20	VDDA_PLLGRP0	VDDA_PLLGRP0		PWR									
W17	VDDA_PLLGRP1	VDDA_PLLGRP1		PWR									
M17	VDDA_PLLGRP2	VDDA_PLLGRP2		PWR									
L12	VDDA_PLLGRP3	VDDA_PLLGRP3		PWR									
R11	VDDA_PLLGRP4	VDDA_PLLGRP4		PWR									
P9	VDDA_PLLGRP5	VDDA_PLLGRP5		PWR									
W18	VDDA_PLLGRP6	VDDA_PLLGRP6		PWR									
W8	VDDA_0P8_PLL_MLB	VDDA_0P8_PLL_MLB		PWR									
P22	vdda_por_wkup	vdda_por_wkup		PWR									
W15	VDDA_TEMP0_1	VDDA_TEMP0_1		PWR									
H9	VDDA_TEMP2_3	VDDA_TEMP2_3		PWR									
M26	VMON_ER_VSYS	VMON_ER_VSYS		A									

表 5-1. 引脚属性 (续)

焊球 编号 1	焊球名称 2	信号名称 3	多路复用模 式 4	类型 5	焊球复位状 态 6	焊球复位释 放多路复用 模式	I/O 电压值 8	电源 9	迟滞 10	缓冲器类型 11	上拉/下拉类 型 12	DSIS 13	RXACTIVE/ TXDISABL E 14
V19	VMON_IR_VEXT	VMON_IR_VEXT		A									
H22	VDDA_WKUP	VDDA_WKUP		PWR									
U8、V7	VDDSHV0	VDDSHV0		PWR									
L22、M22	VDDSHV0_MCU	VDDSHV0_MCU		PWR									
AA19、AA20、 AC19、AC20	VDDSHV1	VDDSHV1		PWR									
H19、H21、 J20	VDDSHV1_MCU	VDDSHV1_MCU		PWR									
AA17、AB16、 AB18、AC17	VDDSHV2	VDDSHV2		PWR									
J22、K21	VDDSHV2_MCU	VDDSHV2_MCU		PWR									
V21、W22	VDDSHV3	VDDSHV3		PWR									
AA21、Y22	VDDSHV4	VDDSHV4		PWR									
T20、T22	VDDSHV5	VDDSHV5		PWR									
U20、U22	VDDSHV6	VDDSHV6		PWR									
A1、G8、J8、 K7、L8、M7、 N8、P7、R8、 T1	vdds_dds	vdds_dds		PWR									
H7、J6、R6、 T7	vdds_dds_bias	vdds_dds_bias		PWR									
M9	VDDS_DDR_C	VDDS_DDR_C		PWR									
AA8、AB7、 Y7	vdds_mmc0	vdds_mmc0		PWR									
R21	VDDS_OSC1	VDDS_OSC1		PWR									
J10、K11、 K13、K15、 K17、K9、 L10、L16、 L18、M15、 N14、N16、 N18、P13、 P15、P17、 R14、R16、 R18、R20、 T15、T17、 T9、U14、 U16、U18、 V15、V17、 V20、W14	VDD_CORE	VDD_CORE		PWR									
N10、P11、 R10、R12、 U10、V11、 V9、W10	VDD_CPU	VDD_CPU		PWR									
Y9	VDDA_0P8_DLL_MMC0	VDDA_0P8_DLL_MMC0		PWR									

表 5-1. 引脚属性 (续)

焊球 编号 1	焊球名称 2	信号名称 3	多路复用模 式 4	类型 5	焊球复位状 态 6	焊球复位释 放多路复用 模式	I/O 电压值 8	电源 9	迟滞 10	缓冲器类型 11	上拉/下拉类 型 12	DSIS 13	RXACTIVE/ TXDISABL E 14
L20、M19、 M21、N20、 P19	vdd_mcu	vdd_mcu		PWR									
AB11	vpp_core	vpp_core		PWR									
F17	VPP_MCU	VPP_MCU		PWR									
AA13、 AC10、 AC13、 AD11、 AD14、 AD17、 AE10、AE12、 AE15、AE16、 AE19、AE7、 AF20、AF25、 AF5、AG4、 AG7、AH2、 AH20、AH5、 AJ4、AJ7、 B3、B6、C1、 C5、D2、D4、 E1、E5、F4、 G1、G7、 H4、H6、K1、 K4、L3、M1、 M28、M4、 M6、N27、 N29、N3、 P1、P28、 P4、R3、U5	vss	vss		GND									

表 5-1. 引脚属性 (续)

焊球 编号 1	焊球名称 2	信号名称 3	多路复用模 式 4	类型 5	焊球复位状 态 6	焊球复位释 放多路复用 模式	I/O 电压值 8	电源 9	迟滞 10	缓冲器类型 11	上拉/下拉类 型 12	DSIS 13	RXACTIVE/ TXDISABL E 14
A10、A13、 A16、A19、 A22、A7、 AA11、AA14、 AA16、AA18、 AA7、AA9、 AB17、AB19、 AB20、AB22、 AB8、AC16、 AF11、AF14、 AF17、AF8、 AG10、 AG13、 AG16、 AG19、 AH11、 AH14、 AH17、AH8、 AJ10、AJ13、 AJ16、AJ19、 B12、B15、 B18、B21、 B9、C11、 C14、C17、 C20、C8、 D10、D13、 D16、D19、 D7、E12、 E15、E9、 F14、F8、 G11、G13、 G15、G17、 H10、H12、 H14、H16、 H18、H20、 H8、J11、 J13、J15、 J17、J21、 J23、J7、J9、 K10、K12、 K14、K16、 K18、K20、 K22、K8、 L13、L15、 L17、L19、 L21、L23、 L7、L9、 M10、M14、 M16、M18、 M20、M8、 N15、N17、 N19、N21、 N7、P10、 P12、P14、 P16、P18、	VSS	VSS		GND									

表 5-1. 引脚属性 (续)

焊球 编号 1	焊球名称 2	信号名称 3	多路复用模 式 4	类型 5	焊球复位状 态 6	焊球复位释 放多路复用 模式	I/O 电压值 8	电源 9	迟滞 10	缓冲器类型 11	上拉/下拉类 型 12	DSIS 13	RXACTIVE/ TXDISABL E 14
P20、P8、 R13、R15、 R17、R19、 R7、R9、 T10、T14、 T16、T18、 T21、T8、 U15、U17、 U19、U21、 U9、V10、 V12、V14、 V18、V8、 W11、W13、 W16、W20、 W9、Y10、 Y12、Y15、 Y17、Y19、 Y21、Y8													
F26	wkup_gpio0_0	MCU_SPI1_CLK	0	IO	关闭	7	1.8V/3.3V	VDDSHV0_MC U	是	LVCMOS	PU/PD	0	1/1
		MCU_SPI1_CLK	1	IO								0	
		WKUP_GPIO0_0	7	IO								0	
		MCU_BOOTMODE03	自举	I									
F25	wkup_gpio0_1	MCU_SPI1_D0	0	IO	关闭	7	1.8V/3.3V	VDDSHV0_MC U	是	LVCMOS	PU/PD	0	1/1
		MCU_SPI1_D0	1	IO								0	
		WKUP_GPIO0_1	7	IO								0	
		MCU_BOOTMODE04	自举	I									
F28	wkup_gpio0_2	MCU_SPI1_D1	0	IO	关闭	7	1.8V/3.3V	VDDSHV0_MC U	是	LVCMOS	PU/PD	0	1/1
		MCU_SPI1_D1	1	IO								0	
		WKUP_GPIO0_2	7	IO								0	
		MCU_BOOTMODE05	自举	I									
F27	wkup_gpio0_3	MCU_SPI1_CS0	0	IO	关闭	7	1.8V/3.3V	VDDSHV0_MC U	是	LVCMOS	PU/PD	1	0/1
		MCU_SPI1_CS0	1	IO								1	
		WKUP_GPIO0_3	7	IO								0	
G25	wkup_gpio0_4	MCU_MCAN1_TX	0	O	关闭	7	1.8V/3.3V	VDDSHV0_MC U	是	LVCMOS	PU/PD		0/1
		MCU_MCAN1_TX	1	O									
		MCU_SPI0_CS3	2	IO								1	
		MCU_ADC_EXT_TRIGGER0	3	I								焊盘	
		WKUP_GPIO0_4	7	IO								0	
G24	wkup_gpio0_5	MCU_MCAN1_RX	0	I	关闭	7	1.8V/3.3V	VDDSHV0_MC U	是	LVCMOS	PU/PD	1	0/1
		MCU_MCAN1_RX	1	I								1	
		MCU_SPI1_CS3	2	IO								1	
		MCU_ADC_EXT_TRIGGER1	3	I								焊盘	
		WKUP_GPIO0_5	7	IO								0	

表 5-1. 引脚属性 (续)

焊球 编号 1	焊球名称 2	信号名称 3	多路复用模 式 4	类型 5	焊球复位状 态 6	焊球复位释 放多路复用 模式	I/O 电压值 8	电源 9	迟滞 10	缓冲器类型 11	上拉/下拉类 型 12	DSIS 13	RXACTIVE/ TXDISABL E 14
F29	wkup_gpio0_6	WKUP_UART0_CTSn	0	I	关闭	7	1.8V/3.3V	VDDSHV0_MC U	是	LVCMOS	PU/PD	1	0/1
		WKUP_UART0_CTSn	1	I								1	
		MCU_CPTS0_HW1TSPUSH	2	I								0	
		MCU_I2C1_SCL	3	IOD								1	
		WKUP_GPIO0_6	7	IO								0	
G28	wkup_gpio0_7	WKUP_UART0_RTSn	0	O	关闭	7	1.8V/3.3V	VDDSHV0_MC U	是	LVCMOS	PU/PD		0/1
		WKUP_UART0_RTSn	1	O									
		MCU_CPTS0_HW2TSPUSH	2	I								0	
		MCU_I2C1_SDA	3	IOD								1	
		WKUP_GPIO0_7	7	IO								0	
G27	wkup_gpio0_8	MCU_I2C1_SCL	0	IOD	关闭	7	1.8V/3.3V	VDDSHV0_MC U	是	LVCMOS	PU/PD	1	0/1
		MCU_I2C1_SCL	1	IOD								1	
		MCU_CPTS0_TS_SYNC	2	O									
		MCU_I3C1_SCL	3	IO								1	
		MCU_TIMER_IO6	4	IO								0	
		WKUP_GPIO0_8	7	IO								0	
G26	wkup_gpio0_9	MCU_I2C1_SDA	0	IOD	关闭	7	1.8V/3.3V	VDDSHV0_MC U	是	LVCMOS	PU/PD	1	0/1
		MCU_I2C1_SDA	1	IOD								1	
		MCU_CPTS0_TS_COMP	2	O									
		MCU_I3C1_SDA	3	IO								1	
		MCU_TIMER_IO7	4	IO								0	
		WKUP_GPIO0_9	7	IO								0	
H26	wkup_gpio0_10	MCU_EXT_REFCLK0	0	I	关闭	7	1.8V/3.3V	VDDSHV0_MC U	是	LVCMOS	PU/PD	0	0/1
		MCU_EXT_REFCLK0	1	I								0	
		MCU_UART0_TXD	2	O									
		MCU_ADC_EXT_TRIGGER0	3	I								0	
		MCU_CPTS0_RFT_CLK	4	I								0	
		MCU_SYSCCLKOUT0	5	O									
		WKUP_GPIO0_10	7	IO								0	
H27	wkup_gpio0_11	MCU_OBSCLK0	0	O	关闭	7	1.8V/3.3V	VDDSHV0_MC U	是	LVCMOS	PU/PD		0/1
		MCU_OBSCLK0	1	O									
		MCU_UART0_RXD	2	I								1	
		MCU_ADC_EXT_TRIGGER1	3	I								0	
		MCU_TIMER_IO1	4	IO								0	
		MCU_I3C1_SDAPULLEN	5	O									
		MCU_CLKOUT0	6	OZ									
		WKUP_GPIO0_11	7	IO								0	

表 5-1. 引脚属性 (续)

焊球 编号 1	焊球名称 2	信号名称 3	多路复用模 式 4	类型 5	焊球复位状 态 6	焊球复位释 放多路复用 模式	I/O 电压值 8	电源 9	迟滞 10	缓冲器类型 11	上拉/下拉类 型 12	DSIS 13	RXACTIVE/ TXDISABL E 14
G29	wkup_gpio0_12	MCU_UART0_TXD	0	O	关闭	7	1.8V/3.3V	VDDSHV0_MC U	是	LVCMOS	PU/PD		1/1
		MCU_SPI0_CS1	1	O									
		WKUP_GPIO0_12	7	IO								0	
		MCU_BOOTMODE08	自举	I									
H28	wkup_gpio0_13	MCU_UART0_RXD	0	I	关闭	7	1.8V/3.3V	VDDSHV0_MC U	是	LVCMOS	PU/PD	1	1/1
		MCU_SPI1_CS1	1	O									
		WKUP_GPIO0_13	7	IO								0	
		MCU_BOOTMODE09	自举	I									
H29	wkup_gpio0_14	MCU_UART0_CTSn	0	I	关闭	7	1.8V/3.3V	VDDSHV0_MC U	是	LVCMOS	PU/PD	1	1/1
		MCU_SPI0_CS2	1	O									
		WKUP_GPIO0_14	7	IO								0	
		MCU_BOOTMODE06	自举	I									
J27	wkup_gpio0_15	MCU_UART0_RTSn	0	O	关闭	7	1.8V/3.3V	VDDSHV0_MC U	是	LVCMOS	PU/PD		1/1
		MCU_SPI1_CS2	1	O									
		WKUP_GPIO0_15	7	IO								0	
		MCU_BOOTMODE07	自举	I									
J25	wkup_i2c0_scl	WKUP_I2C0_SCL	0	IOD	关闭	0	1.8V/3.3V	VDDSHV0_MC U	是	I2C OD FS		1	1/0
		WKUP_GPIO0_62	7	IO								0	
H24	wkup_i2c0_sda	WKUP_I2C0_SDA	0	IOD	关闭	0	1.8V/3.3V	VDDSHV0_MC U	是	I2C OD FS		1	1/0
		WKUP_GPIO0_63	7	IO								0	
N28	wkup_lfosc0_xi	WKUP_LFOSC0_XI		I	关闭		1.8V	VDDA_WKUP		LFOSC			
N26	wkup_lfosc0_xo	WKUP_LFOSC0_XO		O	关闭		1.8V	VDDA_WKUP		LFOSC			
M29	wkup_osc0_xi	WKUP_OSC0_XI		I	关闭		1.8V	VDDA_WKUP		HFOSC			
M27	wkup_osc0_xo	WKUP_OSC0_XO		O	关闭		1.8V	VDDA_WKUP		HFOSC			
J29	wkup_uart0_rxd	WKUP_UART0_RXD	0	I	关闭	7	1.8V/3.3V	VDDSHV0_MC U	是	LVCMOS	PU/PD	1	0/1
		WKUP_GPIO0_56	7	IO								0	
J28	wkup_uart0_txd	WKUP_UART0_TXD	0	O	关闭	7	1.8V/3.3V	VDDSHV0_MC U	是	LVCMOS	PU/PD		0/1
		WKUP_GPIO0_57	7	IO								0	

1. “多路复用模式”字段不用于为该引脚选择多路复用信号功能。有关更多信息，请参阅器件 TRM 的器件配置一章中的 ADC 集成详细信息一节。

以下列表说明了表列标题：

1. **焊球编号**：底面的焊球编号与底部的每个信号相关联。
2. **焊球名称**：来自封装器件的机械名称（名称取自多路复用模式 0）。
3. **信号名称**：每个焊球上复用信号的名称（另请注意，焊球的名称是复用模式 0 中的信号名称）。

备注

表 5-1 引脚属性 未考虑子系统多路复用信号。子系统多路复用信号如节 5.3 信号说明中所述。

4. **MUXMODE** : 多路复用模式编号 :

- a. 多路复用模式 0 是主要多路复用模式。主多路复用模式不一定是默认多路复用模式。

备注

默认多路复用模式是复位释放时的模式；另请参阅“焊球复位释放多路复用模式”列。

- b. 多路复用模式 1 至 7 是备选功能可能的多路复用模式。在每个引脚上，一些多路复用模式实际上用于备选功能，而另一些多路复用模式未使用。应仅使用与定义的功能相对应的多路复用模式值。
- c. **MCU_BOOTMODE** 引脚锁存在 **MCU_PORz_OUT** 的上升沿。**BOOTMODE** 引脚锁存在 **PORz_OUT** 的上升沿。
- d. 空框表示不适用。
5. **类型** : 信号类型和方向 :
- I = 输入
 - O = 输出
 - IO = 输入或输出
 - IOD = 开漏端子 (输入或输出)
 - IOZ = 输入、输出或三态端子
 - OZ = 输出或三态端子
 - A = 模拟
 - PWR = 电源
 - GND = 接地
 - CAP = LDO 电容器。
6. **焊球复位状态** : 上电复位时端子的状态 :
- 驱动器 0 (关闭) : 缓冲器驱动 V_{OL} (下拉或上拉电阻器未激活)。
 - 驱动器 1 (关闭) : 缓冲器驱动 V_{OH} (下拉或上拉电阻器未激活)。
 - 关闭 : 高阻抗
 - PD : 下拉电阻器已激活的高阻抗
 - PU : 上拉电阻器已激活的高阻抗
 - 空框表示不适用。
7. **焊球复位释放 MUXMODE** : 该多路复用模式在 **rstoutn** 信号释放时自动配置。
空框表示不适用。
8. **I/O 电压值** : 此列说明了 IO 电压值 (相应的电源)。
空框表示不适用。
9. **电源** : 为端子 IO 缓冲器供电的电压电源。
空框表示不适用。

10. **HYS**：指示输入缓冲器是否有迟滞：

- 是：具有迟滞
- 否：不具有迟滞

空框表示“无”。

有关更多信息，请参阅 [电气特性](#) 中的迟滞值。

11. **缓冲器类型**：该列描述相关的输出缓冲器类型

空框表示不适用。

有关相关输出缓冲器的驱动强度，请参阅 [电气特性](#)。

12. **上拉/下拉类型**：指示存在内部上拉或下拉电阻器。可通过软件来启用或禁用上拉和下拉电阻器。

- PU：内部上拉电阻
- PD：内部下拉电阻
- PU/PD：内部上拉和下拉电阻
- 空框表示无上拉/下拉电阻。

13. **DSIS**：未选择的输入状态 (DSIS) 指示没有任何 PINCNTLx 寄存器选择外设引脚功能时，外设输入端驱动的状态（逻辑“0”、逻辑“1”或“引脚”电平）。

- 0：在外设的输入信号端口上驱动逻辑 0。
- 1：在外设的输入信号端口上驱动逻辑 1。
- 空框表示不适用。

14. **RXACTIVE/TXDISABLE**：该列指示 PADCONFIG 寄存器中 RXACTIVE/TXDISABLE 位的默认值。

- RXACTIVE：0 = 接收器已禁用，1 = 接收器已使能。
- TXDISABLE：0 = 驱动器已使能，1 = 驱动器已禁用。
- 空框表示不适用。

备注

不支持将两个引脚配置为同一输入信号，因为这可能会产生意外结果。通过正确的软件配置，可以轻松避免发生这种情况（高阻态模式并非输入信号）。

备注

当某焊盘被设定为未由引脚多路复用定义的多路复用模式时，该焊盘的运行方式是未定义的。应避免这种情况。

5.3 Signal Descriptions

Many signals are available on multiple pins, according to the software configuration of the pin multiplexing options.

The following list describes the column headers:

1. **SIGNAL NAME:** The name of the signal passing through the pin.

备注

In *Pin Attributes* and *Pin Multiplexing* are not described the subsystem multiplexing signals.

2. **DESCRIPTION:** Description of the signal
3. **PIN TYPE:** Signal direction and type:
 - I = Input
 - O = Output
 - IO = Input or Output
 - IOD = Open drain terminal - Input or Output
 - IOZ = Input, Output or Three-state terminal
 - OZ = Output or Three-state terminal
 - A = Analog
 - PWR = Power
 - GND = Ground
 - CAP = LDO Capacitor
4. **BALL:** Associated balls bottom

For more information on the I/O cell configurations, see *Pad Configuration Registers* section of *Device Configuration* chapter in the MAIN.

5.3.1 ADC

备注

ADC 可配置为用作 GPI。有关更多信息，请参阅器件 TRM 的外设一章中的 *模数转换器 (ADC)* 一节。

5.3.1.1 MCU 域

表 5-2. ADC 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCU_ADC_EXT_TRIGGER0	ADC 触发输入	I	A28、G25、H26
MCU_ADC_EXT_TRIGGER1	ADC 触发输入	I	A27、G24、H27

表 5-3. ADC0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCU_ADC0_AIN0	ADC 模拟输入 0	A	K25
MCU_ADC0_AIN1	ADC 模拟输入 1	A	K26
MCU_ADC0_AIN2	ADC 模拟输入 2	A	K28
MCU_ADC0_AIN3	ADC 模拟输入 3	A	L28
MCU_ADC0_AIN4	ADC 模拟输入 4	A	K24
MCU_ADC0_AIN5	ADC 模拟输入 5	A	K27
MCU_ADC0_AIN6	ADC 模拟输入 6	A	K29

表 5-3. ADC0 信号说明 (续)

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCU_ADC0_AIN7	ADC 模拟输入 7	A	L29

表 5-4. ADC1 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCU_ADC1_AIN0	ADC 模拟输入 0	A	N23
MCU_ADC1_AIN1	ADC 模拟输入 1	A	M25
MCU_ADC1_AIN2	ADC 模拟输入 2	A	L24
MCU_ADC1_AIN3	ADC 模拟输入 3	A	L26
MCU_ADC1_AIN4	ADC 模拟输入 4	A	N24
MCU_ADC1_AIN5	ADC 模拟输入 5	A	M24
MCU_ADC1_AIN6	ADC 模拟输入 6	A	L25
MCU_ADC1_AIN7	ADC 模拟输入 7	A	L27

5.3.2 DDRSS

5.3.2.1 MAIN 域

表 5-5. DDRSS 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
DDR_RET	外部 IO 保留使能	I	P6

表 5-6. DDRSS0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
DDR0_CKN	DDRSS 差分时钟 (负)	IO	J1
DDR0_CKP	DDRSS 差分时钟 (正)	IO	H1
DDR0_RESETn	DDRSS 复位	IO	K6
DDR0_CA0	DDRSS 命令地址	IO	G4
DDR0_CA1	DDRSS 命令地址	IO	H3
DDR0_CA2	DDRSS 命令地址	IO	K5
DDR0_CA3	DDRSS 命令地址	IO	J4
DDR0_CA4	DDRSS 命令地址	IO	K2
DDR0_CA5	DDRSS 命令地址	IO	H5
DDR0_CAL0 ⁽¹⁾	IO 焊盘校准电阻	A	H2
DDR0_CKE0	DDRSS 时钟使能	IO	G3
DDR0_CKE1	DDRSS 时钟使能	IO	J3
DDR0_CSn0_0	DDRSS 片选	IO	J5
DDR0_CSn0_1	DDRSS 片选	IO	K3
DDR0_CSn1_0	DDRSS 片选	IO	G5
DDR0_CSn1_1	DDRSS 片选	IO	J2
DDR0_DM0	DDRSS 数据掩码	IO	A3
DDR0_DM1	DDRSS 数据掩码	IO	E4
DDR0_DM2	DDRSS 数据掩码	IO	N1
DDR0_DM3	DDRSS 数据掩码	IO	R5

表 5-6. DDRSS0 信号说明 (续)

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
DDR0_DQ0	DDRSS 数据	IO	A5
DDR0_DQ1	DDRSS 数据	IO	A6
DDR0_DQ2	DDRSS 数据	IO	B5
DDR0_DQ3	DDRSS 数据	IO	C2
DDR0_DQ4	DDRSS 数据	IO	B4
DDR0_DQ5	DDRSS 数据	IO	C3
DDR0_DQ6	DDRSS 数据	IO	A2
DDR0_DQ7	DDRSS 数据	IO	A4
DDR0_DQ8	DDRSS 数据	IO	D1
DDR0_DQ9	DDRSS 数据	IO	C4
DDR0_DQ10	DDRSS 数据	IO	F1
DDR0_DQ11	DDRSS 数据	IO	G2
DDR0_DQ12	DDRSS 数据	IO	F2
DDR0_DQ13	DDRSS 数据	IO	F3
DDR0_DQ14	DDRSS 数据	IO	D3
DDR0_DQ15	DDRSS 数据	IO	F5
DDR0_DQ16	DDRSS 数据	IO	L5
DDR0_DQ17	DDRSS 数据	IO	M5
DDR0_DQ18	DDRSS 数据	IO	N5
DDR0_DQ19	DDRSS 数据	IO	L4
DDR0_DQ20	DDRSS 数据	IO	L2
DDR0_DQ21	DDRSS 数据	IO	L1
DDR0_DQ22	DDRSS 数据	IO	N2
DDR0_DQ23	DDRSS 数据	IO	N4
DDR0_DQ24	DDRSS 数据	IO	T3
DDR0_DQ25	DDRSS 数据	IO	T2
DDR0_DQ26	DDRSS 数据	IO	P2
DDR0_DQ27	DDRSS 数据	IO	P3
DDR0_DQ28	DDRSS 数据	IO	P5
DDR0_DQ29	DDRSS 数据	IO	R4
DDR0_DQ30	DDRSS 数据	IO	T4
DDR0_DQ31	DDRSS 数据	IO	T5
DDR0_QS0N	DDRSS 互补数据选通	IO	B1
DDR0_QS0P	DDRSS 数据选通	IO	B2
DDR0_QS1N	DDRSS 互补数据选通	IO	E2
DDR0_QS1P	DDRSS 数据选通	IO	E3
DDR0_QS2N	DDRSS 互补数据选通	IO	M2
DDR0_QS2P	DDRSS 数据选通	IO	M3
DDR0_QS3N	DDRSS 互补数据选通	IO	R1
DDR0_QS3P	DDRSS 数据选通	IO	R2

(1) 必须在该引脚和 VSS 之间连接一个外部 $240\ \Omega \pm 1\%$ 电阻。不应向该引脚施加外部电压。

5.3.3 GPIO

5.3.3.1 MAIN 域

表 5-7. GPIO0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
GPIO0_0	通用输入/输出	IO	AC18
GPIO0_1	通用输入/输出	IO	AC23
GPIO0_2	通用输入/输出	IO	AG22
GPIO0_3	通用输入/输出	IO	AF22
GPIO0_4	通用输入/输出	IO	AJ23
GPIO0_5	通用输入/输出	IO	AH23
GPIO0_6	通用输入/输出	IO	AD20
GPIO0_7	通用输入/输出	IO	AD22
GPIO0_8	通用输入/输出	IO	AE20
GPIO0_9	通用输入/输出	IO	AJ20
GPIO0_10	通用输入/输出	IO	AG20
GPIO0_11	通用输入/输出	IO	AD21
GPIO0_12	通用输入/输出	IO	AF24
GPIO0_13	通用输入/输出	IO	AJ24
GPIO0_14	通用输入/输出	IO	AG24
GPIO0_15	通用输入/输出	IO	AD24
GPIO0_16	通用输入/输出	IO	AC24
GPIO0_17	通用输入/输出	IO	AE24
GPIO0_18	通用输入/输出	IO	AJ21
GPIO0_19	通用输入/输出	IO	AE21
GPIO0_100	通用输入/输出	IO	W28
GPIO0_101	通用输入/输出	IO	V25
GPIO0_102	通用输入/输出	IO	W27
GPIO0_103	通用输入/输出	IO	W29
GPIO0_104	通用输入/输出	IO	W26
GPIO0_105	通用输入/输出	IO	Y29
GPIO0_106	通用输入/输出	IO	Y27
GPIO0_107	通用输入/输出	IO	W24
GPIO0_108	通用输入/输出	IO	W25
GPIO0_109	通用输入/输出	IO	V26
GPIO0_110	通用输入/输出	IO	V24
GPIO0_111	通用输入/输出	IO	AA2
GPIO0_112	通用输入/输出	IO	Y4
GPIO0_113	通用输入/输出	IO	AA1
GPIO0_114	通用输入/输出	IO	AB5
GPIO0_115	通用输入/输出	IO	AA3
GPIO0_116	通用输入/输出	IO	Y3
GPIO0_117	通用输入/输出	IO	W4
GPIO0_118	通用输入/输出	IO	Y1

表 5-7. GPIO0 信号说明 (续)

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
GPIO0_119	通用输入/输出	IO	Y5
GPIO0_120	通用输入/输出	IO	Y2
GPIO0_121	通用输入/输出	IO	AB2
GPIO0_122	通用输入/输出	IO	AB3
GPIO0_123	通用输入/输出	IO	AC2
GPIO0_124	通用输入/输出	IO	AB1
GPIO0_125	通用输入/输出	IO	AA4
GPIO0_126	通用输入/输出	IO	AB4
GPIO0_127	通用输入/输出	IO	AC4
GPIO0_20	通用输入/输出	IO	AH21
GPIO0_21	通用输入/输出	IO	AE22
GPIO0_22	通用输入/输出	IO	AG23
GPIO0_23	通用输入/输出	IO	AF23
GPIO0_24	通用输入/输出	IO	AD23
GPIO0_25	通用输入/输出	IO	AH24
GPIO0_26	通用输入/输出	IO	AG21
GPIO0_27	通用输入/输出	IO	AE23
GPIO0_28	通用输入/输出	IO	AC21
GPIO0_29	通用输入/输出	IO	Y23
GPIO0_30	通用输入/输出	IO	AF21
GPIO0_31	通用输入/输出	IO	AB23
GPIO0_32	通用输入/输出	IO	AJ25
GPIO0_33	通用输入/输出	IO	AH25
GPIO0_34	通用输入/输出	IO	AG25
GPIO0_35	通用输入/输出	IO	AH26
GPIO0_36	通用输入/输出	IO	AJ27
GPIO0_37	通用输入/输出	IO	AJ26
GPIO0_38	通用输入/输出	IO	AC22
GPIO0_39	通用输入/输出	IO	AJ22
GPIO0_40	通用输入/输出	IO	AH22
GPIO0_41	通用输入/输出	IO	AD19
GPIO0_42	通用输入/输出	IO	AD18
GPIO0_43	通用输入/输出	IO	AF28
GPIO0_44	通用输入/输出	IO	AE28
GPIO0_45	通用输入/输出	IO	AE27
GPIO0_46	通用输入/输出	IO	AD26
GPIO0_47	通用输入/输出	IO	AD25
GPIO0_48	通用输入/输出	IO	AC29
GPIO0_49	通用输入/输出	IO	AE26
GPIO0_50	通用输入/输出	IO	AC28
GPIO0_51	通用输入/输出	IO	AC27
GPIO0_52	通用输入/输出	IO	AB26

表 5-7. GPIO0 信号说明 (续)

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
GPIO0_53	通用输入/输出	IO	AB25
GPIO0_54	通用输入/输出	IO	AJ28
GPIO0_55	通用输入/输出	IO	AH27
GPIO0_56	通用输入/输出	IO	AH29
GPIO0_57	通用输入/输出	IO	AG28
GPIO0_58	通用输入/输出	IO	AG27
GPIO0_59	通用输入/输出	IO	AH28
GPIO0_60	通用输入/输出	IO	AB24
GPIO0_61	通用输入/输出	IO	AB29
GPIO0_62	通用输入/输出	IO	AB28
GPIO0_63	通用输入/输出	IO	AE29
GPIO0_64	通用输入/输出	IO	AD28
GPIO0_65	通用输入/输出	IO	AD27
GPIO0_66	通用输入/输出	IO	AC25
GPIO0_67	通用输入/输出	IO	AD29
GPIO0_68	通用输入/输出	IO	AB27
GPIO0_69	通用输入/输出	IO	AC26
GPIO0_70	通用输入/输出	IO	AA24
GPIO0_71	通用输入/输出	IO	AA28
GPIO0_72	通用输入/输出	IO	Y24
GPIO0_73	通用输入/输出	IO	AA25
GPIO0_74	通用输入/输出	IO	AG26
GPIO0_75	通用输入/输出	IO	AF27
GPIO0_76	通用输入/输出	IO	AF26
GPIO0_77	通用输入/输出	IO	AE25
GPIO0_78	通用输入/输出	IO	AF29
GPIO0_79	通用输入/输出	IO	AG29
GPIO0_80	通用输入/输出	IO	Y25
GPIO0_81	通用输入/输出	IO	AA26
GPIO0_82	通用输入/输出	IO	AA29
GPIO0_83	通用输入/输出	IO	Y26
GPIO0_84	通用输入/输出	IO	AA27
GPIO0_85	通用输入/输出	IO	U23
GPIO0_86	通用输入/输出	IO	U26
GPIO0_87	通用输入/输出	IO	V28
GPIO0_88	通用输入/输出	IO	V29
GPIO0_89	通用输入/输出	IO	V27
GPIO0_90	通用输入/输出	IO	U28
GPIO0_91	通用输入/输出	IO	U29
GPIO0_92	通用输入/输出	IO	U25
GPIO0_93	通用输入/输出	IO	U27
GPIO0_94	通用输入/输出	IO	U24

表 5-7. GPIO0 信号说明 (续)

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
GPIO0_95	通用输入/输出	IO	R23
GPIO0_96	通用输入/输出	IO	T23
GPIO0_97	通用输入/输出	IO	Y28
GPIO0_98	通用输入/输出	IO	V23
GPIO0_99	通用输入/输出	IO	W23

表 5-8. GPIO1 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
GPIO1_0	通用输入/输出	IO	AD5
GPIO1_1	通用输入/输出	IO	W5
GPIO1_2	通用输入/输出	IO	W6
GPIO1_3	通用输入/输出	IO	W3
GPIO1_4	通用输入/输出	IO	V4
GPIO1_5	通用输入/输出	IO	W2
GPIO1_6	通用输入/输出	IO	W1
GPIO1_7	通用输入/输出	IO	AC5
GPIO1_8	通用输入/输出	IO	AA5
GPIO1_9	通用输入/输出	IO	Y6
GPIO1_10	通用输入/输出	IO	AA6
GPIO1_11	通用输入/输出	IO	U2
GPIO1_12	通用输入/输出	IO	U3
GPIO1_13	通用输入/输出	IO	V6
GPIO1_14	通用输入/输出	IO	V5
GPIO1_15	通用输入/输出	IO	R26
GPIO1_16	通用输入/输出	IO	R25
GPIO1_17	通用输入/输出	IO	P24
GPIO1_18	通用输入/输出	IO	R24
GPIO1_19	通用输入/输出	IO	P25
GPIO1_20	通用输入/输出	IO	R29
GPIO1_21	通用输入/输出	IO	P23
GPIO1_22	通用输入/输出	IO	R28
GPIO1_23	通用输入/输出	IO	T28
GPIO1_24	通用输入/输出	IO	T29
GPIO1_25	通用输入/输出	IO	T27
GPIO1_26	通用输入/输出	IO	T24
GPIO1_27	通用输入/输出	IO	T26
GPIO1_28	通用输入/输出	IO	T25
GPIO1_29	通用输入/输出	IO	U6
GPIO1_30	通用输入/输出	IO	AD1
GPIO1_31	通用输入/输出	IO	AC1
GPIO1_32	通用输入/输出	IO	AC3

表 5-8. GPIO1 信号说明 (续)

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
GPIO1_33	通用输入/输出	IO	AD3
GPIO1_34	通用输入/输出	IO	AD2
GPIO1_35	通用输入/输出	IO	AE2

5.3.3.2 WKUP 域

表 5-9. GPIO0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
WKUP_GPIO0_0	通用输入/输出	IO	F26
WKUP_GPIO0_1	通用输入/输出	IO	F25
WKUP_GPIO0_2	通用输入/输出	IO	F28
WKUP_GPIO0_3	通用输入/输出	IO	F27
WKUP_GPIO0_4	通用输入/输出	IO	G25
WKUP_GPIO0_5	通用输入/输出	IO	G24
WKUP_GPIO0_6	通用输入/输出	IO	F29
WKUP_GPIO0_7	通用输入/输出	IO	G28
WKUP_GPIO0_8	通用输入/输出	IO	G27
WKUP_GPIO0_9	通用输入/输出	IO	G26
WKUP_GPIO0_10	通用输入/输出	IO	H26
WKUP_GPIO0_11	通用输入/输出	IO	H27
WKUP_GPIO0_12	通用输入/输出	IO	G29
WKUP_GPIO0_13	通用输入/输出	IO	H28
WKUP_GPIO0_14	通用输入/输出	IO	H29
WKUP_GPIO0_15	通用输入/输出	IO	J27
WKUP_GPIO0_16	通用输入/输出	IO	E20
WKUP_GPIO0_17	通用输入/输出	IO	C21
WKUP_GPIO0_18	通用输入/输出	IO	D21
WKUP_GPIO0_19	通用输入/输出	IO	D20
WKUP_GPIO0_20	通用输入/输出	IO	G19
WKUP_GPIO0_21	通用输入/输出	IO	G20
WKUP_GPIO0_22	通用输入/输出	IO	F20
WKUP_GPIO0_23	通用输入/输出	IO	F21
WKUP_GPIO0_24	通用输入/输出	IO	E21
WKUP_GPIO0_25	通用输入/输出	IO	B22
WKUP_GPIO0_26	通用输入/输出	IO	G21
WKUP_GPIO0_27	通用输入/输出	IO	F19
WKUP_GPIO0_28	通用输入/输出	IO	E19
WKUP_GPIO0_29	通用输入/输出	IO	F22
WKUP_GPIO0_30	通用输入/输出	IO	A23
WKUP_GPIO0_31	通用输入/输出	IO	B23
WKUP_GPIO0_32	通用输入/输出	IO	D22
WKUP_GPIO0_33	通用输入/输出	IO	G22

表 5-9. GPIO0 信号说明 (续)

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
WKUP_GPIO0_34	通用输入/输出	IO	D23
WKUP_GPIO0_35	通用输入/输出	IO	C23
WKUP_GPIO0_36	通用输入/输出	IO	C22
WKUP_GPIO0_37	通用输入/输出	IO	E22
WKUP_GPIO0_38	通用输入/输出	IO	B27
WKUP_GPIO0_39	通用输入/输出	IO	C25
WKUP_GPIO0_40	通用输入/输出	IO	A28
WKUP_GPIO0_41	通用输入/输出	IO	A27
WKUP_GPIO0_42	通用输入/输出	IO	A26
WKUP_GPIO0_43	通用输入/输出	IO	B25
WKUP_GPIO0_44	通用输入/输出	IO	B26
WKUP_GPIO0_45	通用输入/输出	IO	C24
WKUP_GPIO0_46	通用输入/输出	IO	A25
WKUP_GPIO0_47	通用输入/输出	IO	D24
WKUP_GPIO0_48	通用输入/输出	IO	A24
WKUP_GPIO0_49	通用输入/输出	IO	B24
WKUP_GPIO0_50	通用输入/输出	IO	E23
WKUP_GPIO0_51	通用输入/输出	IO	F23
WKUP_GPIO0_52	通用输入/输出	IO	E27
WKUP_GPIO0_53	通用输入/输出	IO	E24
WKUP_GPIO0_54	通用输入/输出	IO	E28
WKUP_GPIO0_55	通用输入/输出	IO	E25
WKUP_GPIO0_56	通用输入/输出	IO	J29
WKUP_GPIO0_57	通用输入/输出	IO	J28
WKUP_GPIO0_58	通用输入/输出	IO	D29
WKUP_GPIO0_59	通用输入/输出	IO	C29
WKUP_GPIO0_60	通用输入/输出	IO	D26
WKUP_GPIO0_61	通用输入/输出	IO	D25
WKUP_GPIO0_62	通用输入/输出	IO	J25
WKUP_GPIO0_63	通用输入/输出	IO	H24
WKUP_GPIO0_64	通用输入/输出	IO	J26
WKUP_GPIO0_65	通用输入/输出	IO	H25
WKUP_GPIO0_66	通用输入/输出	IO	E26
WKUP_GPIO0_67	通用输入/输出	IO	G23
WKUP_GPIO0_68	通用输入	I	K25
WKUP_GPIO0_69	通用输入	I	K26
WKUP_GPIO0_70	通用输入	I	K28
WKUP_GPIO0_71	通用输入	I	L28
WKUP_GPIO0_72	通用输入	I	K24
WKUP_GPIO0_73	通用输入	I	K27
WKUP_GPIO0_74	通用输入	I	K29
WKUP_GPIO0_75	通用输入	I	L29

表 5-9. GPIO0 信号说明 (续)

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
WKUP_GPIO0_76	通用输入	I	N23
WKUP_GPIO0_77	通用输入	I	M25
WKUP_GPIO0_78	通用输入	I	L24
WKUP_GPIO0_79	通用输入	I	L26
WKUP_GPIO0_80	通用输入	I	N24
WKUP_GPIO0_81	通用输入	I	M24
WKUP_GPIO0_82	通用输入	I	L25
WKUP_GPIO0_83	通用输入	I	L27

5.3.4 I2C

5.3.4.1 MAIN 域

表 5-10. I2C0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
I2C0_SCL	I2C 时钟	IOD	AC5
I2C0_SDA	I2C 数据	IOD	AA5

表 5-11. I2C1 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
I2C1_SCL	I2C 时钟	IOD	Y6
I2C1_SDA	I2C 数据	IOD	AA6

表 5-12. I2C2 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
I2C2_SCL	I2C 时钟	IOD	AA1、U23、W5
I2C2_SDA	I2C 数据	IOD	AB5、U26、W6

表 5-13. I2C3 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
I2C3_SCL	I2C 时钟	IOD	T26、V27、Y4
I2C3_SDA	I2C 数据	IOD	T25、U28、W4

表 5-14. I2C4 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
I2C4_SCL	I2C 时钟	IOD	AD19、P25、Y5
I2C4_SDA	I2C 数据	IOD	AD18、R29、Y1

表 5-15. I2C5 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
I2C5_SCL	I2C 时钟	IOD	T28、Y26
I2C5_SDA	I2C 数据	IOD	AA27、T29

表 5-16. I2C6 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
I2C6_SCL	I2C 时钟	IOD	AA3、U29、W2
I2C6_SDA	I2C 数据	IOD	U25、W1、Y2

5.3.4.2 MCU 域

表 5-17. I2C0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCU_I2C0_SCL	I2C 时钟	IOD	J26

表 5-17. I2C0 信号说明 (续)

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCU_I2C0_SDA	I2C 数据	IOD	H25

表 5-18. I2C1 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCU_I2C1_SCL	I2C 时钟	IOD	F29、G27
MCU_I2C1_SDA	I2C 数据	IOD	G26、G28

5.3.4.3 WKUP 域

表 5-19. I2C0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
WKUP_I2C0_SCL	I2C 时钟	IOD	J25
WKUP_I2C0_SDA	I2C 数据	IOD	H24

5.3.5 I3C

5.3.5.1 MAIN 域

表 5-20. I3C0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
I3C0_SCL	I3C 时钟	IO	W2
I3C0_SDA	I3C 数据	IO	W1
I3C0_SDA PULLEN	MAIN 域 I3C 数据拉动使能	O	AB4、U2

5.3.5.2 MCU 域

表 5-21. I3C0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCU_I3C0_SCL	I3C 时钟	IO	D26
MCU_I3C0_SDA	I3C 数据	IO	D25
MCU_I3C0_SDA PULLEN	MCU 域 I3C 数据拉动使能	O	E26

表 5-22. I3C1 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCU_I3C1_SCL	I3C 时钟	IO	G27
MCU_I3C1_SDA	I3C 数据	IO	G26
MCU_I3C1_SDA PULLEN	MCU 域 I3C 数据拉动使能	O	G23、H27

5.3.6 MCAN

5.3.6.1 MAIN 域

表 5-23. MCAN0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCAN0_RX	MCAN 接收数据	I	W5
MCAN0_TX	MCAN 发送数据	O	W6

表 5-24. MCAN1 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCAN1_RX	MCAN 接收数据	I	W3
MCAN1_TX	MCAN 发送数据	O	V4

表 5-25. MCAN2 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCAN2_RX	MCAN 接收数据	I	AC2、W2
MCAN2_TX	MCAN 发送数据	O	AB1、W1

表 5-26. MCAN3 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCAN3_RX	MCAN 接收数据	I	AC4
MCAN3_TX	MCAN 发送数据	O	AD5

表 5-27. MCAN4 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCAN4_RX	MCAN 接收数据	I	AJ20、AJ24
MCAN4_TX	MCAN 发送数据	O	AE20、AF24

表 5-28. MCAN5 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCAN5_RX	MCAN 接收数据	I	AD24、AE21
MCAN5_TX	MCAN 发送数据	O	AG24、AJ21

表 5-29. MCAN6 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCAN6_RX	MCAN 接收数据	I	AE24、AG21
MCAN6_TX	MCAN 发送数据	O	AC24、AH21

表 5-30. MCAN7 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCAN7_RX	MCAN 接收数据	I	AG25、Y23
MCAN7_TX	MCAN 发送数据	O	AC21、AH25

表 5-31. MCAN8 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCAN8_RX	MCAN 接收数据	I	AB23、AJ27
MCAN8_TX	MCAN 发送数据	O	AF21、AH26

表 5-32. MCAN9 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCAN9_RX	MCAN 接收数据	I	AC27
MCAN9_TX	MCAN 发送数据	O	AC28

表 5-33. MCAN10 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCAN10_RX	MCAN 接收数据	I	AB25
MCAN10_TX	MCAN 发送数据	O	AB26

表 5-34. MCAN11 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCAN11_RX	MCAN 接收数据	I	AA28
MCAN11_TX	MCAN 发送数据	O	AA24

表 5-35. MCAN12 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCAN12_RX	MCAN 接收数据	I	AA29
MCAN12_TX	MCAN 发送数据	O	AA26

表 5-36. MCAN13 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCAN13_RX	MCAN 接收数据	I	AA27
MCAN13_TX	MCAN 发送数据	O	Y26

5.3.6.2 MCU 域

表 5-37. MCAN0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCU_MCAN0_RX	MCAN 接收数据	I	C29
MCU_MCAN0_TX	MCAN 发送数据	O	D29

表 5-38. MCAN1 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCU_MCAN1_RX	MCAN 接收数据	I	G24
MCU_MCAN1_TX	MCAN 发送数据	O	G25

5.3.7 MCSPI

5.3.7.1 MAIN 域

表 5-39. MCSPI0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
SPI0_CLK	SPI 时钟	IO	AA1
SPI0_CS0	SPI 片选 0	IO	AA2
SPI0_CS1	SPI 片选 1	IO	Y4
SPI0_CS2	SPI 片选 2	IO	AC2
SPI0_CS3	SPI 片选 3	IO	AB1
SPI0_D0	SPI 数据 0	IO	AB5
SPI0_D1	SPI 数据 1	IO	AA3

表 5-40. MCSPI1 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
SPI1_CLK	SPI 时钟	IO	Y1
SPI1_CS0	SPI 片选 0	IO	Y3
SPI1_CS1	SPI 片选 1	IO	W4
SPI1_CS2	SPI 片选 2	IO	AD19
SPI1_CS3	SPI 片选 3	IO	AD18
SPI1_D0	SPI 数据 0	IO	Y5
SPI1_D1	SPI 数据 1	IO	Y2

表 5-41. MCSPI2 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
SPI2_CLK	SPI 时钟	IO	AB1
SPI2_CS0	SPI 片选 0	IO	AC2
SPI2_CS1	SPI 片选 1	IO	AB2
SPI2_CS2	SPI 片选 2	IO	AB3
SPI2_CS3	SPI 片选 3	IO	U2
SPI2_D0	SPI 数据 0	IO	AC4
SPI2_D1	SPI 数据 1	IO	AD5

表 5-42. MCSPI3 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
SPI3_CLK	SPI 时钟	IO	Y25
SPI3_CS0	SPI 片选 0	IO	AA24
SPI3_CS1	SPI 片选 1	IO	AB26
SPI3_CS2	SPI 片选 2	IO	AB25
SPI3_CS3	SPI 片选 3	IO	Y24
SPI3_D0	SPI 数据 0	IO	AA26
SPI3_D1	SPI 数据 1	IO	AA29

表 5-43. MCSPI5 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
SPI5_CLK	SPI 时钟	IO	W29
SPI5_CS0	SPI 片选 0	IO	W27
SPI5_CS1	SPI 片选 1	IO	W25
SPI5_CS2	SPI 片选 2	IO	W28
SPI5_CS3	SPI 片选 3	IO	W23
SPI5_D0	SPI 数据 0	IO	V25
SPI5_D1	SPI 数据 1	IO	W24

表 5-44. MCSPI6 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
SPI6_CLK	SPI 时钟	IO	AC22
SPI6_CS0	SPI 片选 0	IO	AC21
SPI6_CS1	SPI 片选 1	IO	AG20
SPI6_CS2	SPI 片选 2	IO	AD21
SPI6_CS3	SPI 片选 3	IO	AF21
SPI6_D0	SPI 数据 0	IO	AJ22
SPI6_D1	SPI 数据 1	IO	AH22

表 5-45. MCSPI7 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
SPI7_CLK	SPI 时钟	IO	U3
SPI7_CS0	SPI 片选 0	IO	U2
SPI7_CS1	SPI 片选 1	IO	AB3
SPI7_CS2	SPI 片选 2	IO	AA4
SPI7_CS3	SPI 片选 3	IO	AB4
SPI7_D0	SPI 数据 0	IO	V6
SPI7_D1	SPI 数据 1	IO	V5

5.3.7.2 MCU 域

表 5-46. MCSPI0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCU_SPI0_CLK	SPI 时钟	IO	E27
MCU_SPI0_CS0	SPI 片选 0	IO	E25
MCU_SPI0_CS1	SPI 片选 1	IO	C23、G29
MCU_SPI0_CS2	SPI 片选 2	O	E22、H29
MCU_SPI0_CS3	SPI 片选 3	IO	G25
MCU_SPI0_D0	SPI 数据 0	IO	E24
MCU_SPI0_D1	SPI 数据 1	IO	E28

表 5-47. MCSPI1 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCU_SPI1_CLK	SPI 时钟	IO	F26
MCU_SPI1_CS0	SPI 片选 0	IO	F27
MCU_SPI1_CS1	SPI 片选 1	O	G22、H28
MCU_SPI1_CS2	SPI 片选 2	O	D23、J27
MCU_SPI1_CS3	SPI 片选 3	IO	G24
MCU_SPI1_D0	SPI 数据 0	IO	F25
MCU_SPI1_D1	SPI 数据 1	IO	F28

5.3.8 UART

5.3.8.1 MAIN 域

表 5-48. UART0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
UART0_CTSn	UART 允许发送 (低电平有效)	I	AC2、Y3
UART0_DCDn	UART 数据载波检测 (低电平有效)	I	P23
UART0_DSRn	UART 数据集就绪 (低电平有效)	I	R28
UART0_DTRn	UART 数据终端就绪 (低电平有效)	O	T27
UART0_RIn	UART 振铃指示器	I	T24
UART0_RTSn	UART 请求发送 (低电平有效)	O	AA2、AB1
UART0_RXD	UART 接收数据	I	AB2、AC23
UART0_TXD	UART 发送数据	O	AB3、AG22

表 5-49. UART1 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
UART1_CTSn	UART 允许发送 (低电平有效)	I	AA1、AC4
UART1_RTSn	UART 请求发送 (低电平有效)	O	AB5、AD5
UART1_RXD	UART 接收数据	I	AA4、AF22
UART1_TXD	UART 发送数据	O	AB4、AJ23

表 5-50. UART2 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
UART2_CTSn	UART 允许发送 (低电平有效)	I	AE25
UART2_RTSn	UART 请求发送 (低电平有效)	O	AF29
UART2_RXD	UART 接收数据	I	AA26、AH23、Y1
UART2_TXD	UART 发送数据	O	AA24、AD22、Y5

表 5-51. UART3 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
UART3_CTSn	UART 允许发送 (低电平有效)	I	AD19、U27
UART3_RTSn	UART 请求发送 (低电平有效)	O	AD18、U24
UART3_RXD	UART 接收数据	I	AE27、T26、V28、Y23

表 5-51. UART3 信号说明 (续)

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
UART3_TXD	UART 发送数据	O	AC21、AD26、T25、V29

表 5-52. UART4 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
UART4_CTSn	UART 允许发送 (低电平有效)	I	AE29、Y29
UART4_RTSn	UART 请求发送 (低电平有效)	O	AD28、Y27
UART4_RXD	UART 接收数据	I	AG28、P24、W23
UART4_TXD	UART 发送数据	O	AG27、R24、W28

表 5-53. UART5 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
UART5_CTSn	UART 允许发送 (低电平有效)	I	Y1
UART5_RTSn	UART 请求发送 (低电平有效)	O	Y5
UART5_RXD	UART 接收数据	I	AE29、Y29、Y3
UART5_TXD	UART 发送数据	O	AD28、W4、Y27

表 5-54. UART6 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
UART6_CTSn	UART 允许发送 (低电平有效)	I	R23、W3
UART6_RTSn	UART 请求发送 (低电平有效)	O	T23、V4
UART6_RXD	UART 接收数据	I	AC27、T27、U27、W2
UART6_TXD	UART 发送数据	O	AB26、T24、U24、W1

表 5-55. UART7 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
UART7_CTSn	UART 允许发送 (低电平有效)	I	P24
UART7_RTSn	UART 请求发送 (低电平有效)	O	R24
UART7_RXD	UART 接收数据	I	R26
UART7_TXD	UART 发送数据	O	R25

表 5-56. UART8 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
UART8_CTSn	UART 允许发送 (低电平有效)	I	AF27、P23
UART8_RTSn	UART 请求发送 (低电平有效)	O	AF26、R28
UART8_RXD	UART 接收数据	I	P25、Y24
UART8_TXD	UART 发送数据	O	AA25、R29

表 5-57. UART9 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
UART9_CTSn	UART 允许发送 (低电平有效)	I	T27、W2
UART9_RTSn	UART 请求发送 (低电平有效)	O	T24、W1
UART9_RXD	UART 接收数据	I	T28、W3
UART9_TXD	UART 发送数据	O	T29、V4

5.3.8.2 MCU 域

表 5-58. UART0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCU_UART0_CTSn	UART 允许发送 (低电平有效)	I	C23、D26、H29
MCU_UART0_RTSn	UART 请求发送 (低电平有效)	O	D25、E22、J27
MCU_UART0_RXD	UART 接收数据	I	G22、H27、H28
MCU_UART0_TXD	UART 发送数据	O	D23、G29、H26

5.3.8.3 WKUP 域

表 5-59. UART0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
WKUP_UART0_CTSn	UART 允许发送 (低电平有效)	I	F29
WKUP_UART0_RTSn	UART 请求发送 (低电平有效)	O	G28
WKUP_UART0_RXD	UART 接收数据	I	J29
WKUP_UART0_TXD	UART 发送数据	O	J28

5.3.9 MDIO

5.3.9.1 MCU 域

表 5-60. MDIO0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCU_MDIO0_MDC	MDIO 时钟	O	F23
MCU_MDIO0_MDIO	MDIO 数据	IO	E23

5.3.10 CPSW2G

备注

子系统 (SS) 适用于 CPSW2G 和 CPTS。有关 CPTS 信号特性的更多详细信息，请参阅节 5.3.21 “CPTS 信号说明”。

5.3.10.1 MCU 域

表 5-61. CPSW2G0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCU_RGMII1_RXC	RGMII 接收时钟	I	C24
MCU_RGMII1_RX_CTL	RGMII 接收控制	I	C25
MCU_RGMII1_TXC	RGMII 发送时钟	O	B26
MCU_RGMII1_TX_CTL	RGMII 发送控制	O	B27

表 5-61. CPSW2G0 信号说明 (续)

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCU_RGMII1_RD0	RGMII 接收数据 0	I	B24
MCU_RGMII1_RD1	RGMII 接收数据 1	I	A24
MCU_RGMII1_RD2	RGMII 接收数据 2	I	D24
MCU_RGMII1_RD3	RGMII 接收数据 3	I	A25
MCU_RGMII1_TD0	RGMII 发送数据 0	O	B25
MCU_RGMII1_TD1	RGMII 发送数据 1	O	A26
MCU_RGMII1_TD2	RGMII 发送数据 2	O	A27
MCU_RGMII1_TD3	RGMII 发送数据 3	O	A28
MCU_RMII1_CRD_DV	RMII 载波侦听/数据有效	I	B27
MCU_RMII1_REF_CLK	RMII 基准时钟	I	C24
MCU_RMII1_RX_ER	RMII 接收数据错误	I	C25
MCU_RMII1_TX_EN	RMII 发送使能	O	B26
MCU_RMII1_RXD0	RMII 接收数据 0	I	B24
MCU_RMII1_RXD1	RMII 接收数据 1	I	A24
MCU_RMII1_TXD0	RMII 发送数据 0	O	B25
MCU_RMII1_TXD1	RMII 发送数据 1	O	A26

5.3.11 CPSW9G

5.3.11.1 MAIN 域

表 5-62. CPSW9G0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
CLKOUT	RMII 时钟输出 (50MHz)。该引脚用作外部 PHY 的时钟源，并且必须路由回相应的 RMII_REF_CLK 引脚以确保器件正常运行。	OZ	AA25、AJ28、Y29
MDIO0_MDC	MDIO 时钟	O	V24
MDIO0_MDIO	MDIO 数据	IO	V26
RGMII1_RXC	RGMII 接收时钟	I	AD22
RGMII1_RX_CTL	RGMII 接收控制	I	AH23
RGMII1_TXC	RGMII 发送时钟	O	AE24
RGMII1_TX_CTL	RGMII 发送控制	O	AC24
RGMII2_RXC	RGMII 接收时钟	I	AE23
RGMII2_RX_CTL	RGMII 接收控制	I	AH24
RGMII2_TXC	RGMII 发送时钟	O	AJ26
RGMII2_TX_CTL	RGMII 发送控制	O	AJ27
RGMII3_RXC	RGMII 接收时钟	I	AE26
RGMII3_RX_CTL	RGMII 接收控制	I	AD25
RGMII3_TXC	RGMII 发送时钟	O	AH28
RGMII3_TX_CTL	RGMII 发送控制	O	AG27
RGMII4_RXC	RGMII 接收时钟	I	AC26
RGMII4_RX_CTL	RGMII 接收控制	I	AD29
RGMII4_TXC	RGMII 发送时钟	O	AG29
RGMII4_TX_CTL	RGMII 发送控制	O	AF29

表 5-62. CPSW9G0 信号说明 (续)

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
RGMII5_RXC	RGMII 接收时钟	I	U25
RGMII5_RX_CTL	RGMII 接收控制	I	U26
RGMII5_TXC	RGMII 发送时钟	O	U29
RGMII5_TX_CTL	RGMII 发送控制	O	U23
RGMII6_RXC	RGMII 接收时钟	I	W26
RGMII6_RX_CTL	RGMII 接收控制	I	V23
RGMII6_TXC	RGMII 发送时钟	O	W29
RGMII6_TX_CTL	RGMII 发送控制	O	Y28
RGMII7_RXC	RGMII 接收时钟	I	AD22
RGMII7_RX_CTL	RGMII 接收控制	I	AH23
RGMII7_TXC	RGMII 发送时钟	O	AE24
RGMII7_TX_CTL	RGMII 发送控制	O	AC24
RGMII8_RXC	RGMII 接收时钟	I	AE23
RGMII8_RX_CTL	RGMII 接收控制	I	AH24
RGMII8_TXC	RGMII 发送时钟	O	AJ26
RGMII8_TX_CTL	RGMII 发送控制	O	AJ27
RGMII1_RD0	RGMII 接收数据 0	I	AC23
RGMII1_RD1	RGMII 接收数据 1	I	AG22
RGMII1_RD2	RGMII 接收数据 2	I	AF22
RGMII1_RD3	RGMII 接收数据 3	I	AJ23
RGMII1_TD0	RGMII 发送数据 0	O	AF24
RGMII1_TD1	RGMII 发送数据 1	O	AJ24
RGMII1_TD2	RGMII 发送数据 2	O	AG24
RGMII1_TD3	RGMII 发送数据 3	O	AD24
RGMII2_RD0	RGMII 接收数据 0	I	AE22
RGMII2_RD1	RGMII 接收数据 1	I	AG23
RGMII2_RD2	RGMII 接收数据 2	I	AF23
RGMII2_RD3	RGMII 接收数据 3	I	AD23
RGMII2_TD0	RGMII 发送数据 0	O	AJ25
RGMII2_TD1	RGMII 发送数据 1	O	AH25
RGMII2_TD2	RGMII 发送数据 2	O	AG25
RGMII2_TD3	RGMII 发送数据 3	O	AH26
RGMII3_RD0	RGMII 接收数据 0	I	AF28
RGMII3_RD1	RGMII 接收数据 1	I	AE28
RGMII3_RD2	RGMII 接收数据 2	I	AE27
RGMII3_RD3	RGMII 接收数据 3	I	AD26
RGMII3_TD0	RGMII 发送数据 0	O	AJ28
RGMII3_TD1	RGMII 发送数据 1	O	AH27
RGMII3_TD2	RGMII 发送数据 2	O	AH29
RGMII3_TD3	RGMII 发送数据 3	O	AG28
RGMII4_RD0	RGMII 接收数据 0	I	AE29
RGMII4_RD1	RGMII 接收数据 1	I	AD28

表 5-62. CPSW9G0 信号说明 (续)

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
RGMII4_RD2	RGMII 接收数据 2	I	AD27
RGMII4_RD3	RGMII 接收数据 3	I	AC25
RGMII4_TD0	RGMII 发送数据 0	O	AG26
RGMII4_TD1	RGMII 发送数据 1	O	AF27
RGMII4_TD2	RGMII 发送数据 2	O	AF26
RGMII4_TD3	RGMII 发送数据 3	O	AE25
RGMII5_RD0	RGMII 接收数据 0	I	T23
RGMII5_RD1	RGMII 接收数据 1	I	R23
RGMII5_RD2	RGMII 接收数据 2	I	U24
RGMII5_RD3	RGMII 接收数据 3	I	U27
RGMII5_TD0	RGMII 发送数据 0	O	U28
RGMII5_TD1	RGMII 发送数据 1	O	V27
RGMII5_TD2	RGMII 发送数据 2	O	V29
RGMII5_TD3	RGMII 发送数据 3	O	V28
RGMII6_RD0	RGMII 接收数据 0	I	W25
RGMII6_RD1	RGMII 接收数据 1	I	W24
RGMII6_RD2	RGMII 接收数据 2	I	Y27
RGMII6_RD3	RGMII 接收数据 3	I	Y29
RGMII6_TD0	RGMII 发送数据 0	O	W27
RGMII6_TD1	RGMII 发送数据 1	O	V25
RGMII6_TD2	RGMII 发送数据 2	O	W28
RGMII6_TD3	RGMII 发送数据 3	O	W23
RGMII7_RD0	RGMII 接收数据 0	I	AC23
RGMII7_RD1	RGMII 接收数据 1	I	AG22
RGMII7_RD2	RGMII 接收数据 2	I	AF22
RGMII7_RD3	RGMII 接收数据 3	I	AJ23
RGMII7_TD0	RGMII 发送数据 0	O	AF24
RGMII7_TD1	RGMII 发送数据 1	O	AJ24
RGMII7_TD2	RGMII 发送数据 2	O	AG24
RGMII7_TD3	RGMII 发送数据 3	O	AD24
RGMII8_RD0	RGMII 接收数据 0	I	AE22
RGMII8_RD1	RGMII 接收数据 1	I	AG23
RGMII8_RD2	RGMII 接收数据 2	I	AF23
RGMII8_RD3	RGMII 接收数据 3	I	AD23
RGMII8_TD0	RGMII 发送数据 0	O	AJ25
RGMII8_TD1	RGMII 发送数据 1	O	AH25
RGMII8_TD2	RGMII 发送数据 2	O	AG25
RGMII8_TD3	RGMII 发送数据 3	O	AH26
RMII1_CRS_DV	RMII 载波侦听/数据有效	I	AF22
RMII1_RX_ER	RMII 接收数据错误	I	AJ23
RMII1_TX_EN	RMII 发送使能	O	AD20
RMII2_CRS_DV	RMII 载波侦听/数据有效	I	AF23

表 5-62. CPSW9G0 信号说明 (续)

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
RMII2_RX_ER	RMII 接收数据错误	I	AD23
RMII2_TX_EN	RMII 发送使能	O	AJ25
RMII3_CRS_DV	RMII 载波侦听/数据有效	I	AE27
RMII3_RX_ER	RMII 接收数据错误	I	AD26
RMII3_TX_EN	RMII 发送使能	O	AE26
RMII4_CRS_DV	RMII 载波侦听/数据有效	I	AD27
RMII4_RX_ER	RMII 接收数据错误	I	AC25
RMII4_TX_EN	RMII 发送使能	O	AG26
RMII5_CRS_DV	RMII 载波侦听/数据有效	I	AD21
RMII5_RX_ER	RMII 接收数据错误	I	AE21
RMII5_TX_EN	RMII 发送使能	O	AG21
RMII6_CRS_DV	RMII 载波侦听/数据有效	I	AB23
RMII6_RX_ER	RMII 接收数据错误	I	AC21
RMII6_TX_EN	RMII 发送使能	O	AC22
RMII7_CRS_DV	RMII 载波侦听/数据有效	I	U23
RMII7_RX_ER	RMII 接收数据错误	I	U26
RMII7_TX_EN	RMII 发送使能	O	U29
RMII8_CRS_DV	RMII 载波侦听/数据有效	I	Y28
RMII8_RX_ER	RMII 接收数据错误	I	V23
RMII8_TX_EN	RMII 发送使能	O	W29
RMII1_RXD0	RMII 接收数据 0	I	AC23
RMII1_RXD1	RMII 接收数据 1	I	AG22
RMII1_TXD0	RMII 发送数据 0	O	AH23
RMII1_TXD1	RMII 发送数据 1	O	AD22
RMII2_RXD0	RMII 接收数据 0	I	AE22
RMII2_RXD1	RMII 接收数据 1	I	AG23
RMII2_TXD0	RMII 发送数据 0	O	AH24
RMII2_TXD1	RMII 发送数据 1	O	AE23
RMII3_RXD0	RMII 接收数据 0	I	AE28
RMII3_RXD1	RMII 接收数据 1	I	AF28
RMII3_TXD0	RMII 发送数据 0	O	AC29
RMII3_TXD1	RMII 发送数据 1	O	AD25
RMII4_RXD0	RMII 接收数据 0	I	AE29
RMII4_RXD1	RMII 接收数据 1	I	AD28
RMII4_TXD0	RMII 发送数据 0	O	AC26
RMII4_TXD1	RMII 发送数据 1	O	AD29
RMII5_RXD0	RMII 接收数据 0	I	AJ20
RMII5_RXD1	RMII 接收数据 1	I	AG20
RMII5_TXD0	RMII 发送数据 0	O	AH21
RMII5_TXD1	RMII 发送数据 1	O	AJ21
RMII6_RXD0	RMII 接收数据 0	I	Y23
RMII6_RXD1	RMII 接收数据 1	I	AF21

表 5-62. CPSW9G0 信号说明 (续)

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
RMII6_TXD0	RMII 发送数据 0	O	AJ22
RMII6_TXD1	RMII 发送数据 1	O	AH22
RMII7_RXD0	RMII 接收数据 0	I	T23
RMII7_RXD1	RMII 接收数据 1	I	R23
RMII7_TXD0	RMII 发送数据 0	O	U28
RMII7_TXD1	RMII 发送数据 1	O	V27
RMII8_RXD0	RMII 接收数据 0	I	W25
RMII8_RXD1	RMII 接收数据 1	I	W24
RMII8_TXD0	RMII 发送数据 0	O	W27
RMII8_TXD1	RMII 发送数据 1	O	V25
RMII_REF_CLK	RMII 基准时钟	I	AD18

5.3.12 ECAP

5.3.12.1 MAIN 域

表 5-63. ECAP0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
ECAP0_IN_APWM_OUT	增强型捕获 (ECAP) 输入或辅助 PWM (APWM) 输出	IO	P24、U2

表 5-64. ECAP1 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
ECAP1_IN_APWM_OUT	增强型捕获 (ECAP) 输入或辅助 PWM (APWM) 输出	IO	R24、V6

表 5-65. ECAP2 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
ECAP2_IN_APWM_OUT	增强型捕获 (ECAP) 输入或辅助 PWM (APWM) 输出	IO	R28、V5

5.3.13 EQEP

5.3.13.1 MAIN 域

表 5-66. EQEP0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
EQEP0_A	EQEP 正交输入 A	I	AC2
EQEP0_B	EQEP 正交输入 B	I	AB1
EQEP0_I	EQEP 索引	IO	AD5
EQEP0_S	EQEP 选通	IO	AC4

表 5-67. EQEP1 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
EQEP1_A	EQEP 正交输入 A	I	AD23
EQEP1_B	EQEP 正交输入 B	I	AH24
EQEP1_I	EQEP 索引	IO	AJ25
EQEP1_S	EQEP 选通	IO	AG21

表 5-68. EQEP2 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
EQEP2_A	EQEP 正交输入 A	I	T27
EQEP2_B	EQEP 正交输入 B	I	T24
EQEP2_I	EQEP 索引	IO	P23
EQEP2_S	EQEP 选通	IO	R28

5.3.14 EHRPWM

5.3.14.1 MAIN 域

表 5-69. EHRPWM 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
EHRPWM_SOC_A	EHRPWM 转换启动 A	O	U25
EHRPWM_SOC_B	EHRPWM 转换启动 B	O	R23

表 5-70. EHRPWM0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
EHRPWM0_A	EHRPWM 输出 A	IO	V29
EHRPWM0_B	EHRPWM 输出 B	IO	V27
EHRPWM0_SYNCI	从外部引脚到 EHRPWM 模块的同步输入	I	U23
EHRPWM0_SYNCO	从 EHRPWM 模块到外部引脚的同步输出	O	U26
EHRPWM_TZn_IN0	EHRPWM 触发区输入 0 (低电平有效)	I	V28

表 5-71. EHRPWM1 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
EHRPWM1_A	EHRPWM 输出 A	IO	U28
EHRPWM1_B	EHRPWM 输出 B	IO	U29
EHRPWM_TZn_IN1	EHRPWM 触发区输入 1 (低电平有效)	I	U25

表 5-72. EHRPWM2 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
EHRPWM2_A	EHRPWM 输出 A	IO	U27
EHRPWM2_B	EHRPWM 输出 B	IO	U24
EHRPWM_TZn_IN2	EHRPWM 触发区输入 2 (低电平有效)	I	R23

表 5-73. EHRPWM3 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
EHRPWM3_A	EHRPWM 输出 A	IO	V23
EHRPWM3_B	EHRPWM 输出 B	IO	W23
EHRPWM3_SYNCI	从外部引脚到 EHRPWM 模块的同步输入	I	W28
EHRPWM3_SYNCO	从 EHRPWM 模块到外部引脚的同步输出	O	V25
EHRPWM_TZn_IN3	EHRPWM 触发区输入 3 (低电平有效)	I	W27

表 5-74. EHRPWM4 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
EHRPWM4_A	EHRPWM 输出 A	IO	W29
EHRPWM4_B	EHRPWM 输出 B	IO	W26
EHRPWM_TZn_IN4	EHRPWM 触发区输入 4 (低电平有效)	I	Y29

表 5-75. EHRPWM5 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
EHRPWM5_A	EHRPWM 输出 A	IO	Y27
EHRPWM5_B	EHRPWM 输出 B	IO	W24
EHRPWM_TZn_IN5	EHRPWM 触发区输入 5 (低电平有效)	I	W25

5.3.15 USB

5.3.15.1 MAIN 域

备注

SERDES 引脚上提供 USB3 功能。有关更多信息，请参阅节 5.3.16 “SERDES”。

表 5-76. USB0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
USB0_DM	USB 2.0 差分数据 (负)	IO	AJ5
USB0_DP	USB 2.0 差分数据 (正)	IO	AH6
USB0_DRVBUS	USB VBUS 控制输出 (高电平有效)	O	T25、T26、U6、 V4、W3
USB0_ID	USB 2.0 双角色设备角色选择	A	AC6
USB0_RCALIB ⁽²⁾	连接到校准电阻的引脚	A	AB6
USB0_VBUS ⁽¹⁾	USB 电平转换的 VBUS 输入	A	AC7

(1) 需要使用外部电阻分压器来限制施加到该器件引脚的电压。有关更多信息，请参阅节 8.3.4 USB 设计指南。

(2) 即使未使用该引脚，也必须在该引脚和 VSS 之间连接一个外部 500 Ω ±1% 电阻器。

表 5-77. USB1 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
USB1_DM	USB 2.0 差分数据 (负)	IO	AH7
USB1_DP	USB 2.0 差分数据 (正)	IO	AJ6
USB1_DRVBUS	USB VBUS 控制输出 (高电平有效)	O	T25、T26、U6、 V4、W3
USB1_ID	USB 2.0 双角色设备角色选择	A	AD7
USB1_RCALIB ⁽²⁾	连接到校准电阻的引脚	A	AD9
USB1_VBUS ⁽¹⁾	USB 电平转换的 VBUS 输入	A	AD8

(1) 需要使用外部电阻分压器来限制施加到该器件引脚的电压。有关更多信息，请参阅节 8.3.4 USB 设计指南。

(2) 即使未使用该引脚，也必须在该引脚和 VSS 之间连接一个外部 500 Ω ±1% 电阻器。

5.3.16 SERDES

5.3.16.1 MAIN 域

表 5-78. SERDES0 信号说明

信号名称 [1] ⁽²⁾	说明 [2]	引脚类型 [3]	BALL [4]
PCIE0_CLKREQn	PCIE 时钟请求信号	IO	W2
PCIE_REFCLK0N	PCIE 基准时钟输入/输出 (负)	IO	AE17
PCIE_REFCLK0P	PCIE 基准时钟输入/输出 (正)	IO	AD16
SERDES0_REXT ⁽¹⁾	外部校准电阻器	A	AE18

表 5-78. SERDES0 信号说明 (续)

信号名称 [1] (2)	说明 [2]	引脚类型 [3]	BALL [4]
SERDES0_RX0_N	串行器/解串器差分接收数据 (负)	I	AH19
SERDES0_RX0_P	串行器/解串器差分接收数据 (正)	I	AJ18
SERDES0_RX1_N	串行器/解串器差分接收数据 (负)	I	AH18
SERDES0_RX1_P	串行器/解串器差分接收数据 (正)	I	AJ17
SERDES0_TX0_N	串行器/解串器差分发送数据 (负)	O	AF19
SERDES0_TX0_P	串行器/解串器差分发送数据 (正)	O	AG18
SERDES0_TX1_N	串行器/解串器差分发送数据 (负)	O	AF18
SERDES0_TX1_P	串行器/解串器差分发送数据 (正)	O	AG17

(1) 即使未使用该引脚, 也必须在该引脚和 VSS 之间连接一个外部 3.01kΩ ±1% 电阻器。

(2) 这些引脚的功能由 SERDES0_LN[1:0]_CTRL_LANE_FUNC_SEL 来控制。

表 5-79. SERDES1 信号说明

信号名称 [1] (2)	说明 [2]	引脚类型 [3]	BALL [4]
PCIE1_CLKREQn	PCIE 时钟请求信号	IO	W1
PCIE_REFCLK1N	PCIE 基准时钟输入/输出 (负)	IO	AE14
PCIE_REFCLK1P	PCIE 基准时钟输入/输出 (正)	IO	AD15
SERDES1_REXT ⁽¹⁾	外部校准电阻器	A	AE13
SERDES1_RX0_N	串行器/解串器差分接收数据 (负)	I	AH15
SERDES1_RX0_P	串行器/解串器差分接收数据 (正)	I	AJ14
SERDES1_RX1_N	串行器/解串器差分接收数据 (负)	I	AH16
SERDES1_RX1_P	串行器/解串器差分接收数据 (正)	I	AJ15
SERDES1_TX0_N	串行器/解串器差分发送数据 (负)	O	AF15
SERDES1_TX0_P	串行器/解串器差分发送数据 (正)	O	AG14
SERDES1_TX1_N	串行器/解串器差分发送数据 (负)	O	AF16
SERDES1_TX1_P	串行器/解串器差分发送数据 (正)	O	AG15

(1) 即使未使用该引脚, 也必须在该引脚和 VSS 之间连接外部 3.01kΩ ±1% 电阻器。

(2) 这些引脚的功能由 SERDES1_LN[1:0]_CTRL_LANE_FUNC_SEL 来控制。

表 5-80. SERDES2 信号说明

信号名称 [1] (2)	说明 [2]	引脚类型 [3]	BALL [4]
PCIE2_CLKREQn	PCIE 时钟请求信号	IO	P23
PCIE_REFCLK2N	PCIE 基准时钟输入/输出 (负)	IO	AE11
PCIE_REFCLK2P	PCIE 基准时钟输入/输出 (正)	IO	AD12
SERDES2_REXT ⁽¹⁾	外部校准电阻器	A	AD13
SERDES2_RX0_N	串行器/解串器差分接收数据 (负)	I	AH13
SERDES2_RX0_P	串行器/解串器差分接收数据 (正)	I	AJ12
SERDES2_RX1_N	串行器/解串器差分接收数据 (负)	I	AH12
SERDES2_RX1_P	串行器/解串器差分接收数据 (正)	I	AJ11
SERDES2_TX0_N	串行器/解串器差分发送数据 (负)	O	AF13
SERDES2_TX0_P	串行器/解串器差分发送数据 (正)	O	AG12
SERDES2_TX1_N	串行器/解串器差分发送数据 (负)	O	AF12

表 5-80. SERDES2 信号说明 (续)

信号名称 [1] (2)	说明 [2]	引脚类型 [3]	BALL [4]
SERDES2_TX1_P	串行器/解串器差分发送数据 (正)	O	AG11

(1) 即使未使用该引脚, 也必须在该引脚和 VSS 之间连接外部 $3.01k\Omega \pm 1\%$ 电阻器。

(2) 这些引脚的功能由 SERDES2_LN[1:0]_CTRL_LANE_FUNC_SEL 来控制。

表 5-81. SERDES3 信号说明

信号名称 [1] (2)	说明 [2]	引脚类型 [3]	BALL [4]
PCIE3_CLKREQn	PCIE 时钟请求信号	IO	R28
PCIE_REFCLK3N	PCIE 基准时钟输入/输出 (负)	IO	AE9
PCIE_REFCLK3P	PCIE 基准时钟输入/输出 (正)	IO	AD10
SERDES3_REXT ⁽¹⁾	外部校准电阻器	A	AE8
SERDES3_RX0_N	串行器/解串器差分接收数据 (负)	I	AH9
SERDES3_RX0_P	串行器/解串器差分接收数据 (正)	I	AJ8
SERDES3_RX1_N	串行器/解串器差分接收数据 (负)	I	AH10
SERDES3_RX1_P	串行器/解串器差分接收数据 (正)	I	AJ9
SERDES3_TX0_N	串行器/解串器差分发送数据 (负)	O	AF9
SERDES3_TX0_P	串行器/解串器差分发送数据 (正)	O	AG8
SERDES3_TX1_N	串行器/解串器差分发送数据 (负)	O	AF10
SERDES3_TX1_P	串行器/解串器差分发送数据 (正)	O	AG9

(1) 即使未使用该引脚, 也必须在该引脚和 VSS 之间连接外部 $3.01k\Omega \pm 1\%$ 电阻器。

(2) 这些引脚的功能由 SERDES3_LN[1:0]_CTRL_LANE_FUNC_SEL 来控制。

表 5-82. SERDES4 信号说明

信号名称 [1] (2)	说明 [2]	引脚类型 [3]	BALL [4]
SERDES4_REFCLK_N	SERDES 基准差分时钟 (负)	IO	E7
SERDES4_REFCLK_P	SERDES 基准差分时钟 (正)	IO	E8
SERDES4_REXT ⁽¹⁾	外部校准电阻器	A	F9
SERDES4_RX0_N	串行器/解串器差分接收数据 (负)	I	D9
SERDES4_RX0_P	串行器/解串器差分接收数据 (正)	I	C10
SERDES4_RX1_N	串行器/解串器差分接收数据 (负)	I	D8
SERDES4_RX1_P	串行器/解串器差分接收数据 (正)	I	C9
SERDES4_RX2_N	串行器/解串器差分接收数据 (负)	I	D6
SERDES4_RX2_P	串行器/解串器差分接收数据 (正)	I	C7
SERDES4_RX3_N	串行器/解串器差分接收数据 (负)	I	D5
SERDES4_RX3_P	串行器/解串器差分接收数据 (正)	I	C6
SERDES4_TX0_N	串行器/解串器差分发送数据 (负)	O	B11
SERDES4_TX0_P	串行器/解串器差分发送数据 (正)	O	A12
SERDES4_TX1_N	串行器/解串器差分发送数据 (负)	O	B10
SERDES4_TX1_P	串行器/解串器差分发送数据 (正)	O	A11
SERDES4_TX2_N	串行器/解串器差分发送数据 (负)	O	B8
SERDES4_TX2_P	串行器/解串器差分发送数据 (正)	O	A9
SERDES4_TX3_N	串行器/解串器差分发送数据 (负)	O	B7

表 5-82. SERDES4 信号说明 (续)

信号名称 [1] (2)	说明 [2]	引脚类型 [3]	BALL [4]
SERDES4_TX3_P	串行器/解串器差分发送数据 (正)	O	A8

(1) 即使未使用该引脚, 也必须在该引脚和 VSS 之间连接外部 $3.01k\Omega \pm 1\%$ 电阻器。

(2) 这些引脚的功能由 SERDES4_LN[4:0]_CTRL_LANE_FUNC_SEL 来控制。

5.3.17 OSPI

5.3.17.1 MCU 域

表 5-83. OSPI0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCU_OSPI0_CLK	OSPI 时钟	O	E20
MCU_OSPI0_DQS	OSPI 数据选通 (DQS) 或环回时钟输入	I	D21
MCU_OSPI0_ECC_FAIL (1)	OSPI ECC 状态	I	B23
MCU_OSPI0_LBCLKO	OSPI 环回时钟输出	IO	C21
MCU_OSPI0_CSn0	OSPI 片选 0 (低电平有效)	O	F19
MCU_OSPI0_CSn1	OSPI 片选 1 (低电平有效)	O	E19
MCU_OSPI0_CSn2	OSPI 片选 2 (低电平有效)	O	A23
MCU_OSPI0_CSn3	OSPI 片选 3 (低电平有效)	O	B23
MCU_OSPI0_D0	OSPI 数据 0	IO	D20
MCU_OSPI0_D1	OSPI 数据 1	IO	G19
MCU_OSPI0_D2	OSPI 数据 2	IO	G20
MCU_OSPI0_D3	OSPI 数据 3	IO	F20
MCU_OSPI0_D4	OSPI 数据 4	IO	F21
MCU_OSPI0_D5	OSPI 数据 5	IO	E21
MCU_OSPI0_D6	OSPI 数据 6	IO	B22
MCU_OSPI0_D7	OSPI 数据 7	IO	G21
MCU_OSPI0_RESET_OUT0	OSPI 复位	O	A23
MCU_OSPI0_RESET_OUT1	OSPI 复位	O	E22

(1) 建议在此信号端使用外部上拉电阻连接到相应的电源。

表 5-84. OSPI1 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCU_OSPI1_CLK	OSPI 时钟	O	F22
MCU_OSPI1_DQS	OSPI 数据选通 (DQS) 或环回时钟输入	I	B23
MCU_OSPI1_LBCLKO	OSPI 环回时钟输出	IO	A23
MCU_OSPI1_CSn0	OSPI 片选 0 (低电平有效)	O	C22
MCU_OSPI1_CSn1	OSPI 片选 1 (低电平有效)	O	E22
MCU_OSPI1_D0	OSPI 数据 0	IO	D22
MCU_OSPI1_D1	OSPI 数据 1	IO	G22
MCU_OSPI1_D2	OSPI 数据 2	IO	D23
MCU_OSPI1_D3	OSPI 数据 3	IO	C23

5.3.18 Hyperbus

5.3.18.1 MCU 域

表 5-85. HYPERBUS0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCU_HYPERBUS0_CK	Hyperbus 差分时钟 (正)	O	E20
MCU_HYPERBUS0_CKn	Hyperbus 差分时钟 (负)	O	C21
MCU_HYPERBUS0_INTn	Hyperbus 中断 (低电平有效)	I	B23
MCU_HYPERBUS0_RESETh	Hyperbus 复位 (低电平有效) 输出	O	E19
MCU_HYPERBUS0_RESEThOn	Hyperbus 存储器中的 Hyperbus 复位状态指示器 (低电平有效)	I	A23
MCU_HYPERBUS0_RWDS	Hyperbus 读写数据选通	IO	D21
MCU_HYPERBUS0_WPn	Hyperbus 写保护 (未使用)	O	E22
MCU_HYPERBUS0_CSn0	Hyperbus 片选 0	O	F19
MCU_HYPERBUS0_CSn1	Hyperbus 片选 1	O	E22
MCU_HYPERBUS0_DQ0	Hyperbus 数据 0	IO	D20
MCU_HYPERBUS0_DQ1	Hyperbus 数据 1	IO	G19
MCU_HYPERBUS0_DQ2	Hyperbus 数据 2	IO	G20
MCU_HYPERBUS0_DQ3	Hyperbus 数据 3	IO	F20
MCU_HYPERBUS0_DQ4	Hyperbus 数据 4	IO	F21
MCU_HYPERBUS0_DQ5	Hyperbus 数据 5	IO	E21
MCU_HYPERBUS0_DQ6	Hyperbus 数据 6	IO	B22
MCU_HYPERBUS0_DQ7	Hyperbus 数据 7	IO	G21

5.3.19 GPMC

5.3.19.1 MAIN 域

表 5-86. GPMC0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
GPMC0_FCLK_MUX	通过多路复用器逻辑选择的 GPMC 功能时钟输出	O	AB23
GPMC0_ADVn_ALE	GPMC 地址有效 (低电平有效) 或地址锁存使能	O	AG20
GPMC0_CLKOUT	为外部同步生成的 GPMC 时钟	O	AB23
GPMC0_DIR	GPMC 数据总线信号方向控制	O	AJ23、W25
GPMC0_OEn_REn	GPMC 输出使能 (低电平有效) 或读取使能 (低电平有效)	O	AJ20
GPMC0_WEn	GPMC 写入使能 (低电平有效)	O	AD20
GPMC0_WPn	GPMC 闪存写保护 (低电平有效)	O	AG21
GPMC0_A0	GPMC 地址 0 输出。仅用于有效寻址 8 位数据非多路复用存储器	OZ	AA27
GPMC0_A1	A/D 非多路复用模式下为 GPMC 地址 1 输出, A/D 多路复用模式下为地址 17	OZ	U23
GPMC0_A2	A/D 非多路复用模式下为 GPMC 地址 2 输出, A/D 多路复用模式下为地址 18	OZ	U26
GPMC0_A3	A/D 非多路复用模式下为 GPMC 地址 3 输出, A/D 多路复用模式下为地址 19	OZ	V28
GPMC0_A4	A/D 非多路复用模式下为 GPMC 地址 4 输出, A/D 多路复用模式下为地址 20	OZ	V29

表 5-86. GPMC0 信号说明 (续)

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
GPMC0_A5	A/D 非多路复用模式下为 GPMC 地址 5 输出, A/D 多路复用模式下为地址 21	OZ	V27
GPMC0_A6	A/D 非多路复用模式下为 GPMC 地址 6 输出, A/D 多路复用模式下为地址 22	OZ	U28
GPMC0_A7	A/D 非多路复用模式下为 GPMC 地址 7 输出, A/D 多路复用模式下为地址 23	OZ	U29
GPMC0_A8	A/D 非多路复用模式下为 GPMC 地址 8 输出, A/D 多路复用模式下为地址 24	OZ	U25
GPMC0_A9	A/D 非多路复用模式下为 GPMC 地址 9 输出, A/D 多路复用模式下为地址 25	OZ	U27
GPMC0_A10	A/D 非多路复用模式下为 GPMC 地址 10 输出, A/D 多路复用模式下为地址 26	OZ	U24
GPMC0_A11	A/D 非多路复用模式下为 GPMC 地址 11 输出, A/D 多路复用模式下未使用	OZ	R23
GPMC0_A12	A/D 非多路复用模式下为 GPMC 地址 12 输出, A/D 多路复用模式下未使用	OZ	T23
GPMC0_A13	A/D 非多路复用模式下为 GPMC 地址 13 输出, A/D 多路复用模式下未使用	OZ	Y28
GPMC0_A14	A/D 非多路复用模式下为 GPMC 地址 14 输出, A/D 多路复用模式下未使用	OZ	V23
GPMC0_A15	A/D 非多路复用模式下为 GPMC 地址 15 输出, A/D 多路复用模式下未使用	OZ	W23
GPMC0_A16	A/D 非多路复用模式下为 GPMC 地址 16 输出, A/D 多路复用模式下未使用	OZ	W28
GPMC0_A17	A/D 非多路复用模式下为 GPMC 地址 17 输出, A/D 多路复用模式下未使用	OZ	V25
GPMC0_A18	A/D 非多路复用模式下为 GPMC 地址 18 输出, A/D 多路复用模式下未使用	OZ	W27
GPMC0_A19	A/D 非多路复用模式下为 GPMC 地址 19 输出, A/D 多路复用模式下未使用	OZ	W29
GPMC0_A20	A/D 非多路复用模式下为 GPMC 地址 20 输出, A/D 多路复用模式下未使用	OZ	W26
GPMC0_A21	A/D 非多路复用模式下为 GPMC 地址 21 输出, A/D 多路复用模式下未使用	OZ	Y29
GPMC0_A22	A/D 非多路复用模式下为 GPMC 地址 22 输出, A/D 多路复用模式下未使用	OZ	Y27
GPMC0_A23	A/D 非多路复用模式下为 GPMC 地址 23 输出, A/D 多路复用模式下未使用	OZ	AD27
GPMC0_A24	A/D 非多路复用模式下为 GPMC 地址 24 输出, A/D 多路复用模式下未使用	OZ	AD29
GPMC0_A25	A/D 非多路复用模式下为 GPMC 地址 25 输出, A/D 多路复用模式下未使用	OZ	AC26
GPMC0_A26	A/D 非多路复用模式下为 GPMC 地址 26 输出, A/D 多路复用模式下未使用	OZ	AG26
GPMC0_A27	A/D 非多路复用模式下为 GPMC 地址 27, A/D 多路复用模式下为地址 27	OZ	Y26
GPMC0_AD0	A/D 非多路复用模式下为 GPMC 数据 0 输入/输出, A/D 多路复用模式下为附加的地址 1 输出	IO	AC29
GPMC0_AD1	A/D 非多路复用模式下为 GPMC 数据 1 输入/输出, A/D 多路复用模式下为附加的地址 2 输出	IO	AC28

表 5-86. GPMC0 信号说明 (续)

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
GPMC0_AD2	A/D 非多路复用模式下为 GPMC 数据 2 输入/输出, A/D 多路复用模式下为附加的地址 3 输出	IO	AC27
GPMC0_AD3	A/D 非多路复用模式下为 GPMC 数据 3 输入/输出, A/D 多路复用模式下为附加的地址 4 输出	IO	AB26
GPMC0_AD4	A/D 非多路复用模式下为 GPMC 数据 4 输入/输出, A/D 多路复用模式下为附加的地址 5 输出	IO	AB25
GPMC0_AD5	A/D 非多路复用模式下为 GPMC 数据 5 输入/输出, A/D 多路复用模式下为附加的地址 6 输出	IO	AB24
GPMC0_AD6	A/D 非多路复用模式下为 GPMC 数据 6 输入/输出, A/D 多路复用模式下为附加的地址 7 输出	IO	AB29
GPMC0_AD7	A/D 非多路复用模式下为 GPMC 数据 7 输入/输出, A/D 多路复用模式下为附加的地址 8 输出	IO	AB28
GPMC0_AD8	A/D 非多路复用模式下为 GPMC 数据 8 输入/输出, A/D 多路复用模式下为附加的地址 9 输出	IO	AB27
GPMC0_AD9	A/D 非多路复用模式下为 GPMC 数据 9 输入/输出, A/D 多路复用模式下为附加的地址 10 输出	IO	AA24
GPMC0_AD10	A/D 非多路复用模式下为 GPMC 数据 10 输入/输出, A/D 多路复用模式下为附加的地址 11 输出	IO	AA28
GPMC0_AD11	A/D 非多路复用模式下为 GPMC 数据 11 输入/输出, A/D 多路复用模式下为附加的地址 12 输出	IO	Y24
GPMC0_AD12	A/D 非多路复用模式下为 GPMC 数据 12 输入/输出, A/D 多路复用模式下为附加的地址 13 输出	IO	AA25
GPMC0_AD13	A/D 非多路复用模式下为 GPMC 数据 13 输入/输出, A/D 多路复用模式下为附加的地址 14 输出	IO	Y25
GPMC0_AD14	A/D 非多路复用模式下为 GPMC 数据 14 输入/输出, A/D 多路复用模式下为附加的地址 15 输出	IO	AA26
GPMC0_AD15	A/D 非多路复用模式下为 GPMC 数据 15 输入/输出, A/D 多路复用模式下为附加的地址 16 输出	IO	AA29
GPMC0_BE0n_CLE	GPMC 低位字节使能 (低电平有效) 或命令锁存使能	O	AD21
GPMC0_BE1n	GPMC 高位字节使能 (低电平有效)	O	AC23、W24
GPMC0_CSn0	GPMC 片选 0 (低电平有效)	O	AF21
GPMC0_CSn1	GPMC 片选 1 (低电平有效)	O	Y23
GPMC0_CSn2	GPMC 片选 2 (低电平有效)	O	AH23
GPMC0_CSn3	GPMC 片选 3 (低电平有效)	O	AD22
GPMC0_WAIT0	GPMC 外部等待指示	I	AG22
GPMC0_WAIT1	GPMC 外部等待指示	I	AF22
GPMC0_WAIT2	GPMC 外部等待指示	I	V24
GPMC0_WAIT3	GPMC 外部等待指示	I	V26

5.3.20 MMC

5.3.20.1 MAIN 域

表 5-87. MMC0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MMC0_CALPAD ⁽¹⁾	MMC/SD/SDIO 校准电阻器	A	AE1
MMC0_CLK	MMC/SD/SDIO 时钟	O	AF1

表 5-87. MMC0 信号说明 (续)

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MMC0_CMD ⁽²⁾	MMC/SD/SDIO 命令	IO	AE3
MMC0_DS	MMC 数据选通	IO	AE4
MMC0_DAT0 ⁽²⁾	MMC/SD/SDIO 数据	IO	AG2
MMC0_DAT1 ⁽²⁾	MMC/SD/SDIO 数据	IO	AH1
MMC0_DAT2 ⁽²⁾	MMC/SD/SDIO 数据	IO	AG3
MMC0_DAT3 ⁽²⁾	MMC/SD/SDIO 数据	IO	AF4
MMC0_DAT4 ⁽²⁾	MMC/SD/SDIO 数据	IO	AE5
MMC0_DAT5 ⁽²⁾	MMC/SD/SDIO 数据	IO	AF3
MMC0_DAT6 ⁽²⁾	MMC/SD/SDIO 数据	IO	AG1
MMC0_DAT7 ⁽²⁾	MMC/SD/SDIO 数据	IO	AF2

- (1) 必须在引脚和 VSS 之间连接一个外部 10k Ω $\pm$ 1% 电阻器。不应向该引脚施加外部电压。
(2) 按照规格中的规定, 10k Ω ~ 50k Ω $\pm$ 1% 电阻器的外部上拉电阻器必须连接到该焊球, 以确保正常运行。

表 5-88. MMC1 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MMC1_CLK ⁽¹⁾	MMC/SD/SDIO 时钟	IO	P25
MMC1_CMD	MMC/SD/SDIO 命令	IO	R29
MMC1_SDCD ⁽²⁾	SD 卡检测	I	P23
MMC1_SDWP	SD 写保护	I	R28
MMC1_DAT0	MMC/SD/SDIO 数据	IO	R24
MMC1_DAT1	MMC/SD/SDIO 数据	IO	P24
MMC1_DAT2	MMC/SD/SDIO 数据	IO	R25
MMC1_DAT3	MMC/SD/SDIO 数据	IO	R26

- (1) 为了让 MMC1_CLK 信号正常工作, 出于重定时目的, CTRLMMR_PADCONFIG171 寄存器的 RXACTIVE 位应设置为 0x1。
(2) 为了从 MMC1 接口进行 ROM 引导以正常工作, 应使用一个电阻器从外部将 MMC1_SDCD 引脚拉至低电平, 以指示存在 SD 卡/存储器器件。

表 5-89. MMC2 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MMC2_CLK ⁽¹⁾	MMC/SD/SDIO 时钟	IO	T26
MMC2_CMD	MMC/SD/SDIO 命令	IO	T25
MMC2_SDCD ⁽²⁾	SD 卡检测	I	W2
MMC2_SDWP	SD 写保护	I	W1
MMC2_DAT0	MMC/SD/SDIO 数据	IO	T24
MMC2_DAT1	MMC/SD/SDIO 数据	IO	T27
MMC2_DAT2	MMC/SD/SDIO 数据	IO	T29
MMC2_DAT3	MMC/SD/SDIO 数据	IO	T28

- (1) 为了让 MMC2_CLK 信号正常工作, 出于重定时目的, CTRLMMR_PADCONFIG172 寄存器的 RXACTIVE 位应设置为 0x1。
(2) 为了让 MMC2 模块正常工作, 应将 MMC2_SDCD 引脚拉至低电平, 以指示存在 SD 卡/存储器器件。

5.3.21 CPTS

备注

一些 CPTS 信号直接连接到器件内的 CPTS 模块。其他 CPTS 信号连接到时间同步路由器，并扇出到链接到路由器的外设。输入信号发送到外设，而输出信号则来自外设。有关更多信息，请参阅器件 TRM 的“时间同步”一章中的“时间同步和比较事件”一节。

5.3.21.1 MCU 域

表 5-90. MCU_CPTS0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCU_CPTS0_RFT_CLK	CPTS 基准时钟	I	H26
MCU_CPTS0_TS_COMP	来自 MCU_CPSW0_CPTS0 的时间戳计数器比较	O	G26
MCU_CPTS0_TS_SYNC	来自 MCU_CPSW0_CPTS0 的时间戳计数器位	O	G27
MCU_CPTS0_HW1TSPUSH	时间同步路由器的硬件时间戳推送 1 输入和 MCU_CPSW0_CPTS0	I	F29
MCU_CPTS0_HW2TSPUSH	时间同步路由器的硬件时间戳推送 2 输入和 MCU_CPSW0_CPTS0	I	G28

5.3.21.2 MAIN 域

表 5-91. CPTS0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
CPTS0_RFT_CLK	CPTS 基准时钟	I	U2
CPTS0_TS_COMP	来自 NAVSS0_CPTS0 的时间戳计数器比较	O	Y4
CPTS0_TS_SYNC	来自 NAVSS0_CPTS0 的时间戳计数器位	O	W4
CPTS0_HW1TSPUSH	时间同步路由器的硬件时间戳推送输入	I	T28、Y6
CPTS0_HW2TSPUSH	时间同步路由器的硬件时间戳推送输入	I	AA6、T29
SYNC0_OUT	来自时间同步路由器的时间戳生成器位 0	O	U2
SYNC1_OUT	来自时间同步路由器的时间戳生成器位 1	O	U3
SYNC2_OUT	来自时间同步路由器的时间戳生成器位 2	O	V28
SYNC3_OUT	来自时间同步路由器的时间戳生成器位 3	O	V29

5.3.22 UFS

5.3.22.1 MAIN 域

表 5-92. UFS0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
UFS0_REF_CLK	UFS 基准时钟	O	AE6
UFS0_RSTn	UFS 复位输出	O	AD6
UFS0_RX_DN0	UFS 通道 0 差分接收数据 (负)	I	AH3
UFS0_RX_DP0	UFS 通道 0 差分接收数据 (正)	I	AJ2
UFS0_RX_DN1	UFS 通道 1 差分接收数据 (负)	I	AH4
UFS0_RX_DP1	UFS 通道 1 差分接收数据 (正)	I	AJ3
UFS0_TX_DN0	UFS 通道 0 差分发送数据 (负)	O	AG6
UFS0_TX_DP0	UFS 通道 0 差分发送数据 (正)	O	AF7

表 5-92. UFS0 信号说明 (续)

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
UFS0_TX_DN1	UFS 通道 1 差分数据 (负)	O	AG5
UFS0_TX_DP1	UFS 通道 1 差分数据 (正)	O	AF6

5.3.23 PRU_ICSSG [当前不受支持]

5.3.23.1 MAIN 域

表 5-93. PRU_ICSSG0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
PRG0_ECAP0_IN_APWM_OUT	PRU_ICSSG 增强型捕获 (ECAP) 输入或辅助 PWM (APWM) 输出	IO	AB29
PRG0_ECAP0_SYNC_IN	PRU_ICSSG ECAP 同步输入	I	AC28
PRG0_ECAP0_SYNC_OUT	PRU_ICSSG ECAP 同步输出	O	AB24
PRG0_IEP0_EDIO_OUTVALID	PRU_ICSSG 工业以太网数字 I/O 输出有效	O	Y3
PRG0_IEP0_EDC_LATCH_IN0	PRU_ICSSG 工业以太网分布式时钟锁存输入	I	AB29、Y3
PRG0_IEP0_EDC_LATCH_IN1	PRU_ICSSG 工业以太网分布式时钟锁存输入	I	AC28、P23
PRG0_IEP0_EDC_SYNC_OUT0	PRU_ICSSG 工业以太网分布式时钟同步输出	O	AB28、Y1
PRG0_IEP0_EDC_SYNC_OUT1	PRU_ICSSG 工业以太网分布式时钟同步输出	O	AB24、R28
PRG0_IEP0_EDIO_DATA_IN_OUT28	PRU_ICSSG 工业以太网数字 I/O 数据输入/输出	IO	AB26
PRG0_IEP0_EDIO_DATA_IN_OUT29	PRU_ICSSG 工业以太网数字 I/O 数据输入/输出	IO	AB25
PRG0_IEP0_EDIO_DATA_IN_OUT30	PRU_ICSSG 工业以太网数字 I/O 数据输入/输出	IO	Y24
PRG0_IEP0_EDIO_DATA_IN_OUT31	PRU_ICSSG 工业以太网数字 I/O 数据输入/输出	IO	AA25
PRG0_IEP1_EDC_LATCH_IN0	PRU_ICSSG 工业以太网分布式时钟锁存输入	I	AA26、Y5
PRG0_IEP1_EDC_LATCH_IN1	PRU_ICSSG 工业以太网分布式时钟锁存输入	I	AA24、T27
PRG0_IEP1_EDC_SYNC_OUT0	PRU_ICSSG 工业以太网分布式时钟同步输出	O	AA29、Y2
PRG0_IEP1_EDC_SYNC_OUT1	PRU_ICSSG 工业以太网分布式时钟同步输出	O	T24、Y25
PRG0_MDIO0_MDC	PRU_ICSSG MDIO 时钟	O	AA27
PRG0_MDIO0_MDIO	PRU_ICSSG MDIO 数据	IO	Y26
PRG0_PRU0_GPI0	PRU_ICSSG PRU 数据输入	I	AF28
PRG0_PRU0_GPI1	PRU_ICSSG PRU 数据输入	I	AE28
PRG0_PRU0_GPI2	PRU_ICSSG PRU 数据输入	I	AE27
PRG0_PRU0_GPI3	PRU_ICSSG PRU 数据输入	I	AD26
PRG0_PRU0_GPI4	PRU_ICSSG PRU 数据输入	I	AD25
PRG0_PRU0_GPI5	PRU_ICSSG PRU 数据输入	I	AC29
PRG0_PRU0_GPI6	PRU_ICSSG PRU 数据输入	I	AE26
PRG0_PRU0_GPI7	PRU_ICSSG PRU 数据输入	I	AC28
PRG0_PRU0_GPI8	PRU_ICSSG PRU 数据输入	I	AC27
PRG0_PRU0_GPI9	PRU_ICSSG PRU 数据输入	I	AB26
PRG0_PRU0_GPI10	PRU_ICSSG PRU 数据输入	I	AB25
PRG0_PRU0_GPI11	PRU_ICSSG PRU 数据输入	I	AJ28
PRG0_PRU0_GPI12	PRU_ICSSG PRU 数据输入	I	AH27
PRG0_PRU0_GPI13	PRU_ICSSG PRU 数据输入	I	AH29
PRG0_PRU0_GPI14	PRU_ICSSG PRU 数据输入	I	AG28

表 5-93. PRU_ICSSG0 信号说明 (续)

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
PRG0_PRU0_GPI15	PRU_ICSSG PRU 数据输入	I	AG27
PRG0_PRU0_GPI16	PRU_ICSSG PRU 数据输入	I	AH28
PRG0_PRU0_GPI17	PRU_ICSSG PRU 数据输入	I	AB24
PRG0_PRU0_GPI18	PRU_ICSSG PRU 数据输入	I	AB29
PRG0_PRU0_GPI19	PRU_ICSSG PRU 数据输入	I	AB28
PRG0_PRU0_GPO0	PRU_ICSSG PRU 数据输出	IO	AF28
PRG0_PRU0_GPO1	PRU_ICSSG PRU 数据输出	IO	AE28
PRG0_PRU0_GPO2	PRU_ICSSG PRU 数据输出	IO	AE27
PRG0_PRU0_GPO3	PRU_ICSSG PRU 数据输出	IO	AD26
PRG0_PRU0_GPO4	PRU_ICSSG PRU 数据输出	IO	AD25
PRG0_PRU0_GPO5	PRU_ICSSG PRU 数据输出	IO	AC29
PRG0_PRU0_GPO6	PRU_ICSSG PRU 数据输出	IO	AE26
PRG0_PRU0_GPO7	PRU_ICSSG PRU 数据输出	IO	AC28
PRG0_PRU0_GPO8	PRU_ICSSG PRU 数据输出	IO	AC27
PRG0_PRU0_GPO9	PRU_ICSSG PRU 数据输出	IO	AB26
PRG0_PRU0_GPO10	PRU_ICSSG PRU 数据输出	IO	AB25
PRG0_PRU0_GPO11	PRU_ICSSG PRU 数据输出	IO	AJ28
PRG0_PRU0_GPO12	PRU_ICSSG PRU 数据输出	IO	AH27
PRG0_PRU0_GPO13	PRU_ICSSG PRU 数据输出	IO	AH29
PRG0_PRU0_GPO14	PRU_ICSSG PRU 数据输出	IO	AG28
PRG0_PRU0_GPO15	PRU_ICSSG PRU 数据输出	IO	AG27
PRG0_PRU0_GPO16	PRU_ICSSG PRU 数据输出	IO	AH28
PRG0_PRU0_GPO17	PRU_ICSSG PRU 数据输出	IO	AB24
PRG0_PRU0_GPO18	PRU_ICSSG PRU 数据输出	IO	AB29
PRG0_PRU0_GPO19	PRU_ICSSG PRU 数据输出	IO	AB28
PRG0_PRU1_GPI0	PRU_ICSSG PRU 数据输入	I	AE29
PRG0_PRU1_GPI1	PRU_ICSSG PRU 数据输入	I	AD28
PRG0_PRU1_GPI2	PRU_ICSSG PRU 数据输入	I	AD27
PRG0_PRU1_GPI3	PRU_ICSSG PRU 数据输入	I	AC25
PRG0_PRU1_GPI4	PRU_ICSSG PRU 数据输入	I	AD29
PRG0_PRU1_GPI5	PRU_ICSSG PRU 数据输入	I	AB27
PRG0_PRU1_GPI6	PRU_ICSSG PRU 数据输入	I	AC26
PRG0_PRU1_GPI7	PRU_ICSSG PRU 数据输入	I	AA24
PRG0_PRU1_GPI8	PRU_ICSSG PRU 数据输入	I	AA28
PRG0_PRU1_GPI9	PRU_ICSSG PRU 数据输入	I	Y24
PRG0_PRU1_GPI10	PRU_ICSSG PRU 数据输入	I	AA25
PRG0_PRU1_GPI11	PRU_ICSSG PRU 数据输入	I	AG26
PRG0_PRU1_GPI12	PRU_ICSSG PRU 数据输入	I	AF27
PRG0_PRU1_GPI13	PRU_ICSSG PRU 数据输入	I	AF26
PRG0_PRU1_GPI14	PRU_ICSSG PRU 数据输入	I	AE25
PRG0_PRU1_GPI15	PRU_ICSSG PRU 数据输入	I	AF29
PRG0_PRU1_GPI16	PRU_ICSSG PRU 数据输入	I	AG29

表 5-93. PRU_ICSSG0 信号说明 (续)

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
PRG0_PRU1_GPI17	PRU_ICSSG PRU 数据输入	I	Y25
PRG0_PRU1_GPI18	PRU_ICSSG PRU 数据输入	I	AA26
PRG0_PRU1_GPI19	PRU_ICSSG PRU 数据输入	I	AA29
PRG0_PRU1_GPO0	PRU_ICSSG PRU 数据输出	IO	AE29
PRG0_PRU1_GPO1	PRU_ICSSG PRU 数据输出	IO	AD28
PRG0_PRU1_GPO2	PRU_ICSSG PRU 数据输出	IO	AD27
PRG0_PRU1_GPO3	PRU_ICSSG PRU 数据输出	IO	AC25
PRG0_PRU1_GPO4	PRU_ICSSG PRU 数据输出	IO	AD29
PRG0_PRU1_GPO5	PRU_ICSSG PRU 数据输出	IO	AB27
PRG0_PRU1_GPO6	PRU_ICSSG PRU 数据输出	IO	AC26
PRG0_PRU1_GPO7	PRU_ICSSG PRU 数据输出	IO	AA24
PRG0_PRU1_GPO8	PRU_ICSSG PRU 数据输出	IO	AA28
PRG0_PRU1_GPO9	PRU_ICSSG PRU 数据输出	IO	Y24
PRG0_PRU1_GPO10	PRU_ICSSG PRU 数据输出	IO	AA25
PRG0_PRU1_GPO11	PRU_ICSSG PRU 数据输出	IO	AG26
PRG0_PRU1_GPO12	PRU_ICSSG PRU 数据输出	IO	AF27
PRG0_PRU1_GPO13	PRU_ICSSG PRU 数据输出	IO	AF26
PRG0_PRU1_GPO14	PRU_ICSSG PRU 数据输出	IO	AE25
PRG0_PRU1_GPO15	PRU_ICSSG PRU 数据输出	IO	AF29
PRG0_PRU1_GPO16	PRU_ICSSG PRU 数据输出	IO	AG29
PRG0_PRU1_GPO17	PRU_ICSSG PRU 数据输出	IO	Y25
PRG0_PRU1_GPO18	PRU_ICSSG PRU 数据输出	IO	AA26
PRG0_PRU1_GPO19	PRU_ICSSG PRU 数据输出	IO	AA29
PRG0_PWM0_TZ_IN	PRU_ICSSG PWM 跳闸区输入	I	AB29
PRG0_PWM0_TZ_OUT	PRU_ICSSG PWM 跳闸区输出	O	AB28
PRG0_PWM1_TZ_IN	PRU_ICSSG PWM 跳闸区输入	I	AA26
PRG0_PWM1_TZ_OUT	PRU_ICSSG PWM 跳闸区输出	O	AA29
PRG0_PWM2_TZ_IN	PRU_ICSSG PWM 跳闸区输入	I	AA25
PRG0_PWM2_TZ_OUT	PRU_ICSSG PWM 跳闸区输出	O	AA28
PRG0_PWM3_TZ_IN	PRU_ICSSG PWM 跳闸区输入	I	AB26
PRG0_PWM3_TZ_OUT	PRU_ICSSG PWM 跳闸区输出	O	AJ28
PRG0_PWM0_A0	PRU_ICSSG PWM 输出 A	IO	AH27
PRG0_PWM0_A1	PRU_ICSSG PWM 输出 A	IO	AG28
PRG0_PWM0_A2	PRU_ICSSG PWM 输出 A	IO	AH28
PRG0_PWM0_B0	PRU_ICSSG PWM 输出 B	IO	AH29
PRG0_PWM0_B1	PRU_ICSSG PWM 输出 B	IO	AG27
PRG0_PWM0_B2	PRU_ICSSG PWM 输出 B	IO	AB24
PRG0_PWM1_A0	PRU_ICSSG PWM 输出 A	IO	AF27
PRG0_PWM1_A1	PRU_ICSSG PWM 输出 A	IO	AE25
PRG0_PWM1_A2	PRU_ICSSG PWM 输出 A	IO	AG29
PRG0_PWM1_B0	PRU_ICSSG PWM 输出 B	IO	AF26
PRG0_PWM1_B1	PRU_ICSSG PWM 输出 B	IO	AF29

表 5-93. PRU_ICSSG0 信号说明 (续)

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
PRG0_PWM1_B2	PRU_ICSSG PWM 输出 B	IO	Y25
PRG0_PWM2_A0	PRU_ICSSG PWM 输出 A	IO	AE27
PRG0_PWM2_A1	PRU_ICSSG PWM 输出 A	IO	AC27
PRG0_PWM2_A2	PRU_ICSSG PWM 输出 A	IO	AD27
PRG0_PWM2_B0	PRU_ICSSG PWM 输出 B	IO	AD25
PRG0_PWM2_B1	PRU_ICSSG PWM 输出 B	IO	AB25
PRG0_PWM2_B2	PRU_ICSSG PWM 输出 B	IO	AD29
PRG0_PWM3_A0	PRU_ICSSG PWM 输出 A	IO	AF28
PRG0_PWM3_A1	PRU_ICSSG PWM 输出 A	IO	AE26
PRG0_PWM3_A2	PRU_ICSSG PWM 输出 A	IO	AD26
PRG0_PWM3_B0	PRU_ICSSG PWM 输出 B	IO	AE28
PRG0_PWM3_B1	PRU_ICSSG PWM 输出 B	IO	AC28
PRG0_PWM3_B2	PRU_ICSSG PWM 输出 B	IO	AC29
PRG0_RGMII1_RXC	PRU_ICSSG RGMII 接收时钟	I	AE26
PRG0_RGMII1_RX_CTL	PRU_ICSSG RGMII 接收控制	I	AD25
PRG0_RGMII1_TXC	PRU_ICSSG RGMII 发送时钟	IO	AH28
PRG0_RGMII1_TX_CTL	PRU_ICSSG RGMII 发送控制	O	AG27
PRG0_RGMII2_RXC	PRU_ICSSG RGMII 接收时钟	I	AC26
PRG0_RGMII2_RX_CTL	PRU_ICSSG RGMII 接收控制	I	AD29
PRG0_RGMII2_TXC	PRU_ICSSG RGMII 发送时钟	IO	AG29
PRG0_RGMII2_TX_CTL	PRU_ICSSG RGMII 发送控制	O	AF29
PRG0_RGMII1_RD0	PRU_ICSSG RGMII 接收数据	I	AF28
PRG0_RGMII1_RD1	PRU_ICSSG RGMII 接收数据	I	AE28
PRG0_RGMII1_RD2	PRU_ICSSG RGMII 接收数据	I	AE27
PRG0_RGMII1_RD3	PRU_ICSSG RGMII 接收数据	I	AD26
PRG0_RGMII1_TD0	PRU_ICSSG RGMII 发送数据	O	AJ28
PRG0_RGMII1_TD1	PRU_ICSSG RGMII 发送数据	O	AH27
PRG0_RGMII1_TD2	PRU_ICSSG RGMII 发送数据	O	AH29
PRG0_RGMII1_TD3	PRU_ICSSG RGMII 发送数据	O	AG28
PRG0_RGMII2_RD0	PRU_ICSSG RGMII 接收数据	I	AE29
PRG0_RGMII2_RD1	PRU_ICSSG RGMII 接收数据	I	AD28
PRG0_RGMII2_RD2	PRU_ICSSG RGMII 接收数据	I	AD27
PRG0_RGMII2_RD3	PRU_ICSSG RGMII 接收数据	I	AC25
PRG0_RGMII2_TD0	PRU_ICSSG RGMII 发送数据	O	AG26
PRG0_RGMII2_TD1	PRU_ICSSG RGMII 发送数据	O	AF27
PRG0_RGMII2_TD2	PRU_ICSSG RGMII 发送数据	O	AF26
PRG0_RGMII2_TD3	PRU_ICSSG RGMII 发送数据	O	AE25
PRG0_UART0_CTSn	PRU_ICSSG UART 允许发送 (低电平有效)	I	AB26
PRG0_UART0_RTSn	PRU_ICSSG UART 请求发送 (低电平有效)	O	AB25
PRG0_UART0_RXD	PRU_ICSSG UART 接收数据	I	Y24
PRG0_UART0_TXD	PRU_ICSSG UART 发送数据	O	AA25

表 5-94. PRU_ICSSG1 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
PRG1_ECAP0_IN_APWM_OUT	PRU_ICSSG 增强型捕获 (ECAP) 输入或辅助 PWM (APWM) 输出	IO	AH22
PRG1_ECAP0_SYNC_IN	PRU_ICSSG ECAP 同步输入	I	AJ22
PRG1_ECAP0_SYNC_OUT	PRU_ICSSG ECAP 同步输出	O	AC22
PRG1_IEP0_EDIO_OUTVALID	PRU_ICSSG 工业以太网数字 I/O 输出有效	O	Y4
PRG1_IEP0_EDC_LATCH_IN0	PRU_ICSSG 工业以太网分布式时钟锁存输入	I	AE21
PRG1_IEP0_EDC_LATCH_IN1	PRU_ICSSG 工业以太网分布式时钟锁存输入	I	AE20
PRG1_IEP0_EDC_SYNC_OUT0	PRU_ICSSG 工业以太网分布式时钟同步输出	O	AH21
PRG1_IEP0_EDC_SYNC_OUT1	PRU_ICSSG 工业以太网分布式时钟同步输出	O	AJ21
PRG1_IEP0_EDIO_DATA_IN_OUT28	PRU_ICSSG 工业以太网数字 I/O 数据输入/输出	IO	AG20
PRG1_IEP0_EDIO_DATA_IN_OUT29	PRU_ICSSG 工业以太网数字 I/O 数据输入/输出	IO	AD21
PRG1_IEP0_EDIO_DATA_IN_OUT30	PRU_ICSSG 工业以太网数字 I/O 数据输入/输出	IO	AF21
PRG1_IEP0_EDIO_DATA_IN_OUT31	PRU_ICSSG 工业以太网数字 I/O 数据输入/输出	IO	AB23
PRG1_IEP1_EDC_LATCH_IN0	PRU_ICSSG 工业以太网分布式时钟锁存输入	I	AJ22
PRG1_IEP1_EDC_LATCH_IN1	PRU_ICSSG 工业以太网分布式时钟锁存输入	I	AC21
PRG1_IEP1_EDC_SYNC_OUT0	PRU_ICSSG 工业以太网分布式时钟同步输出	O	AH22
PRG1_IEP1_EDC_SYNC_OUT1	PRU_ICSSG 工业以太网分布式时钟同步输出	O	AC22
PRG1_MDIO0_MDC	PRU_ICSSG MDIO 时钟	O	AD18
PRG1_MDIO0_MDIO	PRU_ICSSG MDIO 数据	IO	AD19
PRG1_PRU0_GPI0	PRU_ICSSG PRU 数据输入	I	AC23
PRG1_PRU0_GPI1	PRU_ICSSG PRU 数据输入	I	AG22
PRG1_PRU0_GPI2	PRU_ICSSG PRU 数据输入	I	AF22
PRG1_PRU0_GPI3	PRU_ICSSG PRU 数据输入	I	AJ23
PRG1_PRU0_GPI4	PRU_ICSSG PRU 数据输入	I	AH23
PRG1_PRU0_GPI5	PRU_ICSSG PRU 数据输入	I	AD20
PRG1_PRU0_GPI6	PRU_ICSSG PRU 数据输入	I	AD22
PRG1_PRU0_GPI7	PRU_ICSSG PRU 数据输入	I	AE20
PRG1_PRU0_GPI8	PRU_ICSSG PRU 数据输入	I	AJ20
PRG1_PRU0_GPI9	PRU_ICSSG PRU 数据输入	I	AG20
PRG1_PRU0_GPI10	PRU_ICSSG PRU 数据输入	I	AD21
PRG1_PRU0_GPI11	PRU_ICSSG PRU 数据输入	I	AF24
PRG1_PRU0_GPI12	PRU_ICSSG PRU 数据输入	I	AJ24
PRG1_PRU0_GPI13	PRU_ICSSG PRU 数据输入	I	AG24
PRG1_PRU0_GPI14	PRU_ICSSG PRU 数据输入	I	AD24
PRG1_PRU0_GPI15	PRU_ICSSG PRU 数据输入	I	AC24
PRG1_PRU0_GPI16	PRU_ICSSG PRU 数据输入	I	AE24
PRG1_PRU0_GPI17	PRU_ICSSG PRU 数据输入	I	AJ21
PRG1_PRU0_GPI18	PRU_ICSSG PRU 数据输入	I	AE21
PRG1_PRU0_GPI19	PRU_ICSSG PRU 数据输入	I	AH21
PRG1_PRU0_GPO0	PRU_ICSSG PRU 数据输出	IO	AC23
PRG1_PRU0_GPO1	PRU_ICSSG PRU 数据输出	IO	AG22
PRG1_PRU0_GPO2	PRU_ICSSG PRU 数据输出	IO	AF22

表 5-94. PRU_ICSSG1 信号说明 (续)

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
PRG1_PRU0_GPO3	PRU_ICSSG PRU 数据输出	IO	AJ23
PRG1_PRU0_GPO4	PRU_ICSSG PRU 数据输出	IO	AH23
PRG1_PRU0_GPO5	PRU_ICSSG PRU 数据输出	IO	AD20
PRG1_PRU0_GPO6	PRU_ICSSG PRU 数据输出	IO	AD22
PRG1_PRU0_GPO7	PRU_ICSSG PRU 数据输出	IO	AE20
PRG1_PRU0_GPO8	PRU_ICSSG PRU 数据输出	IO	AJ20
PRG1_PRU0_GPO9	PRU_ICSSG PRU 数据输出	IO	AG20
PRG1_PRU0_GPO10	PRU_ICSSG PRU 数据输出	IO	AD21
PRG1_PRU0_GPO11	PRU_ICSSG PRU 数据输出	IO	AF24
PRG1_PRU0_GPO12	PRU_ICSSG PRU 数据输出	IO	AJ24
PRG1_PRU0_GPO13	PRU_ICSSG PRU 数据输出	IO	AG24
PRG1_PRU0_GPO14	PRU_ICSSG PRU 数据输出	IO	AD24
PRG1_PRU0_GPO15	PRU_ICSSG PRU 数据输出	IO	AC24
PRG1_PRU0_GPO16	PRU_ICSSG PRU 数据输出	IO	AE24
PRG1_PRU0_GPO17	PRU_ICSSG PRU 数据输出	IO	AJ21
PRG1_PRU0_GPO18	PRU_ICSSG PRU 数据输出	IO	AE21
PRG1_PRU0_GPO19	PRU_ICSSG PRU 数据输出	IO	AH21
PRG1_PRU1_GPI0	PRU_ICSSG PRU 数据输入	I	AE22
PRG1_PRU1_GPI1	PRU_ICSSG PRU 数据输入	I	AG23
PRG1_PRU1_GPI2	PRU_ICSSG PRU 数据输入	I	AF23
PRG1_PRU1_GPI3	PRU_ICSSG PRU 数据输入	I	AD23
PRG1_PRU1_GPI4	PRU_ICSSG PRU 数据输入	I	AH24
PRG1_PRU1_GPI5	PRU_ICSSG PRU 数据输入	I	AG21
PRG1_PRU1_GPI6	PRU_ICSSG PRU 数据输入	I	AE23
PRG1_PRU1_GPI7	PRU_ICSSG PRU 数据输入	I	AC21
PRG1_PRU1_GPI8	PRU_ICSSG PRU 数据输入	I	Y23
PRG1_PRU1_GPI9	PRU_ICSSG PRU 数据输入	I	AF21
PRG1_PRU1_GPI10	PRU_ICSSG PRU 数据输入	I	AB23
PRG1_PRU1_GPI11	PRU_ICSSG PRU 数据输入	I	AJ25
PRG1_PRU1_GPI12	PRU_ICSSG PRU 数据输入	I	AH25
PRG1_PRU1_GPI13	PRU_ICSSG PRU 数据输入	I	AG25
PRG1_PRU1_GPI14	PRU_ICSSG PRU 数据输入	I	AH26
PRG1_PRU1_GPI15	PRU_ICSSG PRU 数据输入	I	AJ27
PRG1_PRU1_GPI16	PRU_ICSSG PRU 数据输入	I	AJ26
PRG1_PRU1_GPI17	PRU_ICSSG PRU 数据输入	I	AC22
PRG1_PRU1_GPI18	PRU_ICSSG PRU 数据输入	I	AJ22
PRG1_PRU1_GPI19	PRU_ICSSG PRU 数据输入	I	AH22
PRG1_PRU1_GPO0	PRU_ICSSG PRU 数据输出	IO	AE22
PRG1_PRU1_GPO1	PRU_ICSSG PRU 数据输出	IO	AG23
PRG1_PRU1_GPO2	PRU_ICSSG PRU 数据输出	IO	AF23
PRG1_PRU1_GPO3	PRU_ICSSG PRU 数据输出	IO	AD23
PRG1_PRU1_GPO4	PRU_ICSSG PRU 数据输出	IO	AH24

表 5-94. PRU_ICSSG1 信号说明 (续)

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
PRG1_PRU1_GPO5	PRU_ICSSG PRU 数据输出	IO	AG21
PRG1_PRU1_GPO6	PRU_ICSSG PRU 数据输出	IO	AE23
PRG1_PRU1_GPO7	PRU_ICSSG PRU 数据输出	IO	AC21
PRG1_PRU1_GPO8	PRU_ICSSG PRU 数据输出	IO	Y23
PRG1_PRU1_GPO9	PRU_ICSSG PRU 数据输出	IO	AF21
PRG1_PRU1_GPO10	PRU_ICSSG PRU 数据输出	IO	AB23
PRG1_PRU1_GPO11	PRU_ICSSG PRU 数据输出	IO	AJ25
PRG1_PRU1_GPO12	PRU_ICSSG PRU 数据输出	IO	AH25
PRG1_PRU1_GPO13	PRU_ICSSG PRU 数据输出	IO	AG25
PRG1_PRU1_GPO14	PRU_ICSSG PRU 数据输出	IO	AH26
PRG1_PRU1_GPO15	PRU_ICSSG PRU 数据输出	IO	AJ27
PRG1_PRU1_GPO16	PRU_ICSSG PRU 数据输出	IO	AJ26
PRG1_PRU1_GPO17	PRU_ICSSG PRU 数据输出	IO	AC22
PRG1_PRU1_GPO18	PRU_ICSSG PRU 数据输出	IO	AJ22
PRG1_PRU1_GPO19	PRU_ICSSG PRU 数据输出	IO	AH22
PRG1_PWM0_TZ_IN	PRU_ICSSG PWM 跳闸区输入	I	AE21
PRG1_PWM0_TZ_OUT	PRU_ICSSG PWM 跳闸区输出	O	AH21
PRG1_PWM1_TZ_IN	PRU_ICSSG PWM 跳闸区输入	I	AJ22
PRG1_PWM1_TZ_OUT	PRU_ICSSG PWM 跳闸区输出	O	AH22
PRG1_PWM2_TZ_IN	PRU_ICSSG PWM 跳闸区输入	I	AB23
PRG1_PWM2_TZ_OUT	PRU_ICSSG PWM 跳闸区输出	O	Y23
PRG1_PWM3_TZ_IN	PRU_ICSSG PWM 跳闸区输入	I	AG20
PRG1_PWM3_TZ_OUT	PRU_ICSSG PWM 跳闸区输出	O	AF24
PRG1_PWM0_A0	PRU_ICSSG PWM 输出 A	IO	AJ24
PRG1_PWM0_A1	PRU_ICSSG PWM 输出 A	IO	AD24
PRG1_PWM0_A2	PRU_ICSSG PWM 输出 A	IO	AE24
PRG1_PWM0_B0	PRU_ICSSG PWM 输出 B	IO	AG24
PRG1_PWM0_B1	PRU_ICSSG PWM 输出 B	IO	AC24
PRG1_PWM0_B2	PRU_ICSSG PWM 输出 B	IO	AJ21
PRG1_PWM1_A0	PRU_ICSSG PWM 输出 A	IO	AH25
PRG1_PWM1_A1	PRU_ICSSG PWM 输出 A	IO	AH26
PRG1_PWM1_A2	PRU_ICSSG PWM 输出 A	IO	AJ26
PRG1_PWM1_B0	PRU_ICSSG PWM 输出 B	IO	AG25
PRG1_PWM1_B1	PRU_ICSSG PWM 输出 B	IO	AJ27
PRG1_PWM1_B2	PRU_ICSSG PWM 输出 B	IO	AC22
PRG1_PWM2_A0	PRU_ICSSG PWM 输出 A	IO	AF22
PRG1_PWM2_A1	PRU_ICSSG PWM 输出 A	IO	AJ20
PRG1_PWM2_A2	PRU_ICSSG PWM 输出 A	IO	AF23
PRG1_PWM2_B0	PRU_ICSSG PWM 输出 B	IO	AH23
PRG1_PWM2_B1	PRU_ICSSG PWM 输出 B	IO	AD21
PRG1_PWM2_B2	PRU_ICSSG PWM 输出 B	IO	AH24
PRG1_PWM3_A0	PRU_ICSSG PWM 输出 A	IO	AC23

表 5-94. PRU_ICSSG1 信号说明 (续)

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
PRG1_PWM3_A1	PRU_ICSSG PWM 输出 A	IO	AD22
PRG1_PWM3_A2	PRU_ICSSG PWM 输出 A	IO	AJ23
PRG1_PWM3_B0	PRU_ICSSG PWM 输出 B	IO	AG22
PRG1_PWM3_B1	PRU_ICSSG PWM 输出 B	IO	AE20
PRG1_PWM3_B2	PRU_ICSSG PWM 输出 B	IO	AD20
PRG1_RGMII1_RXC	PRU_ICSSG RGMII 接收时钟	I	AD22
PRG1_RGMII1_RX_CTL	PRU_ICSSG RGMII 接收控制	I	AH23
PRG1_RGMII1_TXC	PRU_ICSSG RGMII 发送时钟	IO	AE24
PRG1_RGMII1_TX_CTL	PRU_ICSSG RGMII 发送控制	O	AC24
PRG1_RGMII2_RXC	PRU_ICSSG RGMII 接收时钟	I	AE23
PRG1_RGMII2_RX_CTL	PRU_ICSSG RGMII 接收控制	I	AH24
PRG1_RGMII2_TXC	PRU_ICSSG RGMII 发送时钟	IO	AJ26
PRG1_RGMII2_TX_CTL	PRU_ICSSG RGMII 发送控制	O	AJ27
PRG1_RGMII1_RD0	PRU_ICSSG RGMII 接收数据	I	AC23
PRG1_RGMII1_RD1	PRU_ICSSG RGMII 接收数据	I	AG22
PRG1_RGMII1_RD2	PRU_ICSSG RGMII 接收数据	I	AF22
PRG1_RGMII1_RD3	PRU_ICSSG RGMII 接收数据	I	AJ23
PRG1_RGMII1_TD0	PRU_ICSSG RGMII 发送数据	O	AF24
PRG1_RGMII1_TD1	PRU_ICSSG RGMII 发送数据	O	AJ24
PRG1_RGMII1_TD2	PRU_ICSSG RGMII 发送数据	O	AG24
PRG1_RGMII1_TD3	PRU_ICSSG RGMII 发送数据	O	AD24
PRG1_RGMII2_RD0	PRU_ICSSG RGMII 接收数据	I	AE22
PRG1_RGMII2_RD1	PRU_ICSSG RGMII 接收数据	I	AG23
PRG1_RGMII2_RD2	PRU_ICSSG RGMII 接收数据	I	AF23
PRG1_RGMII2_RD3	PRU_ICSSG RGMII 接收数据	I	AD23
PRG1_RGMII2_TD0	PRU_ICSSG RGMII 发送数据	O	AJ25
PRG1_RGMII2_TD1	PRU_ICSSG RGMII 发送数据	O	AH25
PRG1_RGMII2_TD2	PRU_ICSSG RGMII 发送数据	O	AG25
PRG1_RGMII2_TD3	PRU_ICSSG RGMII 发送数据	O	AH26
PRG1_UART0_CTSn	PRU_ICSSG UART 允许发送 (低电平有效)	I	AG20
PRG1_UART0_RTSn	PRU_ICSSG UART 请求发送 (低电平有效)	O	AD21
PRG1_UART0_RXD	PRU_ICSSG UART 接收数据	I	AF21
PRG1_UART0_TXD	PRU_ICSSG UART 发送数据	O	AB23

5.3.24 MCASP

5.3.24.1 MAIN 域

表 5-95. MCASP0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCASP0_ACLKR	MCASP 接收位时钟	IO	AE27
MCASP0_ACLKX	MCASP 发送位时钟	IO	AB26
MCASP0_AFSR	MCASP 接收帧同步	IO	AD26

表 5-95. MCASP0 信号说明 (续)

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCASP0_AFSX	MCASP 发送帧同步	IO	AB25
MCASP0_AXR0	MCASP 串行数据 (输入/输出)	IO	AF28
MCASP0_AXR1	MCASP 串行数据 (输入/输出)	IO	AE28
MCASP0_AXR2	MCASP 串行数据 (输入/输出)	IO	AD25
MCASP0_AXR3	MCASP 串行数据 (输入/输出)	IO	AC29
MCASP0_AXR4	MCASP 串行数据 (输入/输出)	IO	AE26
MCASP0_AXR5	MCASP 串行数据 (输入/输出)	IO	AC28
MCASP0_AXR6	MCASP 串行数据 (输入/输出)	IO	AC27
MCASP0_AXR7	MCASP 串行数据 (输入/输出)	IO	AJ28
MCASP0_AXR8	MCASP 串行数据 (输入/输出)	IO	AH27
MCASP0_AXR9	MCASP 串行数据 (输入/输出)	IO	AH29
MCASP0_AXR10	MCASP 串行数据 (输入/输出)	IO	AG28
MCASP0_AXR11	MCASP 串行数据 (输入/输出)	IO	AG27
MCASP0_AXR12	MCASP 串行数据 (输入/输出)	IO	AH28
MCASP0_AXR13	MCASP 串行数据 (输入/输出)	IO	AB24
MCASP0_AXR14	MCASP 串行数据 (输入/输出)	IO	AB29
MCASP0_AXR15	MCASP 串行数据 (输入/输出)	IO	AB28

表 5-96. MCASP1 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCASP1_ACLKR	MCASP 接收位时钟	IO	AD27
MCASP1_ACLKX	MCASP 发送位时钟	IO	AB27
MCASP1_AFSR	MCASP 接收帧同步	IO	AC25
MCASP1_AFSX	MCASP 发送帧同步	IO	AA28
MCASP1_AXR0	MCASP 串行数据 (输入/输出)	IO	AE29
MCASP1_AXR1	MCASP 串行数据 (输入/输出)	IO	AD28
MCASP1_AXR2	MCASP 串行数据 (输入/输出)	IO	AD29
MCASP1_AXR3	MCASP 串行数据 (输入/输出)	IO	AC26
MCASP1_AXR4	MCASP 串行数据 (输入/输出)	IO	AA24
MCASP1_AXR5	MCASP 串行数据 (输入/输出)	IO	Y24
MCASP1_AXR6	MCASP 串行数据 (输入/输出)	IO	AA25
MCASP1_AXR7	MCASP 串行数据 (输入/输出)	IO	AG26
MCASP1_AXR8	MCASP 串行数据 (输入/输出)	IO	AF27
MCASP1_AXR9	MCASP 串行数据 (输入/输出)	IO	AF26
MCASP1_AXR10	MCASP 串行数据 (输入/输出)	IO	AD27
MCASP1_AXR11	MCASP 串行数据 (输入/输出)	IO	AC25

表 5-97. MCASP2 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCASP2_ACLKR	MCASP 接收位时钟	IO	AA27
MCASP2_ACLKX	MCASP 发送位时钟	IO	AA29

表 5-97. MCASP2 信号说明 (续)

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCASP2_AFSR	MCASP 接收帧同步	IO	Y26
MCASP2_AFSX	MCASP 发送帧同步	IO	AA26
MCASP2_AXR0	MCASP 串行数据 (输入/输出)	IO	AE25
MCASP2_AXR1	MCASP 串行数据 (输入/输出)	IO	AF29
MCASP2_AXR2	MCASP 串行数据 (输入/输出)	IO	AG29
MCASP2_AXR3	MCASP 串行数据 (输入/输出)	IO	Y25
MCASP2_AXR4	MCASP 串行数据 (输入/输出)	IO	Y26
MCASP2_AXR5	MCASP 串行数据 (输入/输出)	IO	AA27

表 5-98. MCASP3 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCASP3_ACLKR	MCASP 接收位时钟	IO	AF23
MCASP3_ACLKX	MCASP 发送位时钟	IO	AG20
MCASP3_AFSR	MCASP 接收帧同步	IO	AD23
MCASP3_AFSX	MCASP 发送帧同步	IO	AD21
MCASP3_AXR0	MCASP 串行数据 (输入/输出)	IO	AD20
MCASP3_AXR1	MCASP 串行数据 (输入/输出)	IO	AE20
MCASP3_AXR2	MCASP 串行数据 (输入/输出)	IO	AJ20
MCASP3_AXR3	MCASP 串行数据 (输入/输出)	IO	AJ21

表 5-99. MCASP4 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCASP4_ACLKR	MCASP 接收位时钟	IO	AG25
MCASP4_ACLKX	MCASP 发送位时钟	IO	AE21
MCASP4_AFSR	MCASP 接收帧同步	IO	AH26
MCASP4_AFSX	MCASP 发送帧同步	IO	AH21
MCASP4_AXR0	MCASP 串行数据 (输入/输出)	IO	AG21
MCASP4_AXR1	MCASP 串行数据 (输入/输出)	IO	AC21
MCASP4_AXR2	MCASP 串行数据 (输入/输出)	IO	Y23
MCASP4_AXR3	MCASP 串行数据 (输入/输出)	IO	AF21

表 5-100. MCASP5 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCASP5_ACLKR	MCASP 接收位时钟	IO	AD19
MCASP5_ACLKX	MCASP 发送位时钟	IO	AB23
MCASP5_AFSR	MCASP 接收帧同步	IO	AD18
MCASP5_AFSX	MCASP 发送帧同步	IO	AC22
MCASP5_AXR0	MCASP 串行数据 (输入/输出)	IO	AJ22
MCASP5_AXR1	MCASP 串行数据 (输入/输出)	IO	AH22
MCASP5_AXR2	MCASP 串行数据 (输入/输出)	IO	AD19
MCASP5_AXR3	MCASP 串行数据 (输入/输出)	IO	AD18

表 5-101. MCASP6 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCASP6_ACLKR	MCASP 接收位时钟	IO	AH23
MCASP6_ACLKX	MCASP 发送位时钟	IO	AC23
MCASP6_AFSR	MCASP 接收帧同步	IO	AD22
MCASP6_AFSX	MCASP 发送帧同步	IO	AG22
MCASP6_AXR0	MCASP 串行数据 (输入/输出)	IO	AF22
MCASP6_AXR1	MCASP 串行数据 (输入/输出)	IO	AJ23
MCASP6_AXR2	MCASP 串行数据 (输入/输出)	IO	AH23
MCASP6_AXR3	MCASP 串行数据 (输入/输出)	IO	AD22

表 5-102. MCASP7 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCASP7_ACLKR	MCASP 接收位时钟	IO	AC24
MCASP7_ACLKX	MCASP 发送位时钟	IO	AF24
MCASP7_AFSR	MCASP 接收帧同步	IO	AE24
MCASP7_AFSX	MCASP 发送帧同步	IO	AJ24
MCASP7_AXR0	MCASP 串行数据 (输入/输出)	IO	AG24
MCASP7_AXR1	MCASP 串行数据 (输入/输出)	IO	AD24
MCASP7_AXR2	MCASP 串行数据 (输入/输出)	IO	AC24
MCASP7_AXR3	MCASP 串行数据 (输入/输出)	IO	AE24

表 5-103. MCASP8 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCASP8_ACLKR	MCASP 接收位时钟	IO	AH24
MCASP8_ACLKX	MCASP 发送位时钟	IO	AE22
MCASP8_AFSR	MCASP 接收帧同步	IO	AE23
MCASP8_AFSX	MCASP 发送帧同步	IO	AG23
MCASP8_AXR0	MCASP 串行数据 (输入/输出)	IO	AF23
MCASP8_AXR1	MCASP 串行数据 (输入/输出)	IO	AD23
MCASP8_AXR2	MCASP 串行数据 (输入/输出)	IO	AH24
MCASP8_AXR3	MCASP 串行数据 (输入/输出)	IO	AE23

表 5-104. MCASP9 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCASP9_ACLKR	MCASP 接收位时钟	IO	AJ27
MCASP9_ACLKX	MCASP 发送位时钟	IO	AJ25
MCASP9_AFSR	MCASP 接收帧同步	IO	AJ26
MCASP9_AFSX	MCASP 发送帧同步	IO	AH25
MCASP9_AXR0	MCASP 串行数据 (输入/输出)	IO	AG25
MCASP9_AXR1	MCASP 串行数据 (输入/输出)	IO	AH26
MCASP9_AXR2	MCASP 串行数据 (输入/输出)	IO	AJ27
MCASP9_AXR3	MCASP 串行数据 (输入/输出)	IO	AJ26

表 5-105. MCASP10 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCASP10_ACLKR	MCASP 接收位时钟	IO	Y28
MCASP10_ACLKX	MCASP 发送位时钟	IO	U23
MCASP10_AFSR	MCASP 接收帧同步	IO	V23
MCASP10_AFSX	MCASP 发送帧同步	IO	U26
MCASP10_AXR0	MCASP 串行数据 (输入/输出)	IO	V28
MCASP10_AXR1	MCASP 串行数据 (输入/输出)	IO	V29
MCASP10_AXR2	MCASP 串行数据 (输入/输出)	IO	U29
MCASP10_AXR3	MCASP 串行数据 (输入/输出)	IO	U25
MCASP10_AXR4	MCASP 串行数据 (输入/输出)	IO	V25
MCASP10_AXR5	MCASP 串行数据 (输入/输出)	IO	W27
MCASP10_AXR6	MCASP 串行数据 (输入/输出)	IO	W29
MCASP10_AXR7	MCASP 串行数据 (输入/输出)	IO	W26

表 5-106. MCASP11 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCASP11_ACLKR	MCASP 接收位时钟	IO	W23
MCASP11_ACLKX	MCASP 发送位时钟	IO	V27
MCASP11_AFSR	MCASP 接收帧同步	IO	W28
MCASP11_AFSX	MCASP 发送帧同步	IO	U28
MCASP11_AXR0	MCASP 串行数据 (输入/输出)	IO	U27
MCASP11_AXR1	MCASP 串行数据 (输入/输出)	IO	U24
MCASP11_AXR2	MCASP 串行数据 (输入/输出)	IO	R23
MCASP11_AXR3	MCASP 串行数据 (输入/输出)	IO	T23
MCASP11_AXR4	MCASP 串行数据 (输入/输出)	IO	Y29
MCASP11_AXR5	MCASP 串行数据 (输入/输出)	IO	Y27
MCASP11_AXR6	MCASP 串行数据 (输入/输出)	IO	W24
MCASP11_AXR7	MCASP 串行数据 (输入/输出)	IO	W25

5.3.25 DSS

5.3.25.1 MAIN 域

表 5-107. DSS0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
DSS_FSYNC0	视频输出帧同步 0	O	AH27、Y26
DSS_FSYNC1	视频输出帧同步 1	O	AD19、AH28
DSS_FSYNC2	视频输出帧同步 2	O	AA27、AH29
DSS_FSYNC3	视频输出帧同步 3	O	AG27、Y24
VOUT0_DE	视频输出数据使能	O	AC22
VOUT0_EXTPCLKIN	视频输出外部像素时钟输入	I	AH21
VOUT0_HSYNC	视频输出水平同步	O	AJ26
VOUT0_PCLK	视频输出像素时钟输出	O	AH22
VOUT0_VSYNC	视频输出垂直同步	O	AJ22

表 5-107. DSS0 信号说明 (续)

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
VOUT0_DATA0	视频输出数据 0	O	AE22
VOUT0_DATA1	视频输出数据 1	O	AG23
VOUT0_DATA2	视频输出数据 2	O	AF23
VOUT0_DATA3	视频输出数据 3	O	AD23
VOUT0_DATA4	视频输出数据 4	O	AH24
VOUT0_DATA5	视频输出数据 5	O	AG21
VOUT0_DATA6	视频输出数据 6	O	AE23
VOUT0_DATA7	视频输出数据 7	O	AC21
VOUT0_DATA8	视频输出数据 8	O	Y23
VOUT0_DATA9	视频输出数据 9	O	AF21
VOUT0_DATA10	视频输出数据 10	O	AB23
VOUT0_DATA11	视频输出数据 11	O	AJ25
VOUT0_DATA12	视频输出数据 12	O	AH25
VOUT0_DATA13	视频输出数据 13	O	AG25
VOUT0_DATA14	视频输出数据 14	O	AH26
VOUT0_DATA15	视频输出数据 15	O	AJ27
VOUT0_DATA16	视频输出数据 16	O	AF24
VOUT0_DATA17	视频输出数据 17	O	AJ24
VOUT0_DATA18	视频输出数据 18	O	AG24
VOUT0_DATA19	视频输出数据 19	O	AD24
VOUT0_DATA20	视频输出数据 20	O	AC24
VOUT0_DATA21	视频输出数据 21	O	AE24
VOUT0_DATA22	视频输出数据 22	O	AJ20
VOUT0_DATA23	视频输出数据 23	O	AG20
VOUT0_VP0_DE	视频输出数据使能	O	AC22
VOUT0_VP0_HSYNC	视频输出水平同步	O	AJ26
VOUT0_VP0_VSYNC	视频输出垂直同步	O	AJ22
VOUT0_VP2_DE	视频输出数据使能	O	AC22
VOUT0_VP2_HSYNC	视频输出水平同步	O	AJ26
VOUT0_VP2_VSYNC	视频输出垂直同步	O	AJ22
VOUT1_DE	视频输出数据使能	O	W26
VOUT1_EXTPCLKIN	视频输出外部像素时钟输入	I	W24
VOUT1_HSYNC	视频输出水平同步	O	W27
VOUT1_PCLK	视频输出像素时钟输出	O	W29
VOUT1_VSYNC	视频输出垂直同步	O	V25
VOUT1_DATA0	视频输出数据 0	O	U23
VOUT1_DATA1	视频输出数据 1	O	U26
VOUT1_DATA2	视频输出数据 2	O	V28
VOUT1_DATA3	视频输出数据 3	O	V29
VOUT1_DATA4	视频输出数据 4	O	V27
VOUT1_DATA5	视频输出数据 5	O	U28
VOUT1_DATA6	视频输出数据 6	O	U29

表 5-107. DSS0 信号说明 (续)

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
VOUT1_DATA7	视频输出数据 7	O	U25
VOUT1_DATA8	视频输出数据 8	O	U27
VOUT1_DATA9	视频输出数据 9	O	U24
VOUT1_DATA10	视频输出数据 10	O	R23
VOUT1_DATA11	视频输出数据 11	O	T23
VOUT1_DATA12	视频输出数据 12	O	Y28
VOUT1_DATA13	视频输出数据 13	O	V23
VOUT1_DATA14	视频输出数据 14	O	W23
VOUT1_DATA15	视频输出数据 15	O	W28
VOUT1_VP0_DE	视频输出数据使能	O	W26
VOUT1_VP0_HSYNC	视频输出水平同步	O	W27
VOUT1_VP0_VSYNC	视频输出垂直同步	O	V25

5.3.26 DP

5.3.26.1 MAIN 域

备注

SERDES 引脚上提供 DP0_TX 功能。有关更多信息, 请参阅节 5.3.16 “SERDES”。

表 5-108. DP0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
DP0_AUXN	显示端口差分辅助数据 (负)	IO	G6
DP0_AUXP	显示端口差分辅助数据 (正)	IO	F7
DP0_HPD	显示端口热插拔显示器检测	I	W2、Y4

5.3.27 摄像头流媒体接口接收器 (CSI_RX_IF) 子系统

5.3.27.1 MAIN 域

表 5-109. CSI0 信号说明

信号名称 [1] (2)	说明 [2]	引脚类型 [3]	BALL [4]
CSI0_RXCLKN	CSI 差分接收时钟输入 (负)	I	B20
CSI0_RXCLKP	CSI 差分接收时钟输入 (正)	I	A21
CSI0_RXRCALIB ⁽¹⁾	CSI 引脚连接到外部电阻器, 用于片上电阻器校准	A	F16
CSI0_TXCLKN	CSI 差分发送时钟输出 (负)	O	E10
CSI0_TXCLKP	CSI 差分发送时钟输出 (正)	O	E11
CSI0_RXN0	CSI 差分接收输入 (负)	I	B19
CSI0_RXP0	CSI 差分接收输入 (正)	I	A20
CSI0_RXN1	CSI 差分接收输入 (负)	I	D18
CSI0_RXP1	CSI 差分接收输入 (正)	I	C19
CSI0_RXN2	CSI 差分接收输入 (负)	I	D17
CSI0_RXP2	CSI 差分接收输入 (正)	I	C18
CSI0_RXN3	CSI 差分接收输入 (负)	I	E16

表 5-109. CSI0 信号说明 (续)

信号名称 [1] (2)	说明 [2]	引脚类型 [3]	BALL [4]
CSI0_RXP3	CSI 差分接收输入 (正)	I	E17
CSI0_TXN0	CSI 差分发送输出 (负)	O	D11
CSI0_TXN1	CSI 差分发送输出 (负)	O	D12
CSI0_TXN2	CSI 差分发送输出 (负)	O	B13
CSI0_TXN3	CSI 差分发送输出 (负)	O	B14
CSI0_TXP0	CSI 差分发送输出 (正)	O	C12
CSI0_TXP1	CSI 差分发送输出 (正)	O	C13
CSI0_TXP2	CSI 差分发送输出 (正)	O	A14
CSI0_TXP3	CSI 差分发送输出 (正)	O	A15

(1) 即使未使用该引脚, 也必须在该引脚和 VSS 之间连接一个外部 $500\Omega \pm 1\%$ 电阻器。

(2) DSI 引脚上提供 CSI TX 功能。如需了解更多信息, 请参阅节 5.3.28 “DSI_TX”。

表 5-110. CSI1 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
CSI1_RXCLKN	CSI 差分接收时钟输入 (负)	I	B17
CSI1_RXCLKP	CSI 差分接收时钟输入 (正)	I	A18
CSI1_RXRCALIB ⁽¹⁾	CSI 引脚连接到外部电阻器, 用于片上电阻器校准	A	F15
CSI1_RXN0	CSI 差分接收输入 (负)	I	B16
CSI1_RXP0	CSI 差分接收输入 (正)	I	A17
CSI1_RXN1	CSI 差分接收输入 (负)	I	D15
CSI1_RXP1	CSI 差分接收输入 (正)	I	C16
CSI1_RXN2	CSI 差分接收输入 (负)	I	D14
CSI1_RXP2	CSI 差分接收输入 (正)	I	C15
CSI1_RXN3	CSI 差分接收输入 (负)	I	E13
CSI1_RXP3	CSI 差分接收输入 (正)	I	E14

(1) 即使未使用该引脚, 也必须在该引脚和 VSS 之间连接一个外部 $500\Omega \pm 1\%$ 电阻器。

5.3.28 DSI_TX

5.3.28.1 MAIN 域

表 5-111. DSI_TX0 信号说明

信号名称 [1] (1)	说明 [2]	引脚类型 [3]	BALL [4]
DSI_TXCLKN	DSI 差分发送时钟输出 (正)	O	E10
DSI_TXCLKP	DSI 差分发送时钟输出 (负)	O	E11
DSI_TXN0	DSI 差分发送输出 (负)	IO	D11
DSI_TXP0	DSI 差分发送输出 (正)	IO	C12
DSI_TXN1	DSI 差分发送输出 (负)	O	D12
DSI_TXP1	DSI 差分发送输出 (正)	O	C13
DSI_TXN2	DSI 差分发送输出 (负)	O	B13
DSI_TXP2	DSI 差分发送输出 (正)	O	A14
DSI_TXN3	DSI 差分发送输出 (负)	O	B14
DSI_TXP3	DSI 差分发送输出 (正)	O	A15

表 5-111. DSI_TX0 信号说明 (续)

信号名称 [1] ⁽¹⁾	说明 [2]	引脚类型 [3]	BALL [4]
DSI_TXRCALIB ⁽²⁾	DSI 引脚连接到外部电阻器, 用于片上电阻器校准	A	F12

(1) 这些引脚的功能由 CTRLMMR_DPHY_TX0_CTRL[1:0] LANE_FUNC_SEL 来控制。0x0 = DSI PPI, 0x1 = CSI0 TX。

(2) 即使未使用该引脚, 也必须在该引脚和 VSS 之间连接一个外部 500 Ω $\pm$ 1% 电阻器。

5.3.29 VPFE

5.3.29.1 MAIN 域

表 5-112. VPFE0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
VPFE0_FIELD	视频输入字段指示器	I	AG23
VPFE0_HD	视频输入水平同步	I	AE22
VPFE0_PCLK	视频输入像素时钟	I	AH21
VPFE0_VD	视频输入垂直同步	I	AF23
VPFE0_WEN	视频输入写入使能	I	AD23
VPFE0_DATA0	视频输入数据	I	AF24
VPFE0_DATA1	视频输入数据	I	AJ24
VPFE0_DATA2	视频输入数据	I	AG24
VPFE0_DATA3	视频输入数据	I	AD24
VPFE0_DATA4	视频输入数据	I	AC24
VPFE0_DATA5	视频输入数据	I	AE24
VPFE0_DATA6	视频输入数据	I	AJ21
VPFE0_DATA7	视频输入数据	I	AE21
VPFE0_DATA8	视频输入数据	I	AG25
VPFE0_DATA9	视频输入数据	I	AJ27
VPFE0_DATA10	视频输入数据	I	AC22
VPFE0_DATA11	视频输入数据	I	AD19
VPFE0_DATA12	视频输入数据	I	AD18
VPFE0_DATA13	视频输入数据	I	AH24
VPFE0_DATA14	视频输入数据	I	AE23
VPFE0_DATA15	视频输入数据	I	AC21

5.3.30 DMTIMER

5.3.30.1 MAIN 域

表 5-113. DMTIMER 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
TIMER_IO0	计时器输入和输出 (未连接到单个计时器实例)	IO	P24、V6
TIMER_IO1	计时器输入和输出 (未连接到单个计时器实例)	IO	R24、V5
TIMER_IO2	计时器输入和输出 (未连接到单个计时器实例)	IO	AD23、P23
TIMER_IO3	计时器输入和输出 (未连接到单个计时器实例)	IO	AH24、R28
TIMER_IO4	计时器输入和输出 (未连接到单个计时器实例)	IO	AG21、T27
TIMER_IO5	计时器输入和输出 (未连接到单个计时器实例)	IO	AE23、T24
TIMER_IO6	计时器输入和输出 (未连接到单个计时器实例)	IO	AC2、T26

表 5-113. DMTIMER 信号说明 (续)

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
TIMER_IO7	计时器输入和输出 (未连接到单个计时器实例)	IO	AB1、T25

5.3.30.2 MCU 域

表 5-114. DMTIMER 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCU_TIMER_IO0	计时器输入和输出 (未连接到单个计时器实例)	IO	E22、E28
MCU_TIMER_IO1	计时器输入和输出 (未连接到单个计时器实例)	IO	E25、H27
MCU_TIMER_IO2	计时器输入和输出 (未连接到单个计时器实例)	IO	A28
MCU_TIMER_IO3	计时器输入和输出 (未连接到单个计时器实例)	IO	A27
MCU_TIMER_IO4	计时器输入和输出 (未连接到单个计时器实例)	IO	A25
MCU_TIMER_IO5	计时器输入和输出 (未连接到单个计时器实例)	IO	D24
MCU_TIMER_IO6	计时器输入和输出 (未连接到单个计时器实例)	IO	G27
MCU_TIMER_IO7	计时器输入和输出 (未连接到单个计时器实例)	IO	G26
MCU_TIMER_IO8	计时器输入和输出 (未连接到单个计时器实例)	IO	D26
MCU_TIMER_IO9	计时器输入和输出 (未连接到单个计时器实例)	IO	D25

5.3.31 仿真和调试

5.3.31.1 MAIN 域

表 5-115. JTAG 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
EMU0	仿真控制 0	IO	C26
EMU1	仿真控制 1	IO	B29
TCK	JTAG 测试时钟输入	I	E29
TDI	JTAG 测试数据输入	I	V1
TDO	JTAG 测试数据输出	OZ	V3
TMS	JTAG 测试模式选择输入	I	V2
TRSTn	JTAG 复位	I	F24

表 5-116. 布线信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
TRC_CLK	跟踪时钟	O	U23
TRC_CTL	跟踪控制	O	U26
TRC_DATA0	跟踪数据 0	O	V28
TRC_DATA1	跟踪数据 1	O	V29
TRC_DATA2	跟踪数据 2	O	V27
TRC_DATA3	跟踪数据 3	O	U28
TRC_DATA4	跟踪数据 4	O	U29
TRC_DATA5	跟踪数据 5	O	U25
TRC_DATA6	跟踪数据 6	O	U27
TRC_DATA7	跟踪数据 7	O	U24
TRC_DATA8	跟踪数据 8	O	R23
TRC_DATA9	跟踪数据 9	O	T23
TRC_DATA10	跟踪数据 10	O	Y28
TRC_DATA11	跟踪数据 11	O	V23
TRC_DATA12	跟踪数据 12	O	W23
TRC_DATA13	跟踪数据 13	O	W28
TRC_DATA14	跟踪数据 14	O	V25
TRC_DATA15	跟踪数据 15	O	W27
TRC_DATA16	跟踪数据 16	O	W29
TRC_DATA17	跟踪数据 17	O	W26
TRC_DATA18	跟踪数据 18	O	Y29
TRC_DATA19	跟踪数据 19	O	Y27
TRC_DATA20	跟踪数据 20	O	W24
TRC_DATA21	跟踪数据 21	O	W25
TRC_DATA22	跟踪数据 22	O	V26
TRC_DATA23	跟踪数据 23	O	V24

5.3.32 系统和其他

5.3.32.1 启动模式配置

5.3.32.1.1 MAIN 域

备注

BOOTMODE 引脚锁存在 PORz_OUT 的上升沿。

表 5-117. Sysboot 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
BOOTMODE0	引导模式引脚 0	I	AD20
BOOTMODE1	引导模式引脚 1	I	AC22
BOOTMODE2	引导模式引脚 2	I	AC29
BOOTMODE3	引导模式引脚 3	I	Y25
BOOTMODE4	引导模式引脚 4	I	V6
BOOTMODE5	引导模式引脚 5	I	V5
BOOTMODE6	引导模式引脚 6	I	AB27
BOOTMODE7 ⁽¹⁾	引导模式引脚 7	I	AB24

(1) 这些信号均必须通过单独的外部拉电阻连接到 VSS，以确保这些焊球会保持为有效的逻辑低电平。

5.3.32.1.2 MCU 域

备注

MCU_BOOTMODE 引脚锁存在 MCU_PORz_OUT 的上升沿。

表 5-118. Sysboot 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCU_BOOTMODE00	引导模式引脚 00	I	E27
MCU_BOOTMODE01	引导模式引脚 01	I	E24
MCU_BOOTMODE02	引导模式引脚 02	I	E28
MCU_BOOTMODE03	引导模式引脚 03	I	F26
MCU_BOOTMODE04	引导模式引脚 04	I	F25
MCU_BOOTMODE05	引导模式引脚 05	I	F28
MCU_BOOTMODE06	引导模式引脚 06	I	H29
MCU_BOOTMODE07	引导模式引脚 07	I	J27
MCU_BOOTMODE08	引导模式引脚 08	I	G29
MCU_BOOTMODE09	引导模式引脚 09	I	H28

5.3.32.2 时钟

5.3.32.2.1 MAIN 域

表 5-119. Clock1 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
OSC1_XI	高频振荡器输入	I	P29
OSC1_XO	高频振荡器输出	O	P27

5.3.32.2.2 WKUP 域

表 5-120. Clock0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
WKUP_LFOSC0_XI	低频 (32.768KHz) 振荡器输入	I	N28
WKUP_LFOSC0_XO	低频 (32.768KHz) 振荡器输出	O	N26
WKUP_OSC0_XI	高频振荡器输入	I	M29
WKUP_OSC0_XO	高频振荡器输出	O	M27

5.3.32.3 系统

5.3.32.3.1 MAIN 域

表 5-121. System0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
AUDIO_EXT_REFCLK0	路由到 ATL 或 MCASP 的外部时钟，作为可选输入时钟源之一，或者作为 ATL 或 MCASP 的输出时钟	IO	AD22
AUDIO_EXT_REFCLK1	路由到 ATL 或 MCASP 的外部时钟，作为可选输入时钟源之一，或者作为 ATL 或 MCASP 的输出时钟	IO	AE20
AUDIO_EXT_REFCLK2	路由到 ATL 或 MCASP 的外部时钟，作为可选输入时钟源之一，或者作为 ATL 或 MCASP 的输出时钟	IO	W26
AUDIO_EXT_REFCLK3	路由到 ATL 或 MCASP 的外部时钟，作为可选输入时钟源之一，或者作为 ATL 或 MCASP 的输出时钟	IO	W25
EXTINTn	外部中断	I	AC18
EXT_REFCLK1	MAIN 域的外部时钟输入，路由到计时器时钟多路复用器，作为计时器/WDT 模块的可选输入时钟源之一，或作为 MAIN_PLL2 (PER1 PLL) 的基准时钟	I	U3
OBSCLK0	观察时钟输出，用于测试和调试目的	O	V5
OBSCLK1	观察时钟输出，用于测试和调试目的	O	AB24
OBSCLK2	观察时钟输出，用于测试和调试目的	O	AD21
PORz_OUT	主域 POR 状态输出	O	U1
RESETSTATz	MAIN 域热复位状态输出	O	T6
SOC_SAFETY_ERRORn	MAIN 域 ESM 的错误信号输出	IO	U4
SYSCLKOUT0	主 PLL 控制器的 SYSCLK0 输出 (6 分频)，仅用于测试和调试用途	O	V6
VMON_ER_VSYS	系统电源的电压监测器，需要外部电阻分压器	A	M26
VMON_IR_VEXT	外部 1.8V 电源的电压监测器，使用内部电阻分压器	A	V19

5.3.32.3.2 WKUP 域

表 5-122. System0 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCU_CLKOUT0	以太网 PHY 的基准时钟输出 (50MHz 或 25MHz)	OZ	H27
MCU_EXT_REFCLK0	外部系统时钟输入	I	H26
MCU_OBSCLK0	观察时钟输出，用于测试和调试目的	O	H27
MCU_PORz	MCU 域冷复位	I	H23
MCU_PORz_OUT	MCU 域 POR 状态输出	O	B28
MCU_RESETSTATz	MCU 域热复位状态输出	O	C27
MCU_RESETz	MCU 域热复位	I	D28

表 5-122. System0 信号说明 (续)

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
MCU_SAFETY_ERRORn	MCU 域 ESM 的错误信号输出	IO	D27
MCU_SYSCLKOUT0	MCU 域系统时钟输出, 仅用于测试和调试目的	O	H26
PORz	MAIN 域冷复位	I	J24
RESET_REQz	主域外部热复位请求输入	I	C28
PMIC_POWER_EN0	保留引脚名称以便和旧系统兼容, 不用于电源使能	不适用	E26
PMIC_POWER_EN1	MAIN 域电源的电源使能输出	O	G23

5.3.32.4 EFUSE

表 5-123. EFUSE 信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
VPP_CORE ⁽¹⁾	MAIN 域电子保险丝的编程电压	PWR	AB11
VPP_MCU ⁽¹⁾	MCU 域电子保险丝的编程电压	PWR	F17

(1) 此信号仅对高安全性器件有效。更多详细信息, 请参阅节 6.7 “一次性可编程 (OTP) 电子保险丝的 VPP 规范”。对于通用器件, 请勿将任何信号、测试点或电路板引线连接到此信号。

5.3.33 电源

备注

除非节 5.3 信号说明中另有说明, 否则必须为所有电源焊球提供节 6.4 建议运行条件中指定的电压。

表 5-124. 电源信号说明

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
CAP_VDDS0 ⁽¹⁾	外部电容器连接, 适用于	CAP	U7
CAP_VDDS0_MCU ⁽¹⁾	外部电容器连接, 适用于	CAP	K23
CAP_VDDS1 ⁽¹⁾	外部电容器连接, 适用于	CAP	AB21
CAP_VDDS1_MCU ⁽¹⁾	外部电容器连接, 适用于	CAP	J18
CAP_VDDS2 ⁽¹⁾	外部电容器连接, 适用于	CAP	Y18
CAP_VDDS2_MCU ⁽¹⁾	外部电容器连接, 适用于	CAP	J19
CAP_VDDS3 ⁽¹⁾	外部电容器连接, 适用于	CAP	W21
CAP_VDDS4 ⁽¹⁾	外部电容器连接, 适用于	CAP	AA22
CAP_VDDS5 ⁽¹⁾	外部电容器连接, 适用于	CAP	R22
CAP_VDDS6 ⁽¹⁾	外部电容器连接, 适用于	CAP	V22
VDDAR_CORE	主域 RAM 电源	PWR	L14、V13、V16、W19
VDDAR_CPU	CPU RAM 电源	PWR	L11、W12
VDDAR_MCU	MCUSS RAM 电源	PWR	K19、T19
VDDA_0P8_CSIRX	CSIRX 模拟电源低电平	PWR	H17
VDDA_0P8_DP	Displayport SERDES 模拟电源低电平	PWR	G12、J12
VDDA_0P8_DP_C	Displayport SERDES 时钟电源	PWR	G14、H13
VDDA_0P8_DSITX	DSITX 时钟电源	PWR	H15
VDDA_0P8_DSITX_C	DSITX 时钟电源	PWR	J16
VDDA_0P8_UFS	UFS 模拟电源低电平	PWR	AB9

表 5-124. 电源信号说明 (续)

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
VDDA_0P8_USB	USB0-1 0.8V 模拟电源	PWR	AA10
VDDA_0P8_SERDES0_1	SERDES0-1 模拟电源低电平	PWR	AA15、Y14、Y16
VDDA_0P8_SERDES2_3	SERDES2-3 模拟电源低电平	PWR	AA12、Y11、Y13
VDDA_0P8_SERDES_C0_1	SERDES0-1 时钟电源	PWR	AB14、AB15
VDDA_0P8_SERDES_C2_3	SERDES2-3 时钟电源	PWR	AB12、AB13
VDDA_1P8_CSIRX	CSIRX 模拟电源高电平	PWR	G16
VDDA_1P8_DP	Displayport SERDES 模拟电源高电平	PWR	H11
VDDA_1P8_DSITX	DSITX 模拟电源高电平	PWR	J14
VDDA_1P8_UFS	UFS 模拟电源高电平	PWR	AC8
VDDA_1P8_USB	USB0-1 1.8V 模拟电源	PWR	AC9
VDDA_1P8_SERDES0_1	SERDES0-1 模拟电源高电平	PWR	AC14、AC15
VDDA_1P8_SERDES2_3	SERDES2-3 模拟电源高电平	PWR	AC11、AC12
VDDA_3P3_USB	USB0-1 3.3V 模拟电源	PWR	AB10
VDDA_ADC0	ADC 模拟电源和高电压基准 (VREFP)	PWR	N22
VDDA_ADC1	ADC 模拟电源和高电压基准 (VREFP)	PWR	M23
VDDA_0P8_PLL_DDR	DDR PLL 模拟电源	PWR	N9
VDDA_MCU_PLLGRP0	MCU PLL 组 0 的模拟电源	PWR	G18
VDDA_MCU_TEMP	MCU 域中温度传感器 0 的模拟电源	PWR	P21
VDDA_1P8_MLB	MLB IO 电源 (6 引脚接口)	PWR	W7
VDDA_PLLGRP0	主 PLL 组 0 的模拟电源	PWR	Y20
VDDA_PLLGRP1	主 PLL 组 1 的模拟电源	PWR	W17
VDDA_PLLGRP2	主 PLL 组 2 的模拟电源	PWR	M17
VDDA_PLLGRP3	主 PLL 组 3 的模拟电源	PWR	L12
VDDA_PLLGRP4	主 PLL 组 4 的模拟电源	PWR	R11
VDDA_PLLGRP5	主 PLL 组 5 (DDR) 的模拟电源	PWR	P9
VDDA_PLLGRP6	主 PLL 组 6 的模拟电源	PWR	W18
VDDA_0P8_PLL_MLB	MLB PLL 模拟电源	PWR	W8
VDDA_POR_WKUP	WKUP 域模拟电源	PWR	P22
VDDA_TEMP0_1	温度传感器 0 和 1 的模拟电源	PWR	W15
VDDA_TEMP2_3	温度传感器 2 和 3 的模拟电源	PWR	H9
VDDA_WKUP	WKUP 域的振荡器电源	PWR	H22
VDDSHV0	主域的通用 IO 电源	PWR	U8、V7
VDDSHV0_MCU	IO 电源 MCUSS 通用 IO 组, 以及 MCU 和主域热复位引脚	PWR	L22、M22
VDDSHV1	主域 IO 组 1 的 IO 电源	PWR	AA19、AA20、AC19、AC20
VDDSHV1_MCU	MCUSS IO 组 1 的 IO 电源	PWR	H19、H21、J20
VDDSHV2	主域 IO 组 2 的 IO 电源	PWR	AA17、AB16、AB18、AC17
VDDSHV2_MCU	MCUSS IO 组 2 的 IO 电源	PWR	J22、K21
VDDSHV3	主域 IO 组 3 的 IO 电源	PWR	V21、W22
VDDSHV4	主域 IO 组 4 的 IO 电源	PWR	AA21、Y22
VDDSHV5	主域 IO 组 5 的 IO 电源	PWR	T20、T22

表 5-124. 电源信号说明 (续)

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
VDDSHV6	主域 IO 组 6 的 IO 电源	PWR	U20、U22
VDDS_DDR	DDR 接口电源	PWR	A1、G8、J8、K7、 L8、M7、N8、P7、 R8、T1
VDDS_DDR_BIAS	LPDDR4 的偏置电源	PWR	H7、J6、R6、T7
VDDS_DDR_C	DDR 存储器时钟位 (MCB) 宏的 IO 电源	PWR	M9
VDDS_MMC0	MMC0 IO 电源	PWR	AA8、AB7、Y7
VDDS_OSC1	HFOSC1 电源	PWR	R21
VDD_CORE	主域内核电源	PWR	J10、K11、K13、 K15、K17、K9、 L10、L16、L18、 M15、N14、N16、 N18、P13、P15、 P17、R14、R16、 R18、R20、T15、 T17、T9、U14、 U16、U18、V15、 V17、V20、W14
VDD_CPU	CPU 内核电源	PWR	N10、P11、R10、 R12、U10、V11、 V9、W10
VDDA_0P8_DLL_MMC0	MMC0 DLL 模拟电源	PWR	Y9
VDD_MCU	MCUSS 内核电源	PWR	L20、M19、M21、 N20、P19

表 5-124. 电源信号说明 (续)

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
VSS	接地	GND	AA13、AC10、 AC13、AD11、 AD14、AD17、 AE10、AE12、 AE15、AE16、 AE19、AE7、AF20、 AF25、AF5、AG4、 AG7、AH2、AH20、 AH5、AJ4、AJ7、 B3、B6、C1、C5、 D2、D4、E1、E5、 F4、G1、G7、H4、 H6、K1、K4、L3、 M1、M28、M4、 M6、N27、N29、 N3、P1、P28、P4、 R3、U5 A10、A13、 A16、A19、A22、 A7、AA11、AA14、 AA16、AA18、AA7、 AA9、AB17、AB19、 AB20、AB22、AB8、 AC16、AF11、 AF14、AF17、AF8、 AG10、AG13、 AG16、AG19、 AH11、AH14、 AH17、AH8、AJ10、 AJ13、AJ16、AJ19、 B12、B15、B18、 B21、B9、C11、 C14、C17、C20、 C8、D10、D13、 D16、D19、D7、 E12、E15、E9、 F14、F8、G11、 G13、G15、G17、 H10、H12、H14、 H16、H18、H20、 H8、J11、J13、 J15、J17、J21、 J23、J7、J9、K10、 K12、K14、K16、 K18、K20、K22、 K8、L13、L15、 L17、L19、L21、 L23、L7、L9、M10、 M14、M16、M18、 M20、M8、N15、 N17、N19、N21、 N7、P10、P12、 P14、P16、P18、 P20、P8、R13、 R15、R17、R19、 R7、R9、T10、 T14、T16、T18、 T21、T8、U15、 U17、U19、U21、 U9、V10、V12、

表 5-124. 电源信号说明 (续)

信号名称 [1]	说明 [2]	引脚类型 [3]	BALL [4]
			V14、V18、V8、 W11、W13、W16、 W20、W9、Y10、 Y12、Y15、Y17、 Y19、Y21、Y8

(1) 该引脚必须始终通过 1 μ F $\pm$ 10% 电容器连接至 VSS。

5.4 引脚多路复用

备注

许多器件引脚支持多种信号功能。一些信号功能是通过与引脚关联的单层多路复用器来选择的。其他信号功能通过两层或多层多路复用器进行选择，其中一层与引脚相关联，其他层与外围逻辑功能相关联。

表 5-125 引脚多路复用仅介绍引脚上的信号多路复用。有关引脚信号多路复用的更多信息，请参阅器件 TRM 的器件配置一章中的焊盘配置寄存器一节。有关与外设信号多路复用相关的信息，请参阅器件 TRM 中相应的外设章节。

备注

当焊盘设置为未定义的引脚多路复用模式时，该焊盘的运行方式是未定义的。应当避免这种情况。

备注

表 5-125 “引脚多路复用” 不包括串行器/解串器信号功能。如需了解更多信息，请参阅器件 TRM 中的“串行器/解串器 (SerDes)”一章。

备注

表 5-125 “引脚多路复用” 不包括 DPHY_TX 信号功能。如需了解更多信息，请参阅器件 TRM 中的“共享 D-PHY 发送器 (DPHY_TX)”一章。

有关 I/O 单元配置的更多信息，请参阅器件 TRM 的器件配置一章中的焊盘配置寄存器一节。

表 5-125. 引脚多路复用

地址	寄存器名称	焊球编号	MUXMODE[14:0] 设置															
			0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	自举
0x00011C294	PADCONFIG165	AD1	MLB0_ML BSP							GPIO1_30								
0x00011C29C	PADCONFIG167	AC3	MLB0_ML BDP							GPIO1_32								
0x00011C290	PADCONFIG164	U6	USB0_DR VVBUS	USB1_DR VVBUS						GPIO1_29								
0x00011C298	PADCONFIG166	AC1	MLB0_ML BSN							GPIO1_31								
0x00011C2A0	PADCONFIG168	AD3	MLB0_ML BDN							GPIO1_33								
0x00011C2A4	PADCONFIG169	AD2	MLB0_ML BCP							GPIO1_34								
0x00011C2A8	PADCONFIG170	AE2	MLB0_ML BCN							GPIO1_35								
0x00011C000	PADCONFIG0	AC18	EXTINTn							GPIO0_0								

表 5-125. 引脚多路复用 (续)

地址	寄存器名称	焊球编号	MUXMODE[14:0] 设置															
			0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	自举
0x00011C004	PADCONFIG1	AC23	PRG1_PR U0_GPO0	PRG1_PR U0_GPI0	PRG1_RG MII1_RD0	PRG1_PW M3_A0	RGMII1_R D0	RMII1_RX D0		GPIO0_1	GPMC0_B E1n	RGMII7_R D0			MCASP6_ ACLKX		UART0_R XD	
0x00011C008	PADCONFIG2	AG22	PRG1_PR U0_GPO1	PRG1_PR U0_GPI1	PRG1_RG MII1_RD1	PRG1_PW M3_B0	RGMII1_R D1	RMII1_RX D1		GPIO0_2	GPMC0_W AIT0	RGMII7_R D1			MCASP6_ AFSX		UART0_TX D	
0x00011C00C	PADCONFIG3	AF22	PRG1_PR U0_GPO2	PRG1_PR U0_GPI2	PRG1_RG MII1_RD2	PRG1_PW M2_A0	RGMII1_R D2	RMII1_CR S_DV		GPIO0_3	GPMC0_W AIT1	RGMII7_R D2			MCASP6_ AXR0		UART1_R XD	
0x00011C010	PADCONFIG4	AJ23	PRG1_PR U0_GPO3	PRG1_PR U0_GPI3	PRG1_RG MII1_RD3	PRG1_PW M3_A2	RGMII1_R D3	RMII1_RX _ER		GPIO0_4	GPMC0_DI R	RGMII7_R D3			MCASP6_ AXR1		UART1_TX D	
0x00011C014	PADCONFIG5	AH23	PRG1_PR U0_GPO4	PRG1_PR U0_GPI4	PRG1_RG MII1_RX_ CTL	PRG1_PW M2_B0	RGMII1_R X_CTL	RMII1_TX D0		GPIO0_5	GPMC0_C Sn2	RGMII7_R X_CTL			MCASP6_ AXR2	MCASP6_ ACLKR	UART2_R XD	
0x00011C018	PADCONFIG6	AD20	PRG1_PR U0_GPO5	PRG1_PR U0_GPI5		PRG1_PW M3_B2		RMII1_TX_ EN		GPIO0_6	GPMC0_W En				MCASP3_ AXR0			BOOTMO DE0
0x00011C01C	PADCONFIG7	AD22	PRG1_PR U0_GPO6	PRG1_PR U0_GPI6	PRG1_RG MII1_RXC	PRG1_PW M3_A1	RGMII1_R XC	RMII1_TX D1	AUDIO_EX T_REFCLK 0	GPIO0_7	GPMC0_C Sn3	RGMII7_R XC			MCASP6_ AXR3	MCASP6_ AFSR	UART2_TX D	
0x00011C020	PADCONFIG8	AE20	PRG1_PR U0_GPO7	PRG1_PR U0_GPI7	PRG1_IEP 0_EDC_LA TCH_IN1	PRG1_PW M3_B1		AUDIO_EX T_REFCLK 1	MCAN4_T X	GPIO0_8					MCASP3_ AXR1			
0x00011C024	PADCONFIG9	AJ20	PRG1_PR U0_GPO8	PRG1_PR U0_GPI8		PRG1_PW M2_A1		RMII5_RX D0	MCAN4_R X	GPIO0_9	GPMC0_O En_REn		VOUT0_D ATA22		MCASP3_ AXR2			
0x00011C028	PADCONFIG10	AG20	PRG1_PR U0_GPO9	PRG1_PR U0_GPI9	PRG1_UA RT0_CTSn	PRG1_PW M3_TZ_IN	SPI6_CS1	RMII5_RX D1		GPIO0_10	GPMC0_A DVn_ALE	PRG1_IEP 0_EDIO_D ATA_IN_O UT28	VOUT0_D ATA23		MCASP3_ ACLKX			
0x00011C02C	PADCONFIG11	AD21	PRG1_PR U0_GPO10	PRG1_PR U0_GPI10	PRG1_UA RT0_RTSn	PRG1_PW M2_B1	SPI6_CS2	RMII5_CR S_DV		GPIO0_11	GPMC0_B E0n_CLE	PRG1_IEP 0_EDIO_D ATA_IN_O UT29	OBSCLK2		MCASP3_ AFSX			
0x00011C030	PADCONFIG12	AF24	PRG1_PR U0_GPO11	PRG1_PR U0_GPI11	PRG1_RG MII1_TD0	PRG1_PW M3_TZ_O UT	RGMII1_T D0		MCAN4_T X	GPIO0_12		RGMII7_T D0	VOUT0_D ATA16	VPFE0_DA TA0	MCASP7_ ACLKX			
0x00011C034	PADCONFIG13	AJ24	PRG1_PR U0_GPO12	PRG1_PR U0_GPI12	PRG1_RG MII1_TD1	PRG1_PW M0_A0	RGMII1_T D1		MCAN4_R X	GPIO0_13		RGMII7_T D1	VOUT0_D ATA17	VPFE0_DA TA1	MCASP7_ AFSX			
0x00011C038	PADCONFIG14	AG24	PRG1_PR U0_GPO13	PRG1_PR U0_GPI13	PRG1_RG MII1_TD2	PRG1_PW M0_B0	RGMII1_T D2		MCAN5_T X	GPIO0_14		RGMII7_T D2	VOUT0_D ATA18	VPFE0_DA TA2	MCASP7_ AXR0			
0x00011C03C	PADCONFIG15	AD24	PRG1_PR U0_GPO14	PRG1_PR U0_GPI14	PRG1_RG MII1_TD3	PRG1_PW M0_A1	RGMII1_T D3		MCAN5_R X	GPIO0_15		RGMII7_T D3	VOUT0_D ATA19	VPFE0_DA TA3	MCASP7_ AXR1			
0x00011C040	PADCONFIG16	AC24	PRG1_PR U0_GPO15	PRG1_PR U0_GPI15	PRG1_RG MII1_TX_C TL	PRG1_PW M0_B1	RGMII1_T X_CTL		MCAN6_T X	GPIO0_16		RGMII7_T X_CTL	VOUT0_D ATA20	VPFE0_DA TA4	MCASP7_ AXR2	MCASP7_ ACLKR		
0x00011C044	PADCONFIG17	AE24	PRG1_PR U0_GPO16	PRG1_PR U0_GPI16	PRG1_RG MII1_TXC	PRG1_PW M0_A2	RGMII1_T XC		MCAN6_R X	GPIO0_17		RGMII7_T XC	VOUT0_D ATA21	VPFE0_DA TA5	MCASP7_ AXR3	MCASP7_ AFSR		
0x00011C04C	PADCONFIG19	AJ21	PRG1_PR U0_GPO17	PRG1_PR U0_GPI17	PRG1_IEP 0_EDC_SY NC_OUT1	PRG1_PW M0_B2		RMII5_TX D1	MCAN5_T X	GPIO0_18				VPFE0_DA TA6	MCASP3_ AXR3			

表 5-125. 引脚多路复用 (续)

地址	寄存器名称	焊球编号	MUXMODE[14:0] 设置															
			0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	自举
0x00011C050	PADCONFIG20	AE21	PRG1_PR U0_GPO18	PRG1_PR U0_GPI18	PRG1_IEP 0_EDC_LA TCH_IN0	PRG1_PW M0_TZ_IN		RMII5_RX _ER	MCAN5_R X	GPIO0_19				VPFE0_DA TA7	MCASP4_ ACLKX			
0x00011C054	PADCONFIG21	AH21	PRG1_PR U0_GPO19	PRG1_PR U0_GPI19	PRG1_IEP 0_EDC_SY NC_OUT0	PRG1_PW M0_TZ_O UT		RMII5_TX D0	MCAN6_T X	GPIO0_20			VOUT0_E XTPCLKIN	VPFE0_PC LK	MCASP4_ AFSX			
0x00011C058	PADCONFIG22	AE22	PRG1_PR U1_GPO0	PRG1_PR U1_GPI0	PRG1_RG MII2_RD0		RGMII2_R D0	RMII2_RX D0		GPIO0_21	RGMII8_R D0		VOUT0_D ATA0	VPFE0_H D	MCASP8_ ACLKX			
0x00011C05C	PADCONFIG23	AG23	PRG1_PR U1_GPO1	PRG1_PR U1_GPI1	PRG1_RG MII2_RD1		RGMII2_R D1	RMII2_RX D1		GPIO0_22	RGMII8_R D1		VOUT0_D ATA1	VPFE0_FI ELD	MCASP8_ AFSX			
0x00011C060	PADCONFIG24	AF23	PRG1_PR U1_GPO2	PRG1_PR U1_GPI2	PRG1_RG MII2_RD2	PRG1_PW M2_A2	RGMII2_R D2	RMII2_CR S_DV		GPIO0_23	RGMII8_R D2		VOUT0_D ATA2	VPFE0_VD	MCASP8_ AXR0	MCASP3_ ACLKR		
0x00011C064	PADCONFIG25	AD23	PRG1_PR U1_GPO3	PRG1_PR U1_GPI3	PRG1_RG MII2_RD3		RGMII2_R D3	RMII2_RX _ER		GPIO0_24	RGMII8_R D3	EQEP1_A	VOUT0_D ATA3	VPFE0_W EN	MCASP8_ AXR1	MCASP3_ AFSR	TIMER_IO 2	
0x00011C068	PADCONFIG26	AH24	PRG1_PR U1_GPO4	PRG1_PR U1_GPI4	PRG1_RG MII2_RX_ CTL	PRG1_PW M2_B2	RGMII2_R X_CTL	RMII2_TX D0		GPIO0_25	RGMII8_R X_CTL	EQEP1_B	VOUT0_D ATA4	VPFE0_DA TA13	MCASP8_ AXR2	MCASP8_ ACLKR	TIMER_IO 3	
0x00011C06C	PADCONFIG27	AG21	PRG1_PR U1_GPO5	PRG1_PR U1_GPI5				RMII5_TX_ EN	MCAN6_R X	GPIO0_26	GPMC0_W Pn	EQEP1_S	VOUT0_D ATA5		MCASP4_ AXR0		TIMER_IO 4	
0x00011C070	PADCONFIG28	AE23	PRG1_PR U1_GPO6	PRG1_PR U1_GPI6	PRG1_RG MII2_RXC		RGMII2_R XC	RMII2_TX D1		GPIO0_27	RGMII8_R XC		VOUT0_D ATA6	VPFE0_DA TA14	MCASP8_ AXR3	MCASP8_ AFSR	TIMER_IO 5	
0x00011C074	PADCONFIG29	AC21	PRG1_PR U1_GPO7	PRG1_PR U1_GPI7	PRG1_IEP 1_EDC_LA TCH_IN1		SPI6_CS0	RMII6_RX _ER	MCAN7_T X	GPIO0_28			VOUT0_D ATA7	VPFE0_DA TA15	MCASP4_ AXR1		UART3_TX D	
0x00011C078	PADCONFIG30	Y23	PRG1_PR U1_GPO8	PRG1_PR U1_GPI8		PRG1_PW M2_TZ_O UT		RMII6_RX D0	MCAN7_R X	GPIO0_29	GPMC0_C Sn1		VOUT0_D ATA8		MCASP4_ AXR2		UART3_R XD	
0x00011C07C	PADCONFIG31	AF21	PRG1_PR U1_GPO9	PRG1_PR U1_GPI9	PRG1_UA RT0_RXD		SPI6_CS3	RMII6_RX D1	MCAN8_T X	GPIO0_30	GPMC0_C Sn0	PRG1_IEP 0_EDIO_D ATA_IN_O UT30	VOUT0_D ATA9		MCASP4_ AXR3			
0x00011C080	PADCONFIG32	AB23	PRG1_PR U1_GPO10	PRG1_PR U1_GPI10	PRG1_UA RT0_TXD	PRG1_PW M2_TZ_IN		RMII6_CR S_DV	MCAN8_R X	GPIO0_31	GPMC0_C LKOUT	PRG1_IEP 0_EDIO_D ATA_IN_O UT31	VOUT0_D ATA10	GPMC0_F CLK_MUX	MCASP5_ ACLKX			
0x00011C084	PADCONFIG33	AJ25	PRG1_PR U1_GPO11	PRG1_PR U1_GPI11	PRG1_RG MII2_TD0		RGMII2_T D0	RMII2_TX_ EN		GPIO0_32	RGMII8_T D0	EQEP1_I	VOUT0_D ATA11		MCASP9_ ACLKX			
0x00011C088	PADCONFIG34	AH25	PRG1_PR U1_GPO12	PRG1_PR U1_GPI12	PRG1_RG MII2_TD1	PRG1_PW M1_A0	RGMII2_T D1		MCAN7_T X	GPIO0_33	RGMII8_T D1		VOUT0_D ATA12		MCASP9_ AFSX			
0x00011C08C	PADCONFIG35	AG25	PRG1_PR U1_GPO13	PRG1_PR U1_GPI13	PRG1_RG MII2_TD2	PRG1_PW M1_B0	RGMII2_T D2		MCAN7_R X	GPIO0_34	RGMII8_T D2		VOUT0_D ATA13	VPFE0_DA TA8	MCASP9_ AXR0	MCASP4_ ACLKR		
0x00011C090	PADCONFIG36	AH26	PRG1_PR U1_GPO14	PRG1_PR U1_GPI14	PRG1_RG MII2_TD3	PRG1_PW M1_A1	RGMII2_T D3		MCAN8_T X	GPIO0_35	RGMII8_T D3		VOUT0_D ATA14		MCASP9_ AXR1	MCASP4_ AFSR		
0x00011C094	PADCONFIG37	AJ27	PRG1_PR U1_GPO15	PRG1_PR U1_GPI15	PRG1_RG MII2_TX_C TL	PRG1_PW M1_B1	RGMII2_T X_CTL		MCAN8_R X	GPIO0_36	RGMII8_T X_CTL		VOUT0_D ATA15	VPFE0_DA TA9	MCASP9_ AXR2	MCASP9_ ACLKR		

表 5-125. 引脚多路复用 (续)

地址	寄存器名称	焊球编号	MUXMODE[14:0] 设置															
			0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	自举
0x00011C098	PADCONFIG38	AJ26	PRG1_PR U1_GPO16	PRG1_PR U1_GPI16	PRG1_RG MII2_TXC	PRG1_PW M1_A2	RGMII2_T XC			GPIO0_37	RGMII8_T XC	VOUT0_V P2_HSYN C	VOUT0_H SYNC		MCASP9_ AXR3	MCASP9_ AFSR	VOUT0_V P0_HSYN C	
0x00011C09C	PADCONFIG39	AC22	PRG1_PR U1_GPO17	PRG1_PR U1_GPI17	PRG1_IEP 1_EDC_SY NC_OUT1	PRG1_PW M1_B2	SPI6_CLK	RMII6_TX_ EN	PRG1_EC AP0_SYN C_OUT	GPIO0_38		VOUT0_V P2_DE	VOUT0_D E	VPFE0_DA TA10	MCASP5_ AFSX		VOUT0_V P0_DE	BOOTMO DE1
0x00011C0A0	PADCONFIG40	AJ22	PRG1_PR U1_GPO18	PRG1_PR U1_GPI18	PRG1_IEP 1_EDC_LA TCH_IN0	PRG1_PW M1_TZ_IN	SPI6_D0	RMII6_TX D0	PRG1_EC AP0_SYN C_IN	GPIO0_39		VOUT0_V P2_VSYN C	VOUT0_V SYNC		MCASP5_ AXR0		VOUT0_V P0_VSYN C	
0x00011C0A4	PADCONFIG41	AH22	PRG1_PR U1_GPO19	PRG1_PR U1_GPI19	PRG1_IEP 1_EDC_SY NC_OUT0	PRG1_PW M1_TZ_O UT	SPI6_D1	RMII6_TX D1	PRG1_EC AP0_IN_A PWM_OUT	GPIO0_40			VOUT0_P CLK		MCASP5_ AXR1			
0x00011C0A8	PADCONFIG42	AD19	PRG1_MDI O0_MDIO	SPI1_CS2	I2C4_SCL					GPIO0_41			DSS_FSY NC1	VPFE0_DA TA11	MCASP5_ AXR2	MCASP5_ ACLKR	UART3_CT Sn	
0x00011C0AC	PADCONFIG43	AD18	PRG1_MDI O0_MDC	SPI1_CS3	I2C4_SDA			RMII_REF _CLK		GPIO0_42				VPFE0_DA TA12	MCASP5_ AXR3	MCASP5_ AFSR	UART3_RT Sn	
0x00011C0B0	PADCONFIG44	AF28	PRG0_PR U0_GPO0	PRG0_PR U0_GPI0	PRG0_RG MII1_RD0	PRG0_PW M3_A0	RGMII3_R D0	RMII3_RX D1		GPIO0_43					MCASP0_ AXR0			
0x00011C0B4	PADCONFIG45	AE28	PRG0_PR U0_GPO1	PRG0_PR U0_GPI1	PRG0_RG MII1_RD1	PRG0_PW M3_B0	RGMII3_R D1	RMII3_RX D0		GPIO0_44					MCASP0_ AXR1			
0x00011C0B8	PADCONFIG46	AE27	PRG0_PR U0_GPO2	PRG0_PR U0_GPI2	PRG0_RG MII1_RD2	PRG0_PW M2_A0	RGMII3_R D2	RMII3_CR S_DV		GPIO0_45	UART3_R XD				MCASP0_ ACLKR			
0x00011C0BC	PADCONFIG47	AD26	PRG0_PR U0_GPO3	PRG0_PR U0_GPI3	PRG0_RG MII1_RD3	PRG0_PW M3_A2	RGMII3_R D3	RMII3_RX _ER		GPIO0_46	UART3_TX D				MCASP0_ AFSR			
0x00011C0C0	PADCONFIG48	AD25	PRG0_PR U0_GPO4	PRG0_PR U0_GPI4	PRG0_RG MII1_RX_ CTL	PRG0_PW M2_B0	RGMII3_R X_CTL	RMII3_TX D1		GPIO0_47					MCASP0_ AXR2			
0x00011C0C4	PADCONFIG49	AC29	PRG0_PR U0_GPO5	PRG0_PR U0_GPI5		PRG0_PW M3_B2		RMII3_TX D0		GPIO0_48	GPMC0_A D0				MCASP0_ AXR3			BOOTMO DE2
0x00011C0C8	PADCONFIG50	AE26	PRG0_PR U0_GPO6	PRG0_PR U0_GPI6	PRG0_RG MII1_RXC	PRG0_PW M3_A1	RGMII3_R XC	RMII3_TX_ EN		GPIO0_49					MCASP0_ AXR4			
0x00011C0CC	PADCONFIG51	AC28	PRG0_PR U0_GPO7	PRG0_PR U0_GPI7	PRG0_IEP 0_EDC_LA TCH_IN1	PRG0_PW M3_B1	PRG0_EC AP0_SYN C_IN		MCAN9_T X	GPIO0_50	GPMC0_A D1				MCASP0_ AXR5			
0x00011C0D0	PADCONFIG52	AC27	PRG0_PR U0_GPO8	PRG0_PR U0_GPI8		PRG0_PW M2_A1			MCAN9_R X	GPIO0_51	GPMC0_A D2				MCASP0_ AXR6		UART6_R XD	
0x00011C0D4	PADCONFIG53	AB26	PRG0_PR U0_GPO9	PRG0_PR U0_GPI9	PRG0_UA RT0_CTSn	PRG0_PW M3_TZ_IN	SPI3_CS1	PRG0_IEP 0_EDIO_D ATA_IN_O UT28	MCAN10_ TX	GPIO0_52	GPMC0_A D3				MCASP0_ ACLKX		UART6_TX D	
0x00011C0D8	PADCONFIG54	AB25	PRG0_PR U0_GPO10	PRG0_PR U0_GPI10	PRG0_UA RT0_RTsn	PRG0_PW M2_B1	SPI3_CS2	PRG0_IEP 0_EDIO_D ATA_IN_O UT29	MCAN10_ RX	GPIO0_53	GPMC0_A D4				MCASP0_ AFSX			
0x00011C0DC	PADCONFIG55	AJ28	PRG0_PR U0_GPO11	PRG0_PR U0_GPI11	PRG0_RG MII1_TD0	PRG0_PW M3_TZ_O UT	RGMII3_T D0			GPIO0_54		CLKOUT			MCASP0_ AXR7			

表 5-125. 引脚多路复用 (续)

地址	寄存器名称	焊球编号	MUXMODE[14:0] 设置															
			0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	自举
0x00011C0E0	PADCONFIG56	AH27	PRG0_PR U0_GPO1 2	PRG0_PR U0_GPI12	PRG0_RG MII1_TD1	PRG0_PW M0_A0	RGMII3_T D1			GPIO0_55			DSS_FSY NC0		MCASP0_ AXR8			
0x00011C0E4	PADCONFIG57	AH29	PRG0_PR U0_GPO1 3	PRG0_PR U0_GPI13	PRG0_RG MII1_TD2	PRG0_PW M0_B0	RGMII3_T D2			GPIO0_56			DSS_FSY NC2		MCASP0_ AXR9			
0x00011C0E8	PADCONFIG58	AG28	PRG0_PR U0_GPO1 4	PRG0_PR U0_GPI14	PRG0_RG MII1_TD3	PRG0_PW M0_A1	RGMII3_T D3			GPIO0_57	UART4_R XD				MCASP0_ AXR10			
0x00011C0EC	PADCONFIG59	AG27	PRG0_PR U0_GPO1 5	PRG0_PR U0_GPI15	PRG0_RG MII1_TX_C TL	PRG0_PW M0_B1	RGMII3_T X_CTL			GPIO0_58	UART4_TX D		DSS_FSY NC3		MCASP0_ AXR11			
0x00011C0F0	PADCONFIG60	AH28	PRG0_PR U0_GPO1 6	PRG0_PR U0_GPI16	PRG0_RG MII1_TXC	PRG0_PW M0_A2	RGMII3_T XC			GPIO0_59			DSS_FSY NC1		MCASP0_ AXR12			
0x00011C0F4	PADCONFIG61	AB24	PRG0_PR U0_GPO1 7	PRG0_PR U0_GPI17	PRG0_IEP 0_EDC_SY NC_OUT1	PRG0_PW M0_B2	PRG0_EC AP0_SYN C_OUT			GPIO0_60	GPMC0_A D5	OBSCLK1			MCASP0_ AXR13			BOOTMO DE7
0x00011C0F8	PADCONFIG62	AB29	PRG0_PR U0_GPO1 8	PRG0_PR U0_GPI18	PRG0_IEP 0_EDC_LA TCH_IN0	PRG0_PW M0_TZ_IN	PRG0_EC AP0_IN_A PWM_OUT			GPIO0_61	GPMC0_A D6				MCASP0_ AXR14			
0x00011C0FC	PADCONFIG63	AB28	PRG0_PR U0_GPO1 9	PRG0_PR U0_GPI19	PRG0_IEP 0_EDC_SY NC_OUT0	PRG0_PW M0_TZ_O UT				GPIO0_62	GPMC0_A D7				MCASP0_ AXR15			
0x00011C100	PADCONFIG64	AE29	PRG0_PR U1_GPO0	PRG0_PR U1_GPI0	PRG0_RG MII2_RD0		RGMII4_R D0	RMII4_RX D0		GPIO0_63	UART4_CT Sn				MCASP1_ AXR0		UART5_R XD	
0x00011C104	PADCONFIG65	AD28	PRG0_PR U1_GPO1	PRG0_PR U1_GPI1	PRG0_RG MII2_RD1		RGMII4_R D1	RMII4_RX D1		GPIO0_64	UART4_RT Sn				MCASP1_ AXR1		UART5_TX D	
0x00011C108	PADCONFIG66	AD27	PRG0_PR U1_GPO2	PRG0_PR U1_GPI2	PRG0_RG MII2_RD2	PRG0_PW M2_A2	RGMII4_R D2	RMII4_CR S_DV		GPIO0_65	GPMC0_A 23				MCASP1_ ACLKR	MCASP1_ AXR10		
0x00011C10C	PADCONFIG67	AC25	PRG0_PR U1_GPO3	PRG0_PR U1_GPI3	PRG0_RG MII2_RD3		RGMII4_R D3	RMII4_RX _ER		GPIO0_66					MCASP1_ AFSR	MCASP1_ AXR11		
0x00011C110	PADCONFIG68	AD29	PRG0_PR U1_GPO4	PRG0_PR U1_GPI4	PRG0_RG MII2_RX_ CTL	PRG0_PW M2_B2	RGMII4_R X_CTL	RMII4_TX D1		GPIO0_67	GPMC0_A 24				MCASP1_ AXR2			
0x00011C114	PADCONFIG69	AB27	PRG0_PR U1_GPO5	PRG0_PR U1_GPI5						GPIO0_68	GPMC0_A D8				MCASP1_ ACLKX			BOOTMO DE6
0x00011C118	PADCONFIG70	AC26	PRG0_PR U1_GPO6	PRG0_PR U1_GPI6	PRG0_RG MII2_RXC		RGMII4_R XC	RMII4_TX D0		GPIO0_69	GPMC0_A 25				MCASP1_ AXR3			
0x00011C11C	PADCONFIG71	AA24	PRG0_PR U1_GPO7	PRG0_PR U1_GPI7	PRG0_IEP 1_EDC_LA TCH_IN1		SPI3_CS0		MCAN11_T X	GPIO0_70	GPMC0_A D9				MCASP1_ AXR4		UART2_TX D	
0x00011C120	PADCONFIG72	AA28	PRG0_PR U1_GPO8	PRG0_PR U1_GPI8		PRG0_PW M2_TZ_O UT			MCAN11_ RX	GPIO0_71	GPMC0_A D10				MCASP1_ AFSX			
0x00011C124	PADCONFIG73	Y24	PRG0_PR U1_GPO9	PRG0_PR U1_GPI9	PRG0_UA RTO_RXD		SPI3_CS3		PRG0_IEP 0_EDIO_D ATA_IN_O UT30	GPIO0_72	GPMC0_A D11		DSS_FSY NC3		MCASP1_ AXR5		UART8_R XD	

表 5-125. 引脚多路复用 (续)

地址	寄存器名称	焊球编号	MUXMODE[14:0] 设置															自举
			0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	
0x00011C128	PADCONFIG74	AA25	PRG0_PR U1_GPO10	PRG0_PR U1_GPI10	PRG0_UA RT0_TXD	PRG0_PW M2_TZ_IN			PRG0_IEP 0_EDIO_D ATA_IN_O UT31	GPIO0_73	GPMC0_A D12	CLKOUT			MCASP1_ AXR6		UART8_TX D	
0x00011C12C	PADCONFIG75	AG26	PRG0_PR U1_GPO11	PRG0_PR U1_GPI11	PRG0_RG MII2_TD0		RGMII4_T D0	RMII4_TX_ EN		GPIO0_74	GPMC0_A 26				MCASP1_ AXR7			
0x00011C130	PADCONFIG76	AF27	PRG0_PR U1_GPO12	PRG0_PR U1_GPI12	PRG0_RG MII2_TD1	PRG0_PW M1_A0	RGMII4_T D1			GPIO0_75					MCASP1_ AXR8		UART8_CT Sn	
0x00011C134	PADCONFIG77	AF26	PRG0_PR U1_GPO13	PRG0_PR U1_GPI13	PRG0_RG MII2_TD2	PRG0_PW M1_B0	RGMII4_T D2			GPIO0_76					MCASP1_ AXR9		UART8_RT Sn	
0x00011C138	PADCONFIG78	AE25	PRG0_PR U1_GPO14	PRG0_PR U1_GPI14	PRG0_RG MII2_TD3	PRG0_PW M1_A1	RGMII4_T D3			GPIO0_77					MCASP2_ AXR0		UART2_CT Sn	
0x00011C13C	PADCONFIG79	AF29	PRG0_PR U1_GPO15	PRG0_PR U1_GPI15	PRG0_RG MII2_TX_C TL	PRG0_PW M1_B1	RGMII4_T X_CTL			GPIO0_78					MCASP2_ AXR1		UART2_RT Sn	
0x00011C140	PADCONFIG80	AG29	PRG0_PR U1_GPO16	PRG0_PR U1_GPI16	PRG0_RG MII2_TXC	PRG0_PW M1_A2	RGMII4_T XC			GPIO0_79					MCASP2_ AXR2			
0x00011C144	PADCONFIG81	Y25	PRG0_PR U1_GPO17	PRG0_PR U1_GPI17	PRG0_IEP 1_EDC_SY NC_OUT1	PRG0_PW M1_B2	SPI3_CLK			GPIO0_80	GPMC0_A D13				MCASP2_ AXR3			BOOTMO DE3
0x00011C148	PADCONFIG82	AA26	PRG0_PR U1_GPO18	PRG0_PR U1_GPI18	PRG0_IEP 1_EDC_LA TCH_IN0	PRG0_PW M1_TZ_IN	SPI3_D0		MCAN12_ TX	GPIO0_81	GPMC0_A D14				MCASP2_ AFSX		UART2_R XD	
0x00011C14C	PADCONFIG83	AA29	PRG0_PR U1_GPO19	PRG0_PR U1_GPI19	PRG0_IEP 1_EDC_SY NC_OUT0	PRG0_PW M1_TZ_O UT	SPI3_D1		MCAN12_ RX	GPIO0_82	GPMC0_A D15				MCASP2_ ACLKX			
0x00011C150	PADCONFIG84	Y26	PRG0_MDI O0_MDIO		I2C5_SCL				MCAN13_ TX	GPIO0_83	GPMC0_A 27		DSS_FSY NC0		MCASP2_ AFSR	MCASP2_ AXR4		
0x00011C154	PADCONFIG85	AA27	PRG0_MDI O0_MDC		I2C5_SDA				MCAN13_ RX	GPIO0_84	GPMC0_A 0		DSS_FSY NC2		MCASP2_ ACLKR	MCASP2_ AXR5		
0x00011C158	PADCONFIG86	U23	RGMII5_T X_CTL	RMII7_CR S_DV	I2C2_SCL		VOUT1_D ATA0	TRC_CLK	EHRPWM0_ SYNCl	GPIO0_85	GPMC0_A 1				MCASP10_ ACLKX			
0x00011C15C	PADCONFIG87	U26	RGMII5_R X_CTL	RMII7_RX _ER	I2C2_SDA		VOUT1_D ATA1	TRC_CTL	EHRPWM0_ SYNCO	GPIO0_86	GPMC0_A 2				MCASP10_ AFSX			
0x00011C160	PADCONFIG88	V28	RGMII5_T D3	UART3_R XD		SYNC2_O UT	VOUT1_D ATA2	TRC_DATA 0	EHRPWM_ TZn_IN0	GPIO0_87	GPMC0_A 3				MCASP10_ _AXR0			
0x00011C164	PADCONFIG89	V29	RGMII5_T D2	UART3_TX D		SYNC3_O UT	VOUT1_D ATA3	TRC_DATA 1	EHRPWM0_ _A	GPIO0_88	GPMC0_A 4				MCASP10_ _AXR1			
0x00011C168	PADCONFIG90	V27	RGMII5_T D1	RMII7_TX D1	I2C3_SCL		VOUT1_D ATA4	TRC_DATA 2	EHRPWM0_ _B	GPIO0_89	GPMC0_A 5				MCASP11_ ACLKX			
0x00011C16C	PADCONFIG91	U28	RGMII5_T D0	RMII7_TX D0	I2C3_SDA		VOUT1_D ATA5	TRC_DATA 3	EHRPWM1_ _A	GPIO0_90	GPMC0_A 6				MCASP11_ AFSX			
0x00011C170	PADCONFIG92	U29	RGMII5_T XC	RMII7_TX_ EN	I2C6_SCL		VOUT1_D ATA6	TRC_DATA 4	EHRPWM1_ _B	GPIO0_91	GPMC0_A 7				MCASP10_ _AXR2			

DRA829J, DRA829J-Q1, DRA829V, DRA829V-Q1

ZHCSN40L - FEBRUARY 2019 - REVISED JUNE 2026

表 5-125. 引脚多路复用 (续)

地址	寄存器名称	焊球编号	MUXMODE[14:0] 设置															
			0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	自举
0x00011C174	PADCONFIG93	U25	RGMII5_R XC		I2C6_SDA		VOUT1_D ATA7	TRC_DATA 5	EHRPWM_TZn_IN1	GPIO0_92	GPMC0_A 8				MCASP10_AXR3		EHRPWM_SOCA	
0x00011C178	PADCONFIG94	U27	RGMII5_R D3	UART3_CT Sn		UART6_R XD	VOUT1_D ATA8	TRC_DATA 6	EHRPWM2_A	GPIO0_93	GPMC0_A 9				MCASP11_AXR0			
0x00011C17C	PADCONFIG95	U24	RGMII5_R D2	UART3_RT Sn		UART6_TX D	VOUT1_D ATA9	TRC_DATA 7	EHRPWM2_B	GPIO0_94	GPMC0_A 10				MCASP11_AXR1			
0x00011C180	PADCONFIG96	R23	RGMII5_R D1	RMII7_RX D1		UART6_CT Sn	VOUT1_D ATA10	TRC_DATA 8	EHRPWM_TZn_IN2	GPIO0_95	GPMC0_A 11				MCASP11_AXR2		EHRPWM_SOCB	
0x00011C184	PADCONFIG97	T23	RGMII5_R D0	RMII7_RX D0		UART6_RT Sn	VOUT1_D ATA11	TRC_DATA 9		GPIO0_96	GPMC0_A 12				MCASP11_AXR3			
0x00011C188	PADCONFIG98	Y28	RGMII6_T X_CTL	RMII8_CR S_DV			VOUT1_D ATA12	TRC_DATA 10		GPIO0_97	GPMC0_A 13				MCASP10_ACLKR			
0x00011C18C	PADCONFIG99	V23	RGMII6_R X_CTL	RMII8_RX_ER			VOUT1_D ATA13	TRC_DATA 11	EHRPWM3_A	GPIO0_98	GPMC0_A 14				MCASP10_AFSR			
0x00011C190	PADCONFIG100	W23	RGMII6_T D3	UART4_R XD		SPI5_CS3	VOUT1_D ATA14	TRC_DATA 12	EHRPWM3_B	GPIO0_99	GPMC0_A 15				MCASP11_ACLKR			
0x00011C194	PADCONFIG101	W28	RGMII6_T D2	UART4_TX D		SPI5_CS2	VOUT1_D ATA15	TRC_DATA 13	EHRPWM3_SYNCI	GPIO0_100	GPMC0_A 16				MCASP11_AFSR			
0x00011C198	PADCONFIG102	V25	RGMII6_T D1	RMII8_TX D1		SPI5_D0	VOUT1_V SYNC	TRC_DATA 14	EHRPWM3_SYNCO	GPIO0_101	GPMC0_A 17	VOUT1_V P0_VSYN C			MCASP10_AXR4			
0x00011C19C	PADCONFIG103	W27	RGMII6_T D0	RMII8_TX D0		SPI5_CS0	VOUT1_H SYNC	TRC_DATA 15	EHRPWM_TZn_IN3	GPIO0_102	GPMC0_A 18	VOUT1_V P0_HSYN C			MCASP10_AXR5			
0x00011C1A0	PADCONFIG104	W29	RGMII6_T XC	RMII8_TX_EN		SPI5_CLK	VOUT1_P CLK	TRC_DATA 16	EHRPWM4_A	GPIO0_103	GPMC0_A 19				MCASP10_AXR6			
0x00011C1A4	PADCONFIG105	W26	RGMII6_R XC			AUDIO_EX T_REFCLK 2	VOUT1_D E	TRC_DATA 17	EHRPWM4_B	GPIO0_104	GPMC0_A 20	VOUT1_V P0_DE			MCASP10_AXR7			
0x00011C1A8	PADCONFIG106	Y29	RGMII6_R D3	UART4_CT Sn		UART5_R XD	CLKOUT	TRC_DATA 18	EHRPWM_TZn_IN4	GPIO0_105	GPMC0_A 21				MCASP11_AXR4			
0x00011C1AC	PADCONFIG107	Y27	RGMII6_R D2	UART4_RT Sn		UART5_TX D		TRC_DATA 19	EHRPWM5_A	GPIO0_106	GPMC0_A 22				MCASP11_AXR5			
0x00011C1B0	PADCONFIG108	W24	RGMII6_R D1	RMII8_RX D1		SPI5_D1	VOUT1_E XTPCLKIN	TRC_DATA 20	EHRPWM5_B	GPIO0_107	GPMC0_B E1n				MCASP11_AXR6			
0x00011C1B4	PADCONFIG109	W25	RGMII6_R D0	RMII8_RX D0		SPI5_CS1	AUDIO_EX T_REFCLK 3	TRC_DATA 21	EHRPWM_TZn_IN5	GPIO0_108	GPMC0_DI R				MCASP11_AXR7			
0x00011C1B8	PADCONFIG110	V26	MDIO0_M DIO					TRC_DATA 22		GPIO0_109	GPMC0_W AIT3							
0x00011C1BC	PADCONFIG111	V24	MDIO0_M DC					TRC_DATA 23		GPIO0_110	GPMC0_W AIT2							
0x00011C1C0	PADCONFIG112	AA2	SPI0_CS0	UART0_RT Sn						GPIO0_111								
0x00011C1C4	PADCONFIG113	Y4	SPI0_CS1	CPTS0_TS_COMP	I2C3_SCL			DP0_HPDP	PRG1_IEP0_EDIO_0 UTVALID	GPIO0_112								

表 5-125. 引脚多路复用 (续)

地址	寄存器名称	焊球编号	MUXMODE[14:0] 设置															
			0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	自举
0x00011C1C8	PADCONFIG114	AA1	SPI0_CLK	UART1_CT Sn	I2C2_SCL					GPIO0_11 3								
0x00011C1CC	PADCONFIG115	AB5	SPI0_D0	UART1_RT Sn	I2C2_SDA					GPIO0_11 4								
0x00011C1D0	PADCONFIG116	AA3	SPI0_D1		I2C6_SCL					GPIO0_11 5								
0x00011C1D4	PADCONFIG117	Y3	SPI1_CS0	UART0_CT Sn		UART5_R XD			PRG0_IEP 0_EDIO_O UTVALID	GPIO0_11 6	PRG0_IEP 0_EDC_LA TCH_IN0							
0x00011C1D8	PADCONFIG118	W4	SPI1_CS1	CPTS0_TS _SYNC	I2C3_SDA	UART5_TX D				GPIO0_11 7								
0x00011C1DC	PADCONFIG119	Y1	SPI1_CLK	UART5_CT Sn	I2C4_SDA	UART2_R XD				GPIO0_11 8	PRG0_IEP 0_EDC_SY NC_OUT0							
0x00011C1E0	PADCONFIG120	Y5	SPI1_D0	UART5_RT Sn	I2C4_SCL	UART2_TX D				GPIO0_11 9	PRG0_IEP 1_EDC_LA TCH_IN0							
0x00011C1E4	PADCONFIG121	Y2	SPI1_D1		I2C6_SDA					GPIO0_12 0	PRG0_IEP 1_EDC_SY NC_OUT0							
0x00011C1E8	PADCONFIG122	AB2	UART0_R XD				SPI2_CS1			GPIO0_12 1								
0x00011C1EC	PADCONFIG123	AB3	UART0_TX D				SPI2_CS2		SPI7_CS1	GPIO0_12 2								
0x00011C1F0	PADCONFIG124	AC2	UART0_CT Sn	TIMER_IO 6	SPI0_CS2	MCAN2_R X	SPI2_CS0	EQEP0_A		GPIO0_12 3	MLB0_ML BSIG							
0x00011C1F4	PADCONFIG125	AB1	UART0_RT Sn	TIMER_IO 7	SPI0_CS3	MCAN2_T X	SPI2_CLK	EQEP0_B		GPIO0_12 4								
0x00011C1F8	PADCONFIG126	AA4	UART1_R XD						SPI7_CS2	GPIO0_12 5								
0x00011C1FC	PADCONFIG127	AB4	UART1_TX D					I3C0_SDA PULLEN	SPI7_CS3	GPIO0_12 6								
0x00011C200	PADCONFIG128	AC4	UART1_CT Sn	MCAN3_R X			SPI2_D0	EQEP0_S		GPIO0_12 7	MLB0_ML BCLK							
0x00011C204	PADCONFIG129	AD5	UART1_RT Sn	MCAN3_T X			SPI2_D1	EQEP0_I		GPIO1_0	MLB0_ML BDAT							
0x00011C208	PADCONFIG130	W5	MCAN0_R X				I2C2_SCL			GPIO1_1								
0x00011C20C	PADCONFIG131	W6	MCAN0_T X				I2C2_SDA			GPIO1_2								
0x00011C210	PADCONFIG132	W3	MCAN1_R X	UART6_CT Sn	UART9_R XD	USB0_DR VVBUS	USB1_DR VVBUS			GPIO1_3								
0x00011C214	PADCONFIG133	V4	MCAN1_T X	UART6_RT Sn	UART9_TX D	USB0_DR VVBUS	USB1_DR VVBUS			GPIO1_4								
0x00011C218	PADCONFIG134	W2	I3C0_SCL	MMC2_SD CD	UART9_CT Sn	MCAN2_R X	I2C6_SCL	DP0_HP DP	PCIE0_CL KREQn	GPIO1_5	UART6_R XD							

DRA829J, DRA829J-Q1, DRA829V, DRA829V-Q1

ZHCSN40L - FEBRUARY 2019 - REVISED JUNE 2026

表 5-125. 引脚多路复用 (续)

地址	寄存器名称	焊球编号	MUXMODE[14:0] 设置															
			0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	自举
0x00011C21C	PADCONFIG135	W1	I3C0_SDA	MMC2_SD WP	UART9_RT Sn	MCAN2_TX	I2C6_SDA		PCIE1_CL KREQn	GPIO1_6	UART6_TX D							
0x00011C220	PADCONFIG136	AC5	I2C0_SCL							GPIO1_7								
0x00011C224	PADCONFIG137	AA5	I2C0_SDA							GPIO1_8								
0x00011C228	PADCONFIG138	Y6	I2C1_SCL	CPTS0_HW1TSPUS H						GPIO1_9								
0x00011C22C	PADCONFIG139	AA6	I2C1_SDA	CPTS0_HW2TSPUS H						GPIO1_10								
0x00011C230	PADCONFIG140	U2	ECAP0_IN _APWM_O UT	SYNC0_O UT	CPTS0_RFT_CLK		SPI2_CS3	I3C0_SDA PULLEN	SPI7_CS0	GPIO1_11								
0x00011C234	PADCONFIG141	U3	EXT_REF CLK1	SYNC1_O UT					SPI7_CLK	GPIO1_12								
0x00011C238	PADCONFIG142	V6	TIMER_IO 0	ECAP1_IN _APWM_O UT	SYSCCLKO UT0				SPI7_D0	GPIO1_13								BOOTMODE4
0x00011C23C	PADCONFIG143	V5	TIMER_IO 1	ECAP2_IN _APWM_O UT	OBSCCLK0				SPI7_D1	GPIO1_14								BOOTMODE5
0x00011C240	PADCONFIG144	R26	MMC1_DAT3	UART7_RXD						GPIO1_15								
0x00011C244	PADCONFIG145	R25	MMC1_DAT2	UART7_TXD						GPIO1_16								
0x00011C248	PADCONFIG146	P24	MMC1_DAT1	UART7_CTSn	ECAP0_IN _APWM_O UT	TIMER_IO 0		UART4_RXD		GPIO1_17								
0x00011C24C	PADCONFIG147	R24	MMC1_DAT0	UART7_RT Sn	ECAP1_IN _APWM_O UT	TIMER_IO 1		UART4_TXD		GPIO1_18								
0x00011C250	PADCONFIG148	P25	MMC1_CLK	UART8_RXD			I2C4_SCL			GPIO1_19								
0x00011C254	PADCONFIG149	R29	MMC1_CMD	UART8_TXD			I2C4_SDA			GPIO1_20								
0x00011C258	PADCONFIG150	P23	MMC1_SDCD	UART8_CTSn	UART0_D CDn	TIMER_IO 2		EQEP2_I	PCIE2_CL KREQn	GPIO1_21	PRG0_IEP0_EDC_LATCH_IN1							
0x00011C25C	PADCONFIG151	R28	MMC1_SD WP	UART8_RT Sn	UART0_DS Rn	TIMER_IO 3	ECAP2_IN _APWM_O UT	EQEP2_S	PCIE3_CL KREQn	GPIO1_22	PRG0_IEP0_EDC_SYNC_OUT1							
0x00011C260	PADCONFIG152	T28	MMC2_DAT3	UART9_RXD	CPTS0_HW1TSPUS H		I2C5_SCL			GPIO1_23								
0x00011C264	PADCONFIG153	T29	MMC2_DAT2	UART9_TXD	CPTS0_HW2TSPUS H		I2C5_SDA			GPIO1_24								

表 5-125. 引脚多路复用 (续)

地址	寄存器名称	焊球编号	MUXMODE[14:0] 设置															
			0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	自举
0x00011C268	PADCONFIG154	T27	MMC2_DAT1	UART9_CTSn	UART0_DTRn	TIMER_IO4	UART6_RXD	EQEP2_A		GPIO1_25	PRG0_IEP1_EDC_LATCH_IN1							
0x00011C26C	PADCONFIG155	T24	MMC2_DATA0	UART9_RTSn	UART0_RIn	TIMER_IO5	UART6_TXD	EQEP2_B		GPIO1_26	PRG0_IEP1_EDC_SYNC_OUT1							
0x00011C270	PADCONFIG156	T26	MMC2_CLK	USB0_DRVVBUS	USB1_DRVVBUS	TIMER_IO6	I2C3_SCL	UART3_RXD		GPIO1_27								
0x00011C274	PADCONFIG157	T25	MMC2_CMD	USB0_DRVVBUS	USB1_DRVVBUS	TIMER_IO7	I2C3_SDA	UART3_TXD		GPIO1_28								
0x00011C278	PADCONFIG158	T6	RESETSTATz															
0x00011C27C	PADCONFIG159	U1	PORz_OUT															
0x00011C280	PADCONFIG160	U4	SOC_SAFE_TY_ERRORn															
0x00011C284	PADCONFIG161	V1	TDI															
0x00011C288	PADCONFIG162	V3	TDO															
0x00011C28C	PADCONFIG163	V2	TMS															
0x04301C000	WKUP_PADCONFIG0	E20	MCU_OSP_IO_CLK	MCU_HYP_ERBUS0_CLK						WKUP_GPIO0_16								
0x04301C004	WKUP_PADCONFIG1	C21	MCU_OSP_IO_LBCLKO	MCU_HYP_ERBUS0_CLKn						WKUP_GPIO0_17								
0x04301C008	WKUP_PADCONFIG2	D21	MCU_OSP_IO_DQS	MCU_HYP_ERBUS0_RWDS						WKUP_GPIO0_18								
0x04301C00C	WKUP_PADCONFIG3	D20	MCU_OSP_IO_D0	MCU_HYP_ERBUS0_DQ0						WKUP_GPIO0_19								
0x04301C010	WKUP_PADCONFIG4	G19	MCU_OSP_IO_D1	MCU_HYP_ERBUS0_DQ1						WKUP_GPIO0_20								
0x04301C014	WKUP_PADCONFIG5	G20	MCU_OSP_IO_D2	MCU_HYP_ERBUS0_DQ2						WKUP_GPIO0_21								
0x04301C018	WKUP_PADCONFIG6	F20	MCU_OSP_IO_D3	MCU_HYP_ERBUS0_DQ3						WKUP_GPIO0_22								
0x04301C01C	WKUP_PADCONFIG7	F21	MCU_OSP_IO_D4	MCU_HYP_ERBUS0_DQ4						WKUP_GPIO0_23								

DRA829J, DRA829J-Q1, DRA829V, DRA829V-Q1

ZHCSN40L - FEBRUARY 2019 - REVISED JUNE 2026

表 5-125. 引脚多路复用 (续)

地址	寄存器名称	焊球编号	MUXMODE[14:0] 设置															
			0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	自举
0x04301C0 20	WKUP_PADCON FIG8	E21	MCU_OSP IO_D5	MCU_HYP ERBUS0_ DQ5						WKUP_GP IO0_24								
0x04301C0 24	WKUP_PADCON FIG9	B22	MCU_OSP IO_D6	MCU_HYP ERBUS0_ DQ6						WKUP_GP IO0_25								
0x04301C0 28	WKUP_PADCON FIG10	G21	MCU_OSP IO_D7	MCU_HYP ERBUS0_ DQ7						WKUP_GP IO0_26								
0x04301C0 2C	WKUP_PADCON FIG11	F19	MCU_OSP IO_CSn0	MCU_HYP ERBUS0_ CSn0						WKUP_GP IO0_27								
0x04301C0 30	WKUP_PADCON FIG12	E19	MCU_OSP IO_CSn1	MCU_HYP ERBUS0_ RESETn						WKUP_GP IO0_28								
0x04301C0 34	WKUP_PADCON FIG13	F22	MCU_OSP I1_CLK							WKUP_GP IO0_29								
0x04301C0 38	WKUP_PADCON FIG14	A23	MCU_OSP I1_LBCLK O	MCU_OSP IO_CSn2	MCU_HYP ERBUS0_ RESETOn				MCU_OSP IO_RESET _OUT0	WKUP_GP IO0_30								
0x04301C0 3C	WKUP_PADCON FIG15	B23	MCU_OSP I1_DQS	MCU_OSP IO_CSn3	MCU_HYP ERBUS0_I NTn				MCU_OSP IO_ECC_F AIL	WKUP_GP IO0_31								
0x04301C0 40	WKUP_PADCON FIG16	D22	MCU_OSP I1_D0							WKUP_GP IO0_32								
0x04301C0 44	WKUP_PADCON FIG17	G22	MCU_OSP I1_D1				MCU_UAR T0_RXD	MCU_SPI1 _CS1		WKUP_GP IO0_33								
0x04301C0 48	WKUP_PADCON FIG18	D23	MCU_OSP I1_D2				MCU_UAR T0_TXD	MCU_SPI1 _CS2		WKUP_GP IO0_34								
0x04301C0 4C	WKUP_PADCON FIG19	C23	MCU_OSP I1_D3				MCU_UAR T0_CTSn	MCU_SPI0 _CS1		WKUP_GP IO0_35								
0x04301C0 50	WKUP_PADCON FIG20	C22	MCU_OSP I1_CSn0							WKUP_GP IO0_36								
0x04301C0 54	WKUP_PADCON FIG21	E22	MCU_OSP I1_CSn1	MCU_HYP ERBUS0_ WPn	MCU_TIM ER_IO0	MCU_HYP ERBUS0_ CSn1	MCU_UAR T0_RTSn	MCU_SPI0 _CS2	MCU_OSP IO_RESET _OUT1	WKUP_GP IO0_37								
0x04301C0 58	WKUP_PADCON FIG22	B27	MCU_RG MII1_TX_C TL	MCU_RMII 1_CRS_D V						WKUP_GP IO0_38								
0x04301C0 5C	WKUP_PADCON FIG23	C25	MCU_RG MII1_RX_ CTL	MCU_RMII 1_RX_ER						WKUP_GP IO0_39								
0x04301C0 60	WKUP_PADCON FIG24	A28	MCU_RG MII1_TD3	MCU_TIM ER_IO2		MCU_ADC EXT_TRI GGER0				WKUP_GP IO0_40								
0x04301C0 64	WKUP_PADCON FIG25	A27	MCU_RG MII1_TD2	MCU_TIM ER_IO3		MCU_ADC EXT_TRI GGER1				WKUP_GP IO0_41								

表 5-125. 引脚多路复用 (续)

地址	寄存器名称	焊球编号	MUXMODE[14:0] 设置															
			0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	自举
0x04301C068	WKUP_PADCON FIG26	A26	MCU_RG MII1_TD1	MCU_RMII 1_TXD1						WKUP_GP IO0_42								
0x04301C06C	WKUP_PADCON FIG27	B25	MCU_RG MII1_TD0	MCU_RMII 1_TXD0						WKUP_GP IO0_43								
0x04301C070	WKUP_PADCON FIG28	B26	MCU_RG MII1_TXC	MCU_RMII 1_TX_EN						WKUP_GP IO0_44								
0x04301C074	WKUP_PADCON FIG29	C24	MCU_RG MII1_RXC	MCU_RMII 1_REF_CLK						WKUP_GP IO0_45								
0x04301C078	WKUP_PADCON FIG30	A25	MCU_RG MII1_RD3	MCU_TIMER_IO4						WKUP_GP IO0_46								
0x04301C07C	WKUP_PADCON FIG31	D24	MCU_RG MII1_RD2	MCU_TIMER_IO5						WKUP_GP IO0_47								
0x04301C080	WKUP_PADCON FIG32	A24	MCU_RG MII1_RD1	MCU_RMII 1_RXD1						WKUP_GP IO0_48								
0x04301C084	WKUP_PADCON FIG33	B24	MCU_RG MII1_RD0	MCU_RMII 1_RXD0						WKUP_GP IO0_49								
0x04301C088	WKUP_PADCON FIG34	E23	MCU_MDI O0_MDIO							WKUP_GP IO0_50								
0x04301C08C	WKUP_PADCON FIG35	F23	MCU_MDI O0_MDC							WKUP_GP IO0_51								
0x04301C090	WKUP_PADCON FIG36	E27	MCU_SPI0 _CLK							WKUP_GP IO0_52								MCU_BOO TMODE00
0x04301C094	WKUP_PADCON FIG37	E24	MCU_SPI0 _D0							WKUP_GP IO0_53								MCU_BOO TMODE01
0x04301C098	WKUP_PADCON FIG38	E28	MCU_SPI0 _D1					MCU_TIMER_IO0		WKUP_GP IO0_54								MCU_BOO TMODE02
0x04301C09C	WKUP_PADCON FIG39	E25	MCU_SPI0 _CS0					MCU_TIMER_IO1		WKUP_GP IO0_55								
0x04301C0A0	WKUP_PADCON FIG40	J29	WKUP_UA RT0_RXD							WKUP_GP IO0_56								
0x04301C0A4	WKUP_PADCON FIG41	J28	WKUP_UA RT0_TXD							WKUP_GP IO0_57								
0x04301C0A8	WKUP_PADCON FIG42	D29	MCU_MCA N0_TX							WKUP_GP IO0_58								
0x04301C0AC	WKUP_PADCON FIG43	C29	MCU_MCA N0_RX							WKUP_GP IO0_59								
0x04301C0B0	WKUP_PADCON FIG44	F26	MCU_SPI1 _CLK	MCU_SPI1 _CLK						WKUP_GP IO0_0								MCU_BOO TMODE03
0x04301C0B4	WKUP_PADCON FIG45	F25	MCU_SPI1 _D0	MCU_SPI1 _D0						WKUP_GP IO0_1								MCU_BOO TMODE04
0x04301C0B8	WKUP_PADCON FIG46	F28	MCU_SPI1 _D1	MCU_SPI1 _D1						WKUP_GP IO0_2								MCU_BOO TMODE05
0x04301C0BC	WKUP_PADCON FIG47	F27	MCU_SPI1 _CS0	MCU_SPI1 _CS0						WKUP_GP IO0_3								

DRA829J, DRA829J-Q1, DRA829V, DRA829V-Q1

ZHCSN40L - FEBRUARY 2019 - REVISED JUNE 2026

表 5-125. 引脚多路复用 (续)

地址	寄存器名称	焊球编号	MUXMODE[14:0] 设置															
			0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	自举
0x04301C0C0	WKUP_PADCON FIG48	G25	MCU_MCA N1_TX	MCU_MCA N1_TX	MCU_SPI0_CS3	MCU_ADC_EXT_TRIGGER0				WKUP_GP IO0_4								
0x04301C0C4	WKUP_PADCON FIG49	G24	MCU_MCA N1_RX	MCU_MCA N1_RX	MCU_SPI1_CS3	MCU_ADC_EXT_TRIGGER1				WKUP_GP IO0_5								
0x04301C0C8	WKUP_PADCON FIG50	F29	WKUP_UART0_CTSn	WKUP_UART0_CTSn	MCU_CPT S0_HW1TSPUSH	MCU_I2C1_SCL				WKUP_GP IO0_6								
0x04301C0CC	WKUP_PADCON FIG51	G28	WKUP_UART0_RTSn	WKUP_UART0_RTSn	MCU_CPT S0_HW2TSPUSH	MCU_I2C1_SDA				WKUP_GP IO0_7								
0x04301C0D0	WKUP_PADCON FIG52	G27	MCU_I2C1_SCL	MCU_I2C1_SCL	MCU_CPT S0_TS_SY NC	MCU_I3C1_SCL	MCU_TIMER_IO6			WKUP_GP IO0_8								
0x04301C0D4	WKUP_PADCON FIG53	G26	MCU_I2C1_SDA	MCU_I2C1_SDA	MCU_CPT S0_TS_COMP	MCU_I3C1_SDA	MCU_TIMER_IO7			WKUP_GP IO0_9								
0x04301C0D8	WKUP_PADCON FIG54	H26	MCU_EXT_REFCLK0	MCU_EXT_REFCLK0	MCU_UART0_TXD	MCU_ADC_EXT_TRIGGER0	MCU_CPT S0_RFT_CLK	MCU_SYS_CLKOUT0		WKUP_GP IO0_10								
0x04301C0DC	WKUP_PADCON FIG55	H27	MCU_OBS_CLK0	MCU_OBS_CLK0	MCU_UART0_RXD	MCU_ADC_EXT_TRIGGER1	MCU_TIMER_IO1	MCU_I3C1_SDAPULL EN	MCU_CLKOUT0	WKUP_GP IO0_11								
0x04301C0E0	WKUP_PADCON FIG56	G29	MCU_UART0_TXD	MCU_SPI0_CS1						WKUP_GP IO0_12								MCU_BOOTMODE08
0x04301C0E4	WKUP_PADCON FIG57	H28	MCU_UART0_RXD	MCU_SPI1_CS1						WKUP_GP IO0_13								MCU_BOOTMODE09
0x04301C0E8	WKUP_PADCON FIG58	H29	MCU_UART0_CTSn	MCU_SPI0_CS2						WKUP_GP IO0_14								MCU_BOOTMODE06
0x04301C0EC	WKUP_PADCON FIG59	J27	MCU_UART0_RTSn	MCU_SPI1_CS2						WKUP_GP IO0_15								MCU_BOOTMODE07
0x04301C0F0	WKUP_PADCON FIG60	D26	MCU_I3C0_SCL		MCU_UART0_CTSn		MCU_TIMER_IO8			WKUP_GP IO0_60								
0x04301C0F4	WKUP_PADCON FIG61	D25	MCU_I3C0_SDA		MCU_UART0_RTSn		MCU_TIMER_IO9			WKUP_GP IO0_61								
0x04301C0F8	WKUP_PADCON FIG62	J25	WKUP_I2C0_SCL							WKUP_GP IO0_62								
0x04301C0FC	WKUP_PADCON FIG63	H24	WKUP_I2C0_SDA							WKUP_GP IO0_63								
0x04301C100	WKUP_PADCON FIG64	J26	MCU_I2C0_SCL							WKUP_GP IO0_64								
0x04301C104	WKUP_PADCON FIG65	H25	MCU_I2C0_SDA							WKUP_GP IO0_65								
0x04301C108	WKUP_PADCON FIG66	E26	MCU_I3C0_SDAPULL EN							WKUP_GP IO0_66								

表 5-125. 引脚多路复用 (续)

地址	寄存器名称	焊球编号	MUXMODE[14:0] 设置															
			0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	自举
0x04301C10C	WKUP_PADCON FIG67	G23	PMIC_PO WER_EN1					MCU_I3C1 _SDAPULL EN		WKUP_GP IO0_67								
0x04301C110	WKUP_PADCON FIG68	D27	MCU_SAF ETY_ERR ORn															
0x04301C114	WKUP_PADCON FIG69	D28	MCU_RES ETz															
0x04301C118	WKUP_PADCON FIG70	C27	MCU_RES ETSTATz															
0x04301C11C	WKUP_PADCON FIG71	B28	MCU_POR z_OUT															
0x04301C120	WKUP_PADCON FIG72	E29	TCK															
0x04301C124	WKUP_PADCON FIG73	F24	TRSTn															
0x04301C128	WKUP_PADCON FIG74	C26	EMU0															
0x04301C12C	WKUP_PADCON FIG75	B29	EMU1															
0x04301C130	WKUP_PADCON FIG76	K25	MCU_ADC 0_AIN0															
0x04301C134	WKUP_PADCON FIG77	K26	MCU_ADC 0_AIN1															
0x04301C138	WKUP_PADCON FIG78	K28	MCU_ADC 0_AIN2															
0x04301C13C	WKUP_PADCON FIG79	L28	MCU_ADC 0_AIN3															
0x04301C140	WKUP_PADCON FIG80	K24	MCU_ADC 0_AIN4															
0x04301C144	WKUP_PADCON FIG81	K27	MCU_ADC 0_AIN5															
0x04301C148	WKUP_PADCON FIG82	K29	MCU_ADC 0_AIN6															
0x04301C14C	WKUP_PADCON FIG83	L29	MCU_ADC 0_AIN7															
0x04301C150	WKUP_PADCON FIG84	N23	MCU_ADC 1_AIN0															
0x04301C154	WKUP_PADCON FIG85	M25	MCU_ADC 1_AIN1															
0x04301C158	WKUP_PADCON FIG86	L24	MCU_ADC 1_AIN2															
0x04301C15C	WKUP_PADCON FIG87	L26	MCU_ADC 1_AIN3															
0x04301C160	WKUP_PADCON FIG88	N24	MCU_ADC 1_AIN4															

表 5-125. 引脚多路复用 (续)

地址	寄存器名称	焊球编号	MUXMODE[14:0] 设置															
			0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	自举
0x04301C164	WKUP_PADCON FIG89	M24	MCU_ADC1_AIN5															
0x04301C168	WKUP_PADCON FIG90	L25	MCU_ADC1_AIN6															
0x04301C16C	WKUP_PADCON FIG91	L27	MCU_ADC1_AIN7															
0x04301C170	WKUP_PADCON FIG92	C28	RESET_R EQz															
0x04301C174	WKUP_PADCON FIG93	J24	PORz															

5.5 引脚连接要求

本节介绍了未使用/保留焊球连接要求。

备注

除非节 5.3 “信号说明” 中另有说明，否则必须为所有电源焊球提供节 6.4 “建议运行条件” 中指定的电压。

备注

对于相应的 MMC 模块，必须下拉 MMC1_SDCD 和 MMC2_SDCD 才能作为引导源正常工作。

表 5-126. 连接要求 (ALF 封装)

焊球编号	焊球名称	连接要求
M29	WKUP_OSC0_XI	这些焊球每一个均必须通过单独的外部拉电阻器连接到 VSS，以确保这些焊球会保持为有效的逻辑低电平（如果未使用）。
P29	OSC1_XI	
N28	WKUP_LFOSC0_XI	
F24	TRSTn	
K25	MCU_ADC0_AIN0	
K26	MCU_ADC0_AIN1	
K28	MCU_ADC0_AIN2	
L28	MCU_ADC0_AIN3	
K24	MCU_ADC0_AIN4	
K27	MCU_ADC0_AIN5	
K29	MCU_ADC0_AIN6	
L29	MCU_ADC0_AIN7	
N23	MCU_ADC1_AIN0	
M25	MCU_ADC1_AIN1	
L24	MCU_ADC1_AIN2	
L26	MCU_ADC1_AIN3	
N24	MCU_ADC1_AIN4	
M24	MCU_ADC1_AIN5	
L25	MCU_ADC1_AIN6	
L27	MCU_ADC1_AIN7	
B2	DDR0_DQS0P	
E3	DDR0_DQS1P	
M3	DDR0_DQS2P	
R2	DDR0_DQS3P	
M26	VMON_ER_VSYS	
V19	VMON_IR_VEXT	

表 5-126. 连接要求 (ALF 封装) (续)

焊球编号	焊球名称	连接要求
AE18	SERDES0_REXT	这些焊球每一个都必须通过适合的外部拉电阻器连接到 VSS，以确保这些焊球会保持为有效的逻辑低电平（如果未使用）。对于 SERDES[4:0]_REXT 引脚，电阻器的值为 3.01 kΩ ±1%，对于 CSI[1:0]_RXRCALIB、USB[1:0]_RCALIB 和 DSI_TXRCALIB 引脚，电阻值为 500 Ω ±1%。这与功能模式期间的连接相同。
AE13	SERDES1_REXT	
AD13	SERDES2_REXT	
AE8	SERDES3_REXT	
F9	SERDES4_REXT	
F16	CSI0_RXRCALIB	
F15	CSI1_RXRCALIB	
AB6	USB0_RCALIB	
AD9	USB1_RCALIB	
F12	DSI_TXRCALIB	
D28	MCU_RESETz	(1) 这些焊球每一个都必须通过单独的外部拉电阻器连接到相应的电源，以确保这些焊球保持为有效的逻辑高电平（如果未使用）。
H23	MCU_PORz	
J24	PORz	
E29	TCK	
V2	TMS	
J25	WKUP_I2C0_SCL	
H24	WKUP_I20_SDA	
H25	MCU_I2C0_SDA	
J26	MCU_I2C0_SCL	
Y6	I2C1_SCL	
AA6	I2C1_SDA	
AA5	I2C0_SDA	
AC5	I2C0_SCL	
AC18	EXTINTn	
V1	TDI	
V3	TDO	
B29	EMU1	
C26	EMU0	
B1	DDR0_DQS0N	
E2	DDR0_DQS1N	
M2	DDR0_DQS2N	
R1	DDR0_DQS3N	
AB11	VPP_CORE	如果未使用，这些焊球中的每一个都必须保持未连接状态。
F17	VPP_MCU	
AE1	MMC0_CALPAD	
AE2	MLB0_MLBCN	
AD2	MLB0_MLBSP	
AD3	MLB0_MLBDN	
AC3	MLB0_MLBDP	
AC1	MLB0_MLBSN	
AD1	MLB0_MLBDP	

(1) 要确定哪个电源与任何 IO 相关联，请参阅表 5-1，引脚属性。

表 5-127. 保留焊球的特定连接要求

焊球	连接要求
A29 / AJ1 / U11 / U12 / U13 / T11 / T12 / T13 / M11 / M12 / M13 / N11 / N12 / N13	封装上不存在这些焊球。
N25 / AJ29 / P26 / R27 / AD4 / E18 / F18 / G10 / F11 / N6 / L6 / F6 / E6 / G9 / F10 / AA23 / F13	这些焊球必须保持未连接状态。

备注

所有其他**没有**焊盘配置寄存器的未使用信号焊球均可以保持未连接状态。

备注

带有焊盘配置寄存器的所有其他未使用信号焊球可保持未连接状态，它们的多路复用模式设置为 GPIO 输入且启用内部下拉电阻器。

未使用的焊球定义为只与 PCB 焊盘连接的焊球。允许使用内部拉电阻器作为保持有效逻辑电平的唯一拉电流/灌电流。

任何连接到过孔、测试点或 PCB 布线的焊球均视为已使用，并且不得依赖内部拉电阻器来保持有效的逻辑电平。

内部拉电阻器很弱，在某些工作条件下可能无法提供足够的电流来保持有效的逻辑电平。当连接到具有相反逻辑电平泄漏的元件时，或者当外部噪声源与连接到仅由内部电阻器拉至有效逻辑电平的焊球的信号布线耦合时，可能会出现这种情况。因此，可以使用外部拉电阻器来在具有外部连接的焊球上保持有效的逻辑电平。

如果允许焊球在有效逻辑电平之间悬空，输入缓冲器可能会进入大电流状态，进而损坏 IO 单元。

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）^{(1) (2)}

参数		最小值	最大值	单位
VDD_CORE	主域内核电源	-0.3	1.05	V
VDD_MCU	MCUSS 内核电源	-0.3	1.05	V
VDD_CPU	CPU 内核电源	-0.3	1.05	V
VDDA_0P8_DLL_MMC0	MMC0 DLL 模拟电源	-0.3	1.05	V
VDDAR_CORE	主域 RAM 电源	-0.3	1.05	V
VDDAR_MCU	MCUSS RAM 电源	-0.3	1.05	V
VDDAR_CPU	CPU RAM 电源	-0.3	1.05	V
VDDA_0P8_DP	Displayport SERDES 模拟电源低电平	-0.3	1.05	V
VDDA_0P8_DP_C	Displayport SERDES 时钟电源	-0.3	1.05	V
VDDA_0P8_DSITX	DSITX 时钟电源	-0.3	1.05	V
VDDA_0P8_DSITX_C	DSITX 时钟电源	-0.3	1.05	V
VDDA_0P8_CSIRX	CSIRX 模拟电源低电平	-0.3	1.05	V
VDDA_0P8_SERDES0_1	SERDES0-1 模拟电源低电平	-0.3	1.05	V
VDDA_0P8_SERDES2_3	SERDES2-3 模拟电源低电平	-0.3	1.05	V
VDDA_0P8_SERDES_C0_1	SERDES0-1 时钟电源	-0.3	1.05	V
VDDA_0P8_SERDES_C2_3	SERDES2-3 时钟电源	-0.3	1.05	V
VDDA_0P8_USB	USB0-1 0.8V 模拟电源	-0.3	1.05	V
VDDA_0P8_UFS	UFS 模拟电源低电平	-0.3	1.05	V
VDDA_0P8_PLL_MLB	MLB PLL 模拟电源	-0.3	1.05	V
VDDA_0P8_PLL_DDR	DDR PLL 模拟电源	-0.3	1.05	V
VDDA_1P8_USB	USB0-1 1.8V 模拟电源	-0.3	2.2	V
VDDA_1P8_UFS	UFS 模拟电源高电平	-0.3	2.2	V
VDDA_1P8_DP	Displayport SERDES 模拟电源高电平	-0.3	2.2	V
VDDA_1P8_DSITX	DSITX 模拟电源高电平	-0.3	2.2	V
VDDA_1P8_CSIRX	CSIRX 模拟电源高电平	-0.3	2.2	V
VDDA_1P8_SERDES0_1	SERDES0-1 模拟电源高电平	-0.3	2.2	V
VDDA_1P8_SERDES2_3	SERDES2-3 模拟电源高电平	-0.3	2.2	V
VDDA_3P3_USB	USB0-1 3.3V 模拟电源	-0.3	3.8	V
VDDA_MCU_PLLGRP0	MCU PLL 组 0 的模拟电源	-0.3	2.2	V
VDDA_PLLGRP0	主 PLL 组 0 的模拟电源	-0.3	2.2	V
VDDA_PLLGRP1	主 PLL 组 1 的模拟电源	-0.3	2.2	V
VDDA_PLLGRP2	主 PLL 组 2 的模拟电源	-0.3	2.2	V
VDDA_PLLGRP3	主 PLL 组 3 的模拟电源	-0.3	2.2	V
VDDA_PLLGRP4	主 PLL 组 4 的模拟电源	-0.3	2.2	V
VDDA_PLLGRP5	主 PLL 组 5 (DDR) 的模拟电源	-0.3	2.2	V
VDDA_PLLGRP6	主 PLL 组 6 的模拟电源	-0.3	2.2	V
VDDA_WKUP	WKUP 域的振荡器电源	-0.3	2.2	V
VDDA_ADC0	ADC 模拟电源	-0.3	2.2	V
VDDA_ADC1	ADC 模拟电源	-0.3	2.2	V

6.1 绝对最大额定值 (续)

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾ ⁽²⁾

参数			最小值	最大值	单位
VDDA_MCU_TEMP	MCU 域中温度传感器 0 的模拟电源		-0.3	2.2	V
VDDA_POR_WKUP	WKUP 域模拟电源		-0.3	2.2	V
VDDA_1P8_MLB	MLB IO 电源 (6 引脚接口)		-0.3	2.2	V
VDDA_TEMP_0_1	温度传感器 0 的模拟电源		-0.3	2.2	V
VDDA_TEMP_2_3	温度传感器 2 的模拟电源		-0.3	2.2	V
VDDS_DDR	DDR 接口电源		-0.3	1.2	V
VDDS_DDR_BIAS	LPDDR4 的偏置电源		-0.3	1.2	V
VDDS_DDR_C	DDR 存储器时钟位 (MCB) 宏的 IO 电源		-0.3	1.2	V
VDDS_MMC0	MMC0 IO 电源		-0.3	2.2	V
VDDS_OSC1	HFOSC1 电源		-0.3	2.2	V
VDDSHV0_MCU	IO 电源 MCUSS 通用 IO 组, 以及 MCU 和主域热复位引脚	1.8V	-0.3	2.2	V
		3.3V	-0.3	3.8	
VDDSHV0	主域的通用 IO 电源	1.8V	-0.3	2.2	V
		3.3V	-0.3	3.8	
VDDSHV1_MCU	MCUSS IO 组 1 的 IO 电源	1.8V	-0.3	2.2	V
		3.3V	-0.3	3.8	
VDDSHV1	主域 IO 组 1 的 IO 电源	1.8V	-0.3	2.2	V
		3.3V	-0.3	3.8	
VDDSHV2_MCU	MCUSS IO 组 2 的 IO 电源	1.8V	-0.3	2.2	V
		3.3V	-0.3	3.8	
VDDSHV2	主域 IO 组 2 的 IO 电源	1.8V	-0.3	2.2	V
		3.3V	-0.3	3.8	
VDDSHV3	主域 IO 组 3 的 IO 电源	1.8V	-0.3	2.2	V
		3.3V	-0.3	3.8	
VDDSHV4	主域 IO 组 4 的 IO 电源	1.8V	-0.3	2.2	V
		3.3V	-0.3	3.8	
VDDSHV5	主域 IO 组 5 的 IO 电源	1.8V	-0.3	2.2	V
		3.3V	-0.3	3.8	
VDDSHV6	主域 IO 组 6 的 IO 电源	1.8V	-0.3	2.2	V
		3.3V	-0.3	3.8	
VPP_CORE	内核电子保险丝域的电源电压范围		-0.3	1.89	V
VPP_MCU	MCU 电子保险丝域的电源电压范围		-0.3	1.89	V
USB0_VBUS ⁽⁹⁾	USB VBUS 比较器输入的电压范围		-0.3	3.6	V
USB1_VBUS ⁽⁹⁾	USB VBUS 比较器输入的电压范围		-0.3	3.6	V

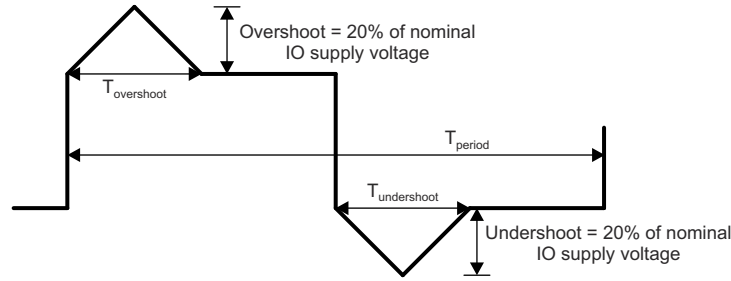
6.1 绝对最大额定值 (续)

在自然通风条件下的工作温度范围内测得 (除非另有说明) ^{(1) (2)}

参数		最小值	最大值	单位
所有失效防护 IO 引脚的稳态最大电压	I2C0_SCL、 I2C0_SDA、 I2C1_SCL、 I2C1_SDA、 WKUP_I2C0_SCL、 WKUP_I2C0_SDA、 MCU_I2C0_SCL、 MCU_I2C0_SDA、 EXTINTn	-0.3	3.8	V
	MCU_PORz、PORz	-0.3	3.8	V
	VMON_IR_VEXT	-0.3	2.2	V
	VMON_ER_VSYS ⁽⁷⁾ (8)	-0.3	1.05	V
所有其他 IO 引脚的稳态最大电压 ⁽³⁾	所有其他 IO 引脚	-0.3	IO 电源电压 + 0.3	V
IO 引脚的瞬态过冲和下冲规格	20% 的 IO 电源电压 在信号周期的 20% 以内 (请参阅图 6-1, IO 瞬态电压范围)		$0.2 \times VDD^{(6)}$	V
闩锁性能, II 级 (125°C) ⁽⁴⁾	电流测试	-100	100	mA
	过压 (OV) 测试	不适用	$1.5 \times VDD^{(6)}$	V
T _{STG} ⁽⁵⁾	贮存温度	-55	+150	°C

- (1) 超出绝对最大额定值下列出的应力可能会对器件造成永久损坏。这些列出的值仅是应力额定值, 并不表示器件在这些条件下以及在节 6.4 “建议运行条件”以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
- (2) 除非另有说明, 否则所有电压值均以其关联的 VSS 或 VSSA_x 为基准。
- (3) 此参数适用于所有不具有失效防护功能的 IO 引脚, 该要求适用于所有 IO 电源电压值。例如, 如果施加到特定 IO 电源的电压为 0V, 则由该电源供电的任何 IO 的有效输入电压范围将为 -0.3V 至 +0.3V。每当外设不是由用于为相应 IO 电源供电的相同电源供电时, 都应特别注意。所连接的外设绝不能提供超出有效输入电压范围的电压 (包括电源斜升和斜降序列), 这一点很重要。
- (4) 对于电流脉冲注入:
引脚应力符合 JEDEC JESD78E (II 级), 并施加额定 I/O 引脚注入电流和钳位电压 (最大推荐 I/O 电压的 1.5 倍和最大推荐 I/O 电压的负 0.5 倍)。
对于过压性能:
电源应力符合 JEDEC JESD78E (II 级) 并施加额定电压注入。
- (5) 对于卷带包装, 贮存温度范围为 [-10°C; +50°C], 最大相对湿度为 70%。TI 建议在使用前恢复到环境室温。
- (6) VDD 是 IO 相应电源引脚上的电压。
- (7) 需要一个外部电阻分压器来创建 VMON 输入值, 当 V_{sys} 电平达到最小允许阈值时, 该值在 V_{TH} = 0.45 时触发。建议使用至少为 10kΩ 的串联电阻 R2 (VMON_ER_VSYS = V_{sys} × R1 / (R1 + R2)) 来限制电流。
- (8) VMON_ER_VSYS 引脚提供了一种监测系统电源的方法。更多信息, 请参阅节 8.3.5 “系统电源监测设计指南”。
- (9) 需要使用外部电阻分压器来限制施加到该器件引脚的电压。有关更多信息, 请参阅节 8.3.4 USB VBUS 设计指南。

失效防护 IO 终端的设计使其不依赖于相应的 IO 电源电压。这样便可在相应 IO 电源关闭时, 将外部电压源连接到这些 IO 终端。I2C0_SCL、I2C0_SDA、I2C1_SCL、I2C1_SDA、DDR_FS_RESEn、NMIn、VMON_ER_VSYS 和 VMON_IR_VEXT 是仅有的失效防护 IO 端子。所有其他 IO 终端都不具有失效防护功能, 对其施加的电压应限制为节 6.1 中的所有 IO 引脚的稳态最大电压参数定义的值。



A. $T_{\text{overshoot}} + T_{\text{undershoot}} < T_{\text{period}}$ 的 20%

图 6-1. IO 瞬态电压范围

6.2 ESD 等级

			值	单位
$V_{\text{(ESD)}}$	静电放电	人体放电模式 (HBM), 符合 AEC Q100-002 标准修订版 J ⁽¹⁾	±1000	V
		充电器件模型 (CDM), 符合 AEC Q100-011 标准修订版 J	±250	
			±750	

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

6.3 通电时间 (POH) 限制

IP ^{(1) (2) (3)}	电压域	电压 (V) (最大值)	频率 (MHz) (最大值)	T _J (°C)	POH
全部	100%	全部	所有支持的 OPP	汽车: -40°C 至 125°C ⁽⁴⁾	20000
全部	100%	全部	所有支持的 OPP	扩展: -40°C 至 105°C	100000
全部	100%	全部	所有支持的 OPP	商用: 0°C 至 90°C	100000

(1) 为方便起见, 单独提供这些信息, 并且未扩展或修改适用于 TI 半导体产品的 TI 标准条款和条件下提供的保修范围。

(2) 除非上表中另有说明, 否则器件在额定温度下支持所有电压域和工作条件。

(3) POH 是电压、温度和时间的函数。在较高电压和温度下使用会导致 POH 降低。

(4) 汽车曲线定义为 20000 小时通电时间, 此时结温如下所示: 5% (-40°C)、65% (70°C)、20% (110°C) 和 10% (125°C)。

6.4 Recommended Operating Conditions

over operating free-air temperature range (unless otherwise noted)

SUPPLY NAME	DESCRIPTION	MIN ⁽¹⁾	NOM	MAX ⁽¹⁾	UNIT
VDD_CORE	Boot/Active voltage for MAIN domain core supply	0.76	0.8	0.84	V
VDD_MCU	Boot/Active voltage for MCUSS core supply	0.76	0.8	0.89	V
VDD_CPU	Boot voltage for CPU core supply, applied at cold power up event	0.76	0.8	0.84	V
	Active voltage for CPU core supply, after AVS mode enabled in software	AVS ⁽⁴⁾ -5%	AVS ⁽⁴⁾	AVS ⁽⁴⁾ +5%	V
VDD_CPU AVS Range	AVS valid voltage range for VDD_CPU	0.6		0.9	V
VDDA_0P8_DLL_MMC0	MMC PLL analog supply	0.76	0.8	0.84	V
VDDAR_CORE	Main domain RAM supply	0.81	0.85	0.89	V
VDDAR_MCU	MCUSS RAM supply	0.81	0.85	0.89	V
VDDAR_CPU	CPU RAM supply	0.81	0.85	0.89	V
VDDA_0P8_DP	Displayport SERDES clock supply	0.76	0.8	0.84	V
VDDA_0P8_DP_C	Displayport SERDES clock supply	0.76	0.8	0.84	V
VDDA_0P8_DSITX	DSITX clock supply	0.76	0.8	0.84	V

6.4 Recommended Operating Conditions (续)

over operating free-air temperature range (unless otherwise noted)

SUPPLY NAME	DESCRIPTION		MIN ⁽¹⁾	NOM	MAX ⁽¹⁾	UNIT
VDDA_0P8_DSITX_C	DSITX clock supply		0.76	0.8	0.84	V
VDDA_0P8_CSIRX	CSIRX analog supply low		0.76	0.8	0.84	V
VDDA_0P8_SERDES0_1	SERDES0-1 analog supply low		0.76	0.8	0.84	V
VDDA_0P8_SERDES2_3	SERDES2-3 analog supply low		0.76	0.8	0.84	V
VDDA_0P8_SERDES_C0_1	SERDES0-1 clock supply		0.76	0.8	0.84	V
VDDA_0P8_SERDES_C2_3	SERDES2-3 clock supply		0.76	0.8	0.84	V
VDDA_0P8_USB	USB0-1 0.8v analog supply		0.76	0.8	0.84	V
VDDA_0P8_UFS	UFS analog supply low		0.76	0.8	0.84	V
VDDA_1P8_USB	USB0-1 1.8v analog supply		1.71	1.8	1.89	V
VDDA_1P8_UFS	UFS analog supply high		1.71	1.8	1.89	V
VDDA_1P8_DP	Displayport SERDES analog supply high		1.71	1.8	1.89	V
VDDA_1P8_DSITX	DSITX analog supply high		1.71	1.8	1.89	V
VDDA_1P8_CSIRX	CSIRX analog supply high		1.71	1.8	1.89	V
VDDA_1P8_SERDES0_1	SERDES0-1 analog supply high		1.71	1.8	1.89	V
VDDA_1P8_SERDES2_3	SERDES2-3 analog supply high		1.71	1.8	1.89	V
VDDA_3P3_USB	USB0-1 3.3v analog supply		3.14	3.3	3.46	V
VDDA_MCU_PLLGRP0	Analog supply for MCU PLL Group 0		1.71	1.8	1.89	V
VDDA_PLLGRP0	Analog supply for Main PLL Group 0		1.71	1.8	1.89	V
VDDA_PLLGRP1	Analog supply for MAIN PLL Group 1		1.71	1.8	1.89	V
VDDA_PLLGRP2	Analog supply for MAIN PLL Group 2		1.71	1.8	1.89	V
VDDA_PLLGRP3	Analog supply for MAIN PLL Group 3		1.71	1.8	1.89	V
VDDA_PLLGRP4	Analog supply for MAIN PLL Group 4		1.71	1.8	1.89	V
VDDA_PLLGRP5	Analog supply for MAIN PLL Group 5 (DDR)		1.71	1.8	1.89	V
VDDA_PLLGRP6	Analog supply for MAIN PLL Group 6		1.71	1.8	1.89	V
VDDA_0P8_PLL_MLB	MLB PLL analog supply		0.76	0.8	0.84	V
VDDA_WKUP	Oscillator supply for wkup domain		1.71	1.8	1.89	V
VDDA_ADC0	ADC analog supply		1.71	1.8	1.89	V
VDDA_ADC1	ADC analog supply		1.71	1.8	1.89	V
VDDA_0P8_PLL_DDR	DDR PLL analog supply		0.76	0.8	0.84	V
VDDA_MCU_TEMP	Analog supply for temperature sensor 0 in MCU domain		1.71	1.8	1.89	V
VDDA_POR_WKUP	WKUP domain analog supply		1.71	1.8	1.89	V
VDDA_1P8_MLB	MLB IO supply (6-pin interface)		1.71	1.8	1.89	V
VDDA_TEMP0_1	Analog supply for temperature sensor 0 and 1		1.71	1.8	1.89	V
VDDA_TEMP2_3	Analog supply for temperature sensor 2 and 3		1.71	1.8	1.89	V
VDDS_DDR ⁽²⁾	DDR interface power supply		1.06	1.1	1.15	V
VDDS_DDR_BIAS	Bias supply for LPDDR4x		1.06	1.1	1.15	V
VDDS_DDR_C	IO power for DDR Memory Clock Bit (MCB) macro		1.06	1.1	1.15	V
VDDS_MMC0	MMC0 IO supply		1.71	1.8	1.89	V
VDDS_OSC1	HFOSC1 supply		1.71	1.8	1.89	V
VDDSHV0	IO supply for main domain general	1.8-V operation	1.71	1.8	1.89	V
		3.3-V operation	3.14	3.3	3.46	V

6.4 Recommended Operating Conditions (续)

over operating free-air temperature range (unless otherwise noted)

SUPPLY NAME	DESCRIPTION		MIN ⁽¹⁾	NOM	MAX ⁽¹⁾	UNIT
VDDSHV0_MCU	IO supply MCUSS general IO group, and MCU and Main domain warm reset pins	1.8-V operation	1.71	1.8	1.89	V
		3.3-V operation	3.14	3.3	3.46	V
VDDSHV1	IO supply for main domain IO group 1	1.8-V operation	1.71	1.8	1.89	V
		3.3-V operation	3.14	3.3	3.46	V
VDDSHV1_MCU	IO supply for MCUSS IO group 1	1.8-V operation	1.71	1.8	1.89	V
		3.3-V operation	3.14	3.3	3.46	V
VDDSHV2	IO supply for main domain IO group 2	1.8-V operation	1.71	1.8	1.89	V
		3.3-V operation	3.14	3.3	3.46	V
VDDSHV2_MCU	IO supply for MCUSS IO group 2	1.8-V operation	1.71	1.8	1.89	V
		3.3-V operation	3.14	3.3	3.46	V
VDDSHV3	IO supply for main domain IO group 3	1.8-V operation	1.71	1.8	1.89	V
		3.3-V operation	3.14	3.3	3.46	V
VDDSHV4	IO supply for main domain IO group 4	1.8-V operation	1.71	1.8	1.89	V
		3.3-V operation	3.14	3.3	3.46	V
VDDSHV5	IO supply for main domain IO group 5	1.8-V operation	1.71	1.8	1.89	V
		3.3-V operation	3.14	3.3	3.46	V
VDDSHV6	IO supply for main domain IO group 6	1.8-V operation	1.71	1.8	1.89	V
		3.3-V operation	3.14	3.3	3.46	V
USB0_VBUS	Voltage range for USB VBUS comparator input		0	See ⁽⁵⁾	3.46	V
USB1_VBUS	Voltage range for USB VBUS comparator input		0	See ⁽⁵⁾	3.46	V
USB0_ID	Voltage range for the USB ID input			See ⁽³⁾		V
USB1_ID	Voltage range for the USB ID input			See ⁽³⁾		V
VSS	Ground			0		V
T _J	Operating junction temperature range	Automotive	– 40		125	°C
		Extended	– 40		105	°C
		Commercial	0		90	°C

- (1) The voltage at the device ball must never be below the MIN voltage or above the MAX voltage for any amount of time. This requirement includes dynamic voltage events such as AC ripple, voltage transients, voltage dips, and so forth.
- (2) VDDS_DDR is required to still be powered with LPDDR4 voltage ranges, even if DDR interface is unused.
- (3) This terminal is connected to analog circuits in the respective USB PHY. The circuit sources a known current while measuring the voltage to determine if the terminal is connected to VSS with a resistance less than 10 Ω or greater than 100 k Ω . The terminal should be connected to ground for USB host operation or open-circuit for USB peripheral operation, and should never be connected to any external voltage source.
- (4) The AVS Voltages are device-dependent, voltage domain-dependent, and OPP-dependent. They must be read from the VTM_DEVINFO_VDn. For information about VTM_DEVINFO_VDn Registers address, please refer to Voltage and Thermal Manager section in the device TRM. The power supply should be adjustable over the ranges shown in the VDD_CPU AVS Range entry.
- (5) An external resistor divider is required to limit the voltage applied to this device pin. For more information, see [节 8.3.4, USB VBUS Design Guidelines](#).

6.5 运行性能点

本节介绍了器件的运行条件。本节还包含处理器时钟和器件内核时钟的每个运行性能点 (OPP) 的说明。

表 6-1 描述了器件每个速度等级支持的最大频率。

表 6-1. 速度等级最大频率

器件	最大频率 (MHz)								
	A72SS0	C66SS0	C71SS0	R5SS0/1	MCU_ R5SS0	GPU	CBASS0	DMSC	LPDDR4
DRA829xT	2000	1350	1000	1000	1000	750	500	333	4266MT/s ⁽¹⁾

- (1) 最大 DDR 频率将根据系统中使用的特定存储器类型 (供应商) 以及根据 PCB 实现进行限制。TI 强烈建议所有设计的每个细节 (布线、间距、过孔/背钻、PCB 材料等) 都严格遵循 TI LPDDR4 EVM PCB 布局, 以便完全实现指定的时钟频率。有关详细信息, 请参阅 [Jacinto 7 LPDDR4 电路板设计和布局布线指南](#)。

6.6 电气特性

备注

节 6.6.1 至节 6.6.9 中所述的接口或信号对应于多路复用模式 0 (主要功能) 中可用的接口或信号。

这些表中介绍的焊球上多路复用的所有接口或信号都具有相同的直流电气特性，除非多路复用涉及 PHY 和 GPIO 组合，在这种情况下，会为不同的复用模式 (功能) 指定不同的直流电气特性。

6.6.1 I2C 开漏失效防护 (I2C OD FS) 电气特性

在建议的工作条件下测得 (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
模式 0 中的焊球名称：WKUP_I2C0_SDA、WKUP_I2C0_SCL、MCU_I2C0_SDA、MCU_I2C0_SCL、I2C0_SDA、I2C0_SCL、I2C1_SDA、I2C1_SCL、EXTINTN					
焊球编号：H24 / J25 / H25 / J26 / AA5 / AC5 / AA6 / Y6 / AC18 H24/ J25 / H25 / J26 / AA5 / AC5 / AA6 / Y6 / AC18					
1.8V 模式					
V _{IL}	输入低电平阈值			0.3 × VDDSHV ⁽¹⁾	V
V _{ILSS}	输入低电平阈值稳态			0.3 × VDDSHV ⁽¹⁾	V
V _{IH}	输入高电平阈值	0.7 × VDDSHV ⁽¹⁾			V
V _{IHSS}	输入高电平阈值稳态	0.7 × VDDSHV ⁽¹⁾			V
V _{HYS}	输入迟滞电压	0.1 × VDDSHV ⁽¹⁾			mV
I _{IN}	输入漏电流	V _I = 1.8V 或 0V		±10	μA
V _{OL}	输出低电平电压			0.2 × VDDSHV ⁽¹⁾	V
I _{OL} ⁽²⁾	低电平输出电流	V _{OL(MAX)}	6		mA
SR _I ⁽⁴⁾	输入压摆率		18f ⁽³⁾ 或 1.8E+6		V/s
3.3V 模式 ⁽⁵⁾					
V _{IL}	输入低电平阈值			0.3 × VDDSHV ⁽¹⁾	V
V _{ILSS}	输入低电平阈值稳态			0.25 × VDDSHV ⁽¹⁾	V
V _{IH}	输入高电平阈值	0.7 × VDDSHV ⁽¹⁾			V
V _{IHSS}	输入高电平阈值稳态	0.7 × VDDSHV ⁽¹⁾			V
V _{HYS}	输入迟滞电压	0.05 × VDDSHV ⁽¹⁾			mV
I _{IN}	输入漏电流	V _I = 3.3V 或 0V		±10	μA
V _{OL}	输出低电平电压			0.4 ⁽¹⁾	V
I _{OL} ⁽²⁾	低电平输出电流	V _{OL(MAX)}	6		mA
SR _I ⁽⁴⁾	输入压摆率		33f ⁽³⁾ 或 3.3E+6	8E + 7	V/s

(1) VDDSHV 表示相应的电源。有关电源名称和相应焊球的更多信息，请参阅节 5.2 引脚属性的“电源”列。

- (2) I_{OL} 参数定义了器件能够保持指定 V_{OL} 值的最小低电平输出电流。此参数定义的值应被视为系统实现可提供的最大电流，而系统实现需要为附加元件保持指定的 V_{OL} 值。
- (3) f = 输入信号的切换频率（以 Hz 为单位）。
- (4) 此最小值参数仅适用于在相应的 *时序和开关特性* 部分中未定义的输入信号功能。选择会产生最大值的最小值参数。
- (5) 在 3.3V 模式下操作 IO 时，不支持 I2C Hs 模式。

6.6.2 失效防护复位 (FS 复位) 电气特性

在建议的工作条件下测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
模式 0 中的焊球名称：MCU_PORz、PORz					
焊球编号：H23 / J24					
V_{IL}	输入低电平阈值			$0.3 \times V_{DDSHV}^{(1)}$	V
V_{ILSS}	输入低电平阈值稳态			$0.3 \times V_{DDSHV}^{(1)}$	V
V_{IH}	输入高电平阈值	$0.7 \times V_{DDSHV}^{(1)}$			V
V_{IHSS}	输入高电平阈值稳态	$0.7 \times V_{DDSHV}^{(1)}$			V
V_{HYS}	输入迟滞电压	200			mV
I_{IN}	输入漏电流	$V_I = 1.8V$ 或 $0V$		± 10	μA

(1) V_{DDSHV} 表示相应的电源。有关电源名称和相应焊球的更多信息，请参阅 [节 5.2 引脚属性](#) 的“电源”列。

6.6.3 HFOSC/LFOSC 电气特性

在建议的工作条件下测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
高频振荡器					
焊球名称：WKUP_OSC0_XO、WKUP_OSC0_XI、OSC1_XO、OSC1_XI					
焊球编号：M27 / M29 / P27 / P29					
V_{IH}	输入高电平阈值	$0.65 \times V_{DDSHV}^{(1)}$			V
V_{IL}	输入低电平阈值			$0.35 \times V_{DDSHV}^{(1)}$	V
V_{HYS}	输入迟滞电压		49		mV
低频振荡器					
焊球名称：WKUP_LFOSC0_XO、WKUP_LFOSC0_XI					
焊球编号：N26 / N28					
V_{IH}	输入高电平阈值	$0.65 \times V_{DDA\_WKUP}^{(1)}$			V
V_{IL}	输入低电平阈值			$0.35 \times V_{DDA\_WKUP}^{(1)}$	V
V_{HYS}	输入迟滞电压	工作模式	85		mV
		旁路模式	324		mV

(1) V_{DDSHV} 表示相应的电源。对于 WKUP_OSC0，对应的电源为 V_{DDA_WKUP} 。对于 OSC1_XI，对应的电源为 V_{DDS_OSC1} 。

6.6.4 eMMCPHY 电气特性

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数	测试条件	最小值	标称值	最大值	单位
模式 0 中的焊球名称 : MMC0_DAT[7:0]、MMC0_CALPAD、MMC0_CMD、MMC0_DS、MMC0_CLK					
焊球编号 : AG2 / AH1 / AG3 / AF4 / AE5 / AF3 / AG1 / AF2 / AE1 / AE3 / AE4 / AF1					
V _{IL}	输入低电平阈值			0.35 × VDDSHV ⁽¹⁾	V
V _{ILSS}	输入低电平阈值稳态			0.20	V
V _{IH}	输入高电平阈值			0.65 × VDDSHV ⁽¹⁾	V
V _{IHSS}	输入高电平阈值稳态		1.4		V
I _{IN}	输入漏电流	V _I = 1.8V 或 0V		±10	μA
I _{OZ}	三态输出漏电流	V _O = 1.8V 或 0V		±10	μA
R _{PU}	上拉电阻器		15 20	25	kΩ
R _{PD}	下拉电阻器		15 20	25	kΩ
V _{OL}	输出低电平电压			0.30	V
V _{OH}	输出高电平电压		VDDSHV - 0.30 ⁽¹⁾		V
I _{OL}	低电平输出电流	V _{OL} (MAX)		2	mA
I _{OH}	高电平输出电流	V _{OH} (MAX)		2	mA
SR _I	输入压摆率			5E +8	V/s

(1) VDDSHV 表示相应的电源 (vddshv8)。有关电源名称和相应焊球的更多信息，请参阅 节 5.2 引脚属性的“电源”列。

6.6.5 SDIO 电气特性

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数	测试条件	最小值	标称值	最大值	单位
模式 0 中的焊球名称 : MMC1_CLK、MMC1_CMD、MMC1_DAT[3:0]、MMC2_CLK、MMC2_CMD、MMC2_DAT[3:0]					
焊球编号 : P25 / R29 / R24 / P24 / R25 / R26 / T26 / T25 / T24 / T27 / T29 / T28					
1.8V 模式					
V _{IL}	输入低电平阈值			0.58	V
V _{ILSS}	输入低电平阈值稳态			0.58	V
V _{IH}	输入高电平阈值		1.27		V
V _{IHSS}	输入高电平阈值稳态		1.7		V
V _{HYS}	输入迟滞电压		150		mV
I _{IN}	输入漏电流	V _I = 1.8V 或 0V		±10	μA
R _{PU}	上拉电阻器		40 50	60	kΩ
R _{PD}	下拉电阻器		40 50	60	kΩ
V _{OL}	输出低电平电压			0.45	V
V _{OH}	输出高电平电压		VDDSHV - 0.45 ⁽¹⁾		V
I _{OL}	低电平输出电流	V _{OL} (MAX)		4	mA
I _{OH}	高电平输出电流	V _{OH} (MAX)		4	mA
SR _I ⁽³⁾	输入压摆率			18f ⁽²⁾ 或 1.8E+6	V/s
3.3V 模式					

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数	测试条件	最小值	标称值	最大值	单位
V_{IL}	输入低电平阈值			$0.25 \times V_{DDSHV}^{(1)}$	V
V_{ILSS}	输入低电平阈值稳态			$0.15 \times V_{DDSHV}^{(1)}$	V
V_{IH}	输入高电平阈值	$0.625 \times V_{DDSHV}^{(1)}$			V
V_{IHSS}	输入高电平阈值稳态	$0.625 \times V_{DDSHV}^{(1)}$			V
V_{HYS}	输入迟滞电压	150			mV
I_{IN}	输入漏电流	$V_I = 1.8V$ 或 $0V$		± 10	μA
R_{PU}	上拉电阻器	40	50	60	$k\Omega$
R_{PD}	下拉电阻器	40	50	60	$k\Omega$
V_{OL}	输出低电平电压			$0.125 \times V_{DDSHV}^{(1)}$	V
V_{OH}	输出高电平电压	$0.75 \times V_{DDSHV}^{(1)}$			V
I_{OL}	低电平输出电流	$V_{OL(MAX)}$		6	mA
I_{OH}	高电平输出电流	$V_{OH(MAX)}$		10	mA
$SR_I^{(3)}$	输入压摆率	33f ⁽²⁾ 或 3.3E+6			V/s

(1) V_{DDSHV} 表示相应的电源 (vddshv8)。有关电源名称和相应焊球的更多信息，请参阅节 5.2 引脚属性的“电源”列。

(2) f = 输入信号的切换频率（以 Hz 为单位）。

(3) 此最小值参数仅适用于在相应的时序和开关特性部分中未定义的输入信号功能。选择会产生最大值的最小值参数。

6.6.6 CSI-2/DSI D-PHY 电气特性

备注

CSI-2/DSI (D-PHY) 接口电气特性符合 MIPI D-PHY 规范 v1.2 (2014 年 8 月 1 日)，包括 ECN 和勘误表（如适用）。

6.6.7 ADC12B 电气特性

在建议的工作条件下测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
模式 0 中的焊球名称：MCU_ADC0_AIN[7:0]、MCU_ADC1_AIN[7:0]					
焊球编号：K24 / K25 / K26 / K27 / K28 / K29 / L24 / L25 / L26 / L27 / L28 / L29 / M24 / M25 / N23 / N24					
模拟输入					
$V_{MCU\_ADC0/1\_AIN[7:0]}$	满标量程输入范围	VSS	$V_{DDA\_ADC0/1}$		V
DNL	微分非线性	-1	0.5	4	LSB
INL	积分非线性		± 1	± 4	LSB
$LSB_{GAIN-ERROR}$	增益误差		± 2		LSB
$LSB_{OFFSET-ERROR}$	偏移误差		± 2		LSB
C_{IN}	输入采样电容		5.5		pF

在建议的工作条件下测得 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
SNR	信噪比	输入信号：-0.5dB 满量程的 200kHz 正弦波	70			dB
THD	总谐波失真	输入信号：-0.5dB 满量程的 200kHz 正弦波	73			dB
SFDR	无杂散动态范围	输入信号：-0.5dB 满量程的 200kHz 正弦波	76			dB
SNR _(PLUS)	信噪比和失真	输入信号：-0.5dB 满量程的 200kHz 正弦波	69			dB
R _{MCU_ADC0/1_AIN[0:7]}	MCU_ADC0/1_AIN[7:0] 的输入阻抗	f = 输入信频率	[1/((65.97 × 10 ⁻¹²) × f _{SMPL_CLK})]			Ω
I _{IN}	输入漏电流	MCU_ADC0/1_AIN[7:0] = VSS			-10	μ A
		MCU_ADC0/1_AIN[7:0] = VDDA_ADC0/1			24	μ A
采样动态						
F _{SMPL_CLK}	SMPL_CLK 频率		60			MHz
t _C	转换时间		13			ADC0/1 SMPL_CLK 周期
t _{ACQ}	采集时间		2		257	ADC0/1 SMPL_CLK 周期
T _R	采样率	ADC0/1 SMPL_CLK = 60MHz	4			MSPS
CCISO	通道间隔离		100			dB
通用输入模式 ⁽¹⁾						
V _{IL}	输入低电平阈值		0.35 × VDDA_ADC0/1			V
V _{ILSS}	输入高电平阈值稳态		0.35 × VDDA_ADC0/1			V
V _{IH}	输入高电平阈值		0.65 × VDDA_ADC0/1			V
V _{IHSS}	输入高电平阈值稳态		0.65 × VDDA_ADC0/1			V
V _{HYS}	输入迟滞电压		200			mV
I _{IN}	输入漏电流	V _I = 1.8V 或 0V			6	μA

(1) MCU_ADC0/1 可配置为以通用输入模式运行，其中所有 MCU_ADC0/1_AIN[7:0] 输入均通过 ADC0/1_CTRL 寄存器 (gpi_mode_en = 1) 全局启用，以作为数字输入运行。

6.6.8 MLB LVCMOS 电气特性

仅支持 GPIO 模式。在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
模式 0 中的焊球名称: MLB0_MLBSN、MLB0_MLBDP、MLB0_MLBSP、MLB0_MLBSP、MLB0_MLBSP、MLB0_MLBSP、MLB0_MLBSP、MLB0_MLBSP					
焊球编号: AC1 / AC3 / AD1 / AD2 / AD3 / AE2					
V_{IL}	输入低电压			$0.3 \times VDD^{(1)}$	V
V_{ILSS}	输入低电压稳态			$0.3 \times VDD^{(1)}$	V
V_{IH}	输入高电压	$0.7 \times VDD^{(1)}$			V
V_{IHSS}	输入高电压稳态	$0.75 \times VDD^{(1)}$			V
V_{HYS}	输入迟滞电压	80			mV
I_{IN}	输入漏电流	$V_I = 1.8V$ 或 $0V$		± 10	μA
R_{PD}	下拉电阻器	20	53	130	$k\Omega$
V_{OL}	输出低电压			0.2	V
V_{OH}	输出高电压	$VDD^{(1)} - 0.2$			V
I_{OL}	低电平输出电流	$V_{OL(MAX)}$		6	mA
I_{OH}	高电平输出电流	$V_{OH(MIN)}$		6	mA
SR_I	输入压摆率 ⁽²⁾	$f_{op} > 100MHz$		1	V/ns
		$f_{op} < 1 MHz$		10	V/ns

(1) VDD 表示相应的电源。有关电源名称和相应焊球的更多信息, 请参阅 节 5.2 引脚属性的“电源”列。

(2) 压摆率可能会受到进一步限制, 请参考 节 6.10 以了解运行期间的实际压摆率。

6.6.9 LVCMOS 电气特性

在建议的工作条件下测得 (除非另有说明)

参 数		测 试 条 件	最 小 值	典 型 值	最 大 值	单 位
焊球名称：所有其他 IO						
焊球编号：所有其他 IO						
1.8V 模式						
V _{IL}	输入低电压		0.35 × VDD ⁽¹⁾		V	
V _{ILSS}	输入低电压稳态		0.3 × VDD ⁽¹⁾		V	
V _{IH}	输入高电压		0.65 × VDD ⁽¹⁾		V	
V _{IHSS}	输入高电压稳态		0.85 × VDD ⁽¹⁾		V	
V _{HYS}	输入迟滞电压		150		mV	
I _{IN}	输入漏电流。	V _I = 1.8V 或 0V	±10		μA	
R _{PU}	上拉电阻器		15	22	30	kΩ
R _{PD}	下拉电阻器		15	22	30	kΩ
V _{OL}	输出低电压		0.45		V	
V _{OH}	输出高电压		VDD ⁽¹⁾ - 0.45		V	
I _{OL} ⁽²⁾	低电平输出电流	V _{OL(MAX)}	3		mA	
I _{OH} ⁽²⁾	高电平输出电流	V _{OH(MIN)}	3		mA	
SR _I ⁽⁴⁾	输入压摆率		18f ⁽³⁾ 或 1.8E+6		V/s	
3.3V 模式						
V _{IL}	输入低电压		0.8		V	
V _{ILSS}	输入低电压稳态		0.6		V	
V _{IH}	输入高电压		2.0		V	

在建议的工作条件下测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
V_{IHSS}	输入高电压稳态	2.0			V
V_{HYS}	输入迟滞电压	150			mV
I_{IN}	输入漏电流。 $V_I = 3.3V$ 或 $0V$			± 10	μA
R_{PD}	下拉电阻器	15	22	30	$k\Omega$
V_{OL}	输出低电压			0.4	V
V_{OH}	输出高电压	2.4			V
$I_{OL}^{(2)}$	低电平输出电流 $V_{OL(MAX)}$	5			mA
$I_{OH}^{(2)}$	高电平输出电流 $V_{OH(MIN)}$	6			mA
$SR_I^{(4)}$	输入压摆率	33f ⁽³⁾ 或 3.3E+6			V/s

- (1) V_{DD} 表示相应的电源。有关电源名称和相应焊球的更多信息，请参阅 节 5.2 引脚属性的“电源”列。
- (2) I_{OL} 和 I_{OH} 参数定义了器件能够保持指定的 V_{OL} 和 V_{OH} 值的最小低电平输出电流和高电平输出电流。这些参数定义的值应被视为系统实现可提供的最大电流，而系统实现需要为附加元件保持指定的 V_{OL} 和 V_{OH} 值。
- (3) f = 输入信号的切换频率（以 Hz 为单位）。
- (4) 此最小值参数仅适用于在相应的时序和开关特性部分中未定义的输入信号功能。选择会产生最大值的最小值参数。

6.6.10 USB2PHY 电气特性

备注

USB0 和 USB1 电气特性符合 2000 年 4 月 27 日发布的通用串行总线修订版 2.0 规范，包括适用的 ECN 和勘误表。

6.6.11 串行器/解串器 4-L-PHY/2-L-PHY 电气特性

备注

PCIe 接口符合 2017 年 9 月 27 日 PCI Express® 基本规范 4.0 版中规定的电气参数。

如表 6-2 4-L-PHY 串行器/解串器 REFCLK 电气特性 中的参数 V_{REFCLK_TERM} 所述，在输入模式下使用该器件并启用内部终端时，该器件对串行器/解串器 REFCLK 施加了额外的限制。默认情况下会启用内部终端，但在应用超过限值（由 V_{REFCLK_TERM} 定义）的基准时钟信号之前必须禁用内部终端。在源极侧应始终启用外部终端。

表 6-2. 4-L-PHY 串行器/解串器 REFCLK 电气特性

仅在启用内部终端后适用。在建议的工作条件下测得（除非另有说明）

参数	最小值	典型值	最大值	单位
模式 0 中的焊球名称：SERDES4_REFCLK_P、SERDES4_REFCLK_N				
焊球编号：E8 / E7				
V_{REFCLK_TERM}	启用内部终端后位于基准时钟引脚上的单端电压阈值			400 mV
R_{TERM}	内部端接			40 50 62.5 Ω

备注

串行器/解串器 USB 接口符合 2013 年 7 月 26 日通用串行总线 3.1 规范 1.0 版本中定义的 USB3.1 超高速发送器和接收器标准化电气参数。

备注

SGMII 接口电气特性符合 IEEE802.3 第 70 条规定的 1000BASE-KX 标准。

备注

SGMII 2.5G/XAUI 接口电气特性符合 IEEE802.3 第 47 条。

备注

QSGMII 接口电气特性符合 QSGMII 规范 1.2 版。

本器件对 2-L-PHY SERDES REFCLK 施加了额外的限制，如表 6-3 2-L-PHY SERDES REFCLK 电气特性中的参数 V_{IDTH} 和 V_{IDTL} 所述。

表 6-3. 2-L-PHY 串行器/解串器 REFCLK 电气特性

仅在启用内部终端后适用。在建议的工作条件下测得（除非另有说明）

参数	最小值	典型值	最大值	单位
模式 0 中的焊球名称：PCIE_REFCLK[3:0]P、PCIE_REFCLK[3:0]N				
焊球编号：AE9 / AD10 / AE11 / AD12 / AE14 / AD15 / AE17 / AD16				
V _{IDTH}	输入差分高电平阈值		200	mV
V _{IDTL}	输入差分低电平阈值	-200		mV

6.6.12 UFS M-PHY 电气特性

备注

UFS 接口电气特性符合 MIPI M-PHY 规范 v3.1（2014 年 2 月 17 日）。

6.6.13 eDP/DP AUX-PHY 电气特性

备注

DP 接口电气特性符合 VESA DisplayPort (DP) 标准 v1.4（2016 年 2 月 23 日）。

备注

eDP 接口电气特性符合 VESA 嵌入式 DisplayPort (eDP) 标准 v1.4b（2015 年 10 月 23 日）。

6.6.14 DDR0 电气特性

备注

DDR 接口与符合 JESD209-4B 标准的 LPDDR4 SDRAM 器件兼容。

6.7 一次性可编程 (OTP) 电子保险丝的 VPP 规格

本节说明了对 OTP 电子保险丝进行编程所需的运行条件，且仅适用于高安全性器件。

6.7.1 OTP 电子保险丝编程的建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数	说明	最小值	标称值	最大值	单位
VDD_CORE	OTP 运行期间内核域的电源电压范围	请参阅 节 6.4			V
VDD_MCU	OTP 运行期间核域的电源电压范围	请参阅 节 6.4			V
VPP_CORE	正常运行期间电子保险丝 ROM 域的电源电压范围	不适用 ⁽²⁾			
	OTP 编程期间电子保险丝 ROM 域的电源电压范围 ⁽¹⁾	1.71	1.8	1.89	V
VPP_MCU	正常运行期间电子保险丝 ROM 域的电源电压范围	不适用 ⁽²⁾			
	OTP 编程期间电子保险丝 ROM 域的电源电压范围 ⁽¹⁾	1.71	1.8	1.89	V

(1) 电源电压范围包括直流误差和峰到峰噪声。来自 TLV707x 系列的 TI 电源管理解决方案 [TLV70018-Q1](#) 符合 VPP_CORE 和 VPP_MCU 所需的电源电压范围。

(2) “N/A”表示“不适用”。

6.7.2 硬件要求

对 OTP 电子保险丝中的密钥进行编程时，必须满足以下硬件要求：

- 当不对 OTP 寄存器进行编程时，VPP_CORE 和 VPP_MCU 电源必须禁用。
- 在执行正确的器件上电序列后，VPP_CORE 和 VPP_MCU 电源必须斜升（有关更多详细信息，请参阅[节 6.10.2](#)）。

6.7.3 编程序列

OTP 电子保险丝的编程序列：

- 按照上电时序为电路板加电。上电和正常运行期间，VPP_CORE 和 VPP_MCU 端子上不应施加电压。
- 加载对电子保险丝进行编程所需的 OTP 写入软件（请联系您当地的 TI 代表以获取 OTP 软件包）。
- 根据[节 6.7.1](#)中的规格在 VPP_CORE 和 VPP_MCU 端子上施加电压。
- 运行对 OTP 寄存器进行编程的软件。
- 验证 OTP 寄存器的内容后，移除 VPP_CORE 和 VPP_MCU 端子上的电压。

6.7.4 对硬件保修的影响

您了解并接受您自行承担使用电子保险丝对 TI 器件造成不可逆更改的风险。您确认电子保险丝可能会由于操作条件或编程序列不正确而失效。此类失效可能导致 TI 器件无法运行，并且在试图使用电子保险丝之前，TI 不能确认 TI 器件符合 TI 器件规格。因此，对于客户错误进行电子熔断的任何 TI 器件，TI 不承担任何责任（保修责任或其他责任）。

6.8 热阻特性

本节提供了该器件上使用的热阻特性。

出于可靠性和可操作性方面的考虑，器件的最高结温必须达到或低于节 6.4 建议运行条件中确定的 T_J 值。

6.8.1 ALF 封装的热阻特性

建议在处于最坏的器件功耗情况下执行系统级热仿真。

编号	参数	说明	ALF 封装	
			$^{\circ}\text{C/W}$ ^{(1) (3)}	气流 (m/s) ⁽²⁾
T1	$R_{\theta JC}$	结点到外壳	0.25	不适用
T2	$R_{\theta JB}$	结点到电路板	2.1	不适用
T3	$R_{\theta JA}$	结点到环境空气	11.5	0
T4		结至流动空气	7.4	1
T5			6.5	2
T6			6	3
T7	Ψ_{JT}	结至封装顶部	0.1	0
T8			0.1	1
T9			0.1	2
T10			0.1	3
T11	Ψ_{JB}	结点到电路板	1.6	0
T12			1.7	1
T13			1.6	2
T14			1.5	3

(1) 以上值基于 JEDEC 定义的 2S2P 系统 (基于 JEDEC 定义的 1S0P 系统的 Θ_{JC} [$R_{\theta JC}$] 值除外)，将随环境和应用的变化而更改。有关更多信息，请参阅以下 EIA/JEDEC 标准：

- JESD51-2, *Integrated Circuits Thermal Test Method Environment Conditions - Natural Convection (Still Air)*
- JESD51-3, *Low Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-6, *Integrated Circuit Thermal Test Method Environmental Conditions - Forced Convection (Moving Air)*
- JESD51-7, *High Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-9, *Test Boards for Area Array Surface Mount Packages*

(2) m/s = 米/秒。

(3) $^{\circ}\text{C/W}$ = 摄氏度/瓦。

6.9 温度传感器特性

本节总结了电压和温度模块 (VTM) 片上温度传感器特性。

出于可靠性和可操作性方面的考虑，器件的最高结温必须达到或低于 *建议运行条件* 中确定的 T_J 值。

表 6-4. VTM 裸片温度传感器特性

参数		测试 条件	最小值	典型值	最大值	单位
T_{acc}	VTM 温度传感器精度	-40 至 110°C	-5		5	°C
		110°C 至 125°C	-2		2	°C

6.10 时序和开关特性

备注

除非另有说明，否则必须使用每个焊盘配置寄存器中的默认 SLEWRATE 设置来确保时序。

6.10.1 时序参数和信息

节 6.10 中使用的时序参数符号是按照 JEDEC 标准 100 创建的。为了缩短符号，表 6-5 中缩写了一些引脚名称和其他相关术语：

表 6-5. 时序参数下标

符号	参数
c	周期时间 (周期)
d	延迟时间
dis	禁用时间
en	启用时间
h	保持时间
su	建立时间
启动	起始位
t	转换时间
v	有效时间
W	脉冲持续时间 (宽度)
X	未知、改变或者不用考虑级别
F	下降时间
H	高
L	低
R	上升时间
V	有效
IV	无效
AE	有效边沿
FE	第一个边沿
LE	最后一个边沿
Z	高阻抗

6.10.2 电源时序

本节介绍了确保器件正常运行所需的电源时序控制。该器件可使用隔离式或组合式 MCU 和 Main 配电网络 (PDN) 运行。建议根据隔离式和组合式 MCU 与 Main PDN 使用两个不同的初级电源序列。此外，该器件可在仅 MCU 或 DDR 保持低功耗模式下运行。这里显示了进入和退出低功耗模式所需的两个不同器件电源序列。

本节中使用的电源名称仅适用于此器件，并与“信号说明”一节中给出的名称相一致。Jacinto 7™ 处理器系列中的不同器件之间可能使用通用电源名称。在不同器件上，这些通用电源名称将具有非常相似的功能（可能不完全相同）。

所示的所有电源序列时序控制图都将使用以下术语：

- 初级 = 所有电压域在关断和完全运行状态之间的基本电源序列。
- $V_{OPR\ MIN}$ = 确保实现“建议运行条件”中指定的功能的最低工作电压电平
- 斜升 = 从关断状态到 $V_{opr\ min}$ 的电压电源转换时间的起始点。
- 斜降 = 从 V_{opr} 到关断状态的电压电源转换时间的起始点。
- Supply_“n” = 相似电源的多个实例（即 $VDDSHVn = VDDSHV0$ 、 $VDDSHV1$ 、 $VDDSHV2 \dots VDDSHV6$ ）。
- Supply_“xxx” = 用于不同信号类型的类似电源的多个实例（即 $VDDA\_1P8\_xxx = VDDA\_1P8\_DSITX$ 、 $VDDA\_1P8\_USB$ 、 $VDDA\_0P8\_DSITX$ 、 $VDDA\_0P8\_USB$ 等）。
- 时间戳 = “T#” 标记，带有说明和大致的经历时间，仅供一般参考。具体的时序转换取决于 PDN 设计（有关详细信息，请参阅 PDN 用户指南）。

6.10.2.1 电源压摆率要求

为了维持内部 ESD 保护器件的安全工作范围，TI 建议将电源的最大压摆率限制为小于 $100\text{mV}/\mu\text{s}$ ，如图 6-2 所示。例如，1.8V 电源的斜坡时间应 $> 18\ \mu\text{s}$ ，以确保压摆率 $< 100\text{mV}/\mu\text{s}$ 。

图 6-2 介绍了器件中的电源压摆率要求。

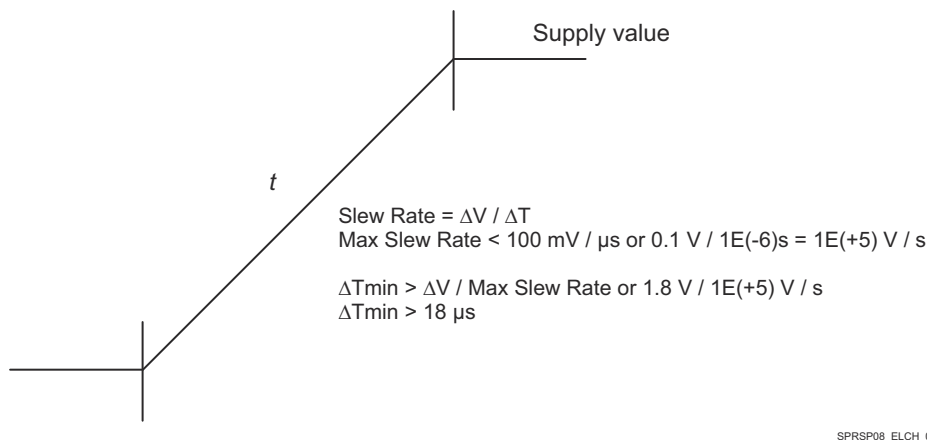


图 6-2. 电源电压转换时间和压摆率

6.10.2.2 组合式 MCU 域和 Main 域上电时序

图 6-3 介绍了当类似的 MCU 和 Main 电压域组合到公共电源轨时的初级上电时序。将 MCU 和 Main 电压域组合可减少电源轨和电源的总数量，同时使 MCU 和 Main 处理器子系统依赖公共电源轨运行，从而简化 PDN 设计。

节 8.1 “电源映射”中的表 8-1 将推荐的设备电源组捕获到电源轨映射摘要。

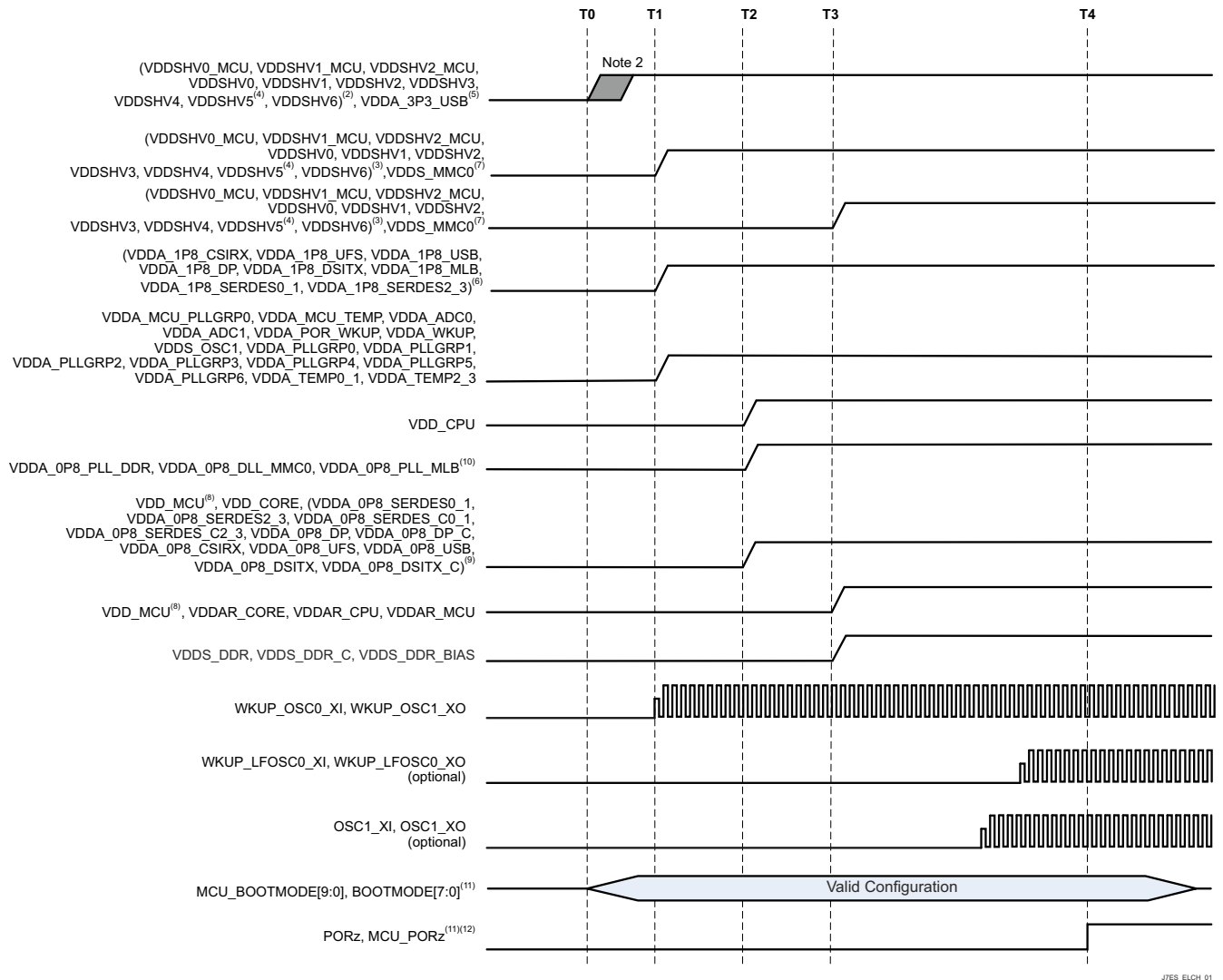


图 6-3. 组合式 MCU 域和 Main 域，初级上电序列

1. 时间戳标记

T0 - 3.3V 电压开始斜升至 $V_{OPR\ MIN}$ 。(0ms)

T1 - 1.8V 电压开始斜升至 $V_{OPR\ MIN}$ 。(2ms)

T2 - 低电压内核电源开始斜升至 $V_{OPR\ MIN}$ 。(3ms)

T3 - 低电压 RAM 阵列电压开始斜升至 $V_{OPR\ MIN}$ 。(4ms)

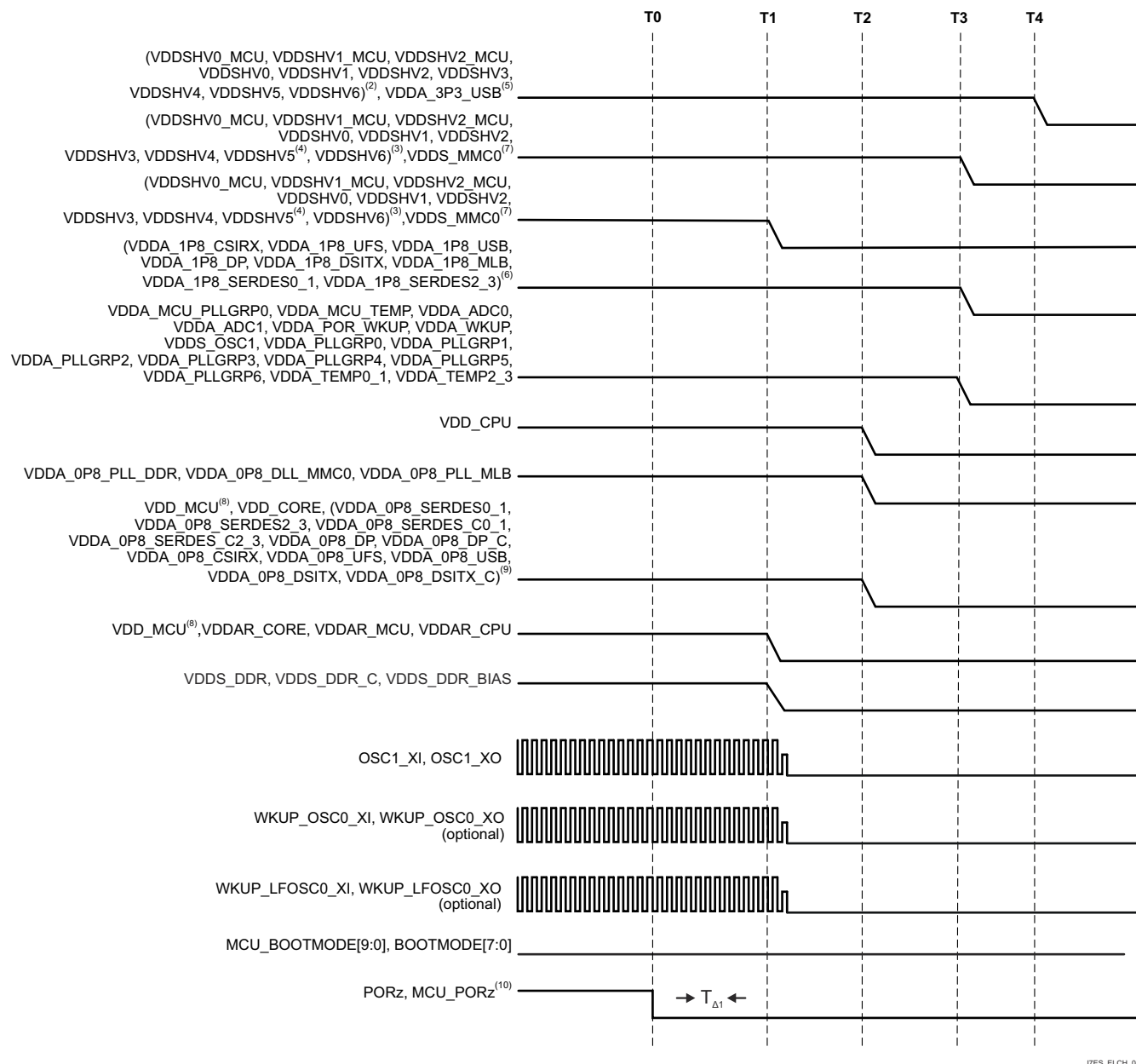
T4 - OSC1 保持稳定，PORz/MCU_PORz 置为无效以从复位状态释放处理器。(13ms)

- 任何 MCU 或 Main 双电压 IO 电源 (VDDSHVn_MCU 或 VDDSHVn) 由 3.3V 电压供电以支持 3.3V 数字接口。由于 PDN 设计使用具有不同开通和斜升延时的不同电源，因此少数电源在 T0 和 T1 之间的启动时间可能会有所不同。
- 任何 MCU 或 Main 双电压 IO 电源 (VDDSHVn_MCU 或 VDDSHVn) 由 1.8V 电压供电以支持 1.8V 数字接口。使用 eMMC 存储器时，由于 PDN 设计将电源与 VDD_MMC0 分组在一起，因此 Main 1.8V 电源的斜升电压可能与 T3 相一致。
- VDDSHV5 支持 SD 存储卡的 MMC1 信号。如果需要使用合规的高速 SD 卡运行，则需要独立的双电压 (3.3V/1.8V) 电源和电源轨。斜升至 3.3V 的开始时间与所示的其他 3.3V 域相同。如果不需要 SD 卡或可以接

- 受具有固定 3.3V 工作电压的标准数据速率，则可以将域与数字 IO 3.3V 电源轨分组在一起。如果 SD 卡能够在固定 1.8V 的电压下运行，则可以将域与数字 IO 1.8V 电源轨分组在一起。
5. VDDA_3P3_USB 是用于 USB 2.0 差分接口信号传输的 3.3V 模拟域。建议使用低噪声模拟电源来提供最佳信号完整性，以确保 USB 数据眼罩合规性。斜升至 3.3V 的开始时间与所示的其他 3.3V 域相同。如果不需要 USB 接口或可以容忍数据位错误，则可以直接或通过电源滤波器将域与 3.3V 数字 IO 电源轨分组在一起。
 6. VDDA_1P8_<phy> 是 1.8V 模拟域，支持多个串行 PHY 接口。建议使用低噪声模拟电源来提供最佳信号完整性、接口性能和规格符合性。如果不需要这些接口中的任何一个，可以容忍数据位错误或不合规运行，则可以直接或通过直列式电源滤波器将域与数字 IO 1.8V 电源轨分组在一起。
 7. VDD_MMC0 是 1.8V 数字电源，支持 eMMC 接口的 MMC0 信号。如果不需要 MMC0 或 eMMC0 接口，则可以将该域并入数字 IO 1.8V 电源轨，上电时间戳为 T1。但是，如果需要 MMC0 接口，则在 VDD_CORE 达到 $V_{OPR\ MIN}$ 之后，VDD_MMC0 直到时间戳 T3 才能开始斜升。在 1.8V 电压下运行的任何 MCU 或 Main 双电压 IO 都可以与 VDD_MMC0 组合成上电时间戳为 T3 的公共电源轨。
 8. VDD_MCU 是数字电压电源，由于具有宽工作电压范围和电源时序灵活性，因此能够在时间戳 T2 处与 0.8V VDD_CORE 或在时间戳 T3 处与 0.85V RAM 阵列域 (VDDAR_xxx) 组合在一起并一起斜升。
 9. VDDA_1P8_<clk/pll/ana> 是 1.8V 模拟域，支持需要使用低噪声电源以实现最佳性能的时钟振荡器、PLL 和模拟电路。不建议将模拟 VDDA_1P8_<phy> 域或数字 VDDSHVn_MCU 和 VDDSHVn IO 域组合在一起，因为高频开关噪声会对时钟、PLL 和 DLL 信号的抖动性能产生负面影响。
 10. VDDA_0P8_<dll/pll> 是 0.8V 模拟域，支持需要使用低噪声电源以实现最佳性能的 PLL 和 DLL 电路。不建议将这些域与任何其他 0.8V 域组合在一起，因为高频开关噪声会对 PLL 和 DLL 信号的抖动性能产生负面影响。
 11. 在所示的最短建立时间和保持时间内，在上电序列期间将 MCU_PORz 和 PORz 置为高电平有效，从而将 MCU_BOOTMODEn (参考 MCU_VDDSHV0) 和 BOOTMODEn (参考 VDDSHV2) 设置锁存到寄存器中。
 12. 从晶体振荡器电路通电 (T1 处的 VDDS_OSC1) 直至达到稳定时钟频率所需的最短时间取决于晶体振荡器、电容器参数和 PCB 寄生值。此处显示的是由 (T4 - T1) 时间戳定义的 10ms 保守时间。根据客户的时钟电路 (即晶体振荡器或时钟发生器) 和 PCB 设计，这一时间可以减少。

6.10.2.3 组合式 MCU 域和 Main 域下电时序 - 选项 1

图 6-4 介绍了选项 1 的器件下电时序。



J7ES_ELCH_02

图 6-4. 组合式 MCU 域和 Main 域，初级下电时序 - 选项 1

1. 时间戳标记

T0 - MCU_PORz 和 PORz 置为低电平有效，用于将所有处理器资源置于安全状态。(0ms)

T1 - 主 DDR、SRAM 内核和 SRAM CPU 电源开始斜降。(0.5ms)

T2 - 低电压内核电源开始电源斜降。(2.5ms)

T3 - 1.8V 电压开始电源斜降。(3.0ms)

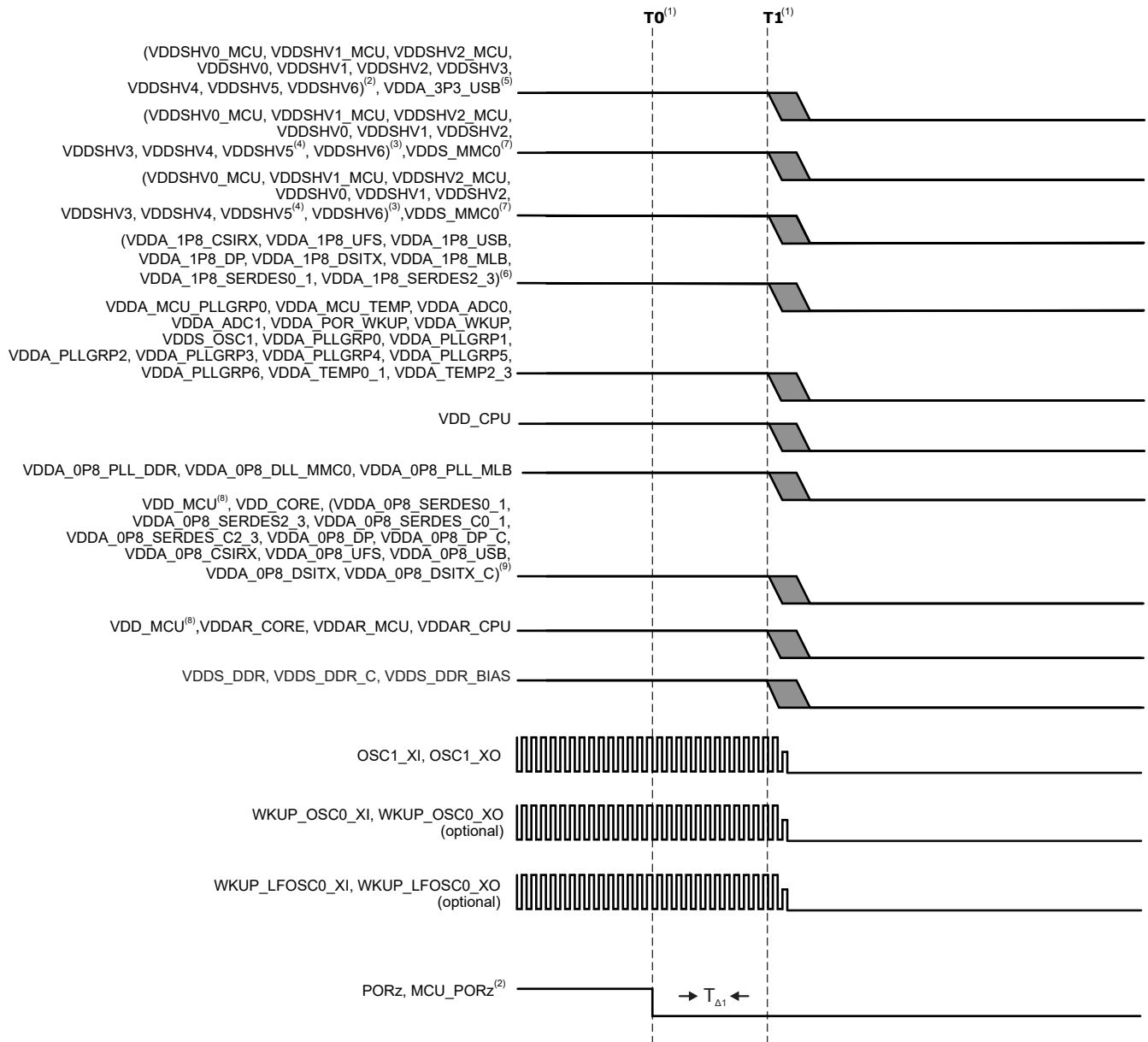
T4 - 3.3V 电压开始电源斜降。(3.5ms)

2. 任何 MCU 或 Main 双电压 IO 电源 (VDDSHVn_MCU 或 VDDSHVn) 由 3.3V 电压供电以支持 3.3V 数字接口

3. 任何 MCU 或 Main 双电压 IO 电源 (VDDSHVn_MCU 或 VDDSHVn) 由 1.8V 电压供电以支持 1.8V 数字接口。使用 eMMC 存储器时, 由于 PDN 设计将电源与 VDD_MMC0 组合在一起, 因此 Main 1.8V 电源的斜降电压可能与 T1 相一致。
4. VDDSHV5 支持 SD 存储卡的 MMC1 信号。需要使用双电压 (3.3V/1.8V) 电源轨以实现合规的高速 SD 卡运行。如果需要实现合规的高速 SD 卡运行, 则需要独立的双电压 (3.3V/1.8V) 电源和电源轨。从 3.3V/1.8V 斜降的开始时间与所示的其他 3.3V 域相同。如果不需要 SD 卡或可以接受具有固定 3.3V 工作电压的标准数据速率, 则可以将域与数字 IO 3.3V 电源轨分组在一起。如果 SD 卡能够在固定 1.8V 的电压下运行, 则可以将域与数字 IO 1.8V 电源轨分组在一起。
5. VDDA_3P3_USB 是用于 USB 2.0 差分接口信号传输的 3.3V 模拟域。建议使用低噪声模拟电源来提供最佳信号完整性, 以确保 USB 数据眼罩合规性。从 3.3V 斜降的开始时间与所示的其他 3.3V 域相同。如果不需要 USB 接口或可以容忍数据位错误, 则可以直接或通过电源滤波器将域与 3.3V 数字 IO 电源轨分组在一起。
6. VDDA_1P8_<phy> 是 1.8V 模拟域, 支持多个串行 PHY 接口。建议使用低噪声模拟电源来提最佳信号完整性、接口性能和规格符合性。如果不需要这些接口中的任何一个, 可以容忍数据位错误或不合规运行, 则可以直接或通过直列式电源滤波器将域与数字 IO 1.8V 电源轨分组在一起。
7. VDD_MMC0 是 1.8V 数字电源, 支持 eMMC 接口的 MMC0 信号, 并且必须在 VDD_CORE 开始斜降之前在时间戳 T1 处斜降。在 1.8V 电压下运行的任何 MCU 或 Main 双电压 IO 都可以与 VDD_MMC0 组合成断电时间戳为 T1 的公共电源轨。如果不需要 MMC0 或 eMMC0 接口, 则可以将域与数字 IO 1.8V 电源轨组合在一起, 并在时间戳处 T3 处斜降。
8. VDD_MCU 是数字电压电源, 由于具有宽工作电压范围和电源时序灵活性, 因此能够在时间戳 T2 处与 0.8V VDD_CORE 或在时间戳 T1 处与 0.85V RAM 阵列域 (VDDAR_xxx) 组合在一起并一起斜降。
9. VDDA_1P8_<clk/pll/ana> 是 1.8V 模拟域, 支持需要使用低噪声电源以实现最佳性能的时钟振荡器、PLL 和模拟电路。不建议将模拟 VDDA_1P8_<phy> 域或数字 VDDSHVn_MCU 和 VDDSHVn IO 域组合在一起, 因为高频开关噪声会对时钟、PLL 和 DLL 信号的抖动性能产生负面影响。
10. MCU_PORz 和 PORz 必须置为低电平有效 (至少 $T_{\Delta 1} = 200 \mu s$), 以确保 SoC 资源在任何电压开始斜降之前进入安全状态。

6.10.2.4 组合式 MCU 域和 Main 域下电时序 - 选项 2

图 6-5 介绍了选项 2 的器件下电时序。



J7ES_ELCH_02

图 6-5. 组合式 MCU 域和 Main 域，初级下电时序 - 选项 2

1. 时间戳标记

T0 - MCU_PORz 和 PORz 置为低电平有效，用于将所有处理器资源置于安全状态。(0ms)

T1 - 所有电源开始斜降。(1 μs)

2. MCU_PORz 和 PORz 必须置为低电平有效 (至少 $T_{\Delta 1} = 200 \mu s$)，以确保 SoC 资源在任何电压开始斜降之前进入安全状态。

6.10.2.5 隔离式 MCU 域和 Main 域上电时序

隔离式 MCU 域和 Main 电压域可使 SoC 的 MCU 和 Main 处理器子系统独立运行。SoC 的 PDN 设计可能需要支持独立的 MCU 和 Main 处理器功能，这有 2 个原因。首先要提供灵活性以启用 SoC 低功耗模式，这种模式可以在不需要处理器运行时显著降低 SoC 功耗。其次要实现稳健性，以便在发生影响 MCU 和 Main 处理器子系统的

单个故障时确保无干扰 (FFI)，这一点在将 SoC 的 MCU 用作系统安全监控处理器时特别有用。所需的额外 PDN 电源轨数量取决于不同 MCU IO 信令电压电平的数量。如果仅使用 1.8V IO 信令，则只需要 2 个额外的电源轨。如果同时需要 1.8V 和 3.3V IO 信令，则可能需要 4 个额外的电源轨。节 8.1 “电源映射” 中的表 8-2 将推荐的设备电源捕获到电源轨映射摘要。

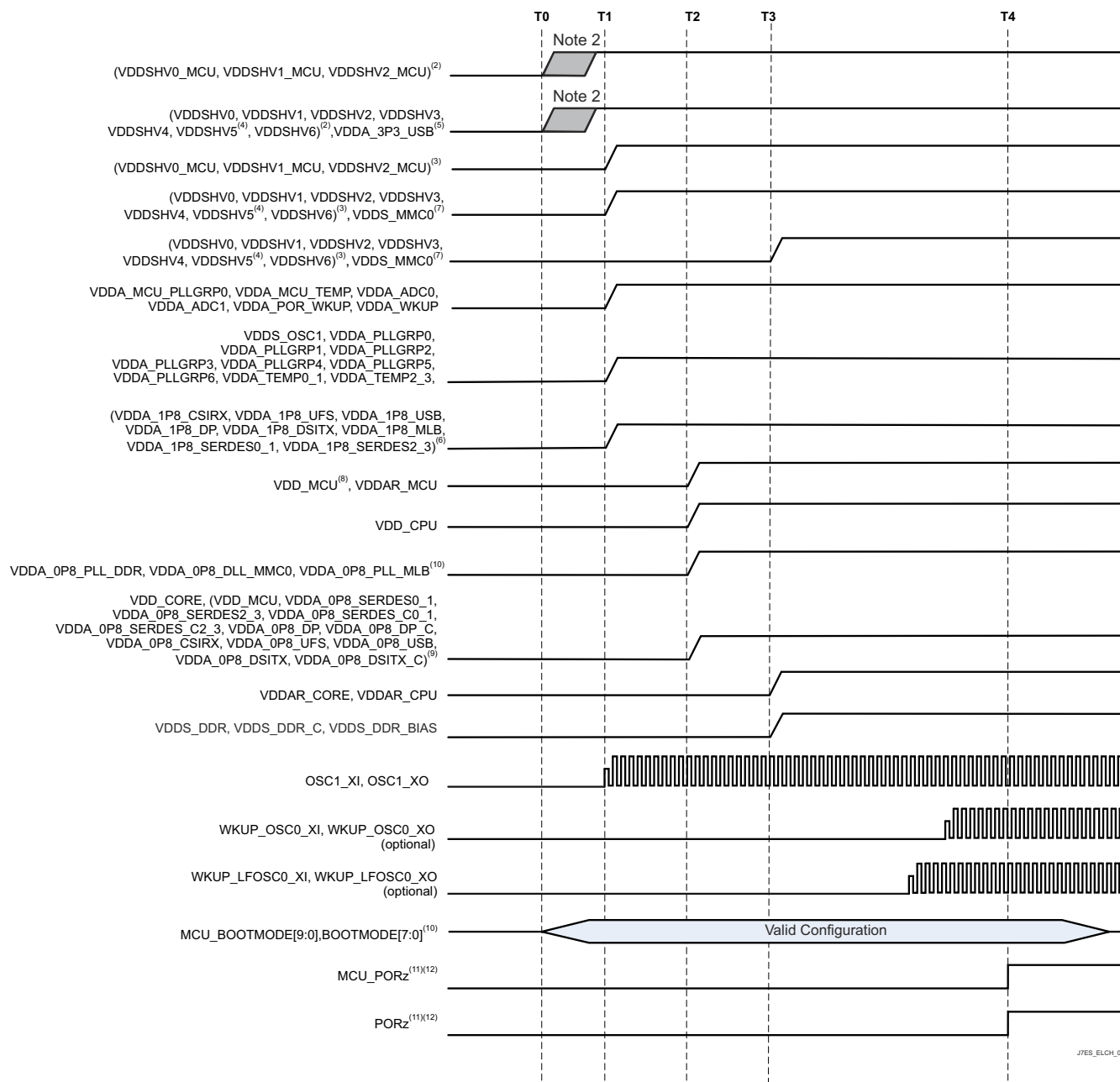


图 6-6. 隔离式 MCU 域和 Main 域，初级上电序列

1. 时间戳标记

T0 - 3.3V 电压开始斜升至 $V_{OPR\ MIN}$ 。(0ms)

T1 - 1.8V 电压开始斜升至 $V_{OPR\ MIN}$ 。(2ms)

T2 - 低电压内核电源开始斜升至 $V_{OPR\ MIN}$ 。(3ms)

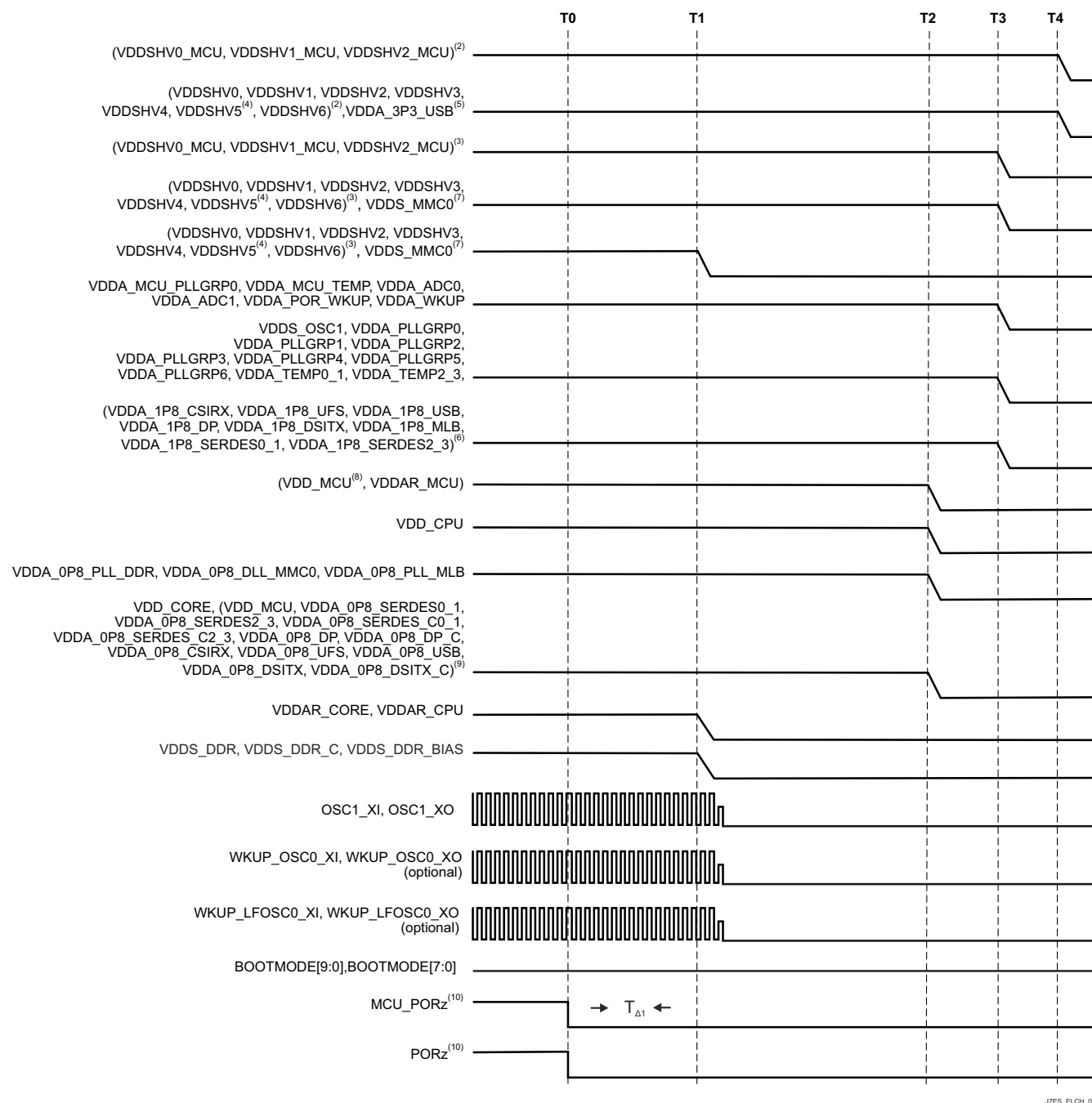
T3 - 低电压 RAM 阵列电压开始斜升至 $V_{OPR\ MIN}$ 。(4ms)

T4 - OSC1 保持稳定, PORz/MCU_PORz 置为无效以从复位状态释放处理器。(13ms)

2. 任何 MCU 或 Main 双电压 IO 电源 (VDDSHVn_MCU 或 VDDSHVn) 由 3.3V 电压供电以支持 3.3V 数字接口。由于 PDN 设计使用具有不同开通和斜升延时的不同电源, 因此少数电源在 T0 和 T1 之间的启动时间可能会有所不同。
3. 任何 MCU 或 Main 双电压 IO 电源 (VDDSHVn_MCU 或 VDDSHVn) 由 1.8V 电压供电以支持 1.8V 数字接口。使用 eMMC 存储器时, 由于 PDN 设计将电源与 VDD_MMC0 组合在一起, 因此 Main 1.8V 电源的延迟启动时间可能与 T3 相一致。
4. VDDSHV5 支持 SD 存储卡的 MMC1 信号。如果需要使用合规的 UHS-I SD 卡运行, 则需要独立的双电压 (3.3V/1.8V) 电源和电源轨。斜升至 3.3V 的开始时间与所示的其他 3.3V 域相同。如果不需要 SD 卡或可以接受具有固定 3.3V 工作电压的标准数据速率, 则可以将电源与数字 IO 3.3V 电源轨组合在一起。如果 SD 卡能够在固定 1.8V 的电压下运行, 则可以将电源与数字 IO 1.8V 电源轨组合在一起。
5. VDDA_3P3_USB 是用于 USB 2.0 差分接口信号传输的 3.3V 模拟电源。建议使用低噪声模拟电源来提供最佳信号完整性, 以确保 USB 数据眼罩合规性。斜升至 3.3V 的开始时间与所示的其他 3.3V 域相同。如果不需要 USB 接口或可以容忍数据位错误, 则可以直接或通过电源滤波器将电源与 3.3V 数字 IO 电源轨组合在一起。
6. VDDA_1P8_<phy> 是 1.8V 模拟电源, 支持多个串行 PHY 接口。建议使用低噪声模拟电源来提供最佳信号完整性、接口性能和规格符合性。如果不需要这些接口中的任何一个, 可以容忍数据位错误或不合规运行, 则可以直接或通过直列式电源滤波器将电源与数字 IO 1.8V 电源轨分组在一起。
7. VDD_MMC0 是 1.8V 数字电源, 支持 eMMC 接口的 MMC0 信号, 并且必须在时间戳 T3 处斜升。在 1.8V 电压下运行的任何 MCU 或 Main 双电压 IO 都可以与 VDD_MMC0 组合成在时间戳 T3 斜升的公共电源轨。如果不需要 MMC0 或 eMMC0 接口, 则可以将域与数字 IO 1.8V 电源轨组合在一起, 并在时间戳 T1 处斜升。
8. VDD_MCU 是数字电压电源, 由于具有宽工作电压范围和电源时序灵活性, 因此能够在时间戳 T2 处与 0.8V VDD_CORE 或在时间戳 T3 处与 0.85V RAM 阵列域 (VDDAR_XXX) 组合在一起并一起斜升。
9. VDDA_1P8_<clk/pll/ana> 是 1.8V 模拟电源, 支持需要使用低噪声电源以实现最佳性能的时钟振荡器、PLL 和模拟电路。不建议将模拟 VDDA_1P8_<phy> 域或数字 VDDSHVn_MCU 和 VDDSHVn IO 域组合在一起, 因为高频开关噪声会对时钟、PLL 和 DLL 信号的抖动性能产生负面影响。
10. VDDA_0P8_<dll/pll> 是 0.8V 模拟电源, 支持需要使用低噪声电源以实现最佳性能的 PLL 和 DLL 电路。不建议将这些域与任何其他 0.8V 域组合在一起, 因为高频开关噪声会对 PLL 和 DLL 信号的抖动性能产生负面影响。
11. 在所示的最短建立时间和保持时间内, 在上电序列期间将 MCU_PORz 和 PORz 置为高电平有效, 从而将 MCU_BOOTMODEn (参考 MCU_VDDSHV0) 和 BOOTMODEn (参考 VDDSHV2) 设置锁存到寄存器中。
12. 从晶体振荡器电路通电 (T1 处的 VDDSHVn_OSC1) 直至达到稳定时钟频率所需的最短时间取决于晶体振荡器、电容器参数和 PCB 寄生值。此处显示的是由 (T4 - T1) 时间戳定义的 10ms 保守时间。根据客户的时钟电路 (即晶体振荡器或时钟发生器) 和 PCB 设计, 这一时间可以减少。

6.10.2.6 隔离式 MCU 域和 Main 域, 初级下电时序 - 选项 1

图 6-7 介绍了选项 1 的器件下电时序。



J7ES_ELCH_04

图 6-7. 隔离式 MCU 域和 Main 域，初级下电时序 - 选项 1

1. 时间戳标记

T0 - MCU_PORz 和 PORz 置为低电平有效，用于将所有处理器资源置于安全状态。(0ms)

T1 - 主 DDR、SRAM 内核和 SRAM CPU 电源开始斜降。(0.5ms)

T2 - 低电压内核电源开始电源斜降。(2.5ms)

T3 - 1.8V 电压开始电源斜降。(3.0ms)

T4 - 3.3V 电压开始电源斜降。(3.5ms)

2. 任何 MCU 或 Main 双电压 IO 电源 (VDDSHVn_MCU 或 VDDSHVn) 由 3.3V 电压供电以支持 3.3V 数字接口
3. 任何 MCU 或 Main 双电压 IO 电源 (VDDSHVn_MCU 或 VDDSHVn) 由 1.8V 电压供电以支持 1.8V 数字接口。使用 eMMC 存储器时, 由于 PDN 设计将电源与 VDD_MMC0 组合在一起, 因此 Main 1.8V 电源的斜降电压可能与 T1 相一致。
4. VDDSHV5 支持 SD 存储卡的 MMC1 信号。需要使用双电压 (3.3V/1.8V) 电源轨以实现合规的高速 SD 卡运行。如果需要进行合规的高速 SD 卡运行, 则需要独立的双电压 (3.3V/1.8V) 电源和电源轨。从 3.3V/1.8V 斜降的开始时间与所示的其他 3.3V 域相同。如果不需要 SD 卡或可以接受具有固定 3.3V 工作电压的标准数据速率, 则可以将域与数字 IO 3.3V 电源轨分组在一起。如果 SD 卡能够在固定 1.8V 的电压下运行, 则可以将域与数字 IO 1.8V 电源轨分组在一起。
5. VDDA_3P3_USB 是用于 USB 2.0 差分接口信号传输的 3.3V 模拟域。建议使用低噪声模拟电源来提供最佳信号完整性, 以确保 USB 数据眼罩合规性。从 3.3V 斜降的开始时间与所示的其他 3.3V 域相同。如果不需要 USB 接口或可以容忍数据位错误, 则可以直接或通过电源滤波器将域与 3.3V 数字 IO 电源轨分组在一起。
6. VDDA_1P8_<phy> 是 1.8V 模拟域, 支持多个串行 PHY 接口。建议使用低噪声模拟电源来提最佳信号完整性、接口性能和规格符合性。如果不需要这些接口中的任何一个, 可以容忍数据位错误或不合规运行, 则可以直接或通过直列式电源滤波器将域与数字 IO 1.8V 电源轨分组在一起。
7. VDD_MMC0 是 1.8V 数字电源, 支持 eMMC 接口的 MMC0 信号, 并且必须在 VDD_CORE 开始斜降之前在规定时间内 T1 处斜降。在 1.8V 电压下运行的任何 MCU 或 Main 双电压 IO 都可以与 VDD_MMC0 组合成断电时间戳为 T1 的公共电源轨。如果不需要 MMC0 或 eMMC0 接口, 则可以将域与数字 IO 1.8V 电源轨组合在一起, 并在时间戳处 T3 处斜降。
8. VDD_MCU 是数字电压电源, 由于具有宽工作电压范围和电源时序灵活性, 因此能够在时间戳 T2 处与 0.8V VDD_CORE 或在时间戳 T1 处与 0.85V RAM 阵列域 (VDDAR_XXX) 组合在一起并一起斜降。
9. VDDA_1P8_<clk/pll/ana> 是 1.8V 模拟域, 支持需要使用低噪声电源以实现最佳性能的时钟振荡器、PLL 和模拟电路。不建议将模拟 VDDA_1P8_<phy> 域或数字 VDDSHVn_MCU 和 VDDSHVn IO 域组合在一起, 因为高频开关噪声会对时钟、PLL 和 DLL 信号的抖动性能产生负面影响。
10. MCU_PORz 和 PORz 必须置为低电平有效 (至少 $T_{\Delta 1} = 200\mu s$), 以确保 SoC 资源在任何电压开始斜降之前进入安全状态。

6.10.2.7 隔离式 MCU 域和 Main 域, 初级下电时序 - 选项 2

图 6-8 介绍了选项 2 的器件下电时序。

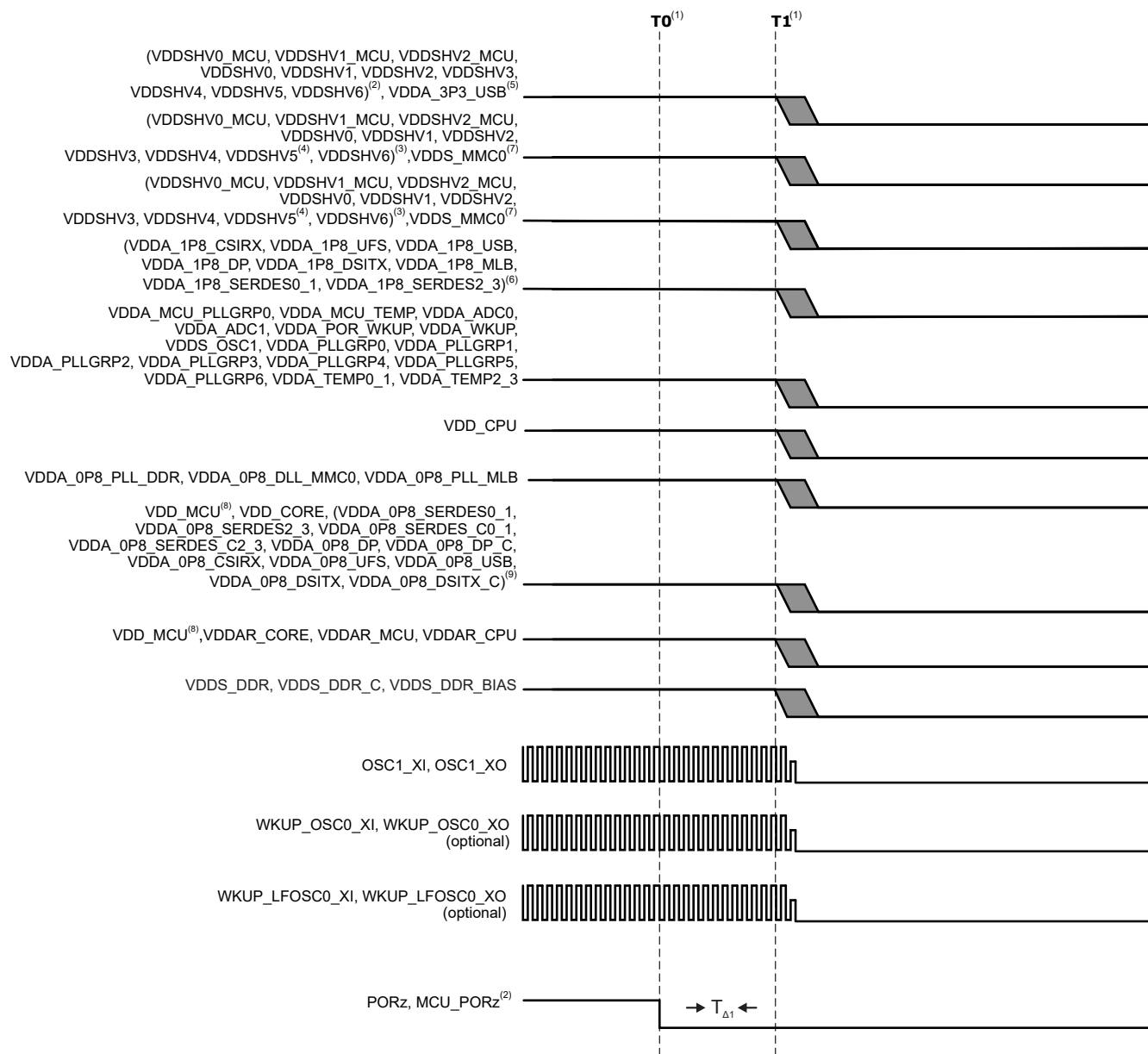


图 6-8. 隔离式 MCU 域和 Main 域, 初级下电时序 - 选项 2

1. 时间戳标记

T0 - MCU PORz 和 PORz 置为低电平有效，用于将所有处理器资源置于安全状态。(0ms)

T1 - 所有电源开始斜降。(1 μ s)

2. MCU_PORz 和 PORz 必须置为低电平有效 (至少 $T_{\Delta 1} = 200 \mu s$) , 以确保 SoC 资源在任何电压开始斜降之前进入安全状态。

6.10.2.8 进入和退出仅 MCU 状态

通过执行断电序列进入仅 MCU 低功耗状态，但保持通电的 4 个 MCU 电源组（3.3V 的 VDDSHVx_MCU、1.8V 的 VDDSHVx MCU、1.8V 的 VDDA MCU PLLGRP0/VDDA MCU TEMP 模拟电源、0.85V 的 VDD MCU/

English Data Sheet: [SPRSP35](#)



图 6-10. 进入和退出 DDR 保持时序

6.10.3 系统时序

有关子系统多路复用信号的特性和其他说明的更多详细信息，请参阅节 5.3 信号说明

6.10.3.1 复位时序

本节中提供的表和图定义了复位相关信号的时序条件、时序要求和开关特性。

表 6-6. 复位时序条件

参数			最小值	最大值	单位
输入条件					
SR _I	输入压摆率	VDD ⁽¹⁾ = 1.8V	0.0018		V/ns
		VDD ⁽¹⁾ = 3.3V	0.0033		V/ns
输出条件					
C _L	输出负载电容			30	pF

(1) VDD 表示相应的电源。有关电源名称和相应焊球的更多信息，请参阅引脚属性表的“电源”列。

表 6-7. MCU_PORz 时序要求

请参阅图 6-11

编号			最小值	典型值	最大值	单位
RST1	t _h (MCUD_SUPPLIES_VALID - MCU_PORz)	保持时间，在所有 MCU 域电源有效之后 MCU_PORz 在上电时有效（低电平）（使用外部晶体）	N + 1200 ⁽²⁾	9500000		ns
RST2		保持时间，在所有 MCU 域电源 ⁽¹⁾ 有效且外部时钟稳定之后 MCU_PORz 在上电时有效（低电平）（使用外部 LVCMOS 振荡器）	1200			ns
RST3	t _w (MCU_PORzL)	最小脉冲宽度，在上电之后 MCU_PORz 为低电平（不移除电源或系统基准时钟 MCU_OSC0_XI/XO）	1200			ns

(1) 有关 MCU 域电源的定义，请参阅组合式 MCU 域和 Main 域上电序列。

(2) N = 振荡器启动时间

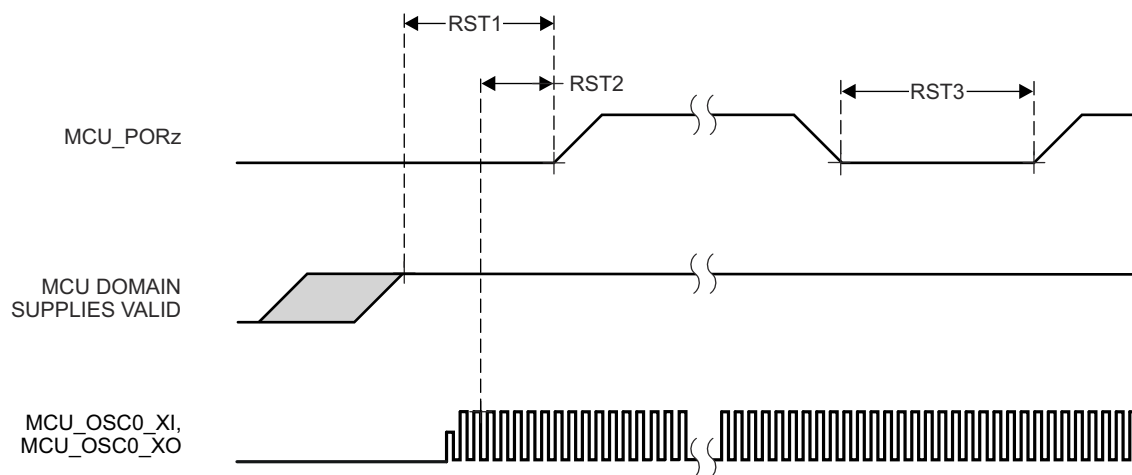


图 6-11. MCU_PORz 时序要求

表 6-8. PORz 时序要求

请参阅图 6-12

编号			最小值	最大值	单位
RST4	$t_{h(MAIND\_SUPPLIES\_VALID - PORz)}$	保持时间, 在所有 MAIN 域电源 ⁽¹⁾ 有效之后 PORz 在上电时有效 (低电平)	1200		ns
RST5	$t_{w(PORzL)}$	最小脉冲宽度, 在上电之后 PORz 为低电平	1200		ns

(1) 有关 MAIN 域电源的定义, 请参阅组合式 MCU 域和 Main 域上电序列。

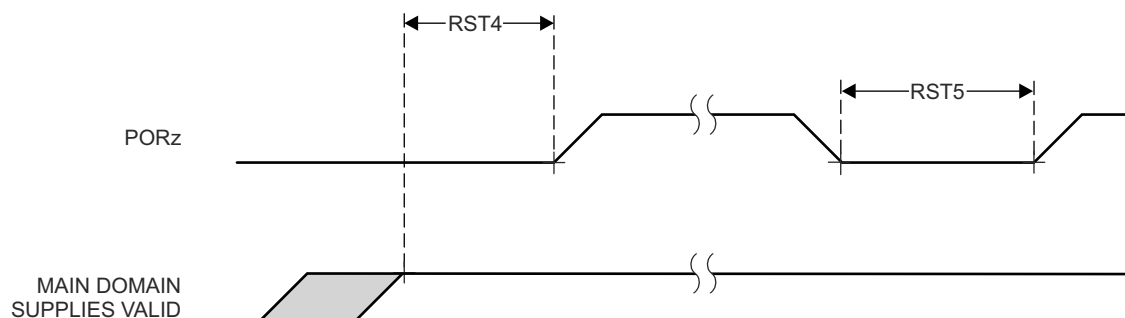


图 6-12. PORz 时序要求

表 6-9. MCU_PORz 启动 ; MCU_PORz_OUT、PORz_OUT、MCU_RESETSTATz 和 RESETSTATz 开关特性

请参阅图 6-13

编号	参数	模式	最小值	最大值	单位
RST6	$t_d(MCU\_PORzL-MCU\_PORz\_OUTL)$	延迟时间, MCU_PORz 有效 (低电平) 到 MCU_PORz_OUT 有效 (低电平)	0		ns
RST7	$t_d(MCU\_PORzH-MCU\_PORz\_OUTH)$	延迟时间, MCU_PORz 无效 (高电平) 到 MCU_PORz_OUT 无效 (高电平)	0		ns
RST8	$t_d(MCU\_PORzL-PORz\_OUTL)$	延迟时间, MCU_PORz 有效 (低电平) 到 PORz_OUT 有效 (低电平)	0		ns
RST9	$t_d(MCU\_PORzH-PORz\_OUTH)$	延迟时间, MCU_PORz 无效 (高电平) 到 PORz_OUT 无效 (高电平)	1500		ns
RST10	$t_d(MCU\_PORzL-MCU\_RESETSTATzL)$	延迟时间, MCU_PORz 有效 (低电平) 到 MCU_RESETSTATz 有效 (低电平)	0		ns
RST11	$t_d(MCU\_PORzH-MCU\_RESETSTATzH)$	延迟时间, MCU_PORz 无效 (高电平) 到 MCU_RESETSTATz 无效 (高电平)	12000*S ⁽¹⁾		ns
RST12	$t_d(MCU\_PORzL-RESETSTATzL)$	延迟时间, MCU_PORz 有效 (低电平) 到 RESETSTATz 有效 (低电平)	0		ns
RST13	$t_d(MCU\_PORzH-RESETSTATzH)$	延迟时间, MCU_PORz 无效 (高电平) 到 RESETSTATz 无效 (高电平)	14500*S ⁽¹⁾		ns
RST14	$t_w(MCU\_PORz\_OUTL)$	最小脉冲宽度, MCU_PORz_OUT 有效 (低电平)	1200		ns
RST15	$t_w(PORz\_OUTL)$	最小脉冲宽度, PORz_OUT 低电平	2550		ns
RST16	$t_w(MCU\_RESETSTATzL)$	最小脉冲宽度, MCU_RESETSTATz 低电平	3900*S ⁽¹⁾		ns
RST17	$t_w(RESETSTATzL)$	最小脉冲宽度, RESETSTATz 低电平	2650*S ⁽¹⁾		ns

(1) S = MCU_OSC0_XI/XO 时钟周期。

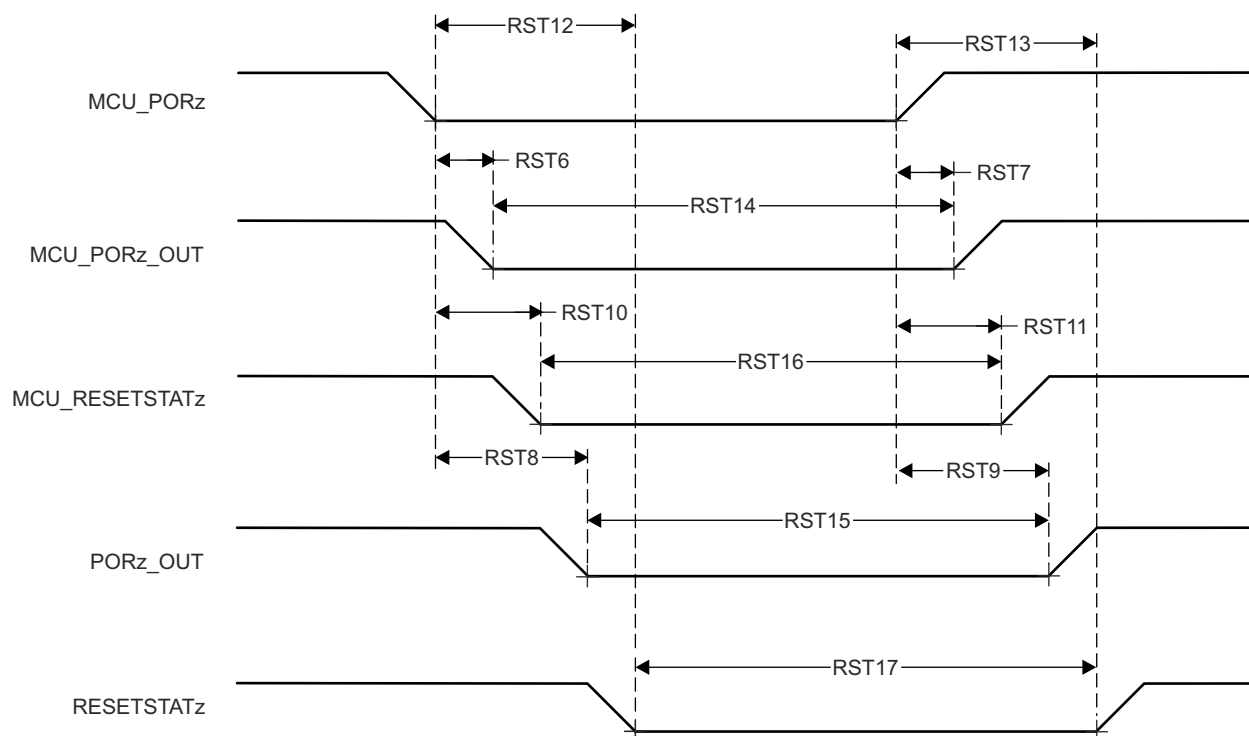


图 6-13. MCU_PORz 启动 ; MCU_PORz_OUT、PORz_OUT、MCU_RESETSTATz 和 RESETSTATz 开关特性

表 6-10. PORz 启动 ; PORz_OUT 和 RESETSTATz 开关特性

请参阅图 6-14

编号	参数		模式	最小值	最大值	单位
RST18	$t_{d(PORzL-PORz\_OUTL)}$	延迟时间, PORz 有效 (低电平) 到 PORz_OUT 有效 (低电平)	POR_RST_ISO_DONE_Z 的软件控制	$T^{(1)}$		
			CTRLMMR_WKUP_POR_RST_CTRL[0].POR_RST_ISO_DONE_Z = 0	0		ns
RST19	$t_{d(PORzH-PORz\_OUTH)}$	延迟时间, PORz 有效 (高电平) 到 PORz_OUT 有效 (高电平)		1300		ns
RST20	$t_{d(PORzL-RESETSTATzL)}$	延迟时间, PORz 有效 (低电平) 到 RESETSTATz 有效 (低电平)		$T^{(1)}$		
			CTRLMMR_WKUP_POR_RST_CTRL[0].POR_RST_ISO_DONE_Z = 0	0		ns
RST21	$t_{d(PORzH-RESETSTATzH)}$	延迟时间, PORz 有效 (高电平) 到 RESETSTATz 有效 (高电平)		14500*S ⁽²⁾		ns

(1) T = 复位隔离时间 (取决于软件)。

(2) S = MCU_OSC0_XI/XO 时钟周期。

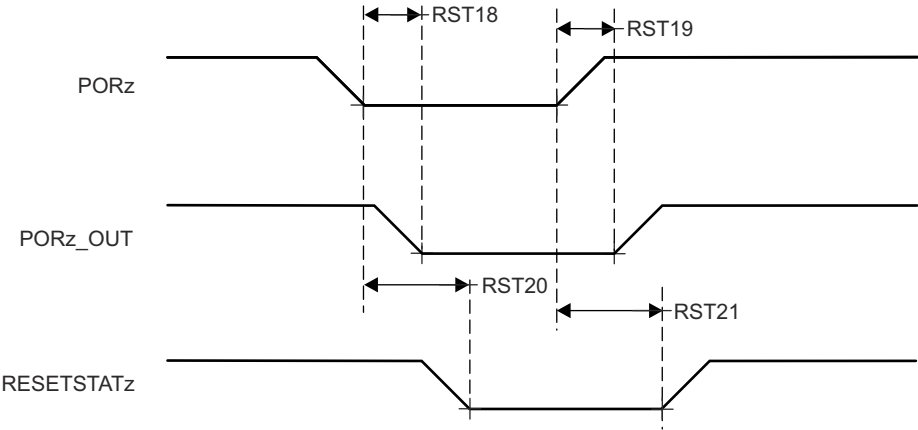


图 6-14. PORz 启动 ; PORz_OUT 和 RESETSTATz 开关特性

表 6-11. MCU_RESETz 时序要求

请参阅图 6-15

编号			最小值	最大值	单位
RST22	$t_{w(MCU\_RESETzL)}^{(1)}$	最小脉冲宽度, MCU_RESETz 有效 (低电平)	1200		ns

(1) 仅当所有电源有效且 MCU_PORz 已在指定时间内置为有效后, MCU_RESETz 的时序才有效。

表 6-12. MCU_RESETz 启动 ; MCU_RESETSTATz 和 RESETSTATz 开关特性

请参阅图 6-15

编号	参数	最小值	最大值	单位
RST23	$t_{d(MCU\_RESETzL-MCU\_RESETSTATzL)}$	延迟时间, MCU_RESETz 有效 (低电平) 到 MCU_RESETSTATz 有效 (低电平)	800	ns
RST24	$t_{d(MCU\_RESETzH-MCU\_RESETSTATzH)}$	延迟时间, MCU_RESETz 无效 (高电平) 到 MCU_RESETSTATz 无效 (高电平)	3900*S ⁽¹⁾	ns
RST25	$t_{d(MCU\_RESETzL-RESETSTATzL)}$	延迟时间, MCU_RESETz 有效 (低电平) 到 RESETSTATz 有效 (低电平)	800	ns
RST26	$t_{d(MCU\_RESETzH-RESETSTATzH)}$	延迟时间, MCU_RESETz 无效 (高电平) 到 RESETSTATz 无效 (高电平)	3900*S ⁽¹⁾	ns

(1) S = MCU_OSC0_XI/XO 时钟周期。

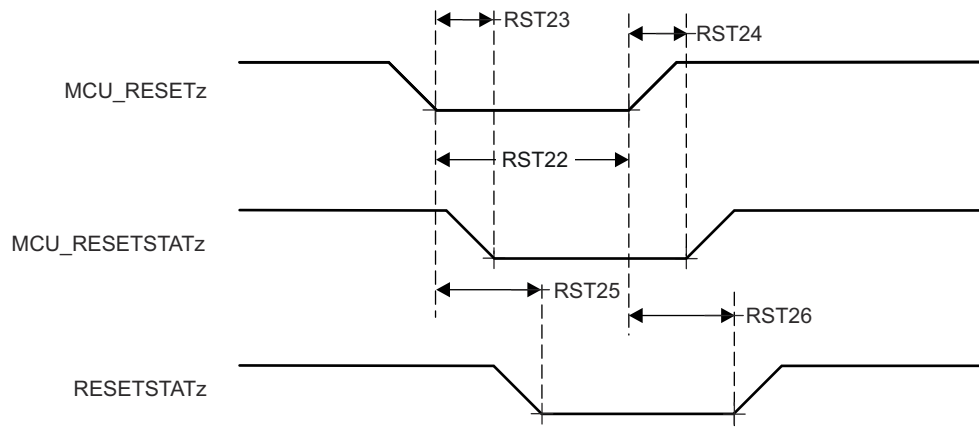


图 6-15. MCU_RESETz 启动 ; MCU_RESETSTATz 和 RESETSTATz 时序要求和开关特性

表 6-13. RESET_REQz 时序要求

请参阅图 6-16

编号			最小值	最大值	单位
RST27	$t_w(\text{RESET\_REQzL})^{(1)}$	最小脉冲宽度, RESET_REQz 有效 (低电平)	1200		ns

(1) 仅当所有电源有效且 MCU_PORz 已在指定时间内置为有效后, RESET_REQz 的时序才有效。

表 6-14. RESET_REQz 启动 ; RESETSTATz 开关特性

请参阅图 6-16

编号	参数	模式	最小值	最大值	单位
RST28	$t_d(\text{RESET\_REQzL-RESETSTATzL})$	SOC_WARMRST_ISO_DONE_Z 的软件控制	$T^{(1)}$		
		CTRLMMR_WKUP_MAIN_WARM_RST_CTRL[0].SOC_WARMRST_ISO_DONE_Z = 0	740		ns
RST29	$t_d(\text{RESET\_REQzH-RESETSTATzH})$	延迟时间, RESET_REQz 无效 (高电平) 到 RESETSTATz 无效 (高电平)	2650	$S^{(2)}$	ns

(1) T = 复位隔离时间 (取决于软件)。

(2) S = MCU_OSC0_XI/XO 时钟周期。

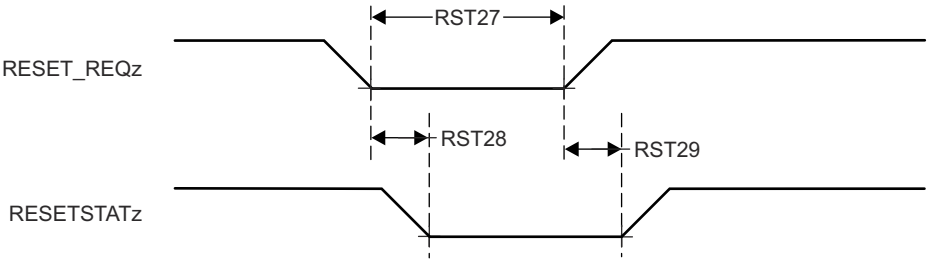


图 6-16. RESET_REQz 启动 ; RESETSTATz 时序要求和开关特性

表 6-15. EMUx 时序要求

请参阅图 6-17

编号			最小值	最大值	单位
RST30	$t_{su}(EMUx-MCU\_PORz)$	建立时间, MCU_PORz 无效 (高电平) 之前的 EMU[1:0]	$3 \cdot S^{(1)}$		ns
RST31	$t_h(MCU\_PORz - EMUx)$	保持时间, MCU_PORz 无效 (高电平) 之后的 EMU[1:0]	10		ns

(1) S = MCU_OSC0_XI/XO 时钟周期。

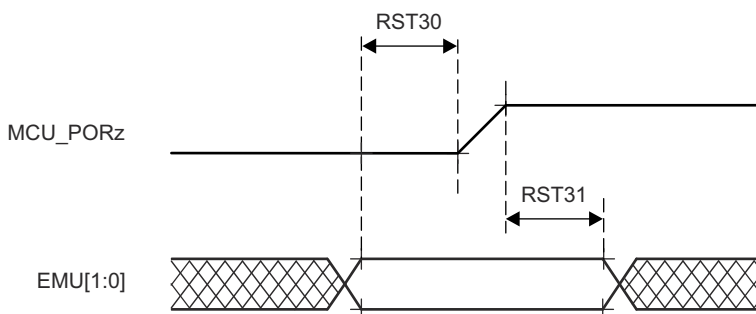


图 6-17. EMUx 时序要求

表 6-16. MCU_BOOTMODE 时序要求

请参阅图 6-18

编号			最小值	最大值	单位
RST32	$t_{su}(MCU\_BOOTMODE-MCU\_PORz\_OUT)$	建立时间, 在 MCU_PORz_OUT 高电平之前 MCU_BOOTMODE[09:00]	$3 \cdot S^{(1)}$		ns
RST33	$t_h(MCU\_PORz\_OUT - MCU\_BOOTMODE)$	保持时间, 在 MCU_PORz_OUT 高电平之后 MCU_BOOTMODE[09:00]	0		ns

(1) S = MCU_OSC0_XI/XO 时钟周期。

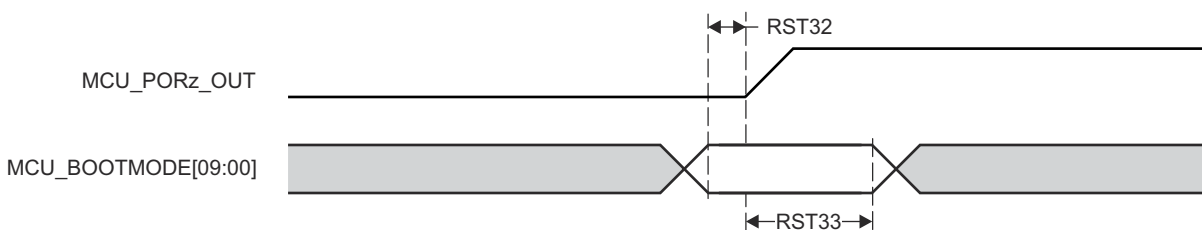


图 6-18. MCU_BOOTMODE 时序要求

表 6-17. BOOTMODE 时序要求

请参阅图 6-19

编号			最小值	最大值	单位
RST34	$t_{su}(\text{BOOTMODE}-\text{PORz\_OUT})$	建立时间，在 PORz_OUT 高电平之前 BOOTMODE[7:0]	$3 \cdot S^{(1)}$		ns
RST35	$t_h(\text{PORz\_OUT}-\text{BOOTMODE})$	保持时间，在 PORz_OUT 高电平之后 BOOTMODE[7:0]	0		ns

(1) $S = \text{MCU\_OSC0\_XI/XO}$ 时钟周期。

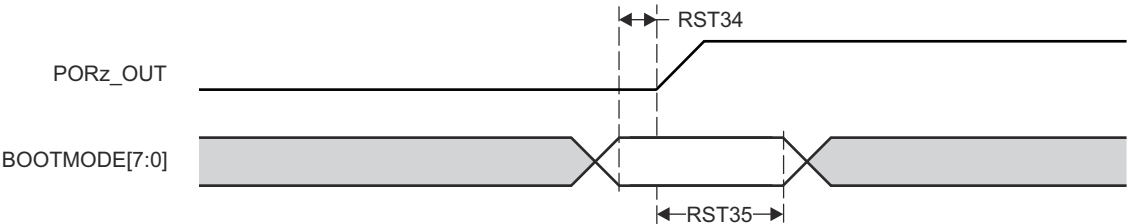


图 6-19. BOOTMODE 时序要求

6.10.3.2 安全信号时序

本节中提供的表和图定义了 MCU_SAFETY_ERRORn 和 SOC_SAFETY_ERRORn 的时序条件、开关特性。

表 6-18. 错误信号时序条件

参数		最小值	最大值	单位
输入条件				
SR _i	输入压摆率	0.5	2	V/ns
输出条件				
C _L	输出负载电容	3	30	pF

表 6-19. MCU_SAFETY_ERRORn 开关特性

请参阅图 6-20

编号	参数	最小值	最大值	单位
SFTY1	$t_{w(MCU\_SAFETY\_ERRORn)}$ 最小脉冲宽度, MCU_SAFETY_ERRORn 有效 (禁用 PWM 模式)	$P \cdot R^{(1)(2)}$		ns
SFTY2	$t_{d(ERROR\_CONDITION-MCU\_SAFETY\_ERRORnL)}$ 延迟时间, 错误条件到 MCU_SAFETY_ERRORn 有效	$50 \cdot P^{(1)}$		ns

- (1) P = ESM 功能时钟 (MCU_SYSCLK0 /6)。
(2) R = 错误引脚计数器预加载寄存器计数值。

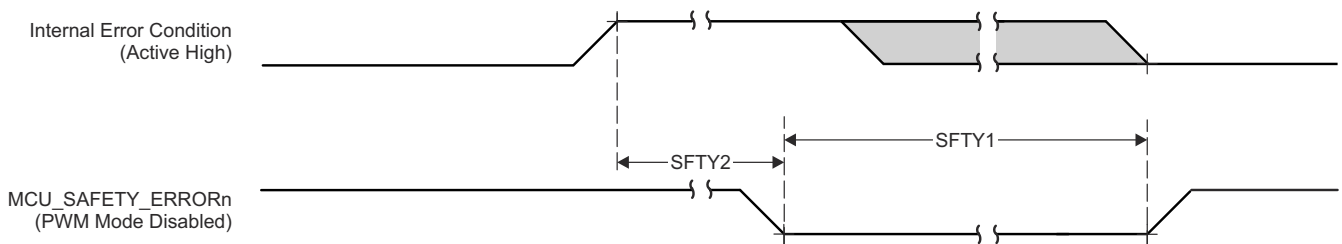


图 6-20. MCU_SAFETY_ERRORn 开关特性

表 6-20. SOC_SAFETY_ERRORn 开关特性

请参阅图 6-21

编号	参数	最小值	最大值	单位
SFTY3	$t_{w(SOC\_SAFETY\_ERRORn)}$ 最小脉冲宽度, SOC_SAFETY_ERRORn 有效 (禁用 PWM 模式)	$P \cdot R^{(1)(2)}$		ns
SFTY4	$t_{d(ERROR\_CONDITION-SOC\_SAFETY\_ERRORnL)}$ 延迟时间, 错误条件到 SOC_SAFETY_ERRORn 有效	$50 \cdot P^{(1)}$		ns

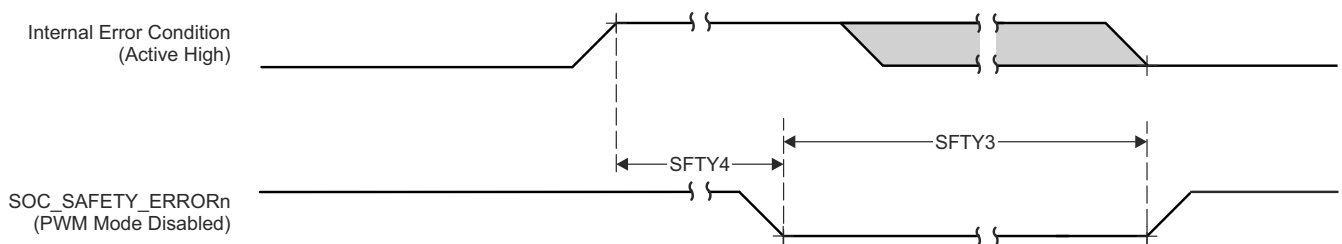


图 6-21. SOC_SAFETY_ERRORn 开关特性

6.10.3.3 时钟时序

本节中提供的表和图定义了时钟信号的时序条件、时序要求和开关特性。

表 6-21. 时钟时序条件

参数		最小值	最大值	单位
输入条件				
SR _I	输入压摆率	0.5	2	V/ns
输出条件				
C _L	输出负载电容	3	30	pF

表 6-22. 时钟时序要求

请参阅图 6-22

编号	参数	最小值	最大值	单位
CLK1	t _c (EXT_REFCLK1)	10		ns
CLK2	t _w (EXT_REFCLK1H)	E*0.45 ⁽¹⁾	E*0.55 ⁽¹⁾	ns
CLK3	t _w (EXT_REFCLK1L)	E*0.45 ⁽¹⁾	E*0.55 ⁽¹⁾	ns

(1) E = EXT_REFCLK1 周期时间。

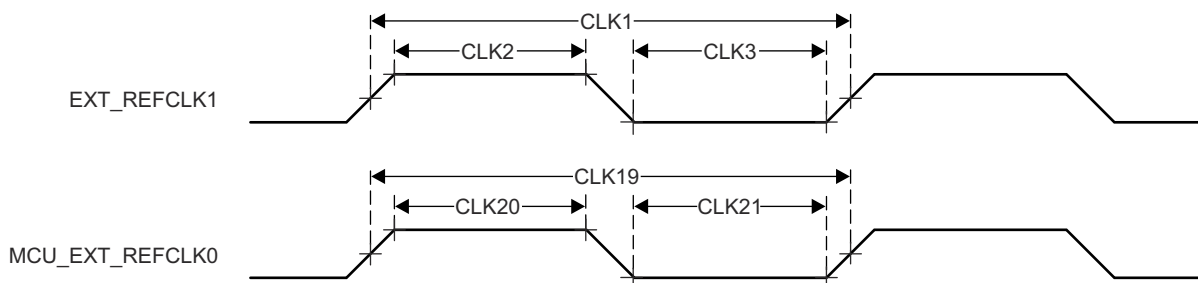


图 6-22. 时钟时序要求

表 6-23. 时钟开关特性

请参阅图 6-23

编号	参数	最小值	最大值	单位
CLK4	t _c (SYSCLKOUT0)	8		ns
CLK5	t _w (SYSCLKOUT0H)	A*0.4 ⁽¹⁾	A*0.6 ⁽¹⁾	ns
CLK6	t _w (SYSCLKOUT0L)	A*0.4 ⁽¹⁾	A*0.6 ⁽¹⁾	ns
CLK7	t _c (OBSCCLK0)	5		ns
CLK8	t _w (OBSCCLK0H)	B*0.4 ⁽²⁾	B*0.6 ⁽²⁾	ns
CLK9	t _w (OBSCCLK0L)	B*0.4 ⁽²⁾	B*0.6 ⁽²⁾	ns
CLK10	t _c (CLKOUT0)	20		ns
CLK11	t _w (CLKOUT0H)	C*0.4 ⁽³⁾	C*0.6 ⁽³⁾	ns
CLK12	t _w (CLKOUT0L)	C*0.4 ⁽³⁾	C*0.6 ⁽³⁾	ns

(1) A = SYSCLKOUT0 周期时间。

(2) B = OBSCCLK0 周期时间。

(3) C = CLKOUT0 周期时间。

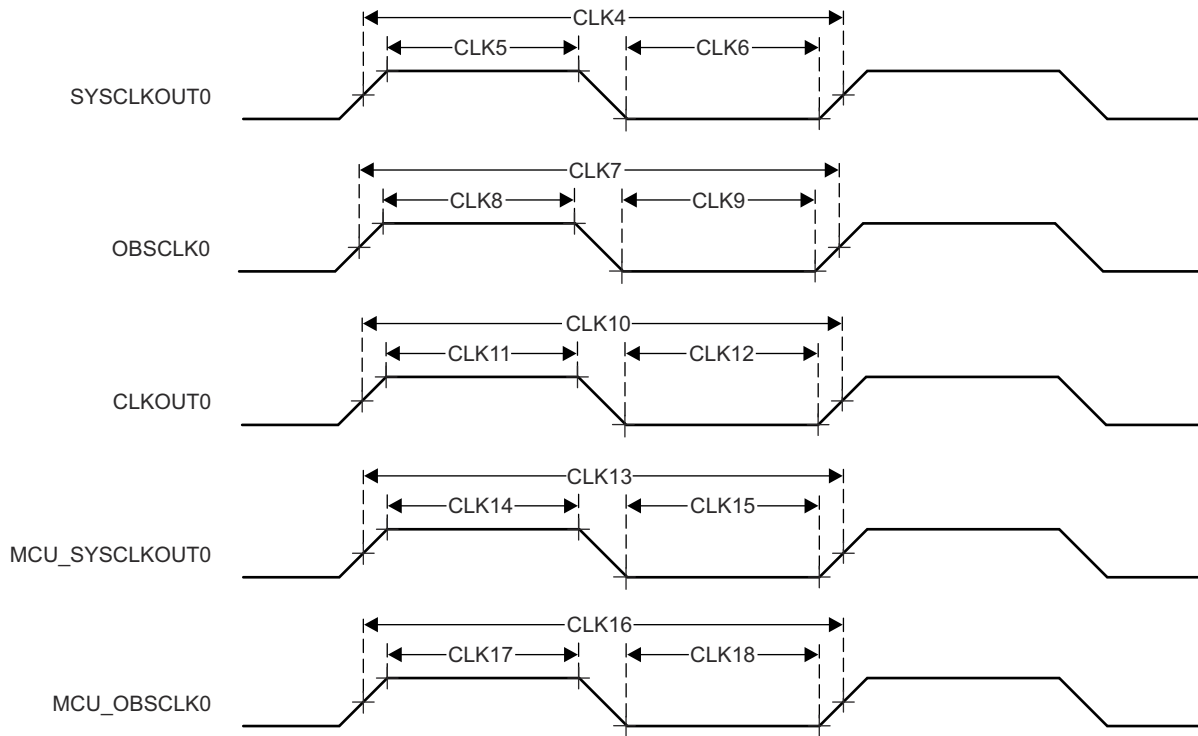


图 6-23. 时钟开关特性

6.10.4 时钟规范

6.10.4.1 输入和输出时钟/振荡器

需要使用各种外部时钟输入/输出来驱动器件。这些输入时钟信号总结如下：

- OSC1_XO/OSC1_XI - 连接到内部振荡器的外部主晶体接口引脚，该振荡器用作基准时钟源，为 MAIN 域中的 PLL 提供基准时钟。此外，对于音频应用，高频振荡器 0 用于向 MCASP 提供音频时钟频率。
- 高频振荡器输入
 - OSC1_XO/OSC1_XI - 连接到内部振荡器的外部主晶体接口引脚，该振荡器用作基准时钟源。为 MCU 域和 MAIN 域内的 PLL 提供基准时钟。此高频振荡器用于向 MCASP 提供音频时钟频率。
 - WKUP_OSC0_XO/WKUP_OSC0_XI - 连接到内部振荡器的外部主晶体接口引脚，该振荡器用作基准时钟源。为 WKUP 和 MAIN 域内的 PLL 提供基准时钟。
- 低频振荡器输入
 - WKUP_LFOSC_XO/WKUP_LFOSC_XI - 连接到内部振荡器的外部主晶体接口引脚，该振荡器的基准时钟源为在更深睡眠模式下的低功耗运行提供了一个时钟。
- 通用时钟输入
 - MCU_EXT_REFCLK0 — 可选外部输入。提供系统时钟输入 (MCU 域)。
 - EXT_REFCLK1 - 可选外部系统时钟输入 (MAIN 域)。可选择 PLL2 (PER1) 和 MCASP 由 EXT_REFCLK1 (从外部提供) 提供。
 - SERDES4_REFCLK_P/N — 用于 PCIe 或可选 USB3 和 SGMII 接口的串行器/解串器参考时钟输入。
 - PCIE_REFCLK[3:0]N/P — 有 4 个差分时钟输入/输出引脚支持 PCIe 器件。
- 外部视频像素时钟输入
 - VOUT0_EXTCLKIN — 对 DSS 的 DPI0 端口而言是可选的。
 - VOUT1_EXTCLKIN — 对 DSS 的 DPI1 端口而言是可选的。
- 外部 CPTS 基准时钟输入
 - MCU_CPTS_RFT_CLK — 用于 MCU_CPTS_RFT_CLK 的 CPTS 参考时钟输入。
 - CPTS_RFT_CLK — 用于 CPTS_RFT_CLK 的 CPTS 参考时钟输入。

- 外部音频参考时钟输入/输出引脚
 - AUDIO_EXT_REFCLK0
 - AUDIO_EXT_REFCLK1
 - AUDIO_EXT_REFCLK2
 - AUDIO_EXT_REFCLK3

图 6-24 展示了外设的外部输入时钟源和输出时钟。

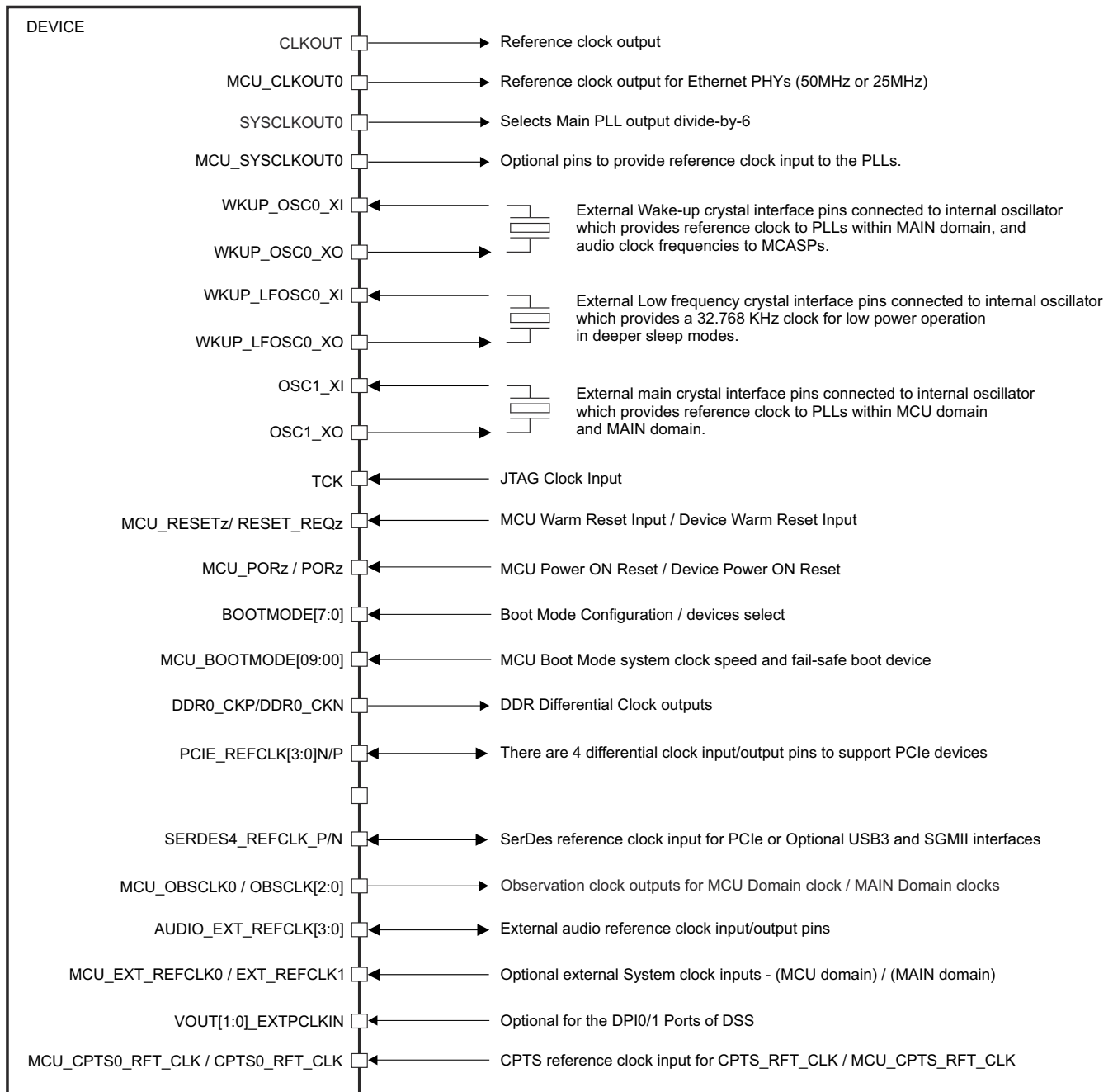


图 6-24. 输入时钟接口

有关输入时钟接口的详细信息，请参阅器件 TRM 的 *器件配置* 一章中的 *时钟* 一节。

6.10.4.1.1 WKUP_OSC0 内部振荡器时钟源

图 6-25 展示了建议的晶体电路。用于实现振荡器电路的所有分立式元件应尽可能靠近 WKUP_OSC0_XI 和 WKUP_OSC0_XO 引脚放置。

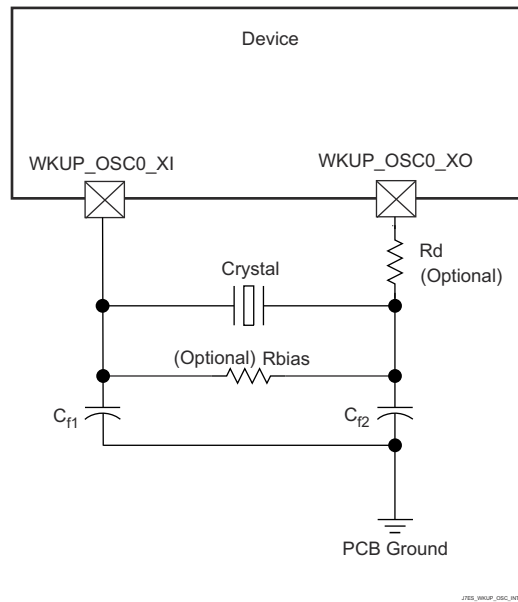


图 6-25. WKUP_OSC0 晶体实现

晶体必须处于基本工作模式并且并联谐振。表 6-24 总结了所需的电气约束。

表 6-24. WKUP_OSC0 晶体电气特性

参数		最小值	典型值	最大值	单位
F_{xtal}	晶体并联谐振频率	19.2、20、24、25、26、27			MHz
F_{xtal}	晶体频率稳定性和容差	未使用以太网 RGMII 和 RMII RGMII 和 RMII 使用衍生的时钟		±100	ppm
				±50	
$C_{L1+PCBXI}$	$C_{L1} + C_{PCBXI}$ 电容	12		24	pF
$C_{L2+PCBXO}$	$C_{L2} + C_{PCBXO}$ 电容	12		24	pF
C_L	晶体负载电容	6		12	pF

表 6-24. WKUP_OSC0 晶体电气特性 (续)

参数			最小值	典型值	最大值	单位
C _{shunt}	晶体电路并联电容	19.2MHz、 20MHz	ESR _{xtal} ≤ 30Ω		7	pF
			30Ω < ESR _{xtal} ≤ 80Ω		5	pF
			80Ω < ESR _{xtal} ≤ 100Ω		3	pF
		24MHz	ESR _{xtal} ≤ 30Ω		7	pF
			30Ω < ESR _{xtal} ≤ 60Ω		5	pF
			60Ω < ESR _{xtal} ≤ 80Ω		3	pF
			不支持：80Ω ≤ ESR _{xtal}		-	
		25MHz	ESR _{xtal} ≤ 30Ω		7	pF
			30Ω < ESR _{xtal} ≤ 50Ω		5	pF
			50Ω < ESR _{xtal} ≤ 80Ω		3	pF
			不支持：80Ω ≤ ESR _{xtal}		-	
		26MHz、 27MHz	ESR _{xtal} ≤ 30Ω		7	pF
			30Ω < ESR _{xtal} ≤ 50Ω		5	pF
			不支持：50Ω ≤ ESR _{xtal}		-	
ESR _{xtal}	晶体有效串联电阻			(1)	Ω	

(1) 晶体的最大 ESR 是晶体频率和并联电容的函数。请参阅 C_{shunt} 参数。

选择晶体时，系统设计必须根据最坏情况和系统预期寿命来考虑温度和老化特性。

表 6-25 详细说明了振荡器的开关特性和输入时钟的要求。

表 6-25. WKUP_OSC0 开关特性 - 晶体模式

参数	最小值	典型值	最大值	单位
C _{XI}	XI 电容		1.521	pF
C _{XO}	XO 电容		1.346	pF
C _{XIXO}	XI 至 XO 互电容		0.1	pF
t _s	最大启动时间		9.5 ⁽¹⁾	ms

(1) TI 强烈建议每个客户向谐振器/晶体供应商提交器件样品以便于进行验证。供应商有办法确定多大的负载电容器能够最好地调节他们的谐振器/晶振，从而使微控制器能够在温度/电压极值范围内实现最佳启动和运行。

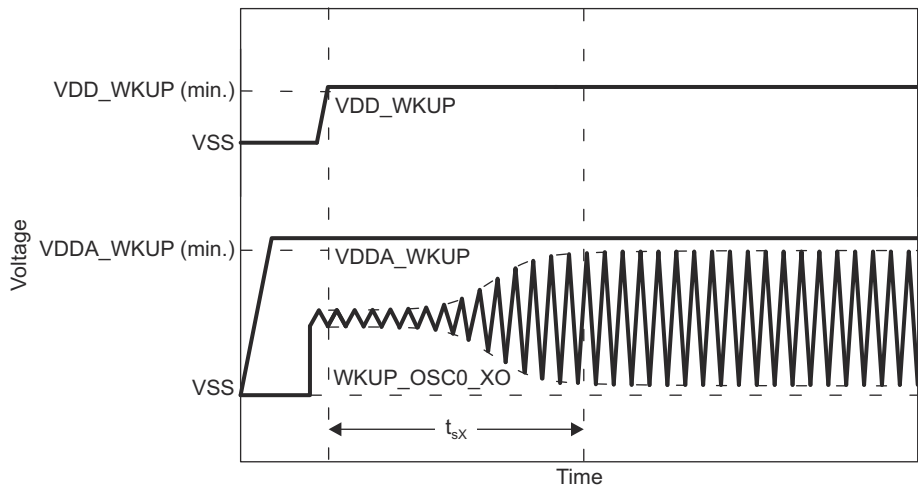


图 6-26. WKUP_OSC0 启动时间

6.10.4.1.1.1 负载电容

晶体电路的设计必须能够向晶体施加适当的容性负载，如晶体制造商所定义的。该电路的容性负载 C_L 是分立式电容器 C_{L1} 、 C_{L2} 以及一些寄生电容的组合。将晶体电路元件到 WKUP_OSC0_XI 和 WKUP_OSC0_XO 的 PCB 信号引线具有接地寄生电容、 C_{PCBXI} 和 C_{PCBXO} ，PCB 设计人员应该能够提取每条信号引线的寄生电容。WKUP_OSC0 电路和器件封装具有组合的接地寄生电容、 C_{PCBXI} 和 C_{PCBXO} ，表 6-25 定义了这些寄生电容值。

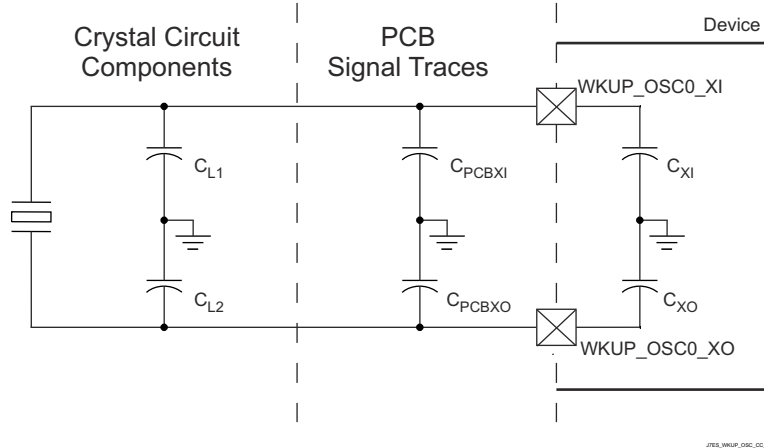


图 6-27. 负载电容

在选择图 6-25 中的负载电容器 C_{L1} 和 C_{L2} 时应满足以下公式。公式中的 C_L 是晶体制造商指定的负载。

$$C_L = [(C_{L1} + C_{PCBXI} + C_{XI}) \times (C_{L2} + C_{PCBXO} + C_{XO})] / [(C_{L1} + C_{PCBXI} + C_{XI}) + (C_{L2} + C_{PCBXO} + C_{XO})]$$

要确定 C_{L1} 和 C_{L2} 的值，请将容性负载值 C_L 乘以 2。使用该结果，减去 $C_{PCBXI} + C_{XI}$ 的组合值可确定 C_{L1} 的值，减去 $C_{PCBXO} + C_{XO}$ 的组合值可确定 C_{L2} 的值。例如，如果 $C_L = 10\text{pF}$ ， $C_{PCBXI} = 2.9\text{pF}$ ， $C_{XI} = 0.5\text{pF}$ ， $C_{PCBXO} = 3.7\text{pF}$ ， $C_{XO} = 0.5\text{pF}$ ，则 C_{L1} 的值 = $[(2C_L) - (C_{PCBXI} + C_{XI})] = [(2 \times 10\text{pF}) - 2.9\text{pF} - 0.5\text{pF}] = 16.6\text{pF}$ ， $C_{L2} = [(2C_L) - (C_{PCBXO} + C_{XO})] = [(2 \times 10\text{pF}) - 3.7\text{pF} - 0.5\text{pF}] = 15.8\text{pF}$

6.10.4.1.1.2 并联电容

晶体电路的设计还必须使其不超过表 6-24 中定义的 WKUP_OSC0 工作条件的最大并联电容。晶体电路的并联电容 C_{shunt} 是晶体并联电容和寄生作用的组合。将晶体电路组件连接到 WKUP_OSC0 的 PCB 信号引线彼此之间存在互寄生电容 $C_{PCBXIXO}$ ，PCB 设计人员应该能够提取这些信号引线之间的互寄生电容。器件封装还具有互寄生电容 C_{XIXO} ，表 6-25 定义了该互寄生电容值。

PCB 布线的设计应尽量减消 XI 和 XO 信号引线之间的互电容。这通常是通过使信号引线较短并且使其不相互靠近来实现的。当布局要求这些信号靠近布线时，还可以通过在这些信号之间放置接地引线来尽可能减小互电容。在选择晶体时，应尽量减小 PCB 上的互电容以提供尽可能大的裕度，这一点非常重要。

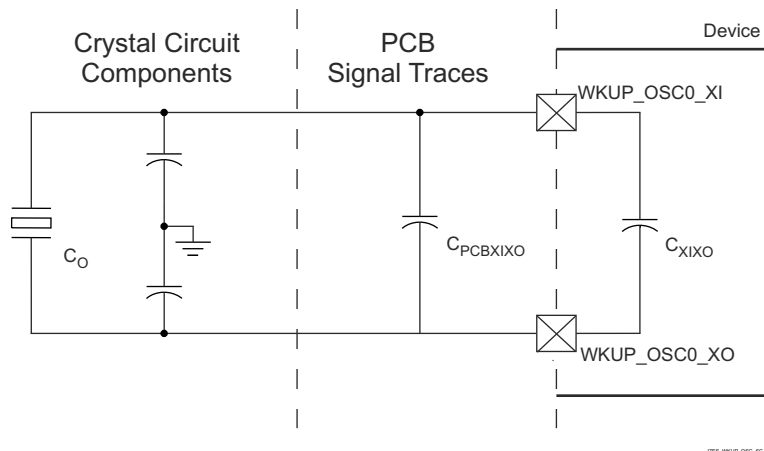


图 6-28. 并联电容

应选择满足以下公式的晶体。公式中的 C_O 是晶体制造商指定的最大并联电容。

$$C_{\text{shunt}} \geq C_O + C_{\text{PCBXIXO}} + C_{\text{XIXO}}$$

例如，当所使用的晶体为 25MHz，ESR = 30Ω， $C_{\text{PCBXIXO}} = 0.04\text{pF}$ ， $C_{\text{XIXO}} = 0.01\text{pF}$ ，晶体的并联电容小于或等于 6.95pF 时，应满足该公式。

6.10.4.1.2 WKUP_OSC0 LVCMOS 数字时钟源

图 6-29 展示了当 WKUP_OSC0_XI 连接到 1.8V LVCMOS 方波数字时钟源时建议的振荡器连接。

备注

当振荡器上电时，WKUP_OSC0_XI 上不允许出现直流稳态情况。这是因为 WKUP_OSC0_XI 在内部交流耦合到比较器，当向输入施加直流时，该比较器可能会进入未知状态。因此，只要 WKUP_OSC0_XI 不在不同逻辑状态之间切换，应用软件就应该使 WKUP_OSC0 断电。

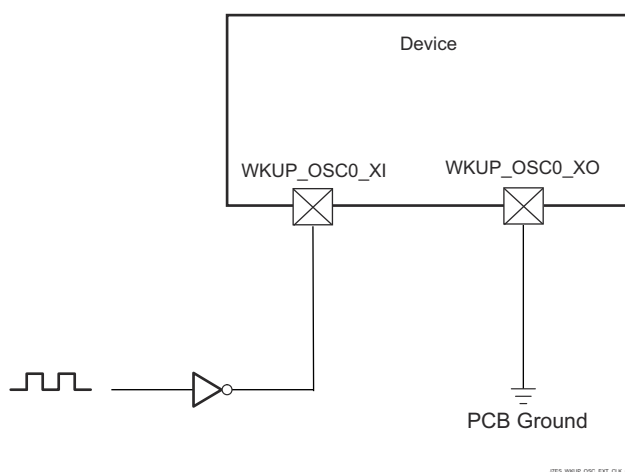
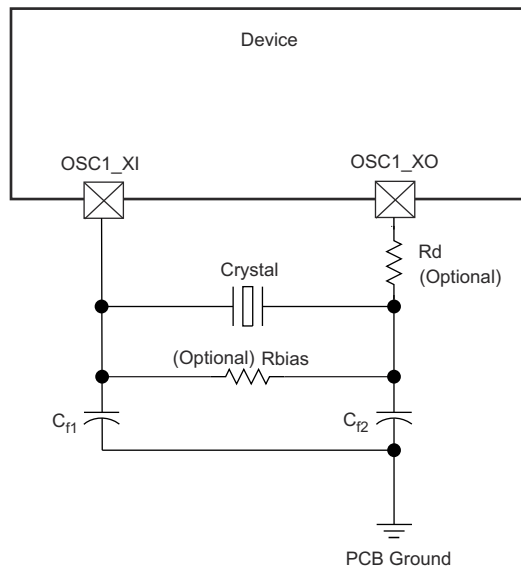


图 6-29. 1.8V LVCMOS 兼容时钟输入

6.10.4.1.3 辅助 OSC1 内部振荡器时钟源

图 6-30 展示了建议的晶体电路。用于实现振荡器电路的所有分立式元件应尽可能靠近 OSC1_XI 和 OSC1_XO 引脚放置。



J781_AUX_OSC_INT_07

图 6-30. OSC1 晶体实现

晶体必须处于基本工作模式并且并联谐振。表 6-26 总结了所需的电气约束。

表 6-26. OSC1 晶体电气特性

参数			最小值	典型值	最大值	单位
F_{xtal}	晶体并联谐振频率		19.2		27	MHz
F_{xtal}	晶体频率稳定性和容差	未使用以太网 RGMII 和 RMII			± 100	ppm
		RGMII 和 RMII 使用衍生的时钟			± 50	
$C_{L1+PCBXI}$	$C_{L1} + C_{PCBXI}$ 电容		12		24	pF
$C_{L2+PCBXO}$	$C_{L2} + C_{PCBXO}$ 电容		12		24	pF
C_L	晶体负载电容		6		12	pF
C_{shunt}	晶体电路并联电容	$19.2\text{MHz} \leq F_{xtal} \leq 20\text{MHz}$	$ESR_{xtal} \leq 30\Omega$		7	pF
			$30\Omega \leq ESR_{xtal} \leq 80\Omega$		5	pF
			$80\Omega \leq ESR_{xtal} \leq 100\Omega$		3	pF
	$20\text{MHz} \leq F_{xtal} \leq 24.576\text{MHz}$		$ESR_{xtal} \leq 30\Omega$		7	pF
			$30\Omega \leq ESR_{xtal} \leq 60\Omega$		5	pF
			$60\Omega \leq ESR_{xtal} \leq 80\Omega$		3	pF
			不支持: $80\Omega \leq ESR_{xtal}$		-	
	$24.576\text{MHz} \leq F_{xtal} \leq 25\text{MHz}$		$ESR_{xtal} \leq 30\Omega$		7	pF
			$30\Omega \leq ESR_{xtal} \leq 50\Omega$		5	pF
			$50\Omega \leq ESR_{xtal} \leq 80\Omega$		3	pF
			不支持: $80\Omega \leq ESR_{xtal}$		-	
	$25\text{MHz} \leq F_{xtal} \leq 27\text{MHz}$		$ESR_{xtal} \leq 30\Omega$		7	pF
			$30\Omega \leq ESR_{xtal} \leq 50\Omega$		5	pF
			不支持: $50\Omega \leq ESR_{xtal}$		-	
ESR_{xtal}	晶体有效串联电阻				100	Ω

选择晶体时，系统设计必须根据最坏情况和系统预期寿命来考虑温度和老化特性。

表 6-27 详细说明了振荡器的开关特性和输入时钟的要求。

表 6-27. OSC1 开关特性 - 晶体模式

参数		最小值	典型值	最大值	单位
C_{XI}	XI 电容			1.544	pF
C_{XO}	XO 电容			1.395	pF
C_{XIXO}	XI 至 XO 互电容			0.1	pF
t_s	最大启动时间		9.5 ⁽¹⁾		ms

- (1) TI 强烈建议每个客户向谐振器/晶体供应商提交器件样品以便于进行验证。供应商有办法确定多大的负载电容器能够最好地调节他们的谐振器/晶振，从而使微控制器能够在温度/电压极值范围内实现最佳启动和运行。

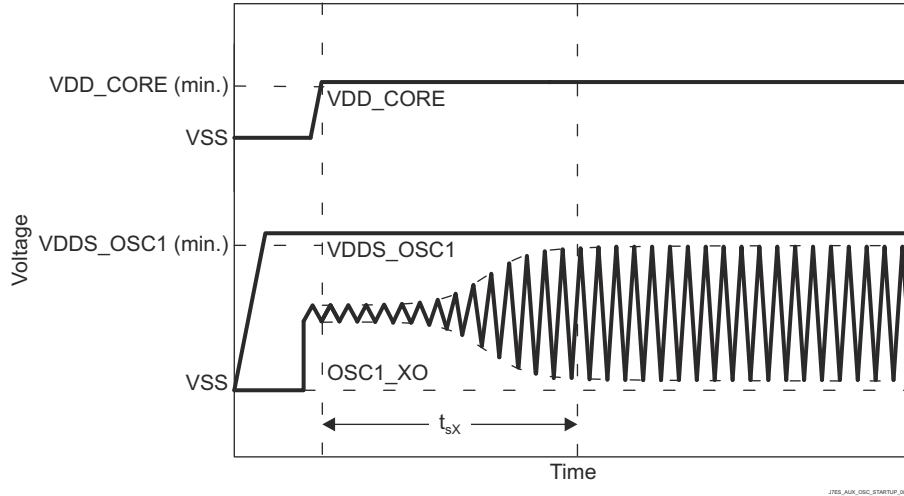


图 6-31. OSC1 启动时间

6.10.4.1.3.1 负载电容

晶体电路的设计必须能够向晶体施加适当的容性负载，如晶体制造商所定义的。该电路的容性负载 C_L 是分立式电容器 C_{L1} 、 C_{L2} 以及一些寄生电容的组合。将晶体电路元件到 OSC1_XI 和 OSC1_XO 的 PCB 信号引线具有接地寄生电容、 C_{PCBXI} 和 C_{PCBXO} ，PCB 设计人员应该能够提取每条信号引线的寄生电容。OSC1 电路和器件封装具有组合的接地寄生电容、 C_{PCBXI} 和 C_{PCBXO} ，表 6-27 定义了这些寄生电容值。

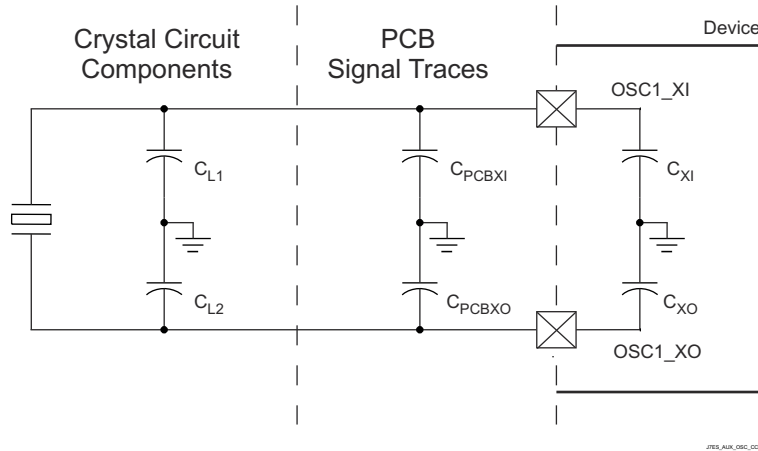


图 6-32. 负载电容

在选择图 6-30 中的负载电容器 C_{L1} 和 C_{L2} 时应满足以下公式。公式中的 C_L 是晶体制造商指定的负载。

$$C_L = [(C_{L1} + C_{PCBXI} + C_{XI}) \times (C_{L2} + C_{PCBXO} + C_{XO})] / [(C_{L1} + C_{PCBXI} + C_{XI}) + (C_{L2} + C_{PCBXO} + C_{XO})]$$

要确定 C_{L1} 和 C_{L2} 的值，请将容性负载值 C_L 乘以 2。使用该结果，减去 $C_{PCBXI} + C_{XI}$ 的组合值可确定 C_{L1} 的值，减去 $C_{PCBXO} + C_{XO}$ 的组合值可确定 C_{L2} 的值。例如，如果 $C_L = 10\text{pF}$ ， $C_{PCBXI} = 2.9\text{pF}$ ， $C_{XI} = 0.5\text{pF}$ ， $C_{PCBXO} = 3.7\text{pF}$ ， $C_{XO} = 0.5\text{pF}$ ，则 C_{L1} 的值 = $[(2C_L) - (C_{PCBXI} + C_{XI})] = [(2 \times 10\text{pF}) - 2.9\text{pF} - 0.5\text{pF}] = 16.6\text{pF}$ ， $C_{L2} = [(2C_L) - (C_{PCBXO} + C_{XO})] = [(2 \times 10\text{pF}) - 3.7\text{pF} - 0.5\text{pF}] = 15.8\text{pF}$

6.10.4.1.3.2 并联电容

晶体电路的设计还必须使其不超过表 6-26 中定义的 OSC1 工作条件的最大并联电容。晶体电路的并联电容 C_{shunt} 是晶体并联电容和寄生作用的组合。将晶体电路组件连接到 OSC1 的 PCB 信号引线彼此之间存在互寄生电容

$C_{PCBXIXO}$, PCB 设计人员应该能够提取这些信号引线之间的互寄生电容。器件封装还具有互寄生电容 C_{XIXO} , 表 6-27 定义了该互寄生电容值。

PCB 布线的设计应尽量减消 XI 和 XO 信号引线之间的互电容。这通常是通过使信号引线较短并且使其不相互靠近来实现的。当布局要求这些信号靠近布线时, 还可以通过在这些信号之间放置接地引线来尽可能减小互电容。在选择晶体时, 应尽量减小 PCB 上的互电容以提供尽可能大的裕度, 这一点非常重要。

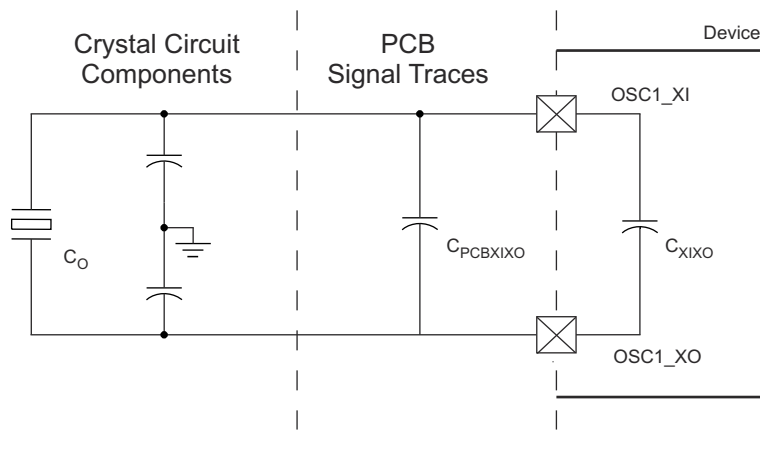


图 6-33. 并联电容

应选择满足以下公式的晶体。公式中的 C_O 是晶体制造商指定的最大并联电容。

$$C_{\text{shunt}} \geq C_O + C_{PCBXIXO} + C_{XIXO}$$

例如, 当所使用的晶体为 25MHz, $ESR = 30\Omega$, $C_{PCBXIXO} = 0.04\text{pF}$, $C_{XIXO} = 0.01\text{pF}$, 晶体的并联电容小于或等于 6.95pF 时, 应满足该公式。

6.10.4.1.4 辅助 OSC1 LVCMOS 数字时钟源

图 6-34 展示了当 OSC1 连接到 1.8V LVCMOS 方波数字时钟源时建议的振荡器连接。

备注

当振荡器上电时, OSC1_XI 上不允许出现直流稳态情况。这是因为 OSC1_XI 在内部交流耦合到比较器, 当向输入施加直流时, 该比较器可能会进入未知状态。因此, 只要 OSC1_XI 不在不同逻辑状态之间切换, 应用软件就应该使 OSC1 断电。

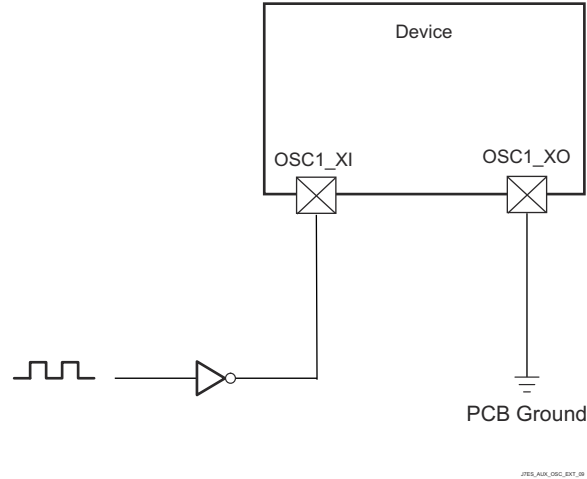


图 6-34. 1.8V LVC MOS 兼容时钟输入

6.10.4.1.5 未使用辅助 OSC1

图 6-35 展示了未使用 OSC1 时建议的振荡器连接。OSC1_XI 必须通过外部拉电阻器 (R_{pd}) 连接到 VSS，以确保在该输入未使用时保持在有效的低电平，因为内部下拉电阻器在默认情况下被禁用。

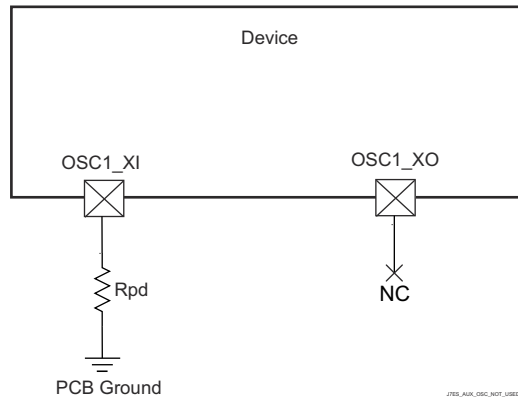


图 6-35. 未使用 OSC1

6.10.4.1.6 WKUP_LFOSC0 内部振荡器时钟源

图 6-36 展示了建议的晶体电路。建议预量产印刷电路板 (PCB) 设计包含两个可选电阻器 R_{bias} 和 R_d ，因为在与量产晶体电路元件结合使用时，需要使用这些电阻器来确保振荡器正常运行。在大多数情况下，不需要 R_{bias} ， R_d 是一个 0Ω 电阻器。在使用安装在预量产 PCB 上的量产晶体电路元件评估振荡器性能后，可以从量产 PCB 设计中移除这些电阻器。

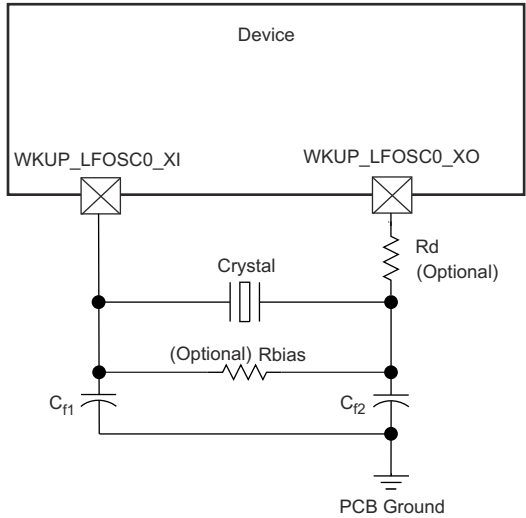


图 6-36. WKUP_LFOSC0 晶体实现

表 6-28 说明了 LFXOSC 运行模式。

表 6-28. LFXOSC 运行模式

模式	BP_C	PD_C	XI	XO	CLK_O UT	说明
运行	0	0	XTAL	XTAL	CLK_OU T	提供 32kHz 频率的有源振荡器模式
PWRDN	0	1	X	PD	低电平	输出将被下拉至低电平。PAD 为三态。有源模式被禁用
BYPASS	1	0	CLK	PD	CLK	XI 由外部时钟源驱动。XO 被下拉至低电平。由于有 ESD 二极管供电，除非存在振荡器电源，否则不应驱动 XI。

备注

用户应为 6pf 至 9.5pf 范围内的 CL 设置 CTRLMMR_WKUP_LFXOSC_TRIM[18:16] i_mult = 3b'001。应为 8.5pf 至 12pf 范围内的 CL 设置 CTRLMMR_WKUP_LFXOSC_TRIM [18:16] i_mult = 3b'010。默认设置为 3b'010。

备注

在选择图 6-37 中的负载电容器 Cf1 和 Cf2 时，应满足以下公式。公式中的 CL 是晶体制造商指定的负载。用于实现振荡器电路的所有分立式元件应尽可能靠近关联的振荡器 WKUP_LFOSC0_XI、WKUP_LFOSC0_XO 和 VSS 引脚放置。

$$C_L = \frac{C_{f1} C_{f2}}{(C_{f1} + C_{f2})}$$

图 6-37. 负载电容公式

晶体必须处于基本工作模式并且并联谐振。表 6-29 总结了所需的电气约束。

表 6-29. WKUP_LFOSC0 晶体电气特性

名称	说明	最小值	典型值	最大值	单位
f_p	并联谐振晶体频率		32768		Hz
C_{f1}	用于晶体并联谐振的 C_{f1} 负载电容, $C_{f1} = C_{f2}$	12		24	pF
C_{f2}	用于晶体并联谐振的 C_{f2} 负载电容, $C_{f1} = C_{f2}$	12		24	pF
C_{shunt}	并联电容	ESRx _{tal} - 40 Ω		4	pF
		ESRx _{tal} - 60 Ω		3	pF
		ESRx _{tal} - 80 Ω		2	pF
		ESRx _{tal} - 100 Ω		1	pF
ESR	晶体有效串联电阻			100	k Ω

选择晶体时，系统设计必须根据最坏情况和系统预期寿命来考虑温度和老化特性。

表 6-30 详细说明了振荡器的开关特性和输入时钟的要求。

表 6-30. WKUP_LFOSC0 开关特性 - 晶体模式

名称	说明	最小值	典型值	最大值	单位
f_{xtal}	振荡频率		32768		Hz
t_{sX}	启动时间			96.5	ms

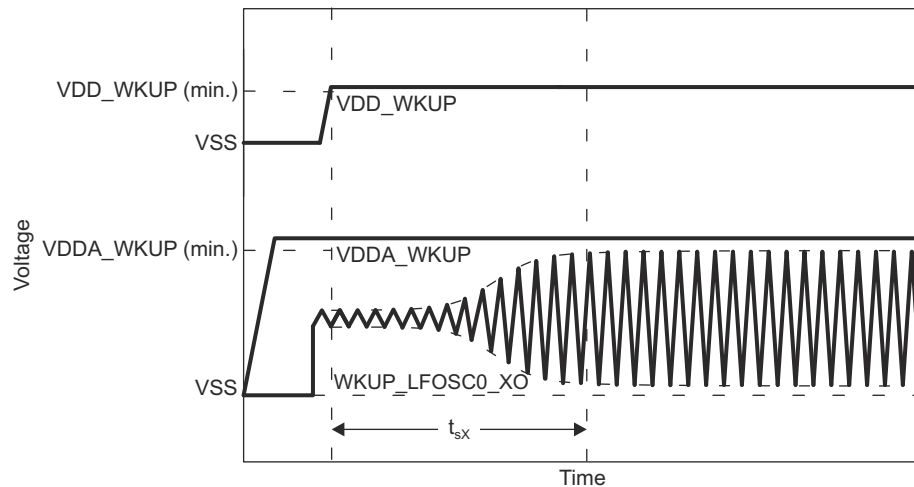


图 6-38. WKUP_LFOSC0 启动时间

6.10.4.1.6.1 未使用 WKUP_LFOSC0

图 6-39 展示了未使用 WKUP_LFOSC0 时建议的振荡器连接。在振荡器保持禁用状态期间，WKUP_LFOSC0 可能为“无连接”，因为默认情况下会启用内部下拉电阻器。

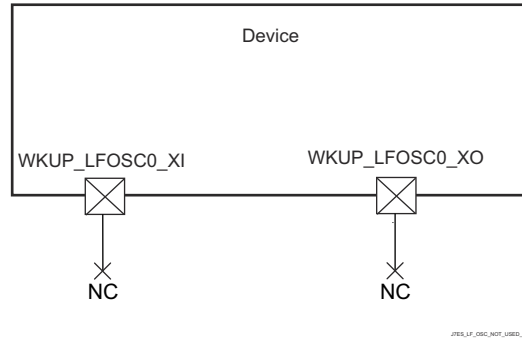


图 6-39. 未使用 WKUP_LFOSC0

6.10.4.2 输出时钟

该器件提供多个系统时钟输出。这些输出时钟总结如下：

- **MCU_CLKOUT0**
 - 以太网 PHY 的基准时钟输出 (50MHz 或 25MHz)
- **MCU_SYSCCLKOUT0**
 - WKUP_PLLCTRL0 的 SYSCCLK0 进行 6 分频后作为 LVCMOS 时钟信号 (MCU_SYSCCLKOUT0) 从器件发出。此信号可被用来测试主芯片时钟是否正常工作。
- **MCU_OBSCLK0**
 - 在时钟输出 MCU_OBSCLK0 上，可观察振荡器和 PLL 时钟以进行测试和调试。
- **SYSCCLKOUT0**
 - MAIN_PLL 控制器的 SYSCCLK0 进行 6 分频后作为 LVCMOS 时钟信号 (SYSCCLKOUT0) 从器件发出。此信号可被用来测试主芯片时钟是否正常工作。
- **CLKOUT**
 - 基准时钟输出
- **OBSCLK[2:0]**
 - 在时钟输出 OBSCLK0 上，可观察振荡器和 PLL 时钟以进行测试和调试。

6.10.4.3 PLL

由内部稳压器向锁相环电路 (PLL) 供电，这些稳压器从片外电源获取电力。

在 WKUP 和 MCU 域中，该器件内总共有三个 PLL：

- MCU_PLL0 (MCU R5FSS PLL) + WKUP_PLLCTRL0
- MCU_PLL1 (MCU 外设 PLL)
- MCU_PLL2 (MCU CPSW PLL)

在 MAIN 域中，该器件内总共有 20 个 PLL：

- PLL0 (主 PLL) + PLLCTRL0
- PLL1 (PER0 PLL)
- PLL2 (PER1 PLL)
- PLL3 (CPSW9G PLL)
- PLL4 (AUDIO0 PLL)
- PLL5 (VIDEO PLL)
- PLL6 (GPU PLL)
- PLL7 (C7x PLL)
- PLL8 (ARM0 PLL)
- PLL12 (DDR PLL)
- PLL13 (C66 PLL)
- PLL14 (R5F PLL)
- PLL15 (AUDIO1 PLL)
- PLL16 (DSS PLL0)
- PLL17 (DSS PLL1)
- PLL18 (DSS PLL2)
- PLL19 (DSS PLL3)
- PLL23 (DSS PLL7)
- PLL24 (MLB PLL)
- PLL25 (VISION PLL)

备注

如需更多信息，请参阅：

- 器件 TRM 中的 *器件配置/时钟PLL* 一节。
 - 器件 TRM 中的 *外设显示子系统概述* 一节。
-

备注

如器件 TRM 中的 *器件配置* 一章所述，输入基准时钟 (OSC1_XI/OSC1_XO) 由 PLL 控制器指定，锁定时间由 PLL 控制器确保。

6.10.4.4 模块和外设时钟频率

节 6.10.5 (外设一节) 介绍了与器件外设时钟相关的最大频率。

有关每个模块的时钟结构的更多详细信息，请参阅器件 TRM 中的 *器件配置* 一章。

6.10.5 外设

6.10.5.1 ATL

该器件包含 ATL 模块，可用于音频的异步采样速率转换。ATL 计算两个时基（例如音频同步）之间的误差，并可选择使用通过软件窃取周期来生成一个平均时钟。

备注

有关 ATL 更多信息，请参阅器件 TRM 的外设一章中的 *音频跟踪逻辑 (ATL)* 一节。

表 6-31 表示 ATL 时序条件。

表 6-31. ATL 时序条件

参数		模式	最小值	最大值	单位
输入条件					
SR _I	输入压摆率	外部基准 CLK	0.5	5	V/ns
输出条件					
C _L	输出负载电容	内部基准 CLK	1	10	pF

节 6.10.5.1.1、节 6.10.5.1.2、节 6.10.5.1.3 和节 6.10.5.1.4 说明了 ATL 的时序要求和开关特性。

6.10.5.1.1 ATL_PCLK 时序要求

编号	参数	模式	最小值	最大值	单位
D1	t _{c(pclk)}	周期时间，ATL_PCLK	外部基准 CLK	5	ns
D2	t _{w(pclkL)}	脉冲持续时间，ATL_PCLK 低电平	外部基准 CLK	$0.45 \times M^{(1)} + 2.5$	ns
D3	t _{w(pclkH)}	脉冲持续时间，ATL_PCLK 高电平	外部基准 CLK	$0.45 \times M^{(1)} + 2.5$	ns

(1) M = ATL_CLK[x] 周期

6.10.5.1.2 ATL_AWS[x] 时序要求

编号	参数	模式	最小值	最大值	单位
D4	t _{c(aws)}	周期时间，ATL_AWS[x] ⁽³⁾	外部基准 CLK	$2 \times M^{(1)}$	ns
D5	t _{w(awsL)}	脉冲持续时间，ATL_AWS[x] ⁽³⁾ 低电平	外部基准 CLK	$0.45 \times A^{(2)} + 2.5$	ns
D6	t _{w(awsH)}	脉冲持续时间，ATL_AWS[x] ⁽³⁾ 高电平	外部基准 CLK	$0.45 \times A^{(2)} + 2.5$	ns

(1) M = ATL_CLK[x] 周期

(2) A = ATL_AWS[x] 周期

(3) x = 0 至 3

6.10.5.1.3 ATL_BWS[x] 时序要求

编号	参数	模式	最小值	最大值	单位
D7	t _{c(bws)}	周期时间，ATL_BWS[x] ⁽³⁾	外部基准时钟	$2 \times M^{(1)}$	ns
D8	t _{w(bwsL)}	脉冲持续时间，ATL_BWS[x] 低电平 ⁽³⁾	外部基准时钟	$0.45 \times B^{(2)} + 2.5$	ns
D9	t _{w(bwsH)}	脉冲持续时间，ATL_BWS[x] 高电平 ⁽³⁾	外部基准时钟	$0.45 \times B^{(2)} + 2.5$	ns

(1) M = ATL_CLK[x] 周期

(2) B = ATL_BWS[x] 周期

(3) x = 0 至 3

6.10.5.1.4 ATCLK[x] 开关特性

编号	参数	模式	最小值	最大值	单位
D10	t _{c(atclk)}	周期时间，ATCLK[x] ⁽³⁾	内部基准 CLK	20	ns

编号	参数	模式	最小值	最大值	单位
D11	$t_{w(atclkL)}$	脉冲持续时间, ATCLK[x] 低电平 ⁽³⁾	内部基准 CLK	$0.45 \times P^{(2)} - M^{(1)} - 0.3$	ns
D12	$t_{w(atclkH)}$	脉冲持续时间, ATCLK[x] 高电平 ⁽³⁾	内部基准 CLK	$0.45 \times P^{(2)} - M^{(1)} - 0.3$	ns

(1) M = ATCLK[x] 周期

(2) P = ATCLK[x] 周期

(3) x = 0 至 3

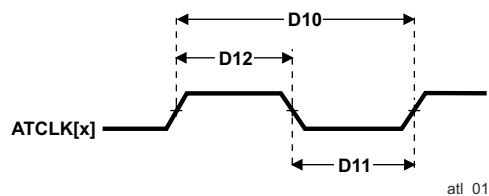


图 6-40. ATCLK[x] 时序

6.10.5.2 VPFE

表 6-32 表示 VPFE 时序条件。

表 6-32. VPFE 时序条件

参数		最小值	最大值	单位
输入条件				
SR_I	输入压摆率	1.3	2.64	V/ns
PCB 连接要求				
t_d (Trace Mismatch Delay)	所有布线之间的传播延迟不匹配		50	ps

表 6-33、图 6-41 和图 6-42 表示 VPFE0 的时序要求。

表 6-33. VPFE0 接口的时序要求

编号 ⁽¹⁾			最小值	最大值	单位
V1	$t_{c(pclk)}$	周期时间, VPFE0_PCLK	6.06 ⁽¹⁾		ns
V2	$t_{w(pclkH)}$	脉冲持续时间, VPFE0_PCLK 高电平	$0.45 \times P^{(2)}$		ns
V3	$t_{w(pclkL)}$	脉冲持续时间, VPFE0_PCLK 低电平	$0.45 \times P^{(2)}$		ns
V4	$t_{su(ctrlV-pclkV)}$	建立时间, 在 VPFE0_PCLK 转换之前控制信号 (VPFE0_HD、VPFE0_VD、VPFE0_WEN、VPFE0_FIELD) 有效	2.12		ns
V5	$t_{su(dataV-pclkV)}$	建立时间, 在 VPFE0_PCLK 转换之前 VPFE0_DATA[15:0] 有效	2.38		ns
V6	$t_{h(pclkV-ctrlV/dataV)}$	保持时间, 在 VPFE0_PCLK 转换之后控制信号 (VPFE0_HD、VPFE0_VD、VPFE0_WEN、VPFE0_FIELD) 和 VPFE0_DATA[15:0] 有效	-0.05		ns

(1) 以获得 165MHz 的最大频率。

(2) $P = \text{VPFE0\_PCLK 周期}$ 。

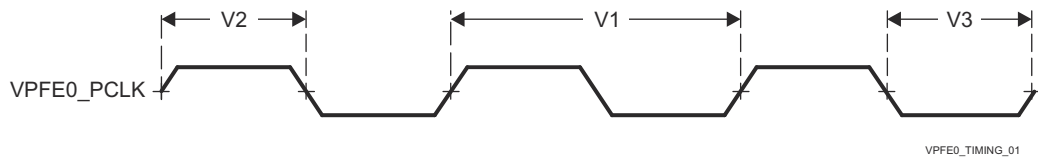


图 6-41. VPFE0 时钟信号要求

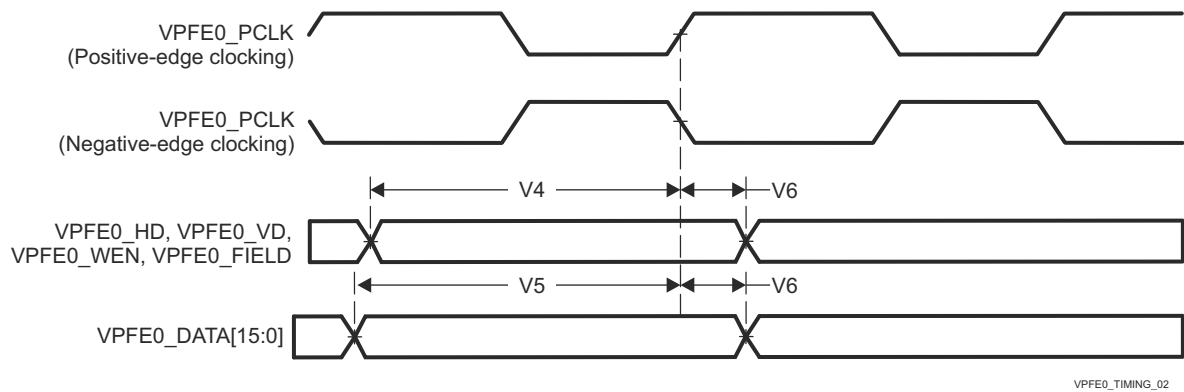


图 6-42. VPFE0 时序要求

有关更多信息，请参阅器件 TRM 的外设章节中的视频处理前端 (VPFE) 一节。

6.10.5.3 CPSW2G

有关器件千兆位以太网 MAC 的特性和其他说明的更多详细信息，请参阅节 5.3 “信号说明”和节 7 “详细说明”中的相应部分。

6.10.5.3.1 CPSW2G MDIO 接口时序

表 6-34 表示 CPSW2G 时序条件。

表 6-34. CPSW2G MDIO 时序条件

参数	说明	最小值	最大值	单位
输入条件				
SR_I	输入信号压摆率	0.9	3.6	V/ns
输出条件				
C_L	输出负载电容	10	470	pF

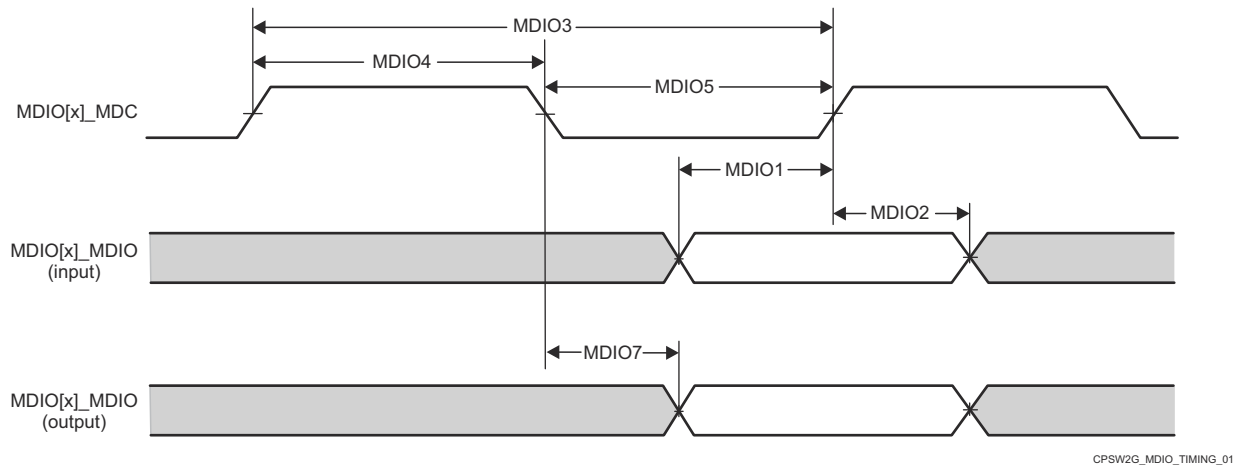
表 6-35、表 6-36 和图 6-43 说明了 MDIO 的时序要求。

表 6-35. CPSW2G MDIO 时序要求

编号			最小值	最大值	单位
MDIO1	$t_{su}(mdioV-mdcH)$	建立时间，在 MDIO[x]_MDC 高电平之前 MDIO[x]_MDIO 有效	90		ns
MDIO2	$t_h(mdcH-mdioV)$	保持时间，在 MDIO[x]_MDC 高电平之后 MDIO[x]_MDIO 有效	0		ns

表 6-36. CPSW2G MDIO 开关特性

编号	参数		最小值	最大值	单位
MDIO3	$t_c(mdc)$	周期时间，MDIO[x]_MDC	400		ns
MDIO4	$t_w(mdcH)$	脉冲持续时间，MDIO[x]_MDC 高电平	160		ns
MDIO5	$t_w(mdcL)$	脉冲持续时间，MDIO[x]_MDC 低电平	160		ns
MDIO7	$t_d(mdcL-mdioV)$	延迟时间，MDIO[x]_MDC 低电平到 MDIO[x]_MDIO 有效	-150	150	ns



CPSW2G_MDIO_TIMING_01

图 6-43. CPSW2G MDIO 时序要求和开关特性

备注

在 MCU 域中，x = 0

6.10.5.3.2 CPSW2G RMII 时序

表 6-37、节 6.10.5.3.2.1、节 6.10.5.3.2.2 和节 6.10.5.3.2.3 说明了 CPSW2G RMII 的时序条件、要求和开关特性。

表 6-37. CPSW2G RMII 时序条件

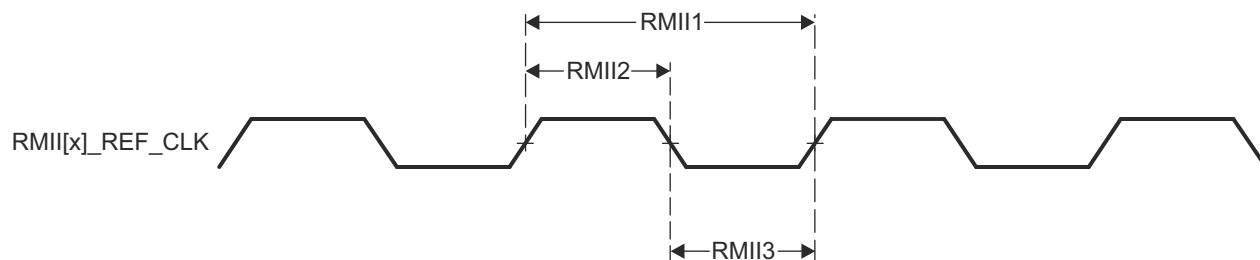
参数			最小值	最大值	单位
输入条件					
SR _I	输入信号压摆率	VDDSHVx ⁽¹⁾ = 1.8V	0.2	0.54	V/ns
		VDDSHVx ⁽¹⁾ = 3.3V	0.8	1.2	V/ns
输出条件					
C _L	输出负载电容		3	25	pF

(1) x = 0 - 5，其中 x 表示相应的 IO 电源轨。有关 IO 电源轨分配的更多信息，请参阅引脚属性。

6.10.5.3.2.1 CPSW2G RMII[x]_REF_CLK 时序要求 - RMII 模式

请参阅图 6-44

编号			最小值	最大值	单位
RMII1	t _{c(ref_clk)}	周期时间，RMII[x]_REF_CLK	19.999	20.001	ns
RMII2	t _{w(ref_clkH)}	脉冲持续时间，RMII[x]_REF_CLK 高电平	7	13	ns
RMII3	t _{w(ref_clkL)}	脉冲持续时间，RMII[x]_REF_CLK 低电平	7	13	ns



A. 在 MCU 域中，x = 1。

图 6-44. CPSW2G RMII[x]_REFCLK 时序要求 - RMII 模式

6.10.5.3.2.2 CPSW2G RMII[x]_RXD[1:0]、RMII[x]_CRS_DV 和 RMII[x]_RX_ER 时序要求 - RMII 模式

编号			最小值	最大值	单位
RMII4	t _{su(rxdV-ref_clkH)}	建立时间，在 RMII[x]_REF_CLK 上升沿之前 RMII[x]_RXD[1:0] 有效	4		ns
	t _{su(crs_dv-ref_clkH)}	建立时间，在 RMII[x]_REF_CLK 上升沿之前 RMII[x]_CRS_DV 有效	4		ns
	t _{su(rx_erV-ref_clkH)}	建立时间，在 RMII[x]_REF_CLK 上升沿之前 RMII[x]_RX_ER 有效	4		ns
RMII5	t _{h(ref_clkH-rxdV)}	保持时间，在 RMII[x]_REF_CLK 上升沿之后 RMII[x]_RXD[1:0] 有效	2		ns
	t _{h(ref_clkH-crs_dvV)}	保持时间，在 RMII[x]_REF_CLK 上升沿之后 RMII[x]_CRS_DV 有效	2		ns
	t _{h(ref_clkH-rx_erV)}	保持时间，在 RMII[x]_REF_CLK 上升沿之后 RMII[x]_RX_ER 有效	2		ns

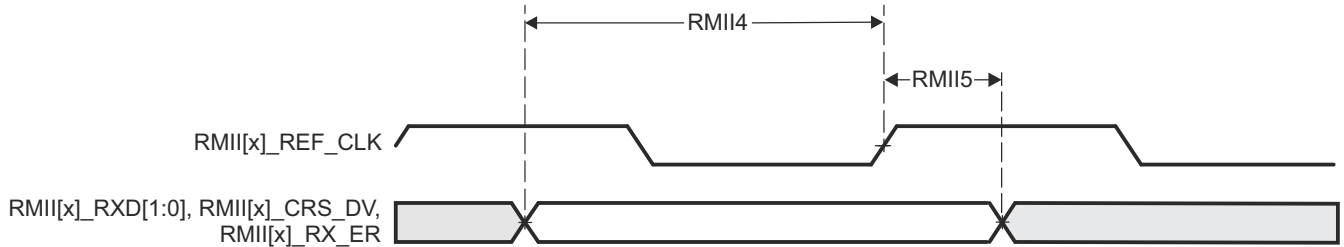


图 6-45. CPSW2G RMII[x]_RXD[1:0]、RMII[x]_CRS_DV、RMII[x]_RX_ER 时序要求 - RMII 模式

节 6.10.5.3.2.3 和图 6-46 说明了 CPSW2G RMII 发送模式的开关特性。

6.10.5.3.2.3 CPSW2G RMII[x]_TXD[1:0] 和 RMII[x]_TX_EN 开关特性 - RMII 模式

请参阅图 6-46

编号	参数	最小值	最大值	单位
RMII6	$t_{d(\text{ref\_clkH-txdV})}$	2	13	ns
	$t_{d(\text{ref\_clkH-tx\_enV})}$	2	13	ns

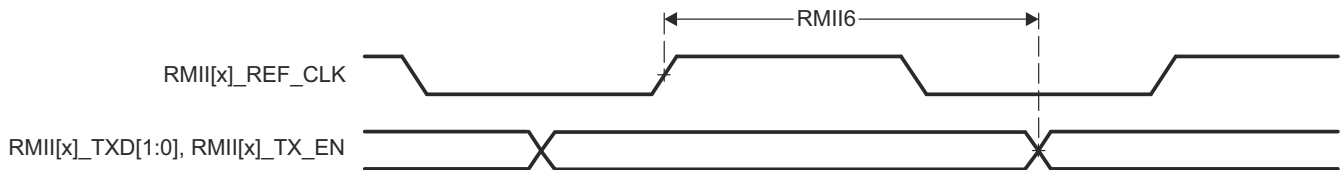


图 6-46. RMII[x]_TXD[1:0] 和 RMII[x]_TX_EN 开关特性 - RMII 模式

6.10.5.3.3 CPSW2G RGMII 时序

节 6.10.5.3.3.1、节 6.10.5.3.3.2 和图 6-48 说明了 RGMII 在接收操作中的时序要求。

有关更多信息，请参阅器件 TRM 的外设一章中的千兆位以太网 MAC (MCU_CPSW0) 一节。

表 6-38. CPSW2G RGMII 时序条件

参数		最小值	最大值	单位
输入条件				
SR _I	输入压摆率	2.64	5	V/ns
输出条件				
C _L	输出负载电容	2	20	pF
PCB 连接要求				
t_d (Trace Mismatch Delay)	所有布线之间的传播延迟不匹配	RGMII[x]_RXC、 RGMII[x]_RD[3:0] 、 RGMII[x]_RX_CTL	50	ps
		RGMII[x]_TXC、 RGMII[x]_TD[3:0] 、 RGMII[x]_TX_CTL	50	ps

6.10.5.3.3.1 RGMII[x]_RXC 时序要求 - RGMII 模式

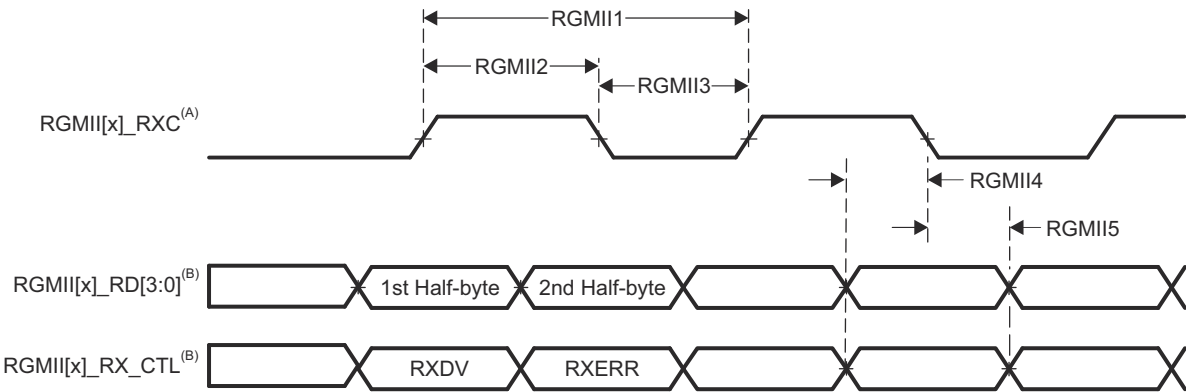
请参阅图 6-47

编号			模式	最小值	最大值	单位
RGMII1	$t_{c(rxc)}$	周期时间, RGMII[x]_RXC	10Mbps	360	440	ns
			100Mbps	36	44	ns
			1000Mbps	7.2	8.8	ns
RGMII2	$t_{w(rxcH)}$	脉冲持续时间, RGMII[x]_RXC 高电平	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns
RGMII3	$t_{w(rxcL)}$	脉冲持续时间, RGMII[x]_RXC 低电平	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns

6.10.5.3.3.2 RGMII[x]_RD[3:0] 和 RGMII[x]_RCTL 的 CPSW2G 时序要求 - RGMII 模式

请参阅图 6-47

编号			模式	最小值	最大值	单位
RGMII4	$t_{su(rdV-rxcV)}$	建立时间, 在 RGMII[x]_RXC 转换之前 RGMII[x]_RD[3:0] 有效	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
	$t_{su(rx\_ctlV-rxcV)}$	建立时间, 在 RGMII[x]_RXC 转换之前 RGMII[x]_RX_CTL 有效	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
RGMII5	$t_{h(rxcV-rdV)}$	保持时间, 在 RGMII[x]_RXC 转换之后 RGMII[x]_RD[3:0] 有效	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
	$t_{h(rxcV-rx\_ctlV)}$	保持时间, 在 RGMII[x]_RXC 转换之后 RGMII[x]_RX_CTL 有效	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns



- A. RGMII_RXC 必须相对于数据引脚和控制引脚进行外部延迟。
- B. 使用时钟的两个边沿接收数据和控制信息。RGMII_RXD[3:0] 在 RGMII_RXC 的上升沿传输数据位 3-0, 在 RGMII_RXC 的下降沿传输数据位 7-4。类似地, RGMII_RXCTL 在 RGMII_RXC 的上升沿传输 RXDV, 在 RGMII_RXC 的下降沿传输 RXERR。

图 6-47. CPSW2G 接收接口时序, RGMII 运行模式

节 6.10.5.3.3.3 和节 6.10.5.3.3.4 说明了 10Mbps、100Mbps 和 1000Mbps RGMII 发送模式下的开关特性。

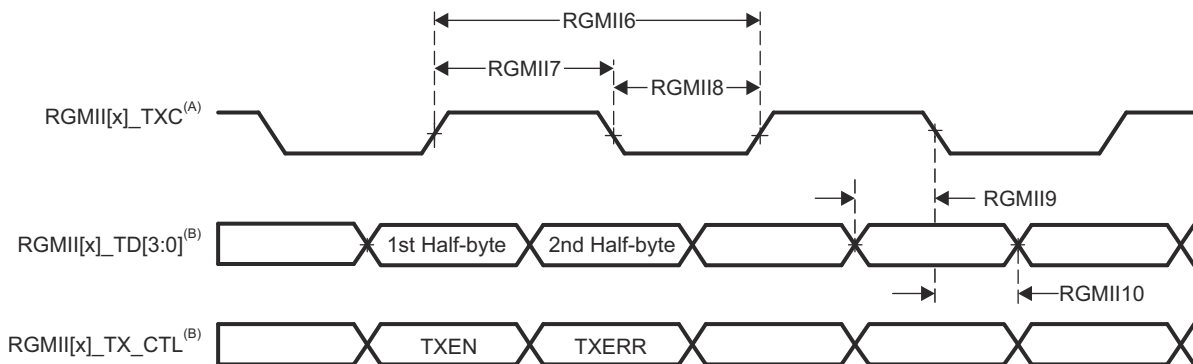
6.10.5.3.3.3 CPSW2G RGMII[x]_TXC 开关特性 - RGMII 模式

编号	参数		模式	最小值	最大值	单位
RGMII6	$t_{c(tc)}$	周期时间, RGMII[x]_TXC	10Mbps	360	440	ns
			100Mbps	36	44	ns
			1000Mbps	7.2	8.8	ns
RGMII7	$t_{w(tcH)}$	脉冲持续时间, RGMII[x]_TXC 高电平	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns
RGMII8	$t_{w(tcL)}$	脉冲持续时间, RGMII[x]_TXC 低电平	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns

6.10.5.3.3.4 RGMII[x]_TD[3:0] 和 RGMII[x]_TX_CTL 开关特性 - RGMII 模式

请参阅图 6-48

编号	参数		模式	最小值	最大值	单位
RGMII9	$t_{osu(tdV-txcV)}$	输出建立时间, RGMII[x]_TD[3:0] 有效到 RGMII[x]_TXC 转换	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.05		ns
	$t_{osu(tx_ctlV-txcV)}$	输出建立时间, RGMII[x]_TX_CTL 有效到 RGMII[x]_TXC 转换	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.05		ns
RGMII10	$t_{oh(tdV-txcV)}$	输出保持时间, 在 RGMII[x]_TXC 转换之后 RGMII[x]_TD[3:0] 有效	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.05		ns
	$t_{oh(tx_ctlV-txcV)}$	输出保持时间, 在 RGMII[x]_TXC 转换之后 RGMII[x]_TX_CTL 有效	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.05		ns



- A. TXC 在驱动至 RGMII[x]_TXC 引脚之前会在内部延迟。该内部延迟始终启用。
- B. 使用时钟的两个边沿接收数据和控制信息。RGMII_TD[3:0] 在 RGMII_TXC 的上升沿传输数据位 3-0, 在 RGMII_TXC 的下降沿传输数据位 7-4。类似地, RGMII_TX_CTL 在 RGMII_TXC 的上升沿传输 TXDV, 在 RGMII_TXC 的下降沿传输 RTXERR。

图 6-48. CPSW2G 发送接口时序 - RGMII 模式

6.10.5.4 CPSW9G

有关器件千兆位以太网 MAC 的特性和其他说明的更多详细信息, 请参阅节 5.3 “信号说明” 和节 7 “详细说明” 中的相应部分。

表 6-39 表示 CPSW9G 时序条件。

表 6-39. CPSW9G 时序条件

参数		最小值	最大值	单位
输入条件				
SR _I	输入信号压摆率	0.9	3.6	V/ns
输出条件				
C _L	输出负载电容	10	470	pF

6.10.5.4.1 CPSW9G MDIO 接口时序

表 6-40、表 6-41 和图 6-49 展示了 MDIO 的时序要求和开关特性。

表 6-40. CPSW9G MDIO 时序要求

编号	参数 ⁽¹⁾		最小值	最大值	单位
MDIO1	$t_{su(mdioV-mdcH)}$	建立时间，在 MDIO[x]_MDC 高电平之前 MDIO[x]_MDIO 有效	90		ns
MDIO2	$t_{h(mdcH-mdioV)}$	保持时间，在 MDIO[x]_MDC 高电平之后 MDIO[x]_MDIO 有效	0		ns

表 6-41. CPSW9G MDIO 开关特性

编号	参数 ⁽¹⁾		最小值	最大值	单位
MDIO3	$t_{c(mdc)}$	周期时间，MDIO[x]_MDC	400		ns
MDIO4	$t_{w(mdcH)}$	脉冲持续时间，MDIO[x]_MDC 高电平	160		ns
MDIO5	$t_{w(mdcL)}$	脉冲持续时间，MDIO[x]_MDC 低电平	160		ns
MDIO7	$t_{d(mdcL-mdioV)}$	延迟时间，MDIO[x]_MDC 下降沿到 MDIO[x]_MDIO 有效	-150	150	ns

(1) x = 0

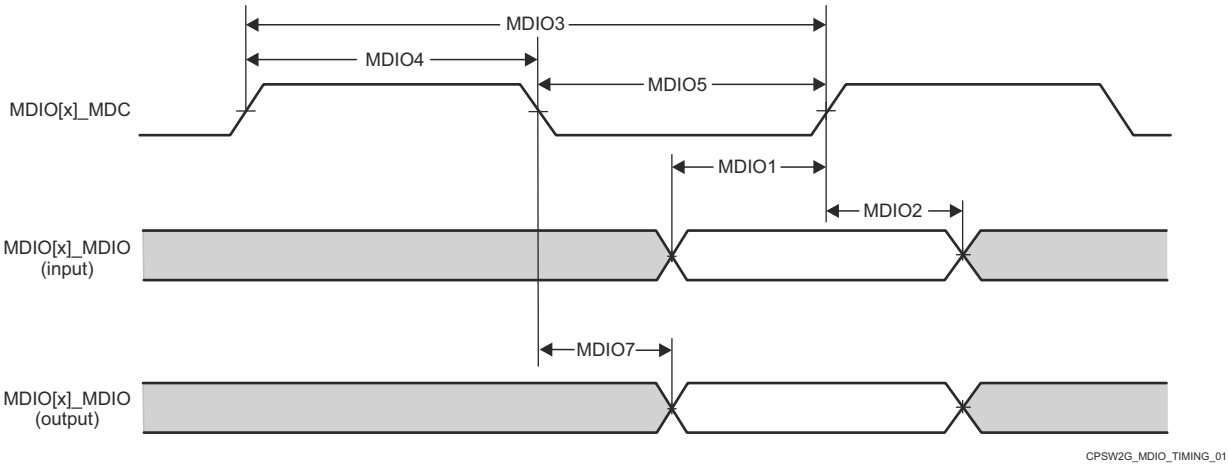


图 6-49. CPSW9G MDIO 图接收和发送

6.10.5.4.2 CPSW9G RMII 时序

表 6-42、节 6.10.5.4.2.1、节 6.10.5.4.2.2 和图 6-50 说明了 CPSW9G RMII 在接收操作中的时序要求。

表 6-42. CPSW9G RMII 时序条件

参数			最小值	最大值	单位
输入条件					
SR _I	输入压摆率	VDDSHVx ⁽¹⁾ = 1.8V	0.108	0.54	V/ns
		VDDSHVx ⁽¹⁾ = 3.3V	0.4	1.2	V/ns
输出条件					

表 6-42. CPSW9G RMII 时序条件 (续)

参数		最小值	最大值	单位
C_L	输出负载电容	3	25	pF

(1) $x = 0 - 5$ ，其中 x 表示相应的 IO 电源轨。有关 IO 电源轨分配的更多信息，请参阅引脚属性。

6.10.5.4.2.1 RMII[x]_REF_CLK 时序要求 - RMII 模式

请参阅图 6-50

编号	参数	说明	最小值	典型值	最大值	单位
RMII1	$t_{c(ref\_clk)}$	周期时间, RMII[x]_REF_CLK	19.999		20.001	ns
RMII2	$t_{w(ref\_clkH)}$	脉冲持续时间, RMII[x]_REF_CLK 高电平	7		13	ns
RMII3	$t_{w(ref\_clkL)}$	脉冲持续时间, RMII[x]_REF_CLK 低电平	7		13	ns

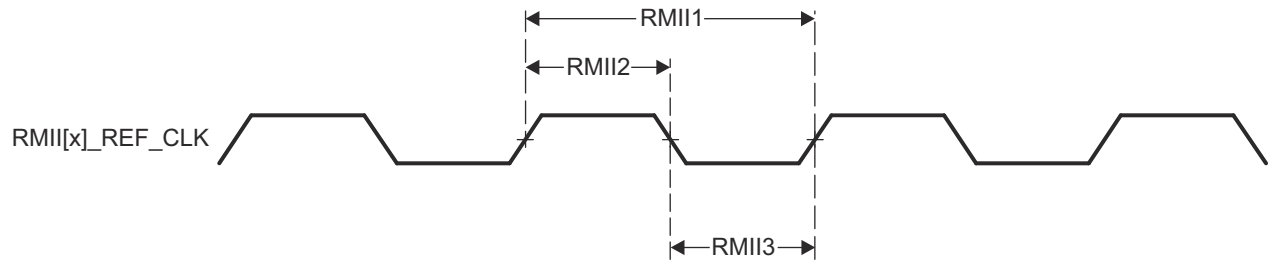


图 6-50. RMII[x]_REF_CLK 时序要求 - RMII 模式

6.10.5.4.2.2 RMII[x]_RXD[1:0]、RMII[x]_CRS_DV 和 RMII[x]_RX_ER 时序要求 - RMII 模式

编号	参数	说明	最小值	典型值	最大值	单位
RMII4	$t_{su(rixdv-ref\_clkH)}$	建立时间, 在 RMII[x]_REF_CLK 上升沿之前 RMII[x]_RXD[1:0] 有效	4			ns
	$t_{su(crs\_dv-ref\_clkH)}$	建立时间, 在 RMII[x]_REF_CLK 上升沿之前 RMII[x]_CRS_DV 有效	4			ns
	$t_{su(rx\_erV-ref\_clkH)}$	建立时间, 在 RMII[x]_REF_CLK 上升沿之前 RMII[x]_RX_ER 有效	4			ns
RMII5	$t_{h(ref\_clkH-rixdV)}$	保持时间, 在 RMII[x]_REF_CLK 上升沿之后 RMII[x]_RXD[1:0] 有效	2			ns
	$t_{h(ref\_clkH-crs\_dvV)}$	保持时间, 在 RMII[x]_REF_CLK 上升沿之后 RMII[x]_CRS_DV 有效	2			ns
	$t_{h(ref\_clkH-rx\_erV)}$	保持时间, 在 RMII[x]_REF_CLK 上升沿之后 RMII[x]_RX_ER 有效	2			ns

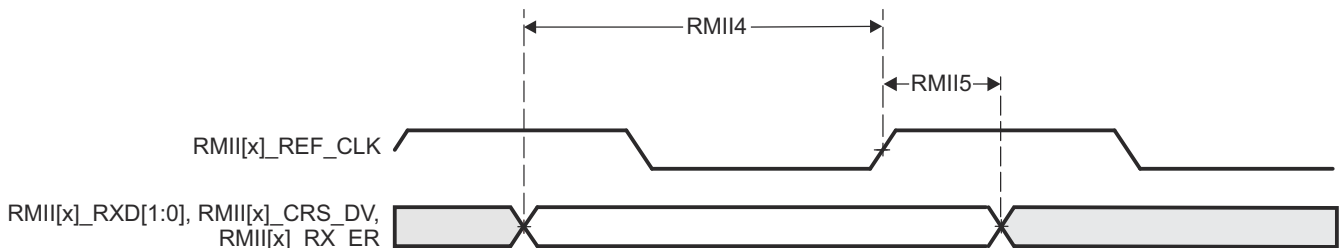


图 6-51. CPSW9G RMII[x]_RXD[1:0]、RMII[x]_CRS_DV、RMII[x]_RXER 时序要求 - RMII 模式

节 6.10.5.4.2.3 和 说明了 CPSW9G RMII 发送模式的开关特性。

6.10.5.4.2.3 RMII[x]_TXD[1:0] 和 RMII[x]_TXEN 开关特性 - RMII 模式

编号	参数	说明	最小值	典型值	最大值	单位
RMII6	$t_{d(ref\_clkH-txdV)}$	延迟时间, RMII[x]_REF_CLK 上升沿到 RMII[x]_TXD[1:0] 有效	2		13	ns
	$t_{d(ref\_clkH-tx\_enV)}$	延迟时间, RMII[x]_REF_CLK 上升沿到 RMII[x]_TX_EN 有效	2		13	ns

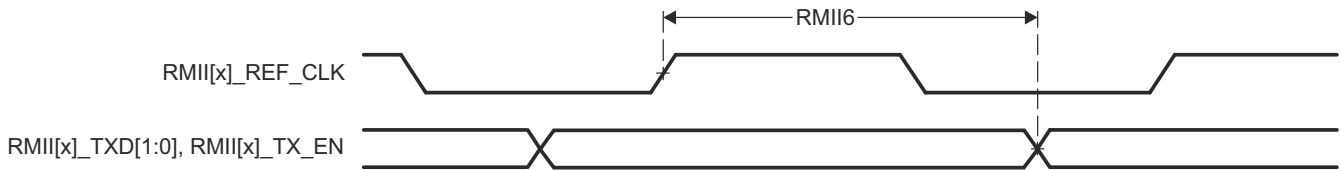


图 6-52. RMII[x]_TXD[1:0] 和 RMII[x]_TX_EN 开关特性 - RMII 模式

6.10.5.4.3 CPSW9G RGMII 时序

表 6-43、节 6.10.5.4.3.1、节 6.10.5.4.3.2 和图 6-53 说明了 RGMII 在接收操作中的时序要求。

有关更多信息，请参阅器件 TRM 的外设一章中的千兆位以太网交换机 (CPSW0) 一节。

表 6-43. CPSW9G RGMII 时序条件

参数		最小值	最大值	单位
输入条件				
SR _I	输入压摆率	2.64	5	V/ns
输出条件				
C _L	输出负载电容	2	20	pF
PCB 连接要求				
t _d (Trace Mismatch Delay)	所有布线之间的传播延迟不匹配	RGMII[x]_RXC、 RGMII[x]_RD[3:0] 、 RGMII[x]_RX_CTL	50	ps
		RGMII[x]_TXC、 RGMII[x]_TD[3:0] 、 RGMII[x]_TX_CTL	50	ps

6.10.5.4.3.1 RGMII[x]_RXC 时序要求 - RGMII 模式

编号	参数	说明	模式	最小值	最大值	单位
RGMII1	t _{c(rxc)}	周期时间，RGMII[x]_RXC	10Mbps	360	440	ns
			100Mbps	36	44	ns
			1000Mbps	7.2	8.8	ns
RGMII2	t _{w(rxcH)}	脉冲持续时间，RGMII[x]_RXC 高电平	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns
RGMII3	t _{w(rxcL)}	脉冲持续时间，RGMII[x]_RXC 低电平	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns

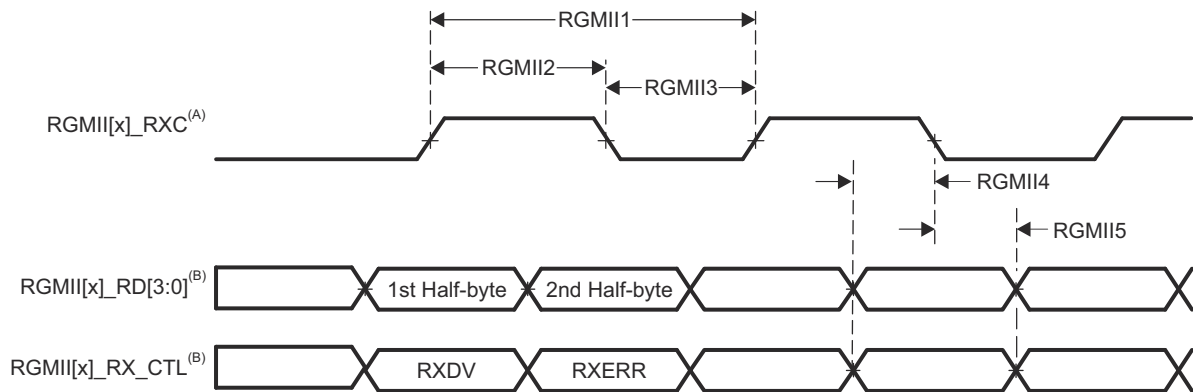
6.10.5.4.3.2 RGMII[x]_RD[3:0] 和 RGMII[x]_RCTL 时序控制要求 - RGMII 模式

请参阅图 6-53

编号	参数	说明	模式	最小值	最大值	单位
RGMII4	t _{su(rdV-rxcV)}	建立时间，在 RGMII[x]_RXC 转换之前 RGMII[x]_RD[3:0] 有效	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
	t _{su(rx_ctlV-rxcV)}	建立时间，在 RGMII[x]_RXC 转换之前 RGMII[x]_RX_CTL 有效	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns

请参阅图 6-53

编号			模式	最小值	最大值	单位
RGMII5	$t_{h(rxcV-rdV)}$	保持时间，在 RGMII[x]_RXC 转换之后 RGMII[x]_RD[3:0] 有效	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
	$t_{h(rxcV-rx\_ctlV)}$	保持时间，在 RGMII[x]_RXC 转换之后 RGMII[x]_RX_CTL 有效	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns



- A. RGMII_RXC 必须相对于数据引脚和控制引脚进行外部延迟。
- B. 使用时钟的两个边沿接收数据和控制信息。RGMII_RXD[3:0] 在 RGMII_RXC 的上升沿传输数据位 3-0，在 RGMII_RXC 的下降沿传输数据位 7-4。类似地，RGMII_RXCTL 在 RGMII_RXC 的上升沿传输 RXDV，在 RGMII_RXC 的下降沿传输 RXERR。

图 6-53. CPSW9G RGMII[x]_RXC、RGMII[x]_RD[3:0] 和 RGMII[x]_RCTL 时序控制要求 - RGMII 模式

节 6.10.5.4.3.3、节 6.10.5.4.3.4 和图 6-54 说明了 10Mbps、100Mbps 和 1000Mbps RGMII 发送模式下的开关特性。

6.10.5.4.3.3 RGMII[x]_TXC 开关特性 - RGMII 模式

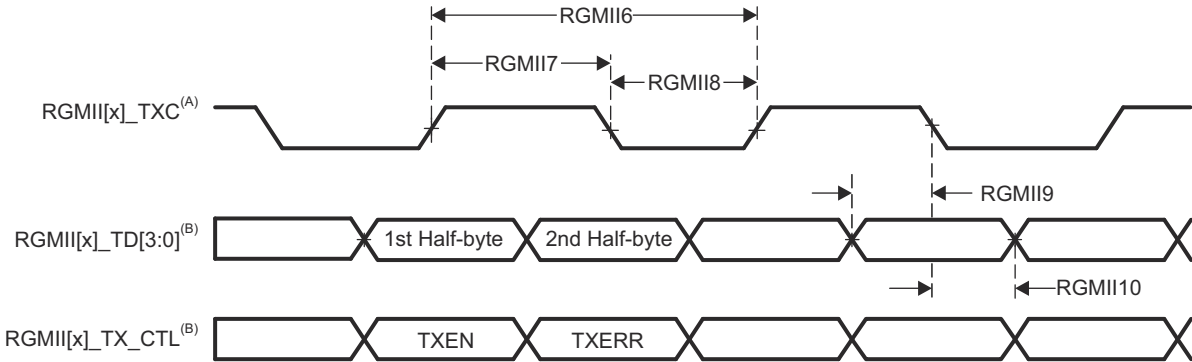
请参阅图 6-54

编号	参数	模式	最小值	典型值	最大值	单位
RGMII6	$t_{c(txc)}$	周期时间，RGMII[x]_TXC	10Mbps	360	440	ns
			100Mbps	36	44	ns
			1000Mbps	7.2	8.8	ns
RGMII7	$t_{w(txcH)}$	脉冲持续时间，RGMII[x]_TXC 高电平	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns
RGMII8	$t_{w(txcL)}$	脉冲持续时间，RGMII[x]_TXC 低电平	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns

6.10.5.4.3.4 RGMII[x]_TD[3:0] 和 RGMII[x]_TX_CTL 开关特性 - RGMII 模式

请参阅图 6-54

编号	参数		模式	最小值	最大值	单位
RGMII9	$t_{\text{osu}}(\text{tdV-txcV})$	输出建立时间, RGMII[x]_TD[3:0] 有效到 RGMII[x]_TxC 转换	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.05		ns
	$t_{\text{osu}}(\text{tx\_ctlV-txcV})$	输出建立时间, RGMII[x]_TX_CTL 有效到 RGMII[x]_TxC 转换	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.05		ns
RGMII10	$t_{\text{oh}}(\text{tdV-txcV})$	输出保持时间, 在 RGMII[x]_TxC 转换之后 RGMII[x]_TD[3:0] 有效	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.05		ns
	$t_{\text{oh}}(\text{tx\_ctlV-txcV})$	输出保持时间, 在 RGMII[x]_TxC 转换之后 RGMII[x]_TX_CTL 有效	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.05		ns



- A. TxC 在驱动至 RGMII[x]_TxC 引脚之前会在内部延迟。该内部延迟始终启用。
- B. 使用时钟的两个边沿接收数据和控制信息。RGMII_TD[3:0] 在 RGMII_TxC 的上升沿传输数据位 3-0, 在 RGMII_TxC 的下降沿传输数据位 7-4。类似地, RGMII_TX_CTL 在 RGMII_TxC 的上升沿传输 TXDV, 在 RGMII_TxC 的下降沿传输 RTXERR。

图 6-54. CPSW9G RGMII[x]_TxC、RGMII[x]_TD[3:0] 和 RGMII[x]_TX_CTL 开关特性 - RGMII 模式

6.10.5.5 CSI-2

备注

有关更多信息, 请参阅器件 TRM 中的“摄像头流媒体接口接收器 (CSI_RX_IF)”一节。

CSI_RX_IF 处理来自外部图像传感器的像素数据和来自存储器的数据。它是以下多媒体应用程序的关键组件: 照相机取景器、视频录制和静态图像捕获。

CSI_RX_IF 具有一个符合 MIPI D-PHY RX 规范 v1.2 和 MIPI CSI-2 规范 v1.3 的第一串行接口 (CSI-2 端口), 具有 4 个差分数据通道和 1 个差分时钟通道, 以同步模式双倍数据速率运行。有关时序详细信息, 请参阅规范。

- 每个通道的速率为 2.5Gbps (1.25GHz)。

6.10.5.6 DDRSS

有关器件 LPDDR4 存储器接口的特性和其他说明的更多详细信息, 请参阅节 5.3 “信号说明”和节 7 “详细说明”中的相应部分。

该器件具有用于连接 LPDDR4 的专用接口，支持符合 JEDEC JESD209-4B 标准且具有以下特性的 LPDDR4 SDRAM 器件：

- 连接到外部 SDRAM 存储器的 32 位数据路径
- 存储器器件容量：通过两个片选引脚提供多达 8GB 地址空间（每列 4GB）
- 不支持字节模式或地址位超过 17 行的存储器

表 6-44 和 图 6-55 说明了 DDRSS 的开关特性。

表 6-44. DDRSS 的开关特性

编号	参数	DDR 类型	最小值	最大值	单位
1	$t_{c(DDR\_CKP/DDR\_CKN)}$ 周期时间，DDR0_CKP 和 DDR0_CKN	LPDDR4	0.536	3.003	ns

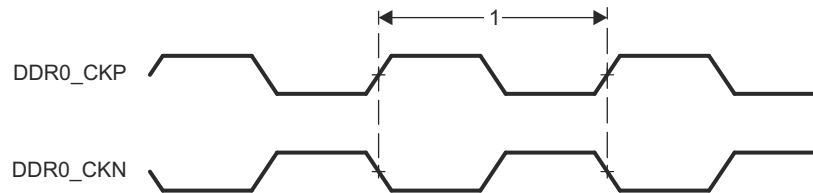


图 6-55. DDRSS 存储器接口时钟时序

有关更多信息，请参阅器件 TRM 的存储器控制器一章中的 *DDR 子系统 (DDRSS)* 一节。

6.10.5.7 DSS

有关器件显示子系统 - 视频输出端口的特性和其他说明的更多详细信息，请参阅节 5.3 “信号说明”和节 7 “详细说明”中的相应部分。

表 6-45 表示 DPI 时序条件。

表 6-45. DPI 时序条件

参数	最小值	最大值	单位
输入条件			
SR_i 输入压摆率	1.44	26.4	V/ns
输出条件			
C_L 输出负载电容	1.5	5	pF
PCB 连接要求			
$t_d(\text{Trace Mismatch Delay})$ 所有布线之间的传播延迟不匹配		100	ps

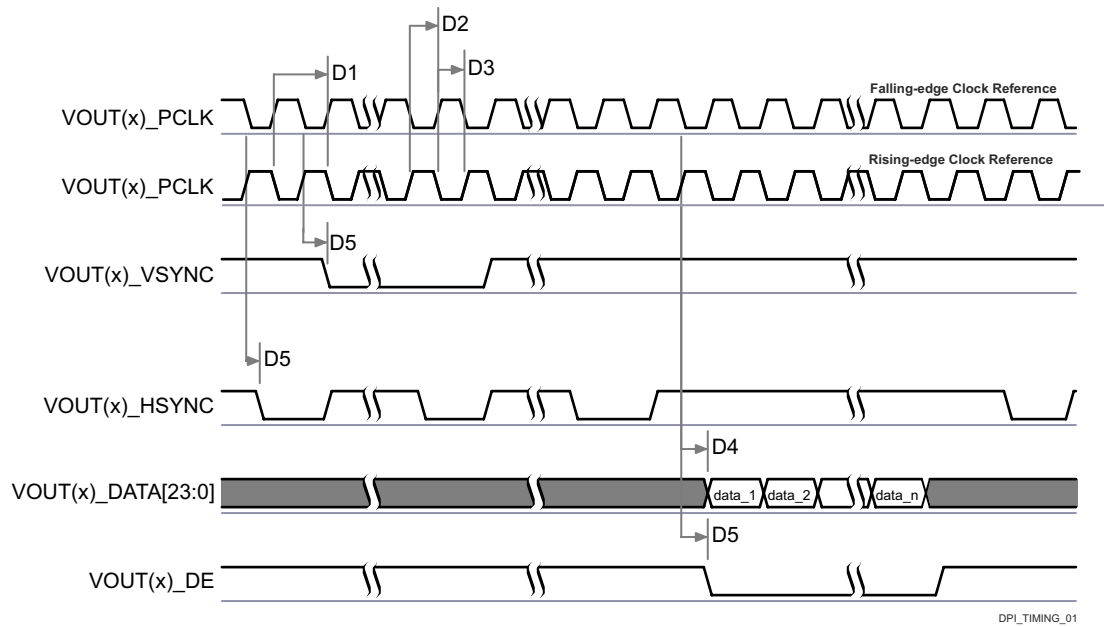
表 6-46、表 6-47、图 6-56 和图 6-57 假设在建议运行条件和电气特性条件下进行测试。

表 6-46. DPI 视频输出开关特性

编号 ⁽²⁾	参数	最小值	最大值	单位
D1	$t_{c(pclk)}$ 周期时间，VOUT(x)_PCLK	6.06		ns
D2	$t_{w(pclkL)}$ 脉冲持续时间，VOUT(x)_PCLK 低电平	$0.475 \times P^{(1)}$		ns
D3	$t_{w(pclkH)}$ 脉冲持续时间，VOUT(x)_PCLK 高电平	$0.475 \times P^{(1)}$		ns
D4	$t_{d(pclkV-dataV)}$ 延迟时间，VOUT(x)_PCLK 转换到 VOUT(x)_DATA[23:0] 转换	-0.68	1.78	ns
D5	$t_{d(pclkV-ctrlL)}$ 延迟时间，VOUT(x)_PCLK 转换到控制信号 VOUT(x)_VSYNC、VOUT(x)_HSYNC、VOUT(x)_DE 下降沿	-0.68	1.78	ns

(1) P = 输出 VOUT(x)_PCLK 周期（以 ns 为单位）。

(2) VOUT(x) 中的 x = 1 或 2



- A. 数据置为有效的配置可以在像素时钟的下降沿或上升沿进行编程。
- B. VOUT(x)_HSYNC 和 VOUT(x)_VSYNC 的极性和脉冲宽度是可编程的，请参阅器件 TRM 的外设一章中的显示子系统 (DSS) 一节。
- C. VOUT(x)_PCLK 频率是可配置的，请参阅器件 TRM 的外设一章中的显示子系统一节。
- D. VOUT(x) 中的 x = 1 或 2。

图 6-56. DPI 视频输出

表 6-47. DPI 外部像素时钟时序要求

编号 ⁽²⁾			最小值	最大值	单位
D6	$t_{c(extpclkin)}$	周期时间, VOUT(x)_EXTPCLKIN	6.06		ns
D7	$t_{w(extpclkinL)}$	脉冲持续时间, VOUT(x)_EXTPCLKIN 低电平	$0.45 \times P^{(1)}$		ns
D8	$t_{w(extpclkinH)}$	脉冲持续时间, VOUT(x)_EXTPCLKIN 高电平	$0.45 \times P^{(1)}$		ns

(1) P = 输出 VOUT(x)_PCLK 周期 (以 ns 为单位)。

(2) VOUT(x) 中的 x = 1 或 2

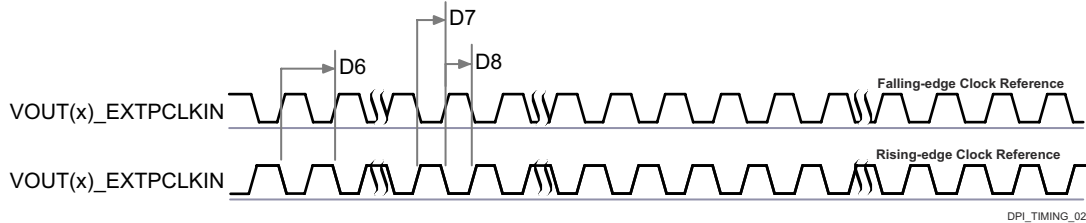


图 6-57. DPI 外部像素时钟输入

有关更多信息, 请参阅器件 TRM 的外设一章中的显示子系统 (DSS) 和外设一节。

6.10.5.8 eCAP

器件 ECAP 支持的特性包括：

- 32 位时基计数器
- 4 事件时间戳寄存器 (每个 32 位)
- 独立边沿极性选择, 最多选择四个序列化时间戳捕获事件
- 4 个捕获事件中任意一个均有对应的中断功能
- 输入捕获信号预分频 (1 至 16)
- 支持不同的捕获模式 (单次捕获、连续模式捕获、绝对时间戳捕获或差分模式时间戳捕获)

表 6-48 表示 ECAP 时序条件。

表 6-48. ECAP 时序条件

参数		最小值	最大值	单位
输入条件				
SR_I	输入压摆率	1	4	V/ns
输出条件				
C_L	输出负载电容	2	7	pF

节 6.10.5.8.1 和节 6.10.5.8.2 说明了 eCAP 的时序和开关特性 (请参阅图 6-58 和图 6-59)。

6.10.5.8.1 eCAP 的时序要求

编号	参数	说明	最小值	最大值	单位
CAP1	$t_{w(cap)}$	脉冲持续时间, CAP (异步)	$2 + 2P^{(1)}$		ns

(1) P = sysclk

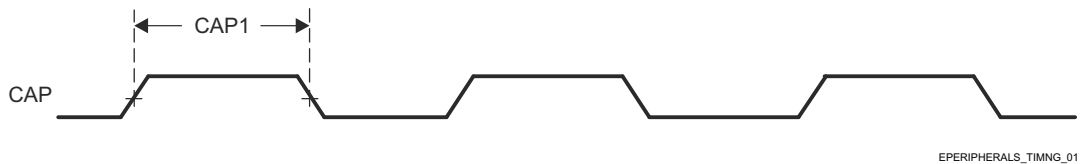


图 6-58. eCAP 输入时序

6.10.5.8.2 eCAP 的开关特性

编号	参数	说明	最小值	最大值	单位
CAP2	$t_{w(apwm)}$	脉冲持续时间, APWM	$-2 + 2P^{(1)}$		ns

(1) $P = \text{sysclk}$

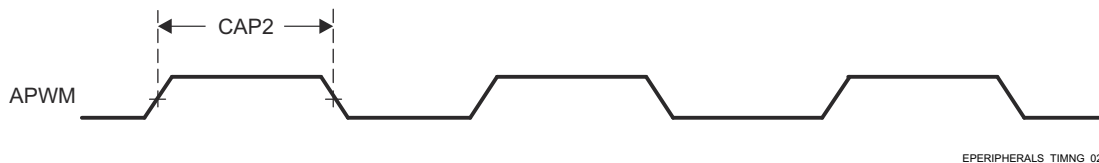


图 6-59. eCAP 输出时序

有关更多信息, 请参阅器件 TRM 的外设一章中的增强型捕获 (ECAP) 模块一节。

6.10.5.9 EPWM

器件 EPWM 支持的特性包括：

- 专用 16 位时基计数器具有周期和频率控制功能
- 两个独立 PWM 输出可用于不同配置 (单边沿运行模式、双边沿对称运行模式或一个独立 PWM 输出 + 双边沿非对称运行模式)
- 在故障条件下可以对 PWM 信号进行异步覆盖控制
- 针对相对于其他 EPWM 模块的滞后或超前操作支持可编程相位控制
- 在生成死区时可以进行独立上升沿和下降沿延迟控制
- 锁存和未锁存故障条件下均支持可编程跳闸区分配
- 可通过事件触发 CPU 中断和 ADC 转换启动

表 6-49 表示 EPWM 时序条件。

表 6-49. EPWM 时序条件

参数	说明	最小值	最大值	单位
输入条件				
SR_i	输入压摆率	1	4	V/ns
输出条件				
C_L	输出负载电容	2	7	pF

节 6.10.5.9.2 和节 6.10.5.9.1 说明了 eHRPWM 的时序和开关特性 (请参阅图 6-61、图 6-62、图 6-63 和图 6-60)。

6.10.5.9.1 eHRPWM 的时序要求

编号	参数	说明	最小值	最大值	单位
PWM6	$t_{w(synci)}$	脉冲持续时间, EHRPWM_SYNCI	$2 + 2P^{(1)}$		ns

编号	参数	说明	最小值	最大值	单位
PWM7	$t_{w(tz)}$	脉冲持续时间, EHRPWM_TZn_IN 低电平	$2 + 3P^{(1)}$		ns

(1) $P = \text{sysclk}$

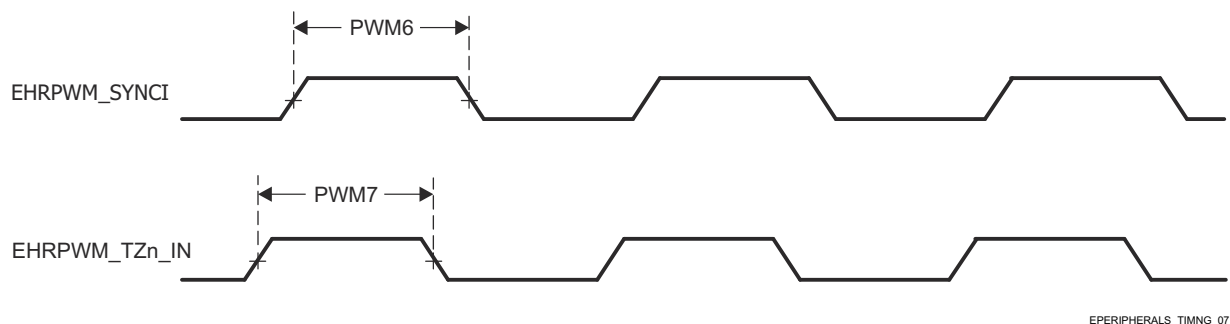


图 6-60. ePWM_SYNCI 和 ePWM_TZn_IN 输出时序

有关更多信息, 请参阅器件 TRM 的外设一章中的摄像头子系统一节。

6.10.5.9.2 eHRPWM 的开关特性

编号	参数	说明	最小值	最大值	单位
PWM1	$t_{w(pwm)}$	脉冲持续时间, EHRPWM_A/B 高电平或低电平	$P-3^{(1)}$		ns
PWM2	$t_{w(syncout)}$	脉冲持续时间, EHRPWM_SYNCO	$P-3^{(1)}$		ns
PWM3	$t_d(tzL-pwmV)$	延迟时间, EHRPWM_TZn_IN 下降沿到 EHRPWM_A/B 有效		11	ns
PWM4	$t_d(tzL-pwmZ)$	延迟时间, EHRPWM_TZn_IN 下降沿到 EHRPWM_A/B 高阻态		11	ns

编号	参数	说明	最小值	最大值	单位
PWM5	$t_{w(soc)}$	脉冲持续时间, EHRPWM_SOC/A/B	P-3 ⁽¹⁾		ns

(1) P = sysclk

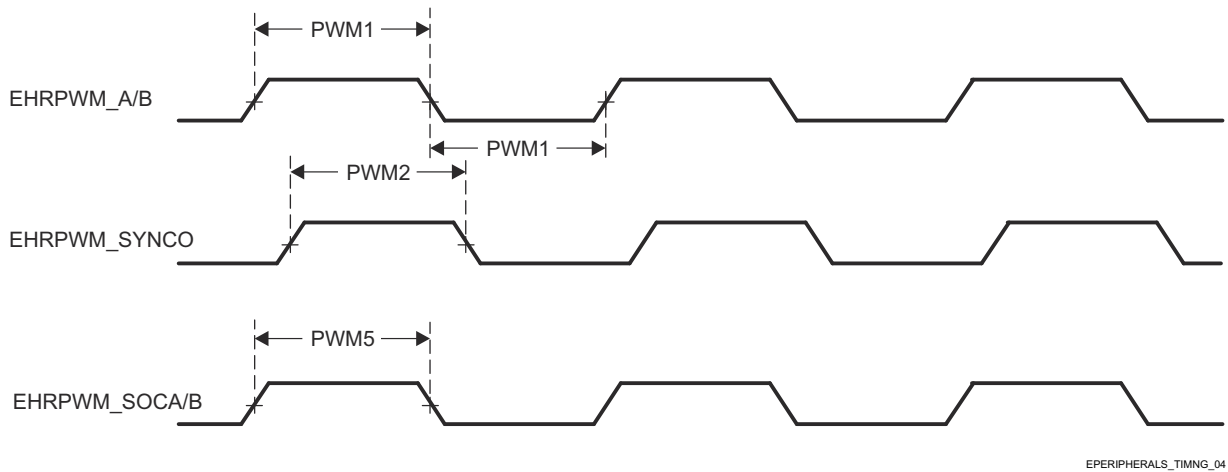


图 6-61. EPWM_A/B_out、ePWM_SYNCO 和 ePWM_SOC/A/B 输入时序

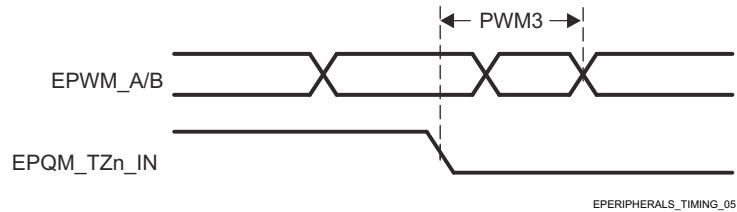


图 6-62. EPWM_A/B 和 ePWM_TZn_IN 强制高电平/低电平输入时序

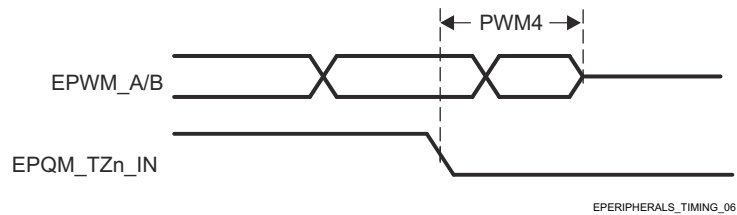


图 6-63. EPWM_A/B 和 ePWM_TZn_IN 高阻态输入时序

6.10.5.10 eQEP

器件 eQEP 支持的特性包括：

- 输入同步
- 三级/六级数字噪声滤波器
- 正交解码器单元
- 用于位置测量的位置计数器和控制单元
- 用于低速测量的正交边沿捕获单元
- 用于速度/频率测量的单位时基
- 用于检测失速的看门狗计时器

表 6-50 表示 EQEP 时序条件。

表 6-50. EQEP 时序条件

参数		最小值	最大值	单位
输入条件				
SR _I	输入压摆率	1	4	V/ns
输出条件				
C _L	输出负载电容	2	7	pF

节 6.10.5.10.1 和节 6.10.5.10.2 说明了 eQEP 的时序要求和开关特性 (请参阅图 6-64)。

6.10.5.10.1 eQEP 的时序要求

编号	参数	最小值	最大值	单位
QEP1	t _{w(qep)} 脉冲持续时间, QEP_A/B	2 + 2P ⁽¹⁾		ns
QEP2	t _{w(qepiH)} 脉冲持续时间, QEP_I 高电平	2 + 2P ⁽¹⁾		ns
QEP3	t _{w(qepiL)} 脉冲持续时间, QEP_I 低电平	2 + 2P ⁽¹⁾		ns
QEP4	t _{w(qepsH)} 脉冲持续时间, QEP_S 高电平	2 + 2P ⁽¹⁾		ns
QEP5	t _{w(qepsL)} 脉冲持续时间, QEP_S 低电平	2 + 2P ⁽¹⁾		ns

(1) P = sysclk

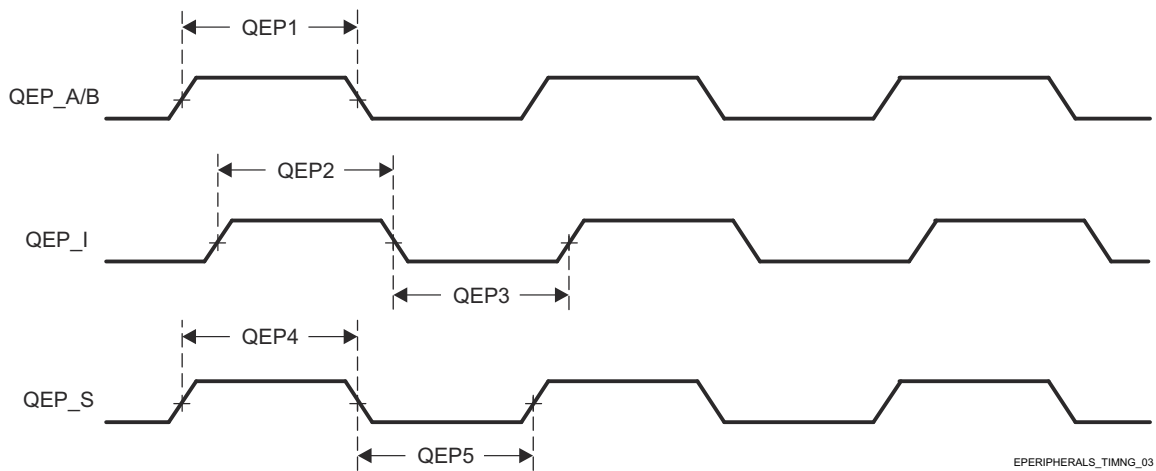


图 6-64. eQEP 输入时序

6.10.5.10.2 eQEP 的开关特性

编号	参数	最小值	最大值	单位
QEP6	t _{d(QEP-CNTR)} 延迟时间, 外部时钟到计数器增量		24	ns

有关更多信息, 请参阅器件 TRM 的外设一章中的增强型正交编码器脉冲 (EQEP) 模块一节。

6.10.5.11 GPIO

该器件具有 10 个 GPIO 模块实例。这些 GPIO 模块分为三组。

- 第一组: WKUP_GPIO0 和 WKUP_GPIO1
- 第二组: GPIO0、GPIO2、GPIO4 和 GPIO6
- 第三组: GPIO1、GPIO3、GPIO5 和 GPIO7

在每个组中, 只会选择一个模块来控制相应的 I/O 引脚和引脚中断。

GPIO 引脚分为几排（每排 16 个引脚），这意味着每个 GPIO 模块提供多达 144 个具有输入和输出功能的专用通用引脚；因此，通用接口支持多达 432 个（3 个实例 ×（9 排 × 16 个引脚））引脚。由于 WKUP_GPIOu_[84:143]（u = 0、1）、GPIO_n_[128:143]（n = 0、2、4、6）和 GPIO_m_[36:143]（m = 1、3、5、7）被保留在此器件中，因此通用接口最多支持 248 个 I/O 引脚。

有关器件通用接口的特性和其他说明的更多详细信息，请参阅节 5.3 “信号说明”和节 7 “详细说明”中的相应部分。

备注

通用输入/输出 i（i = 0 至 1）也称为 GPIO_i。

表 6-51 表示 GPIO 时序条件。

表 6-51. GPIO 时序条件

参数		缓冲器类型	最小值	最大值	单位
输入条件					
SR _I	输入压摆率	LVC MOS (VDD ⁽¹⁾ = 1.8V)	0.0018	6.6	V/ns
		LVC MOS (VDD ⁽¹⁾ = 3.3V)	0.0033	6.6	V/ns
		I2C OD FS (VDD ⁽¹⁾ = 1.8V)	0.0018	6.6	V/ns
		I2C OD FS (VDD ⁽¹⁾ = 3.3V)	0.0033	0.08	V/ns
输出条件					
C _L	输出负载电容	LVC MOS	3	10	pF
		I2C OD FS	3	100	pF

(1) VDD 表示相应的电源。有关电源名称和相应焊球的详细信息，请参阅引脚属性表的“电源”列。

节 6.10.5.11.1 和节 6.10.5.11.2 说明了 GPIO 接口的时序和开关特性。

6.10.5.11.1 GPIO 时序要求

编号	参数	说明	最小值	最大值	单位
GPIO1	t _w (GPIO_IN)	脉冲宽度, GPIO _n _x	2P + 30 ⁽¹⁾		ns

(1) P = 功能时钟周期（以 ns 为单位）。

6.10.5.11.2 GPIO 开关特性

编号	参数	说明	缓冲器类型	最小值	最大值	单位
GPIO2	t _w (GPIO_OUT)	脉冲宽度, GPIO _n _x	LVC MOS	0.975P ⁽¹⁾ - 3.6		ns
			I2C OD FS	160		ns

(1) P = 功能时钟周期（以 ns 为单位）。

有关更多信息，请参阅器件 TRM 的外设一章中的通用接口 (GPIO) 一节。

6.10.5.12 GPMC

有关器件通用存储器控制器的特性和其他说明的更多详细信息，请参阅节 5.3 “信号说明”和节 7 “详细说明”中的相应部分。

表 6-52 表示 GPMC 时序条件。

备注

本节中提供的 IO 时序适用于 GPMC0 的所有信号组合。然而，只有当使用单个 IOSET 内的信号时，时序才对 GPMC0 有效。节 6.10.5.12.4 GPMC0_IOSET 表对 IOSET 进行了定义。

表 6-52. GPMC 时序条件

参数	说明	最小值	最大值	单位
输入条件				
t _{SR}	输入压摆率	1.65	4	V/ns
输出条件				
C _{LOAD}	输出负载电容	5	20	pF

6.10.5.12.1 GPMC 和 NOR 闪存 - 同步模式

节 6.10.5.12.1.1 和节 6.10.5.12.1.2 假设在建议运行条件和电气特性条件下进行测试（请参阅图 6-65 至图 6-69）。

6.10.5.12.1.1 GPMC 和 NOR 闪存时序要求 - 同步模式

编号	参数	说明 ⁽²⁾	模式 ⁽³⁾	最小值	最大值	最小值	最大值	单位
				100MHz ⁽⁴⁾		133MHz ⁽⁴⁾		
F12	t _{su} (dV-clkH)	建立时间，在输出时钟 GPMC_CLK 高电平之前输入数据 GPMC_AD[15:0] 有效	div_by_1_mode；	1.81		1.11		ns
			not_div_by_1_mode；	1.06			ns	
F13	t _h (clkH-dV)	保持时间，在输出时钟 GPMC_CLK 高电平之后输入数据 GPMC_AD[15:0] 有效	div_by_1_mode；	1.78		2.28		ns
			not_div_by_1_mode；	1.78			ns	
F21	t _{su} (waitV-clkH)	建立时间，在输出时钟 GPMC_CLK 高电平之前输入等待 GPMC_WAIT[j] 有效 ⁽¹⁾	div_by_1_mode；	1.81		1.11		ns
			not_div_by_1_mode；	1.06			ns	
F22	t _h (clkH-waitV)	保持时间，在输出时钟 GPMC_CLK 高电平之后输入等待 GPMC_WAIT[j] 有效 ⁽¹⁾	div_by_1_mode；	1.78		2.28		ns
			not_div_by_1_mode；	1.78			ns	

(1) 在 GPMC_WAIT[j] 中，j 等于 0、1、2 或 3。

(2) 等待监视支持仅限于 WaitMonitoringTime 值 > 0。有关等待监视功能的完整说明，请参阅器件 TRM 中的通用存储器控制器 (GPMC) 一节。

(3) 对于 div_by_1_mode：

- GPMC_CONFIG1_i 寄存器：GPMCFCLKDIVIDER = 0h：
 - GPMC_CLK 频率 = GPMC_FCLK 频率
- GPMC_CONFIG1_i 寄存器：GPMCFCLKDIVIDER = 1h 至 3h：
 - GPMC_CLK 频率 = GPMC_FCLK 频率 / (2 至 4)

(4) 对于 100MHz：

- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 01 = MAIN_PLL2_HSDIV1_CLKOUT / 3

对于 133MHz：

- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 00 = MAIN_PLL0_HSDIV3_CLKOUT

6.10.5.12.1.2 GPMC 和 NOR 闪存开关特性 - 同步模式

编号 ⁽²⁾	参数	说明	模式 ⁽¹⁹⁾	最小值	最大值	最小值	最大值	单位
				100MHz ⁽²⁰⁾		133MHz ⁽²⁰⁾		
F0	tc(clk)	周期，输出时钟 GPMC_CLK ⁽¹⁸⁾	div_by_1_mode；	10		7.52		ns

编号 ⁽²⁾	参数	说明	模式 ⁽¹⁹⁾	最小值	最大值	最小值	最大值	单位
				100MHz ⁽²⁰⁾		133MHz ⁽²⁰⁾		
F1	t _w (clkH)	典型脉冲持续时间, 输出时钟 GPMC_CLK 高电平	div_by_1_mode	0.475*P ⁽¹⁵⁾ - 0.3		0.475*P ⁽¹⁵⁾ - 0.3		ns
F1	t _w (clkL)	典型脉冲持续时间, 输出时钟 GPMC_CLK 低电平	div_by_1_mode	0.475*P ⁽¹⁵⁾ - 0.3		0.475*P ⁽¹⁵⁾ - 0.3		ns
F2	t _d (clkH-csnV)	延迟时间, 输出时钟 GPMC_CLK 上升沿到输出片选 GPMC_CSn[i] 转换 ⁽¹⁴⁾	div_by_1_mode 无 extra_delay	F ⁽⁶⁾ -2.2	F+3.75	F ⁽⁶⁾ -2.2	F ⁽⁶⁾ +3.75	ns
F3	t _d (clkH-CSn[i]V)	延迟时间, 输出时钟 GPMC_CLK 上升沿到输出片选 GPMC_CSn[i] 无效 ⁽¹⁴⁾	div_by_1_mode 无 extra_delay	E ⁽⁵⁾ -2.2	E ⁽⁵⁾ +3.75	E ⁽⁵⁾ -2.2	E ⁽⁵⁾ +3.75	ns
F4	t _d (aV-clk)	延迟时间, 输出地址 GPMC_A[27:1] 有效到输出时钟 GPMC_CLK 第一个边沿	div_by_1_mode	B ⁽²⁾ -2.3	B ⁽²⁾ +4.5	B ⁽²⁾ -2.3	B ⁽²⁾ +4.5	ns
F5	t _d (clkH-aIV)	延迟时间, 输出时钟 GPMC_CLK 上升沿到输出地址 GPMC_A[27:1] 无效	div_by_1_mode ;	-2.3	4.5	-2.3	4.5	ns
F6	t _d (be[x]nV-clk)	延迟时间, 输出低字节使能和命令锁存使能 GPMC_BE0n_CLE、输出高字节使能 GPMC_BE1n 有效到输出时钟 GPMC_CLK 第一个边沿	div_by_1_mode	B ⁽²⁾ -2.3	B ⁽²⁾ +1.9	B ⁽²⁾ -2.3	B ⁽²⁾ +1.9	ns
F7	t _d (clkH-be[x]nIV)	延迟时间, 输出时钟 GPMC_CLK 上升沿到输出低字节使能和命令锁存使能 GPMC_BE0n_CLE、输出高字节使能 GPMC_BE1n 有效 ⁽¹¹⁾	div_by_1_mode	D ⁽⁴⁾ -2.3	D ⁽⁴⁾ +1.9	D ⁽⁴⁾ -2.3	D ⁽⁴⁾ +1.9	ns
F7	t _d (clkL-be[x]nIV)	延迟时间, GPMC_CLK 下降沿到 GPMC_BE0n_CLE、GPMC_BE1n 无效 ⁽¹²⁾	div_by_1_mode	D ⁽⁴⁾ -2.3	D ⁽⁴⁾ +1.9	D ⁽⁴⁾ -2.3	D ⁽⁴⁾ +1.9	ns
F7	t _d (clkL-be[x]nIV)	延迟时间, GPMC_CLK 下降沿到 GPMC_BE0n_CLE、GPMC_BE1n 无效 ⁽¹³⁾	div_by_1_mode	D ⁽⁴⁾ -2.3	D ⁽⁴⁾ +1.9	D ⁽⁴⁾ -2.3	D ⁽⁴⁾ +1.9	ns
F8	t _d (clkH-advn)	延迟时间, 输出时钟 GPMC_CLK 上升沿到输出地址有效和地址锁存使能 GPMC_ADVn_ALE 转换	div_by_1_mode 无 extra_delay	G ⁽⁷⁾ -2.3	G ⁽⁷⁾ +4.5	G ⁽⁷⁾ -2.3	G ⁽⁷⁾ +4.5	ns
F9	t _d (clkH-advnIV)	延迟时间, 输出时钟 GPMC_CLK 上升沿到输出地址有效和地址锁存使能 GPMC_ADVn_ALE 无效	div_by_1_mode ; 无 extra_delay	D ⁽⁴⁾ -2.3	D ⁽⁴⁾ +4.5	D ⁽⁴⁾ -2.3	D ⁽⁴⁾ +4.5	ns
F10	t _d (clkH-oen)	延迟时间, 输出时钟 GPMC_CLK 上升沿到输出使能 GPMC_OEn_REn 转换	div_by_1_mode 无 extra_delay	H ⁽⁸⁾ -2.3	H ⁽⁸⁾ +3.5	H ⁽⁸⁾ -2.3	H ⁽⁸⁾ +3.5	ns
F11	t _d (clkH-oenIV)	延迟时间, 输出时钟 GPMC_CLK 上升沿到输出使能 GPMC_OEn_REn 无效	div_by_1_mode 无 extra_delay	E ⁽⁸⁾ -2.3	E ⁽⁸⁾ +3.5	E ⁽⁸⁾ -2.3	E ⁽⁸⁾ + 3.5	ns
F14	t _d (clkH-wen)	延迟时间, 输出时钟 GPMC_CLK 上升沿到输出写入使能 GPMC_WEn 转换	div_by_1_mode 无 extra_delay	I ⁽⁹⁾ - 2.3	I ⁽⁹⁾ +4.5	I ⁽⁹⁾ - 2.3	I ⁽⁹⁾ +4.5	ns
F15	t _d (clkH-do)	延迟时间, 输出时钟 GPMC_CLK 上升沿到输出数据 GPMC_AD[15:0] 转换 ⁽¹¹⁾	div_by_1_mode	J ⁽¹⁰⁾ -2.3	J ⁽¹⁰⁾ +2.7	J ⁽¹⁰⁾ -2.3	J ⁽¹⁰⁾ +2.7	ns
F15	t _d (clkL-do)	延迟时间, GPMC_CLK 下降沿到 GPMC_AD[15:0] 数据总线转换 ⁽¹²⁾	div_by_1_mode	J ⁽¹⁰⁾ -2.3	J ⁽¹⁰⁾ +2.7	J ⁽¹⁰⁾ -2.3	J ⁽¹⁰⁾ +2.7	ns
F15	t _d (clkL-do)	延迟时间, GPMC_CLK 下降沿到 GPMC_AD[15:0] 数据总线转换 ⁽¹³⁾	div_by_1_mode	J ⁽¹⁰⁾ -2.3	J ⁽¹⁰⁾ +2.7	J ⁽¹⁰⁾ -2.3	J ⁽¹⁰⁾ +2.7	ns
F17	t _d (clkH-be[x]n)	延迟时间, 输出时钟 GPMC_CLK 上升沿到输出低字节使能和命令锁存使能 GPMC_BE0n_CLE 转换 ⁽¹¹⁾	div_by_1_mode	J ⁽¹⁰⁾ -2.3	J ⁽¹⁰⁾ +1.9	J ⁽¹⁰⁾ -2.3	J ⁽¹⁰⁾ +1.9	ns
F17	t _d (clkL-be[x]n)	延迟时间, GPMC_CLK 下降沿到 GPMC_BE0n_CLE、GPMC_BE1n 转换 ⁽¹²⁾	div_by_1_mode	J ⁽¹⁰⁾ -2.3	J ⁽¹⁰⁾ +1.9	J ⁽¹⁰⁾ -2.3	J ⁽¹⁰⁾ +1.9	ns
F17	t _d (clkL-be[x]n)	延迟时间, GPMC_CLK 下降沿到 GPMC_BE0n_CLE、GPMC_BE1n 转换 ⁽¹³⁾	div_by_1_mode	J ⁽¹⁰⁾ -2.3	J ⁽¹⁰⁾ +1.9	J ⁽¹⁰⁾ -2.3	J ⁽¹⁰⁾ +1.9	ns
F18	t _w (csnV)	脉冲持续时间, 输出片选 GPMC_CSn[i] 低电平 ⁽¹⁴⁾	读取	A ⁽¹⁾		A ⁽¹⁾		ns
			写入	A ⁽¹⁾		A ⁽¹⁾		ns

编号 ⁽²⁾	参数	说明	模式 ⁽¹⁹⁾	最小值	最大值	最小值	最大值	单位
				100MHz ⁽²⁰⁾		133MHz ⁽²⁰⁾		
F19	$t_{w(be[x]nV)}$	脉冲持续时间, 输出低字节使能和命令锁存使能 GPMC_BE0n_CLE、输出高字节使能 GPMC_BE1n 低电平	读取	C ⁽³⁾		C ⁽³⁾		ns
			写入	C ⁽³⁾		C ⁽³⁾		ns
F20	$t_{w(advnV)}$	脉冲持续时间, 输出地址有效和地址锁存使能 GPMC_ADVn_ALE 低电平	读取	K ⁽¹⁶⁾		K ⁽¹⁶⁾		ns
			写入	K ⁽¹⁶⁾		K ⁽¹⁶⁾		ns

- (1) 对于单次读取: $A = (CSRdOffTime - CSOnTime) \times (TimeParaGranularity + 1) \times GPMC\_FCLK^{(17)}$
 对于突发读取: $A = (CSRdOffTime - CSOnTime + (n - 1) \times PageBurstAccessTime) \times (TimeParaGranularity + 1) \times GPMC\_FCLK^{(17)}$
 对于突发写入: $A = (CSWrOffTime - CSOnTime + (n - 1) \times PageBurstAccessTime) \times (TimeParaGranularity + 1) \times GPMC\_FCLK^{(17)}$
 n 是页面突发访问编号。
- (2) $B = ClkActivationTime \times GPMC\_FCLK^{(17)}$
- (3) 对于单次读取: $C = RdCycleTime \times (TimeParaGranularity + 1) \times GPMC\_FCLK^{(17)}$
 对于突发读取: $C = (RdCycleTime + (n - 1) \times PageBurstAccessTime) \times (TimeParaGranularity + 1) \times GPMC\_FCLK^{(17)}$
 对于突发写入: $C = (WrCycleTime + (n - 1) \times PageBurstAccessTime) \times (TimeParaGranularity + 1) \times GPMC\_FCLK^{(17)}$
 n 是页面突发访问编号。
- (4) 对于单次读取: $D = (RdCycleTime - AccessTime) \times (TimeParaGranularity + 1) \times GPMC\_FCLK^{(17)}$
 对于突发读取: $D = (RdCycleTime - AccessTime) \times (TimeParaGranularity + 1) \times GPMC\_FCLK^{(17)}$
 对于突发写入: $D = (WrCycleTime - AccessTime) \times (TimeParaGranularity + 1) \times GPMC\_FCLK^{(17)}$
- (5) 对于单次读取: $E = (CSRdOffTime - AccessTime) \times (TimeParaGranularity + 1) \times GPMC\_FCLK^{(17)}$
 对于突发读取: $E = (CSRdOffTime - AccessTime) \times (TimeParaGranularity + 1) \times GPMC\_FCLK^{(17)}$
 对于突发写入: $E = (CSWrOffTime - AccessTime) \times (TimeParaGranularity + 1) \times GPMC\_FCLK^{(17)}$
- (6) 对于 csn 下降沿 (CS 激活) :
 - 如果 GPMCFCLKDIVIDER = 0 :
 - $F = 0.5 \times CSExtraDelay \times GPMC\_FCLK^{(17)}$
 - 如果 GPMCFCLKDIVIDER = 1 :
 - 如果 (ClkActivationTime 和 CSOnTime 为奇数) 或 (ClkActivationTime 和 CSOnTime 为偶数) , 则 $F = 0.5 \times CSExtraDelay \times GPMC\_FCLK^{(17)}$
 - 否则 $F = (1 + 0.5 \times CSExtraDelay) \times GPMC\_FCLK^{(17)}$
 - 如果 GPMCFCLKDIVIDER = 2 :
 - 如果 (CSOnTime - ClkActivationTime) 是 3 的倍数 , 则 $F = 0.5 \times CSExtraDelay \times GPMC\_FCLK^{(17)}$
 - 如果 (CSOnTime - ClkActivationTime - 1) 是 3 的倍数 , 则 $F = (1 + 0.5 \times CSExtraDelay) \times GPMC\_FCLK^{(17)}$
 - 如果 (CSOnTime - ClkActivationTime - 2) 是 3 的倍数 , 则 $F = (2 + 0.5 \times CSExtraDelay) \times GPMC\_FCLK^{(17)}$
- (7) 对于 ADV 下降沿 (ADV 激活) :
 - 如果 GPMCFCLKDIVIDER = 0 :
 - $G = 0.5 \times ADVExtraDelay \times GPMC\_FCLK^{(17)}$
 - 如果 GPMCFCLKDIVIDER = 1 :
 - 如果 (ClkActivationTime 和 ADVOnTime 为奇数) 或 (ClkActivationTime 和 ADVOnTime 为偶数) , 则 $G = 0.5 \times ADVExtraDelay \times GPMC\_FCLK^{(17)}$
 - 否则 $G = (1 + 0.5 \times ADVExtraDelay) \times GPMC\_FCLK^{(17)}$
 - 如果 GPMCFCLKDIVIDER = 2 :
 - 如果 (ADVOnTime - ClkActivationTime) 是 3 的倍数 , 则 $G = 0.5 \times ADVExtraDelay \times GPMC\_FCLK^{(17)}$
 - 如果 (ADVOnTime - ClkActivationTime - 1) 是 3 的倍数 , 则 $G = (1 + 0.5 \times ADVExtraDelay) \times GPMC\_FCLK^{(17)}$
 - 如果 (ADVOnTime - ClkActivationTime - 2) 是 3 的倍数 , 则 $G = (2 + 0.5 \times ADVExtraDelay) \times GPMC\_FCLK^{(17)}$

对于读取模式下的 ADV 上升沿 (ADV 停用) :

- 如果 GPMCFCLKDIVIDER = 0 :
 - $G = 0.5 \times ADVExtraDelay \times GPMC\_FCLK^{(17)}$
- 如果 GPMCFCLKDIVIDER = 1 :
 - 如果 (ClkActivationTime 和 ADVrOffTime 为奇数) 或 (ClkActivationTime 和 ADVrOffTime 为偶数) , 则 $G = 0.5 \times ADVExtraDelay \times GPMC\_FCLK^{(17)}$
 - 否则 $G = (1 + 0.5 \times ADVExtraDelay) \times GPMC\_FCLK^{(17)}$
- 如果 GPMCFCLKDIVIDER = 2 :

- 如果 (ADVRdOffTime - ClkActivationTime) 是 3 的倍数), 则 $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC\_FCLK}^{(17)}$
- 如果 (ADVRdOffTime - ClkActivationTime - 1) 是 3 的倍数), 则 $G = (1 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC\_FCLK}^{(17)}$
- 如果 (ADVRdOffTime - ClkActivationTime - 2) 是 3 的倍数), 则 $G = (2 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC\_FCLK}^{(17)}$

对于写入模式下的 ADV 上升沿 (ADV 停用) :

- 如果 GPMCFCLKDIVIDER = 0 :
 - $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC\_FCLK}^{(17)}$
- 如果 GPMCFCLKDIVIDER = 1 :
 - 如果 (ClkActivationTime 和 ADVWrOffTime 为奇数) 或 (ClkActivationTime 和 ADVWrOffTime 为偶数), 则 $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC\_FCLK}^{(17)}$
 - 否则 $G = (1 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC\_FCLK}^{(17)}$
- 如果 GPMCFCLKDIVIDER = 2 :
 - 如果 (ADVWrOffTime - ClkActivationTime) 是 3 的倍数), 则 $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC\_FCLK}^{(17)}$
 - 如果 (ADVWrOffTime - ClkActivationTime - 1) 是 3 的倍数), 则 $G = (1 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC\_FCLK}^{(17)}$
 - 如果 (ADVWrOffTime - ClkActivationTime - 2) 是 3 的倍数), 则 $G = (2 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC\_FCLK}^{(17)}$

(8) 对于 OE 下降沿 (OE 激活) 和 IO DIR 上升沿 (数据总线输入方向) :

- 如果 GPMCFCLKDIVIDER = 0 :
 - $H = 0.5 \times \text{OEExtraDelay} \times \text{GPMC\_FCLK}^{(17)}$
- 如果 GPMCFCLKDIVIDER = 1 :
 - 如果 (ClkActivationTime 和 OEOnTime 为奇数) 或 (ClkActivationTime 和 OEOnTime 为偶数), 则 $H = 0.5 \times \text{OEExtraDelay} \times \text{GPMC\_FCLK}^{(17)}$
 - 否则 $H = (1 + 0.5 \times \text{OEExtraDelay}) \times \text{GPMC\_FCLK}^{(17)}$
- 如果 GPMCFCLKDIVIDER = 2 :
 - 如果 (OEOnTime - ClkActivationTime) 是 3 的倍数), 则 $H = 0.5 \times \text{OEExtraDelay} \times \text{GPMC\_FCLK}^{(17)}$
 - 如果 (OEOnTime - ClkActivationTime - 1) 是 3 的倍数), 则 $H = (1 + 0.5 \times \text{OEExtraDelay}) \times \text{GPMC\_FCLK}^{(17)}$
 - 如果 (OEOnTime - ClkActivationTime - 2) 是 3 的倍数), 则 $H = (2 + 0.5 \times \text{OEExtraDelay}) \times \text{GPMC\_FCLK}^{(17)}$

对于 OE 上升沿 (OE 停用) :

- 如果 GPMCFCLKDIVIDER = 0 :
 - $H = 0.5 \times \text{OEExtraDelay} \times \text{GPMC\_FCLK}^{(17)}$
- 如果 GPMCFCLKDIVIDER = 1 :
 - 如果 (ClkActivationTime 和 OEOffTime 为奇数) 或 (ClkActivationTime 和 OEOffTime 为偶数), 则 $H = 0.5 \times \text{OEExtraDelay} \times \text{GPMC\_FCLK}^{(17)}$
 - 否则 $H = (1 + 0.5 \times \text{OEExtraDelay}) \times \text{GPMC\_FCLK}^{(17)}$
- 如果 GPMCFCLKDIVIDER = 2 :
 - 如果 (OEOffTime - ClkActivationTime) 是 3 的倍数), 则 $H = 0.5 \times \text{OEExtraDelay} \times \text{GPMC\_FCLK}^{(17)}$
 - 如果 (OEOffTime - ClkActivationTime - 1) 是 3 的倍数), 则 $H = (1 + 0.5 \times \text{OEExtraDelay}) \times \text{GPMC\_FCLK}^{(17)}$
 - 如果 (OEOffTime - ClkActivationTime - 2) 是 3 的倍数), 则 $H = (2 + 0.5 \times \text{OEExtraDelay}) \times \text{GPMC\_FCLK}^{(17)}$

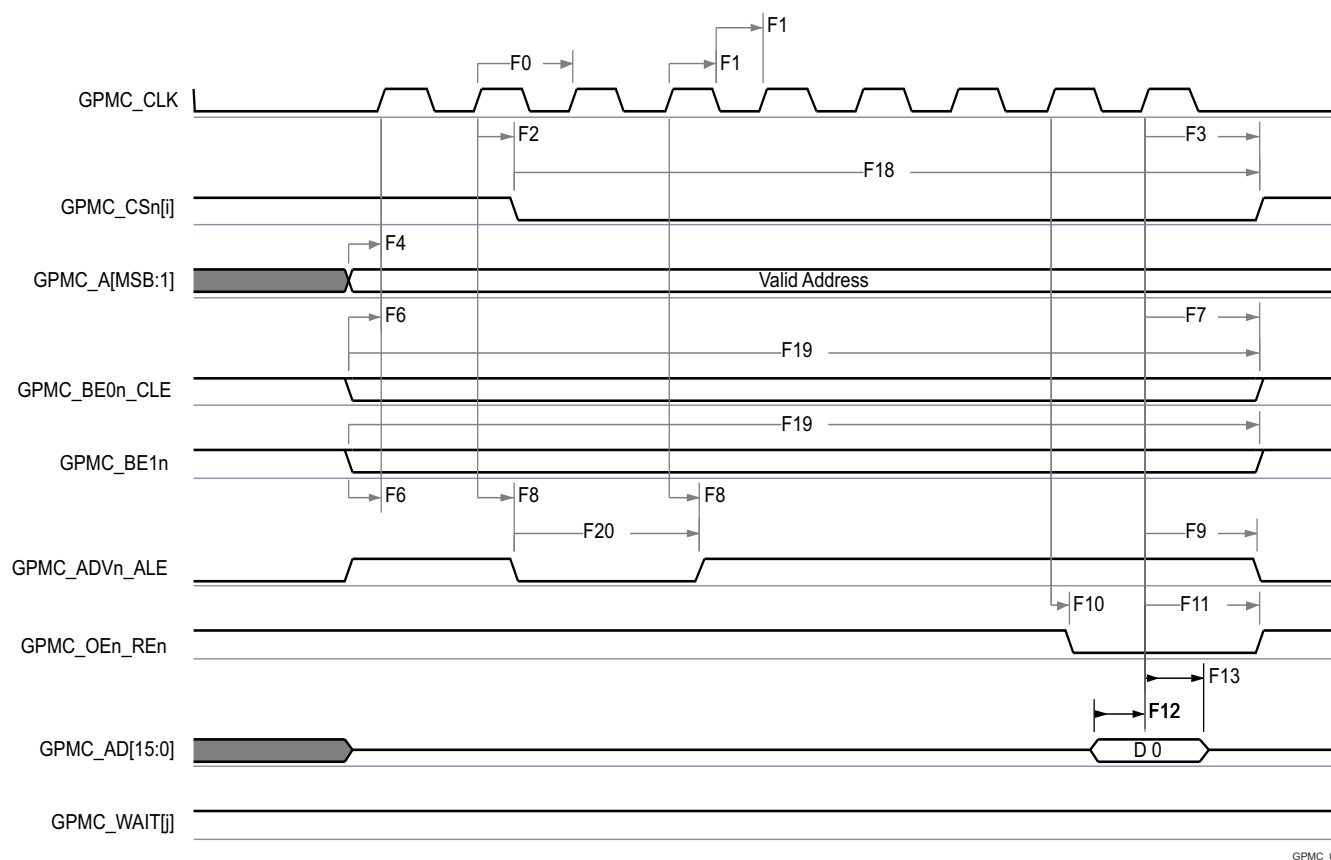
(9) 对于 WE 下降沿 (WE 激活) :

- 如果 GPMCFCLKDIVIDER = 0 :
 - $I = 0.5 \times \text{WEExtraDelay} \times \text{GPMC\_FCLK}^{(17)}$
- 如果 GPMCFCLKDIVIDER = 1 :
 - 如果 (ClkActivationTime 和 WEOnTime 为奇数) 或 (ClkActivationTime 和 WEOnTime 为偶数), 则 $I = 0.5 \times \text{WEExtraDelay} \times \text{GPMC\_FCLK}^{(17)}$
 - 否则 $I = (1 + 0.5 \times \text{WEExtraDelay}) \times \text{GPMC\_FCLK}^{(17)}$
- 如果 GPMCFCLKDIVIDER = 2 :
 - 如果 (WEOnTime - ClkActivationTime) 是 3 的倍数), 则 $I = 0.5 \times \text{WEExtraDelay} \times \text{GPMC\_FCLK}^{(17)}$
 - 如果 (WEOnTime - ClkActivationTime - 1) 是 3 的倍数), 则 $I = (1 + 0.5 \times \text{WEExtraDelay}) \times \text{GPMC\_FCLK}^{(17)}$
 - 如果 (WEOnTime - ClkActivationTime - 2) 是 3 的倍数), 则 $I = (2 + 0.5 \times \text{WEExtraDelay}) \times \text{GPMC\_FCLK}^{(17)}$

对于 WE 上升沿 (WE 停用) :

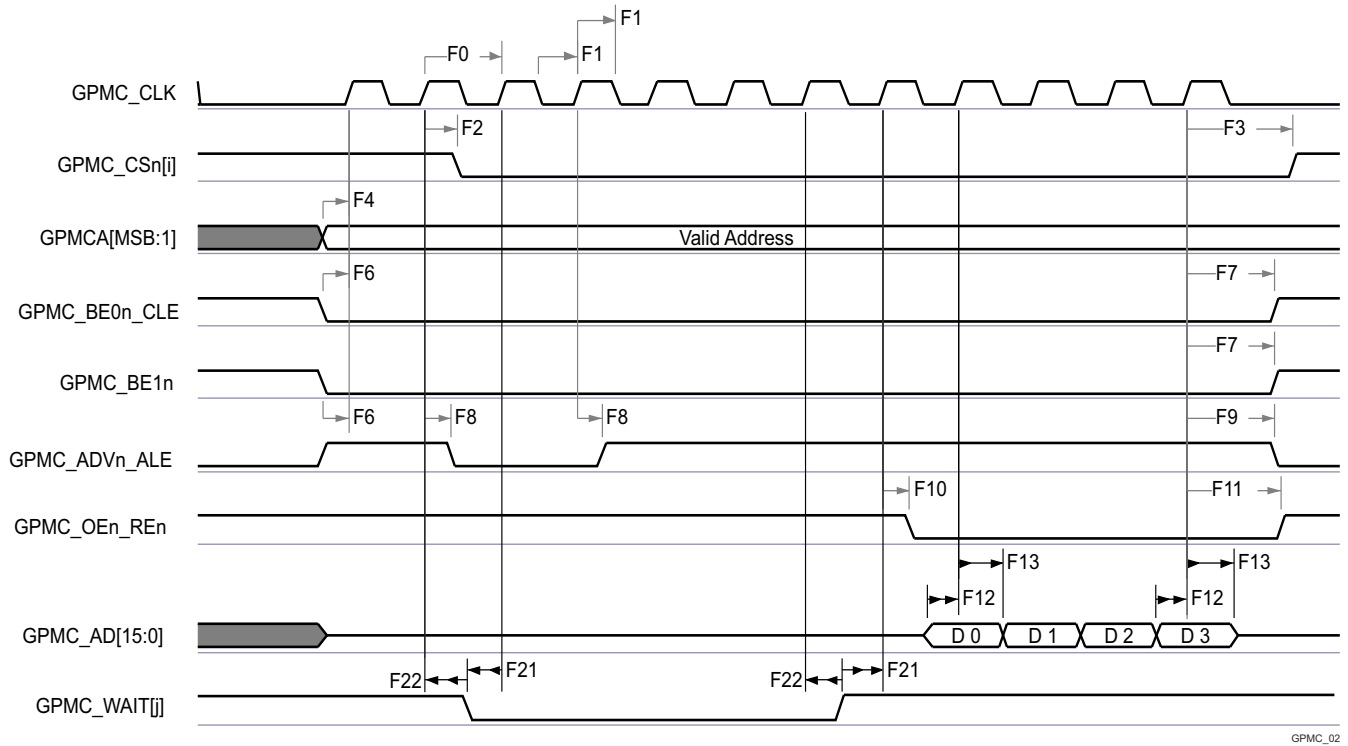
- 如果 GPMCFCLKDIVIDER = 0 :

- $I = 0.5 \times \text{WEEExtraDelay} \times \text{GPMC\_FCLK}^{(17)}$
 - 如果 $\text{GPMCFCLKDIVIDER} = 1$:
 - 如果 (ClkActivationTime 和 WEOffTime 为奇数) 或 (ClkActivationTime 和 WEOffTime 为偶数) , 则 $I = 0.5 \times \text{WEEExtraDelay} \times \text{GPMC\_FCLK}^{(17)}$
 - 否则 $I = (1 + 0.5 \times \text{WEEExtraDelay}) \times \text{GPMC\_FCLK}^{(17)}$
 - 如果 $\text{GPMCFCLKDIVIDER} = 2$:
 - 如果 ($(\text{WEOffTime} - \text{ClkActivationTime})$ 是 3 的倍数) , 则 $I = 0.5 \times \text{WEEExtraDelay} \times \text{GPMC\_FCLK}^{(17)}$
 - 如果 ($(\text{WEOffTime} - \text{ClkActivationTime} - 1)$ 是 3 的倍数) , 则 $I = (1 + 0.5 \times \text{WEEExtraDelay}) \times \text{GPMC\_FCLK}^{(17)}$
 - 如果 ($(\text{WEOffTime} - \text{ClkActivationTime} - 2)$ 是 3 的倍数) , 则 $I = (2 + 0.5 \times \text{WEEExtraDelay}) \times \text{GPMC\_FCLK}^{(17)}$
- (10) $J = \text{GPMC\_FCLK}^{(17)}$
- (11) 对于 CLK DIV 1 模式, 仅限第一次传输。
- (12) 半周期; 对于 CLK DIV 1 模式, 针对初始传输后的所有数据。
- (13) GPMC_CLKOUT 的半个周期; 对于 CLK DIV 1 模式以外的模式, 针对所有数据。 GPMC_CLKOUT 从 GPMC_FCLK 进行分频。
- (14) 在 $\text{GPMC\_CSn}[i]$ 中, i 等于 0、1、2 或 3。在 $\text{GPMC\_WAIT}[j]$ 中, j 等于 0、1、2 或 3。
- (15) P = 以 ns 为单位的 GPMC_CLK 周期
- (16) 对于读取: $K = (\text{ADVrOffTime} - \text{ADVOnTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC\_FCLK}^{(17)}$
对于写入: $K = (\text{ADVWrOffTime} - \text{ADVOnTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC\_FCLK}^{(17)}$
- (17) GPMC_FCLK 是通用存储器控制器内部功能时钟周期 (以 ns 为单位) 。
- (18) 与 GPMC_CLK 输出时钟相关的最大和最小频率可在 GPMC 模块中通过设置 GPMC_CONFIG1_i 配置寄存器位字段 GPMCFCLKDIVIDER 进行编程。
- (19) 对于 div_by_1_mode :
- GPMC_CONFIG1_i 寄存器: $\text{GPMCFCLKDIVIDER} = 0\text{h}$:
 - GPMC_CLK 频率 = GPMC_FCLK 频率
- 对于无 extra_delay 的情况 :
- GPMC_CONFIG2_i 寄存器: $\text{CSEXTRADELAY} = 0\text{h} = \text{CSn}$ 时序控制信号不延迟
 - GPMC_CONFIG4_i 寄存器: $\text{WEEEXTRADELAY} = 0\text{h} = \text{nWE}$ 时序控制信号不延迟
 - GPMC_CONFIG4_i 寄存器: $\text{OEEXTRADELAY} = 0\text{h} = \text{nOE}$ 时序控制信号不延迟
 - GPMC_CONFIG3_i 寄存器: $\text{ADVEXTRADELAY} = 0\text{h} = \text{nADV}$ 时序控制信号不延迟
- (20) 对于 100MHz :
- $\text{CTRLMMR\_GPMC\_CLKSEL}[1-0] \text{ CLK\_SEL} = 01 = \text{MAIN\_PLL2\_HSDIV1\_CLKOUT} / 3$
- 对于 133MHz :
- $\text{CTRLMMR\_GPMC\_CLKSEL}[1-0] \text{ CLK\_SEL} = 00 = \text{MAIN\_PLL0\_HSDIV3\_CLKOUT}$



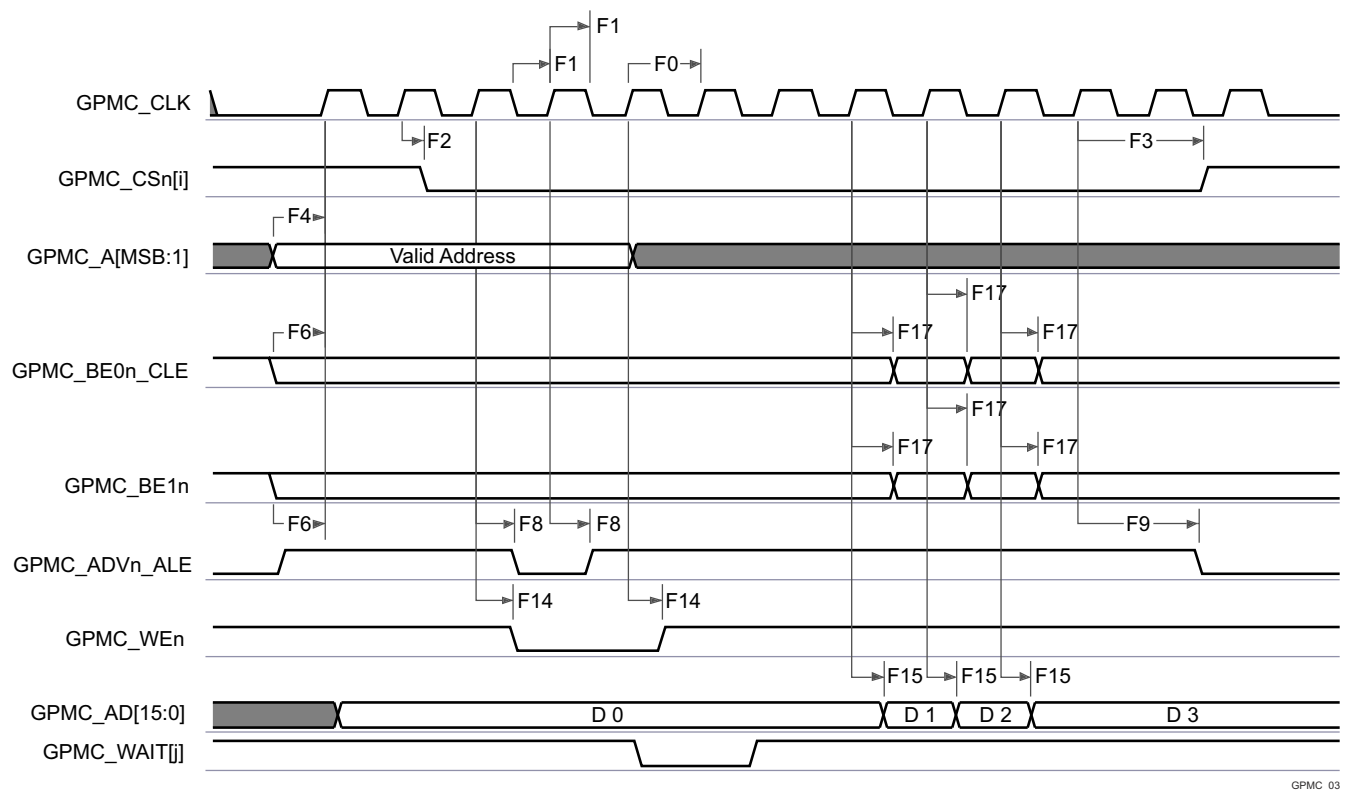
- A. 在 GPMC_CSn[i] 中, i 等于 0、1、2 或 3。
B. 在 GPMC_WAIT[j] 中, j 等于 0、1、2 或 3。

图 6-65. GPMC 和 NOR 闪存 - 同步单次读取 (GPMCFCLKDIVIDER = 0)



- A. 在 GPMC_CS[n] 中, i 等于 0、1、2 或 3。
B. 在 GPMC_WAIT[j] 中, j 等于 0、1、2 或 3。

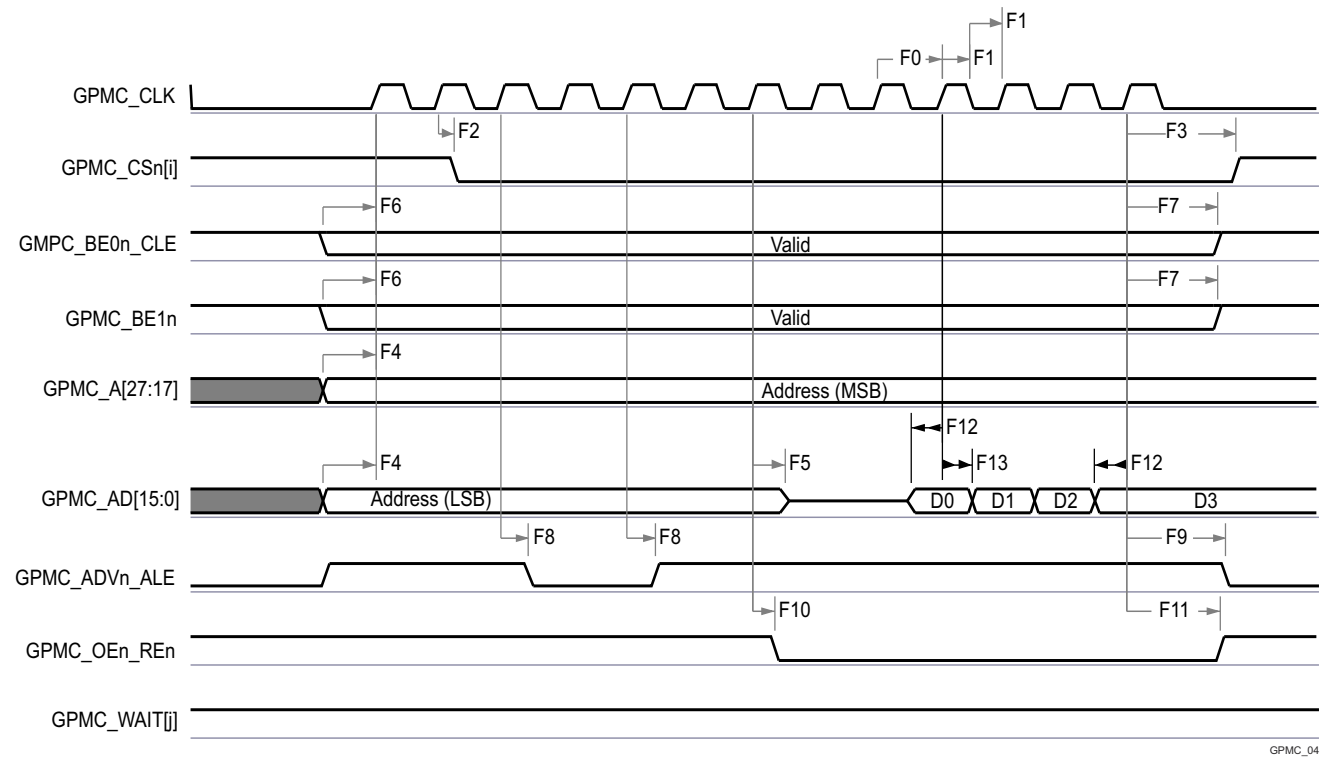
图 6-66. GPMC 和 NOR 闪存 - 同步突发读取 - 4x16 位 (GPMCCLKDIVIDER = 0)



- A. 在 GPMC_CS[n] 中, i 等于 0、1、2 或 3。

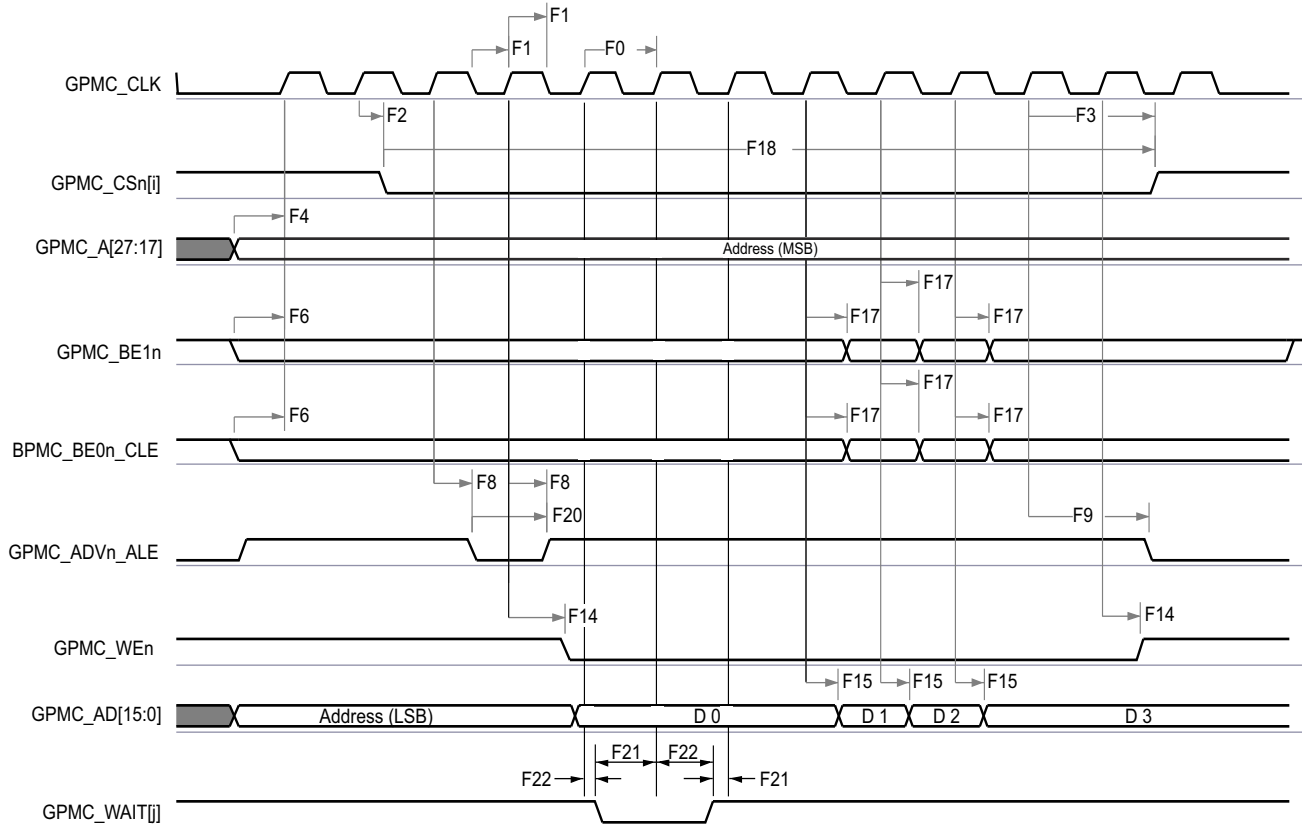
B. 在 GPMC_WAIT[j] 中, j 等于 0、1、2 或 3。

图 6-67. GPMC 和 NOR 闪存 - 同步突发写入 (GPMCFCLKDIVIDER = 0)



- A. 在 GPMC_CS[n] 中, i 等于 0、1、2 或 3。
B. 在 GPMC_WAIT[j] 中, j 等于 0、1、2 或 3。

图 6-68. GPMC 和多路复用 NOR 闪存 - 同步突发读取



GPMC_05

- A. 在 GPMC_CS[n] 中, i 等于 0、1、2 或 3。
B. 在 GPMC_WAIT[j] 中, j 等于 0、1、2 或 3。

图 6-69. GPMC 和多路复用 NOR 闪存 - 同步突发写入

6.10.5.12.2 GPMC 和 NOR 闪存 - 异步模式

节 6.10.5.12.2.1 和节 6.10.5.12.2.2 假设在建议运行条件和电气特性条件下进行测试 (请参阅图 6-70 至图 6-75)。

6.10.5.12.2.1 GPMC 和 NOR 闪存时序要求 - 异步模式

编号			模式 ⁽⁷⁾	最小值	最大值	单位
FA5 ⁽¹⁾	$t_{acc(d)}$	数据访问时间	div_by_1_mode		H ⁽⁵⁾	ns
FA20 ⁽²⁾	$t_{acc1-pgmode(d)}$	页面模式连续数据访问时间	div_by_1_mode		P ⁽⁴⁾	ns
FA21 ⁽³⁾	$t_{acc2-pgmode(d)}$	页面模式首个数据访问时间	div_by_1_mode		H ⁽⁵⁾	ns

- (1) FA5 参数说明了在内部对输入数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 FA5 功能时钟周期结束后, 输入数据通过有效功能时钟边沿在内部采样。FA5 值必须存储在 AccessTime 寄存器位字段内。
- (2) FA20 参数说明了在内部对连续输入页面数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。每次访问输入页面数据后, 下一个输入页面数据将在 FA20 功能时钟周期后通过有效功能时钟边沿进行内部采样。FA20 值必须存储在 PageBurstAccessTime 寄存器位字段中。
- (3) FA21 参数说明了在内部对首个输入页面数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 FA21 功能时钟周期结束后, 首个输入页面数据通过有效功能时钟边沿在内部采样。FA21 值必须存储在 AccessTime 寄存器位字段内。
- (4) $P = \text{PageBurstAccessTime} \times (\text{TimeParaGranularity} + 1) \times \text{GPMC\_FCLK}^{(6)}$
- (5) $H = \text{AccessTime} \times (\text{TimeParaGranularity} + 1) \times \text{GPMC\_FCLK}^{(6)}$
- (6) GPMC_FCLK 是通用存储器控制器内部功能时钟周期 (以 ns 为单位)。
- (7) 对于 div_by_1_mode :
- GPMC_CONFIG1_i 寄存器 : GPMCFCLKDIVIDER = 0h :

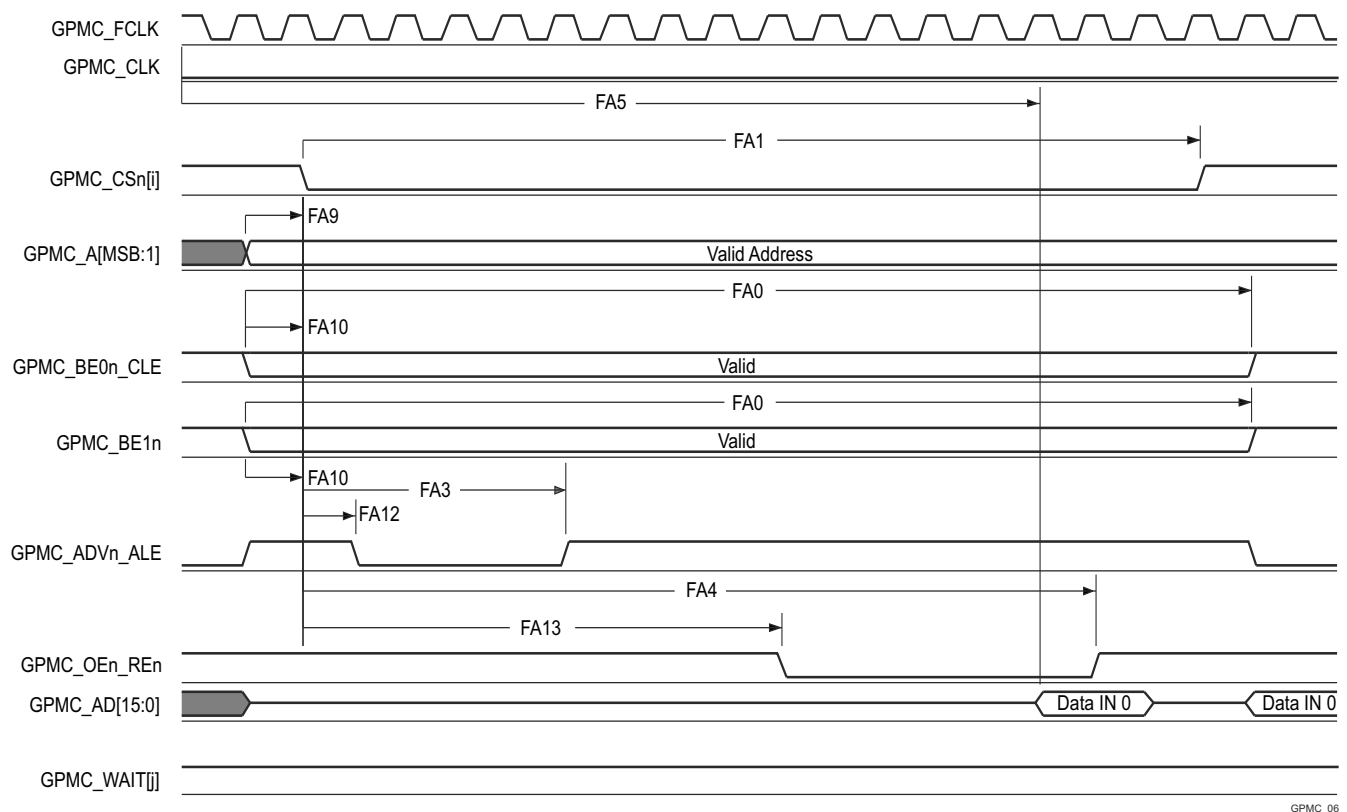
- GPMC_CLK 频率 = GPMC_FCLK 频率

6.10.5.12.2.2 GPMC 和 NOR 闪存开关特性 - 异步模式

编号	参数	说明	模式 ⁽¹⁵⁾	最小值	最大值	单位
				133MHz ⁽¹⁶⁾		
FA0	t _w (be[x]nV)	脉冲持续时间，输出低字节使能和命令锁存使能 GPMC_BE0n_CLE、输出高字节使能 GPMC_BE1n 有效时间	读取	N ⁽¹²⁾		ns
			写入	N ⁽¹²⁾		
FA1	t _w (csnV)	脉冲持续时间，输出片选 GPMC_CSn[i] ⁽¹³⁾ 低电平	读取	A ⁽¹⁾		ns
			写入	A ⁽¹⁾		
FA3	t _d (csnV-advnIV)	延迟时间，输出片选 GPMC_CSn[i] ⁽¹³⁾ 有效到输出地址有效和地址锁存使能 GPMC_ADVn_ALE 无效	读取	B ⁽²⁾ -2.55	B ⁽²⁾ +2.65	ns
			写入	B ⁽²⁾ -2.55	B ⁽²⁾ +2.65	
FA4	t _d (csnV-oenIV)	延迟时间，输出片选 GPMC_CSn[i] ⁽¹³⁾ 有效到输出使能 GPMC_OEn_REn 无效（单次读取）	div_by_1_mode；	C ⁽³⁾ -2.55	C ⁽³⁾ +2.65	ns
FA9	t _d (aV-csnV)	延迟时间，输出地址 GPMC_A[27:1] 有效到输出片选 GPMC_CSn[i] ⁽¹³⁾ 有效	div_by_1_mode；	J ⁽⁹⁾ -2.55	J ⁽⁹⁾ +2.65	ns
FA10	t _d (be[x]nV-csnV)	延迟时间，输出低字节使能和命令锁存使能 GPMC_BE0n_CLE、输出高字节使能 GPMC_BE1n 有效到输出片选 GPMC_CSn[i] ⁽¹³⁾ 有效	div_by_1_mode；	J ⁽⁹⁾ -2.55	J ⁽⁹⁾ +2.65	ns
FA12	t _d (csnV-advnV)	延迟时间，输出片选 GPMC_CSn[i] ⁽¹³⁾ 有效到输出地址有效和地址锁存使能 GPMC_ADVn_ALE 有效	div_by_1_mode；	K ⁽¹⁰⁾ -2.55	K ⁽¹⁰⁾ +2.65	ns
FA13	t _d (csnV-oenV)	延迟时间，输出片选 GPMC_CSn[i] ⁽¹³⁾ 有效到输出使能 GPMC_OEn_REn 有效	div_by_1_mode；	L ⁽¹¹⁾ -2.55	L ⁽¹¹⁾ +2.65	ns
FA16	t _w (aIV)	脉冲持续时间，输出地址 GPMC_A[26:1] 在 2 次连续读取和写入访问之间无效	div_by_1_mode；	G ⁽⁷⁾		ns
FA18	t _d (csnV-oenIV)	延迟时间，输出片选 GPMC_CSn[i] ⁽¹³⁾ 有效到输出使能 GPMC_OEn_REn 无效（突发读取）	div_by_1_mode；	I ⁽⁸⁾ -2.55	I ⁽⁸⁾ +2.65	ns
FA20	t _w (aV)	脉冲持续时间，输出地址 GPMC_A[27:1] 有效 - 第 2、3、4 次访问	div_by_1_mode；	D ⁽⁴⁾		ns
FA25	t _d (csnV-wenV)	延迟时间，输出片选 GPMC_CSn[i] ⁽¹³⁾ 有效到输出写入使能 GPMC_WEn 有效	div_by_1_mode；	E ⁽⁵⁾ -2.55	E ⁽⁵⁾ +2.65	ns
FA27	t _d (csnV-wenIV)	延迟时间，输出片选 GPMC_CSn[i] ⁽¹³⁾ 有效到输出写入使能 GPMC_WEn 无效	div_by_1_mode；	F ⁽⁶⁾ -2.55	F ⁽⁶⁾ +2.65	ns
FA28	t _d (wenV-dV)	延迟时间，输出写入使能 GPMC_WEn 有效到输出数据 GPMC_AD[15:0] 有效	div_by_1_mode；	2.65		ns
FA29	t _d (dV-csnV)	延迟时间，输出数据 GPMC_AD[15:0] 有效到输出片选 GPMC_CSn[i] ⁽¹³⁾ 有效	div_by_1_mode；	J ⁽⁹⁾ -2.55	J ⁽⁹⁾ +2.65	ns
FA37	t _d (oenV-aIV)	延迟时间，输出使能 GPMC_OEn_REn 有效到输出地址 GPMC_AD[15:0] 阶段结束	div_by_1_mode；	2.65		ns

- (1) 对于单次读取: $A = (CSRdOffTime - CSOnTime) \times (TimeParaGranularity + 1) \times GPMC\_FCLK^{(14)}$
 对于单次写入: $A = (CSWrOffTime - CSOnTime) \times (TimeParaGranularity + 1) \times GPMC\_FCLK^{(14)}$
 对于突发读取: $A = (CSRdOffTime - CSOnTime + (n - 1) \times PageBurstAccessTime) \times (TimeParaGranularity + 1) \times GPMC\_FCLK^{(14)}$
 对于突发写入: $A = (CSWrOffTime - CSOnTime + (n - 1) \times PageBurstAccessTime) \times (TimeParaGranularity + 1) \times GPMC\_FCLK^{(14)}$
 n 是页面突发访问编号
- (2) 对于读取: $B = ((ADVRdOffTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (ADVExtraDelay - CSEExtraDelay)) \times GPMC\_FCLK^{(14)}$
 对于写入: $B = ((ADVWrOffTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (ADVExtraDelay - CSEExtraDelay)) \times GPMC\_FCLK^{(14)}$
- (3) $C = ((OEOffTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (OEExtraDelay - CSEExtraDelay)) \times GPMC\_FCLK^{(14)}$
- (4) $D = PageBurstAccessTime \times (TimeParaGranularity + 1) \times GPMC\_FCLK^{(14)}$
- (5) $E = ((WEOnTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (WEExtraDelay - CSEExtraDelay)) \times GPMC\_FCLK^{(14)}$
- (6) $F = ((WEOffTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (WEExtraDelay - CSEExtraDelay)) \times GPMC\_FCLK^{(14)}$
- (7) $G = Cycle2CycleDelay \times GPMC\_FCLK^{(14)}$

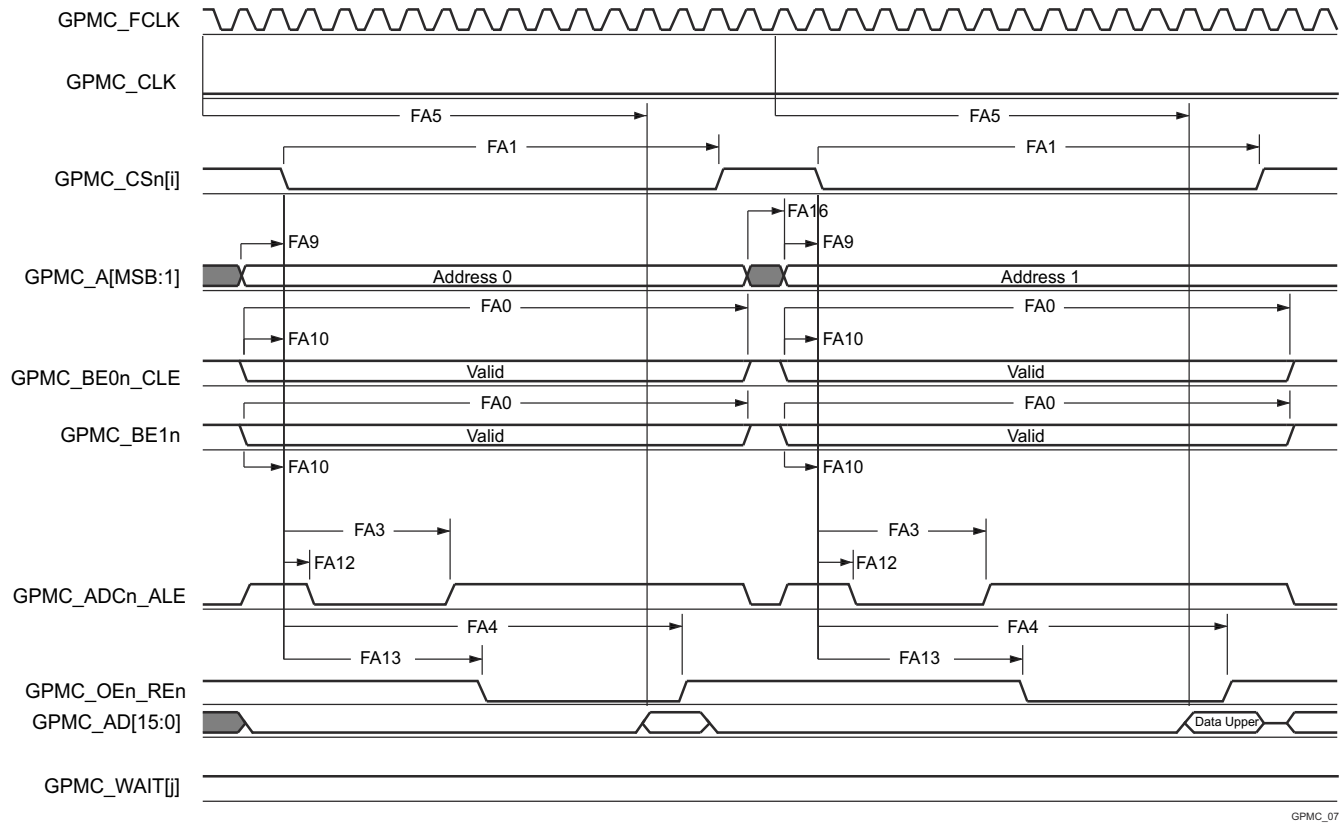
- (8) $I = ((\text{OEOffTime} + (n - 1) \times \text{PageBurstAccessTime} - \text{CSOnTime}) \times (\text{TimeParaGranularity} + 1) + 0.5 \times (\text{OEEExtraDelay} - \text{CSEExtraDelay})) \times \text{GPMC\_FCLK}^{(14)}$
- (9) $J = (\text{CSOnTime} \times (\text{TimeParaGranularity} + 1) + 0.5 \times \text{CSEExtraDelay}) \times \text{GPMC\_FCLK}^{(14)}$
- (10) $K = ((\text{ADVOnTime} - \text{CSOnTime}) \times (\text{TimeParaGranularity} + 1) + 0.5 \times (\text{ADVEExtraDelay} - \text{CSEExtraDelay})) \times \text{GPMC\_FCLK}^{(14)}$
- (11) $L = ((\text{OEOnTime} - \text{CSOnTime}) \times (\text{TimeParaGranularity} + 1) + 0.5 \times (\text{OEEExtraDelay} - \text{CSEExtraDelay})) \times \text{GPMC\_FCLK}^{(14)}$
- (12) 对于单次读取: $N = \text{RdCycleTime} \times (\text{TimeParaGranularity} + 1) \times \text{GPMC\_FCLK}^{(14)}$
对于单次写入: $N = \text{WrCycleTime} \times (\text{TimeParaGranularity} + 1) \times \text{GPMC\_FCLK}^{(14)}$
对于突发读取: $N = (\text{RdCycleTime} + (n - 1) \times \text{PageBurstAccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC\_FCLK}^{(14)}$
对于突发写入: $N = (\text{WrCycleTime} + (n - 1) \times \text{PageBurstAccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC\_FCLK}^{(14)}$
- (13) 在 GPMC_CS*n*[*i*] 中, *i* 等于 0、1、2 或 3。
- (14) GPMC_FCLK 是通用存储器控制器内部功能时钟周期 (以 ns 为单位)。
- (15) 对于 div_by_1_mode:
- GPMC_CONFIG1_i 寄存器: GPMCFCLKDIVIDER = 0h:
 - GPMC_CLK 频率 = GPMC_FCLK 频率
- (16) 对于 133MHz:
- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 00 = MAIN_PLL0_HSDIV3_CLKOUT



GPMC_06

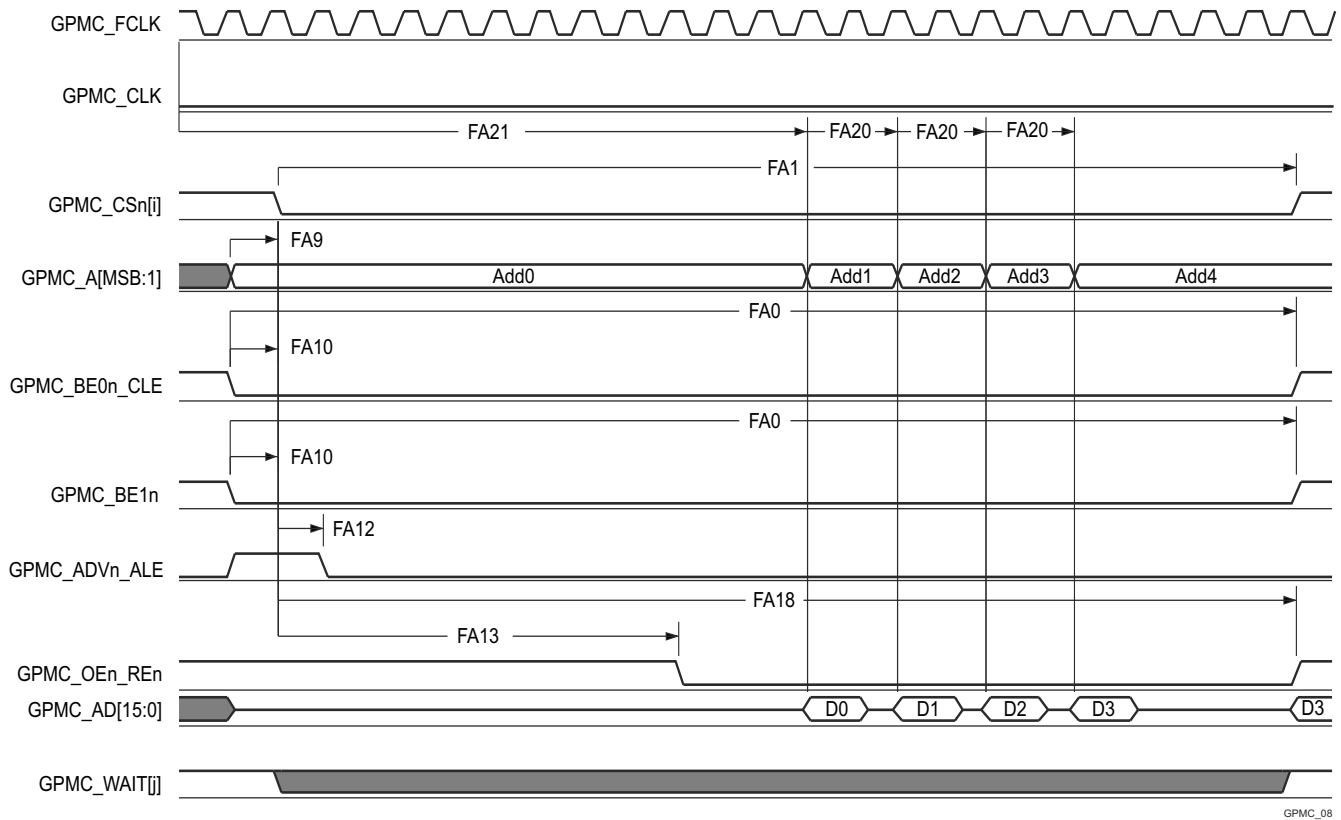
- A. 在 GPMC_CS*n*[*i*] 中, *i* 等于 0、1、2 或 3。在 GPMC_WAIT[j] 中, *j* 等于 0、1、2 或 3。
- B. FA5 参数说明了在内部对输入数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 FA5 功能时钟周期结束后, 输入数据将通过有效功能时钟边沿在内部采样。FA5 值必须存储在 **AccessTime** 寄存器位字段内。
- C. GPMC_FCLK 是内部时钟 (GPMC 功能时钟), 不从外部提供。

图 6-70. GPMC 和 NOR 闪存 - 异步读取 - 单字



- A. 在 GPMC_CS[n][i] 中, i 等于 0、1、2 或 3。在 GPMC_WAIT[j] 中, j 等于 0、1、2 或 3。
- B. FA5 参数说明了在内部对输入数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 FA5 功能时钟周期结束后, 输入数据将通过有效功能时钟边沿在内部采样。FA5 值必须存储在 AccessTime 寄存器位字段内。
- C. GPMC_FCLK 是内部时钟 (GPMC 功能时钟), 不从外部提供。

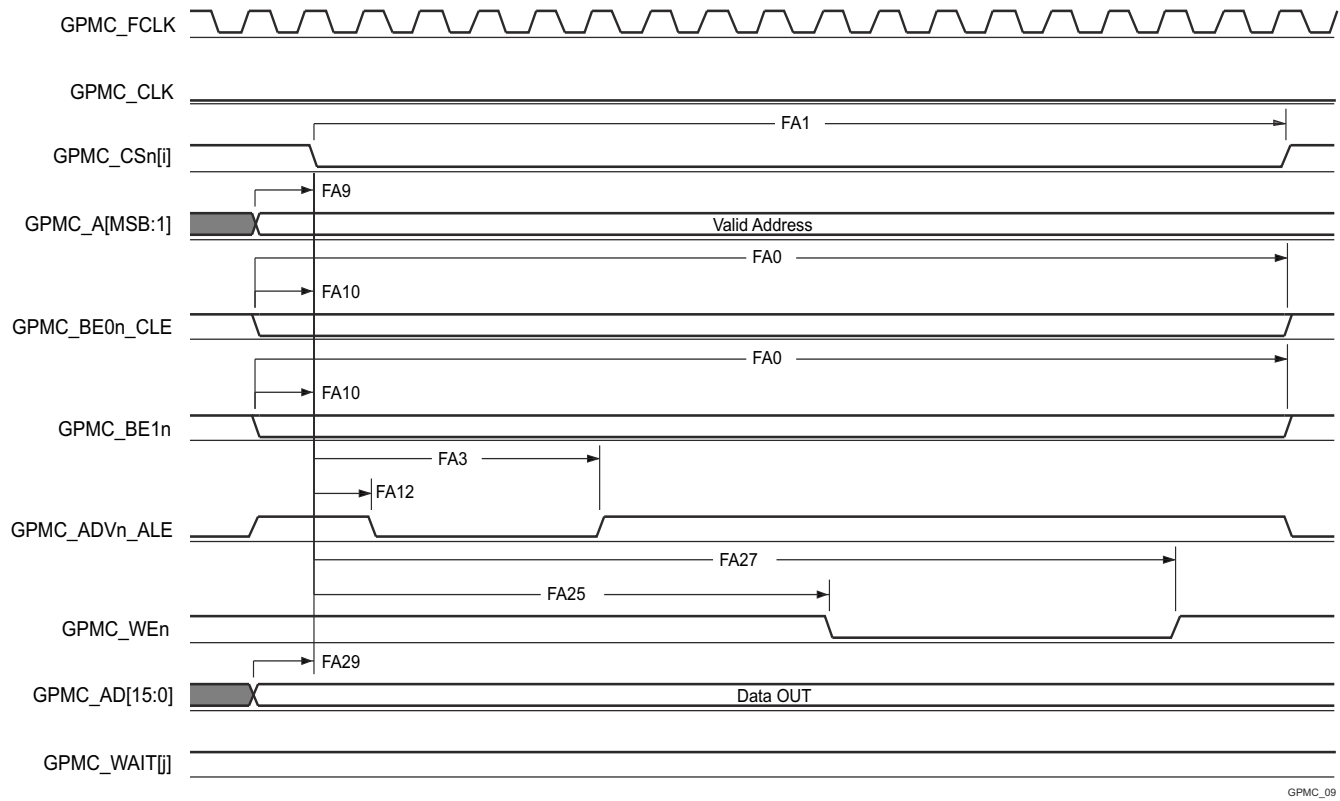
图 6-71. GPMC 和 NOR 闪存 - 异步读取 - 32 位



GPMC_08

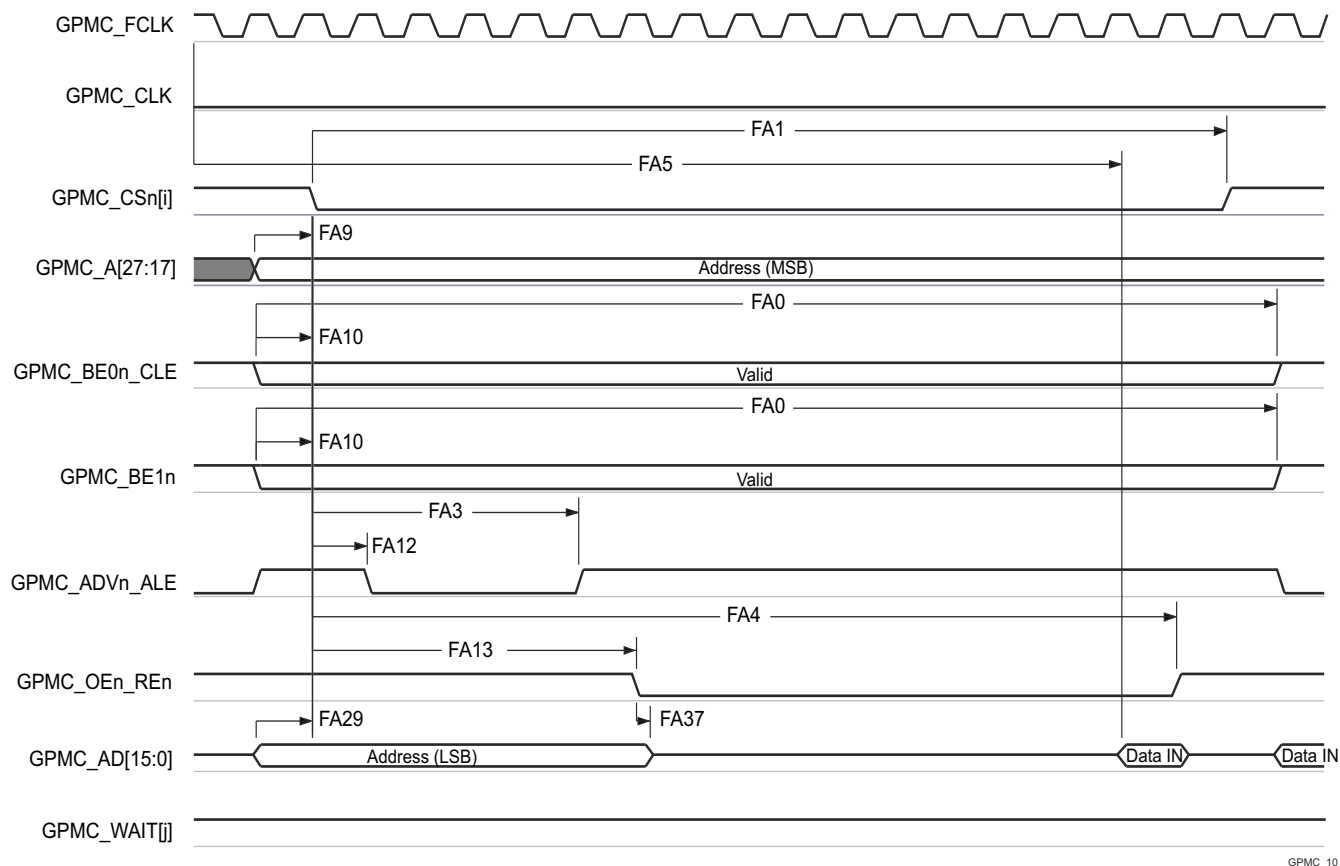
- 在 GPMC_CS[n][i] 中, i 等于 0、1、2 或 3。在 GPMC_WAIT[j] 中, j 等于 0、1、2 或 3。
- FA21 参数说明了在内部对首个输入页面数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 FA21 功能时钟周期结束后, 首个输入页面数据将通过有效功能时钟边沿在内部采样。FA21 计算结果必须存储在 AccessTime 寄存器位字段内。
- FA20 参数说明了在内部对连续输入页面数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。每次访问输入页面数据后, 下一个输入页面数据将在 FA20 功能时钟周期后通过有效功能时钟边沿进行内部采样。FA20 也是连续输入页面数据 (不包括第一个输入页面数据) 的寻址阶段的持续时间。FA20 值必须存储在 PageBurstAccessTime 寄存器位字段中。
- GPMC_FCLK 是内部时钟 (GPMC 功能时钟), 不从外部提供。

图 6-72. GPMC 和 NOR 闪存 - 异步读取 - 页面模式 4x16 位



A. 在 GPMC_CSn[i] 中, i 等于 0、1、2 或 3。在 GPMC_WAIT[j] 中, j 等于 0、1、2 或 3。

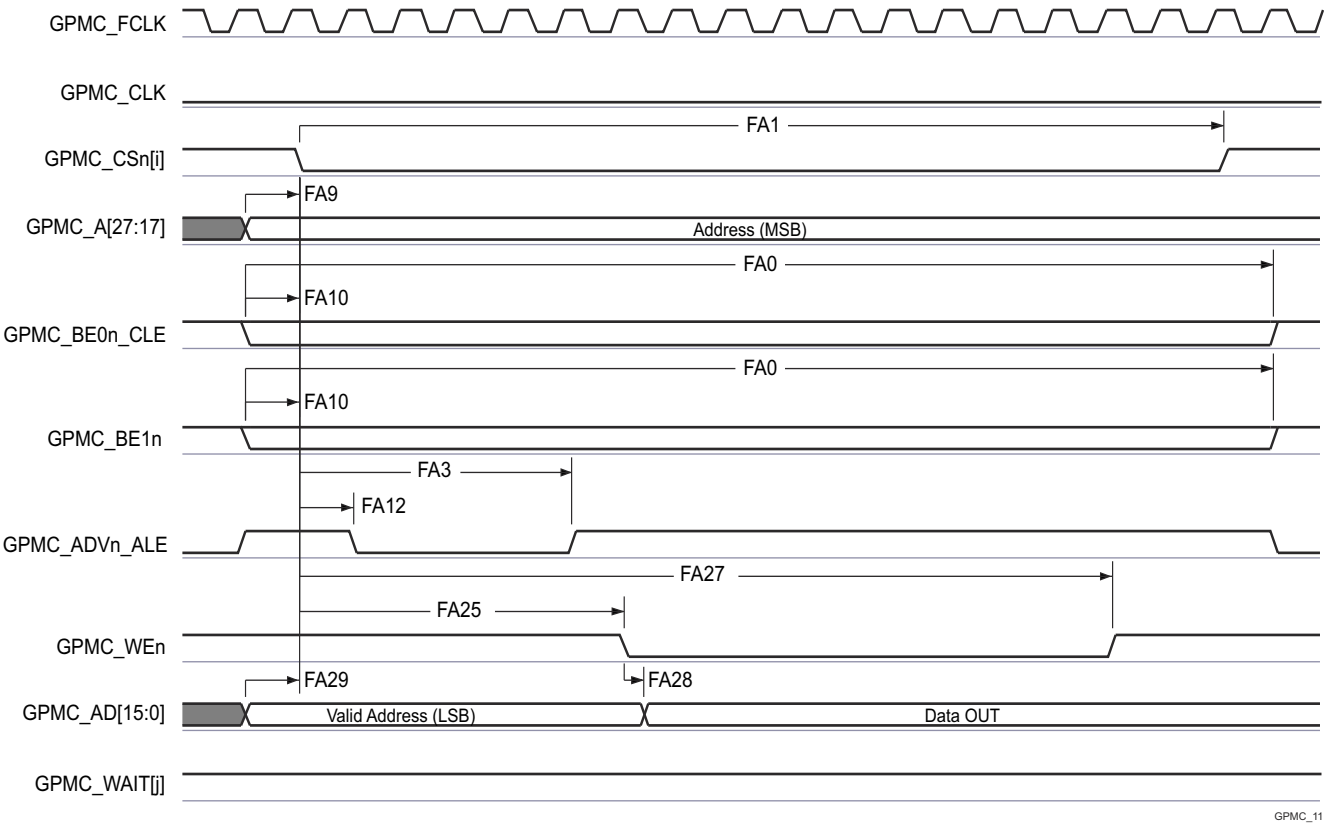
图 6-73. GPMC 和 NOR 闪存 - 异步写入 - 单字



GPMC_10

- 在 GPMC_CS[n] 中, i 等于 0、1、2 或 3。在 GPMC_WAIT[j] 中, j 等于 0、1、2 或 3。
- FA5 参数说明了在内部对输入数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 FA5 功能时钟周期结束后, 输入数据将通过有效功能时钟边沿在内部采样。FA5 值必须存储在 AccessTime 寄存器位字段内。
- GPMC_FCLK 是内部时钟 (GPMC 功能时钟), 不从外部提供。

图 6-74. GPMC 和多路复用 NOR 闪存 - 异步读取 - 单字



GPMC_11

A. 在 GPMC_CS[n] 中, i 等于 0、1、2 或 3。在 GPMC_WAIT[j] 中, j 等于 0、1、2 或 3。

图 6-75. GPMC 和多路复用 NOR 闪存 - 异步写入 - 单字

6.10.5.12.3 GPMC 和 NAND 闪存 - 异步模式

节 6.10.5.12.3.1 和节 6.10.5.12.3.2 假设在建议运行条件和电气特性条件下进行测试 (请参阅图 6-76 至图 6-79) 。

6.10.5.12.3.1 GPMC 和 NAND 闪存时序要求 - 异步模式

编号		模式 ⁽⁴⁾	最小值	最大值	单位
			133MHz ⁽⁵⁾		
GNF12 ⁽¹⁾	t _{acc(d)}	访问时间，输入数据 GPMC_AD[15:0] ⁽³⁾ div_by_1_mode；	J ⁽²⁾		ns

(1) GNF12 参数说明了在内部对输入数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 GNF12 功能时钟周期结束后, 输入数据通过有效功能时钟边沿在内部采样。GNF12 值必须存储在 AccessTime 寄存器位字段内。

(2) $J = \text{AccessTime} \times (\text{TimeParaGranularity} + 1) \times \text{GPMC\_FCLK}^{(3)}$

(3) GPMC_FCLK 是通用存储器控制器内部功能时钟周期 (以 ns 为单位) 。

(4) 对于 div_by_1_mode :

- GPMC_CONFIG1_i 寄存器 : GPMCFCLKDIVIDER = 0h :
- GPMC_CLK 频率 = GPMC_FCLK 频率

(5) 对于 133MHz :

- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 00 = MAIN_PLL0_HSDIV3_CLKOUT

6.10.5.12.3.2 GPMC 和 NAND 闪存开关特性 - 异步模式

编号	参数		模式 ⁽¹⁵⁾	最小值	最大值	单位
				133MHz ⁽¹⁶⁾		
GNF0	t _{w(wenV)}	脉冲持续时间，输出写入使能 GPMC_WEn 有效	div_by_1_mode；	A ⁽¹⁾		ns
GNF1	t _{d(csnV-wenV)}	延迟时间，输出片选 GPMC_CS <i>n</i> [<i>j</i>] ⁽¹³⁾ 有效到输出写入使能 GPMC_WEn 有效	div_by_1_mode；	B ⁽²⁾ -2.55 B ⁽²⁾ +2.65		ns
GNF2	t _{w(cleH-wenV)}	延迟时间，输出低字节使能和命令锁存使能 GPMC_BE0 <i>n</i> _CLE 高电平到输出写入使能 GPMC_WEn 有效	div_by_1_mode；	C ⁽³⁾ -2.55 C ⁽³⁾ +2.65		ns
GNF3	t _{w(wenV-dV)}	延迟时间，输出数据 GPMC_AD[15:0] 有效到输出写入使能 GPMC_WEn 有效	div_by_1_mode；	D ⁽⁴⁾ -2.55 D ⁽⁴⁾ +2.65		ns
GNF4	t _{w(wenIV-dIV)}	延迟时间，输出写入使能 GPMC_WEn 无效到输出数据 GPMC_AD[15:0] 无效	div_by_1_mode；	E ⁽⁵⁾ -2.55 E ⁽⁵⁾ +2.65		ns
GNF5	t _{w(wenIV-cleIV)}	延迟时间，输出写入使能 GPMC_WEn 无效到输出低字节使能和命令锁存使能 GPMC_BE0 <i>n</i> _CLE 无效	div_by_1_mode；	F ⁽⁶⁾ -2.55 F ⁽⁶⁾ +2.65		ns
GNF6	t _{w(wenIV-CS<i>n</i>[<i>j</i>]V)}	延迟时间，输出写入使能 GPMC_WEn 无效到输出片选 GPMC_CS <i>n</i> [<i>j</i>] ⁽¹³⁾ 无效	div_by_1_mode；	G ⁽⁷⁾ -2.55 G ⁽⁷⁾ +2.65		ns
GNF7	t _{w(aleH-wenV)}	延迟时间，输出地址有效和地址锁存使能 GPMC_ADV <i>n</i> _ALE 高电平到输出写入使能 GPMC_WEn 有效	div_by_1_mode；	C ⁽³⁾ -2.55 C ⁽³⁾ +2.65		ns
GNF8	t _{w(wenIV-aleIV)}	延迟时间，输出写入使能 GPMC_WEn 无效到输出地址有效和地址锁存使能 GPMC_ADV <i>n</i> _ALE 无效	div_by_1_mode；	F ⁽⁶⁾ -2.55 F ⁽⁶⁾ +2.65		ns
GNF9	t _{c(wen)}	周期时间，写入	div_by_1_mode；	H ⁽⁸⁾		ns
GNF10	t _{d(csnV-oenV)}	延迟时间，输出片选 GPMC_CS <i>n</i> [<i>j</i>] ⁽¹³⁾ 有效到输出使能 GPMC_OEn_REn 有效	div_by_1_mode；	I ⁽⁹⁾ -2.55 I ⁽⁹⁾ +2.65		ns
GNF13	t _{w(oenV)}	脉冲持续时间，输出使能 GPMC_OEn_REn 有效	div_by_1_mode；	K ⁽¹⁰⁾		ns
GNF14	t _{c(oen)}	周期时间，读取	div_by_1_mode；	L ⁽¹¹⁾		ns
GNF15	t _{w(oenIV-CS<i>n</i>[<i>j</i>]V)}	延迟时间，输出使能 GPMC_OEn_REn 无效到输出片选 GPMC_CS <i>n</i> [<i>j</i>] ⁽¹³⁾ 无效	div_by_1_mode；	M ⁽¹²⁾ -2.55	M ⁽¹²⁾ +2.65	ns

(1) $A = (\text{WEOffTime} - \text{WEOnTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC\_FCLK}^{(14)}$

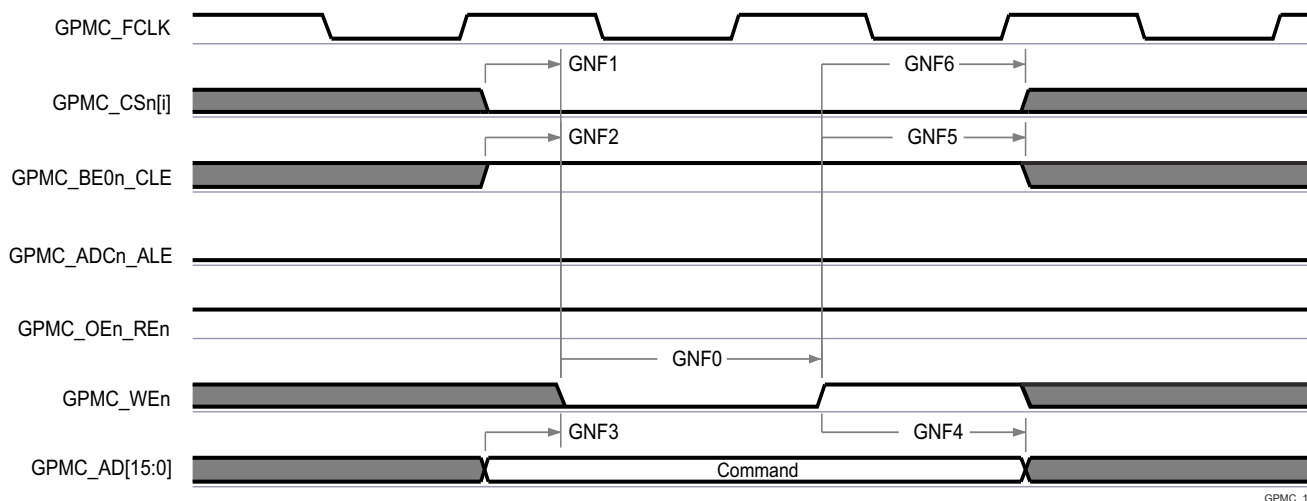
(2) $B = ((\text{WEOnTime} - \text{CSOnTime}) \times (\text{TimeParaGranularity} + 1) + 0.5 \times (\text{WEEExtraDelay} - \text{CSEExtraDelay})) \times \text{GPMC\_FCLK}^{(14)}$

(3) $C = ((\text{WEOnTime} - \text{ADVOnTime}) \times (\text{TimeParaGranularity} + 1) + 0.5 \times (\text{WEEExtraDelay} - \text{ADVExtraDelay})) \times \text{GPMC\_FCLK}^{(14)}$

- (4) $D = (WE_{OnTime} \times (TimeParaGranularity + 1) + 0.5 \times WE_{ExtraDelay}) \times GPMC\_FCLK^{(14)}$
- (5) $E = ((WrCycleTime - WEOffTime) \times (TimeParaGranularity + 1) - 0.5 \times WE_{ExtraDelay}) \times GPMC\_FCLK^{(14)}$
- (6) $F = ((ADV_{WrOffTime} - WEOffTime) \times (TimeParaGranularity + 1) + 0.5 \times (ADV_{ExtraDelay} - WE_{ExtraDelay})) \times GPMC\_FCLK^{(14)}$
- (7) $G = ((CS_{WrOffTime} - WEOffTime) \times (TimeParaGranularity + 1) + 0.5 \times (CS_{ExtraDelay} - WE_{ExtraDelay})) \times GPMC\_FCLK^{(14)}$
- (8) $H = WrCycleTime \times (1 + TimeParaGranularity) \times GPMC\_FCLK^{(14)}$
- (9) $I = ((OE_{OnTime} - CS_{OnTime}) \times (TimeParaGranularity + 1) + 0.5 \times (OE_{ExtraDelay} - CS_{ExtraDelay})) \times GPMC\_FCLK^{(14)}$
- (10) $K = (OE_{OffTime} - OE_{OnTime}) \times (1 + TimeParaGranularity) \times GPMC\_FCLK^{(14)}$
- (11) $L = RdCycleTime \times (1 + TimeParaGranularity) \times GPMC\_FCLK^{(14)}$
- (12) $M = ((CSRdOffTime - OE_{OffTime}) \times (TimeParaGranularity + 1) + 0.5 \times (CS_{ExtraDelay} - OE_{ExtraDelay})) \times GPMC\_FCLK^{(14)}$
- (13) 在 $GPMC\_CSn[i]$ 中, i 等于 0、1、2 或 3。
- (14) $GPMC\_FCLK$ 是通用存储器控制器内部功能时钟周期 (以 ns 为单位)。
- (15) 对于 $div\_by\_1\_mode$:
- $GPMC\_CONFIG1\_i$ 寄存器 : $GPMCFCLKDIVIDER = 0h$:
 - $GPMC\_CLK$ 频率 = $GPMC\_FCLK$ 频率

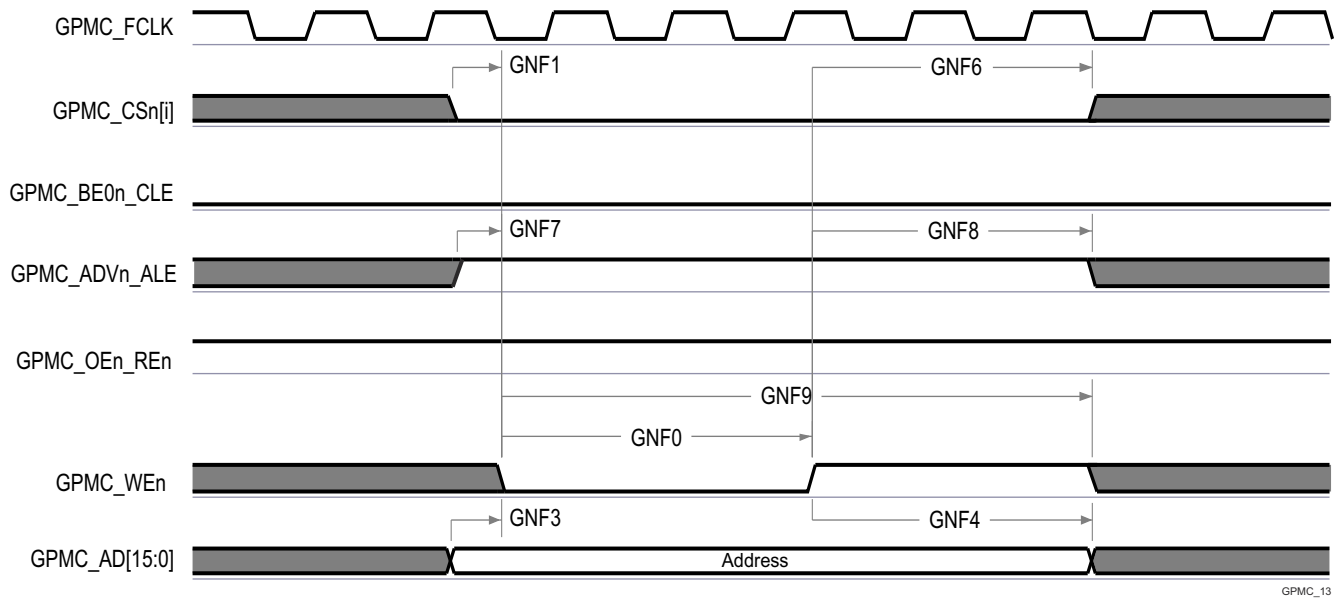
- (16) 对于 133MHz :

- $CTRLMMR\_GPMC\_CLKSEL[1-0] CLK\_SEL = 00 = MAIN\_PLL0\_HSDIV3\_CLKOUT$



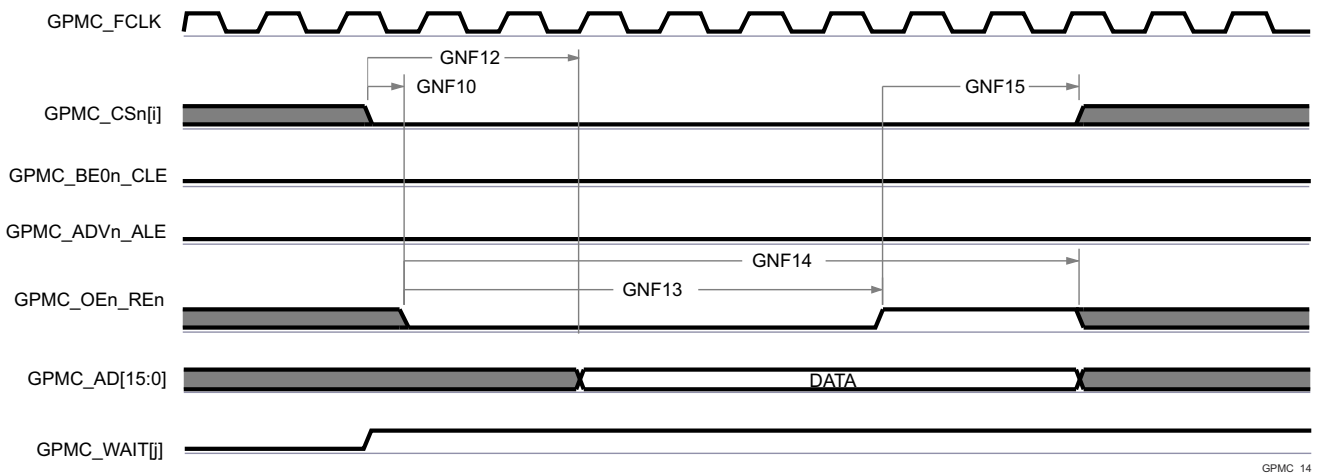
- A. 在 $GPMC\_CSn[i]$ 中, i 等于 0、1、2 或 3。

图 6-76. GPMC 和 NAND 闪存 - 命令锁存周期



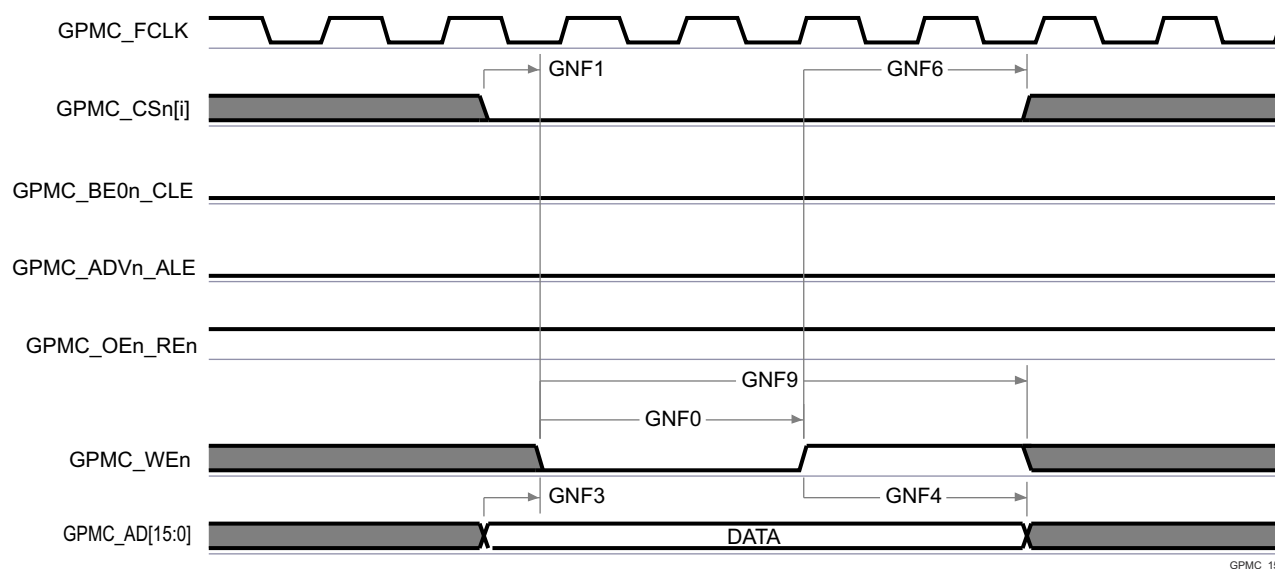
A. 在 GPMC_CS[n][i] 中, i 等于 0、1、2 或 3。

图 6-77. GPMC 和 NAND 闪存 - 地址锁存周期



- A. GNF12 参数说明了在内部对输入数据进行采样所需的时间。该参数以 GPMC 功能时钟周期数表示。从读取周期开始到 GNF12 功能时钟周期结束后, 输入数据将通过有效功能时钟边沿在内部采样。GNF12 值必须存储在 AccessTime 寄存器位字段内。
- B. GPMC_FCLK 是内部时钟 (GPMC 功能时钟), 不从外部提供。
- C. 在 GPMC_CS[n][i] 中, i 等于 0、1、2 或 3。在 GPMC_WAIT[j] 中, j 等于 0、1、2 或 3。

图 6-78. GPMC 和 NAND 闪存 - 数据读取周期



GPMC_15

A. 在 GPMC_CS[n] 中, i 等于 0、1、2 或 3。

图 6-79. GPMC 和 NAND 闪存 - 数据写入周期

有关更多信息, 请参阅器件 TRM 的外设一章中的增强型脉宽调制 (EPWM) 模块一节。

6.10.5.12.4 GPMC0 IOSET

表 6-53 说明了与 GPMC0 搭配使用的具体信号分组 (IOSET)。

表 6-53. GPMC0 IOSET

信号	IOSET1		IOSET2	
	焊球名称	MUX	焊球名称	MUX
GPMC0_WAIT2	MDIO0_MDC	8	MDIO0_MDC	8
GPMC0_BE1n	PRG1_PRU0_GPO0	8	RGMII6_RD1	8
GPMC0_WAIT0	PRG1_PRU0_GPO1	8	PRG1_PRU0_GPO1	8
GPMC0_WAIT1	PRG1_PRU0_GPO2	8	PRG1_PRU0_GPO2	8
GPMC0_DIR	PRG1_PRU0_GPO3	8	PRG1_PRU0_GPO3	8
GPMC0_CS2n	PRG1_PRU0_GPO4	8	PRG1_PRU0_GPO4	8
GPMC0_WEn	PRG1_PRU0_GPO5	8	PRG1_PRU0_GPO5	8
GPMC0_CS3n	PRG1_PRU0_GPO6	8	PRG1_PRU0_GPO6	8
GPMC0_OEn_REn	PRG1_PRU0_GPO8	8	PRG1_PRU0_GPO8	8
GPMC0_ADVn_ALE	PRG1_PRU0_GPO9	8	PRG1_PRU0_GPO9	8
GPMC0_BE0n_CLE	PRG1_PRU0_GPO10	8	PRG1_PRU0_GPO10	8
GPMC0_WPn	PRG1_PRU1_GPO5	8	PRG1_PRU1_GPO5	8
GPMC0_CS1n	PRG1_PRU1_GPO8	8	PRG1_PRU1_GPO8	8
GPMC0_CS0n	PRG1_PRU1_GPO9	8	PRG1_PRU1_GPO9	8
GPMC0_CLKOUT	PRG1_PRU1_GPO10	8	PRG1_PRU1_GPO10	8
GPMC0_AD0	PRG0_PRU0_GPO5	8	PRG0_PRU0_GPO5	8
GPMC0_AD1	PRG0_PRU0_GPO7	8	PRG0_PRU0_GPO7	8
GPMC0_AD2	PRG0_PRU0_GPO8	8	PRG0_PRU0_GPO8	8
GPMC0_AD3	PRG0_PRU0_GPO9	8	PRG0_PRU0_GPO9	8
GPMC0_AD4	PRG0_PRU0_GPO10	8	PRG0_PRU0_GPO10	8
GPMC0_AD5	PRG0_PRU0_GPO17	8	PRG0_PRU0_GPO17	8

表 6-53. GPMC0 IOSET (续)

信号	IOSET1		IOSET2	
	焊球名称	MUX	焊球名称	MUX
GPMC0_AD6	PRG0_PRU0_GPO18	8	PRG0_PRU0_GPO18	8
GPMC0_AD7	PRG0_PRU0_GPO19	8	PRG0_PRU0_GPO19	8
GPMC0_AD8	PRG0_PRU1_GPO5	8	PRG0_PRU1_GPO5	8
GPMC0_AD9	PRG0_PRU1_GPO7	8	PRG0_PRU1_GPO7	8
GPMC0_AD10	PRG0_PRU1_GPO8	8	PRG0_PRU1_GPO8	8
GPMC0_AD11	PRG0_PRU1_GPO9	8	PRG0_PRU1_GPO9	8
GPMC0_AD12	PRG0_PRU1_GPO10	8	PRG0_PRU1_GPO10	8
GPMC0_AD13	PRG0_PRU1_GPO17	8	PRG0_PRU1_GPO17	8
GPMC0_AD14	PRG0_PRU1_GPO18	8	PRG0_PRU1_GPO18	8
GPMC0_AD15	PRG0_PRU1_GPO19	8	PRG0_PRU1_GPO19	8
GPMC0_A0	PRG0_MDIO0_MDC	8	PRG0_MDIO0_MDC	8
GPMC0_A1	RGMII5_TX_CTL	8	RGMII5_TX_CTL	8
GPMC0_A2	RGMII5_RX_CTL	8	RGMII5_RX_CTL	8
GPMC0_A3	RGMII5_TD3	8	RGMII5_TD3	8
GPMC0_A4	RGMII5_TD2	8	RGMII5_TD2	8
GPMC0_A5	RGMII5_TD1	8	RGMII5_TD1	8
GPMC0_A6	RGMII5_TD0	8	RGMII5_TD0	8
GPMC0_A7	RGMII5_TXC	8	RGMII5_TXC	8
GPMC0_A8	RGMII5_RXC	8	RGMII5_RXC	8
GPMC0_A9	RGMII5_RD3	8	RGMII5_RD3	8
GPMC0_A10	RGMII5_RD2	8	RGMII5_RD2	8
GPMC0_A11	RGMII5_RD1	8	RGMII5_RD1	8
GPMC0_A12	RGMII5_RD0	8	RGMII5_RD0	8
GPMC0_A13	RGMII6_TX_CTL	8	RGMII6_TX_CTL	8
GPMC0_A14	RGMII6_RX_CTL	8	RGMII6_RX_CTL	8
GPMC0_A15	RGMII6_TD3	8	RGMII6_TD3	8
GPMC0_A16	RGMII6_TD2	8	RGMII6_TD2	8
GPMC0_A17	RGMII6_TD1	8	RGMII6_TD1	8
GPMC0_A18	RGMII6_TD0	8	RGMII6_TD0	8
GPMC0_A19	RGMII6_TXC	8	RGMII6_TXC	8
GPMC0_A20	RGMII6_RXC	8	RGMII6_RXC	8
GPMC0_A21	RGMII6_RD3	8	RGMII6_RD3	8
GPMC0_A22	RGMII6_RD2	8	RGMII6_RD2	8
GPMC0_A23	PRG0_PRU1_GPO2	8	PRG0_PRU1_GPO2	8
GPMC0_A24	PRG0_PRU1_GPO4	8	PRG0_PRU1_GPO4	8
GPMC0_A25	PRG0_PRU1_GPO6	8	PRG0_PRU1_GPO6	8
GPMC0_A26	PRG0_PRU1_GPO11	8	PRG0_PRU1_GPO11	8
GPMC0_A27	PRG0_MDIO0_MDIO	8	PRG0_MDIO0_MDIO	8
GPMC0_WAIT3	MDIO0_MDIO	8	MDIO0_MDIO	8

6.10.5.13 HyperBus

有关器件 HyperBus 的特性和其他说明的更多详细信息，请参阅节 5.3 “信号说明” 和节 7 “详细说明” 中的相应部分。

节 6.10.5.13.1、节 6.10.5.13.2 和节 6.10.5.13.3 假设在建议运行条件和电气特性条件下进行测试 (请参阅图 6-80、图 6-81 和图 6-82)。

表 6-54 表示 HyperBus 时序条件。

表 6-54. HyperBus 时序条件

参数	说明	最小值	最大值	单位
输入条件				
SR _I	输入压摆率	2	5	V/ns
输出条件				
C _L	输出负载电容	1.5	10	pF
PCB 连接要求				
t _d (Trace Mismatch Delay)	布线之间的传播延迟不匹配	CK 和 CKn ; RWDS 和 DQ[7:0]	10	ps
		CK/CKn 和 RWDS ; CK/CKn 和 CSn	200	ps
		CK/CKn 和 DQ[7:0]	35	ps
		RESETn 和 CSn[1:0]	340	ps

6.10.5.13.1 HyperBus 的时序要求

编号	参数	说明	模式	最小值	最大值	单位
D1	t _w (resetnL)	脉冲持续时间, HYPERBUS0_RESETn 低电平		200		ns
D2	t _w (csnL)	脉冲持续时间, HYPERBUS0_CS[1:0] 低电平			1000	ns
D3	t _d (resetnH-csnL)	延迟时间, HYPERBUS0_RESETn 上升沿到 HYPERBUS0_CS[1:0] 下降沿		200.34		ns
D4	t _d (csnL-rwdsL)	延迟时间, HYPERBUS0_CS[1:0] 下降沿到 HYPERBUS0_RWDS 下降沿	166MHz		186	ns
			100MHz		182	ns
D5	t _{skn} (rwdsV-dV)	输入偏斜, HYPERBUS0_RWDS 转换到 HYPERBUS0_DQ[7:0] 有效	166MHz	-0.46	0.46	ns
LFD5			100MHz	-0.81	0.81	ns

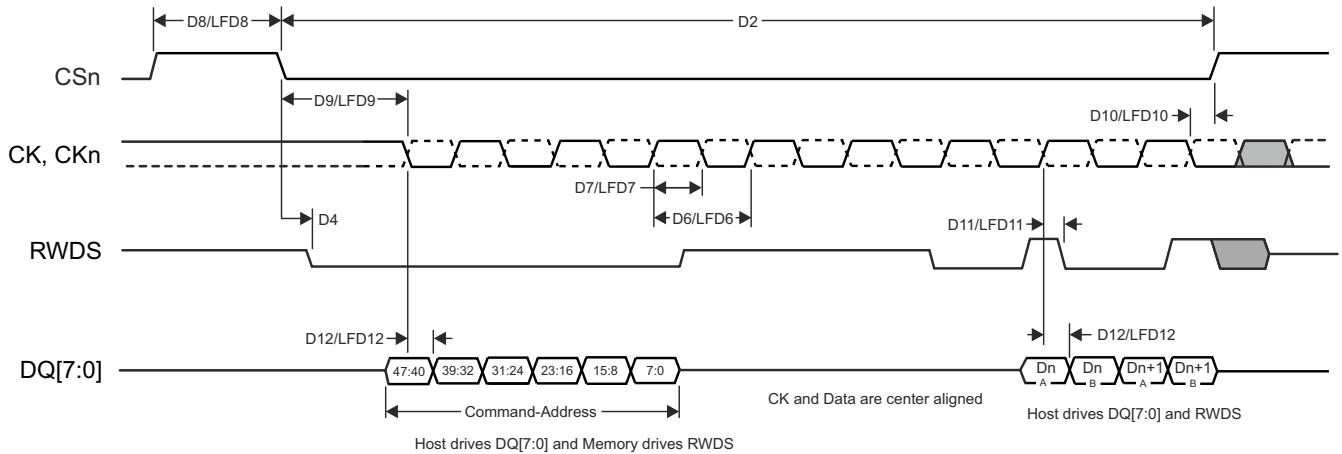
6.10.5.13.2 HyperBus 166MHz 开关特性

编号	参数	说明	最小值	最大值	单位
D6	t _c (ck/ckn)	周期时间, HYPERBUS0_CK/CKn	6		ns
D7	t _w (ck/ckn)	脉冲持续时间, HYPERBUS0_CK/CKn 高电平或低电平	2.85		ns
D8	t _w (csnH)	脉冲持续时间, 在操作之间 HYPERBUS0_CS[1:0] 无效	6		ns
D9	t _d (csnL-ckH/cknL)	延迟时间, HYPERBUS0_CS[1:0] 下降沿到第一个 HYPERBUS0_CK 上升沿 (HYPERBUS0_Ckn 下降沿)		-3.28	ns
D10	t _d (ckL/cknH-csnH)	延迟时间, 最后一个 HYPERBUS0_CK 下降沿 (HYPERBUS0_Ckn 上升沿) 到 HYPERBUS0_CS[1:0] 上升	0.28		ns
D11	t _d (ckV/cknV-rwdsV)	延迟时间, HYPERBUS0_CK/CKn 转换到 HYPERBUS0_RWDS 有效	0.68	2.14	ns
D12	t _d (ckV-dV)	延迟时间, HYPERBUS0_CK/CKn 转换到 HYPERBUS0_DQ[7:0] 有效	0.71	2.3	ns

6.10.5.13.3 HyperBus 100MHz 开关特性

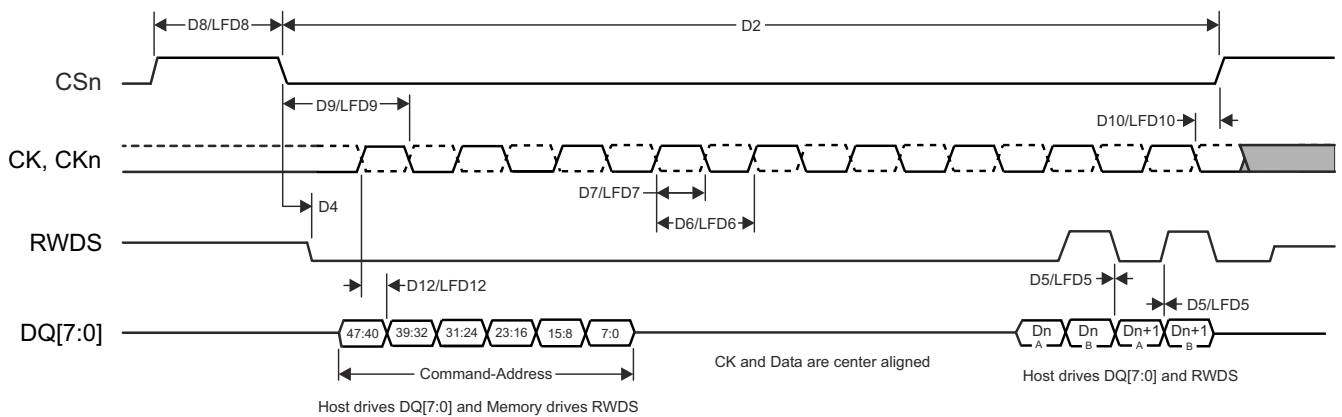
编号	参数	说明	最小值	最大值	单位
LFD6	t _c (ck/ckn)	周期时间, HYPERBUS0_CK/CKn	10		ns
LFD7	t _w (ck/ckn)	脉冲持续时间, HYPERBUS0_CK/CKn 高电平或低电平	4.88		ns

编号	参数	说明	最小值	最大值	单位
LFD8	$t_{w(csnH)}$	脉冲持续时间, 在操作之间 HYPERBUS0_CS _n [1:0] 无效	10		ns
LFD9	$t_{d(csnL-ckH/cknL)}$	延迟时间, HYPERBUS0_CS _n [1:0] 下降沿到第一个 HYPERBUS0_CK 上升沿 (HYPERBUS0_CK _n 下降沿)		-3.33	ns
LFD10	$t_{d(ckL/cknH-csnH)}$	延迟时间, 最后一个 HYPERBUS0_CK 下降沿 (HYPERBUS0_Ck _n 上升沿) 到 HYPERBUS0_CS _n [1:0] 上升	0.33		ns
LFD11	$t_{d(ckV/cknV-rwdsV)}$	延迟时间, HYPERBUS0_CK/CK _n 转换到 HYPERBUS0_RWDS 有效	1.13	3.68	ns
LFD12	$t_{d(ckV/cknV-dV)}$	延迟时间, HYPERBUS0_CK/CK _n 转换到 HYPERBUS0_DQ[7:0] 有效	1.16	3.84	ns



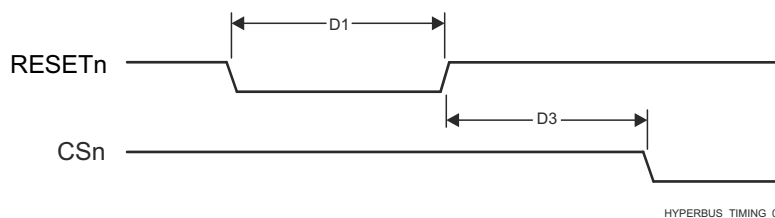
HYPERBUS_TIMING_01

图 6-80. HyperBus 时序图 - 发送器模式



HYPERBUS_TIMING_02

图 6-81. HyperBus 时序图 - 接收器模式



HYPERBUS_TIMING_03

图 6-82. HyperBus 时序图 - 复位

有关更多信息，请参阅器件 TRM 的外设一章中的 *HyperBus* 接口一节。

6.10.5.14 I2C

IC 间模块符合 Philips I2C 总线规范 2.1 版。请参阅该规范，了解除上升/下降时间参数外的所有时序参数的详细信息。

Philips I2C 规范上升/下降时序仅适用于 MCU_I2C0、WKUP_I2C0 和 I2C[0-1]。I2C 的所有其他实例使用标准 LVCMOS 缓冲器来仿真开漏缓冲器，其上升/下降时间应在使用器件 IBIS 模型时进行参考。

有关器件内部集成电路的特性和其他说明的更多详细信息，请参阅节 5.3 “信号说明”和节 7 “详细说明”中的相应部分。

6.10.5.15 I3C

有关器件内部集成电路的特性和其他说明的更多详细信息，请参阅节 5.3 “信号说明”和节 7 “详细说明”中的相应部分。

表 6-55、表 6-56、表 6-57、图 6-83、表 6-59、图 6-84 和 图 6-85 假设在建议运行条件和电气特性条件下进行测试。

表 6-55. I3C 时序条件

参数		最小值	最大值	单位
输入条件				
SR _I	输入压摆率	0.2276	5	V/ns
输出条件				
C _L	输出负载电容		50	pF

表 6-56. I3C 开漏时序要求

请参阅图 6-83

编号	参数	模式	最小值	最大值	单位
OD4	t _{su(sdaV-sclH)}	建立时间，SDA 有效到 SCL 下降沿	主器件	3	ns

表 6-57. I3C 开漏开关特性

请参阅图 6-83

编号	参数	模式	最小值	最大值	单位
OD1	t _{w(sclL_od)}	脉冲持续时间，SCL 低电平的时间	主器件	200	ns
	t _{w(sclL_od_dig)}			t _{w(sclL_od)} + t _{f(sda_od), min}	ns
OD2	t _{w(sclH_od)}	脉冲持续时间，SCL 高电平的时间	主器件	41	ns
	t _{w(sclH_od_dig)}			t _{w(sclH_od)} + t _{f(scl)}	ns
OD3	t _{f(sda_od)}	下降时间，SDA	主器件	t _{f(scl)}	12 ns
OD5	t _{d(sclL-START)}	延迟时间，启动 (S) 条件后的 SCL 低电平	主器件，ENTAS0	38.4	1000 ns
			主器件，ENTAS1	38.4	100000 ns
			主器件，ENTAS2	38.4	2000000 ns
			主器件，ENTAS3	38.4	50000000 ns
OD6	t _{d(sclH-STOP)}	延迟时间，停止 (P) 条件前的 SCL 高电平	主器件	t _{d(sclV), min} / 2	ns
OD7	t _{w(mmoverlap)}	脉冲持续时间，切换期间当前主器件到次级主器件重叠时间	主器件	t _{w(sclL_od_dig)}	ns
OD8	t _{w(aval)}	脉冲持续时间，总线可用条件	主器件	1000	ns
OD9	t _{w(idle)}	脉冲持续时间，总线空闲条件	主器件	1000000	ns
OD10	t _{w(mmlock)}	脉冲持续时间，新主器件未将 SDA 驱动为低电平	主器件	t _{w(aval)}	ns

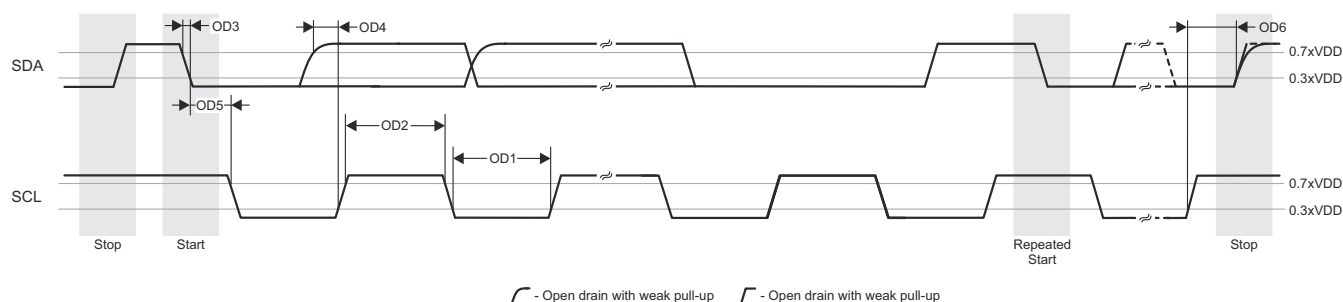


图 6-83. I3C 开漏时序要求

表 6-58. I3C 推挽时序要求 - SDR 和 HDR-DDR 模式

图 6-84 和图 6-85

编号	参数	模式	最小值	最大值	单位
D8	$t_{h(sclV-sdaV)}$	保持时间, 在 SCL 切换之后 SDA 有效	$t_{r(scl)} + 3$	$t_{f(scl)} + 3$	ns
D9	$t_{su(sdaV-sclV)}$	建立时间, 在 SCL 切换之前 SDA 有效	3		ns

表 6-59. I3C 推挽开关特性 - SDR 和 HDR-DDR 模式

请参阅图 6-85、图 6-84

编号	参数	模式	最小值	最大值	单位
D1	$t_{c(scl)}$	周期时间, SCL	80	100000	ns
D2	$t_{w(sclL)}$	脉冲持续时间, SCL 低电平的时间	24		ns
	$t_{w(sclL\_dig)}$		32		ns
D4	$t_{w(sclH)}$	脉冲持续时间, SCL 高电平的时间	24		ns
	$t_{w(sclH\_dig)}$		32		ns
D6	$t_{r(scl)}$	上升时间, SCL	$150 \times 1 / t_{c(scl)}$	60	ns
D7	$t_{f(scl)}$	下降时间, SCL	$150 \times 1 / t_{c(scl)}$	60	ns
D10	$t_{d(Sr-sclV)}$	延迟时间, 重复启动 (Sr) 后 SCL 有效	$t_{d(sclV-START), \min}$		ns
D11	$t_{d(sclV-Sr)}$	延迟时间, SCL 有效后重复启动 (Sr)	$t_{d(sclV-START), \min} / 2$		ns

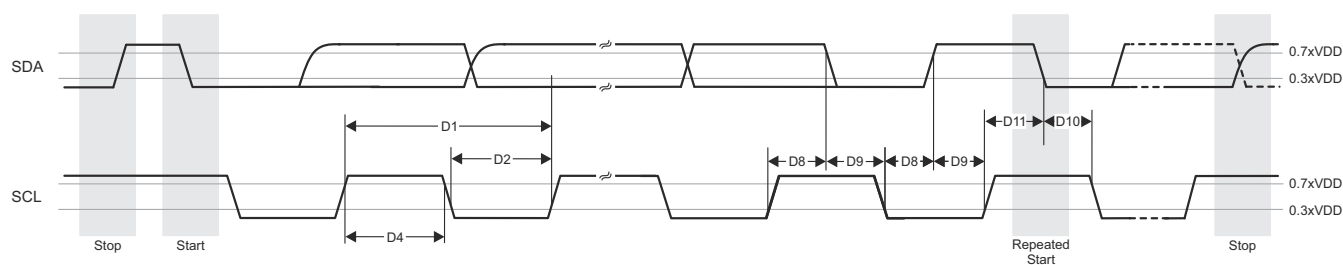


图 6-84. I3C 推挽时序要求 - HDR-DDR 模式

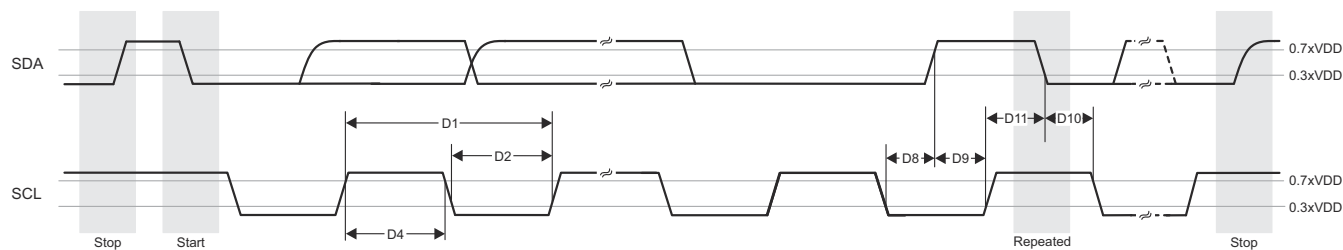


图 6-85. I3C 推挽时序要求 - SDR 模式

6.10.5.16 MCAN

有关器件控制器局域网接口的特性和其他说明的更多详细信息，请参阅节 5.3 “信号说明” 和节 7 “详细说明” 中的相应部分。

备注

器件具有多个 MCAN 模块。MCANn 是应用于 MCAN 信号名称的通用前缀，其中 n 代表特定的 MCAN 模块。

表 6-60. MCAN 时序条件

参数		最小值	最大值	单位
输入条件				
SR _i	输入压摆率	2	15	V/ns
输出条件				
C _L	输出负载电容	5	20	pF

表 6-61. MCAN 开关特性

编号	参数		最小值	最大值	单位
M1	t _d (MCAN_TX)	延迟时间，发送移位寄存器到 MCANn_TX 引脚 ⁽¹⁾		10	ns
M2	t _d (MCAN_RX)	延迟时间，MCANn_RX 引脚到接收移位寄存器 ⁽¹⁾		10	ns

(1) n 在 MCANn_* 中为 [0:13]，在 MCU_MCANn_* 中为 [0:1]

有关更多信息，请参阅器件 TRM 的外设一章中的 控制器局域网 (MCAN) 一节。

6.10.5.17 MCASP

有关器件多通道音频串行端口的特性和其他说明的更多详细信息，请参阅节 5.3 “信号说明”和节 7 “详细说明”中的相应部分。

表 6-63 和图 6-86 说明了 MCASP0 至 MCASP11 的时序要求。

表 6-62 表示 MCASP 时序条件。

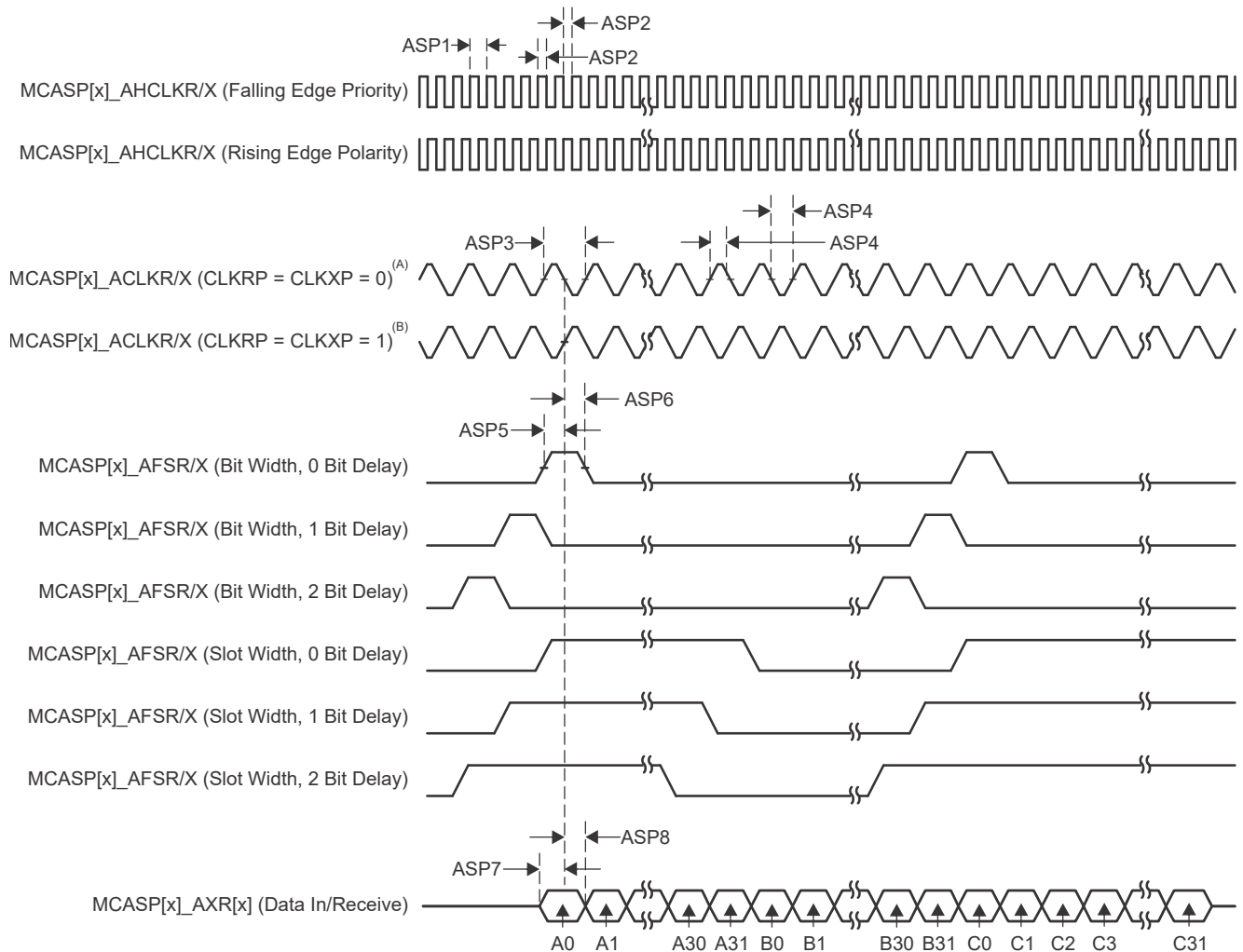
表 6-62. MCASP 时序条件

参数		最小值	最大值	单位
输入条件				
SR_I	输入压摆率	0.7	5	V/ns
输出条件				
C_L	输出负载电容	1	10	pF
PCB 连接要求				
$t_d(\text{Trace Delay})$	每条引线的传播延迟	100	1100	ps
$t_d(\text{Trace Mismatch Delay})$	所有布线之间的传播延迟不匹配		100	ps

表 6-63. MCASP 时序要求

编号			模式 ⁽¹⁾	最小值	最大值	单位
ASP1	$t_c(\text{AHCLKRX})$	周期时间, MCASP[x]_AHCLKR/X		15.26		ns
ASP2	$t_w(\text{AHCLKRX})$	脉冲持续时间, MCASP[x]_AHCLKR/X 高电平或低电平		0.5P ⁽²⁾ - 1.53		ns
ASP3	$t_c(\text{ACLKRX})$	周期时间, MCASP[x]_ACLKR/X		15.26		ns
ASP4	$t_w(\text{ACLKRX})$	脉冲持续时间, MCASP[x]_ACLKR/X 高电平或低电平		0.5R ⁽³⁾ - 1.53		ns
ASP5	$t_{su}(\text{AFSRX-ACLKRX})$	建立时间, 在 MCASP[x]_ACLKR/X 之前 MCASP[x]_AFSR/X 输入有效	ACLKR/X 内部	12.3		ns
			ACLKR/X 外部输入/输出	4		
ASP6	$t_h(\text{ACLKRX-AFSRX})$	保持时间, 在 MCASP[x]_ACLKR/X 之后 MCASP[x]_AFSR/X 输入有效	ACLKR/X 内部	-1		ns
			ACLKR/X 外部输入/输出	1.6		
ASP7	$t_{su}(\text{AXR-ACLKRX})$	建立时间, 在 MCASP[x]_ACLKR/X 之前 MCASP[x]_AXR 输入有效	ACLKR/X 内部	12.3		ns
			ACLKR/X 外部输入/输出	4		
ASP8	$t_h(\text{ACLKRX-AXR})$	保持时间, 在 MCASP[x]_ACLKR/X 之后 MCASP[x]_AXR 输入有效	ACLKR/X 内部	-1		ns
			ACLKR/X 外部输入/输出	1.6		

- (1) ACLKR 内部: ACLKRCTL.CLKRM=1, PDIR.ACLKR = 1
 ACLKR 外部输入: ACLKRCTL.CLKRM=0, PDIR.ACLKR=0
 ACLKR 外部输出: ACLKRCTL.CLKRM=0, PDIR.ACLKR=1
 ACLKX 外部: ACLKXCTL.CLKXM=1, PDIR.ACLKX = 1
 ACLKX 外部输入: ACLKXCTL.CLKXM=0, PDIR.ACLKX=0
 ACLKX 外部输出: ACLKXCTL.CLKXM=0, PDIR.ACLKX=1
- (2) P = AHCLKR/X 周期 (以 ns 为单位)。
- (3) R = ACLKR/X 周期 (以 ns 为单位)。



- A. 当 $CLKRP = CLKXP = 0$ 时，MCASP 发送器配置为上升沿（移出数据），MCASP 接收器配置为下降沿（移入数据）。
- B. 当 $CLKRP = CLKXP = 1$ 时，MCASP 发送器配置为下降沿（移出数据），MCASP 接收器配置为上升沿（移入数据）。

图 6-86. MCASP 输入时序

表 6-64 和图 6-87 说明了 MCASP0 至 MCASP11 在建议运行条件下的开关特性。

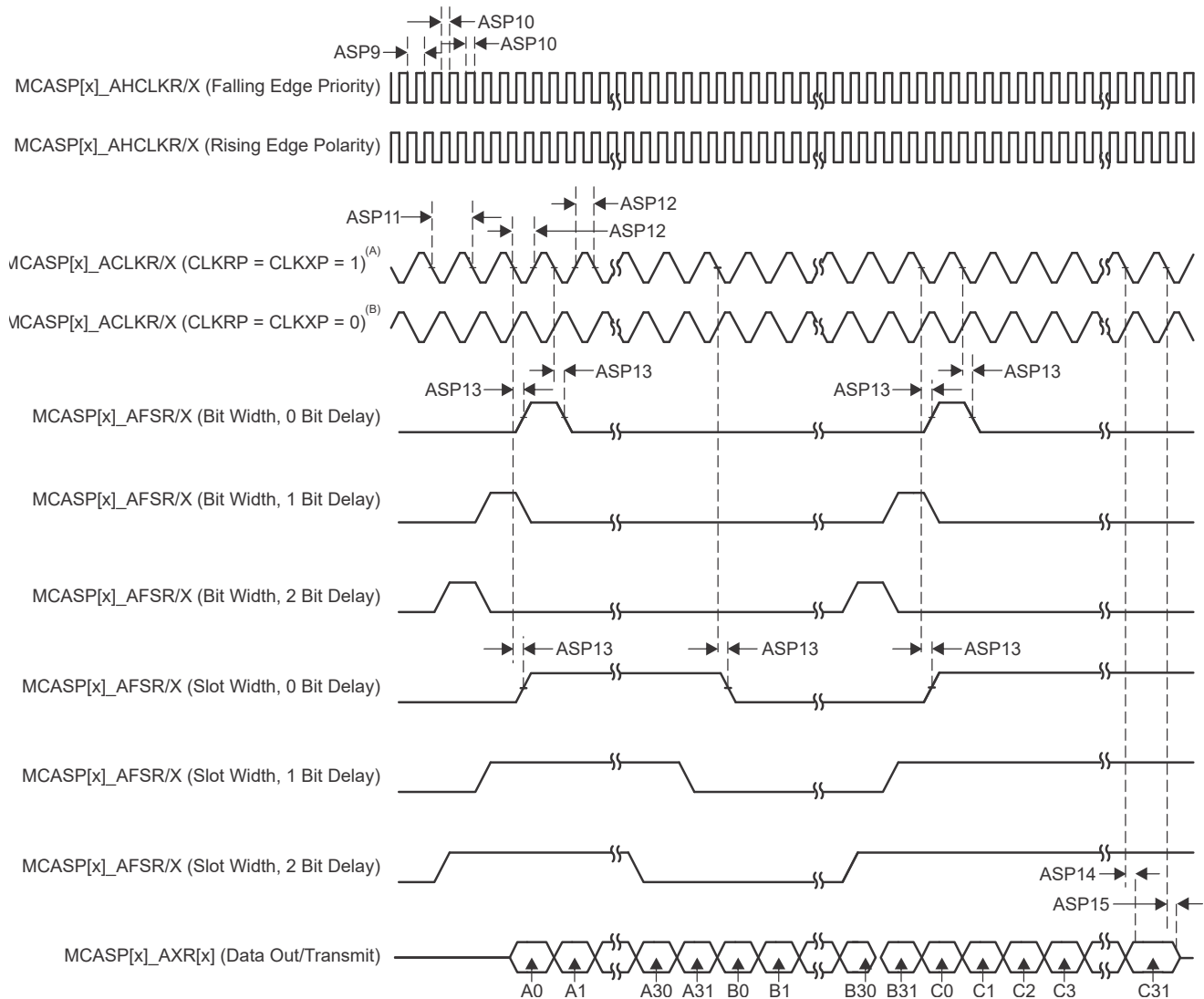
表 6-64. MCASP 开关特性

编号	参数	说明	模式 ⁽¹⁾	最小值	最大值	单位
ASP9	$t_{c(AHCLKRX)}$	周期时间, MCASP[x]_AHCLKR/X		20		ns
ASP10	$t_{w(AHCLKRX)}$	脉冲持续时间, MCASP[x]_AHCLKR/X 高电平或低电平		0.5P ⁽²⁾ - 2		ns
ASP11	$t_{c(ACLKRX)}$	周期时间, MCASP[x]_ACLKR/X		20		ns
ASP12	$t_{w(ACLKRX)}$	脉冲持续时间, MCASP[x]_ACLKR/X 高电平或低电平		0.5R ⁽³⁾ - 2		ns
ASP13	$t_d(ACLKRX-AFSRX)$	延迟时间, MCASP[x]_ACLKR/X 发送边沿到 MCASP[x]_AFSR/X 输出有效	ACLKR/X 内部	0	7.25	ns
			ACLKR/X 外部输入/输出	-15.28	12.84	
ASP14	$t_d(ACLKX-AXR)$	延迟时间, MCASP[x]_ACLKX 发送边沿到 MCASP[x]_AXR 输出有效	ACLKR/X 内部	0	7.25	ns
			ACLKR/X 外部输入/输出	-15.28	12.84	
ASP15	$t_{dis(ACLKX-AXR)}$	禁用时间, MCASP[x]_ACLKX 发送边沿到 MCASP[x]_AXR 输出高阻抗	ACLKR/X 内部	0	7.25	ns
			ACLKR/X 外部输入/输出	-14.9	14	

- (1) ACLKR 内部: ACLKRCTL.CLKRM=1, PDIR.ACLKR = 1
 ACLKR 外部输入: ACLKRCTL.CLKRM=0, PDIR.ACLKR=0
 ACLKR 外部输出: ACLKRCTL.CLKRM=0, PDIR.ACLKR=1
 ACLKX 外部: ACLKXCTL.CLKXM=1, PDIR.ACLKX = 1
 ACLKX 外部输入: ACLKXCTL.CLKXM=0, PDIR.ACLKX=0
 ACLKX 外部输出: ACLKXCTL.CLKXM=0, PDIR.ACLKX=1

(2) P = AHCLKR/X 周期 (以 ns 为单位)。

(3) R = ACLKR/X 周期 (以 ns 为单位)。



- A. 当 $\text{CLKRP} = \text{CLKXP} = 1$ 时，MCASP 发送器配置为下降沿（移出数据），MCASP 接收器配置为上升沿（移入数据）。
- B. 当 $\text{CLKRP} = \text{CLKXP} = 0$ 时，MCASP 发送器配置为上升沿（移出数据），MCASP 接收器配置为下降沿（移入数据）。

图 6-87. MCASP 输出时序

有关更多信息，请参阅器件 TRM 的外设一章中的多通道音频串行端口 (MCASP) 一节。

6.10.5.18 MCSPI

有关器件串行端口接口的特性和其他说明的更多详细信息，请参阅节 5.3 “信号说明”和节 7 “详细说明”中的相应部分。

有关更多信息，请参阅器件 TRM 的外设一章中的多通道串行外设接口 (MCSPI) 一节。

表 6-65 表示 MCSPI 时序条件。

备注

本节中提供的 IO 时序适用于 MCU_SPI0 和 MCU_SPI1 的所有信号组合。然而，只有当使用单个 IOSET 内的信号时，时序才对 MCU_SPI0 和 MCU_SPI1 有效。表 6-70 和表 6-71 表对 IOSET 进行了定义。

表 6-65. MCSPI 时序条件

参数		最小值	最大值	单位	
输入条件					
SR _I	输入压摆率	2	8.5	V/ns	
输出条件					
C _L	输出负载电容	CLK	6	24	pF
		D[x]、CSi	6	12	pF

6.10.5.18.1 MCSPI — 主模式

表 6-66、图 6-88、表 6-67 和图 6-89 说明了 MCSPI 的时序要求和开关特性 - 主模式。

表 6-66. MCSPI 时序要求 - 主模式

请参阅图 6-88

编号			最小值	最大值	单位
SM4	t _{su} (misoV-spickV)	建立时间，在 SPI_CLK 有效边沿之前 SPI_D[x] 有效	2.8		ns
SM5	t _h (spickV-misoV)	保持时间，在 SPI_CLK 有效边沿之后 SPI_D[x] 有效	3		ns

表 6-67. MCSPI 开关特性 - 主模式

请参阅图 6-89

编号	参数	模式	最小值	最大值	单位
SM1	t _c (spick)	周期时间，SPI_CLK	20		ns
SM2	t _w (spickL)	脉冲持续时间，SPI_CLK 低电平	0.5P - 1 ⁽¹⁾		ns
SM3	t _w (spickH)	脉冲持续时间，SPI_CLK 高电平	0.5P - 1 ⁽¹⁾		ns
SM6	t _d (spickV-simoV)	延迟时间，SPI_CLK 有效边沿到 SPI_D[x] 转换	-3	2.5	ns
SM7	t _d (csV-simoV)	延迟时间，SPI_CSi 有效边沿到 SPI_D[x] 转换	5		ns
SM8	t _d (csV-spick)	延迟时间，SPI_CSi 有效到 SPI_CLK 第一个边沿	PHA = 0 ⁽²⁾	B - 4 ⁽³⁾	ns
			PHA = 1 ⁽²⁾	A - 4 ⁽⁴⁾	ns
SM9	t _d (spickV-csV)	延迟时间，SPI_CLK 最后一个边沿到 SPI_CSi 无效	PHA = 0 ⁽²⁾	A - 4 ⁽⁴⁾	ns
			PHA = 1 ⁽²⁾	B - 4 ⁽³⁾	ns

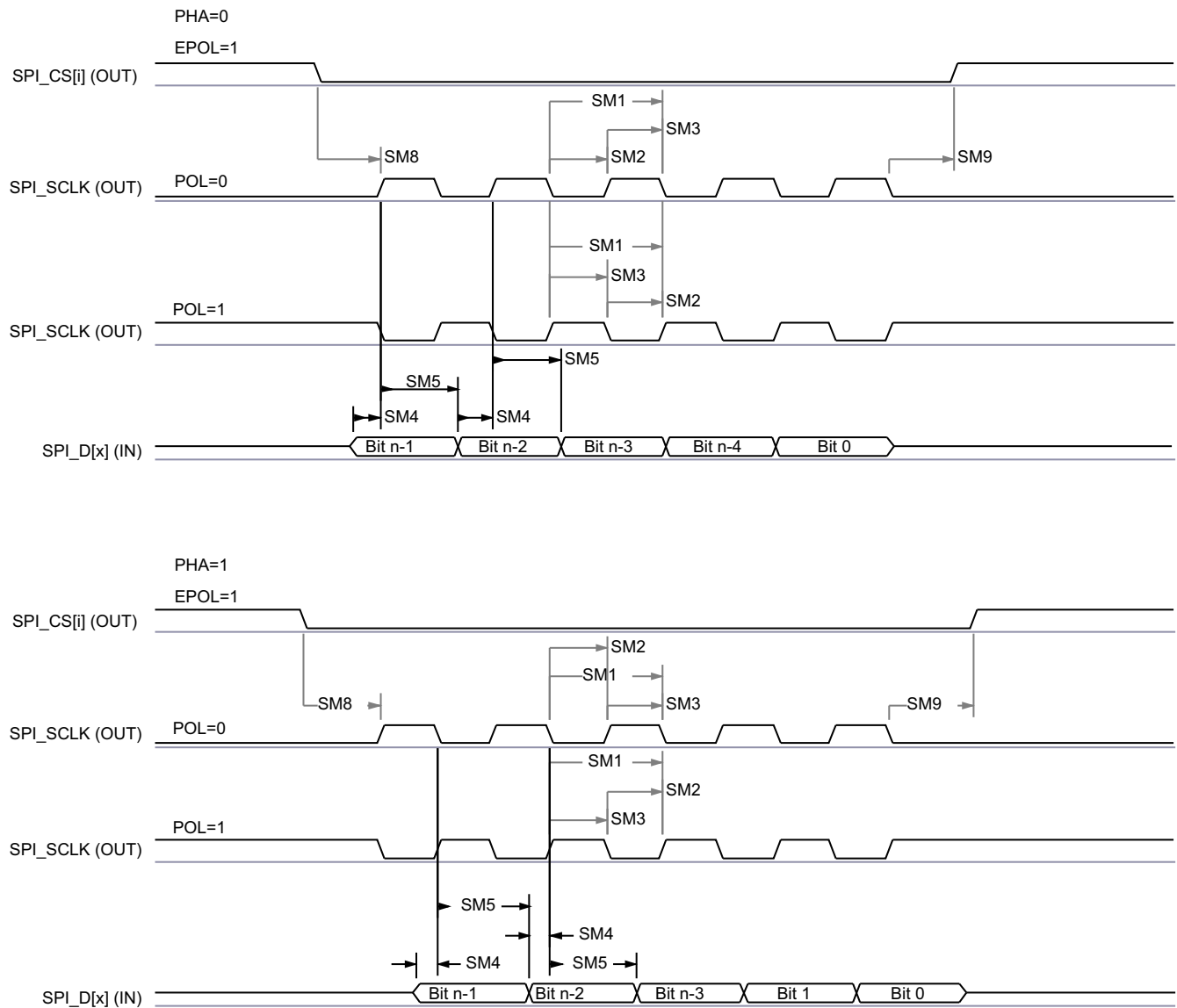
(1) P = SPI_CLK 周期 (以 ns 为单位)

(2) SPI_CLK 相位可通过 MCSPI_CHCONF_0/1/2/3 寄存器的 PHA 位进行编程

(3) B = (TCS + 0.5) * TSPICKREF，其中 TCS 是 MCSPI_CHCONF_0/1/2/3 寄存器的位字段且 Fratio = 偶数 >= 2。

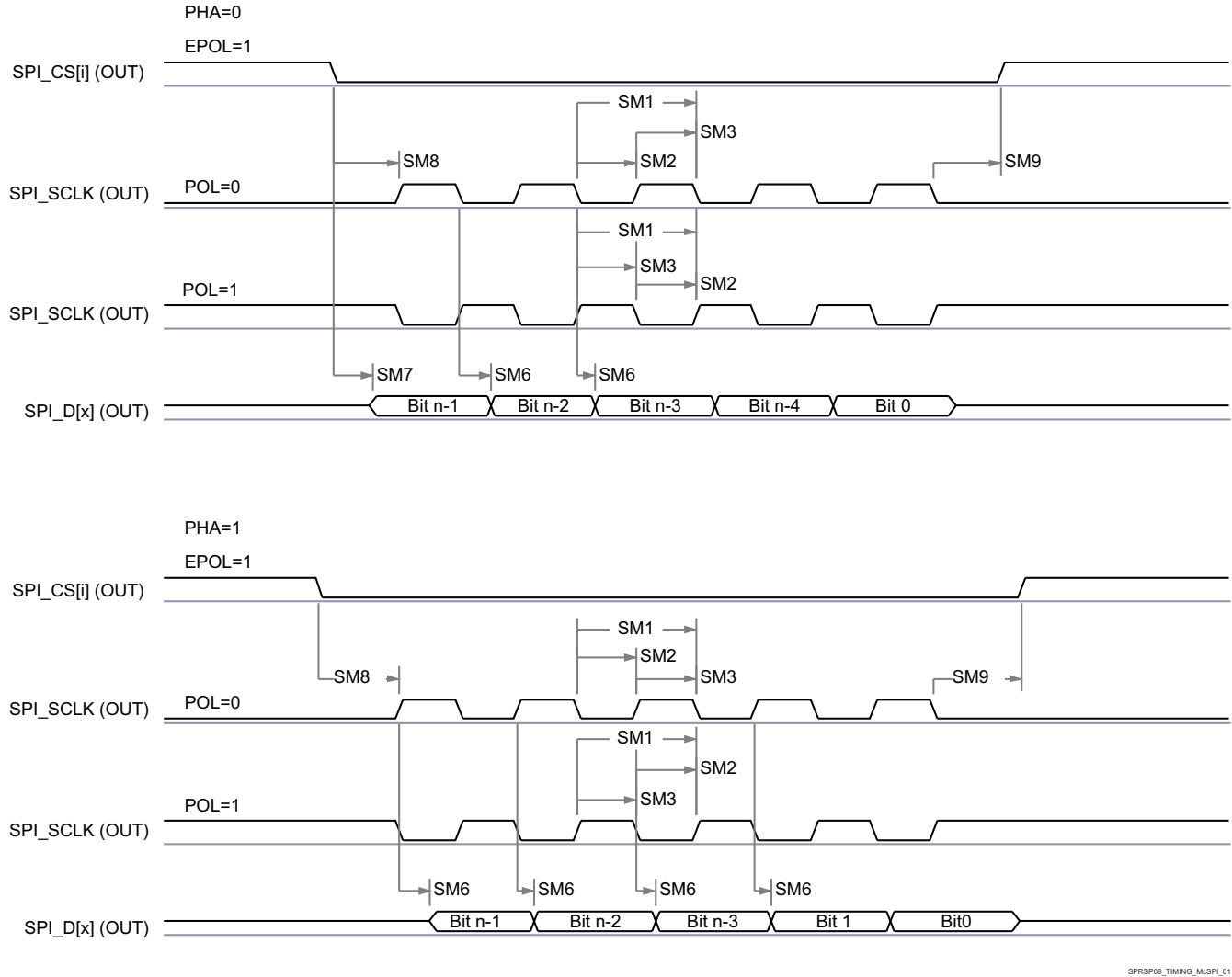
(4) 当 P = 20ns 时，A = (TCS + 1) * TSPICKREF，其中 TCS 是 MCSPI_CHCONF_0/1/2/3 寄存器的位字段。

当 $P > 20\text{ns}$ 时, $A = (TCS + 0.5) * Fratio * TSPICLKREF$, 其中 TCS 是 MCSPI_CHCONF_0/1/2/3 寄存器的位字段。



SPRSP08_TIMING_McSPI_02

图 6-88. SPI 主模式接收时序



SPRSP08_TIMING_McSPI_01

图 6-89. MCSPI 主模式发送时序

6.10.5.18.2 MCSPI 从模式

表 6-68、表 6-69、图 6-90 和图 6-91 展示了 MCSPI 的时序要求和开关特性 - 从模式。

表 6-68. MCSPI 时序要求 - 从模式

编号	参数	说明	模式	最小值	最大值	单位
SS1	$t_{c(spiclk)}$	周期时间, SPI_CLK		20		ns
SS2	$t_{w(spiclkL)}$	脉冲持续时间, SPI_CLK 低电平		0.45P ⁽¹⁾		ns
SS3	$t_{w(spiclkH)}$	脉冲持续时间, SPI_CLK 高电平		0.45P ⁽¹⁾		ns
SS4	$t_{su(simoV-spiclKV)}$	建立时间, 在 SPI_CLK 有效边沿之前 SPI_D[x] 有效		5		ns
SS5	$t_{h(spiclKV-simoV)}$	保持时间, 在 SPI_CLK 有效边沿之后 SPI_D[x] 有效		5		ns
SS8	$t_{su(csV-spiclKV)}$	建立时间, 在 SPI_CLK 第一个边沿之前 SPI_CSi 有效		5		ns
SS9	$t_{h(spiclKV-csV)}$	保持时间, 在 SPI_CLK 最后一个边沿之后 SPI_CSi 有效		5		ns

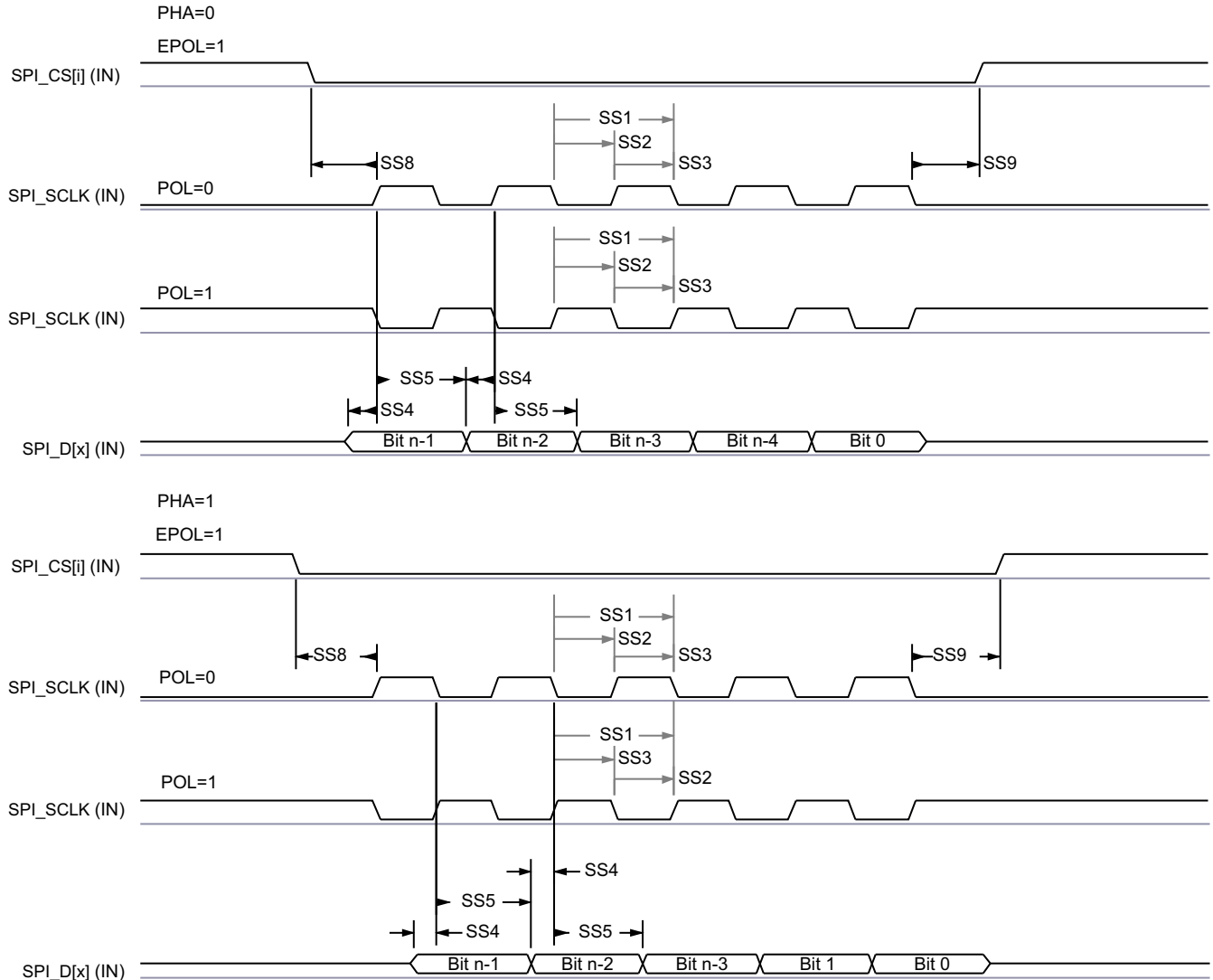
表 6-69. MCSPI 开关特性 - 从模式

编号	参数	说明	最小值	最大值	单位
SS6	$t_{d(spiclKV-somiV)}$	延迟时间, SPI_CLK 有效边沿到 SPI_D[x] 转换	2	17.12	ns

表 6-69. MCSPI 开关特性 - 从模式 (续)

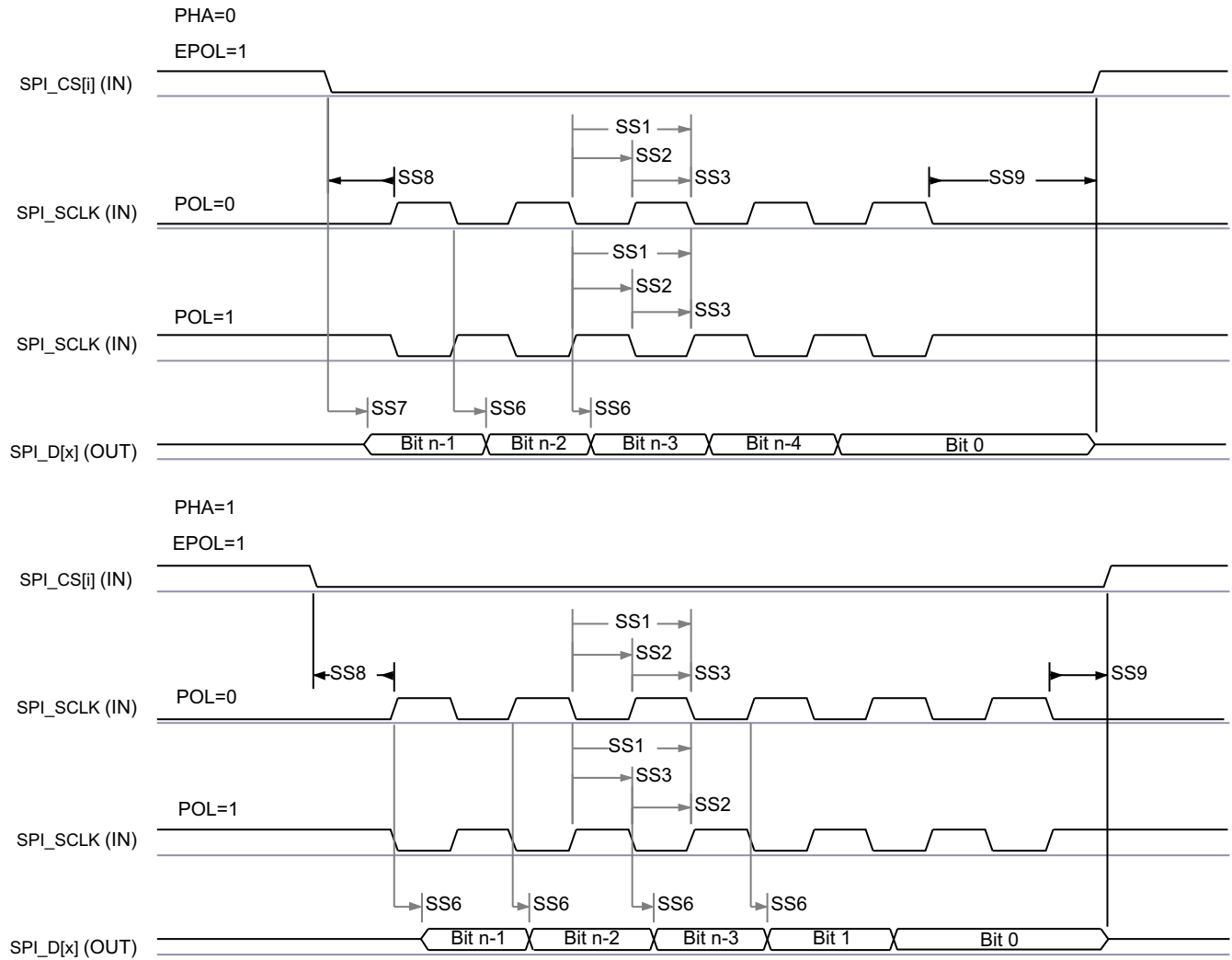
编号	参数	说明	最小值	最大值	单位
SS7	$t_{sk(csV-somV)}$	延迟时间, SPI_CSi 有效边沿到 SPI_D[x] 转换	20.95		ns

(1) P = SPI_CLK 周期 (以 ns 为单位)。



SPRSP08_TIMING_McSPI_04

图 6-90. SPI 从模式接收时序



SPRSP08_TIMING_McSPI_03

图 6-91. MCSPI 从模式发送时序

表 6-70 和 表 6-71 说明了与 MCU_SPI0 和 MCU_SPI1 搭配使用的具体信号分组 (IOSET)。

表 6-70. MCU_SPI0 IOSET

信号	IOSET1		IOSET2	
	焊球名称	MUX	焊球名称	MUX
MCU_SPI0_CLK	MCU_SPI0_CLK	0	MCU_SPI0_CLK	0
MCU_SPI0_D0	MCU_SPI0_D0	0	MCU_SPI0_D0	0
MCU_SPI0_D1	MCU_SPI0_D1	0	MCU_SPI0_D1	0
MCU_SPI0_CS0	MCU_SPI0_CS0	0	MCU_SPI0_CS0	0
MCU_SPI0_CS1	MCU_OSPI1_D3	5	WKUP_GPIO0_12	1
MCU_SPI0_CS2	MCU_OSPI1_CSn1	5	WKUP_GPIO0_14	1

表 6-71. MCU_SPI1 IOSET

信号	IOSET1		IOSET2	
	焊球名称	MUX	焊球名称	MUX
MCU_SPI1_CLK	MCU_SPI1_CLK	0	MCU_SPI1_CLK	0
MCU_SPI1_D0	MCU_SPI1_D0	0	MCU_SPI1_D0	0
MCU_SPI1_D1	MCU_SPI1_D1	0	MCU_SPI1_D1	0
MCU_SPI1_CS0	MCU_SPI1_CS0	0	MCU_SPI1_CS0	0
MCU_SPI1_CS1	MCU_OSPI1_D1	5	WKUP_GPIO0_13	1
MCU_SPI1_CS2	MCU_OSPI1_D2	5	WKUP_GPIO0_15	1

有关更多信息，请参阅器件 TRM 的外设一章中的多通道串行外设接口 (MCSPi) 一节。

6.10.5.19 MMCSd

MMCSd 主机控制器提供用于连接嵌入式多媒体卡 (MMC)、安全数字 (SD) 和安全数字 IO (SDIO) 器件的接口。MMCSd 主机控制器在传输级别处理 MMC/SD/SDIO 协议、数据打包、添加循环冗余校验 (CRC)、开始/结束位插入以及语法正确性检查。

有关 MMCSd 接口的更多详细信息，请参阅

节 5.3 “信号说明” 和节 7 “详细说明”。

备注

某些工作模式需要对 MMC DLL 延迟设置进行软件配置，如表 6-72 和表 6-82 所示。

有关更多信息，请参阅器件 TRM 的外设一章中的多媒体卡/安全数字 (MMCSd) 接口一节。

6.10.5.19.1 MMC0 - eMMC 接口

MMC0 接口符合 JEDEC eMMC 电气标准 v5.1 (JESD84-B51)，支持以下 eMMC 应用：

- 传统速度
- 高速 SDR
- 高速 DDR
- HS200

表 6-72 展示了 MMC0 时序模式所需的 DLL 软件配置设置。

表 6-72. 所有时序模式的 MMC0 DLL 延迟映射

寄存器名称		MMCSd0_SS_PHY_CTRL_x_REG								
		x=1	x=4					x=5		
位字段		[1]	[31:24]	[20]	[15:12]	[8]	[4:0]	[17:16]	[10:8]	[2:0]
位字段名称		ENDLL	STRBSEL	OTAPDLYENA	OTAPDLYSEL	ITAPDLYENA	ITAPDLYSEL	SELDLYTXCLK SELDLYRXCLK	FRQSEL	CLKBUFSEL
模式	说明	启用 DLL	选通 延迟	输出 延迟 启用	输出 延迟 值	输入 延迟 启用	输入 延迟 值	DLL/ 延迟链 选择	DLL 基准 频率	延迟 缓冲器 持续时间
旧 SDR	8 位 PHY 工作 1.8V , 25MHz	0x0	0x0	0x0	不适用 ⁽¹⁾	0x1	0x10	0x1 或 0x3 ⁽²⁾	不适用 ⁽³⁾	0x7
高速 SDR	8 位 PHY 工作 1.8V , 50MHz	0x0	0x0	0x0	不适用 ⁽¹⁾	0x1	0xA	0x1 或 0x3 ⁽²⁾	不适用 ⁽³⁾	0x7
高速 DDR	8 位 PHY 工作 1.8V , 50MHz	0x1	0x0	0x1	0x6	0x1	0x3	0x0	0x4	不适用 ⁽⁴⁾

表 6-72. 所有时序模式的 MMC0 DLL 延迟映射 (续)

寄存器名称		MMCS0_SS_PHY_CTRL_x_REG								
		x=1	x=4					x=5		
位字段		[1]	[31:24]	[20]	[15:12]	[8]	[4:0]	[17:16]	[10:8]	[2:0]
位字段名称		ENDLL	STRBSEL	OTAPDLYENA	OTAPDLYSEL	ITAPDLYENA	ITAPDLYSEL	SELDLYTXCLK SELDLYRXCLK	FRQSEL	CLKBUFSEL
模式	说明	启用 DLL	选通 延迟	输出 延迟 启用	输出 延迟 值	输入 延迟 启用	输入 延迟 值	DLL/ 延迟链 选择	DLL 基准 频率	延迟 缓冲器 持续时间
HS200	8 位 PHY 工作 1.8V , 200MHz	0x1	0x0	0x1	0x8	0x1	调优 ⁽⁵⁾	0x0	0x0	不适用 ⁽⁴⁾

(1) 不适用意味着当以半周期时序运行 (此模式强制要求) 时, 该寄存器字段无功能。

(2) 当以半周期时序运行 (此模式强制要求) 时, SELDLYTXCLK 位不起作用。

(3) 不适用意味着当 ENDLL 设为 0x0 时, 该寄存器字段不起作用。

(4) 不适用意味着当 ENDLL 设为 0x1 时, 该寄存器字段不起作用。

(5) 调优意味着此模式需要使用调优算法来确定适当输入时序

表 6-73 展示了 MMC0 的时序条件。

表 6-73. MMC0 时序条件

参 数			最小值	最大值	单位
输入条件					
SR _I	输入压摆率	旧 SDR	0.14	1.44	V/ns
		高速 SDR	0.3	0.9	V/ns
		高速 DDR (CMD)	0.3	0.9	V/ns
		高速 DDR (DAT[7:0])	0.45	0.9	V/ns
输出条件					
C _L	输出负载电容	HS200	1	6	pF
		所有其他模式	1	12	pF
PCB 连接要求					
t _d (Trace Delay)	每条引线的传播延迟	所有模式	126	756	ps
t _d (Trace Mismatch Delay)	所有布线之间的传播延迟不匹配	旧 SDR、高速 SDR、高速 DDR		100	ps
		HS200		8	ps

6.10.5.19.1.1 旧 SDR 模式

表 6-74、图 6-92、表 6-75 和图 6-93 展示了 MMC0 的时序要求和开关特性 - 旧 SDR 模式。

表 6-74. MMC0 时序要求 - 旧 SDR 模式

请参阅图 6-92

编号			最小值	最大值	单位
LSDR1	$t_{su}(cmdV-clkH)$	建立时间, 在 MMC0_CLK 上升沿之前 MMC0_CMD 有效	9.69		ns
LSDR2	$t_h(clkH-cmdV)$	保持时间, 在 MMC0_CLK 上升沿之后 MMC0_CMD 有效	9.65		ns
LSDR3	$t_{su}(dV-clkH)$	建立时间, 在 MMC0_CLK 上升沿之前 MMC0_DAT[7:0] 有效	9.69		ns
LSDR4	$t_h(clkH-dV)$	保持时间, 在 MMC0_CLK 上升沿之后 MMC0_DAT[7:0] 有效	9.65		ns

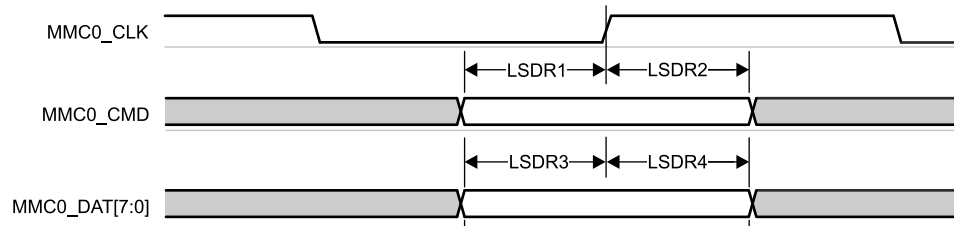


图 6-92. MMC0 - 旧 SDR - 接收模式

表 6-75. MMC0 开关特性 - 旧 SDR 模式

请参阅图 6-93

编号	参数		最小值	最大值	单位
	$f_{op}(clk)$	工作频率, MMC0_CLK		25	MHz
LSDR5	$t_c(clk)$	周期时间, MMC0_CLK	40		ns
LSDR6	$t_w(clkH)$	脉冲持续时间, MMC0_CLK 高电平	18.7		ns
LSDR7	$t_w(clkL)$	脉冲持续时间, MMC0_CLK 低电平	18.7		ns
LSDR8	$t_d(clkL-cmdV)$	延迟时间, MMC0_CLK 下降沿到 MMC0_CMD 转换	-2.74	5.07	ns
LSDR9	$t_d(clkL-dV)$	延迟时间, MMC0_CLK 下降沿到 MMC0_DAT[7:0] 转换	-2.74	5.07	ns

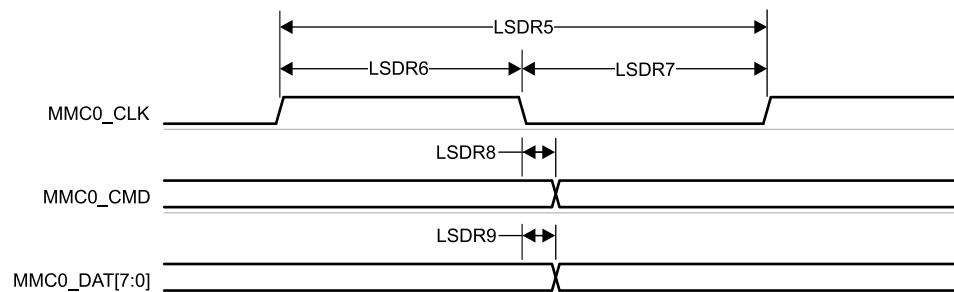


图 6-93. MMC0 - 旧 SDR - 发送模式

6.10.5.19.1.2 高速 SDR 模式

表 6-76、图 6-94、表 6-77 和图 6-95 说明了 MMC0 的时序要求和开关特性 - 高速 SDR 模式。

表 6-76. MMC0 时序要求 - 高速 SDR 模式

请参阅图 6-94

编号			最小值	最大值	单位
HSSDR1	$t_{su(cmdV-clkH)}$	建立时间, 在 MMC0_CLK 上升沿之前 MMC0_CMD 有效	2.99		ns
HSSDR2	$t_{h(clkH-cmdV)}$	保持时间, 在 MMC0_CLK 上升沿之后 MMC0_CMD 有效	2.67		ns
HSSDR3	$t_{su(dV-clkH)}$	建立时间, 在 MMC0_CLK 上升沿之前 MMC0_DAT[7:0] 有效	2.99		ns
HSSDR4	$t_{h(clkH-dV)}$	保持时间, 在 MMC0_CLK 上升沿之后 MMC0_DAT[7:0] 有效	2.67		ns

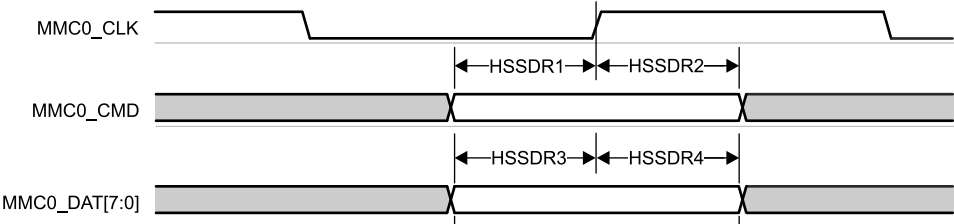


图 6-94. MMC0 - 高速 SDR 模式 - 接收模式

表 6-77. MMC0 开关特性 - 高速 SDR 模式

请参阅图 6-95

编号	参数		最小值	最大值	单位
	$f_{op(clk)}$	工作频率, MMC0_CLK		50	MHz
HSSDR5	$t_c(clk)$	周期时间, MMC0_CLK	20		ns
HSSDR6	$t_w(clkH)$	脉冲持续时间, MMC0_CLK 高电平	9.2		ns
HSSDR7	$t_w(clkL)$	脉冲持续时间, MMC0_CLK 低电平	9.2		ns
HSSDR8	$t_d(clkL-cmdV)$	延迟时间, MMC0_CLK 下降沿到 MMC0_CMD 转换	-0.84	3.65	ns
HSSDR9	$t_d(clkL-dV)$	延迟时间, MMC0_CLK 下降沿到 MMC0_DAT[7:0] 转换	-0.84	3.65	ns

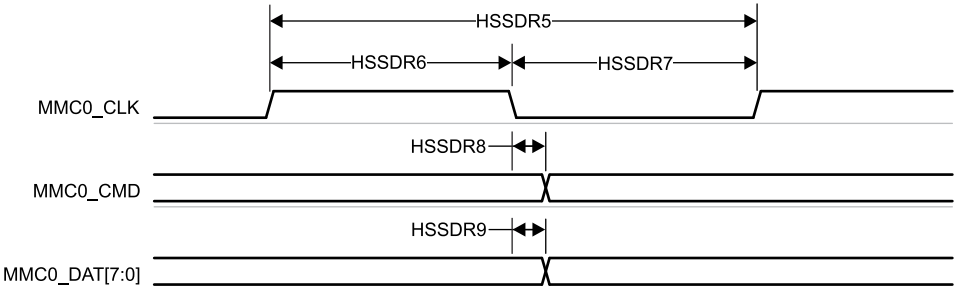


图 6-95. MMC0 - 高速 SDR 模式 - 发送模式

6.10.5.19.1.3 高速 DDR 模式

表 6-78、图 6-96、表 6-79 和图 6-97 说明了 MMC0 的时序要求和开关特性 - 高速 DDR 模式。

表 6-78. MMC0 时序要求 - 高速 DDR 模式

请参阅图 6-96

编号			最小值	最大值	单位
HSDDR1	$t_{su(cmdV-clkH)}$	建立时间, 在 MMC0_CLK 上升沿之前 MMC0_CMD 有效	2		ns
HSDDR2	$t_{h(clkH-cmdV)}$	保持时间, 在 MMC0_CLK 上升沿之后 MMC0_CMD 有效	2.5		ns
HSDDR3	$t_{su(dV-clkV)}$	建立时间, 在 MMC0_CLK 转换之前 MMC0_DAT[7:0] 有效	0.74		ns
HSDDR4	$t_{h(clkV-dV)}$	保持时间, 在 MMC0_CLK 转换之后 MMC0_DAT[7:0] 有效	1.67		ns

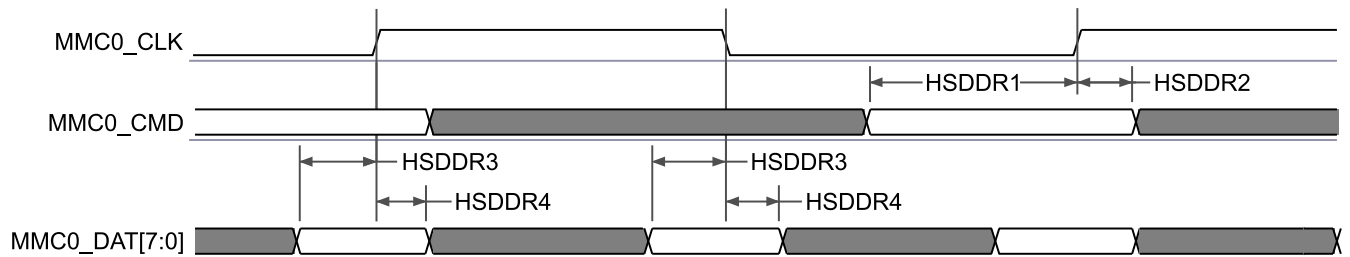


图 6-96. MMC0 - 高速 DDR 模式 - 接收模式

表 6-79. MMC0 开关特性 - 高速 DDR 模式

请参阅图 6-97

编号	参数	最小值	最大值	单位
	$f_{op(clk)}$		50	MHz
HSDDR5	$t_{c(clk)}$	20		ns
HSDDR6	$t_{w(clkH)}$	9.2		ns
HSDDR7	$t_{w(clkL)}$	9.2		ns
HSDDR8	$t_{d(clkH-cmdV)}$	3.4	9.72	ns
HSDDR9	$t_{d(clkV-dV)}$	2.9	6.6	ns

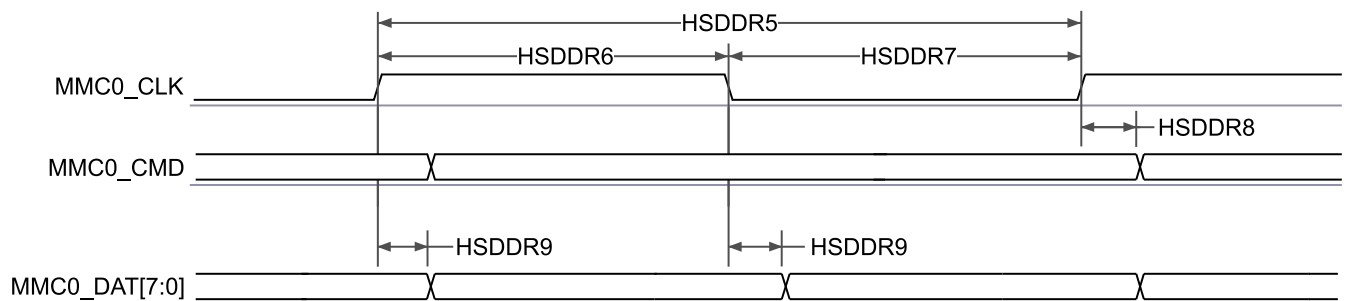


图 6-97. MMC0 - 高速 DDR 模式 - 发送模式

6.10.5.19.1.4 HS200 模式

表 6-80、图 6-98、表 6-81 和 图 6-99 展示了 MMC0 - HS200 模式下的时序要求和切换特性。

表 6-80. MMC0 时序要求 - HS200 模式

请参阅图 6-98

编号			最小值	最大值	单位
HS2004	t_{DWW}	输入数据有效窗口、MMC0_CMD 和 MMC0_DAT[7:0]	2.0 ⁽¹⁾		ns

(1) 此参数定义了主机所需的最小数据有效窗口，任何提供给主机的数据有效窗口大于此值时，均可确保主机能够捕获有效数据。此参数定义的值小于针对任何在 HS200 模式下运行的 eMMC 器件定义的最小可能数据有效窗口。

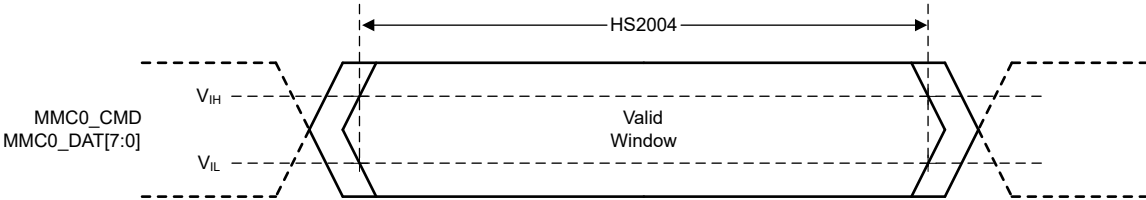


图 6-98. MMC0 - HS200 - 接收模式

表 6-81. MMC0 开关特性 - HS200 模式

请参阅图 6-99

编号	参数	最小值	最大值	单位
	$f_{op(clk)}$		200	MHz
HS2005	$t_{c(clk)}$	5		ns
HS2006	$t_{w(clkH)}$	2.08		ns
HS2007	$t_{w(clkL)}$	2.08		ns
HS2008	$t_d(clkL-cmdV)$	1.12	3.16	ns
HS2009	$t_d(clkL-dV)$	1.12	3.16	ns

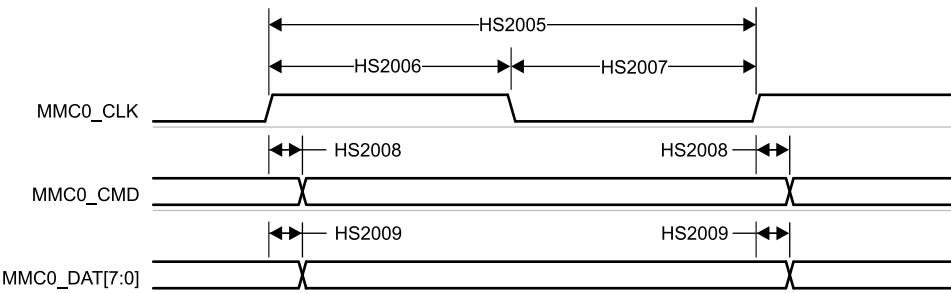


图 6-99. MMC0 - HS200 模式 - 发送模式

6.10.5.19.2 MMC1/2 - SD/SDIO 接口

MMC1 和 MMC2 接口符合 SD 主机控制器标准规范 4.10 和 SD 物理层规范 v3.01 以及 SDIO 规范 v3.00，并支持以下 SD 卡应用：

- 默认速度
- 高速
- UHS - I SDR12
- UHS - I SDR25
- UHS - I SDR50
- UHS - I SDR104

- UHS - I DDR50

表 6-82 展示了 MMC1 时序模式所需的 DLL 软件配置设置。

表 6-82. 所有时序模式的 MMC1/2 DLL 延迟映射

寄存器名称		MMCSD12_SS_PHY_CTRL_4_REG			
位字段		[20]	[15:12]	[8]	[4:0]
位字段名称		OTAPDLYENA	OTAPDLYSEL	ITAPDLYENA	ITAPDLYSEL
模式	说明	延迟 启用	延迟 值	输入 延迟 启用	输入 延迟 值
默认 速度	4 位 PHY 工作 3.3V, 25MHz	不适用 ⁽¹⁾	不适用 ⁽¹⁾	0x0	0x0
高速	4 位 PHY 工作 3.3V, 50MHz	不适用 ⁽¹⁾	不适用 ⁽¹⁾	0x0	0x0
UHS-I SDR12	4 位 PHY 工作 1.8V, 25MHz	0x1	0xF	0x0	0x0
UHS-I SDR25	4 位 PHY 工作 1.8V, 50MHz	0x1	0xF	0x0	0x0
UHS-I SDR50	4 位 PHY 工作 1.8V, 100MHz	0x1	0xC	0x1	调优 ⁽²⁾
UHS-I DR50	4 位 PHY 工作 1.8V, 50MHz	0x1	0xC	0x1	调优 ⁽²⁾
UHS-I SDR104	4 位 PHY 工作 1.8V, 200MHz	0x1	0x5	0x1	调优 ⁽²⁾

(1) 不适用意味着当以半周期时序运行（此模式强制要求）时，该寄存器字段无功能。

(2) 调优意味着此模式需要使用调优算法来确定适当输入时序

表 6-83 展示了 MMC1 的时序条件。

表 6-83. MMC1/2 时序条件

参数			最小值	最大值	单位
输入条件					
SR _i	输入压摆率	默认速度，高速	0.69	2.06	V/ns
		UHS-I SDR12、UHS-I SDR25	0.34	1.34	V/ns
输出条件					
C _L	输出负载电容	所有模式	1	10	pF
PCB 连接要求					
t _d (Trace Delay)	每条引线的传播延迟	UHS - I DDR50	240	1134	ps
		所有其他模式	126	1386	ps
t _d (Trace Mismatch Delay)	所有布线之间的传播延迟不匹配	UHS - I DDR50、UHS - I SDR104		20	ps
		所有其他模式		100	ps

6.10.5.19.2.1 默认速度模式

表 6-84、图 6-100、表 6-85 和图 6-101 说明了 MMC1/2 的时序要求和开关特性 - 默认速度模式。

表 6-84. MMC1/2 时序要求 - 默认速度模式

请参阅图 6-100

编号			最小值	最大值	单位
DS1	$t_{su(cmdV-clkH)}$	建立时间, 在 MMC[x]_CLK 上升沿之前 MMC[x]_CMD 有效	2.55		ns
DS2	$t_h(clkH-cmdV)$	保持时间, 在 MMC[x]_CLK 上升沿之后 MMC[x]_CMD 有效	4.65		ns
DS3	$t_{su(dV-clkH)}$	建立时间, 在 MMC[x]_CLK 上升沿之前 MMC[x]_DAT[3:0] 有效	2.55		ns
DS4	$t_h(clkH-dV)$	保持时间, 在 MMC[x]_CLK 上升沿之后 MMC[x]_DAT[3:0] 有效	4.65		ns

- A. 对于 MMC1 和 MMC2, x = 1、2
B. 对于 MMC1 和 MMC2, x = 1、2



图 6-100. MMC1/2 - 默认速度 - 接收模式

表 6-85. MMC1/2 开关特性 - 默认速度模式

请参阅图 6-101

编号	参数		最小值	最大值	单位
	$f_{op(clk)}$	工作频率, MMC[x]_CLK		25	MHz
DS5	$t_c(clk)$	周期时间, MMC[x]_CLK	40		ns
DS6	$t_w(clkH)$	脉冲持续时间, MMC[x]_CLK 高电平	18.7		ns
DS7	$t_w(clkL)$	脉冲持续时间, MMC[x]_CLK 低电平	18.7		ns
DS8	$t_d(clkL-cmdV)$	延迟时间, MMC[x]_CLK 下降沿到 MMC[x]_CMD 转换	-2.93	3.63	ns
DS9	$t_d(clkL-dV)$	延迟时间, MMC[x]_CLK 下降沿到 MMC[x]_DAT[3:0] 转换	-2.93	3.63	ns

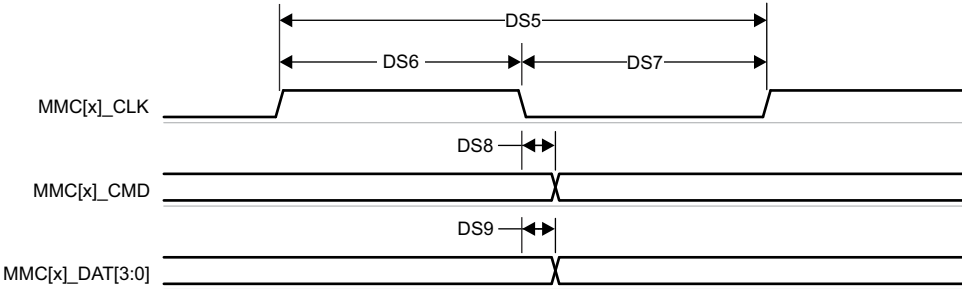


图 6-101. MMC1/2 - 默认速度 - 发送模式

6.10.5.19.2.2 高速模式

表 6-86、图 6-102、表 6-87 和图 6-103 说明了 MMC1/2 的时序要求和开关特性 - 高速模式。

表 6-86. MMC1/2 时序要求 - 高速模式

请参阅图 6-102

编号			最小值	最大值	单位
HS1	$t_{su}(cmdV-clkH)$	建立时间, 在 MMC[x]_CLK 上升沿之前 MMC[x]_CMD 有效	2.55		ns
HS2	$t_h(clkH-cmdV)$	保持时间, 在 MMC[x]_CLK 上升沿之后 MMC[x]_CMD 有效	2.67		ns
HS3	$t_{su}(dV-clkH)$	建立时间, 在 MMC[x]_CLK 上升沿之前 MMC[x]_DAT[3:0] 有效	2.55		ns
HS4	$t_h(clkH-dV)$	保持时间, 在 MMC[x]_CLK 上升沿之后 MMC[x]_DAT[3:0] 有效	2.67		ns

A. 对于 MMC1 和 MMC2, x = 1、2

B. 对于 MMC1 和 MMC2, x = 1、2

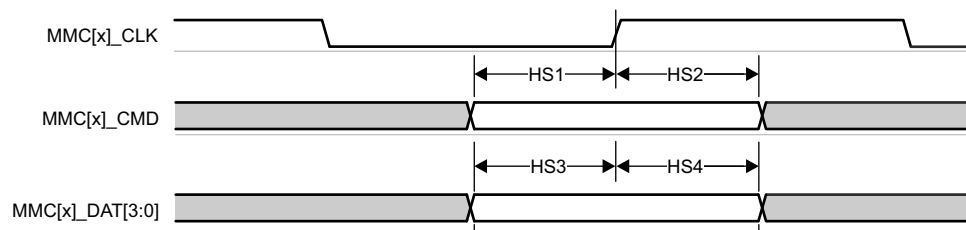


图 6-102. MMC1/2 - 高速 - 接收模式

表 6-87. MMC1/2 开关特性 - 高速模式

请参阅图 6-103

编号	参数	最小值	最大值	单位
	$f_{op}(clk)$		50	MHz
HS5	$t_c(clk)$	20		ns
HS6	$t_w(clkH)$	9.2		ns
HS7	$t_w(clkL)$	9.2		ns
HS8	$t_d(clkL-cmdV)$	-1.77	2.35	ns
HS9	$t_d(clkL-dV)$	-1.77	2.35	ns

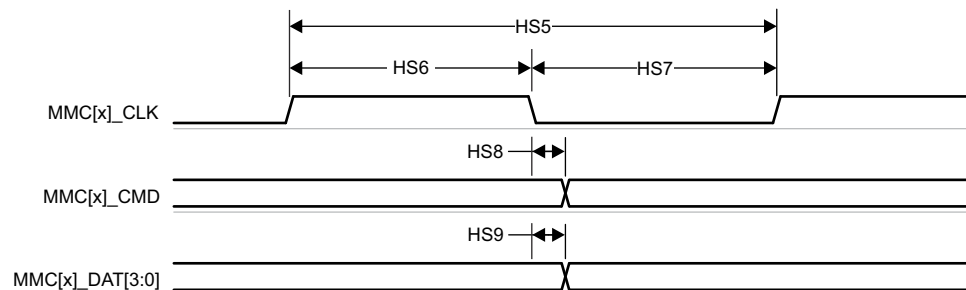


图 6-103. MMC1/2 - 高速 - 发送模式

6.10.5.19.2.3 UHS-I SDR12 模式

表 6-88、图 6-104、表 6-89 和图 6-105 说明了 MMC1/2 的时序要求和开关特性 - UHS-I SDR12 模式。

表 6-88. MMC1/2 时序要求 - UHS-I SDR12 模式

请参阅图 6-104

编号			最小值	最大值	单位
SDR121	$t_{su(cmdV-clkH)}$	建立时间, 在 MMC[x]_CLK 上升沿之前 MMC[x]_CMD 有效	21.65		ns
SDR122	$t_{h(clkH-cmdV)}$	保持时间, 在 MMC[x]_CLK 上升沿之后 MMC[x]_CMD 有效	1.67		ns
SDR123	$t_{su(dV-clkH)}$	建立时间, 在 MMC[x]_CLK 上升沿之前 MMC[x]_DAT[3:0] 有效	21.65		ns
SDR124	$t_{h(clkH-dV)}$	保持时间, 在 MMC[x]_CLK 上升沿之后 MMC[x]_DAT[3:0] 有效	1.67		ns

A. 对于 MMC1 和 MMC2, $x = 1, 2$

B. 对于 MMC1 和 MMC2, $x = 1, 2$

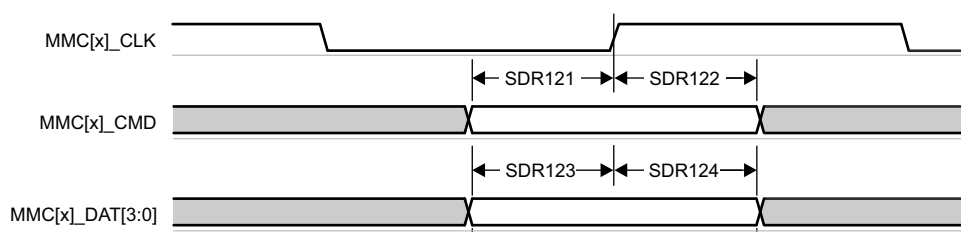


图 6-104. MMC1/2 - UHS-I SDR12 - 接收模式

表 6-89. MMC1/2 开关特性 - UHS-I SDR12 模式

请参阅图 6-105

编号	参数	最小值	最大值	单位
	$f_{op(clk)}$		25	MHz
SDR125	$t_{c(clk)}$	40		ns
SDR126	$t_{w(clkH)}$	18.7		ns
SDR127	$t_{w(clkL)}$	18.7		ns
SDR128	$t_{d(clkH-cmdV)}$	1.2	13.69	ns
SDR129	$t_{d(clkH-dV)}$	1.2	13.69	ns

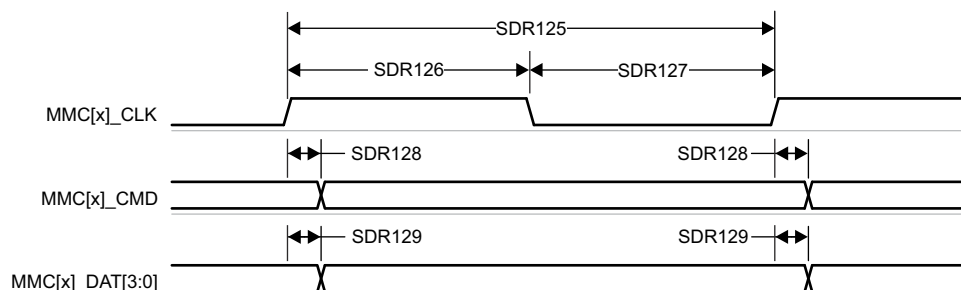


图 6-105. MMC1/2 - UHS-I SDR12 - 发送模式

6.10.5.19.2.4 UHS-I SDR25 模式

表 6-90、图 6-106、表 6-91 和图 6-107 说明了 MMC1/2 的时序要求和开关特性 - UHS-I SDR25 模式。

表 6-90. MMC1/2 时序要求 - UHS-I SDR25 模式

请参阅图 6-106

编号			最小值	最大值	单位
SDR251	$t_{su(cmdV-clkH)}$	建立时间, 在 MMC[x]_CLK 上升沿之前 MMC[x]_CMD 有效	2.15		ns
SDR252	$t_{h(clkH-cmdV)}$	保持时间, 在 MMC[x]_CLK 上升沿之后 MMC[x]_CMD 有效	1.67		ns
SDR253	$t_{su(dV-clkH)}$	建立时间, 在 MMC[x]_CLK 上升沿之前 MMC[x]_DAT[3:0] 有效	2.15		ns
SDR254	$t_{h(clkH-dV)}$	保持时间, 在 MMC[x]_CLK 上升沿之后 MMC[x]_DAT[3:0] 有效	1.67		ns

A. 对于 MMC1 和 MMC2, x = 1、2

B. 对于 MMC1 和 MMC2, x = 1、2

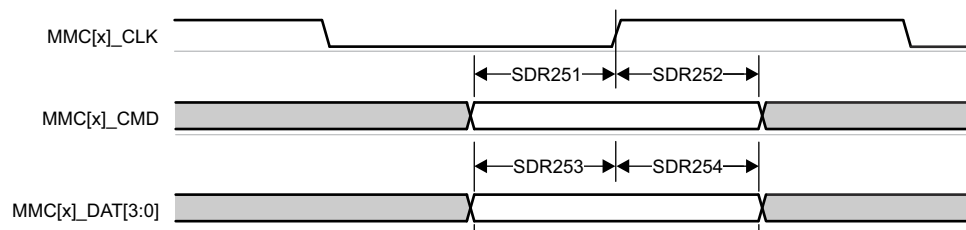


图 6-106. MMC1/2 - UHS-I SDR25 - 接收模式

表 6-91. MMC1/2 开关特性 - UHS-I SDR25 模式

请参阅图 6-107

编号	参数	最小值	最大值	单位
	$f_{op(clk)}$		50	MHz
SDR255	$t_{c(clk)}$	20		ns
SDR256	$t_{w(clkH)}$	9.2		ns
SDR257	$t_{w(clkL)}$	9.2		ns
SDR258	$t_{d(clkH-cmdV)}$	2.4	9.8	ns
SDR259	$t_{d(clkH-dV)}$	2.4	9.8	ns

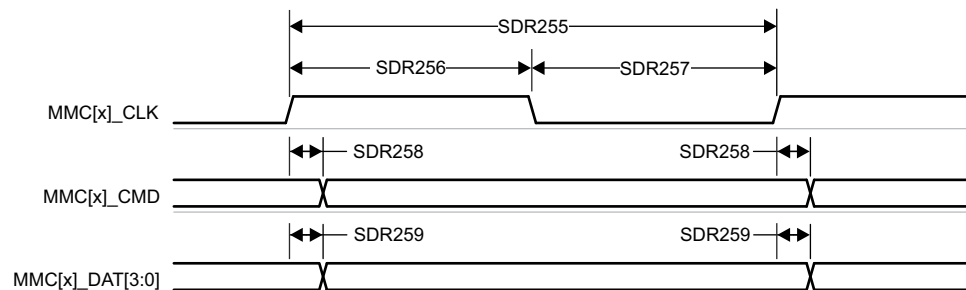


图 6-107. MMC1/2 - UHS-I SDR25 - 发送模式

6.10.5.19.2.5 UHS-I SDR50 模式

表 6-92 和图 6-108 说明了 MMC1/2 的开关特性 - UHS-I SDR50 模式。

表 6-92. MMC1/2 开关特性 - UHS-I SDR50 模式

请参阅图 6-108

编号	参数		最小值	最大值	单位
	$f_{op(clk)}$	工作频率, MMC[x]_CLK		100	MHz
SDR505	$t_{c(clk)}$	周期时间, MMC[x]_CLK	10		ns
SDR506	$t_{w(clkH)}$	脉冲持续时间, MMC[x]_CLK 高电平	4.45		ns
SDR507	$t_{w(clkL)}$	脉冲持续时间, MMC[x]_CLK 低电平	4.45		ns
SDR508	$t_{d(clkH-cmdV)}$	延迟时间, MMC[x]_CLK 上升沿到 MMC[x]_CMD 转换	1.2	6.35	ns
SDR509	$t_{d(clkH-dV)}$	延迟时间, MMC[x]_CLK 上升沿到 MMC[x]_DAT[3:0] 转换	1.2	6.35	ns

A. 对于 MMC1 和 MMC2, x = 1、2

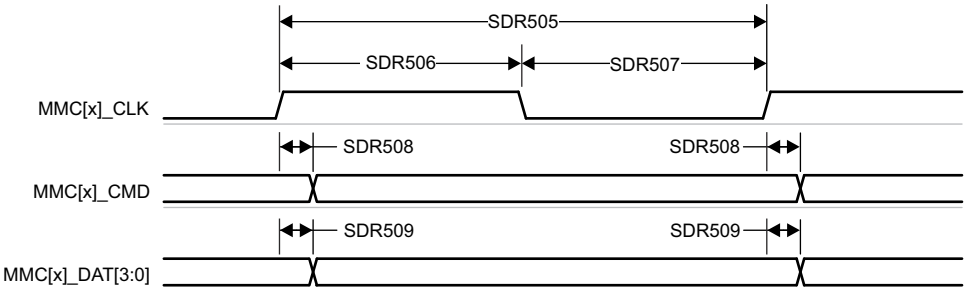


图 6-108. MMC1/2 - UHS-I SDR50 - 发送模式

6.10.5.19.2.6 UHS-I DDR50 模式

表 6-93 和图 6-109 说明了 MMC1/2 的开关特性 - UHS-I DDR50 模式。

表 6-93. MMC1/2 开关特性 - UHS-I DDR50 模式

请参阅图 6-109

编号	参数		最小值	最大值	单位
	$f_{op}(clk)$	工作频率, MMC[x]_CLK	50		MHz
DDR505	$t_{c}(clk)$	周期时间, MMC[x]_CLK	20		ns
DDR506	$t_{w}(clkH)$	脉冲持续时间, MMC[x]_CLK 高电平	9.2		ns
DDR507	$t_{w}(clkL)$	脉冲持续时间, MMC[x]_CLK 低电平	9.2		ns
DDR508	$t_{d}(clkH-cmdV)$	延迟时间, MMC[x]_CLK 上升沿到 MMC[x]_CMD 转换	1.2	9.8	ns
DDR509	$t_{d}(clk-dV)$	延迟时间, MMC[x]_CLK 转换到 MMC[x]_DAT[3:0] 转换	1.2	6.35	ns

A. 对于 MMC1 和 MMC2, x = 1、2

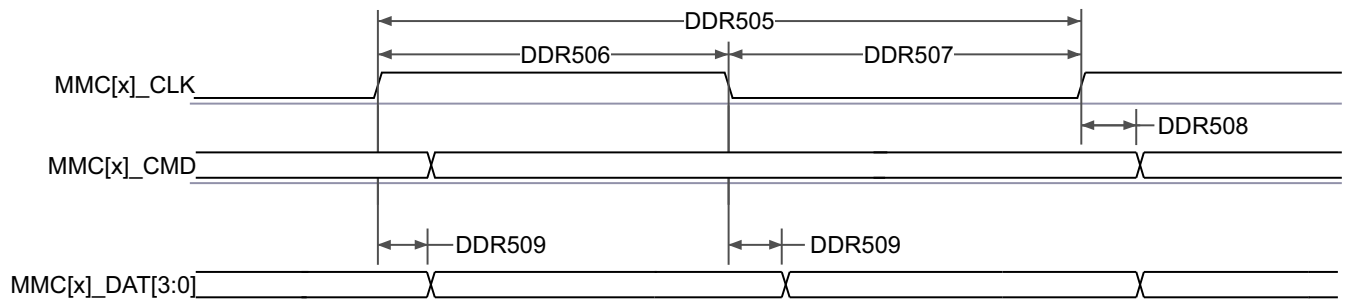


图 6-109. MMC1/2 - UHS-I DDR50 - 发送模式

6.10.5.19.2.7 UHS-I SDR104 模式

表 6-94 和图 6-110 说明了 MMC1/2 的开关特性 - UHS-I SDR104 模式。

表 6-94. MMC1/2 开关特性 - UHS-I SDR104 模式

请参阅图 6-110

编号	参数	最小值	最大值	单位
	$f_{op}(clk)$	工作频率, MMC[x]_CLK		200
SDR1045	$t_c(clk)$	周期时间, MMC[x]_CLK		5
SDR1046	$t_w(clkH)$	脉冲持续时间, MMC[x]_CLK 高电平		2.08
SDR1047	$t_w(clkL)$	脉冲持续时间, MMC[x]_CLK 低电平		2.08
SDR1048	$t_d(clkH-cmdV)$	延迟时间, MMC[x]_CLK 上升沿到 MMC[x]_CMD 转换		1.12
SDR1049	$t_d(clkH-dV)$	延迟时间, MMC[x]_CLK 上升沿到 MMC[x]_DAT[3:0] 转换		1.12
			3.16	ns

A. 对于 MMC1 和 MMC2, $x = 1, 2$

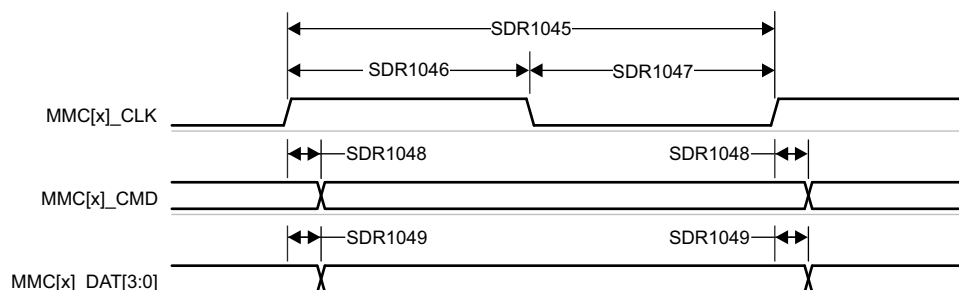


图 6-110. MMC1/2 - UHS-I SDR104 - 发送模式

6.10.5.20 CPTS

表 6-95 表示 CPTS 时序条件。

表 6-95. CPTS 时序条件

参数	说明	最小值	最大值	单位
输入条件				
SR_i	输入压摆率	0.5	5	V/ns
输出条件				
C_L	输出负载电容	2	10	pF

节 6.10.5.20.1、节 6.10.5.20.2、图 6-111 和图 6-112 说明了 CPTS 接口的时序要求和开关特性。

6.10.5.20.1 CPTS 时序要求

请参阅图 6-111

编号	参数	说明	最小值	最大值	单位
T1	$t_w(HWnTSPUSH)$	脉冲持续时间, HWnTSPUSH ⁽²⁾ 高电平	12P + 2 ⁽¹⁾		ns
T2	$t_w(HWnTSPUSHL)$	脉冲持续时间, HWnTSPUSH ⁽²⁾ 低电平	12P + 2 ⁽¹⁾		ns
T3	$t_c(RFT\_CLK)$	周期时间, RFT_CLK	5	8	ns
T4	$t_w(RFT\_CLKH)$	脉冲持续时间, RFT_CLK 高电平	0.45 * T ⁽³⁾		ns
T5	$t_w(RFT\_CLKL)$	脉冲持续时间, RFT_CLK 低电平	0.45 * T ⁽³⁾		ns

(1) P = 功能时钟周期 (以 ns 为单位)。

(2) 在 HWnTSPUSH 中, $n = 1$ 至 2。

(3) $T = \text{RFT\_CLK}$ 周期时间 (以 ns 为单位)。

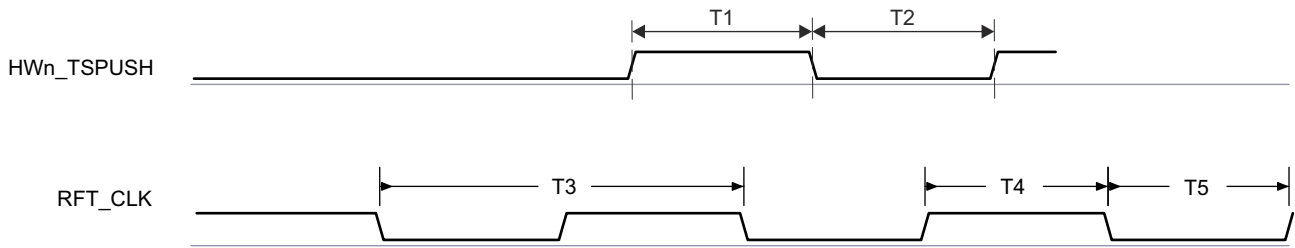


图 6-111. CPTS 时序要求

6.10.5.20.2 CPTS 开关特性

请参阅图 6-112

编号	参数	SOURCE	最小值	最大值	单位
T6	$t_{w(TS\_COMPH)}$	脉冲持续时间, TS_COMP 高电平	$36P - 2^{(1)}$		ns
T7	$t_{w(TS\_COMPL)}$	脉冲持续时间, TS_COMP 低电平	$36P - 2^{(1)}$		ns
T8	$t_{w(TS\_SYNCH)}$	脉冲持续时间, TS_SYNC 高电平	$36P - 2^{(1)}$		ns
T9	$t_{w(TS\_SYNCL)}$	脉冲持续时间, TS_SYNC 低电平	$36P - 2^{(1)}$		ns
T10	$t_{w(SYNCH\_OUTH)}$	TS_SYNC	$36P - 2^{(1)}$		ns
		TS_GENF	$5P - 2^{(1)}$		ns
T11	$t_{w(SYNCH\_OUTL)}$	TS_SYNC	$36P - 2^{(1)}$		ns
		TS_GENF	$5P - 2^{(1)}$		ns

(1) $P =$ 功能时钟周期 (以 ns 为单位)。

(2) 在 SYNCn_OUT 中, $n = 0$ 至 3

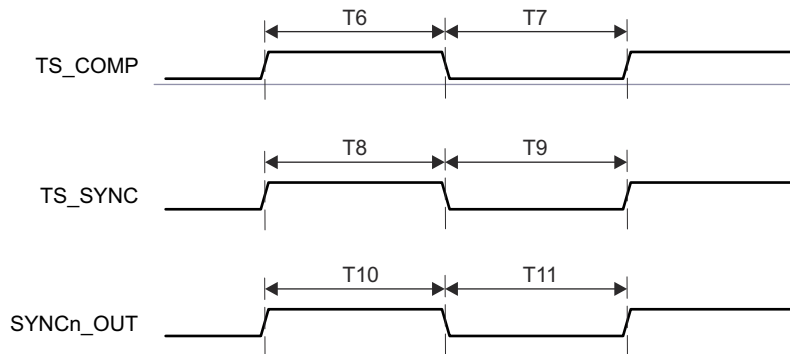


图 6-112. CPTS 开关特性

有关更多信息, 请参阅器件 TRM 的数据移动架构 (DMA) 一章中的 导航器子系统 (NAVSS) 一节。

6.10.5.21 OSPI

有关器件八路串行外设接口的特性和其他说明的更多详细信息, 请参阅节 5.3 “信号说明” 和节 7 “详细说明” 中的相应部分。

表 6-96 表示 OSPI 时序条件。

表 6-96. OSPI 时序条件

参数			最小值	最大值	单位
输入条件					
SR _I	输入压摆率	3.3V	2	6	V/ns
		所有其他模式	1	6	V/ns

表 6-96. OSPI 时序条件 (续)

参数			最小值	最大值	单位
输出条件					
C_L	输出负载电容	所有模式	3	10	pF
PCB 连接要求					
t_d (Trace Delay)	传播延迟 OSPI_CLK 布线	无环回； 内部焊盘环回		450	ps
	传播延迟 OSPI_LBCLKO 布线	外部电路板环回	$2*L-30^{(2)}$	$2*L+30^{(2)}$	ps
	传播延迟 OSPI_DQS 布线	DQS	$L-30^{(2)}$	$L+30^{(2)}$	ps
t_d (Trace Mismatch Delay)	传播延迟不匹配 OSPI_D[i:0] ⁽¹⁾ 、OSPI_CS <i>n</i> 相对于 OSPI_CLK	所有模式		60	ps

(1) 对于 OSPI0, D[i:0] 中的 i = 0 至 7；对于 OSPI1, [i:0] 中的 i = 3

(2) L = OSPI_CLK 布线的传播延迟

6.10.5.21.1 OSPI PHY 模式

6.10.5.21.1.1 带数据训练的 OSPI

备注

当 OSPI 与数据训练结合使用时，I/O 时序要求和开关特性不适用。按照节 8.3.2 “OSPI 和 QSPI 电路板设计和布局指南” 部分的说明操作，以确保正常运行。

6.10.5.21.1.1.1 OSPI 开关特性 - 数据训练

参数	说明	模式	最小值	最大值	单位
$t_{c}(\text{CLK})$	周期时间，CLK	DDR，1.8V	6		ns
		DDR，3.3V	7.5		ns
$t_{c}(\text{CLK})$	周期时间，CLK	SDR，1.8V	6		ns
		SDR，3.3V	7.5		ns

6.10.5.21.1.2 无数据训练的 OSPI

备注

本节中提供的 I/O 时序仅适用于未实施数据培训的情况。此外，按本节的表 6-97 所述配置了相应的 DLL 延迟时，I/O 时序仅对某些 OSPI 使用模式有效。

节 6.10.5.21.1.2.4、节 6.10.5.21.1.2.2、节 6.10.5.21.1.2 和节 6.10.5.21.1.2 说明了 OSPI DDR 和 SDR 模式的开关特性。

6.10.5.21.1.2.1 OSPI 时序要求 - SDR 模式

表 6-97. OSPI DLL 延迟映射 - SDR 时序模式

模式	OSPI_PHY_CONFIGURATION_REG 位字段	延迟值
所有模式	PHY_CONFIG_TX_DLL_DELAY_FLD	0x0
	PHY_CONFIG_RX_DLL_DELAY_FLD	0x0

编号	参数	说明	模式	最小值	最大值	单位
O19	$t_{su}(\text{D-CLK})$	建立时间，在有效 CLK 边沿之前 D[i:0] 有效 ⁽¹⁾	1.8V，内部环回	-2.19		ns
			3.3V，内部环回	-1.71		ns
O20	$t_h(\text{CLK-D})$	保持时间，在有效 CLK 边沿之后 D[i:0] 有效 ⁽¹⁾	1.8V，内部环回	7.62		ns
			3.3V，内部环回	8.1		ns
O21	$t_{su}(\text{D-LBCLK})$	建立时间，在有效 LBCLK 输入 (DQS) 边沿之前 D[i:0] 有效 ⁽¹⁾	1.8V，外部电路板环回	-3.1		ns
			3.3V，外部电路板环回	-2.72		ns
O22	$t_h(\text{LBCLK-D})$	保持时间，在有效 LBCLK 输入 (DQS) 边沿之后 D[i:0] 有效 ⁽¹⁾	1.8V，外部电路板环回	3.81		ns
			3.3V，外部电路板环回	4.33		ns

(1) 对于 OSPI0，[i:0] 中的 i = 7，对于 OSPI1，[i:0] 中的 i = 3

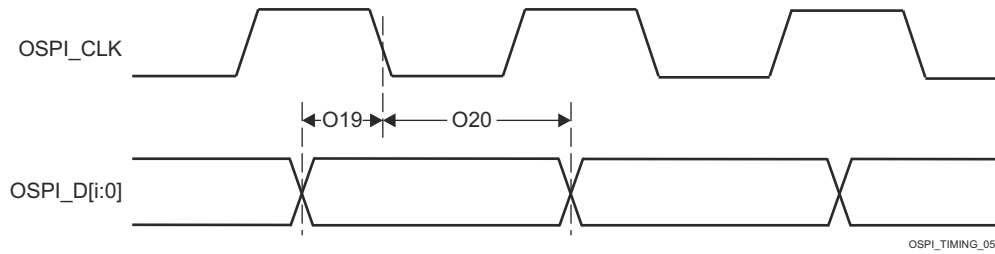


图 6-113. OSPI 时序要求 - SDR，内部时钟和内部焊盘环回时钟

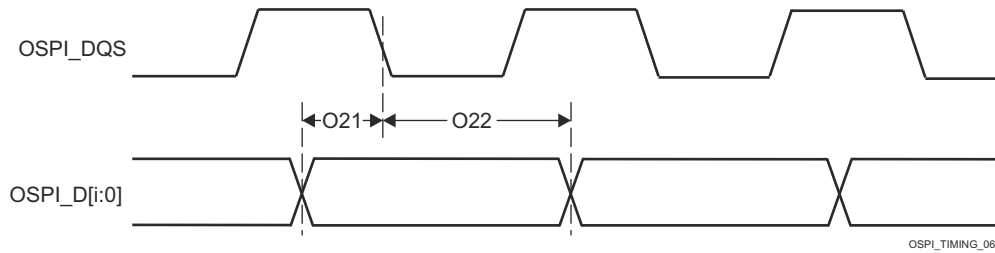


图 6-114. OSPI 时序要求 - SDR，外部环回时钟

6.10.5.21.1.2.2 OSPI 开关特性 - SDR 模式

编号	参数	说明	模式	最小值	最大值	单位
O7	$t_{c}(\text{CLK})$	周期时间, CLK	1.8V	7		ns
			3.3V	7.5		ns
O8	$t_{w}(\text{CLKL})$	脉冲持续时间, CLK 低电平		– $0.3+0.475 \cdot P$ (2)		ns
O9	$t_{w}(\text{CLKH})$	脉冲持续时间, CLK 高电平		– $0.3+0.475 \cdot P$ (2)		ns
O10	$t_{d}(\text{CLK-CSn})$	延迟时间, CLK 上升沿到 CSn 有效边沿	1.8V	$0.475 \cdot P + 0.975 \cdot N \cdot R$ (2) (3) (5)	$0.475 \cdot P + 0.975 \cdot N \cdot R + 1$ (3) (3) (5)	ns
			3.3V	$0.475 \cdot P + 0.975 \cdot N \cdot R$ (2) (3) (5)	$0.475 \cdot P + 0.975 \cdot N \cdot R + 1$ (2) (3) (5)	ns
O11	$t_{d}(\text{CLK-CSn})$	延迟时间, CLK 上升沿到 CSn 无效边沿	1.8V	$0.475 \cdot P + 0.975 \cdot N \cdot R - 1$ (2) (4) (5)	$0.475 \cdot P + 0.975 \cdot N \cdot R + 1$ (2) (4) (5)	ns
			3.3V	$-1+0.475 \cdot P + 0.975 \cdot N \cdot R$ (2) (4) (5)	$1+0.475 \cdot P + 0.975 \cdot N \cdot R$ (2) (4) (5)	ns
O12	$t_{d}(\text{CLK-D})$	延迟时间, CLK 有效边沿到 D[i:0] 转换 ⁽¹⁾	1.8V	-1.16	1.25	ns
			3.3V	-1.33	1.51	ns

(1) 对于 OSPI0, [i:0] 中的 i = 7, 对于 OSPI1, [i:0] 中的 i = 3

(2) $P = \text{CLK 周期时间} = \text{SCLK 周期}$ (3) $N = \text{OSPI\_DEV\_DELAY\_REG[D\_INIT\_FLD]}$ (4) $N = \text{OSPI\_DEV\_DELAY\_REG[D\_AFTER\_FLD]}$ (5) $R = \text{refclk}$

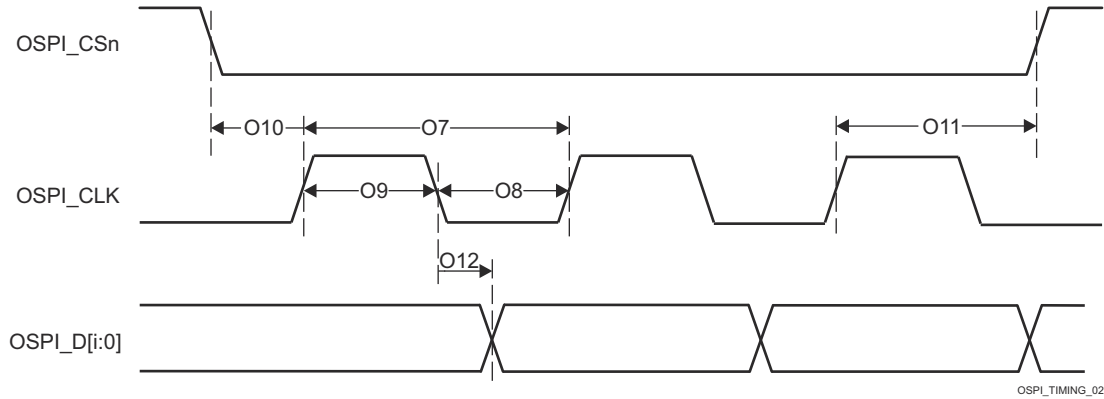


图 6-115. OSPI 开关特性 - SDR

节 6.10.5.21.1.2.3、节 6.10.5.21.1.2.1、节 6.10.5.21.1.2.2、节 6.10.5.21.1.2.2 和图 6-114 说明了 OSPI DDR 和 SDR 模式的时序要求。

6.10.5.21.1.2.3 OSPI 时序要求 - DDR 模式

表 6-98. OSPI DLL 延迟映射 - DDR 时序模式

模式	OSPI_PHY_CONFIGURATION_REG 位 字段	延迟值	
		OSPI0	OSPI1
发送			
1.8V	PHY_CONFIG_TX_DLL_DELAY_FLD	0x40	0x41
3.3V	PHY_CONFIG_TX_DLL_DELAY_FLD	0x3C	0x3E
接收			
1.8V，DQS	PHY_CONFIG_RX_DLL_DELAY_FLD	0x13	0x15
3.3V，DQS	PHY_CONFIG_RX_DLL_DELAY_FLD	0x1E	0x1E
所有其他模式	PHY_CONFIG_RX_DLL_DELAY_FLD	0x0	0x0

编号	参数	说明	模式	最小值	最大值	单位
O15	$t_{su}(D-LBCLK)$	建立时间，在有效 LBCLK (DQS) 边沿之前 D[i:0] 有效 ⁽¹⁾	1.8V，外部电路板环回	0.52		ns
			3.3V，外部电路板环回	1.97		ns
O16	$t_h(LBCLK-D)$	保持时间，在有效 LBCLK (DQS) 边沿之后 D[i:0] 有效 ⁽¹⁾	1.8V，外部电路板环回	1.24 ⁽²⁾		ns
			3.3V，外部电路板环回	1.44 ⁽²⁾		ns
O17	$t_{su}(D-DQS)$	建立时间，DQS 边沿到 D[i:0] 转换 ⁽¹⁾	1.8V, DQS	-0.46		ns
			3.3V, DQS	-0.66		ns
O18	$t_h(DQS-D)$	保持时间，DQS 边沿到 D[i:0] 转换 ⁽¹⁾	1.8V, DQS	3.59		ns
			3.3V, DQS	8.89		ns

(1) 对于 OSPI0，[i:0] 中的 i = 7，对于 OSPI1，[i:0] 中的 i = 3

(2) 此保持时间要求大于典型闪存器件提供的保持时间。因此，SoC 和闪存器件之间的布线长度必须足够长，以确保满足 SoC 的保持时间。有关更多详细信息，请参阅节 8.3.2。

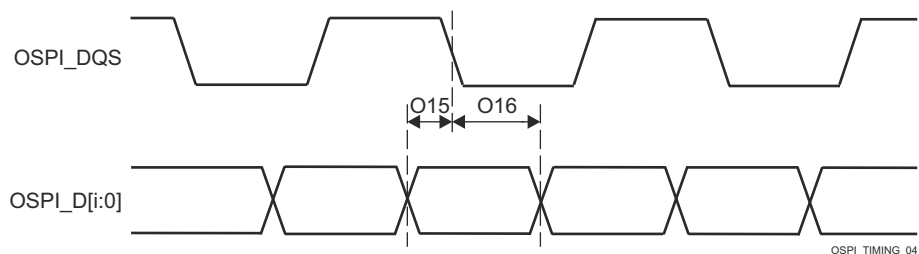


图 6-116. OSPI 时序要求 - DDR、外部环回时钟和 DQS

6.10.5.21.1.2.4 OSPI 开关特性 - DDR 模式

编号	参数	说明	模式	最小值	最大值	单位
O1	$t_{c(CLK)}$	周期时间, CLK	1.8V	19		ns
			3.3V	19		ns
O2	$t_{w(CLKL)}$	脉冲持续时间, CLK 低电平		$0.475 \cdot P - 0.3$ (2)		ns
O3	$t_{w(CLKH)}$	脉冲持续时间, CLK 高电平		$0.475 \cdot P - 0.3$ (2)		ns
O4	$t_d(CLK-CSn)$	延迟时间, CSn 有效边沿到 CLK 上升沿	1.8V	$0.475 \cdot P + 0.975 \cdot N \cdot R$ (2) (3) (5)	$0.475 \cdot P + 0.975 \cdot N \cdot R + 1$ (2) (3) (5)	ns
			3.3V	$0.475 \cdot P + 0.975 \cdot N \cdot R$ (2) (3) (5)	$0.475 \cdot P + 0.975 \cdot N \cdot R + 1$ (2) (3) (5)	ns
O5	$t_d(CLK-CSn)$	延迟时间, CLK 上升沿到 CSn 无效边沿	1.8V	$0.475 \cdot P + 0.975 \cdot N \cdot R - 7$ (2) (4) (5)	$0.475 \cdot P + 0.975 \cdot N \cdot R$ (2) (4) (5)	ns
			3.3V, OSPI0 DDR TX ; 3.3V, OSPI1 DDR TX	$0.475 \cdot P + 0.975 \cdot N \cdot R - 7$ (2) (4) (5)	$0.475 \cdot P + 0.975 \cdot N \cdot R$ (2) (4) (5)	ns
O6	$t_d(CLK-D)$	延迟时间, CLK 有效边沿到 D[i:0] 转换 ⁽¹⁾	1.8V, OSPI0 DDR TX ; 1.8V, OSPI1 DDR TX	-7.71	-1.56	ns
			3.3V, OSPI0 DDR TX ; 3.3V, OSPI1 DDR TX	-7.71	-1.56	ns

(1) 对于 OSPI0, [i:0] 中的 i = 7, 对于 OSPI1, [i:0] 中的 i = 3

(2) $P = CLK$ 周期时间 = SCLK 周期(3) $N = OSPI\_DEV\_DELAY\_REG[D\_INIT\_FLD]$ (4) $N = OSPI\_DEV\_DELAY\_REG[D\_AFTER\_FLD]$ (5) $R = refclk$

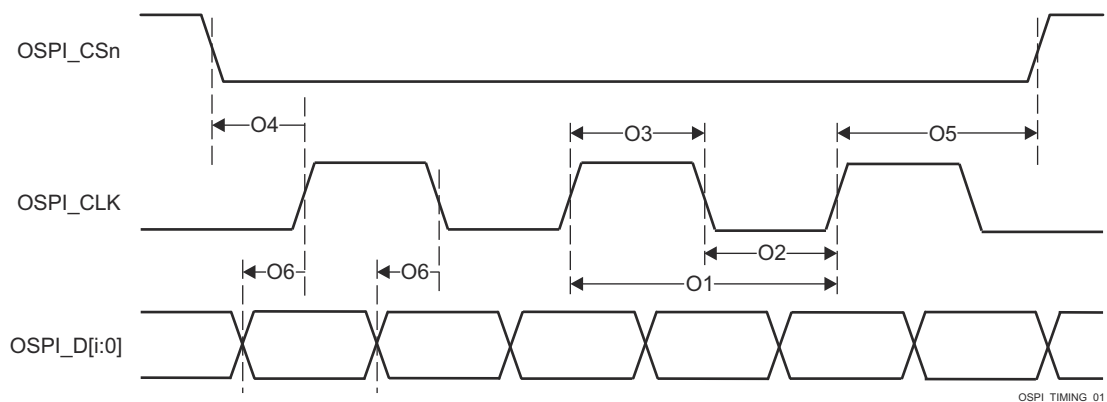


图 6-117. OSPI 开关特性 - DDR

6.10.5.21.2 OSPI Tap 模式

6.10.5.21.2.1 OSPI Tap SDR 时序

表 6-99、图 6-118、表 6-100 和图 6-119 展示了 OSPI0 的时序要求和开关特性 - Tap SDR 模式。

表 6-99. OSPI 时序要求 - Tap SDR 模式

请参阅图 6-118

编号		模式	最小值	最大值	单位
O19	$t_{su(D-CLK)}$	建立时间，在有效 OSPI_CLK 边沿之前 OSPI_D[7:0] 有效	无环回	$(10.4 - (0.975T^{(1)}R^{(2)}))$	ns
O20	$t_{h(CLK-D)}$	保持时间，在有效 OSPI_CLK 边沿之后 OSPI_D[7:0] 有效	无环回	$(-0.2 + (0.975T^{(1)}R^{(2)}))$	ns

- (1) T = OSPI_RD_DATA_CAPTURE_REG[DELAY_FLD]
(2) R = 基准时钟周期时间 (以 ns 为单位)

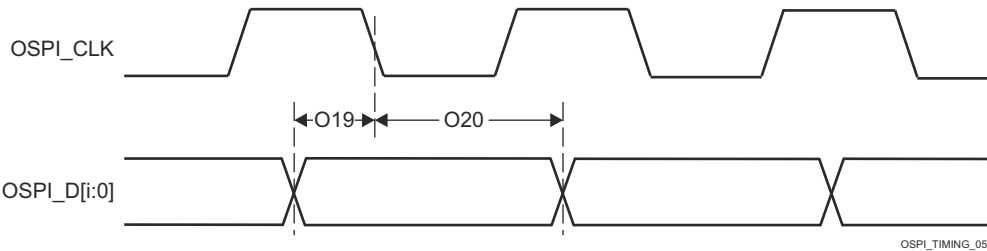


图 6-118. OSPI 时序要求 - Tap SDR，无环回

表 6-100. OSPI0/1 开关特性 - Tap SDR 模式

请参阅图 6-119

编号	参数	模式	最小值	最大值	单位
O7	$t_{c(CLK)}$	周期时间, OSPI0/1_CLK	20		ns
O8	$t_{w(CLKL)}$	脉冲持续时间, OSPI0/1_CLK 低电平	$((0.475P^{(1)}) - 0.3)$		ns
O9	$t_{w(CLKH)}$	脉冲持续时间, OSPI0/1_CLK 高电平	$((0.475P^{(1)}) - 0.3)$		ns
O10	$t_{d(CSn-CLK)}$	延迟时间, OSPI0/1_CSn[3:0] 有效边沿到 OSPI0/1_CLK 上升沿	$((0.475P^{(1)}) + (0.975M^{(2)}R^{(4)}) - 1.5)$	$((0.525P^{(1)}) + (1.025M^{(2)}R^{(4)}) + 1.5)$	ns
O11	$t_{d(CLK-CSn)}$	延迟时间, OSPI0/1_CLK 上升沿到 OSPI0/1_CSn[3:0] 无效边沿	$((0.475P^{(1)}) + (0.975N^{(3)}R^{(4)}) - 1.5)$	$((0.525P^{(1)}) + (1.025N^{(3)}R^{(4)}) + 1.5)$	ns
O12	$t_{d(CLK-D)}$	延迟时间, OSPI0/1_CLK 有效边沿到 OSPI0/1_D[7:0] 转换	-2	2	ns

(1) P = SCLK 周期时间 (以 ns 为单位) = OSPI0/1_CLK 周期时间 (以 ns 为单位)

(2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]

(3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]

(4) R = 基准时钟周期时间 (以 ns 为单位)

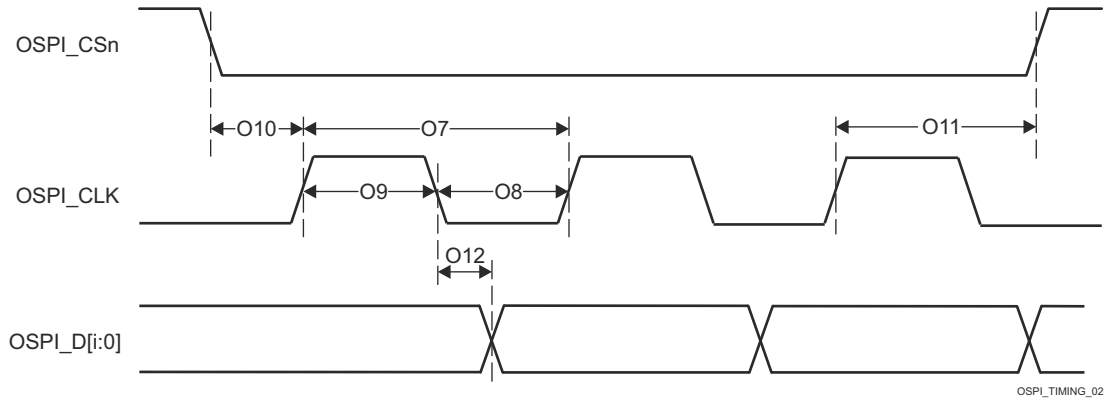


图 6-119. OSPI 开关特性 - Tap SDR , 无环回

6.10.5.21.2.2 OSPI Tap DDR 时序

表 6-101、图 6-120、表 6-102 和图 6-121 展示了 OSPI0 的时序要求和开关特性 - Tap DDR 模式。

表 6-101. OSPI 时序要求 - Tap DDR 模式

请参阅图 6-120

编号			模式	最小值	最大值	单位
O13	$t_{su}(D-CLK)$	建立时间，在有效 OSPI0/1_CLK 边沿之前 OSPI0/1_D[7:0] 有效	无环回	(12.04 - (0.975T ⁽¹⁾ R ⁽²⁾))		ns
O14	$t_h(CLK-D)$	保持时间，在有效 OSPI0/1_CLK 边沿之后 OSPI0/1_D[7:0] 有效	无环回	(1.84 + (0.975T ⁽¹⁾ R ⁽²⁾))		ns

- (1) T = OSPI_RD_DATA_CAPTURE_REG[DELAY_FLD]
(2) R = 基准时钟周期时间 (以 ns 为单位)

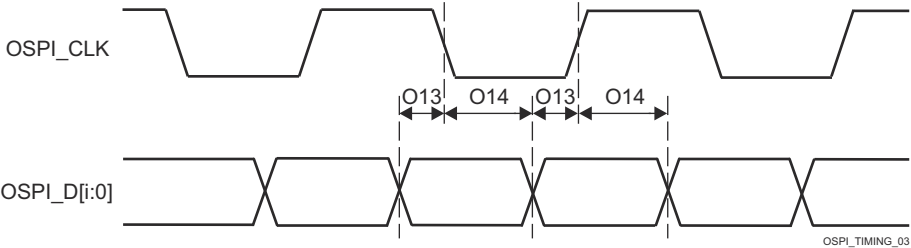


图 6-120. OSPI 时序要求 - Tap DDR，无环回

表 6-102. OSPI0/1 开关特性 - Tap DDR 模式

请参阅图 6-121

编号	参数	模式	最小值	最大值	单位
O1	$t_{c(CLK)}$	周期时间, OSPI0/1_CLK	40		ns
O2	$t_{w(CLKL)}$	脉冲持续时间, OSPI0/1_CLK 低电平	$((0.475P^{(1)}) - 0.3)$		ns
O3	$t_{w(CLKH)}$	脉冲持续时间, OSPI0/1_CLK 高电平	$((0.475P^{(1)}) - 0.3)$		ns
O4	$t_{d(CSn-CLK)}$	延迟时间, OSPI0/1_CSn[3:0] 有效边沿到 OSPI0/1_CLK 上升沿	$((0.475P^{(1)}) + ((0.975M^{(2)}R^{(5)}) - 1.5)$	$((0.525P^{(1)}) + (1.025M^{(2)}R^{(5)}) + 1.5)$	ns
O5	$t_{d(CLK-CSn)}$	延迟时间, OSPI0/1_CLK 上升沿到 OSPI0/1_CSn[3:0] 无效边沿	$((0.475P^{(1)}) + (0.975N^{(3)}R^{(5)}) - 1.5)$	$((0.525P^{(1)}) + (1.025N^{(3)}R^{(5)}) + 1.5)$	ns
O6	$t_{d(CLK-D)}$	延迟时间, OSPI0/1_CLK 有效边沿到 OSPI0/1_D[7:0] 转换	$(-17.94 + (0.975(T^{(4)} + 1)R^{(5)}))$	$(-1.56 + (1.025(T^{(4)} + 1)R^{(5)}))$	ns

(1) P = SCLK 周期时间 (以 ns 为单位) = OSPI0_CLK 周期时间 (以 ns 为单位)

(2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]

(3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]

(4) T = OSPI_RD_DATA_CAPTURE_REG[DDR_READ_DELAY_FLD]

(5) R = 基准时钟周期时间 (以 ns 为单位)

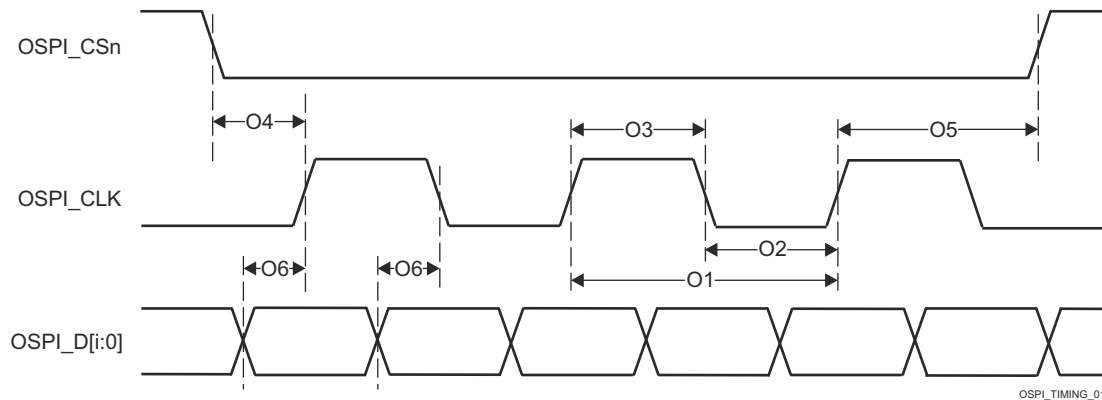


图 6-121. OSPI 开关特性 - Tap DDR, 无环回

6.10.5.22 PCIE

PCI-Express 子系统符合 PCIe® 基础规范修订版 4.0。有关时序详细信息, 请参阅规范。

有关器件外设组件快速互连的特性和其他说明的更多详细信息, 请参阅节 5.3 “信号说明” 和节 7 “详细说明” 中的相应部分。

有关更多信息, 请参阅器件 TRM 的外设一章中的外设组件快速互连 (PCIe) 子系统一节。

6.10.5.23 计时器

有关器件计时器的特性和其他说明的更多详细信息, 请参阅节 5.3 “信号说明” 和节 7 “详细说明” 中的相应部分。

表 6-103 表示计时器时序条件。

表 6-103. 计时器时序条件

参数	说明	模式	最小值	最大值	单位
输入条件					
SR _i	输入压摆率	捕获	0.5	5	V/ns
输出条件					

表 6-103. 计时器时序条件 (续)

参数	说明	模式	最小值	最大值	单位
C _L	输出负载电容	PWM	2	10	pF

节 6.10.5.23.1、节 6.10.5.23.2 和图 6-122 说明了计时器的时序和开关特性。

6.10.5.23.1 计时器的时序要求

编号	参数	说明	模式	最小值	最大值	单位
T1	t _w (TINPH)	脉冲持续时间, 高电平	捕获	2.5 + 4P ⁽¹⁾		ns
T2	t _w (TINPL)	脉冲持续时间, 低电平	捕获	2.5 + 4P ⁽¹⁾		ns

(1) P = 功能时钟周期 (以 ns 为单位)。

6.10.5.23.2 计时器的开关特性

编号	参数	说明	模式	最小值	最大值	单位
T3	t _w (TOUTH)	脉冲持续时间, 高电平	PWM	-2.5 + 4P ⁽¹⁾		ns
T4	t _w (TOUTL)	脉冲持续时间, 低电平	PWM	-2.5 + 4P ⁽¹⁾		ns

(1) P = 功能时钟周期 (以 ns 为单位)。

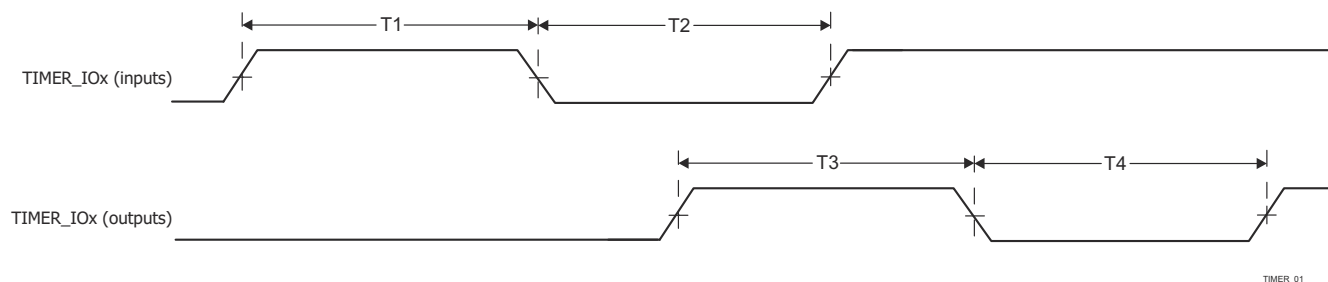


图 6-122. 计时器时序

有关更多信息, 请参阅器件 TRM 的外设一章中的 *计时器* 一节。

6.10.5.24 UART

有关器件通用异步接收器/发送器的特性和其他说明的更多详细信息, 请参阅节 5.3 “信号说明” 和节 7 “详细说明” 中的相应部分。

表 6-104 表示 UART 时序条件。

表 6-104. UART 时序条件

参数	说明	最小值	最大值	单位
输入条件				
SR _I	输入压摆率	0.5	5	V/ns
输出条件				
C _L	输出负载电容	1	30	pF
PCB 连接要求				
t _d (Trace Mismatch Delay)	所有布线之间的传播延迟不匹配		100	ps

节 6.10.5.24.1、节 6.10.5.24.2 和图 6-123 说明了 UART 接口的时序要求和开关特性。

6.10.5.24.1 UART 的时序要求

编号	参数	说明	模式	最小值	最大值	单位
4	$t_{w(rxd)}$	脉冲宽度, 接收数据位高电平或低电平		$0.95U^{(1)}$	$1.05U^{(1)}$	ns
5	$t_{w(rxdS)}$	脉冲宽度, 接收开始位低电平		$0.95U^{(1)}$		ns

(1) $U = \text{UART 波特时间} = 1/\text{编程波特率}$

6.10.5.24.2 UART 开关特性

编号	参数	说明	模式	最小值	最大值	单位
	$f_{op(\text{baud})}$	最大可编程波特率	15pF		12	MHz
			30pF		0.115	
1	$t_{d(\text{ctsnL-txdV})}$	延迟时间, 接收 CTSn 位到发送数据		30		ns
2	$t_{w(\text{txd})}$	脉冲宽度, 发送数据位高电平或低电平		$U - 2^{(1)}$	$U + 2^{(1)}$	ns
3	$t_{w(\text{txdS})}$	脉冲宽度, 发送开始位低电平		$U - 2^{(1)}$		ns

(1) $U = \text{UART 波特时间} = 1/\text{编程波特率}$

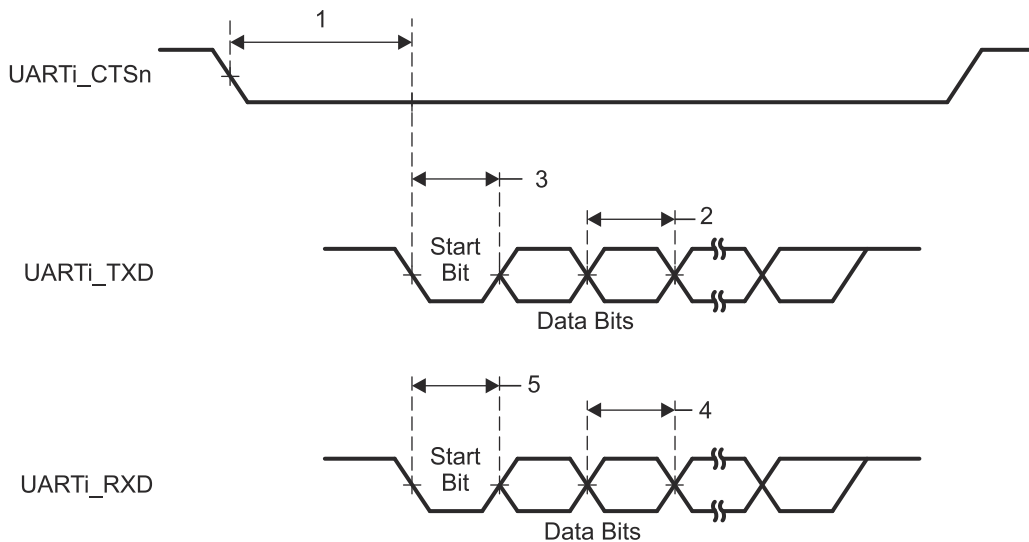


图 6-123. UART 时序

有关更多信息, 请参阅器件 TRM 的外设一章中的通用异步接收器/发送器 (UART) 一节。

6.10.5.25 USB

USB 2.0 子系统符合通用串行总线 (USB) 规范修订版 2.0。有关时序详细信息, 请参阅规范。

USB 3.1 GEN1 双角色设备子系统符合通用串行总线 (USB) 3.1 规范修订版 1.0 的要求。有关时序详细信息, 请参阅规范。

有关通用串行总线子系统 (USB) 特性和其他说明信息的更多详情, 请参阅节 5.3 “信号说明” 和节 7 “详细说明” 中的相应部分。

6.10.6 仿真和调试

6.10.6.1 迹线

表 6-105. 布线时序条件

参数	最小值	最大值	单位
输出条件			
C_L 输出负载电容	2	5	pF

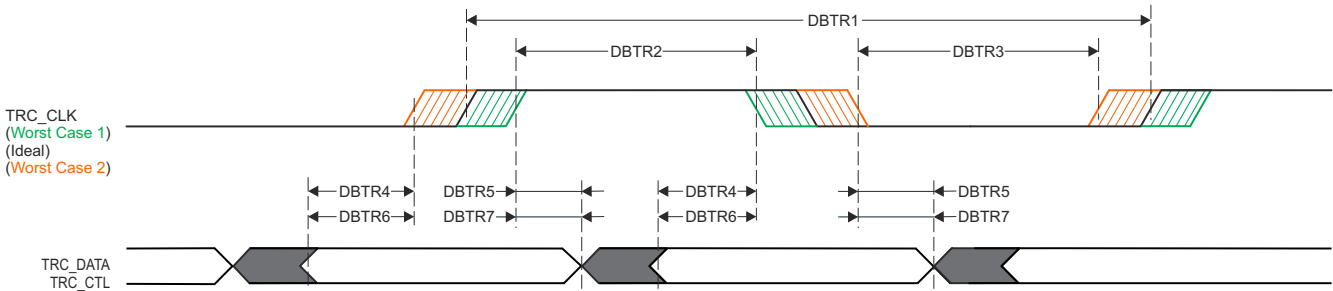
表 6-105. 布线时序条件 (续)

参数	最小值	最大值	单位
PCB 连接要求			
t_d (Trace Mismatch)	所有布线之间的传播延迟不匹配	200	ps

表 6-106 和图 6-124 假设在建议运行条件和电气特性条件下进行测试。

表 6-106. 布线开关特性

编号	参数	最小值	最大值	单位
1.8V 模式				
DBTR1	t_c (TRC_CLK)	TRC_CLK 周期时间	6.50	ns
DBTR2	t_w (TRC_CLKH)	脉冲宽度, TRC_CLK 高电平	2.50	ns
DBTR3	t_w (TRC_CLKL)	脉冲宽度, TRC_CLK 低电平	2.50	ns
DBTR4	t_{osu} (TRC_DATAV-TRC_CLK)	输出建立时间, TRC_DATA 到 TRC_CLK 边沿有效的时间	0.81	ns
DBTR5	t_{oh} (TRC_CLK-TRC_DATAI)	输出保持时间, TRC_CLK 边沿到 TRC_DATA 无效	0.81	ns
DBTR6	t_{osu} (TRC_CTLV-TRC_CLK)	输出建立时间, TRC_CTL 到 TRC_CLK 边沿有效的时间	0.81	ns
DBTR7	t_{oh} (TRC_CLK-TRC_CTLI)	输出保持时间, TRC_CLK 边沿到 TRC_CTL 无效	0.81	ns
3.3V 模式				
DBTR1	t_c (TRC_CLK)	TRC_CLK 周期时间	9.75	ns
DBTR2	t_w (TRC_CLKH)	脉冲宽度, TRC_CLK 高电平	4.13	ns
DBTR3	t_w (TRC_CLKL)	脉冲宽度, TRC_CLK 低电平	4.13	ns
DBTR4	t_{osu} (TRC_DATAV-TRC_CLK)	输出建立时间, TRC_DATA 到 TRC_CLK 边沿有效的时间	1.22	ns
DBTR5	t_{oh} (TRC_CLK-TRC_DATAI)	输出保持时间, TRC_CLK 边沿到 TRC_DATA 无效	1.22	ns
DBTR6	t_{osu} (TRC_CTLV-TRC_CLK)	输出建立时间, TRC_CTL 到 TRC_CLK 边沿有效的时间	1.22	ns
DBTR7	t_{oh} (TRC_CLK-TRC_CTLI)	输出保持时间, TRC_CLK 边沿到 TRC_CTL 无效	1.22	ns



SPRSP08_Design_01

图 6-124. 布线开关特性

6.10.6.2 JTAG

如需进一步详细了解器件 IEEE 1149.1 标准测试访问端口的特性和其他说明信息, 请参阅节 5.3 “信号说明” 和节 7 “详细说明” 中的相应部分。

表 6-107. JTAG 时序条件

参数	最小值	最大值	单位
输入条件			
SR_i	输入压摆率	0.25	2.00 V/ns
输出条件			

表 6-107. JTAG 时序条件 (续)

参数	最小值	最大值	单位
C_L 输出负载电容	5	15	pF

6.10.6.2.1 JTAG 电气数据和时序

节 6.10.6.2.1.1、节 6.10.6.2.1.2 和图 6-125 假设在建议运行条件和电气特性条件下进行测试。

6.10.6.2.1.1 JTAG 时序要求

请参阅图 6-125

编号	参数	最小值	最大值	单位
J1	$t_c(TCK)$ 最小周期时间, TCK	100		ns
J2	$t_w(TCKH)$ 最小脉冲宽度, TCK 高电平	40		ns
J3	$t_w(TCKL)$ 最小脉冲宽度, TCK 低电平	40		ns
J4	$t_{su}(TDI-TCK)$ 最小输入建立时间, TDI 有效到 TCK 高电平	13		ns
	$t_{su}(TMS-TCK)$ 最小输入建立时间, TMS 有效到 TCK 高电平	13		ns
J5	$t_h(TCK-TDI)$ 最小输入保持时间, 从 TCK 高电平到 TDI 有效	7.7		ns
	$t_h(TCK-TMS)$ 最小输入保持时间, 从 TCK 高电平到 TMS 有效	7.7		ns

1. JTAG 信号拆分到器件上的两个 IO 电源域中。仅当两个 IO 电源域在相同的电压下运行时, 此表中定义的时序参数才适用。在不同的电压下运行两个 IO 电源域时, 这些时序参数的值未定义, 因为当一些器件 IO 缓冲器在 1.8V 电压下运行, 而另一些在 3.3V 电压下运行时, 通过这些 IO 缓冲器的传播延迟会有所不同。这实际上降低了超出此表中所定义的值的时间裕度。当两个 IO 电源域在不同电压下运行时, JTAG 接口仍应该能正常工作, 但前提是系统设计人员实施了适当的电平转换器, 并降低了工作频率以适应在不同电压下运行的电平转换器和 IO 缓冲器插入的额外延迟。

6.10.6.2.1.2 JTAG 开关特性

请参阅图 6-125

编号	参数	最小值	最大值	单位
J6	$t_d(TCKL-TDO)$ 最小延迟时间, TCK 低电平到 TDO 无效	0		ns
J7	$t_d(TCKL-TDOV)$ 最大延迟时间, TCK 低电平到 TDO 有效		37.75	ns

1. JTAG 信号拆分到器件上的两个 IO 电源域中。仅当两个 IO 电源域在相同的电压下运行时, 此表中定义的时序参数才适用。在不同的电压下运行两个 IO 电源域时, 这些时序参数的值未定义, 因为当一些器件 IO 缓冲器在 1.8V 电压下运行, 而另一些在 3.3V 电压下运行时, 通过这些 IO 缓冲器的传播延迟会有所不同。这实际上降低了超出此表中所定义的值的时间裕度。当两个 IO 电源域在不同电压下运行时, JTAG 接口仍应该能正常工作, 但前提是系统设计人员实施了适当的电平转换器, 并降低了工作频率以适应在不同电压下运行的电平转换器和 IO 缓冲器插入的额外延迟。

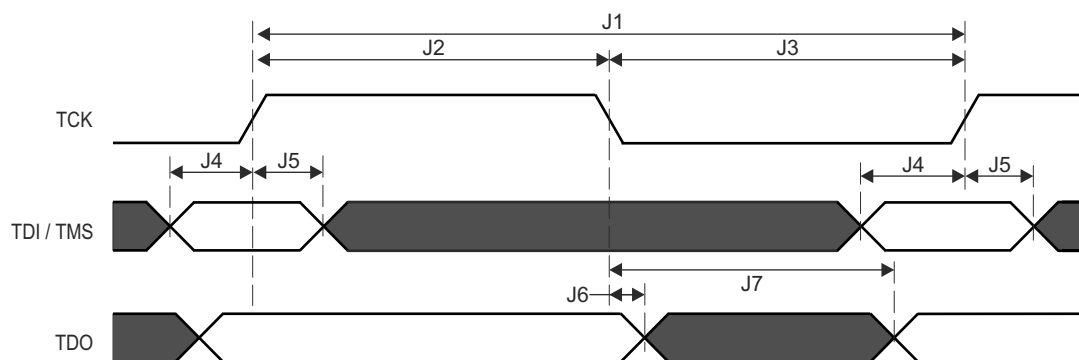


图 6-125. JTAG 时序要求和开关特性

7 Detailed Description

7.1 概述

DRA829 Jacinto™ 7 处理器基于 Arm®v8 64 架构，可提供高级系统集成，以降低汽车和工业应用（例如信息娱乐、仪表组、高级音频和网关）的系统成本。集成式诊断和功能安全特性满足 ASIL-B/C 认证/要求。集成式微控制器 (MCU) 岛无需使用外部系统 MCU。该器件具有千兆位以太网交换机和 PCIe 集线器，可支持需要大量数据带宽的网络使用情况。硬件加速器可提供视觉预处理、距离和运动处理，对系统性能的影响超低。最多六个 Arm®Cortex®-R5F 子系统能够管理低级的时序关键型处理任务，使 Arm®Cortex®-A72 内核不受应用的影响。Arm®Cortex®-A72 的双核集群配置有助于实现多操作系统应用，而且对软件管理程序的需求非常低。

备注

有关超集器件片上系统 (SoC) 的特性、子系统和架构的更多信息，请参阅器件 TRM。

7.2 处理器子系统

7.2.1 Arm Cortex-A72

该器件实现了一个集成在计算集群内部以及其他模块中的双核 Arm® Cortex®-A72 MPU。Cortex-A72 内核是通用处理器，可用于运行客户应用程序。

A72SS 基于 Arm Cortex-A72 MPCore (A72 集群) 构建，后者由 Arm 提供并由 TI 配置。该处理器基于对称多处理器 (SMP) 架构，因此可提供高性能以及出色的电源管理和调试功能。

A72 处理器是一款多发射乱序超标量执行引擎，具有集成的 L1 指令和数据高速缓存，与 Armv8-A 架构兼容。Armv8-A 架构提供了许多新功能。这些新功能包括 64 位数据处理、扩展虚拟寻址和 64 位通用寄存器。

有关更多信息，请参阅器件 TRM 的 *处理器和加速器* 一章中的 *双 A72 MPU 子系统* 一节。

7.2.2 Arm Cortex-R5F

MCU_ARMSS 是 Arm® Cortex®-R5F 处理器的双核实现，配置为进行分离/锁定操作。它还包括附带的存储器 (L1 高速缓存和紧密耦合存储器)、标准 Arm® CoreSight™ 调试和布线架构、集成式矢量中断管理器 (VIM)、ECC 聚合器以及支持协议转换和地址转换的各种包装器，以便于集成到 SoC。

有关更多信息，请参阅器件 TRM 的 *处理器和加速器* 一章中的 *双 R5F MCU 子系统* 一节。

7.2.3 DSP C71x

TMS320C71x 是下一代定点和浮点 DSP 平台。C71x DSP 是德州仪器 (TI) DSP 系列中的新内核。C71x DSP 支持矢量信号处理，与 C6x DSP 系列相比，能够在执行各种通用信号处理任务时显著提升 DSP 处理能力。此外，C71x 还提供多种专用函数，可将目标功能加快 30 倍以上。除了扩展矢量处理能力外，新型 C71x 内核还集成了高级技术，可提高控制代码效率并简化编程，例如分支预测、受保护的流水线、精确异常和虚拟存储器管理。

有关更多信息，请参阅器件 TRM 的 *处理器和加速器* 一章中的 *C71x DSP 子系统* 一节。

7.2.4 DSP C66x

C66x 子系统基于 TI 的标准 TMS320C66x™ DSP CorePac 模块。它包含子系统逻辑，可简化 C66x CorePac 与 SoC 的集成，同时更大程度地重复使用以前器件中的软件。

C66x DSP 通过增强功能和新功能扩展了 C64x+ 和 C674x DSP 的性能。许多新功能的目标是提高矢量处理的性能。C64x+ 和 C674x DSP 支持对 16 位数据进行 2 路 SIMD 运算，以及对 8 位数据进行 4 路 SIMD 运算。在 C66x DSP 上，通过扩展 SIMD 指令的宽度来提高矢量处理能力。

C66x DSP 可以执行操作 128 位向量的指令。例如，QMPY32 指令能够在两个分别包含四个 32 位数据的矢量之间执行元件到元件的乘法。C66x DSP 还支持用于浮点运算的 SIMD。改进的矢量处理能力 (每条指令都可以并行处理多个数据) 与 C6000 架构的自然指令级并行性 (例如，每个周期执行多达八条指令) 相结合，产生了非常高的并行性，DSP 程序员可以通过使用 TI 的经优化 C/C++ 编译器来利用这些并行性。

有关更多信息，请参阅器件 TRM 的 *处理器和加速器* 一章中的 *C66x DSP 子系统* 一节。

7.3 加速器和协处理器

7.3.1 GPU

图形处理单元 (GPU) 可以加快三维 (3D) 和二维 (2D) 图形和计算应用的速度。

GPU 模块是一种可扩展架构，能够高效地同时处理多种不同的工作负载：

- 3D 图形工作负载，其中涉及顶点数据和像素数据处理以渲染 3D 场景。
- 2D 图形工作负载，其中涉及像素数据处理以渲染 2D 对象。
- 计算应用工作负载，其中涉及通用数据处理。

有关更多信息，请参阅器件 TRM 的 *处理器和加速器* 一章中的 *图形加速器 (GPU)* 一节。

7.3.2 D5520MP2

解码器模块是一个 D5520MP2 双核 PowerVR® VPU (视频处理器单元) 。

D5520MP2 能够支持：

- 1 个 4kp60 解码或
- 2 个 4kp30 解码或
- 4 个 1080p60 解码或
- 8 个 1080p30 解码

有关更多信息，请参阅器件 TRM 的 *处理器和加速器* 一章中的 *多标准高清视频解码器 (D5520MP2)* 一节。

7.3.3 VXE384MP2

编码器模块是一个 VXE384MP2 内核 PowerVR® VPU (视频处理器单元) 。

VXE384MP2 能够支持：

- 1 个 1080p60 视频流编码或
- 2 个或 3 个 1080p30 视频流编码

有关更多信息，请参阅器件 TRM 的 *处理器和加速器* 一章中的 *多标准高清视频编码器 (VXE384MP2)* 一节。

7.4 其他子系统

7.4.1 MSMC

多核共享存储器控制器 (MSMC) 构成计算集群 (COMPUTE_CLUSTER0) 的核心, 可提供与所有连接的处理元件和系统其余部分之间的高带宽资源访问。MSMC 用作计算集群的数据移动主干。

有关更多信息, 请参阅器件 TRM 的 *器件配置* 一章中的 *多核共享存储器控制器 (MSMC)* 一节。

7.4.2 NAVSS

7.4.2.1 NAVSS0

主 SoC 导航器子系统 (NAVSS0) 包含 DMA/队列管理组件: UDMA 和环形加速器 (UDMASS)、外设 (模块子系统 [MODSS])、虚拟化转换 (VirtSS) 和北桥 (NBSS)。

7.4.2.2 MCU_NAVSS

MCU 导航器子系统 (MCU NAVSS) 具有主 NAVSS 模块子集, 并在 MCU 域中实例化。

MCU 导航器子系统包含 DMA/队列管理组件: UDMA 和环形加速器 (UDMASS) 以及外设 (模块子系统 [MODSS])。

有关更多信息, 请参阅器件 TRM 中 *数据移动架构 (DMA)* 章节的 *主导航器子系统 (NAVSS)* 和 *MCU 导航器子系统 (MCU NAVSS)* 两节。

7.4.3 PDMA 控制器

外设 DMA 是一种简单的 DMA, 其架构专为满足外设的数据传输需求而设计, 外设使用通过标准非相干总线结构访问的存储器映射寄存器来执行数据传输。PDMA 模块旨在靠近一个或多个需要外部 DMA 进行数据移动的外设, 其架构旨在通过使用 VBUSP 接口并仅支持静态配置的传输请求 (TR) 操作来降低成本。

PDMA 仅负责执行与外设本身交互的数据移动事务。从给定外设读取的数据由 PDMA 源通道打包到 PSI-L 数据流中, 然后将其发送到远程对等 UDMA-P 目标通道, 然后由该通道将数据移动到存储器中。同样, 远程 UDMA-P 源通道从存储器中获取数据, 并通过 PSI-L 将其传输到对等 PDMA 目标通道, 然后由 PSI-L 执行对外设的写入操作。

PDMA 架构特意采用异构结构 (UDMA-P + PDMA), 以适当调整系统中每个点的数据传输复杂性, 以满足传入或传出的任何内容的要求。外设通常基于 FIFO, 不需要超出其 FIFO 尺寸要求的多维传输, 因此 PDMA 传输引擎保持简单, 仅具有几个维度 (通常用于样本大小和 FIFO 深度)、硬编码地址映射和简单的触发功能。

PDMA 内提供多个源通道和目标通道, 允许同时进行多个传输操作。DMA 控制器维护每个通道的状态信息, 并在通道之间采用轮询调度以共享底层 DMA 硬件。

有关更多信息, 请参阅器件 TRM 的 *DMA 控制器* 一章中的 *PDMA 控制器* 一节。

7.4.4 电源

该器件需要 6 种电源类型和 1 种内部 LDO 连接类型, 请参阅 *电源信号说明*:

- 数字 IO 电压
- 数字低电压
- 数字 AVS 电压
- 模拟 PHY 和 CLK 电压
- 模拟低电压
- 电子保险丝编程电压
- LDO 大容量滤波电容器

常见的器件电源输入类型可以分组到电源轨中。所有电源轨都必须由专门设计用于支持最严格的电源电压规格和总负载电流需求的电源提供。已定义的两个建议配电网 (PDN) 可以组合或隔离 MCU 域和 Main 域 (请参阅 [节 8.1 电源映射](#))。

在某些系统中可能不需要一些电源输入。在这种情况下，除了 VPP_CORE 和 VPP_MCU 外，所有未使用的电源输入都必须连接到具有适当电压电平的有效电源轨，以确保器件可靠性（请参阅 [节 6.4 建议运行条件](#)）。以下示例可供参考：

1. 如果未使用“MCU 岛”安全监测器或“仅 MCU”低功耗处理，则可以将 VDD_MCU 电源与具有兼容工作电压规格的 VDD_CORE 电源组合起来。
2. 如果不需要 UHS-I SD 卡或 USB2.0 接口，则可以将 VDDSHV5（MMC1 接口）和 VDDA_USB_3P3（USB PHY 接口）与 VDD_IO_3V3 数字 IO 电源轨组合起来。
3. 如果使用通用器件类型，则不需要电子保险丝编程电压 VPP_CORE 和 VPP_MCU，而应使其保持未连接状态。

7.4.5 外设

7.4.5.1 ADC

模数转换器 (ADC) 模块包含一个单通道 12 位 ADC。这个 ADC 可以复用为 8 个模拟输入（通道）中的任何一个。

有关更多信息，请参阅器件 TRM 的外设一章中的 *模数转换器 (ADC)* 一节。

7.4.5.2 ATL

HD Radio™ 应用会使用音频跟踪逻辑 (ATL) 使数字音频输出与基带时钟同步。通常情况下，同样的这一 IP 也可用于跟踪两个基准信号之间的误差（例如帧同步），并生成调制时钟输出（使用软件控制的周期窃取），使其平均达到某个所需的频率。此过程可用作异步采样率转换算法的硬件辅助。

有关更多信息，请参阅器件 TRM 的外设一章中的 *音频跟踪逻辑 (ATL)* 一节。

7.4.5.3 CSI

7.4.5.3.1 摄像头流媒体接口接收器 (CSI_RX_IF) 和 MIPI DPHY 接收器 (DPHY_RX)

通过集成 CSI_RX_IF 模块，该器件可以将视频输入从多个摄像头流式传输到内部存储器。也可以通过发送器 CSI (CSI_TX_IF) 重新发送视频输入以用于调试和测试。

有关更多信息，请参阅器件 TRM 的外设一章中的 *摄像头流媒体接口 (CSI)* 一节。

7.4.5.3.2 摄像头流媒体接口发送器 (CSI_TX_IF)

通过集成 CSI_TX_IF 模块，该器件可从存储器流式传出视频数据，或从 CSI 接收器重新发送视频数据作为可选循环输出以用于诊断、调试和测试。

有关更多信息，请参阅器件 TRM 的外设一章中的 *摄像头流媒体接口 (CSI)* 一节。

7.4.5.4 CPSW2G

双端口千兆位以太网 MAC (MCU_CPSW0) 子系统为器件提供以太网数据包通信，并按类似的方式配置为以太网交换机。MCU_CPSW0 具有简化千兆位媒体独立接口 (RGMI) 、简化媒体独立接口 (RMII) 以及用于物理层器件 (PHY) 管理的管理数据输入/输出 (MDIO) 接口。

有关更多信息，请参阅器件 TRM 的外设一章中的 *千兆位以太网交换机 (CPSW0)* 一节。

7.4.5.5 CPSW9G

9 端口千兆位以太网交换机 (CPSW0) 子系统为器件提供以太网数据包通信，并可配置为以太网交换机。CPSW0 具有串行千兆位媒体独立接口 (SGMII) 、简化千兆位媒体独立接口 (RGMI) 、简化媒体独立接口 (RMII) 以及用于物理层器件 (PHY) 管理的管理数据输入/输出 (MDIO) 接口。

有关更多信息，请参阅器件 TRM 的外设一章中的 *千兆位以太网交换机 (MCU_CPSW0)* 一节。

7.4.5.6 DCC

双时钟比较器 (DCC) 用于确定应用程序执行期间时钟信号的精度。具体而言, DCC 旨在检测相对于预期时钟频率的漂移。可以根据每个应用程序的计算结果对所需精度进行编程。DCC 使用另一个输入时钟作为基准来测量可选时钟源的频率。

有关更多信息, 请参阅器件 TRM 的外设一章中的 *双时钟比较器 (DCC)* 一节。

7.4.5.7 DDRSS

此器件中的 DDR 子系统包含 DDR 控制器、DDR PHY 和包装器逻辑, 用于将这些块集成到器件中。DDR 子系统被称为 DDRSS0, 用于提供与外部 SDRAM 器件的接口, 这些器件可用于存储程序或数据。DDRSS0 通过 MSMC 访问, 而不是直接通过系统互连访问。

有关更多信息, 请参阅器件 TRM 的外设一章中的 *DDR 子系统 (DDRSS)* 一节。

7.4.5.8 DSS

DSS 是一个灵活的合成型显示子系统, 支持多个高分辨率显示输出。此系统由一个显示控制器 (DISPC) 和一个帧缓冲器解压缩内核 (FBDC) 组成。DISPC 对于其每个显示输出均支持多层混合和透明度。DISPC 还支持具有缩放功能的回写流水线, 旨在实现存储器到存储器的合成和/或捕获用于以太网视频编码的显示输出。

有关更多信息, 请参阅器件 TRM 的外设一章中的 *显示子系统 (DSS)* 一节。

7.4.5.8.1 DSI

MIPI DSI v1.3.1 控制器 (DSITX) 采用了 MIPI DSI 1.3 标准所需的流仲裁和低级协议层功能。它在单链路配置中支持最多 4 个 2.5Gbps D-PHY 数据通道, 并按具体用例 (1、2、3 或 4 通道) 处理字节通道映射。附带的 DSI (物理层) D-PHY 模块 (DPHYTX) 采用一个四通道 MIPI D-PHY 发送器来提供视频输出连接功能。

有关更多信息, 请参阅器件 TRM 的外设一章中的 *显示子系统 (DSS)* 和 *显示外设* 一节。

7.4.5.8.2 eDP

符合 VESA DP1.4/eDP1.4 标准的发送器主机控制器 (EDP) 可以通过 4 通道配套串行器/解串器模块输出多达 4 个视频流 (通过多流传输/MST) 和一个音频流。它提供高达 25.92Gbps 的应用带宽。一个附加的 eDP (物理层) 辅助 PHY (AUXPHY) 模块实现了一个双端接差分对, 从而满足在长 (15m) 电缆上实现 1Mbps 数据速率的需求。

有关更多信息, 请参阅器件 TRM 的外设一章中的 *显示子系统 (DSS)* 和 *显示外设* 一节。

7.4.5.9 VPFE

视频处理前端 (VPFE) 是一个输入接口模块, 用于接收来自外部成像外设 (例如图像传感器、视频解码器等) 的原始 (未处理) 图像/视频数据或 YUV 数字视频数据, 并执行 DMA 传输, 以将采集的数据存储在系统 DDR 存储器中。

有关更多信息, 请参阅器件 TRM 的外设章节中的 *视频处理前端 (VPFE)* 一节。

7.4.5.10 eCAP

增强型捕捉 (ECAP) 模块可用于:

- 音频输入的采样速率测量
- 测量旋转机械的速度 (例如, 通过霍尔传感器感应齿状链轮)
- 位置传感器脉冲之间的持续时间测量
- 脉冲序列信号的周期和占空比测量
- 解码来自占空比编码电流/电压传感器的电流或电压振幅

有关更多信息, 请参阅器件 TRM 的外设一章中的 *增强型捕获 (ECAP) 模块* 一节。

7.4.5.11 EPWM

有效的 PWM 外设必须能够以最小的 CPU 开销或干预生成复杂的脉冲宽度波形。该外设需要高度可编程且非常灵活, 同时易于理解和使用。此处介绍的 EPWM 单元通过在每个 PWM 通道的基础上分配所有需要的计时和控制资

源来满足这些要求。避免了交叉耦合或资源共享；相反，EPWM 由具有独立资源的较小单通道模块构建而成，并且可以根据需要一起运行以形成系统。该模块化方法形成了正交架构，并提供了更透明的外设结构视图，帮助用户快速了解其运行原理。

在进一步的说明中，信号或模块名称中的字母 **x** 用于指示器件上的通用 EPWM 实例。例如，输出信号 EPWMxA 和 EPWMxB 指来自 EPWM_x 实例的输出信号。因此，EPWM1A 和 EPWM1B 属于 EPWM1，EPWM2A 和 EPWM2B 属于 EPWM2，依此类推。

此外，EPWM 集成允许将该同步方案扩展至捕获外设模块 (ECAP)。模块的数量取决于器件并基于目标应用需求。模块也可以独立运行。

有关更多信息，请参阅器件 TRM 的外设一章中的 *增强型脉宽调制 (EPWM) 模块* 一节。

7.4.5.12 ELM

错误定位模块 (ELM) 与 GPMC 一起使用。读取 NAND 闪存页面时动态生成并存储在 GPMC 寄存器中的伴随多项式被传递到 ELM。然后，主机处理器可以通过翻转 ELM 错误位置输出指向的位来纠正数据块。

从 NAND 闪存读取数据时，需要进行一定程度的纠错。对于没有内部校正功能的 NAND 模块（有时称为裸 NAND），校正过程由存储器控制器执行。ELM 还可用于支持并行 NOR 闪存或 NAND 闪存。

有关更多信息，请参阅器件 TRM 的外设一章中的 *错误定位模块 (ELM)* 一节。

7.4.5.13 ESM

错误信令模块 (ESM) 将整个器件中的安全相关事件和/或错误聚合到一个位置。它可以向处理器发出低优先级和高优先级中断信号，以处理安全事件和/或操纵 I/O 错误引脚，向外部硬件发出已发生错误的信号。因此，外部控制器能够使器件复位或使系统保持在安全、已知的状态。

有关更多信息，请参阅器件 TRM 的外设一章中的 *错误信令模块 (ESM)* 一节。

7.4.5.14 eQEP

增强型正交编码器脉冲 (EQEP) 外设用于与线性或旋转增量编码器进行直接连接，以便获取高性能运动和位置控制系统中使用的旋转机器的位置、方向和速度信息。增量编码器的盘上刻有单轨槽图案。这些槽形成暗线和亮线交替的图案。盘计数定义为每转出现的暗线/亮线对的数量（每转线数）。通常，添加第二个轨道，每转一次生成一个信号（索引信号：QEPI），可用于指示绝对位置。编码器制造商使用不同的术语（例如索引、标记、初始位置和零基准）来标识索引脉冲。

有关更多信息，请参阅器件 TRM 的外设一章中的 *增强型正交编码器脉冲 (EQEP) 模块* 一节。

7.4.5.15 GPIO

通用输入/输出 (GPIO) 外设提供专用的通用引脚，可以配置为输入或输出。当配置为输出时，用户可以对内部寄存器进行写入来控制输出引脚上驱动的状态。当配置为输入时，用户可以通过读取内部寄存器的状态来获取输入的状态。

此外，GPIO 外设可以在不同的中断/事件生成模式下产生主机 CPU 中断和 DMA 同步事件。

有关更多信息，请参阅器件 TRM 的外设一章中的 *通用接口 (GPIO)* 一节。

7.4.5.16 GPMC

通用存储器控制器是一个统一的存储器控制器，专用于与外部存储器器件连接，例如：

- 类似 SRAM 的异步存储器和应用特定集成电路 (ASIC) 器件
- 异步、同步和页面模式（仅在非多路复用模式下可用）突发 NOR 闪存器件
- NAND 闪存
- 伪 SRAM 器件

有关更多信息，请参阅器件 TRM 的外设一章中的 *通用存储器控制器 (GPMC)* 一节。

7.4.5.17 Hyperbus

Hyperbus 模块是器件闪存子系统 (FSS) 的一部分。

Hyperbus 模块是一种引脚数较少的存储器接口, 可提供较高的读取/写入性能。Hyperbus 模块连接至 hyperbus 存储器 (HyperFlash 或 HyperRAM), 并使用简单的 hyperbus 协议执行读取和写入事务。

该器件中有一个 Hyperbus™ 模块。Hyperbus 模块包括一个 Hyperbus 存储器控制器 (HBMC)。

有关更多信息, 请参阅器件 TRM 的外设一章中的 *Hyperbus 接口* 一节。

7.4.5.18 I2C

该器件包含 10 个多主内部集成电路 (I2C) 控制器, 每个控制器都在 Arm 或数字信号处理器 (DSP) 等本地主机 (LH) 和通过 I2C 串行总线连接的任何 I2C 总线兼容型器件之间提供一个接口。连接到 I2C 总线的外部元件可以通过 2 线 I2C 接口以串行方式向 LH 设备发送和从其接收高达 8 位的数据。

每个多主 I2C 模块均可配置为主/从 I2C 兼容型器件。

WKUP_I2C0、MCU_I2C0、I2C0 和 I2C1 控制器具有专用的 I2C 兼容型开漏缓冲器, 并支持高速模式 (在 1.8V 模式下高达 3.4Mbps, 在 3.3V 模式下高达 400kbps)。MCU_I2C1、I2C2、I2C3、I2C4、I2C5 和 I2C6 控制器与标准 LVCMOS I/O 进行多路复用, 连接后对开漏进行仿真, 并支持快速模式 (在 1.8V/3.3V 模式下高达 400kbps)。通过将 LVCMOS 缓冲器配置为输出高阻态, 而不是在发送逻辑 1 时驱动为高电平, 可实现 I2C 仿真。

有关更多信息, 请参阅器件 TRM 的外设一章中的 *内部集成电路 (I2C)* 一节。

7.4.5.19 I3C

该器件包含三个改进型内部集成电路 (I3C) 控制器, 每个控制器都在 Arm 等本地主机 (LH) 和通过 I3C 串行总线连接的任何 I3C 总线兼容型器件之间提供一个接口。

有关更多信息, 请参阅器件 TRM 的外设一章中的 *改进型内部集成电路 (I3C) 接口* 一节。

7.4.5.20 MCAN

控制器局域网 (CAN) 是一种串行通信协议, 用于有效地为分布式实时控制提供支持。CAN 具有较高的抗电气干扰能力。在 CAN 网络中, 许多较短的信息会广播到整个网络, 从而在系统的每个节点中提供数据一致性。

MCAN 模块支持传统 CAN 和 CAN FD (具有灵活数据速率的 CAN) 规范。CAN FD 特性可实现高吞吐量和增加每个数据帧的有效负载。传统 CAN 和 CAN FD 器件可以在同一网络中共存, 不会发生任何冲突。

有关更多信息, 请参阅器件 TRM 的外设一章中的 *模块化控制器局域网 (MCAN)* 一节。

7.4.5.21 MCASP

MCASP 作为通用音频串行端口的功能针对各种音频应用的要求进行了优化。MCASP 模块可以在发送和接收模式下运行。MCASP 对于时分多路复用 (TDM) 流、IC 间音频 (I2S) 协议接收和发送以及元件间数字音频接口传输 (DIT) 非常有用。MCASP 可以灵活地无缝连接到 Sony/Philips 数字接口 (S/PDIF) 传输物理层元件。

尽管 MCASP 模块本身不支持元件间数字音频接口接收 (DIR) 模式 (即 S/PDIF 流接收), 但 MCASP 接收器的特定 TDM 模式实现允许轻松连接到外部 DIR 元件 (例如, S/PDIF 到 I2S 格式转换器)。

有关更多信息, 请参阅器件 TRM 的外设一章中的 *多通道音频串行端口 (MCASP)* 一节。

7.4.5.22 MCRC 控制器

VBUSM CRC 控制器是一个用于执行 CRC (循环冗余校验) 以验证存储系统完整性的模块。当存储器中的内容被读入 MCRC 控制器时, 一个信号代表得到了内存内容。MCRC 控制器的职责是为一组数据计算签名, 然后将计算出的签名值与预先确定的良好签名值进行比较。MCRC 控制器提供四个通道对多个存储器并行执行 CRC 计算, 并且可以在任何存储器系统上使用。通道 1 也可置于数据跟踪模式, 在此模式中, MCRC 控制器压缩通过 CPU 读取数据总线读取的数据。

有关更多信息, 请参阅器件 TRM 的 *处理器间通信* 一章中的 *MCRC 控制器* 一节。

7.4.5.23 MCSPI

MCSPI 模块是多通道发送/接收、主/从同步串行总线。

该器件中共有十一个 MCSPI 模块。

有关更多信息, 请参阅器件 TRM 的 *外设* 一章中的 *多通道串行外设接口 (MCSPI)* 一节。

7.4.5.24 MMC/SD

MMCSDB 主机控制器提供用于连接 eMMC 5.1 (嵌入式多媒体卡)、SD 4.10 (安全数字) 和 SDIO 4.0 (安全数字 IO) 器件的接口。MMCSDB 主机控制器在传输级别处理 MMC/SD/SDIO 协议、数据打包、添加循环冗余校验 (CRC)、开始/结束位插入以及语法正确性检查。

有关更多信息, 请参阅器件 TRM 的 *外设* 一章中的 *多媒体卡/安全数字 (MMC/SD) 接口* 一节。

7.4.5.25 OSPI

八路串行外设接口 (OSPI™) 模块是一种串行外设接口 (SPI) 模块, 允许对外部闪存器件进行单路、双路、四路或八路读取和写入访问。

OSPI 模块用于以存储器映射直接模式 (例如处理器希望直接从外部闪存执行代码) 传输数据或以间接模式传输数据, 其中模块设置为静默执行某些请求的操作, 通过中断或状态寄存器发出完成信号。

有关更多信息, 请参阅器件 TRM 的 *外设* 一章中的 *八路串行外设接口 (OSPI)* 一节。

7.4.5.26 PCIE

外围组件快速互连 (PCIe) 子系统围绕多通道双模 PCIe 控制器构建而成, 可为背板和印刷线路板上的串行链路提供低引脚数、高可靠性和每通道高达 8.0Gbps 的高速数据传输速率。

有关更多信息, 请参阅器件 TRM 的 *外设* 一章中的 *外设组件快速互连 (PCIe) 子系统* 一节。

7.4.5.27 串行器/解串器

串行器/解串器的目标是将器件 (SoC) 并行数据转换为可通过高速电气接口输出的串行数据。在相反的方向上, 串行器/解串器将高速串行数据转换为可由器件处理的并行数据。为此, 串行器/解串器包含各种功能块来处理外部模拟接口以及内部数字逻辑。

有关更多信息, 请参阅器件 TRM 的 *外设* 一章中的 *串行器/解串器 (SerDes)* 一节。

7.4.5.28 WWDT

窗口化看门狗计时器为操作系统和基准代码提供计时器功能。该模块包含几个计数器, 这些计数器定义了操作系统内进行调度时所需的时基。该模块与 RTI 模块一起实施, 但仅支持 WWDT。

此模块专为满足 OSEK (“Offene Systeme und deren Schnittstellen für die Elektronik im Kraftfahrzeug” , 即 “汽车电子类开放系统和对应接口”) 以及符合 OSEK/Time 标准的操作系统的要求而设计。

有关更多信息, 请参阅器件 TRM 的 *外设* 一章中的 *实时中断 (RTI) 模块* 一节。

7.4.5.29 计时器

所有计时器均包含特定功能, 可为操作系统生成精确的节拍中断。

每个计时器均可根据多个不同的独立时钟进行计时。时钟源的选择在 MCU_CTRL_MMR0/CTRL_MMR0 的寄存器中进行。

在 MCU 域中, 器件提供 10 个计时器引脚用作 MCU 计时器捕捉输入或 MCU 计时器 PWM 输出。为了提供最大的灵活性, 这 10 个引脚可以用于 MCU_TIMER0 至 MCU_TIMER9 的任意实例。系统级多路复用器用于控制每个 MCU_TIMER[9-0] 输出的捕捉源引脚和每个 MCU_TIMER_IO[1-0] PWM 输出的 MCU_TIMER[9-0] 源。

在 MAIN 域中，器件提供 8 个计时器引脚用作计时器捕捉输入或计时器 PWM 输出。为实现最大灵活性，这 8 个引脚可以用于 TIMER0 至 TIMER19 的任意实例。系统级多路复用器用于控制每个 TIMER[19-0] 的捕捉源引脚和每个 TIMER_IO[7-0] PWM 输出的 TIMER[19-0] 源。

可以选择将每个域中的每个奇数计时器实例与同一域中之前的偶数计时器实例进行级联，从而形成一个 64 位计时器。例如，TIMER1 可以级联到 TIMER0，MCU_TIMER1 可以级联到 MCU_TIMER0，以此类推。

级联后，TIMERi 充当 TIMERi+1 的 32 位预分频器，MCU_TIMERn 也充当 MCU_TIMERn+1 的 32 位预分频器。必须配置 TIMERi/MCU_TIMERn 以所需速率生成 PWM 输出边沿，从而使 TIMERi+1/MCU_TIMERn+1 计数器递增。

有关更多信息，请参阅器件 TRM 的外设一章中的 *计时器* 一节。

7.4.5.30 UART

UART 是一种利用 DMA 通过主机 CPU 进行数据传输或中断轮询的从外设。该器件中共有十二个 UART 模块。当使用 48MHz 功能时钟时，所有 UART 模块都支持 IrDA 和 CIR 模式。每个 UART 均可用于配置和与多个外部外围器件的数据交换或器件之间的处理器间通信。

有关更多信息，请参阅器件 TRM 的外设一章中的 *通用同步/异步接收器/发送器 (UART)* 一节。

7.4.5.31 USB

与早期版本的 USB 总线类似，USB 3.0 为通用电缆总线，支持主机设备与多种可同时访问的外设之间的数据交换。

该器件支持两个相同的 USB 子系统：

- USB3SS0 是具有片上 SS (USB3.0) PHY 和 HS/FS/LS (1) (USB2.0) PHY 的 SuperSpeed (SS) USB 3.0 双角色设备 (DRD) 子系统
- USB3SS1 是具有片上 SS (USB3.0) PHY 和 HS/FS/LS (USB2.0) PHY 的 SuperSpeed (SS) USB 3.0 双角色设备 (DRD) 子系统

有关更多信息，请参阅器件 TRM 的外设一章中的 *通用串行总线 (USB) 子系统* 一节。

7.4.5.32 UFS

通用闪存存储 (UFS) 接口是基于标准的串行接口引擎。

该器件中有一个 UFS 模块：UFS0。此 UFS 模块包含一个带有集成 M-PHY 的 UFS 2.1 主机控制器 (HC)。

此 UFS 模块符合表 7-1 中列出的标准。

表 7-1. UFS 标准

文档	VERSION	说明
JESD220-1A	v1.1	通用闪存存储 (UFS) 统一存储器扩展
JESD220-2	v1.0	通用闪存存储 (UFS) 卡扩展
JESD220C	v2.1, 2016 年 3 月	通用闪存存储 (UFS)
JESD223-1B	v1.1A	通用闪存存储主机控制器接口 (UFSHCI) 统一存储器扩展
JESD223C	v2.1, 2016 年 3 月	通用闪存存储主机控制器接口 (UFSHCI)
JESD224	2013 年 3 月	通用闪存存储 (UFS) 测试
	2001 年 11 月	联邦信息处理标准 (FIPS) 197 高级加密标准 (AES)
	v3.1、2014	MIPI® 联盟 M-PHY 规范
	v1.60、2013	MIPI 联盟统一协议 (UniProSM) 规范
	修订版 24, 2010 年 8 月	小型计算机系统接口 (SCSI) 块命令 - 3
	修订版 27, 2010 年 10 月	SCSI 主命令 - 4

有关更多信息，请参阅器件 TRM 的外设一章中的通用闪存存储 (UFS) 接口一节。

8 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 电源映射

这款 Jacinto 7™ 处理器器件可在多种不同的运行模式下运行，具体取决于电源的数量、电源组（即电源轨）和提供的控制信号：

- 完全激活
- 仅 MCU 低功耗模式
- DDR 保留（挂起至 RAM 或 S2R）低功耗模式
- MCU 岛安全监控器
- 扩展 MCU 安全监控器

建议使用支持以上不同运行模式的两个配电网络（PDN），它们可提供可选的最终产品功能。例如：

- 双电压（1.8V 和 3.3V）IO 接口
- 合规 UHS-I SD 卡
- 合规 USB2.0
- 板载高安全性器件类型电子保险丝编程，可实现现场更新

隔离式 PDN 提供独立的 MCU 以及主电源资源和电源轨（请参阅表 8-2），以根据需求支持电源轨无干扰（FFI），从而实现最终产品系统功能安全目标。需要使用隔离式 PDN 来支持仅 MCU 低功耗模式或 MCU 岛安全监控。仅 MCU 模式可以禁用所有主处理同时仅使 MCU 处理器资源保持运行状态，从而显著降低器件功耗。组合式 PDN 通过将 MCU 和主电源组合成公共电源轨，来减少电源和电源轨的总数（请参阅表 8-1）。此 PDN 可用于扩展 MCU 安全处理，但不支持 MCU 岛安全监控器或仅 MCU 低功耗模式。可通过隔离式或组合式 PDN 方案支持 DDR 保留低功耗模式。

TPS6594x 和 LP8764x 电源管理 IC（PMIC）是两种个建议 PDN 中的关键电源组件。可以根据需要添加其他分立式电源元件，以支持可选的系统功能。TI 采用上述 PMIC 对建议的 PDN 完成了优化，原因如下：

- TI 评估板上经验证的完整器件性能授权
- 实现器件安全手册中详述的所有系统功能安全特性和分析
- 支持电源轨负载阶跃、电源电压精度和最大负载电流（带裕度）
- 满足器件主模式和低功耗模式的所有电源时序控制要求（请参阅节 6.10.2 电源时序控制）
- 提供自适应电压调节（AVS）0 级要求，包括经 TI 验证的软件

有关完整的 PDN 设计和运行详细信息，请参阅

1. 《适用于 Jacinto 7™ DRA829 和 TDA4VM 汽车 PDN-0B（SLVUC32）的双 TPS6594-Q1 PMIC 用户指南》，了解符合原始 EVM PDN-0A 的传统设计，以其最大限度减少 SCH 和 PCB 更新次数
2. 《适用于 Jacinto 7™ DRA829 和 TDA4VM 汽车 PDN-0C（SLVUC99）的双 TPS6594-Q1 PMIC 用户指南》，了解所有新设计

表 8-1. 组合 MCU 与主电压域电源轨映射

类型	电压 [V]	域名	域组	电源轨	#
数字 IO	3.3	(VDDSHV0_MCU、 VDDSHV1_MCU、 VDDSHV2_MCU、VDDSHV0、 VDDSHV1、VDDSHV2、 VDDSHV3、VDDSHV4、 VDDSHV5 ³ 、VDDSHV6) ¹ 、 VDDA_3P3_USB ⁴	VDDSHVn_MC U、 VDDSHVn、 VDDA_3P3_US B ⁴	VDD_IO_3V3	1

表 8-1. 组合 MCU 与主电压域电源轨映射 (续)

类型	电压 [V]	域名	域组	电源轨	#
数字 IO	1.8	(VDDSHV0_MCU、 VDDSHV1_MCU、 VDDSHV2_MCU、 VDDSHV0、 VDDSHV1、 VDDSHV2、 VDDSHV、 VDDSHV4、 VDDSHV5 ³ 、 VDDSHV6) ²	VDDSHVn_MC U ² VDDSHVn ³ ₂	VDD_IO_1V8	2
数字 IO	1.8	VDDS_MMC0 ⁶	VDDS_MMC0 ⁶	VDDS_MMC0_1V8 ⁶	3
模拟 PHY	1.8	(VDDA_1P8_CSIRX、 VDDA_1P8_USB、 VDDA_1P8_UFS、 VDDA_1P8_DP、 VDDA_1P8_DSITX、 VDDA_1P8_MLB、 VDDA_1P8_SERDES)	VDDA_1P8_<p hy> ⁵	VDD_PHY_1V8 ⁵	4
模拟时钟、测量	1.8	VDDA_MCU_PLLGRP0、 VDDA_MCU_TEMP、 VDDA_ADC_MCU、 VDDA_POR_WKUP、 VDDA_WKUP VDDS_OSC1、 VDDA_PLLGRP6:0、 VDDA_TEMP3:0	VDDA_1P8_<cl k/meas>	VDA_LN_1V8	5
模拟、低电压	0.80	VDDA_0P8_PLL_MLB、 VDDA_0P8_PLL_DDR、 VDDA_0P8_DLL_MMC0	VDDA_0P8_DP LL	VDA_DPLL_0V8	6
数字、AVS 低电压	0.77 - 0.84	VDD_CPU	VDD_CPU	VDD_CPU_AVS	7
数字、低电压	0.80	VDD_MCU ⁷ 、 VDD_CORE、 (VDDA_0P8_SERDES、 VDDA_0P8_SERDES_C、 VDDA_0P8_DP、 VDDA_0P8_DP_C、 VDDA_0P8_DSITX、 VDDA_0P8_DSITX_C、 VDDA_0P8_CSIRX、 VDDA_0P8_UFS、 VDDA_0P8_USB) ⁸	VDD_MCU VDD_CORE VDDA_0P8_<p hy> ⁸	VDD_PROC_0V8	8
数字、低电压	0.85	VDDAR_MCU、 VDDAR_CORE、 VDDAR_CPU	VDDAR	VDD_RAM_0V85	9
数字、低电压	1.1	VDDS_DDR_BIAS、 VDDS_DDR、 VDDS_DDR_C	VDDS_DDR	VDD_DDR_1V1	10

1. 任何 MCU 或 Main 双电压 IO 电源 (VDDSHVn_MCU 或 VDDSHVn) 由 3.3V 电压供电以支持 3.3V 数字接口
2. 任何 MCU 或 Main 双电压 IO 电源 (VDDSHVn_MCU 或 VDDSHVn) 由 1.8V 电压供电以支持 1.8V 数字接口
3. VDDSHV5 支持 SD 存储卡的 MMC1 信号。需要使用双电压 (3.3/1.8V) 电源轨以实现合规的高速 SD 卡运行。如果不需要 SD 卡或可以接受具有固定 3.3V 工作电压的标准数据速率, 则可以将域与数字 IO 3.3V 电源轨分组在一起。如果 SD 卡能够在固定 1.8V 的电压下运行, 则可以将域与数字 IO 1.8V 电源轨分组在一起。
4. VDDA_3P3_USB 是用于 USB 2.0 差分接口信号传输的 3.3V 模拟域。建议使用低噪声模拟电源来提供最佳信号完整性, 以确保 USB 数据眼罩合规性。如果不需要 USB 接口或可以容忍数据位错误, 则可以直接或通过电源滤波器将域与 3.3V 数字 IO 电源轨分组在一起。

5. VDDA_1P8_<phy> 是 1.8V 模拟域, 支持多个串行 PHY 接口。建议使用低噪声模拟电源来提最佳信号完整性、接口性能和规格符合性。如果不需要这些接口中的任何一个, 可以容忍数据位错误或不合规运行, 则可以直接或通过直列式电源滤波器将域与数字 IO 1.8V 电源轨分组在一起。
6. VDD_MMC0 是 1.8V 数字电源, 支持 eMMC 接口的 MMC0 信号。如果不需要 MMC0 或 eMMC0 接口, 则可以将域与数字 IO 1.8V 电源轨组合在一起。但是, 如果需要 MMC0 接口, 则在 VDD_CORE 达到 Vopr min 之前, VDD_MMC0 不得开始斜升。
7. VDD_MCU 是数字电压电源, 由于具有宽工作电压范围和电源时序控制灵活性, 因此能够与 0.8V VDD_CORE 或与 0.85V RAM 阵列域 (VDDAR_xxx) 组合在一起并一起斜升。
8. VDDA_1P8_<clk/pll/ana> 是 1.8V 模拟域, 支持需要使用低噪声电源以实现最佳性能的时钟振荡器、PLL 和模拟电路。

表 8-2. 隔离式 MCU 与主电压域电源轨映射

类型	电压 [V]	域名	域组	电源轨	#
数字 IO	3.3	(VDDSHV0_MCU、 VDDSHV1_MCU、 VDDSHV2_MCU) ¹	VDDSHVn_MC U	VDD_MCUIO_3V3	1
数字 IO	3.3	(VDDSHV0、VDDSHV1、 VDDSHV2、VDDSHV3、 VDDSHV4、VDDSHV5 ³ 、 VDDSHV6) ¹ 、 VDDA_3P3_USB ⁴	VDDSHVn、 VDDA_3P3_US B ⁴	VDD_IO_3V3	2
数字 IO	1.8	(VDDSHV0_MCU、 VDDSHV1_MCU、 VDDSHV2_MCU) ²	VDDSHVn_MC U ²	VDD_MCUIO_1V8	3
数字 IO	1.8	(VDDSHV0、VDDSHV1、 VDDSHV2、VDDSHV3、 VDDSHV4、VDDSHV5 ³ 、 VDDSHV6) ²	VDDSHVn ^{2 3}	VDD_IO_1V8	4
数字 IO	1.8	VDDS_MMC0 ⁶	VDDS_MMC0 ⁶	VDDS_MMC0_1V8 ⁶	5
模拟时钟、测量	1.8	VDDA_MCU_PLLGRP0、 VDDA_MCU_TEMP、 VDDA_ADC_MCU、 VDDA_POR_WKUP、 VDDA_WKUP	VDDA_MCU1P 8_<clk/meas>	VDA_MCU_1V8	6
模拟时钟、测量	1.8	VDDS_OSC1、 VDDA_PLLGRP6:0、 VDDA_TEMP3:0	VDDA_1P8_<cl k/meas>	VDA_DPLL_1V8	7
模拟 PHY	1.8	(VDDA_1P8_CSIRX、 VDDA_1P8_USB、 VDDA_1P8_UFS、 VDDA_1P8_DP、 VDDA_1P8_DSITX、 VDDA_1P8_MLB、 VDDA_1P8_SERDES) ⁵	VDDA_1P8_<p hy> ⁵	VDA_PHY_1V8 ⁵	8
模拟、低电压	0.80	VDDA_0P8_PLL_MLB、 VDDA_0P8_PLL_DDR、 VDDA_0P8_DLL_MMC0	VDDA_0P8_DP LL	VDA_DPLL_0V8	9
数字、低电压	0.80	VDD_MCU、VDDAR_MCU	VDD_MCU、 VDDAR_MCU	VDD_MCU_0V85	10
数字、AVS 低电压	0.77 - 0.84	vdd_cpu	VDD_CPU	VDD_CPU_AVS	11

表 8-2. 隔离式 MCU 与主电压域电源轨映射 (续)

类型	电压 [V]	域名	域组	电源轨	#
数字、低电压	0.80	VDD_CORE、 (VDDA_0P8_SERDES、 VDDA_0P8_SERDES_C、 VDDA_0P8_DP、 VDDA_0P8_DP_C、 VDDA_0P8_DSITX、 VDDA_0P8_DSITX_C、 VDDA_0P8_CSIRX、 VDDA_0P8_UFS、 VDDA_0P8_USB) ⁸	VDD_CORE、 VDDA_0P8_<p hy> ⁸	VDD_CORE_0V8	12
数字、低电压	0.85	VDDAR_CORE、VDDAR_CPU	VDDAR	VDD_RAM_0V85	13
数字、低电压	1.1	VDDS_DDR_BIAS、 VDDS_DDR、VDDS_DDR_C	VDDS_DDR	VDD_DDR_1V1	14

1. 任何 MCU 或 Main 双电压 IO 电源 (VDDSHVn_MCU 或 VDDSHVn) 由 3.3V 电压供电以支持 3.3V 数字接口
2. 任何 MCU 或 Main 双电压 IO 电源 (VDDSHVn_MCU 或 VDDSHVn) 由 1.8V 电压供电以支持 1.8V 数字接口
3. VDDSHV5 支持 SD 存储卡的 MMC1 信号。需要使用双电压 (3.3/1.8V) 电源轨以实现合规的高速 SD 卡运行。如果不需要 SD 卡或可以接受具有固定 3.3V 工作电压的标准数据速率, 则可以将域与数字 IO 3.3V 电源轨分组在一起。如果 SD 卡能够在固定 1.8V 的电压下运行, 则可以将域与数字 IO 1.8V 电源轨分组在一起。
4. VDDA_3P3_USB 是用于 USB 2.0 差分接口信号传输的 3.3V 模拟域。建议使用低噪声模拟电源来提供最佳信号完整性, 以确保 USB 数据眼罩合规性。如果不需要 USB 接口或可以容忍数据位错误, 则可以直接或通过电源滤波器将域与 3.3V 数字 IO 电源轨分组在一起。
5. VDDA_1P8_<phy> 是 1.8V 模拟域, 支持多个串行 PHY 接口。建议使用低噪声模拟电源来提最佳信号完整性、接口性能和规格符合性。如果不需要这些接口中的任何一个, 可以容忍数据位错误或不合规运行, 则可以直接或通过直列式电源滤波器将域与数字 IO 1.8V 电源轨分组在一起。
6. VDD_MMC0 是 1.8V 数字电源, 支持 eMMC 接口的 MMC0 信号。如果不需要 MMC0 或 eMMC0 接口, 则可以将域与数字 IO 1.8V 电源轨组合在一起。但是, 如果需要 MMC0 接口, 则在 VDD_CORE 达到 V_{OPR MIN} 之前, VDD_MMC0 不得开始斜升。
7. VDD_MCU 是数字电压电源, 由于具有宽工作电压范围和电源时序控制灵活性, 因此能够与 0.8V VDD_CORE 或与 0.85V RAM 阵列域 (VDDAR_XXX) 组合在一起并一起斜升。
8. VDDA_1P8_<clk/pll/ana> 是 1.8V 模拟域, 支持需要使用低噪声电源以实现最佳性能的时钟振荡器、PLL 和模拟电路。

8.2 器件连接和布局基本准则

8.2.1 电源去耦和大容量电容

8.2.1.1 配电网络实施指南

Jacinto 7 处理器配电网络：实施与分析 (SPRACN5) 为配电网络的成功实施提供指导。这包括 PCB 叠层指导以及优化去耦电容器的选择和放置的指导。TI 仅支持遵循此应用报告中所包含的电路板设计指南的设计。

8.2.2 外部振荡器

如需了解更多信息, 请参阅节 6.10.4.1 “输入和输出时钟/振荡器”。

8.2.3 JTAG 和 EMU

德州仪器 (TI) 支持各种扩展开发系统 (XDS) JTAG 控制器, 除了 JTAG 支持之外, 还提供各种调试功能。[XDS 目标连接指南](#)中提供了有关此信息的摘要。

更多有关 EMU 布线的建议, 请参阅[仿真和跟踪接头技术参考手册](#)。

8.2.4 复位

该器件包括四个外部复位引脚 (MCU_PORz、MCU_RESETh、PORz 和 RESET_REQz) 和四个复位状态引脚 (MCU_PORz_OUT、MCU_RESETh_STATz、PORz_OUT 和 RESET_STATz)。这些引脚可由外部电源正常电路或电源管理 IC (PMIC) 驱动。在整个上电阶段，MCU_PORz 和 Main PORz 引脚应保持低电平有效，直到所有电源以及 HFOSC0 时钟达到稳定状态。

所有 MCU 域复位充当整个器件的主复位，而 Main 域复位仅复位 Main 域 (MCU 域的复位与所有 Main 域复位隔离)。

8.2.5 未使用的引脚

有关未使用引脚的更多信息，请参阅 [未使用引脚的连接](#)

8.2.6 Jacinto™ 7 器件硬件设计指南

“Jacinto™ 7 器件硬件设计指南”文档说明了 Jacinto™ 7 系列处理器的硬件系统设计注意事项。此设计指南旨在为应用硬件开发提供帮助。

8.3 外设和接口的相关设计信息

8.3.1 LPDDR4 电路板设计和布局布线指南

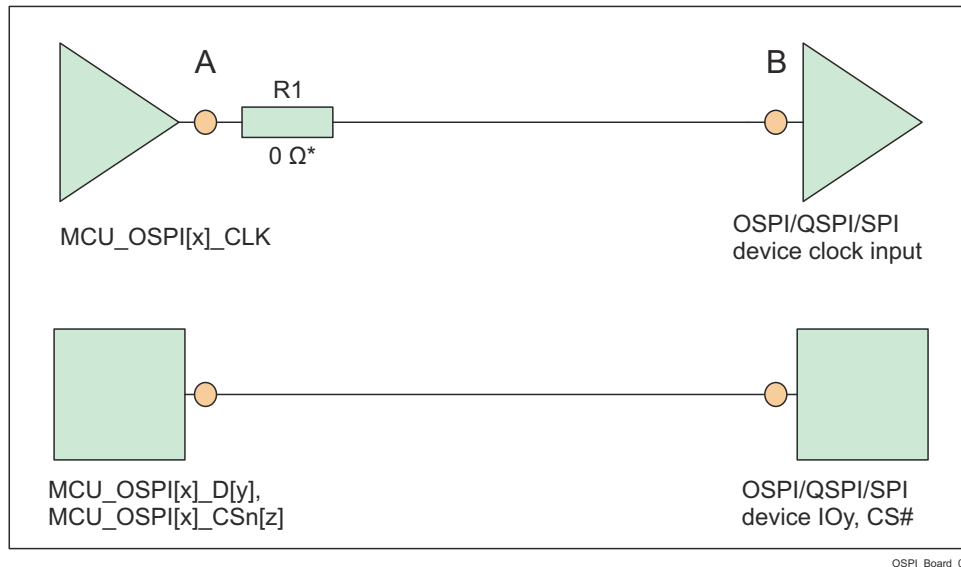
[Jacinto 7 LPDDR4 电路板设计和布局布线指南](#)旨在为所有设计人员简化 LPDDR4 系统的实现，并将要求提炼为一组布局和布线规则，使设计人员能够针对 TI 支持的拓扑成功实施稳健的设计。TI 仅支持遵循本文档中的指南并使用 LPDDR4 存储器的电路板设计。

8.3.2 OSPI 和 QSPI 电路板设计和布局指南

以下各节详细介绍了在进行 QSPI 和 OSPI 接口布线时必须遵守的布线指南。

8.3.2.1 无环回和内部焊盘环回

- MCU_OSPI[x]_CLK 输出信号必须连接到闪存器件的 CLK 输引脚
- 从 MCU_OSPI[x]_CLK 信号到闪存器件的信号传播延迟必须 < 450ps (带状线约为 7cm，微带线约为 8cm)
- 建议将 50 Ω PCB 布线与串联端接一起使用，如图 8-1 所示
- 传播延迟和匹配：
 - A 到 B < 450ps
 - 匹配偏斜：< 60ps



* 尽可能靠近 MCU_OSPI[x]_CLK 引脚的 0 Ω 电阻器 (R1) 是用于微调 (如果需要) 的占位元件。

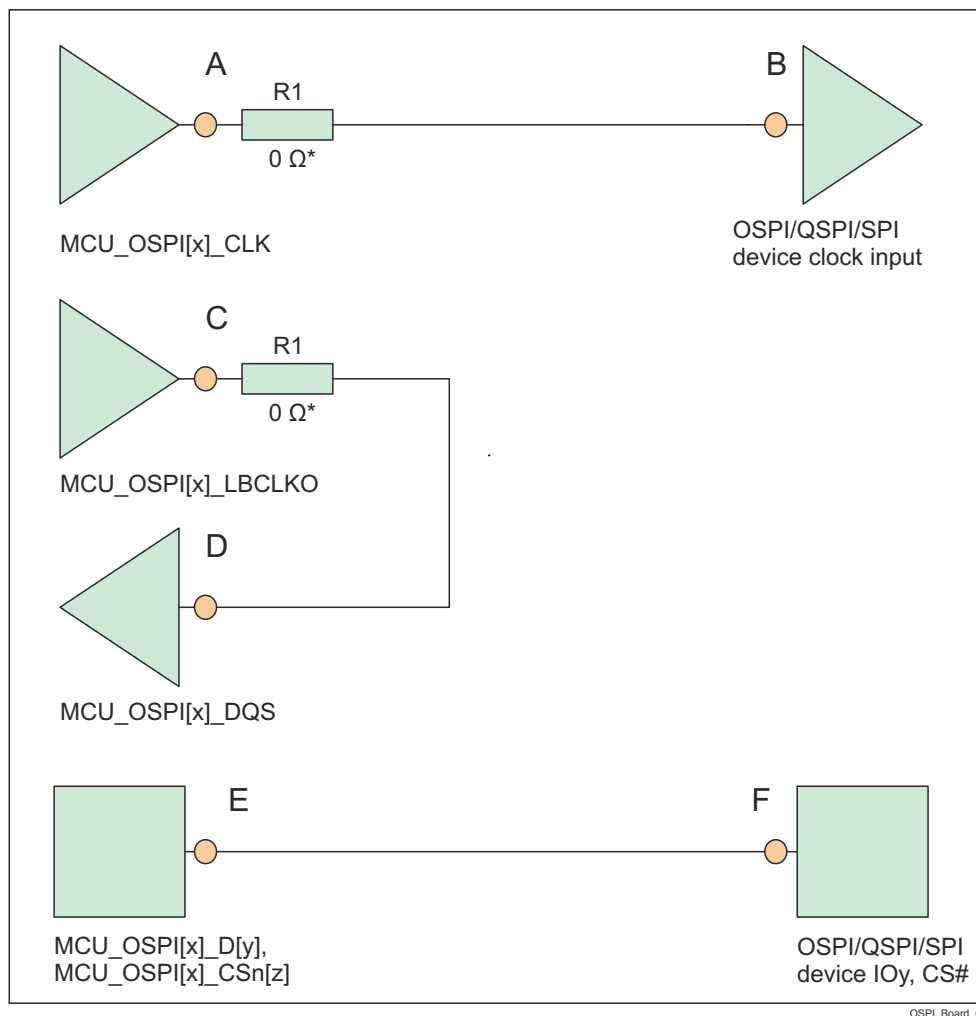
图 8-1. OSPI 接口概要原理图

8.3.2.2 外部电路板环回

- MCU_OSPI[x]_CLK 输出信号必须连接到闪存器件的 CLK 输引脚
- MCU_OSPI[x]_LBCLKO 输出信号必须环回到 MCU_OSPI[x]_DQS 输入
- 从 MCU_OSPI[x]_CLK 引脚到闪存器件 CLK 输入引脚 (A 到 B) 的信号传播延迟应约等于从 MCU_OSPI[x]_LBCLKO 引脚到 MCU_OSPI[x]_DQS 引脚的信号传播延迟的一半，即 (C 到 D) / 2。请参阅以下注意事项
- 从 MCU_OSPI[x]_CLK 引脚到闪存器件 CLK 输入引脚 (A 到 B) 的信号传播延迟必须约等于闪存器件和 SoC 器件 (E 到 F 或 F 到 E) 之间控制和数据信号的信号传播延迟
- 建议将 50 Ω PCB 布线与串联端接一起使用，如图 8-2 所示
- 传播延迟和匹配：
 - A 到 B = E 到 F = (C 到 D) / 2
 - 匹配偏斜：< 60ps

备注

OSPI 电路板环回保持时间要求 (在节 6.10.5.21 “OSPI” 中进行了介绍) 大于典型闪存器件提供的保持时间。因此, 可以缩短 MCU_OSPI[x]_LBCLKO 引脚到 MCU_OSPI[x]_DQS 引脚 (C 到 D) 的长度以进行补偿。

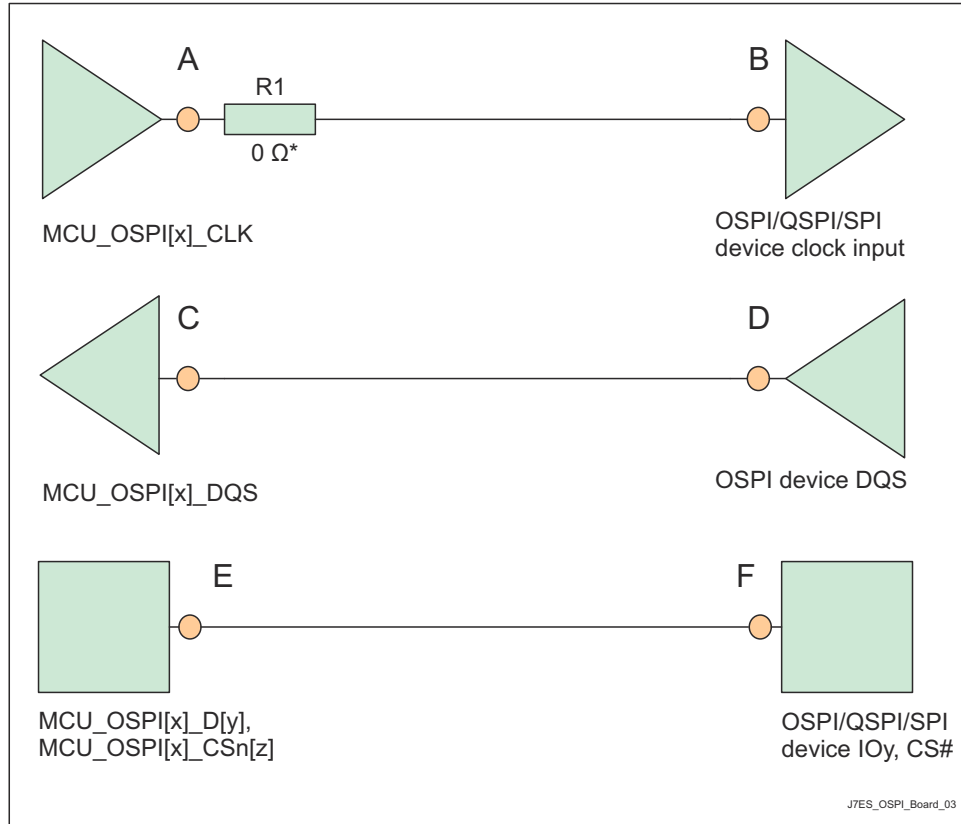


* 尽可能靠近 MCU_OSPI[x]_CLK 和 MCU_OSPI[x]_LBCLKO 引脚的 0Ω 电阻器 (R1) 是用于微调 (如果需要) 的占位元件。

图 8-2. OSPI 接口概要原理图

8.3.2.3 DQS (仅适用于八路闪存器件)

- MCU_OSPI[x]_CLK 输出信号必须连接到闪存器件的 CLK 输引脚
- 闪存器件的 DQS 引脚必须连接到 MCU_OSPI[x]_DQS 信号
- 从 MCU_OSPI[x]_CLK 引脚到闪存器件 CLK 输入引脚 (A 到 B) 的信号传播延迟应约等于从 MCU_OSPI[x]_DQS 引脚到 DQS 输出引脚 (C 到 D) 的信号传播延迟
- 建议将 50Ω PCB 布线与串联端接一起使用, 如图 8-3 所示
- 传播延迟和匹配 :
 - A 到 B = C 到 D
 - 匹配偏斜 : < 60ps



* 尽可能靠近 MCU_OSPI[x]_CLK 引脚的 0Ω 电阻器 (R1) 是用于微调 (如果需要) 的占位元件。

图 8-3. OSPI 接口概要原理图

8.3.3 SERDES REFCLK 设计指南

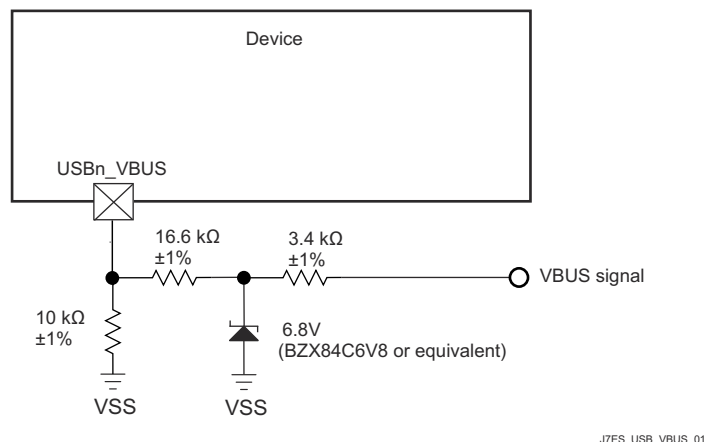
以下章节详细介绍了在端接 SERDES REFCLK 时必须遵守的布线指南，并且这些指南仅在将 SERDES REFCLK 配置为输入模式时适用。

1. 建议在每个桥臂上通过 50Ω 接地。
2. 始终启用内部交流耦合，因此不需要外部偏置。

8.3.4 USB VBUS 设计指南

USB 3.1 规范允许 VBUS 电压在正常运行时高达 5.5V，在支持“电力输送”附录时高达 20V。一些应用要求最大电压为 30V。

该器件要求使用外部电阻分压器按比例缩小 VBUS 信号电压 (如图 8-4 所示)，这限制了施加到实际器件引脚 (USB0_VBUS、USB1_VBUS) 的电压。这些外部电阻器的容差应等于或小于 1%，齐纳二极管在 5V 时的漏电流应小于 100nA。



J7ES_USB_VBUS_01

A. USBn_VBUS, 其中 n = 0 或 1。

图 8-4. USB VBUS 检测分压器/钳位电路

USB0_VBUS 和 USB1_VBUS 引脚可被视为失效防护引脚，因为在器件断电时施加 VBUS 的情况下，图 8-4 中的外部电路会限制实际器件引脚的输入电流。

8.3.5 系统电源监测设计指南

VMON_ER_VSYS 引脚提供了一种监测系统电源的方法。该系统电源通常是用于整个系统的单个预稳压电源。监测该电源的方法是将该电源供电的外部分压器电路的输出电压与内部电压基准进行比较，当施加到 VMON_ER_VSYS 的电压降至内部基准电压以下时，将触发电源故障事件。在选择用于实现外部电阻分压器电路的元件值时，系统设计人员可确定实际系统电源电压跳闸点。在设计电阻分压器电路时，必须了解导致系统电源监测跳闸点可变性的各种因素，这一点很重要。首先要考虑的是 VMON_ER_VSYS 输入阈值的初始精度，其标称值为 0.45V，变化为 ±3%。建议使用具有相似热系数的精度为 1% 的电阻器来实现电阻分压器。这可更大程度地减小电阻值容差导致的可变性。还必须考虑与 VMON_ER_VSYS 相关的输入漏电流，因为任何流入引脚的电流都会在分压器输出上产生负载误差。当施加 0.45V 电压时，VMON_ER_VSYS 输入漏电流范围可能为 10nA 至 2.5μA。

备注

电阻分压器的设计应确保在正常运行条件下，其输出电压绝不超过 节 6.4 “建议运行条件”中定义的最大值。

图 8-5 给出了一个示例，其中系统电源的标称电压为 5V，最大触发阈值为 5V - 10% 或 4.5V。

对于此示例，必须在选择电阻值时了解哪些变量会影响最大触发阈值，这一点很重要。显然，在尝试设计一个在系统电源下降 10% 之前不会跳闸的分压器时，需要考虑 VMON_ER_VSYS 输入阈值为 0.45V + 3% 的器件。还需要考虑电阻器容差和输入漏电流的影响，但这些因素对最大触发点的影响可能并不明显。在选择会产生最大触发电压的元件值时，系统设计人员必须考虑以下情况：R1 的值为 1% 低、R2 的值为 1% 高，再加上 VMON_ER_VSYS 引脚的输入漏电流为 2.5μA。当实现 R1 = 4.81KΩ 且 R2 = 40.2KΩ 的电阻分压器时，结果是最大触发阈值为 4.523V。

一旦选择了满足上述最大触发电压的元件值，系统设计人员就可以通过计算施加的电压来确定最小触发电压，该电压可在 R1 的值为 1% 高、R2 的值为 1% 低且输入漏电流为 10nA 或零时产生 0.45V - 3% 的输出电压。使用零输入漏电流和上面给出的电阻器值，结果为最小触发阈值 4.008V。

该示例演示了一个范围为 4.008V 至 4.523V 的系统电源电压跳闸点。当 VMON_ER_VSYS 输入漏电流为 2.5μA 时，该范围中约 250mV 是通过 ±3% 的 VMON_ER_VSYS 输入阈值精度引入的，约 150mV 是通过 ±1% 的电阻容差引入的，约 100mV 是通过负载误差引入的。

当系统电源为 4.5V 时，该示例中选择的电阻值会通过电阻分压器产生大约 100 μ A 的偏置电流。通过将流经电阻分压器的偏置电流增大至大约 1mA，可将上述 100mV 的负载误差降低至大约 10mV。因此，系统设计人员在选择元件值时需要考虑电阻分压器偏置电流与负载误差之间的关系。

由于 VMON_ER_VSYS 具有极小的迟滞和对瞬态的高带宽响应，系统设计人员还应考虑在分压器输出端实现噪声滤波器。这可通过在 R1 上安装一个电容器来实现，如图 8-5 所示。然而，系统设计人员必须根据系统电源噪声和对瞬态事件的预期响应来确定此滤波器的响应时间。

图 8-5 给出了一个示例，其中系统电源的标称电压为 5V，所需的触发阈值为 -10% 或 4.5V。

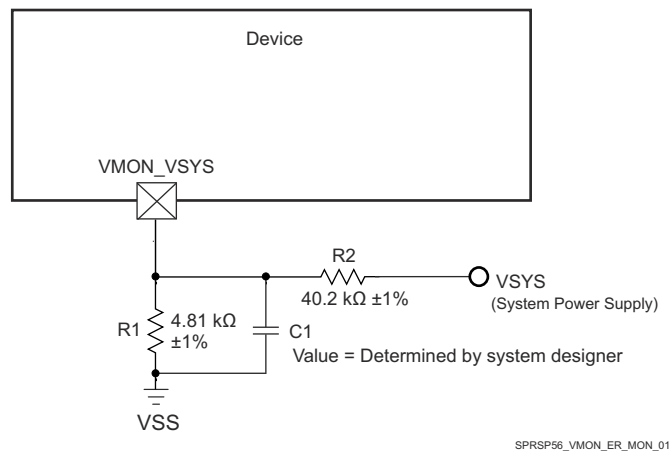


图 8-5. 系统电源监测分压器电路

8.3.6 高速差分信号布线指南

高速接口布局布线指南提供了如何为高速差分信号成功布线的指导。其中包括 PCB 堆叠和材料指导以及布线偏移、长度和间距限制。TI 仅支持遵循此应用报告中所包含的电路板设计指南的设计。

8.3.7 散热解决方案指导

DSP 和 ARM 应用处理器热设计指南为包含此器件的系统设计提供了如何成功实施散热解决方案的指导。本文档提供了与散热解决方案相关的常见术语和方法的背景信息。TI 仅支持遵循此应用报告中所包含的系统设计指南的设计。

9 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

9.1 器件命名规则

为了指明产品开发周期所处的阶段，TI 为所有微处理器 (MPU) 和支持工具的器件型号分配了前缀。每个器件都具有以下三个前缀中的其中一个：X、P 或无（无前缀）（例如，DRA829）。德州仪器 (TI) 为其支持工具推荐使用三种可能的前缀指示符中的两个：TMDX 和 TMDS。这些前缀代表了产品开发的发展阶段，即从工程原型 (TMDX) 直到完全合格的生产器件和工具 (TMDS)。

器件开发进化流程：

- X** 试验器件不一定代表最终器件的电气规格，并且可能不使用生产封装流程。
- P** 原型器件不一定是最终的器件芯片，并且不一定符合最终电气规格。
- 无** 完全合格的器件芯片量产版本。

支持工具开发演变流程：

- TMDX** 还未经德州仪器 (TI) 完整内部质量测试的开发支持产品。
- TMDS** 完全合格的开发支持产品。

X 和 P 器件和 TMDX 开发支持工具在供货时附带如下免责条款：

“开发中的产品用于内部评估用途。”

生产器件和 TMDS 开发支持工具已进行完全特性描述，并且器件的质量和可靠性已经完全论证。TI 的标准保修证书对该器件适用。

预测显示原型器件 (X 或者 P) 的故障率大于标准生产器件。由于这些器件的预期最终使用故障率仍未确定，故德州仪器 (TI) 建议请勿将这些器件用于任何生产系统。请仅使用合格的生产器件。

如需 ALF 封装类型的 DRA829 器件的可订购器件型号，请参阅本文档的封装选项附录、访问 TI 网站 (ti.com) 或联系您的 TI 销售代表。

9.1.1 标准封装编号法

备注

某些器件的器件封装顶部的表面可能有一个圆形标识，该标识是生产测试过程中产生的。此外，一些器件的封装基板颜色也可能因基板制造商的原因而有所不同。这些差异只在表面显示，不会影响可靠性。

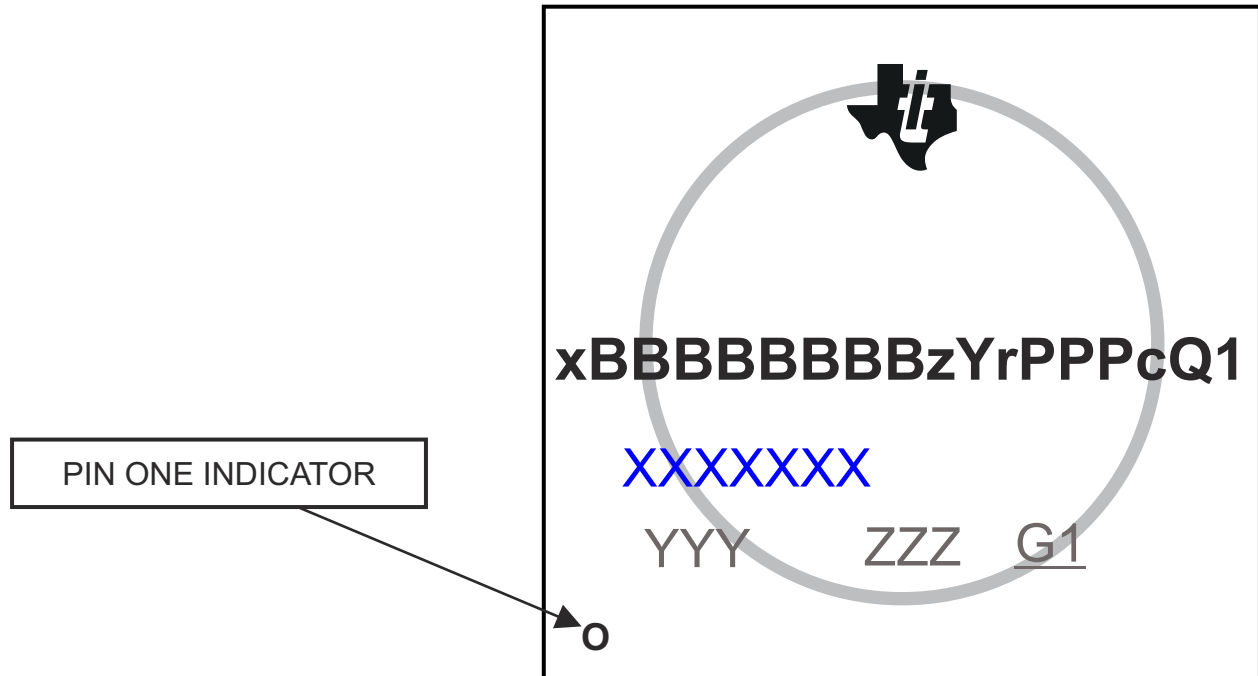


图 9-1. 印刷器件参考

9.1.2 器件命名约定

表 9-1. 命名规则说明

字段 参数	字段 说明	值		说明
		标识	可订购产品	
x	器件演变阶段 ⁽¹⁾	X	原型	
		P	预量产 (生产测试流程, 无可靠性数据)	
		空白	量产	
BBBBBBBB ⁽²⁾	基本生产器件型号	J721E ⁽²⁾	预量产超集器件	
		DRA829VM	请参阅 表 4-1, 设备比较	
		DRA829JM	请参阅 表 4-1, 设备比较	
z	器件速度	T	请参阅 表 6-1, 速度等级最频率)	
		其他	其他速度等级	
Y	器件类型	G	通用 (原型和量产)	
		C	通用, 可实现 R5F 锁步	
		0	具有高安全性 ⁽³⁾	
		5	具有高安全性 ⁽³⁾ , 支持 R5F 锁步	
		R	具有高安全性 Prime ⁽³⁾ , 支持 R5F 锁步	
		D	具有高安全性 ⁽³⁾ , 支持 R5F 锁步, 客户开发密钥。仅在预量产 J721E 器件上提供。	
		P	具有高安全性 Prime ⁽³⁾ , 支持 R5F 锁步, 客户开发密钥。仅在预量产 J721E 器件上提供。	
r	器件修订版本	A 或空白	SR 1.0	
		B	SR 1.1	
		C	SR 2.0	

表 9-1. 命名规则说明 (续)

字段 参数	字段 说明	值		说明
		标识	可订购产品	
PPP	封装符号	ALF		ALF FCBGA-N827 (24mm × 24mm) 封装
c	包装符号	不适用	空白	托盘
		不适用	R	卷带包装
Q1	汽车符号	空白		不符合汽车标准。 支持 $T_J = -40^{\circ}\text{C}$ 至 105°C
		Q1		符合 AEC-Q100 认证要求, 但本文档 (数据表) 中指定的情况例外。 支持 $T_J = -40^{\circ}\text{C}$ 至 125°C
XXXXXXX	批次追踪代码	按照标记	不适用	批次追踪代码 (LTC)
YYY	生产代码	按照标记	不适用	生产代码; 仅供 TI 使用
ZZZ	生产代码	按照标记	不适用	生产代码; 仅供 TI 使用
O	引脚 1	按照标记	不适用	引脚 1 符号
G1	ECAT	按照标记	不适用	ECAT—环保封装符号

- (1) 为了标明产品开发周期的阶段, TI 为所有器件型号分配了前缀。这些前缀代表了产品开发的进展阶段, 即从工程原型直到完全合格的生产器件。
原型器件在供货时附带如下免责声明:
“本产品仍在开发中, 用于内部评估。”
无论是否有相反规定, TI 均不作任何明示、默示或法定的保证, 包括对此器件特定用途的适用性和适销性的任何暗示保证。
- (2) J721E 是预量产超集器件的基本器件型号。软件应限制用于匹配预期生产器件的功能。
- (3) 要获得 HS 器件支持, TI 建议使用 0、5 或 D 类器件。对于大多数应用, 不建议使用 R 和 P (HS “prime”) 器件类型, 因为它们在制造过程中需要额外的步骤, 而且成本更高。

备注

符号和器件号中的空白将折叠显示, 以防字符间存在间隙。

9.2 工具与软件

以下产品支持面向 DRA829 平台的开发工作:

开发工具

Code Composer Studio™ 集成开发环境 Code Composer Studio (CCS) 集成开发环境 (IDE) 是支持 TI 微控制器和嵌入式处理器产品系列的开发环境。Code Composer Studio 包含一整套用于开发和调试嵌入式应用的工具。它包含了用于优化的 C/C++ 编译器、源代码编辑器、工程编译环境、调试器、分析工具以及多种其他功能。直观的 IDE 提供了一个单一用户界面, 可帮助用户完成应用开发流程的每个步骤。熟悉的工具和界面让用户能够比以往更快地上手。Code Composer Studio 将 Eclipse 软件框架的优势和 TI 高级嵌入式调试功能相结合, 为嵌入式开发人员提供了一种极具吸引力且功能丰富的开发环境。

引脚多路复用工具 引脚多路复用实用程序是一款软件工具, 可提供图形用户界面, 用于配置引脚多路复用设置、解决冲突并指定 TI MPU 的 I/O 电池特性。结果采用 C 头文件/代码文件的形式输出, 可导入软件开发套件 (SDK) 或用于配置客户的定制软件。引脚多路复用实用程序版本 4 添加了自动选择可满足输入要求的多路复用器配置的功能。

功耗估算工具 (PET) 功耗估算工具 (PET) 让用户能够深入了解部分 TI 处理器的功耗。用户可以使用此工具选择多种应用方案, 了解功耗并了解如何应用高级节能技术进一步降低整体功耗。

有关处理器平台开发支持工具的完整列表, 请访问德州仪器 (TI) 网站 www.ti.com.cn。有关价格和供货情况的信息, 请联系最近的 TI 现场销售办事处或授权分销商。

9.3 文档支持

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击右上角的 *提醒我* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

以下文档对 DRA829 器件进行了介绍。

技术参考手册

[J721E DRA829/TDA4VM/AM752x 处理器器件修订版本 2.0、1.1 和 1.0 技术参考手册](#) 详述了 DRA829 系列器件中每一个外设和子系统的集成、环境、功能说明以及编程模型。

勘误

[J721E DRA829/TDA4VM/AM752x 处理器器件修订版本 2.0、1.1 和 1.0 器件勘误表](#) 描述了器件功能规格的已知例外情况。

9.4 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

9.5 商标

eMMC™ is a trademark of MultiMediaCard Association.

HyperBus™ is a trademark of Mobiveil Inc.

CoreSight™ is a trademark of Arm Limited (or its subsidiaries) in the US and/or elsewhere.

Code Composer Studio™ and TI E2E™ are trademarks of Texas Instruments.

Arm® and Cortex® are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.

PowerVR® is a registered trademark of Imagination Technologies Limited.

PCI-Express® and PCIe® are registered trademarks of PCI-SIG.

安全数字® is a registered trademark of SD Card Association.

MIPI® is a registered trademark of MIPI Alliance, Inc.

所有商标均为其各自所有者的财产。

9.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.7 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

Changes from APRIL 22, 2024 to JUNE 1, 2026 (from Revision K (April 2024) to Revision L (June 2026))

	Page
• (特性) : 更新“功能安全”要点, 用于说明获得了功能安全合规型认证.....	1
• (应用) : 更新了工业机器人要点的链接.....	2
• (器件比较) : 添加了 JTAG 用户 ID 寄存器位字段 [CTRLMMR_WKUP_JTAG_USER_ID[31:16] "DEVICE_ID"]; 将 DEVICE_ID 位字段值与每个 GPN 关联; 添加/更改了相关脚注.....	6
• (引脚属性) : 更新了 UFS0_REF_CLK 和 UFS0_RSTN 信号的 IO 电压电平.....	10
• (引脚属性) : 添加了“CSI0 信号说明”表缺失的链接.....	10
• (CSI0 信号说明) : 添加了缺失的 CSI0 信号.....	124
• (系统信号说明) : 更新了 OBSCLK 信号说明.....	130
• (建议的 OTP 电子保险丝编程操作条件) : 删除了 VDD_CORE 和 VDD_MCU 参数说明中的 OPP NOM (BOOT) 参考.....	169
• (对硬件保修的影响) : 更新/更改了段落中的“因此, TI 将没有...”句子.....	170
• (温度传感器特性) : 添加了新的一节来定义电压和温度模块 (VTM) 片上温度传感器特性.....	172
• (组合式 MCU 域和 Main 域下电时序 - 选项 1) : 添加了“选项 1”.....	176
• (组合式 MCU 域和 Main 域下电时序 - 选项 2) : 添加了“选项 2”一节 (新).....	176
• (隔离式 MCU 域和 Main 域下电时序 - 选项 1) : 添加了“选项 1”.....	181
• (隔离式 MCU 域和 Main 域下电时序 - 选项 2) : 添加了“选项 2”一节 (新).....	181
• (进入和退出仅 MCU 时序控制) : 更新了标记有“WKUP_*”的振荡器的波形, 以指示这些信号保持激活状 态。更新了 MCU_PORz 波形, 以反映其保持置为有效状态, 因为 MCU 侧未发生引导-模式重新锁存。.....	184
• (进入和退出 DDR 保持时序) : 更新了标记有“WKUP_*”的振荡器的波形, 以指示这些信号保持激活状 态。更新了 MCU_PORz 波形, 以反映其保持置为有效状态, 因为 MCU 侧未发生引导-模式重新锁存。.....	185
• (系统时序) : 删除了系统时序条件表, 并介绍了复位、安全信号和时钟时序的专用时序条件表.....	187
• (WKUP_OSC0 开关特性 - 晶体模式) : 更新/更改了 XI 和 XO 电容最大值.....	199
• (WKUP_OSC0 内部振荡器时钟源) : 更新/更改了 WKUP_OSC0 晶体电气特性表中的 C _{shunt} 晶体电路并联 电容内容.....	199
• (OSC1 开关特性 - 晶体模式) : 将 XI、XO 和 XI 更新/更改为 XO 电容最大值.....	202
• (辅助 OSC1 内部振荡器时钟源) : 更新/更改了 OSC1 晶体电气特性表中的 C _{shunt} 晶体电路并联电容内容....	202
• (MCSPi 时序要求 - 控制器模式) : 将 SM1 tc(spick) 周期时间 (SPI_CLK) 最小值从 20.8ns 更新/更改为 20ns.....	264
• (MCSPi 开关特性 - 外设模式) : 将 SS1 tc(spick) 周期时间 (SPI_CLK) 最小值从“20.8ns”更新/更改为 “20ns”.....	266
• (所有时序模式的 MMC0 DLL 延迟映射) : 为 MMCSD0_SS_PHY_CTRL_1_REG [x=1] 添加了一个新列, 并为所有工作模式添加了相关值。更新了 /f SDR 和 HS SDR 模式的 SELDLYTXCLK、SELDLYRXCLK 和 FRQSEL 位字段值。更新了 HS DDR 和 HS200 模式的 OTAPDLYSEL 和 CLKBUFSEL 位字段。添加了定义 不同 NA 选项、0x1 或 0x3 以及调优值的脚注。.....	269
• (HS200 模式) : 添加了 MMC0 时序要求.....	274
• (所有时序模式的 MMC1/2 DLL 延迟映射) : 删除了 MMCSD12_SS_PHY_CTRL_5_REG 寄存器列。更新了 默认速度和高速模式的 OTAPDLYENA 和 OTAPDLYSEL 位字段值。更新了 UHS-I DR50 的 ITAPDLYSEL 位 字段值。添加了定义 NA 和调优值的脚注。.....	274
• (器件命名约定) : 在器件演变阶段字段说明中添加了脚注.....	321

11 机械、封装和可订购信息

11.1 封装信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月