TMS320F280039C, TMS320F280039C-Q1, TMS320F280039-Q1, TMS320F280038C-Q1
TMS320F280037C, TMS320F280037C-Q1, TMS320F280037, TMS320F280036C-Q1
TMS320F280036-Q1, TMS320F280034, TMS320F280034-Q1
ZHCSLT8C – OCTOBER 2021 – REVISED DECEMBER 2023

TMS320F28003x 实时微控制器

1 特性

- TMS320C28x 32 位 DSP 内核（在 120MHz 下）
  - IEEE 754 浮点单元 (FPU)
    - 支持快速整数除法 (FINTDIV)
  - 三角法数学单元 (TMU)
    - 支持非线性比例积分微分 (NLPID) 控制
  - CRC 引擎和指令 (VCRC)
  - 十个硬件断点（包括 ERAD）
- 可编程控制律加速器 (CLA)
  - 120MHz
  - IEEE 754 单精度浮点指令
  - 独立于主 CPU 执行代码
- 片上存储器
  - 在三个独立存储体上提供 384KB (192KW) 的闪存（ECC 保护）
  - 69KB (34.5KW) RAM（ECC 保护）
  - 安全性
    - JTAGLOCK
    - 零引脚引导
    - 双区域安全
- 时钟和系统控制
  - 两个内部 10MHz 振荡器
  - 晶体振荡器或外部时钟输入
  - 窗口化看门狗计时器模块
  - 丢失时钟检测电路
  - 双时钟比较器 (DCC)
- 3.3V I/O 设计
  - 内部 VREG 生成允许进行单电源设计
  - 欠压复位 (BOR) 电路
- 系统外设
  - 6 通道直接存储器存取 (DMA) 控制器
  - 55 个独立可编程多路复用通用输入/输出 (GPIO) 引脚
  - 在模拟引脚上提供 23 路数字输入
  - 在模拟引脚上提供 2 路数字输入/输出 (AGPIO)
  - 增强型外设中断扩展 (ePIE)
  - 支持多个低功耗模式 (LPM)
  - 嵌入式实时分析和诊断 (ERAD)
  - 唯一标识 (UID) 号
- 通信外设
  - 一个电源管理总线 (PMBus) 接口
  - 两个内部集成电路 (I2C) 端口
  - 一个控制器局域网 (CAN/DCAN) 总线端口
  - 一个具有灵活数据速率的控制器局域网 (CAN FD/MCAN) 总线端口
  - 2 个串行外设接口 (SPI) 端口
  - 两个 UART 兼容的串行通信接口 (SCI)
  - 两个 UART 兼容的本地互连网络 (LIN) 接口
  - 带一个发送器和一个接收器的快速串行接口 (FSI)（最高 200Mbps）
- 模拟系统
  - 三个 4MSPS 12 位模数转换器 (ADC)
    - 最多 23 个外部通道（包括两个 gpdac 输出）
    - 每个 ADC 具有四个集成后处理块 (PPB)
  - 四个带 12 位参考数模转换器 (DAC) 的窗口比较器 (CMPSS)
    - 数字干扰滤波器
  - 两个 12 位缓冲 DAC 输出
- 增强型控制外设
  - 16 个 ePWM 通道，包含具有高分辨率功能（150ps 分辨率）的 8 个通道
    - 集成式死区支持
    - 集成式硬件触发区 (TZ)
  - 三个增强型捕捉 (eCAP) 模块
    - 在三个 eCAP 模块中，有一个提供高分辨率捕捉 (HRCAP)
  - 两个支持 CW/CCW 运行模式的增强型正交编码器脉冲 (eQEP) 模块
  - 八个 Σ-Δ 滤波器模块 (SDFM) 输入通道（每个通道两个并联滤波器）
    - 标准 SDFM 数据滤波
    - 用于高估或低估情况下快速操作的比较器滤波器
  - 嵌入式图形发生器 (EPG)
- 可配置逻辑块 (CLB)
  - 4 个逻辑块
  - 增强现有外设功能
  - 支持位置管理器解决方案
- 主机接口控制器 (HIC)
  - 可从外部主机访问内部存储器
- 背景 CRC (BGCRC)
  - 关于 32 位数据的一个周期 CRC 运算
- 高级加密标准 (AES) 加速器

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

- 实时固件更新 (LFU)
  - 从旧固件到新固件的快速上下文切换
  - 缩短了闪存组擦除时间
- 诊断特性
  - 内存开机自检 (MPOST)
  - 硬件内置自检 (HWBIST)
- 功能安全合规型（仅限 PZ 和 Q100 PM 封装）
  - 专为功能安全应用开发
  - 可提供用于 ISO 26262 和 IEC 61508 系统设计的文档
  - 系统功能符合 ASIL D 和 SIL 3 等级要求
  - 硬件功能符合 ASIL B 和 SIL 2 等级要求
- 安全相关认证
  - 通过 TÜV SÜD 高达 ASIL B 和 SIL 2 等级的 ISO 26262 认证（仅限 PZ 和 Q100 PM 封装）
- 封装选项：
  - 100 引脚 Low-profile Quad Flatpack (LQFP) [后缀 PZ]
  - 80 引脚 Low-profile Quad Flatpack (LQFP) [后缀 PN]
  - 64 引脚 (LQFP) [后缀 PM]
  - 48 引脚 (LQFP) [后缀 PT]
- 温度选项：
  - 自然通风 (T_A)：–40°C 至 125°C
  - 结温 (T_J)：–40°C 至 150°C

2 应用

- 电器
  - 空调室外机
- 楼宇自动化
  - 电梯门自动启闭装置驱动控制
- 工业机械和机床
  - 自动分拣设备
  - 纺织机
- 交流逆变器和变频驱动器
  - 交流驱动器控制模块
  - 交流驱动器位置反馈
  - 交流驱动器功率级模块
- 线性电机运输系统
  - 线性电机功率级
- 单轴及多轴伺服驱动器
  - 伺服驱动器位置反馈
  - 伺服驱动器功率级模块
- 速度控制 BLDC 驱动器
  - 交流输入 BLDC 电机驱动器
  - 直流输入 BLDC 电机驱动器
- 工厂自动化
  - 机器人伺服驱动器
  - 移动机器人电机控制
  - 位置传感器
- 工业电源
  - 工业交流-直流
- UPS
  - 三相 UPS
  - 单相在线式 UPS
- 电信和服务器电源
  - 商用直流/直流
  - 商用网络和服务器 PSU
  - 商用通信电源整流器
- 混合动力、电动和动力总成系统
  - 直流/直流转换器
  - 逆变器和电机控制
  - 车载充电器 (OBC) 和无线充电器
  - 虚拟引擎声浪系统 (VESS)
  - 发动机风扇
  - 电子涡轮/增压器
  - 泵
  - 电动助力转向 (EPS)
- 信息娱乐系统和仪表组
  - 抬头显示
  - 汽车音响主机
  - 汽车外部放大器
- 车身电子装置与照明
  - 汽车 HVAC 压缩机模块
  - 直流/交流逆变器
  - 前灯
- ADAS
  - 机械扫描激光雷达
- HEV/EV 电池管理系统 (BMS)
  - 100V 电池包被动均衡
  - 12V 和 24V 电池包被动均衡
  - 400V 电池包被动均衡
  - 48V 电池包被动均衡
- 电动汽车充电基础设施
  - 交流充电（桩）站
  - 直流充电（桩）站
  - 电动汽车充电站电源模块
  - 无线电动汽车充电站
- 可再生能源存储
  - 能量存储电源转换系统 (PCS)
- 太阳能
  - 中央逆变器
  - 微型逆变器
  - 太阳能电源优化器
  - 太阳能电弧保护
  - 快速关断
  - 串式逆变器

Copyright © 2024 Texas Instruments Incorporated

3 说明

TMS320F28003x (F28003x) 是 C2000™ 实时微控制器系列中的一款器件，该可扩展、超低延迟器件系列旨在提高电力电子设备的效率，包括但不限于：高功率密度、高开关频率，并支持使用 GaN 和 SiC 技术。

这些应用包括：

- 电机驱动器
- 电器
- 混合动力、电动和动力总成系统
- 太阳能和电动汽车充电
- 数字电源
- 车身电子装置与照明
- 测试与测量

实时控制子系统基于 TI 的 32 位 C28x DSP 内核，可针对从片上闪存或 SRAM 运行的浮点或定点代码提供 120MHz 的信号处理性能。浮点单元 (FPU)、三角函数加速器 (TMU) 和 VCRC（循环冗余校验）扩展指令集进一步增强了 C28x CPU 的性能，从而加快了实时控制系统关键常用算法的速度。

CLA 能够将大量的常见任务从主 C28x CPU 上卸下。CLA 是一款与 CPU 并行执行的独立 32 位浮点数学加速器。此外，CLA 自带专用存储资源，它可以直接访问典型控制系统中所需的关键外设。与硬件断点和硬件任务切换等主要特性一样，ANSI C 子集支持是标准配置。

F28003x 支持高达 384KB (192KW) 的闪存，这些闪存分为三个 128KB (64KW) 存储体，支持并行编程和执行。高达 69KB (34.5KW) 的片上 SRAM 也可用于补充闪存。

F28003x 上的实时固件更新硬件增强允许从旧固件到新固件的快速上下文切换，以尽可能减少更新器件固件时的应用停机时间。

高性能模拟模块集成在 F28003x 实时微控制器 (MCU) 上，并与处理单元和 PWM 单元紧密耦合，以提供更好的实时信号链性能。16 个 PWM 通道均支持与频率无关的分辨率模式，可控制从三相逆变器到功率因数校正和高级多级电源拓扑的各种功率级。

通过加入可配置逻辑块 (CLB)，用户可以添加自定义逻辑，还可将类似 FPGA 的功能集成到 C2000 实时 MCU 中。

各种业界通用通信端口（如 SPI、SCI、I2C、PMBus、LIN、CAN 和 CAN FD）不仅支持连接，还提供了多个引脚复用选项，可实现出色的信号布局。快速串行接口 (FSI) 可跨隔离边界实现高达 200Mbps 的稳健通信。

C2000 平台新增了主机接口控制器 (HIC)，这是一种高吞吐量接口，允许外部主机直接访问 TMS320F28003x 的资源。

是否想详细了解 C2000 实时 MCU 适用于实时控制系统的特性？查看 *使用 C2000™ 实时微控制器的基本开发指南*，并访问 C2000™ 实时控制 MCU 页面。

C2000™ 实时控制微控制器 (MCU) 入门指南 涵盖了 C2000 器件开发中从硬件到支持资源的所有方面。除了主要的参考文档外，每个部分还提供了相关链接和资源，可帮助用户进一步了解相关信息。

准备好开始了吗？查看 TMDSCNCD280039C 评估板并下载 C2000Ware。

封装信息

器件型号	封装(1)	封装尺寸(2)	封装尺寸（标称值）
TMS320F280039C	PZ（LQFP，100）	16 mm × 16 mm	14mm x 14mm
	PN（LQFP，80）	14mm x 14mm	12mm x 12mm
	PM（LQFP，64）	12mm x 12mm	10mm × 10mm
TMS320F280039C-Q1	PZ（LQFP，100）	16 mm × 16 mm	14mm x 14mm
	PN（LQFP，80）	14mm x 14mm	12mm x 12mm

Copyright © 2024 Texas Instruments Incorporated

封装信息（续）

器件型号	封装(1)	封装尺寸(2)	封装尺寸（标称值）
TMS320F280039	PZ（LQFP，100）	16 mm × 16 mm	14mm x 14mm
	PN（LQFP，80）	14mm x 14mm	12mm x 12mm
	PM（LQFP，64）	12mm x 12mm	10mm × 10mm
TMS320F280039-Q1	PZ（LQFP，100）	16 mm × 16 mm	14mm x 14mm
	PN（LQFP，80）	14mm x 14mm	12mm x 12mm
TMS320F280038C-Q1	PM（LQFP，64）	12mm x 12mm	10mm × 10mm
TMS320F280038-Q1	PM（LQFP，64）	12mm x 12mm	10mm × 10mm
TMS320F280037C	PZ（LQFP，100）	16 mm × 16 mm	14mm x 14mm
	PN（LQFP，80）	14mm x 14mm	12mm x 12mm
	PM（LQFP，64）	12mm x 12mm	10mm × 10mm
	PT（LQFP，48）	9mm × 9mm	7mm × 7mm
TMS320F280037C-Q1	PZ（LQFP，100）	16 mm × 16 mm	14mm x 14mm
	PN（LQFP，80）	14mm x 14mm	12mm x 12mm
	PT（LQFP，48）	9mm × 9mm	7mm × 7mm
TMS320F280037	PZ（LQFP，100）	16 mm × 16 mm	14mm x 14mm
	PN（LQFP，80）	14mm x 14mm	12mm x 12mm
	PM（LQFP，64）	12mm x 12mm	10mm × 10mm
	PT（LQFP，48）	9mm × 9mm	7mm × 7mm
TMS320F280037-Q1	PZ（LQFP，100）	16 mm × 16 mm	14mm x 14mm
	PT（LQFP，48）	9mm × 9mm	7mm × 7mm
TMS320F280036C-Q1	PM（LQFP，64）	12mm x 12mm	10mm × 10mm
TMS320F280036-Q1	PM（LQFP，64）	12mm x 12mm	10mm × 10mm
TMS320F280034	PZ（LQFP，100）	16 mm × 16 mm	14mm x 14mm
	PN（LQFP，80）	14mm x 14mm	12mm x 12mm
	PM（LQFP，64）	12mm x 12mm	10mm × 10mm
	PT（LQFP，48）	9mm × 9mm	7mm × 7mm
TMS320F280034-Q1	PN（LQFP，80）	14mm x 14mm	12mm x 12mm
	PT（LQFP，48）	9mm × 9mm	7mm × 7mm
TMS320F280033	PZ（LQFP，100）	16 mm × 16 mm	14mm x 14mm
	PN（LQFP，80）	14mm x 14mm	12mm x 12mm
	PM（LQFP，64）	12mm x 12mm	10mm × 10mm
	PT（LQFP，48）	9mm × 9mm	7mm × 7mm
TMS320F280033-Q1(3)	PN（LQFP，80）	14mm x 14mm	12mm x 12mm

(1) 如需了解更多信息，请参阅机械、封装和可订购信息。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。
(3) 预发布信息（非量产数据）。

器件信息

器件型号(1)	控制律加速器 (CLA)	可配置逻辑块 (CLB)	闪存大小
TMS320F280039C-Q1 TMS320F280039C	有	4 个逻辑块	384KB
TMS320F280039-Q1 TMS320F280039	支持	-	
TMS320F280038C-Q1	有	4 个逻辑块	
TMS320F280038-Q1	是	-	

Copyright © 2024 Texas Instruments Incorporated

器件信息（续）

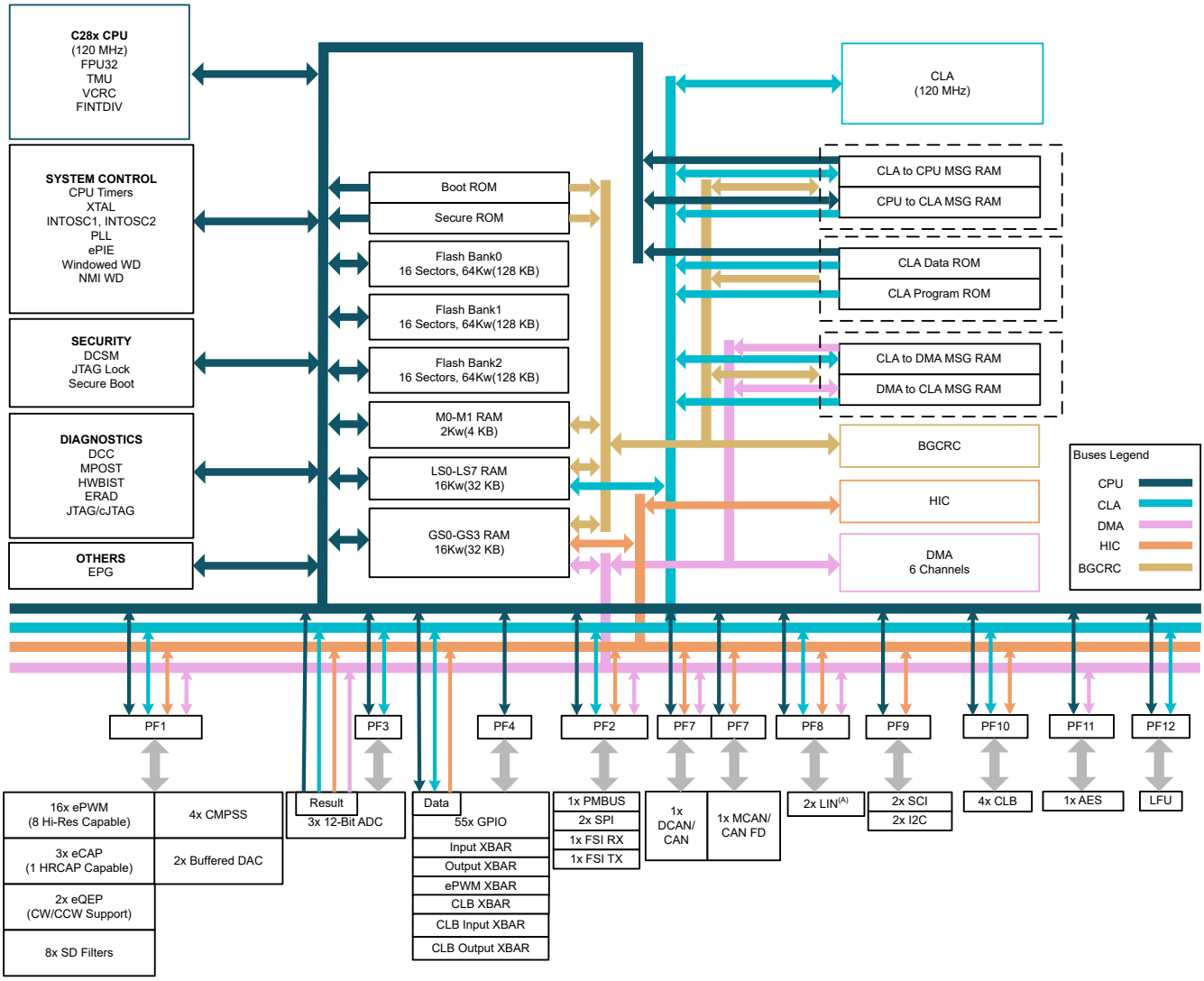
器件型号(1)	控制律加速器 (CLA)	可配置逻辑块 (CLB)	闪存大小
TMS320F280037C-Q1 TMS320F280037C	有	4 个逻辑块	256KB
TMS320F280037-Q1 TMS320F280037	支持	-	
TMS320F280036C-Q1	有	4 个逻辑块	
TMS320F280036-Q1	是	-	
TMS320F280034-Q1 TMS320F280034	支持	-	128KB
TMS320F280033-Q1(2) TMS320F280033	否	-	128KB

(1) 如需更多有关这些器件的信息，请参阅器件比较表。
(2) 预发布信息（非量产数据）。

Copyright © 2024 Texas Instruments Incorporated

3.1 功能方框图

功能方框图展示了 CPU 系统及关联的外设。



A. LIN 模块还可以用作 SCI。

图 3-1. 功能方框图

Copyright © 2024 Texas Instruments Incorporated

内容

1 特性 ... 1
2 应用 ... 2
3 说明 ... 3
3.1 功能方框图 ... 6
4 器件比较 ... 8
4.1 相关产品 ... 10
5 引脚配置和功能 ... 11
5.1 引脚图 ... 11
5.2 引脚属性 ... 16
5.3 信号说明 ... 38
5.4 引脚复用 ... 50
5.5 带有内部上拉和下拉的引脚 ... 59
5.6 未使用引脚的连接 ... 60
6 规格 ... 62
6.1 绝对最大额定值 ... 62
6.2 ESD 等级 - 商用 ... 62
6.3 ESD 等级 - 汽车 ... 63
6.4 建议运行条件 ... 63
6.5 功耗摘要 ... 64
6.6 电气特性 ... 71
6.7 PZ 封装的热阻特性 ... 72
6.8 PN 封装的热阻特性 ... 73
6.9 PM 封装的热阻特性 ... 74
6.10 PT 封装的热阻特性 ... 75
6.11 散热设计注意事项 ... 75
6.12 系统 ... 76
6.13 模拟外设 ... 118
6.14 控制外设 ... 148
6.15 通信外设 ... 163
7 详细说明 ... 197
7.1 概述 ... 197
7.2 功能方框图 ... 198
7.3 存储器 ... 199
7.4 标识 ... 207
7.5 总线架构 - 外设连接 ... 208
7.6 C28x 处理器 ... 209
7.7 控制律加速器 (CLA) ... 211
7.8 嵌入式实时分析和诊断 (ERAD) ... 213
7.9 背景 CRC-32 (BGCRC) ... 213
7.10 直接存储器访问 (DMA) ... 214
7.11 器件引导模式 ... 215
7.12 安全性 ... 223
7.13 看门狗 ... 224
7.14 C28x 计时器 ... 225
7.15 双路时钟比较器 (DCC) ... 226
7.16 可配置逻辑块 (CLB) ... 228
7.17 功能安全 ... 230
8 应用、实现和布局 ... 231
8.1 应用和实施 ... 231
8.2 器件主要特性 ... 231
8.3 应用信息 ... 234
9 器件和文档支持 ... 247
9.1 入门和后续步骤 ... 247
9.2 器件命名规则 ... 247
9.3 标识 ... 248
9.4 工具和软件 ... 250
9.5 文档支持 ... 252
9.6 支持资源 ... 253
9.7 商标 ... 254
9.8 静电放电警告 ... 254
9.9 术语表 ... 254
10 修订历史记录 ... 254
11 机械、封装和可订购信息 ... 257

Copyright © 2024 Texas Instruments Incorporated

4 器件比较

表 4-1 列出了 TMS320F28003x 器件的特性。

表 4-1. 器件比较

特性(1)		F280039C F280039C-Q1 F280039 F280039-Q1	F280038C-Q1 F280038-Q1	F280037C F280037C-Q1 F280037 F280037-Q1	F280036C-Q1 F280036-Q1	F280034 F280034-Q1	F280033 **F280033-Q1**(2)
处理器和加速器							
C28x	频率 (MHz)	120					
	FPU	是（提供有关快速整数除法的说明）					
	VCRC	是					
	TMU	是 – 1 类（提供支持 NLPID 的说明）					
CLA – 2 类	可提供	是					否
	频率 (MHz)	120					-
6 通道 DMA – 0 类		有					
外部中断		5					
存储器							
闪存		384KB (192KW)		256KB (128KW)		128KB (64KW)	
闪存组		3 x 128KB		2 x 128KB		2 x 64KB	
RAM	专用	4KB (2KW)					
	本地共享	32KB (16KW)					
	消息	1KB (0.5KW)					
	全局共享	32KB (16KW)					
	总计	69KB (34.5KW)					
消息 RAM 类型		512B (256W) CPU-CLA 512B (256W) CLA-DMA					-
ECC		闪存、Mx、LSx、GSx、消息 RAM					闪存、Mx、LSx、GSx
奇偶校验		ROM、CAN RAM					
安全性：JTAGLOCK、零引脚引导、双区域安全		有					
系统							
可配置逻辑块 (CLB)		C 型号上有 4 个逻辑块					-
嵌入式图形发生器 (EPG)		是					
32 位 CPU 计时器		3					
高级加密标准 (AES)		是					
背景 CRC (BGCRC)		是					
实时固件更新 (LFU) 支持		是，具有增强功能并改进了闪存组擦除时间					
安全启动		是					
JTAG 锁定		支持					
HWBIST		是					
非可屏蔽中断看门狗 (NMIWD) 计时器		1					
看门狗计时器		1					
晶体振荡器/外部时钟输入		1					
内部振荡器		2					

Copyright © 2024 Texas Instruments Incorporated

表 4-1. 器件比较（续）

特性[1]		F280039C F280039C-Q1 F280039 F280039-Q1	F280038C-Q1 F280038-Q1	F280037C F280037C-Q1 F280037 F280037-Q1	F280036C-Q1 F280036-Q1	F280034 F280034-Q1	F280033 **F280033-Q1**[2]
引脚和电源							
内部 3.3V 至 1.2V 稳压器	VREG LDO	是					
GPIO 引脚	100 引脚 PZ	51	–	51	–	51	
	80 引脚 PN	39	-	39	-	39	
	64 引脚 PM	26	25	26	25	26	
	48 引脚 PT	–	-	14	-	14	
	附加 GPIO	4（2 个来自 cJTAG，2 个来自 X1/X2）					
AIO（具有数字输入的模拟）	100 引脚 PZ	23	–	23	–	23	
	80 引脚 PN	16	–	16	–	16	
	64 引脚 PM	16	16	16	16	16	
	48 引脚 PT	–	-	14	-	14	
AGPIO（具有数字输入和输出的模拟）	100 引脚 PZ	2	-	2	-	2	
	80 引脚 PN	2	-	2	-	2	
模拟外设							
ADC 12 位	ADC 数量	3					
	MSPS	4					
	转换时间 (ns)[3]	250					
ADC 通道（单端）（*包括两个 GPDAC 输出*）	100 引脚 PZ	25	–	25	–	25	
	80 引脚 PN	18	–	18	–	18	
	64 引脚 PM	16	16	16	16	16	
	48 引脚 PT	–	-	14	-	14	
温度传感器		1					
缓冲 DAC		2					
CMPSS （每个 CMPSS 都有两个比较器和两个内部 DAC）		4					
控制外设 [4]							
eCAP/HRCAP 模块 – 2 类		3（1 个具有 HRCAP 功能的 eCAP3 模块）					
ePWM/HRPWM 通道 – 4 类		16（8 个具有 HRPWM 功能的 ePWM1 至 ePWM4 模块）					
eQEP 模块 – 2 类		2					
SDFM 通道 – 2 类		8					
通信外设 [4]							
CAN (DCAN) – 0 类		1					
CAN FD (MCAN) – 1 类		1					
快速串行接口 (FSI) – 2 类		1（1 RX 和 1 TX）					
I2C – 1 类		2					
LIN – 1 类（与 UART 兼容）		2					
主机接口控制器 (HIC) – 1 类		1					
PMBus – 0 类		1					
SCI – 0 类（与 UART 兼容）		2					
SPI – 2 类		2					

Copyright © 2024 Texas Instruments Incorporated

表 4-1. 器件比较（续）

特性(1)		F280039C F280039C-Q1 F280039 F280039-Q1	F280038C-Q1 F280038-Q1	F280037C F280037C-Q1 F280037 F280037-Q1	F280036C-Q1 F280036-Q1	F280034 F280034-Q1	F280033 **F280033-Q1**(2)
封装选项、温度和符合标准							
结温 (T_J)		– 40°C 至 150°C					
自然通风温度 (T_A)		– 40°C 至 125°C					
封装选项	100 引脚 PZ	F280039C F280039	–	F280037C F280037	–	F280034	F280033
	80 引脚 PN	F280039C F280039	–	F280037C F280037	–	F280034	F280033
	64 引脚 PM	F280039C F280039	–	F280037C F280037	–	F280034	F280033
	48 引脚 PT	–	-	F280037C F280037	–	F280034	F280033
支持 AEC-Q100 认证的封装选项	100 引脚 PZ	F280039C-Q1 F280039-Q1	–	F280037C-Q1 F280037-Q1	–	-	-
	80 引脚 PN	F280039C-Q1 F280039-Q1	–	F280037C-Q1	–	F280034-Q1	F280033-Q1
	64 引脚 PM	-	F280038C-Q1 F280038-Q1	–	F280036C-Q1 F280036-Q1	–	-
	48 引脚 PT	–	-	F280037C-Q1 F280037-Q1	–	F280034-Q1	–

(1) 一个类型变化代表一个外设模块中的主要功能特性差异。在一个外设类型内，器件之间会有细微差异，但不会影响模块的基本功能性。
(2) 预发布信息（非量产数据）。
(3) 从采样保持窗口开始到下一次转换的采样保持窗口开始之间的时间。
(4) 对于采用多个封装的器件，较小封装中列出的外设数量会减少，因为较小封装中的可用器件引脚较少。与器件型号内提供的最大封装相比，器件内部存在的外设数量并未减少。有关确定哪些外设实例可以在较小封装中的引脚上访问，请参阅节 5。

4.1 相关产品

TMS320F2803x 实时微控制器
F2803x 系列增加了引脚数和闪存大小选项。F2803x 系列还引入了并行控制律加速器 (CLA) 选项。

TMS320F2807x 实时微控制器
F2807x 系列提供出色的性能以及最大引脚数、闪存大小和外设选项。F2807x 系列包括新一代加速器、ePWM 外设和模拟技术。

TMS320F28004x 实时微控制器
F28004x 系列是 F2807x 系列的精简版，具有最新一代的增强性能。

TMS320F28002x 实时微控制器
F28002x 系列是 F28004x 系列的精简版，具有最新一代的增强性能。

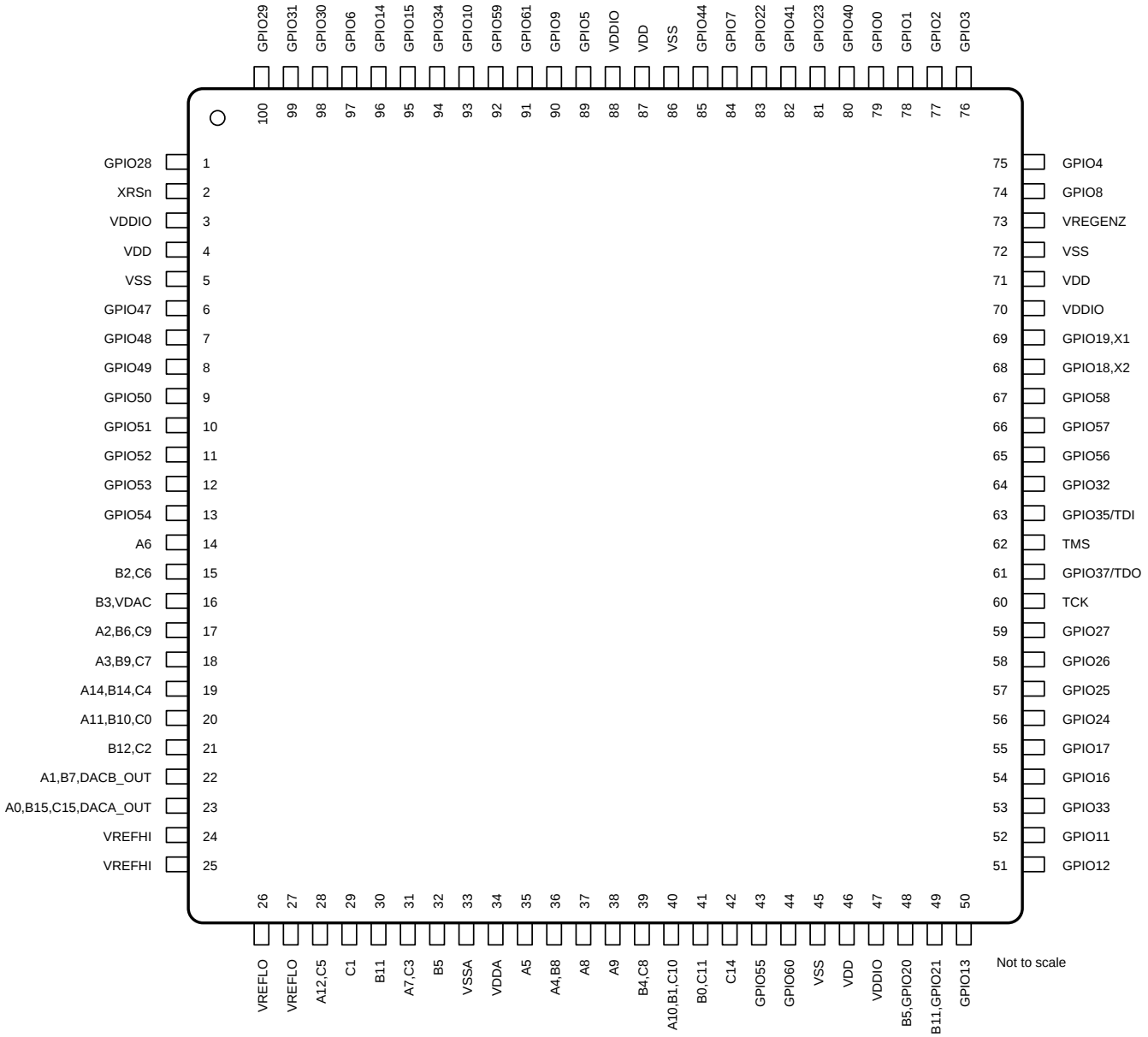
TMS320F2838x 实时微控制器
F2838x 系列提供更高的性能，以及更多的引脚数、闪存大小、外设和各种连接选项。F2838x 系列包括新一代加速器、ePWM 外设和模拟技术。

Copyright © 2024 Texas Instruments Incorporated

5 引脚配置和功能

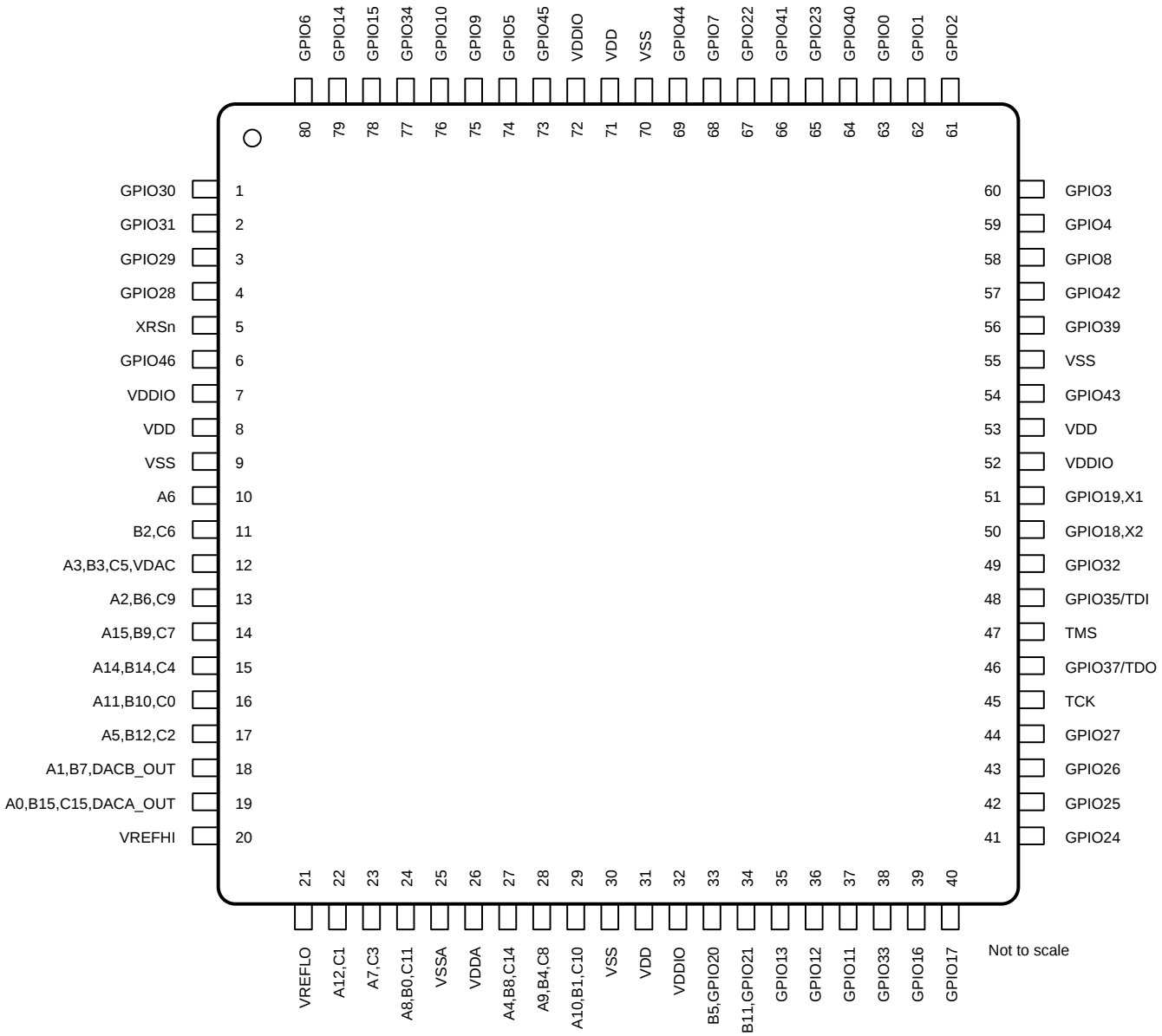
5.1 引脚图

图 5-1 展示了 100 引脚 PZ Low-Profile Quad Flatpack 封装上的引脚分配；Q 和非 Q 型号具有相同的引脚分配。图 5-2 展示了 80 引脚 PN Low-Profile Quad Flatpack 封装上的引脚分配。图 5-3 展示了 64 引脚 PM Low-Profile Quad Flatpack 封装（Q 温度）上的引脚分配。图 5-4 展示了 64 引脚 PM Low-Profile Quad Flatpack 封装上的引脚分配。图 5-5 展示了 48 引脚 PT Low-Profile Quad Flatpack 封装上的引脚分配；Q 和非 Q 型号具有相同的引脚分配。



A. GPIO 引脚上仅显示 GPIO 功能。有关完整的多路复用信号名称，请参阅节 5.2。

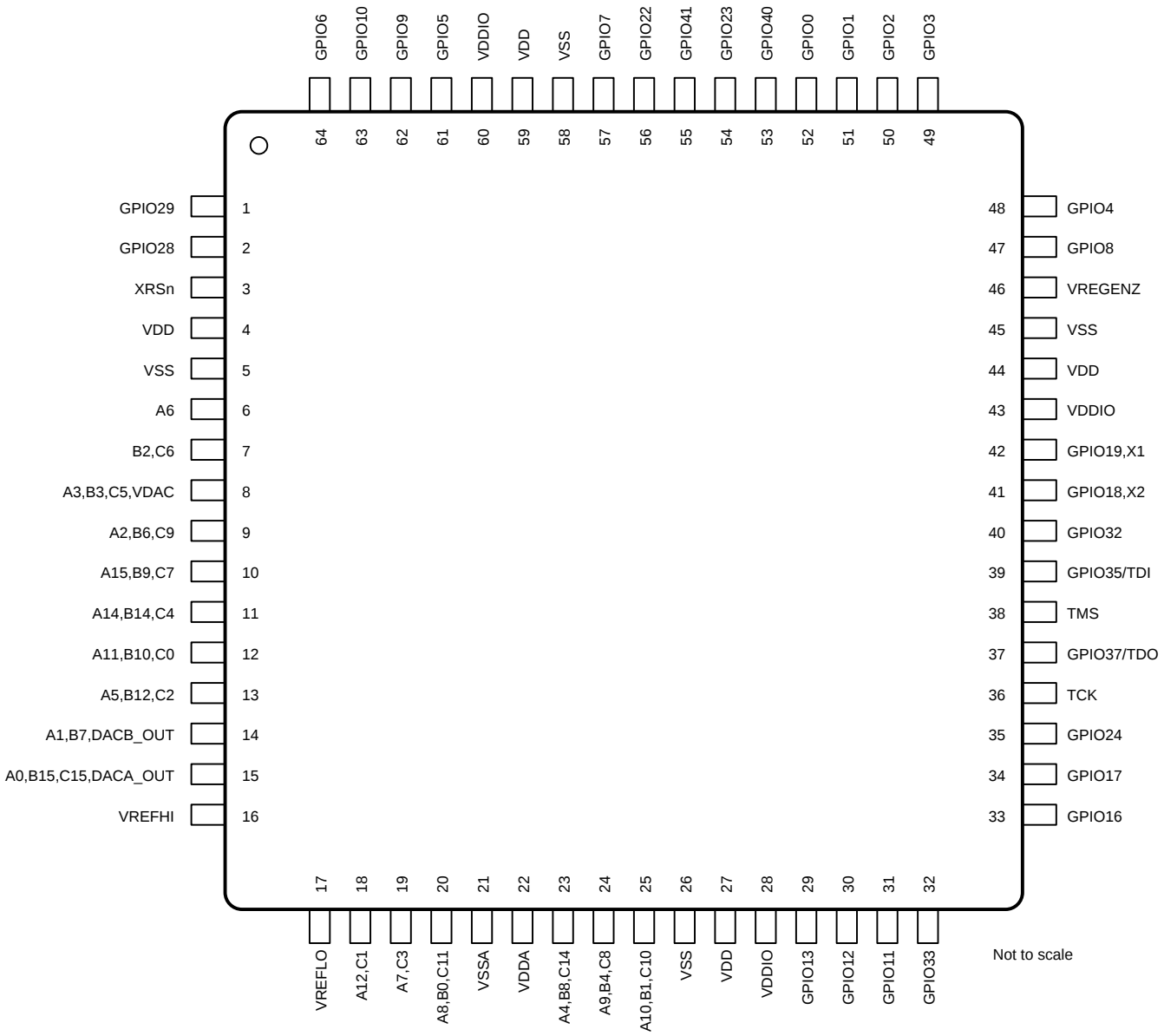
图 5-1. 100 引脚 PZ Low-Profile Quad Flatpack（顶视图）



A. GPIO 引脚上仅显示 GPIO 功能。有关完整的多路复用信号名称，请参阅节 5.2。

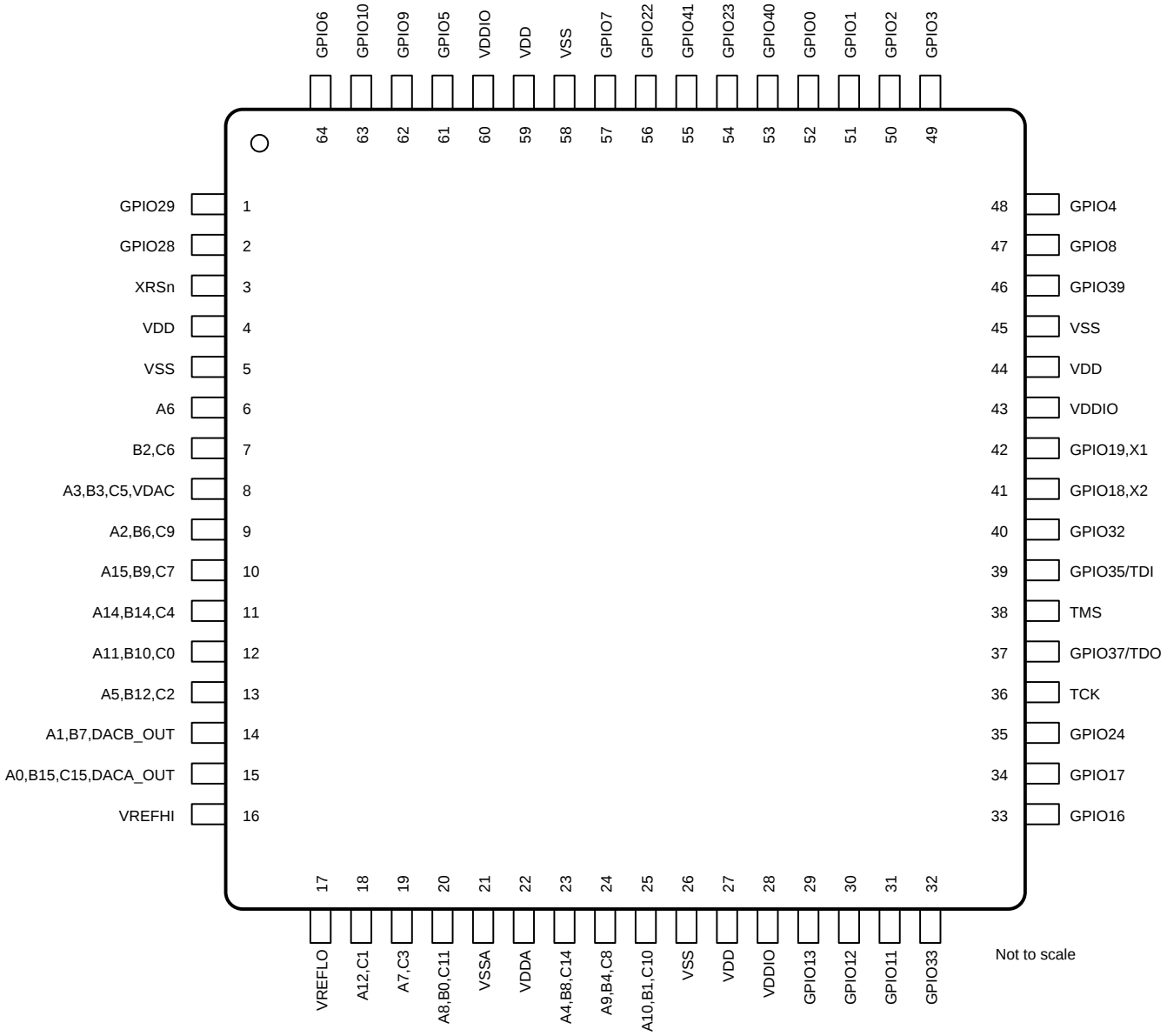
图 5-2. 80 引脚 PN Low-Profile Quad Flatpack（顶视图）

Copyright © 2024 Texas Instruments Incorporated



A. GPIO 引脚上仅显示 GPIO 功能。有关完整的多路复用信号名称，请参阅节 5.2。

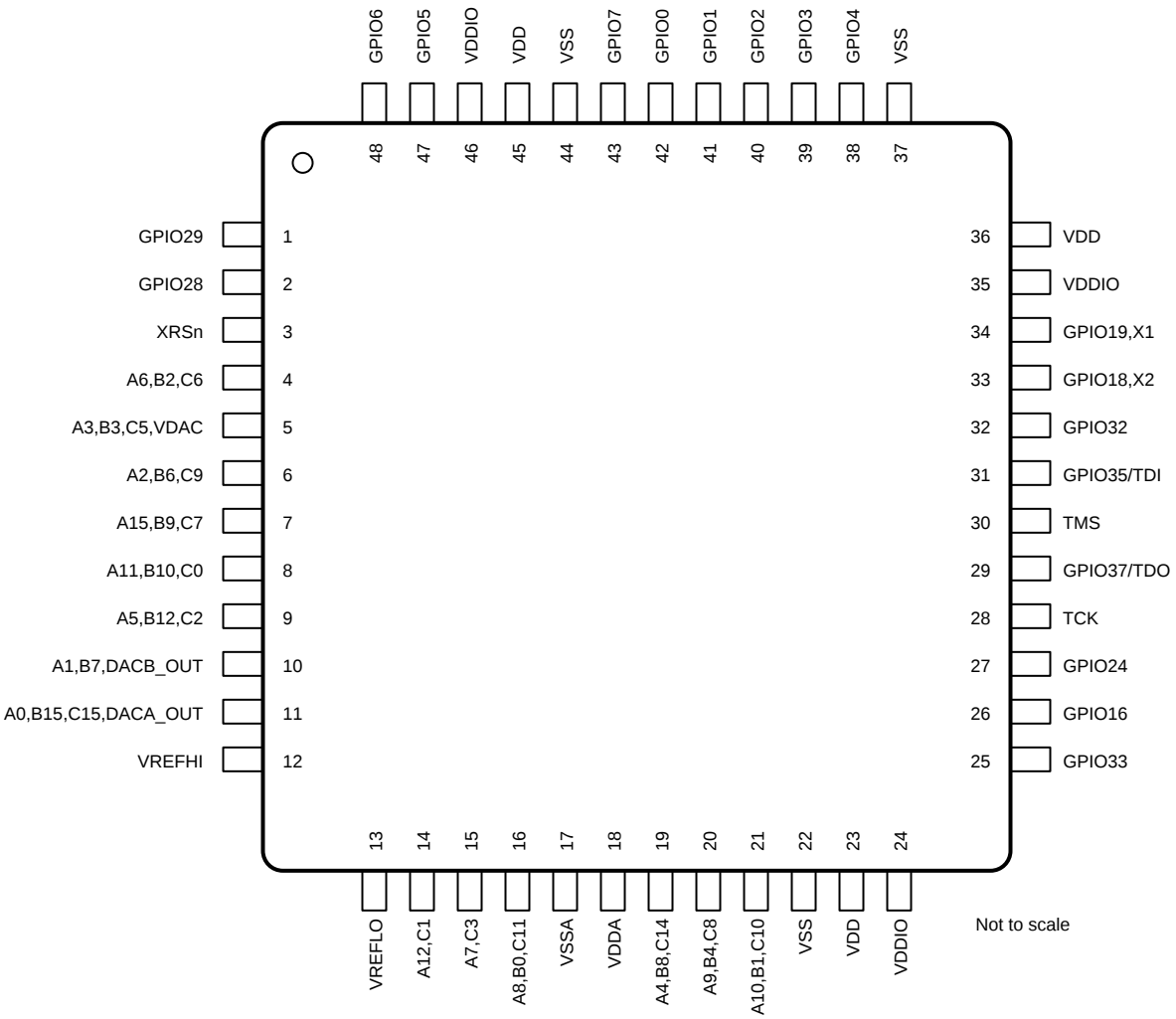
图 5-3. 64 引脚 PM Low-Profile Quad Flatpack - Q 温度（顶视图）



A. GPIO 引脚上仅显示 GPIO 功能。有关完整的多路复用信号名称，请参阅节 5.2。

图 5-4. 64 引脚 PM Low-Profile Quad Flatpack（顶视图）

Copyright © 2024 Texas Instruments Incorporated



A. GPIO 引脚上仅显示 GPIO 功能。有关完整的多路复用信号名称，请参阅节 5.2。

图 5-5. 48 引脚 PT Low-Profile Quad Flatpack（顶视图）

Copyright © 2024 Texas Instruments Incorporated

5.2 引脚属性

表 5-1. 引脚属性

信号名称	多路复用器位置	100 PZ	80 PN	64 PMQ	64 PM	48 PT	引脚类型	说明
模拟								
A0							I	ADC-A 输入 0
B15							I	ADC-B 输入 15
C15							I	ADC-C 输入 15
CMP3_HP2							I	CMPSS-3 高电平比较器正输入 2
CMP3_LP2		23	19	15	15	11	I	CMPSS-3 低电平比较器正输入 2
DACA_OUT							O	缓冲 DAC-A 输出。
AIO231	0，4，8，12						I	用于数字输入 231 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
A1							I	ADC-A 输入 1
B7							I	ADC-B 输入 7
CMP1_HP4							I	CMPSS-1 高电平比较器正输入 4
CMP1_LP4		22	18	14	14	10	I	CMPSS-1 低电平比较器正输入 4
DACB_OUT							O	缓冲 DAC-B 输出。
AIO232	0，4，8，12						I	用于数字输入 232 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
A2							I	ADC-A 输入 2
B6							I	ADC-B 输入 6
C9							I	ADC-C 输入 9
CMP1_HP0		17	13	9	9	6	I	CMPSS-1 高电平比较器正输入 0
CMP1_LP0							I	CMPSS-1 低电平比较器正输入 0
AIO224	0，4，8，12						I	用于数字输入 224 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
A3							I	ADC-A 输入 3
CMP3_HP5		18					I	CMPSS-3 高电平比较器正输入 5
CMP3_LP5							I	CMPSS-3 低电平比较器正输入 5
AIO229	0，4，8，12						I	用于数字输入 229 的模拟引脚
A3							I	ADC-A 输入 3
CMP3_HP5			12	8	8	5	I	CMPSS-3 高电平比较器正输入 5
CMP3_LP5							I	CMPSS-3 低电平比较器正输入 5
A4							I	ADC-A 输入 4
B8							I	ADC-B 输入 8
CMP2_HP0							I	CMPSS-2 高电平比较器正输入 0
CMP2_LP0		36	27	23	23	19	I	CMPSS-2 低电平比较器正输入 0
AIO225	0，4，8，12						I	用于数字输入 225 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
A5							I	ADC-A 输入 5
CMP2_HP5		35					I	CMPSS-2 高电平比较器正输入 5
CMP2_LP5							I	CMPSS-2 低电平比较器正输入 5
AIO249	0，4，8，12						I	用于数字输入 249 的模拟引脚
A5							I	ADC-A 输入 5
CMP2_HP5			17	13	13	9	I	CMPSS-2 高电平比较器正输入 5
CMP2_LP5							I	CMPSS-2 低电平比较器正输入 5

Copyright © 2024 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

信号名称	多路复用器位置	100 PZ	80 PN	64 PMQ	64 PM	48 PT	引脚类型	说明
A6							I	ADC-A 输入 6
CMP1_HP2							I	CMPSS-1 高电平比较器正输入 2
CMP1_LP2		14	10	6	6	4	I	CMPSS-1 低电平比较器正输入 2
AIO228	0，4，8，12						I	用于数字输入 228 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
A8							I	ADC-A 输入 8
CMP4_HP4							I	CMPSS-4 高电平比较器正输入 4
CMP4_LP4		37					I	CMPSS-4 低电平比较器正输入 4
AIO240	0，4，8，12						I	用于数字输入 240 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
A8							I	ADC-A 输入 8
CMP4_HP4							I	CMPSS-4 高电平比较器正输入 4
CMP4_LP4			24	20	20	16	I	CMPSS-4 低电平比较器正输入 4
AIO241	0，4，8，12						I	用于数字输入 241 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
A9							I	ADC-A 输入 9
CMP2_HP2							I	CMPSS-2 高电平比较器正输入 2
CMP2_LP2		38	28	24	24	20	I	CMPSS-2 低电平比较器正输入 2
AIO227	0，4，8，12						I	用于数字输入 227 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
A10							I	ADC-A 输入 10
B1							I	ADC-B 输入 1
C10							I	ADC-C 输入 10
CMP2_HN0							I	CMPSS-2 高电平比较器负输入 0
CMP2_HP3		40	29	25	25	21	I	CMPSS-2 高电平比较器正输入 3
CMP2_LN0							I	CMPSS-2 低电平比较器负输入 0
CMP2_LP3							I	CMPSS-2 低电平比较器正输入 3
AIO230	0，4，8，12						I	用于数字输入 230 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
A11							I	ADC-A 输入 11
B10							I	ADC-B 输入 10
C0							I	ADC-C 输入 0
CMP1_HN1							I	CMPSS-1 高电平比较器负输入 1
CMP1_HP1		20	16	12	12	8	I	CMPSS-1 高电平比较器正输入 1
CMP1_LN1							I	CMPSS-1 低电平比较器负输入 1
CMP1_LP1							I	CMPSS-1 低电平比较器正输入 1
AIO237	0，4，8，12						I	用于数字输入 237 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。

Copyright © 2024 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

信号名称	多路复用器位置	100 PZ	80 PN	64 PMQ	64 PM	48 PT	引脚类型	说明
A12							I	ADC-A 输入 12
CMP2_HN1							I	CMPSS-2 高电平比较器负输入 1
CMP2_HP1							I	CMPSS-2 高电平比较器正输入 1
CMP2_LN1		28	22	18	18	14	I	CMPSS-2 低电平比较器负输入 1
CMP2_LP1							I	CMPSS-2 低电平比较器正输入 1
AIO238	0，4，8，12						I	用于数字输入 238 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
A14							I	ADC-A 输入 14
B14							I	ADC-B 输入 14
C4							I	ADC-C 输入 4
CMP3_HP4		19	15	11	11		I	CMPSS-3 高电平比较器正输入 4
CMP3_LP4							I	CMPSS-3 低电平比较器正输入 4
AIO239	0，4，8，12						I	用于数字输入 239 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
A15							I	ADC-A 输入 15
CMP1_HN0							I	CMPSS-1 高电平比较器负输入 0
CMP1_HP3							I	CMPSS-1 高电平比较器正输入 3
CMP1_LN0			14	10	10	7	I	CMPSS-1 低电平比较器负输入 0
CMP1_LP3							I	CMPSS-1 低电平比较器正输入 3
AIO233	0，4，8，12						I	用于数字输入 233 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
B0							I	ADC-B 输入 0
C11							I	ADC-C 输入 11
CMP2_HP4		41					I	CMPSS-2 高电平比较器正输入 4
CMP2_LP4							I	CMPSS-2 低电平比较器正输入 4
AIO253	0，4，8，12						I	用于数字输入 253 的模拟引脚
B0							I	ADC-B 输入 0
C11							I	ADC-C 输入 11
CMP2_HP4			24	20	20	16	I	CMPSS-2 高电平比较器正输入 4
CMP2_LP4							I	CMPSS-2 低电平比较器正输入 4
B2							I	ADC-B 输入 2
C6							I	ADC-C 输入 6
CMP3_HP0							I	CMPSS-3 高电平比较器正输入 0
CMP3_LP0		15	11	7	7	4	I	CMPSS-3 低电平比较器正输入 0
AIO226	0，4，8，12						I	用于数字输入 226 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
B3							I	ADC-B 输入 3
CMP3_HN0							I	CMPSS-3 高电平比较器负输入 0
CMP3_HP3							I	CMPSS-3 高电平比较器正输入 3
CMP3_LN0							I	CMPSS-3 低电平比较器负输入 0
CMP3_LP3		16	12	8	8	5	I	CMPSS-3 低电平比较器正输入 3
VDAC							I	片上 DAC 的可选外部基准电压。
AIO242	0，4，8，12						I	用于数字输入 242 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。

Copyright © 2024 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

信号名称	多路复用器位置	100 PZ	80 PN	64 PMQ	64 PM	48 PT	引脚类型	说明
B4							I	ADC-B 输入 4
C8							I	ADC-C 输入 8
CMP4_HP0		39	28	24	24	20	I	CMPSS-4 高电平比较器正输入 0
CMP4_LP0							I	CMPSS-4 低电平比较器正输入 0
AIO236	0，4，8，12						I	用于数字输入 236 的模拟引脚
B5							I	ADC-B 输入 5
CMP1_HP5							I	CMPSS-1 高电平比较器正输入 5
CMP1_LP5		32					I	CMPSS-1 低电平比较器正输入 5
AIO252	0，4，8，12						I	用于数字输入 252 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
B5							I	ADC-B 输入 5
CMP1_HP5							I	CMPSS-1 高电平比较器正输入 5
CMP1_LP5		48	33				I	CMPSS-1 低电平比较器正输入 5
GPIO20							I/O	通用输入/输出 20。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
B11							I	ADC-B 输入 11
CMP4_HP5		30					I	CMPSS-4 高电平比较器正输入 5
CMP4_LP5							I	CMPSS-4 低电平比较器正输入 5
AIO251	0，4，8，12						I	用于数字输入 251 的模拟引脚
B11							I	ADC-B 输入 11
CMP4_HP5							I	CMPSS-4 高电平比较器正输入 5
CMP4_LP5		49	34				I	CMPSS-4 低电平比较器正输入 5
GPIO21							I/O	通用输入/输出 21。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
C1							I	ADC-C 输入 1
CMP4_HP2		29	22	18	18	14	I	CMPSS-4 高电平比较器正输入 2
CMP4_LP2							I	CMPSS-4 低电平比较器正输入 2
AIO248	0，4，8，12						I	用于数字输入 248 的模拟引脚
AIO248		29	22	18	18	14	I	用于数字输入 248 的模拟引脚
B12							I	ADC-B 输入 12
C2							I	ADC-C 输入 2
CMP3_HN1							I	CMPSS-3 高电平比较器负输入 1
CMP3_HP1							I	CMPSS-3 高电平比较器正输入 1
CMP3_LN1		21	17	13	13	9	I	CMPSS-3 低电平比较器负输入 1
CMP3_LP1							I	CMPSS-3 低电平比较器正输入 1
AIO244	0，4，8，12						I	用于数字输入 244 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
A7							I	ADC-A 输入 7
C3							I	ADC-C 输入 3
CMP4_HN1							I	CMPSS-4 高电平比较器负输入 1
CMP4_HP1							I	CMPSS-4 高电平比较器正输入 1
CMP4_LN1		31	23	19	19	15	I	CMPSS-4 低电平比较器负输入 1
CMP4_LP1							I	CMPSS-4 低电平比较器正输入 1
AIO245	0，4，8，12						I	用于数字输入 245 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
C5		28	12	8	8	5	I	ADC-C 输入 5

Copyright © 2024 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

信号名称	多路复用器位置	100 PZ	80 PN	64 PMQ	64 PM	48 PT	引脚类型	说明
B9		18	14	10	10	7	I	ADC-B 输入 9
C7							I	ADC-C 输入 7
C14		42					I	ADC-C 输入 14
CMP4_HN0							I	CMPSS-4 高电平比较器负输入 0
CMP4_HP3							I	CMPSS-4 高电平比较器正输入 3
CMP4_LN0							I	CMPSS-4 低电平比较器负输入 0
CMP4_LP3							I	CMPSS-4 低电平比较器正输入 3
AIO247	0，4，8，12						I	用于数字输入 247 的模拟引脚
C14			27	23	23	19	I	ADC-C 输入 14
CMP4_HN0							I	CMPSS-4 高电平比较器负输入 0
CMP4_HP3							I	CMPSS-4 高电平比较器正输入 3
CMP4_LN0							I	CMPSS-4 低电平比较器负输入 0
CMP4_LP3							I	CMPSS-4 低电平比较器正输入 3
VREFHI		24、25	20	16	16	12	I	ADC 高基准电压。在外部基准模式下，从外部驱动这个引脚上的高基准电压。在内部基准模式下，电压由器件驱动到该引脚。在任一模式下，在此引脚上放置至少一个 2.2μF 电容器。此电容器应放置在 VREFHI 和 VREFLO 引脚之间尽可能靠近器件的位置。
VREFLO		26、27	21	17	17	13	I	ADC 低基准电压
GPIO								
AIO231	0，4，8，12	23	19	15	15	11	I	用于数字输入 231 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD1_C1	2						I	SDFM-1 通道 1 时钟输入
HIC_BASESEL1	15						I	HIC 基址范围选择 1
AIO232	0，4，8，12	22	18	14	14	10	I	用于数字输入 232 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD1_D4	2						I	SDFM-1 通道 4 数据输入
HIC_BASESEL0	15						I	HIC 基址范围选择 0
AIO224	0，4，8，12	17	13	9	9	6	I	用于数字输入 224 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD2_D3	2						I	SDFM-2 通道 3 数据输入
HIC_A3	15						I	HIC 地址 3
AIO225	0，4，8，12	36	27	23	23	19	I	用于数字输入 225 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD2_C2	2						I	SDFM-2 通道 2 时钟输入
HIC_NWE	15						I	HIC 主机数据写入使能
AIO228	0，4，8，12	14	10	6	6	4	I	用于数字输入 228 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD2_C1	2						I	SDFM-2 通道 1 时钟输入
HIC_A0	15						I	HIC 地址 0
AIO240	0，4，8，12	37					I	用于数字输入 240 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD2_C1	2						I	SDFM-2 通道 1 时钟输入
HIC_NBE1	15						I	HIC 字节使能 1
AIO241	0，4，8，12		24	20	20	16	I	用于数字输入 241 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD2_C1	2						I	SDFM-2 通道 1 时钟输入
HIC_NBE1	15						I	HIC 字节使能 1

Copyright © 2024 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

信号名称	多路复用器位置	100 PZ	80 PN	64 PMQ	64 PM	48 PT	引脚类型	说明
AIO227	0，4，8，12	38	28	24	24	20	I	用于数字输入 227 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD1_C3	2						I	SDFM-1 通道 3 时钟输入
HIC_NBE0	15						I	HIC 字节使能 0
AIO230	0，4，8，12	40	29	25	25	21	I	用于数字输入 230 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD1_C4	2						I	SDFM-1 通道 4 时钟输入
HIC_BASESEL2	15						I	HIC 基址范围选择 2
AIO237	0，4，8，12	20	16	12	12	8	I	用于数字输入 237 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD1_D2	2						I	SDFM-1 通道 2 数据输入
HIC_A6	15						I	HIC 地址 6
AIO238	0，4，8，12	28	22	18	18	14	I	用于数字输入 238 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD2_C3	2						I	SDFM-2 通道 3 时钟输入
HIC_NCS	15						I	HIC 芯片选择输入
AIO239	0，4，8，12	19	15	11	11		I	用于数字输入 239 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD1_D1	2						I	SDFM-1 通道 1 数据输入
HIC_A5	15						I	HIC 地址 5
AIO233	0，4，8，12		14	10	10	7	I	用于数字输入 233 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD2_D1	2						I	SDFM-2 通道 1 数据输入
HIC_A4	15						I	HIC 地址 4
AIO226	0，4，8，12	15	11	7	7	4	I	用于数字输入 226 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD2_D4	2						I	SDFM-2 通道 4 数据输入
HIC_A1	15						I	HIC 地址 1
AIO242	0，4，8，12	16	12	8	8	5	I	用于数字输入 242 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD2_D2	2						I	SDFM-2 通道 2 数据输入
HIC_A2	15						I	HIC 地址 2
AIO252	0，4，8，12	32					I	用于数字输入 252 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD2_C4	2						I	SDFM-2 通道 4 时钟输入
AIO244	0，4，8，12	21	17	13	13	9	I	用于数字输入 244 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD1_D3	2						I	SDFM-1 通道 3 数据输入
HIC_A7	15						I	HIC 地址 7
AIO245	0，4，8，12	31	23	19	19	15	I	用于数字输入 245 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD1_C2	2						I	SDFM-1 通道 2 时钟输入
HIC_NOE	15						O	HIC 数据总线输出使能

Copyright © 2024 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

信号名称	多路复用器位置	100 PZ	80 PN	64 PMQ	64 PM	48 PT	引脚类型	说明
GPIO0	0，4，8，12	79	63	52	52	42	I/O	通用输入/输出 0
EPWM1_A	1						O	ePWM-1 输出 A
I2CA_SDA	6						I/OD	I2C-A 开漏双向数据
SPIA_STE	7						I/O	SPI-A 从器件发送使能 (STE)
FSIRXA_CLK	9						I	FSIRX-A 输入时钟
MCAN_RX	10						I	CAN/CAN FD 接收
CLB_OUTPUTXBAR8	11						O	CLB 输出 X-BAR 输出 8
EQEP1_INDEX	13						I/O	eQEP-1 索引
HIC_D7	14						I/O	HIC 数据 7
HIC_BASESEL1	15						I	HIC 基址范围选择 1
GPIO1	0，4，8，12	78	62	51	51	41	I/O	通用输入/输出 1
EPWM1_B	1						O	ePWM-1 输出 B
I2CA_SCL	6						I/OD	I2C-A 开漏双向时钟
SPIA_SOMI	7						I/O	SPI-A 从器件输出，主器件输入 (SOMI)
MCAN_TX	10						O	CAN/CAN FD 发送
CLB_OUTPUTXBAR7	11						O	CLB 输出 X-BAR 输出 7
HIC_A2	13						I	HIC 地址 2
FSITXA_TDM_D1	14						I	FSITX-A 时分多路复用附加数据输入
HIC_D10	15						I/O	HIC 数据 10
GPIO2	0，4，8，12	77	61	50	50	40	I/O	通用输入/输出 2
EPWM2_A	1						O	ePWM-2 输出 A
OUTPUTXBAR1	5						O	输出 X-BAR 输出 1
PMBUSA_SDA	6						I/OD	PMBus-A 开漏双向数据
SPIA_SIMO	7						I/O	SPI-A 从器件输入，主器件输出 (SIMO)
SCIA_TX	9						O	SCI-A 发送数据
FSIRXA_D1	10						I	FSIRX-A 可选附加数据输入
I2CB_SDA	11						I/OD	I2C-B 开漏双向数据
HIC_A1	13						I	HIC 地址 1
CANA_TX	14						O	CAN-A 发送
HIC_D9	15						I/O	HIC 数据 9
GPIO3	0，4，8，12	76	60	49	49	39	I/O	通用输入/输出 3
EPWM2_B	1						O	ePWM-2 输出 B
OUTPUTXBAR2	2、5						O	输出 X-BAR 输出 2
PMBUSA_SCL	6						I/OD	PMBus-A 开漏双向时钟
SPIA_CLK	7						I/O	SPI-A 时钟
SCIA_RX	9						I	SCI-A 接收数据
FSIRXA_D0	10						I	FSIRX-A 主数据输入
I2CB_SCL	11						I/OD	I2C-B 开漏双向时钟
HIC_NOE	13						O	HIC 数据总线输出使能
CANA_RX	14						I	CAN-A 接收
HIC_D4	15						I/O	HIC 数据 4

Copyright © 2024 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

信号名称	多路复用器位置	100 PZ	80 PN	64 PMQ	64 PM	48 PT	引脚类型	说明
GPIO4	0，4，8，12						I/O	通用输入/输出 4
EPWM3_A	1						O	ePWM-3 输出 A
MCAN_TX	3						O	CAN/CAN FD 发送
OUTPUTXBAR3	5						O	输出 X-BAR 输出 3
CANA_TX	6						O	CAN-A 发送
SPIB_CLK	7	75	59	48	48	38	I/O	SPI-B 时钟
EQEP2_STROBE	9						I/O	eQEP-2 选通
FSIRXA_CLK	10						I	FSIRX-A 输入时钟
CLB_OUTPUTXBAR6	11						O	CLB 输出 X-BAR 输出 6
HIC_BASESEL2	13						I	HIC 基址范围选择 2
HIC_NWE	15						I	HIC 主机数据写入使能
GPIO5	0，4，8，12						I/O	通用输入/输出 5
EPWM3_B	1						O	ePWM-3 输出 B
OUTPUTXBAR3	3						O	输出 X-BAR 输出 3
MCAN_RX	5						I	CAN/CAN FD 接收
CANA_RX	6						I	CAN-A 接收
SPIA_STE	7	89	74	61	61	47	I/O	SPI-A 从器件发送使能 (STE)
FSITXA_D1	9						O	FSITX-A 可选附加数据输出
CLB_OUTPUTXBAR5	10						O	CLB 输出 X-BAR 输出 5
HIC_A7	13						I	HIC 地址 7
HIC_D4	14						I/O	HIC 数据 4
HIC_D15	15						I/O	HIC 数据 15
GPIO6	0，4，8，12						I/O	通用输入/输出 6
EPWM4_A	1						O	ePWM-4 输出 A
OUTPUTXBAR4	2						O	输出 X-BAR 输出 4
SYNCOUT	3						O	外部 ePWM 同步脉冲
EQEP1_A	5						I	eQEP-1 输入 A
SPIB_SOMI	7	97	80	64	64	48	I/O	SPI-B 从器件输出，主器件输入 (SOMI)
FSITXA_D0	9						O	FSITX-A 主数据输出
FSITXA_D1	11						O	FSITX-A 可选附加数据输出
HIC_NBE1	13						I	HIC 字节使能 1
CLB_OUTPUTXBAR8	14						O	CLB 输出 X-BAR 输出 8
HIC_D14	15						I/O	HIC 数据 14
GPIO7	0，4，8，12						I/O	通用输入/输出 7
EPWM4_B	1						O	ePWM-4 输出 B
OUTPUTXBAR5	3						O	输出 X-BAR 输出 5
EQEP1_B	5						I	eQEP-1 输入 B
SPIB_SIMO	7	84	68	57	57	43	I/O	SPI-B 从器件输入，主器件输出 (SIMO)
FSITXA_CLK	9						O	FSITX-A 输出时钟
CLB_OUTPUTXBAR2	10						O	CLB 输出 X-BAR 输出 2
HIC_A6	13						I	HIC 地址 6
HIC_D14	15						I/O	HIC 数据 14

Copyright © 2024 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

信号名称	多路复用器位置	100 PZ	80 PN	64 PMQ	64 PM	48 PT	引脚类型	说明
GPIO8	0，4，8，12	74	58	47	47		I/O	通用输入/输出 8
EPWM5_A	1						O	ePWM-5 输出 A
ADCSOCAO	3						O	外部 ADC 的 ADC 转换启动 A
EQEP1_STROBE	5						I/O	eQEP-1 选通
SCIA_TX	6						O	SCI-A 发送数据
SPIA_SIMO	7						I/O	SPI-A 从器件输入，主器件输出 (SIMO)
I2CA_SCL	9						I/OD	I2C-A 开漏双向时钟
FSITXA_D1	10						O	FSITX-A 可选附加数据输出
CLB_OUTPUTXBAR5	11						O	CLB 输出 X-BAR 输出 5
HIC_A0	13						I	HIC 地址 0
FSITXA_TDM_CLK	14						I	FSITX-A 时分多路复用时钟输入
HIC_D8	15						I/O	HIC 数据 8
GPIO9	0，4，8，12	90	75	62	62		I/O	通用输入/输出 9
EPWM5_B	1						O	ePWM-5 输出 B
SCIB_TX	2						O	SCI-B 发送数据
OUTPUTXBAR6	3						O	输出 X-BAR 输出 6
EQEP1_INDEX	5						I/O	eQEP-1 索引
SCIA_RX	6						I	SCI-A 接收数据
SPIA_CLK	7						I/O	SPI-A 时钟
FSITXA_D0	10						O	FSITX-A 主数据输出
LINB_RX	11						I	LIN-B 接收
HIC_BASESEL0	13						I	HIC 基址范围选择 0
I2CB_SCL	14						I/OD	I2C-B 开漏双向时钟
HIC_NRDY	15						O	HIC 从器件到主机就绪
GPIO10	0，4，8，12	93	76	63	63		I/O	通用输入/输出 10
EPWM6_A	1						O	ePWM-6 输出 A
ADCSOCBO	3						O	外部 ADC 的 ADC 转换启动 B
EQEP1_A	5						I	eQEP-1 输入 A
SCIB_TX	6						O	SCI-B 发送数据
SPIA_SOMI	7						I/O	SPI-A 从器件输出，主器件输入 (SOMI)
I2CA_SDA	9						I/OD	I2C-A 开漏双向数据
FSITXA_CLK	10						O	FSITX-A 输出时钟
LINB_TX	11						O	LIN-B 发送
HIC_NWE	13						I	HIC 主机数据写入使能
FSITXA_TDM_D0	14						I	FSITX-A 时分多路复用数据输入
CLB_OUTPUTXBAR4	15						O	CLB 输出 X-BAR 输出 4

Copyright © 2024 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

信号名称	多路复用器位置	100 PZ	80 PN	64 PMQ	64 PM	48 PT	引脚类型	说明
GPIO11	0，4，8，12	52	37	31	31		I/O	通用输入/输出 11
EPWM6_B	1						O	ePWM-6 输出 B
OUTPUTXBAR7	3						O	输出 X-BAR 输出 7
EQEP1_B	5						I	eQEP-1 输入 B
SCIB_RX	6						I	SCI-B 接收数据
SPIA_STE	7						I/O	SPI-A 从器件发送使能 (STE)
FSIRXA_D1	9						I	FSIRX-A 可选附加数据输入
LINB_RX	10						I	LIN-B 接收
EQEP2_A	11						I	eQEP-2 输入 A
SPIA_SIMO	13						I/O	SPI-A 从器件输入，主器件输出 (SIMO)
HIC_D6	14						I/O	HIC 数据 6
HIC_NBE0	15						I	HIC 字节使能 0
GPIO12	0，4，8，12	51	36	30	30		I/O	通用输入/输出 12
EPWM7_A	1						O	ePWM-7 输出 A
MCAN_RX	3						I	CAN/CAN FD 接收
EQEP1_STROBE	5						I/O	eQEP-1 选通
SCIB_TX	6						O	SCI-B 发送数据
PMBUSA_CTL	7						I/O	PMBus-A 控制信号 - 从器件输入/主器件输出
FSIRXA_D0	9						I	FSIRX-A 主数据输入
LINB_TX	10						O	LIN-B 发送
SPIA_CLK	11						I/O	SPI-A 时钟
CANA_RX	13						I	CAN-A 接收
HIC_D13	14						I/O	HIC 数据 13
HIC_INT	15						O	HIC 器件主机中断
GPIO13	0，4，8，12	50	35	29	29		I/O	通用输入/输出 13
EPWM7_B	1						O	ePWM-7 输出 B
MCAN_TX	3						O	CAN/CAN FD 发送
EQEP1_INDEX	5						I/O	eQEP-1 索引
SCIB_RX	6						I	SCI-B 接收数据
PMBUSA_ALERT	7						I/OD	PMBus-A 开漏双向警报信号
FSIRXA_CLK	9						I	FSIRX-A 输入时钟
LINB_RX	10						I	LIN-B 接收
SPIA_SOMI	11						I/O	SPI-A 从器件输出，主器件输入 (SOMI)
CANA_TX	13						O	CAN-A 发送
HIC_D11	14						I/O	HIC 数据 11
HIC_D5	15						I/O	HIC 数据 5

Copyright © 2024 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

信号名称	多路复用器位置	100 PZ	80 PN	64 PMQ	64 PM	48 PT	引脚类型	说明
GPIO14	0，4，8，12	96	79				I/O	通用输入/输出 14
EPWM8_A	1						O	ePWM-8 输出 A
SCIB_TX	2						O	SCI-B 发送数据
I2CB_SDA	5						I/OD	I2C-B 开漏双向数据
OUTPUTXBAR3	6						O	输出 X-BAR 输出 3
PMBUSA_SDA	7						I/OD	PMBus-A 开漏双向数据
SPIB_CLK	9						I/O	SPI-B 时钟
EQEP2_A	10						I	eQEP-2 输入 A
LINB_TX	11						O	LIN-B 发送
EPWM3_A	13						O	ePWM-3 输出 A
CLB_OUTPUTXBAR7	14						O	CLB 输出 X-BAR 输出 7
HIC_D15	15						I/O	HIC 数据 15
GPIO15	0，4，8，12	95	78				I/O	通用输入/输出 15
EPWM8_B	1						O	ePWM-8 输出 B
SCIB_RX	2						I	SCI-B 接收数据
I2CB_SCL	5						I/OD	I2C-B 开漏双向时钟
OUTPUTXBAR4	6						O	输出 X-BAR 输出 4
PMBUSA_SCL	7						I/OD	PMBus-A 开漏双向时钟
SPIB_STE	9						I/O	SPI-B 从器件发送使能 (STE)
EQEP2_B	10						I	eQEP-2 输入 B
LINB_RX	11						I	LIN-B 接收
EPWM3_B	13						O	ePWM-3 输出 B
CLB_OUTPUTXBAR6	14						O	CLB 输出 X-BAR 输出 6
HIC_D12	15						I/O	HIC 数据 12
GPIO16	0，4，8，12	54	39	33	33	26	I/O	通用输入/输出 16
SPIA_SIMO	1						I/O	SPI-A 从器件输入，主器件输出 (SIMO)
OUTPUTXBAR7	3						O	输出 X-BAR 输出 7
EPWM5_A	5						O	ePWM-5 输出 A
SCIA_TX	6						O	SCI-A 发送数据
SD1_D1	7						I	SDFM-1 通道 1 数据输入
EQEP1_STROBE	9						I/O	eQEP-1 选通
PMBUSA_SCL	10						I/OD	PMBus-A 开漏双向时钟
XCLKOUT	11						O	外部时钟输出。此引脚从器件中输出所选时钟信号的分频版本。
EQEP2_B	13						I	eQEP-2 输入 B
SPIB_SOMI	14						I/O	SPI-B 从器件输出，主器件输入 (SOMI)
HIC_D1	15						I/O	HIC 数据 1
GPIO17	0，4，8，12	55	40	34	34		I/O	通用输入/输出 17
SPIA_SOMI	1						I/O	SPI-A 从器件输出，主器件输入 (SOMI)
OUTPUTXBAR8	3						O	输出 X-BAR 输出 8
EPWM5_B	5						O	ePWM-5 输出 B
SCIA_RX	6						I	SCI-A 接收数据
SD1_C1	7						I	SDFM-1 通道 1 时钟输入
EQEP1_INDEX	9						I/O	eQEP-1 索引
PMBUSA_SDA	10						I/OD	PMBus-A 开漏双向数据
CANA_TX	11						O	CAN-A 发送
HIC_D2	15						I/O	HIC 数据 2

Copyright © 2024 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

信号名称	多路复用器位置	100 PZ	80 PN	64 PMQ	64 PM	48 PT	引脚类型	说明
GPIO18	0，4，8，12	68	50	41	41	33	I/O	通用输入/输出 18
SPIA_CLK	1						I/O	SPI-A 时钟
SCIB_TX	2						O	SCI-B 发送数据
CANA_RX	3						I	CAN-A 接收
EPWM6_A	5						O	ePWM-6 输出 A
I2CA_SCL	6						I/OD	I2C-A 开漏双向时钟
SD1_D2	7						I	SDFM-1 通道 2 数据输入
EQEP2_A	9						I	eQEP-2 输入 A
PMBUSA_CTL	10						I/O	PMBus-A 控制信号 - 从器件输入/主器件输出
XCLKOUT	11						O	外部时钟输出。此引脚从器件中输出所选时钟信号的分频版本。
LINB_TX	13						O	LIN-B 发送
FSITXA_TDM_CLK	14						I	FSITX-A 时分多路复用时钟输入
HIC_INT	15						O	HIC 器件主机中断
X2	ALT						I/O	晶体振荡器输出。
GPIO19	0，4，8，12	69	51	42	42	34	I/O	通用输入/输出 19
SPIA_STE	1						I/O	SPI-A 从器件发送使能 (STE)
SCIB_RX	2						I	SCI-B 接收数据
CANA_TX	3						O	CAN-A 发送
EPWM6_B	5						O	ePWM-6 输出 B
I2CA_SDA	6						I/OD	I2C-A 开漏双向数据
SD1_C2	7						I	SDFM-1 通道 2 时钟输入
EQEP2_B	9						I	eQEP-2 输入 B
PMBUSA_ALERT	10						I/OD	PMBus-A 开漏双向警报信号
CLB_OUTPUTXBAR1	11						O	CLB 输出 X-BAR 输出 1
LINB_RX	13						I	LIN-B 接收
FSITXA_TDM_D0	14						I	FSITX-A 时分多路复用数据输入
HIC_NBE0	15						I	HIC 字节使能 0
X1	ALT						I/O	晶体振荡器或单端时钟输入。器件初始化软件必须在启用晶体振荡器之前配置该引脚。为了使用此振荡器，必须将一个石英晶体电路连接至 X1 和 X2。此引脚也可用于馈入单端 3.3V 电平时钟。有关用法的详细信息，请参阅“XTAL”部分。
GPIO20	0，4，8，12	48	33				I/O	通用输入/输出 20。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
EQEP1_A	1						I	eQEP-1 输入 A
SPIB_SIMO	6						I/O	SPI-B 从器件输入，主器件输出 (SIMO)
SD1_D3	7						I	SDFM-1 通道 3 数据输入
MCAN_TX	9						O	CAN/CAN FD 发送
GPIO21	0，4，8，12	49	34				I/O	通用输入/输出 21。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
EQEP1_B	1						I	eQEP-1 输入 B
SPIB_SOMI	6						I/O	SPI-B 从器件输出，主器件输入 (SOMI)
SD1_C3	7						I	SDFM-1 通道 3 时钟输入
MCAN_RX	9						I	CAN/CAN FD 接收

Copyright © 2024 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

信号名称	多路复用器位置	100 PZ	80 PN	64 PMQ	64 PM	48 PT	引脚类型	说明
GPIO22	0，4，8，12						I/O	通用输入/输出 22
EQEP1_STROBE	1						I/O	eQEP-1 选通
SCIB_TX	3						O	SCI-B 发送数据
SPIB_CLK	6						I/O	SPI-B 时钟
SD1_D4	7						I	SDFM-1 通道 4 数据输入
LINA_TX	9	83	67	56	56		O	LIN-A 发送
CLB_OUTPUTXBAR1	10						O	CLB 输出 X-BAR 输出 1
LINB_TX	11						O	LIN-B 发送
HIC_A5	13						I	HIC 地址 5
EPWM4_A	14						O	ePWM-4 输出 A
HIC_D13	15						I/O	HIC 数据 13
GPIO23	0，4，8，12						I/O	通用输入/输出 23
EQEP1_INDEX	1						I/O	eQEP-1 索引
SCIB_RX	3						I	SCI-B 接收数据
SPIB_STE	6						I/O	SPI-B 从器件发送使能 (STE)
SD1_C4	7						I	SDFM-1 通道 4 时钟输入
LINA_RX	9	81	65	54	54		I	LIN-A 接收
CLB_OUTPUTXBAR3	10						O	CLB 输出 X-BAR 输出 3
LINB_RX	11						I	LIN-B 接收
HIC_A3	13						I	HIC 地址 3
EPWM4_B	14						O	ePWM-4 输出 B
HIC_D11	15						I/O	HIC 数据 11
GPIO24	0，4，8，12						I/O	通用输入/输出 24
OUTPUTXBAR1	1						O	输出 X-BAR 输出 1
EQEP2_A	2						I	eQEP-2 输入 A
EPWM8_A	5						O	ePWM-8 输出 A
SPIB_SIMO	6						I/O	SPI-B 从器件输入，主器件输出 (SIMO)
SD2_D1	7	56	41	35	35	27	I	SDFM-2 通道 1 数据输入
LINB_TX	9						O	LIN-B 发送
PMBUSA_SCL	10						I/OD	PMBus-A 开漏双向时钟
SCIA_TX	11						O	SCI-A 发送数据
ERRORSTS	13						O	错误状态输出。该信号需要一个外部下拉电阻。
HIC_D3	15						I/O	HIC 数据 3
GPIO25	0，4，8，12						I/O	通用输入/输出 25
OUTPUTXBAR2	1						O	输出 X-BAR 输出 2
EQEP2_B	2						I	eQEP-2 输入 B
EQEP1_A	5						I	eQEP-1 输入 A
SPIB_SOMI	6	57	42				I/O	SPI-B 从器件输出，主器件输入 (SOMI)
SD2_C1	7						I	SDFM-2 通道 1 时钟输入
FSITXA_D1	9						O	FSITX-A 可选附加数据输出
PMBUSA_SDA	10						I/OD	PMBus-A 开漏双向数据
SCIA_RX	11						I	SCI-A 接收数据
HIC_BASESEL0	14						I	HIC 基址范围选择 0

Copyright © 2024 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

信号名称	多路复用器位置	100 PZ	80 PN	64 PMQ	64 PM	48 PT	引脚类型	说明
GPIO26	0，4，8，12	58	43				I/O	通用输入/输出 26
OUTPUTXBAR3	1, 5						O	输出 X-BAR 输出 3
EQEP2_INDEX	2						I/O	eQEP-2 索引
SPIB_CLK	6						I/O	SPI-B 时钟
SD2_D2	7						I	SDFM-2 通道 2 数据输入
FSITXA_D0	9						O	FSITX-A 主数据输出
PMBUSA_CTL	10						I/O	PMBus-A 控制信号 - 从器件输入/主器件输出
I2CA_SDA	11						I/OD	I2C-A 开漏双向数据
HIC_D0	14						I/O	HIC 数据 0
HIC_A1	15						I	HIC 地址 1
GPIO27	0，4，8，12	59	44				I/O	通用输入/输出 27
OUTPUTXBAR4	1, 5						O	输出 X-BAR 输出 4
EQEP2_STROBE	2						I/O	eQEP-2 选通
SPIB_STE	6						I/O	SPI-B 从器件发送使能 (STE)
SD2_C2	7						I	SDFM-2 通道 2 时钟输入
FSITXA_CLK	9						O	FSITX-A 输出时钟
PMBUSA_ALERT	10						I/OD	PMBus-A 开漏双向警报信号
I2CA_SCL	11						I/OD	I2C-A 开漏双向时钟
HIC_D1	14						I/O	HIC 数据 1
HIC_A4	15						I	HIC 地址 4
GPIO28	0，4，8，12	1	4	2	2	2	I/O	通用输入/输出 28
SCIA_RX	1						I	SCI-A 接收数据
EPWM7_A	3						O	ePWM-7 输出 A
OUTPUTXBAR5	5						O	输出 X-BAR 输出 5
EQEP1_A	6						I	eQEP-1 输入 A
SD2_D3	7						I	SDFM-2 通道 3 数据输入
EQEP2_STROBE	9						I/O	eQEP-2 选通
LINA_TX	10						O	LIN-A 发送
SPIB_CLK	11						I/O	SPI-B 时钟
ERRORSTS	13						O	错误状态输出。该信号需要一个外部下拉电阻。
I2CB_SDA	14						I/OD	I2C-B 开漏双向数据
HIC_NOE	15						O	HIC 数据总线输出使能
GPIO29	0，4，8，12	100	3	1	1	1	I/O	通用输入/输出 29
SCIA_TX	1						O	SCI-A 发送数据
EPWM7_B	3						O	ePWM-7 输出 B
OUTPUTXBAR6	5						O	输出 X-BAR 输出 6
EQEP1_B	6						I	eQEP-1 输入 B
SD2_C3	7						I	SDFM-2 通道 3 时钟输入
EQEP2_INDEX	9						I/O	eQEP-2 索引
LINA_RX	10						I	LIN-A 接收
SPIB_STE	11						I/O	SPI-B 从器件发送使能 (STE)
ERRORSTS	13						O	错误状态输出。该信号需要一个外部下拉电阻。
I2CB_SCL	14						I/OD	I2C-B 开漏双向时钟
HIC_NCS	15						I	HIC 芯片选择输入
AUXCLKIN	ALT						I	辅助时钟输入

Copyright © 2024 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

信号名称	多路复用器位置	100 PZ	80 PN	64 PMQ	64 PM	48 PT	引脚类型	说明
GPIO30	0，4，8，12	98	1				I/O	通用输入/输出 30
CANA_RX	1						I	CAN-A 接收
SPIB_SIMO	3						I/O	SPI-B 从器件输入，主器件输出 (SIMO)
OUTPUTXBAR7	5						O	输出 X-BAR 输出 7
EQEP1_STROBE	6						I/O	eQEP-1 选通
SD2_D4	7						I	SDFM-2 通道 4 数据输入
FSIRXA_CLK	9						I	FSIRX-A 输入时钟
MCAN_RX	10						I	CAN/CAN FD 接收
EPWM1_A	11						O	ePWM-1 输出 A
HIC_D8	14						I/O	HIC 数据 8
GPIO31	0，4，8，12	99	2				I/O	通用输入/输出 31
CANA_TX	1						O	CAN-A 发送
SPIB_SOMI	3						I/O	SPI-B 从器件输出，主器件输入 (SOMI)
OUTPUTXBAR8	5						O	输出 X-BAR 输出 8
EQEP1_INDEX	6						I/O	eQEP-1 索引
SD2_C4	7						I	SDFM-2 通道 4 时钟输入
FSIRXA_D1	9						I	FSIRX-A 可选附加数据输入
MCAN_TX	10						O	CAN/CAN FD 发送
EPWM1_B	11						O	ePWM-1 输出 B
HIC_D10	14						I/O	HIC 数据 10
GPIO32	0，4，8，12	64	49	40	40	32	I/O	通用输入/输出 32
I2CA_SDA	1						I/OD	I2C-A 开漏双向数据
SPIB_CLK	3						I/O	SPI-B 时钟
EPWM8_B	5						O	ePWM-8 输出 B
LINA_TX	6						O	LIN-A 发送
SD1_D2	7						I	SDFM-1 通道 2 数据输入
FSIRXA_D0	9						I	FSIRX-A 主数据输入
CANA_TX	10						O	CAN-A 发送
PMBUSA_SDA	11						I/OD	PMBus-A 开漏双向数据
ADCSOCBO	13						O	外部 ADC 的 ADC 转换启动 B
HIC_INT	15						O	HIC 器件主机中断
GPIO33	0，4，8，12	53	38	32	32	25	I/O	通用输入/输出 33
I2CA_SCL	1						I/OD	I2C-A 开漏双向时钟
SPIB_STE	3						I/O	SPI-B 从器件发送使能 (STE)
OUTPUTXBAR4	5						O	输出 X-BAR 输出 4
LINA_RX	6						I	LIN-A 接收
SD1_C2	7						I	SDFM-1 通道 2 时钟输入
FSIRXA_CLK	9						I	FSIRX-A 输入时钟
CANA_RX	10						I	CAN-A 接收
EQEP2_B	11						I	eQEP-2 输入 B
ADCSOCAO	13						O	外部 ADC 的 ADC 转换启动 A
SD1_C1	14						I	SDFM-1 通道 1 时钟输入
HIC_D0	15						I/O	HIC 数据 0

Copyright © 2024 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

信号名称	多路复用器位置	100 PZ	80 PN	64 PMQ	64 PM	48 PT	引脚类型	说明
GPIO34	0，4，8，12	94	77				I/O	通用输入/输出 34
OUTPUTXBAR1	1						O	输出 X-BAR 输出 1
PMBUSA_SDA	6						I/OD	PMBus-A 开漏双向数据
HIC_NBE1	13						I	HIC 字节使能 1
I2CB_SDA	14						I/OD	I2C-B 开漏双向数据
HIC_D9	15						I/O	HIC 数据 9
GPIO35	0，4，8，12	63	48	39	39	31	I/O	通用输入/输出 35
SCIA_RX	1						I	SCI-A 接收数据
I2CA_SDA	3						I/OD	I2C-A 开漏双向数据
CANA_RX	5						I	CAN-A 接收
PMBUSA_SCL	6						I/OD	PMBus-A 开漏双向时钟
LINA_RX	7						I	LIN-A 接收
EQEP1_A	9						I	eQEP-1 输入 A
PMBUSA_CTL	10						I/O	PMBus-A 控制信号 - 从器件输入/主器件输出
EPWM5_B	11						O	ePWM-5 输出 B
SD2_C1	13						I	SDFM-2 通道 1 时钟输入
HIC_NWE	14						I	HIC 主机数据写入使能
TDI	15						I	JTAG 测试数据输入 (TDI) - TDI 是引脚的默认多路复用器选择。默认情况下，内部上拉电阻处于禁用状态。如果将该引脚用作 JTAG TDI，则应启用内部上拉电阻或在电路板上添加外部上拉电阻，以避免输入悬空。
GPIO37	0，4，8，12	61	46	37	37	29	I/O	通用输入/输出 37
OUTPUTXBAR2	1						O	输出 X-BAR 输出 2
I2CA_SCL	3						I/OD	I2C-A 开漏双向时钟
SCIA_TX	5						O	SCI-A 发送数据
CANA_TX	6						O	CAN-A 发送
LINA_TX	7						O	LIN-A 发送
EQEP1_B	9						I	eQEP-1 输入 B
PMBUSA_ALERT	10						I/OD	PMBus-A 开漏双向警报信号
HIC_NRDY	14						O	HIC 从器件到主机就绪
TDO	15						O	JTAG 测试数据输出 (TDO) - TDO 是引脚的默认多路复用器选择。默认情况下，内部上拉电阻处于禁用状态。当没有 JTAG 活动时，TDO 功能将处于三态条件，使这个引脚悬空；内部上拉电阻应该被启用或者在电路板上增加一个外部上拉电阻来避免 GPIO 输入悬空。
GPIO39	0，4，8，12		56		46		I/O	通用输入/输出 39
MCAN_RX	6						I	CAN/CAN FD 接收
FSIRXA_CLK	7						I	FSIRX-A 输入时钟
EQEP2_INDEX	9						I/O	eQEP-2 索引
CLB_OUTPUTXBAR2	11						O	CLB 输出 X-BAR 输出 2
SYNCOUT	13						O	外部 ePWM 同步脉冲
EQEP1_INDEX	14						I/O	eQEP-1 索引
HIC_D7	15						I/O	HIC 数据 7

Copyright © 2024 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

信号名称	多路复用器位置	100 PZ	80 PN	64 PMQ	64 PM	48 PT	引脚类型	说明
GPIO40	0，4，8，12	80	64	53	53		I/O	通用输入/输出 40
SPIB_SIMO	1						I/O	SPI-B 从器件输入，主器件输出 (SIMO)
EPWM2_B	5						O	ePWM-2 输出 B
PMBUSA_SDA	6						I/OD	PMBus-A 开漏双向数据
FSIRXA_D0	7						I	FSIRX-A 主数据输入
SCIB_TX	9						O	SCI-B 发送数据
EQEP1_A	10						I	eQEP-1 输入 A
LINB_TX	11						O	LIN-B 发送
HIC_NBE1	14						I	HIC 字节使能 1
HIC_D5	15						I/O	HIC 数据 5
GPIO41	0，4，8，12	82	66	55	55		I/O	通用输入/输出 41
EPWM2_A	5						O	ePWM-2 输出 A
PMBUSA_SCL	6						I/OD	PMBus-A 开漏双向时钟
FSIRXA_D1	7						I	FSIRX-A 可选附加数据输入
SCIB_RX	9						I	SCI-B 接收数据
EQEP1_B	10						I	eQEP-1 输入 B
LINB_RX	11						I	LIN-B 接收
HIC_A4	13						I	HIC 地址 4
SPIB_SOMI	14						I/O	SPI-B 从器件输出，主器件输入 (SOMI)
HIC_D12	15						I/O	HIC 数据 12
GPIO42	0，4，8，12		57				I/O	通用输入/输出 42
LINA_RX	2						I	LIN-A 接收
OUTPUTXBAR5	3						O	输出 X-BAR 输出 5
PMBUSA_CTL	5						I/O	PMBus-A 控制信号 - 从器件输入/主器件输出
I2CA_SDA	6						I/OD	I2C-A 开漏双向数据
EQEP1_STROBE	10						I/O	eQEP-1 选通
CLB_OUTPUTXBAR3	11						O	CLB 输出 X-BAR 输出 3
HIC_D2	14						I/O	HIC 数据 2
HIC_A6	15						I	HIC 地址 6
GPIO43	0，4，8，12		54				I/O	通用输入/输出 43
OUTPUTXBAR6	3						O	输出 X-BAR 输出 6
PMBUSA_ALERT	5、9						I/OD	PMBus-A 开漏双向警报信号
I2CA_SCL	6						I/OD	I2C-A 开漏双向时钟
EQEP1_INDEX	10						I/O	eQEP-1 索引
CLB_OUTPUTXBAR4	11						O	CLB 输出 X-BAR 输出 4
SD2_D3	13						I	SDFM-2 通道 3 数据输入
HIC_D3	14						I/O	HIC 数据 3
HIC_A7	15						I	HIC 地址 7

Copyright © 2024 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

信号名称	多路复用器位置	100 PZ	80 PN	64 PMQ	64 PM	48 PT	引脚类型	说明
GPIO44	0，4，8，12						I/O	通用输入/输出 44
OUTPUTXBAR7	3						O	输出 X-BAR 输出 7
EQEP1_A	5						I	eQEP-1 输入 A
PMBUSA_SDA	6						I/OD	PMBus-A 开漏双向数据
FSITXA_CLK	7						O	FSITX-A 输出时钟
PMBUSA_CTL	9	85	69				I/O	PMBus-A 控制信号 - 从器件输入/主器件输出
CLB_OUTPUTXBAR3	10						O	CLB 输出 X-BAR 输出 3
FSIRXA_D0	11						I	FSIRX-A 主数据输入
HIC_D7	13						I/O	HIC 数据 7
LINB_TX	14						O	LIN-B 发送
HIC_D5	15						I/O	HIC 数据 5
GPIO45	0，4，8，12						I/O	通用输入/输出 45
OUTPUTXBAR8	3						O	输出 X-BAR 输出 8
FSITXA_D0	7						O	FSITX-A 主数据输出
PMBUSA_ALERT	9		73				I/OD	PMBus-A 开漏双向警报信号
CLB_OUTPUTXBAR4	10						O	CLB 输出 X-BAR 输出 4
SD2_C3	13						I	SDFM-2 通道 3 时钟输入
HIC_D6	15						I/O	HIC 数据 6
GPIO46	0，4，8，12						I/O	通用输入/输出 46
LINA_TX	3						O	LIN-A 发送
MCAN_TX	5						O	CAN/CAN FD 发送
FSITXA_D1	7		6				O	FSITX-A 可选附加数据输出
PMBUSA_SDA	9						I/OD	PMBus-A 开漏双向数据
SD2_C4	13						I	SDFM-2 通道 4 时钟输入
HIC_NWE	15						I	HIC 主机数据写入使能
GPIO47	0，4，8，12						I/O	通用输入/输出 47
LINA_RX	3						I	LIN-A 接收
MCAN_RX	5						I	CAN/CAN FD 接收
CLB_OUTPUTXBAR2	7	6					O	CLB 输出 X-BAR 输出 2
PMBUSA_SCL	9						I/OD	PMBus-A 开漏双向时钟
SD2_D4	13						I	SDFM-2 通道 4 数据输入
FSITXA_TDM_CLK	14						I	FSITX-A 时分多路复用时钟输入
HIC_A6	15						I	HIC 地址 6
GPIO48	0，4，8，12						I/O	通用输入/输出 48
OUTPUTXBAR3	1						O	输出 X-BAR 输出 3
CANA_TX	3						O	CAN-A 发送
SCIA_TX	6	7					O	SCI-A 发送数据
SD1_D1	7						I	SDFM-1 通道 1 数据输入
PMBUSA_SDA	9						I/OD	PMBus-A 开漏双向数据
HIC_A7	15						I	HIC 地址 7

Copyright © 2024 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

信号名称	多路复用器位置	100 PZ	80 PN	64 PMQ	64 PM	48 PT	引脚类型	说明
GPIO49	0，4，8，12						I/O	通用输入/输出 49
OUTPUTXBAR4	1						O	输出 X-BAR 输出 4
CANA_RX	3						I	CAN-A 接收
SCIA_RX	6						I	SCI-A 接收数据
SD1_C1	7	8					I	SDFM-1 通道 1 时钟输入
LINA_RX	9						I	LIN-A 接收
SD2_D1	13						I	SDFM-2 通道 1 数据输入
FSITXA_D0	14						O	FSITX-A 主数据输出
HIC_D2	15						I/O	HIC 数据 2
GPIO50	0，4，8，12						I/O	通用输入/输出 50
EQEP1_A	1						I	eQEP-1 输入 A
MCAN_TX	5						O	CAN/CAN FD 发送
SPIB_SIMO	6						I/O	SPI-B 从器件输入，主器件输出 (SIMO)
SD1_D2	7	9					I	SDFM-1 通道 2 数据输入
I2CB_SDA	9						I/OD	I2C-B 开漏双向数据
SD2_D2	13						I	SDFM-2 通道 2 数据输入
FSITXA_D1	14						O	FSITX-A 可选附加数据输出
HIC_D3	15						I/O	HIC 数据 3
GPIO51	0，4，8，12						I/O	通用输入/输出 51
EQEP1_B	1						I	eQEP-1 输入 B
MCAN_RX	5						I	CAN/CAN FD 接收
SPIB_SOMI	6						I/O	SPI-B 从器件输出，主器件输入 (SOMI)
SD1_C2	7	10					I	SDFM-1 通道 2 时钟输入
I2CB_SCL	9						I/OD	I2C-B 开漏双向时钟
SD2_D3	13						I	SDFM-2 通道 3 数据输入
FSITXA_CLK	14						O	FSITX-A 输出时钟
HIC_D6	15						I/O	HIC 数据 6
GPIO52	0，4，8，12						I/O	通用输入/输出 52
EQEP1_STROBE	1						I/O	eQEP-1 选通
CLB_OUTPUTXBAR5	5						O	CLB 输出 X-BAR 输出 5
SPIB_CLK	6						I/O	SPI-B 时钟
SD1_D3	7	11					I	SDFM-1 通道 3 数据输入
SYNCOUT	9						O	外部 ePWM 同步脉冲
SD2_D4	13						I	SDFM-2 通道 4 数据输入
FSIRXA_D0	14						I	FSIRX-A 主数据输入
HIC_NWE	15						I	HIC 主机数据写入使能
GPIO53	0，4，8，12						I/O	通用输入/输出 53
EQEP1_INDEX	1						I/O	eQEP-1 索引
CLB_OUTPUTXBAR6	5						O	CLB 输出 X-BAR 输出 6
SPIB_STE	6						I/O	SPI-B 从器件发送使能 (STE)
SD1_C3	7	12					I	SDFM-1 通道 3 时钟输入
ADCSOCAO	9						O	外部 ADC 的 ADC 转换启动 A
CANA_RX	10						I	CAN-A 接收
SD1_C1	13						I	SDFM-1 通道 1 时钟输入
FSIRXA_D1	14						I	FSIRX-A 可选附加数据输入

Copyright © 2024 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

信号名称	多路复用器位置	100 PZ	80 PN	64 PMQ	64 PM	48 PT	引脚类型	说明
GPIO54	0，4，8，12	13					I/O	通用输入/输出 54
SPIA_SIMO	1						I/O	SPI-A 从器件输入，主器件输出 (SIMO)
EQEP2_A	5						I	eQEP-2 输入 A
OUTPUTXBAR2	6						O	输出 X-BAR 输出 2
SD1_D4	7						I	SDFM-1 通道 4 数据输入
ADCSOCBO	9						O	外部 ADC 的 ADC 转换启动 B
LINB_TX	10						O	LIN-B 发送
SD1_C2	13						I	SDFM-1 通道 2 时钟输入
FSIRXA_CLK	14						I	FSIRX-A 输入时钟
FSITXA_TDM_D1	15						I	FSITX-A 时分多路复用附加数据输入
GPIO55	0，4，8，12	43					I/O	通用输入/输出 55
SPIA_SOMI	1						I/O	SPI-A 从器件输出，主器件输入 (SOMI)
EQEP2_B	5						I	eQEP-2 输入 B
OUTPUTXBAR3	6						O	输出 X-BAR 输出 3
SD1_C4	7						I	SDFM-1 通道 4 时钟输入
ERRORSTS	9						O	错误状态输出。该信号需要一个外部下拉电阻。
LINB_RX	10						I	LIN-B 接收
SD1_C3	13						I	SDFM-1 通道 3 时钟输入
HIC_A0	15						I	HIC 地址 0
GPIO56	0，4，8，12	65					I/O	通用输入/输出 56
SPIA_CLK	1						I/O	SPI-A 时钟
CLB_OUTPUTXBAR7	2						O	CLB 输出 X-BAR 输出 7
MCAN_TX	3						O	CAN/CAN FD 发送
EQEP2_STROBE	5						I/O	eQEP-2 选通
SCIB_TX	6						O	SCI-B 发送数据
SD2_D1	7						I	SDFM-2 通道 1 数据输入
SPIB_SIMO	9						I/O	SPI-B 从器件输入，主器件输出 (SIMO)
I2CA_SDA	10						I/OD	I2C-A 开漏双向数据
EQEP1_A	11						I	eQEP-1 输入 A
SD1_C4	13						I	SDFM-1 通道 4 时钟输入
FSIRXA_D1	14						I	FSIRX-A 可选附加数据输入
HIC_D6	15						I/O	HIC 数据 6
GPIO57	0，4，8，12	66					I/O	通用输入/输出 57
SPIA_STE	1						I/O	SPI-A 从器件发送使能 (STE)
CLB_OUTPUTXBAR8	2						O	CLB 输出 X-BAR 输出 8
MCAN_RX	3						I	CAN/CAN FD 接收
EQEP2_INDEX	5						I/O	eQEP-2 索引
SCIB_RX	6						I	SCI-B 接收数据
SD2_C1	7						I	SDFM-2 通道 1 时钟输入
SPIB_SOMI	9						I/O	SPI-B 从器件输出，主器件输入 (SOMI)
I2CA_SCL	10						I/OD	I2C-A 开漏双向时钟
EQEP1_B	11						I	eQEP-1 输入 B
FSIRXA_CLK	14						I	FSIRX-A 输入时钟
HIC_D4	15						I/O	HIC 数据 4

Copyright © 2024 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

信号名称	多路复用器位置	100 PZ	80 PN	64 PMQ	64 PM	48 PT	引脚类型	说明
GPIO58	0，4，8，12	67					I/O	通用输入/输出 58
OUTPUTXBAR1	5						O	输出 X-BAR 输出 1
SPIB_CLK	6						I/O	SPI-B 时钟
SD2_D2	7						I	SDFM-2 通道 2 数据输入
LINA_TX	9						O	LIN-A 发送
CANA_TX	10						O	CAN-A 发送
EQEP1_STROBE	11						I/O	eQEP-1 选通
SD2_C2	13						I	SDFM-2 通道 2 时钟输入
FSIRXA_D0	14						I	FSIRX-A 主数据输入
HIC_NRDY	15						O	HIC 从器件到主机就绪
GPIO59	0，4，8，12	92					I/O	通用输入/输出 59
OUTPUTXBAR2	5						O	输出 X-BAR 输出 2
SPIB_STE	6						I/O	SPI-B 从器件发送使能 (STE)
SD2_C2	7						I	SDFM-2 通道 2 时钟输入
LINA_RX	9						I	LIN-A 接收
CANA_RX	10						I	CAN-A 接收
EQEP1_INDEX	11						I/O	eQEP-1 索引
SD2_C3	13						I	SDFM-2 通道 3 时钟输入
FSITXA_TDM_D1	14						I	FSITX-A 时分多路复用附加数据输入
GPIO60	0，4，8，12	44					I/O	通用输入/输出 60
MCAN_TX	3						O	CAN/CAN FD 发送
OUTPUTXBAR3	5						O	输出 X-BAR 输出 3
SPIB_SIMO	6						I/O	SPI-B 从器件输入，主器件输出 (SIMO)
SD2_D3	7						I	SDFM-2 通道 3 数据输入
SD2_C4	13						I	SDFM-2 通道 4 时钟输入
HIC_A0	15						I	HIC 地址 0
GPIO61	0，4，8，12	91					I/O	通用输入/输出 61
MCAN_RX	3						I	CAN/CAN FD 接收
OUTPUTXBAR4	5						O	输出 X-BAR 输出 4
SPIB_SOMI	6						I/O	SPI-B 从器件输出，主器件输入 (SOMI)
SD2_C3	7						I	SDFM-2 通道 3 时钟输入
CANA_RX	14						I	CAN-A 接收
测试、JTAG 和复位								
TCK		60	45	36	36	28	I	带有内部上拉电阻的 JTAG 测试时钟。
TMS		62	47	38	38	30	I/O	带有内部上拉电阻的 JTAG 测试模式选择 (TMS)。此串行控制输入在 TCK 上升沿上的 TAP 控制器中计时。该器件没有 TRSTn 引脚。在电路板上应放置一个外部上拉电阻（推荐 2.2kΩ）以将 TMS 引脚连接至 VDDIO，从而在正常运行期间将 JTAG 保持在复位状态。
XRSn		2	5	3	3	3	I/OD	器件复位（输入）和看门狗复位（输出）。在上电条件下，此引脚由器件驱动为低电平。外部电路也可能会驱动此引脚以使器件复位生效。发生看门狗复位时，此引脚也由 MCU 驱动为低电平。在看门狗复位期间，XRSn 引脚在 512 个 OSCCLK 周期的看门狗复位持续时间内被驱动为低电平。XRSn 和 VDDIO 之间应放置一个 2.2kΩ 至 10kΩ 的电阻。如果在 XRSn 和 VSS 之间放置一个电容器进行噪声滤除，则该电容器的容值应为 100nF 或更小。当看门狗复位生效时，这些值允许看门狗在 512 个 OSCCLK 周期内正确地将 XRSn 引脚驱动至 VOL。该引脚是具有内部上拉电阻的开漏输出。如果此引脚由外部器件驱动，则应使用开漏器件进行驱动。

Copyright © 2024 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

信号名称	多路复用器位置	100 PZ	80 PN	64 PMQ	64 PM	48 PT	引脚类型	说明
电源和接地								
VDD		4、46、71、87	8、31、53、71	4、27、44、59	4、27、44、59	23、36、45		1.2V 数字逻辑电源引脚。有关用法的详细信息，请参阅“电源管理模块 (PMM)”一节。
VDDA		34	26	22	22	18		3.3V 模拟电源引脚。在每个引脚上放置一个最小值为 2.2µF 的去耦电容器。有关用法的详细信息，请参阅“电源管理模块 (PMM)”一节。
VDDIO		3、47、70、88	7、32、52、72	28、43、60	28、43、60	24、35、46		3.3V 数字 I/O 电源引脚。有关用法的详细信息，请参阅“电源管理模块 (PMM)”一节。
VREGENZ		73		46			I	具有内部下拉电阻的内部稳压器使能。将低电平连接到 VSS 以启用内部 VREG。将高电平连接到 VDDIO 以使用外部电源。有关用法的详细信息，请参阅“电源管理模块 (PMM)”一节。
VSS		5、45、72、86	9、30、55、70	5、26、45、58	5、26、45、58	22、37、44		数字接地
VSSA		33	25	21	21	17		模拟接地

Copyright © 2024 Texas Instruments Incorporated

5.3 信号说明

5.3.1 模拟信号

表 5-2. 模拟信号

信号名称	引脚类型	说明	100 PZ	80 PN	64 PMQ	64 PM	48 PT
A0	I	ADC-A 输入 0	23	19	15	15	11
A1	I	ADC-A 输入 1	22	18	14	14	10
A2	I	ADC-A 输入 2	17	13	9	9	6
A3	I	ADC-A 输入 3	18	12	8	8	5
A4	I	ADC-A 输入 4	36	27	23	23	19
A5	I	ADC-A 输入 5	35	17	13	13	9
A6	I	ADC-A 输入 6	14	10	6	6	4
A7	I	ADC-A 输入 7	31	23	19	19	15
A8	I	ADC-A 输入 8	37	24	20	20	16
A9	I	ADC-A 输入 9	38	28	24	24	20
A10	I	ADC-A 输入 10	40	29	25	25	21
A11	I	ADC-A 输入 11	20	16	12	12	8
A12	I	ADC-A 输入 12	28	22	18	18	14
A14	I	ADC-A 输入 14	19	15	11	11	
A15	I	ADC-A 输入 15		14	10	10	7
AIO224	I	用于数字输入 224 的模拟引脚	17	13	9	9	6
AIO225	I	用于数字输入 225 的模拟引脚	36	27	23	23	19
AIO226	I	用于数字输入 226 的模拟引脚	15	11	7	7	4
AIO227	I	用于数字输入 227 的模拟引脚	38	28	24	24	20
AIO228	I	用于数字输入 228 的模拟引脚	14	10	6	6	4
AIO229	I	用于数字输入 229 的模拟引脚	18				
AIO230	I	用于数字输入 230 的模拟引脚	40	29	25	25	21
AIO231	I	用于数字输入 231 的模拟引脚	23	19	15	15	11
AIO232	I	用于数字输入 232 的模拟引脚	22	18	14	14	10
AIO233	I	用于数字输入 233 的模拟引脚		14	10	10	7
AIO236	I	用于数字输入 236 的模拟引脚	39	28	24	24	20
AIO237	I	用于数字输入 237 的模拟引脚	20	16	12	12	8
AIO238	I	用于数字输入 238 的模拟引脚	28	22	18	18	14
AIO239	I	用于数字输入 239 的模拟引脚	19	15	11	11	
AIO240	I	用于数字输入 240 的模拟引脚	37				
AIO241	I	用于数字输入 241 的模拟引脚		24	20	20	16
AIO242	I	用于数字输入 242 的模拟引脚	16	12	8	8	5
AIO244	I	用于数字输入 244 的模拟引脚	21	17	13	13	9
AIO245	I	用于数字输入 245 的模拟引脚	31	23	19	19	15
AIO247	I	用于数字输入 247 的模拟引脚	42				
AIO248	I	用于数字输入 248 的模拟引脚	29	22	18	18	14
AIO249	I	用于数字输入 249 的模拟引脚	35				
AIO251	I	用于数字输入 251 的模拟引脚	30				
AIO252	I	用于数字输入 252 的模拟引脚	32				

Copyright © 2024 Texas Instruments Incorporated

表 5-2. 模拟信号（续）

信号名称	引脚类型	说明	100 PZ	80 PN	64 PMQ	64 PM	48 PT
AIO253	I	用于数字输入 253 的模拟引脚	41				
B0	I	ADC-B 输入 0	41	24	20	20	16
B1	I	ADC-B 输入 1	40	29	25	25	21
B2	I	ADC-B 输入 2	15	11	7	7	4
B3	I	ADC-B 输入 3	16	12	8	8	5
B4	I	ADC-B 输入 4	39	28	24	24	20
B5	I	ADC-B 输入 5	32，48	33			
B6	I	ADC-B 输入 6	17	13	9	9	6
B7	I	ADC-B 输入 7	22	18	14	14	10
B8	I	ADC-B 输入 8	36	27	23	23	19
B9	I	ADC-B 输入 9	18	14	10	10	7
B10	I	ADC-B 输入 10	20	16	12	12	8
B11	I	ADC-B 输入 11	30、49	34			
B12	I	ADC-B 输入 12	21	17	13	13	9
B14	I	ADC-B 输入 14	19	15	11	11	
B15	I	ADC-B 输入 15	23	19	15	15	11
C0	I	ADC-C 输入 0	20	16	12	12	8
C1	I	ADC-C 输入 1	29	22	18	18	14
C2	I	ADC-C 输入 2	21	17	13	13	9
C3	I	ADC-C 输入 3	31	23	19	19	15
C4	I	ADC-C 输入 4	19	15	11	11	
C5	I	ADC-C 输入 5	28	12	8	8	5
C6	I	ADC-C 输入 6	15	11	7	7	4
C7	I	ADC-C 输入 7	18	14	10	10	7
C8	I	ADC-C 输入 8	39	28	24	24	20
C9	I	ADC-C 输入 9	17	13	9	9	6
C10	I	ADC-C 输入 10	40	29	25	25	21
C11	I	ADC-C 输入 11	41	24	20	20	16
C14	I	ADC-C 输入 14	42	27	23	23	19
C15	I	ADC-C 输入 15	23	19	15	15	11
CMP1_HN0	I	CMPSS-1 高电平比较器负输入 0		14	10	10	7
CMP1_HN1	I	CMPSS-1 高电平比较器负输入 1	20	16	12	12	8
CMP1_HP0	I	CMPSS-1 高电平比较器正输入 0	17	13	9	9	6
CMP1_HP1	I	CMPSS-1 高电平比较器正输入 1	20	16	12	12	8
CMP1_HP2	I	CMPSS-1 高电平比较器正输入 2	14	10	6	6	4
CMP1_HP3	I	CMPSS-1 高电平比较器正输入 3		14	10	10	7
CMP1_HP4	I	CMPSS-1 高电平比较器正输入 4	22	18	14	14	10
CMP1_HP5	I	CMPSS-1 高电平比较器正输入 5	32，48	33			
CMP1_LN0	I	CMPSS-1 低电平比较器负输入 0		14	10	10	7
CMP1_LN1	I	CMPSS-1 低电平比较器负输入 1	20	16	12	12	8
CMP1_LP0	I	CMPSS-1 低电平比较器正输入 0	17	13	9	9	6
CMP1_LP1	I	CMPSS-1 低电平比较器正输入 1	20	16	12	12	8

Copyright © 2024 Texas Instruments Incorporated

表 5-2. 模拟信号（续）

信号名称	引脚类型	说明	100 PZ	80 PN	64 PMQ	64 PM	48 PT
CMP1_LP2	I	CMPSS-1 低电平比较器正输入 2	14	10	6	6	4
CMP1_LP3	I	CMPSS-1 低电平比较器正输入 3		14	10	10	7
CMP1_LP4	I	CMPSS-1 低电平比较器正输入 4	22	18	14	14	10
CMP1_LP5	I	CMPSS-1 低电平比较器正输入 5	32，48	33			
CMP2_HN0	I	CMPSS-2 高电平比较器负输入 0	40	29	25	25	21
CMP2_HN1	I	CMPSS-2 高电平比较器负输入 1	28	22	18	18	14
CMP2_HP0	I	CMPSS-2 高电平比较器正输入 0	36	27	23	23	19
CMP2_HP1	I	CMPSS-2 高电平比较器正输入 1	28	22	18	18	14
CMP2_HP2	I	CMPSS-2 高电平比较器正输入 2	38	28	24	24	20
CMP2_HP3	I	CMPSS-2 高电平比较器正输入 3	40	29	25	25	21
CMP2_HP4	I	CMPSS-2 高电平比较器正输入 4	41	24	20	20	16
CMP2_HP5	I	CMPSS-2 高电平比较器正输入 5	35	17	13	13	9
CMP2_LN0	I	CMPSS-2 低电平比较器负输入 0	40	29	25	25	21
CMP2_LN1	I	CMPSS-2 低电平比较器负输入 1	28	22	18	18	14
CMP2_LP0	I	CMPSS-2 低电平比较器正输入 0	36	27	23	23	19
CMP2_LP1	I	CMPSS-2 低电平比较器正输入 1	28	22	18	18	14
CMP2_LP2	I	CMPSS-2 低电平比较器正输入 2	38	28	24	24	20
CMP2_LP3	I	CMPSS-2 低电平比较器正输入 3	40	29	25	25	21
CMP2_LP4	I	CMPSS-2 低电平比较器正输入 4	41	24	20	20	16
CMP2_LP5	I	CMPSS-2 低电平比较器正输入 5	35	17	13	13	9
CMP3_HN0	I	CMPSS-3 高电平比较器负输入 0	16	12	8	8	5
CMP3_HN1	I	CMPSS-3 高电平比较器负输入 1	21	17	13	13	9
CMP3_HP0	I	CMPSS-3 高电平比较器正输入 0	15	11	7	7	4
CMP3_HP1	I	CMPSS-3 高电平比较器正输入 1	21	17	13	13	9
CMP3_HP2	I	CMPSS-3 高电平比较器正输入 2	23	19	15	15	11
CMP3_HP3	I	CMPSS-3 高电平比较器正输入 3	16	12	8	8	5
CMP3_HP4	I	CMPSS-3 高电平比较器正输入 4	19	15	11	11	
CMP3_HP5	I	CMPSS-3 高电平比较器正输入 5	18	12	8	8	5
CMP3_LN0	I	CMPSS-3 低电平比较器负输入 0	16	12	8	8	5
CMP3_LN1	I	CMPSS-3 低电平比较器负输入 1	21	17	13	13	9
CMP3_LP0	I	CMPSS-3 低电平比较器正输入 0	15	11	7	7	4
CMP3_LP1	I	CMPSS-3 低电平比较器正输入 1	21	17	13	13	9
CMP3_LP2	I	CMPSS-3 低电平比较器正输入 2	23	19	15	15	11
CMP3_LP3	I	CMPSS-3 低电平比较器正输入 3	16	12	8	8	5
CMP3_LP4	I	CMPSS-3 低电平比较器正输入 4	19	15	11	11	
CMP3_LP5	I	CMPSS-3 低电平比较器正输入 5	18	12	8	8	5
CMP4_HN0	I	CMPSS-4 高电平比较器负输入 0	42	27	23	23	19
CMP4_HN1	I	CMPSS-4 高电平比较器负输入 1	31	23	19	19	15
CMP4_HP0	I	CMPSS-4 高电平比较器正输入 0	39	28	24	24	20
CMP4_HP1	I	CMPSS-4 高电平比较器正输入 1	31	23	19	19	15
CMP4_HP2	I	CMPSS-4 高电平比较器正输入 2	29	22	18	18	14
CMP4_HP3	I	CMPSS-4 高电平比较器正输入 3	42	27	23	23	19

Copyright © 2024 Texas Instruments Incorporated

表 5-2. 模拟信号（续）

信号名称	引脚类型	说明	100 PZ	80 PN	64 PMQ	64 PM	48 PT
CMP4_HP4	I	CMPSS-4 高电平比较器正输入 4	37	24	20	20	16
CMP4_HP5	I	CMPSS-4 高电平比较器正输入 5	30、49	34			
CMP4_LN0	I	CMPSS-4 低电平比较器负输入 0	42	27	23	23	19
CMP4_LN1	I	CMPSS-4 低电平比较器负输入 1	31	23	19	19	15
CMP4_LP0	I	CMPSS-4 低电平比较器正输入 0	39	28	24	24	20
CMP4_LP1	I	CMPSS-4 低电平比较器正输入 1	31	23	19	19	15
CMP4_LP2	I	CMPSS-4 低电平比较器正输入 2	29	22	18	18	14
CMP4_LP3	I	CMPSS-4 低电平比较器正输入 3	42	27	23	23	19
CMP4_LP4	I	CMPSS-4 低电平比较器正输入 4	37	24	20	20	16
CMP4_LP5	I	CMPSS-4 低电平比较器正输入 5	30、49	34			
DACA_OUT	O	缓冲 DAC-A 输出。	23	19	15	15	11
DACB_OUT	O	缓冲 DAC-B 输出。	22	18	14	14	10
VDAC	I	片上 DAC 的可选外部基准电压。	16	12	8	8	5
VREFHI	I	ADC 高基准电压。在外部基准模式下，从外部驱动这个引脚上的高基准电压。在内部基准模式下，电压由器件驱动到该引脚。在任一模式下，在此引脚上放置至少一个 2.2μF 电容器。此电容器应放置在 VREFHI 和 VREFLO 引脚之间尽可能靠近器件的位置。	24、25	20	16	16	12
VREFLO	I	ADC 低基准电压	26、27	21	17	17	13

Copyright © 2024 Texas Instruments Incorporated

5.3.2 数字信号

表 5-3. 数字信号

信号名称	引脚类型	说明	通用输入/输出 (GPIO)	100 PZ	80 PN	64 PMQ	64 PM	48 PT
ADCSOCAO	O	外部 ADC 的 ADC 转换启动 A	8、33、53	12、53、74	38、58	32、47	32、47	25
ADCSOCBO	O	外部 ADC 的 ADC 转换启动 B	10、32、54	13、64、93	49、76	40、63	40、63	32
AUXCLKIN	I	辅助时钟输入	29	100	3	1	1	1
CANA_RX	I	CAN-A 接收	3、5、12、18、30、33、35、49、53、59、61	8、12、51、53、63、68、76、89、91、92、98	1、36、38、48、50、60、74	30、32、39、41、49、61	30、32、39、41、49、61	25、31、33、39、47
CANA_TX	O	CAN-A 发送	2、4、13、17、19、31、32、37、48、58	7、50、55、61、64、67、69、75、77、99	2、35、40、46、49、51、59、61	29、34、37、40、42、48、50	29、34、37、40、42、48、50	29、32、34、38、40
CLB_OUTPUTXBAR1	O	CLB 输出 X-BAR 输出 1	19、22	69、83	51、67	42、56	42、56	34
CLB_OUTPUTXBAR2	O	CLB 输出 X-BAR 输出 2	7、39、47	6、84	56、68	57	46、57	43
CLB_OUTPUTXBAR3	O	CLB 输出 X-BAR 输出 3	23、42、44	81、85	57、65、69	54	54	
CLB_OUTPUTXBAR4	O	CLB 输出 X-BAR 输出 4	10、43、45	93	54、73、76	63	63	
CLB_OUTPUTXBAR5	O	CLB 输出 X-BAR 输出 5	5、8、52	11、74、89	58、74	47、61	47、61	47
CLB_OUTPUTXBAR6	O	CLB 输出 X-BAR 输出 6	4、15、53	12、75、95	59、78	48	48	38
CLB_OUTPUTXBAR7	O	CLB 输出 X-BAR 输出 7	1、14、56	65、78、96	62、79	51	51	41
CLB_OUTPUTXBAR8	O	CLB 输出 X-BAR 输出 8	0、6、57	66、79、97	63、80	52、64	52、64	42、48
EPWM1_A	O	ePWM-1 输出 A	0、30	79、98	1、63	52	52	42
EPWM1_B	O	ePWM-1 输出 B	1、31	78、99	2、62	51	51	41
EPWM2_A	O	ePWM-2 输出 A	2、41	77、82	61、66	50、55	50、55	40
EPWM2_B	O	ePWM-2 输出 B	3、40	76、80	60、64	49、53	49、53	39
EPWM3_A	O	ePWM-3 输出 A	4、14	75、96	59、79	48	48	38
EPWM3_B	O	ePWM-3 输出 B	5、15	89、95	74、78	61	61	47
EPWM4_A	O	ePWM-4 输出 A	6、22	83、97	67、80	56、64	56、64	48
EPWM4_B	O	ePWM-4 输出 B	7、23	81、84	65、68	54、57	54、57	43
EPWM5_A	O	ePWM-5 输出 A	8、16	54、74	39、58	33、47	33、47	26
EPWM5_B	O	ePWM-5 输出 B	9、17、35	55、63、90	40、48、75	34、39、62	34、39、62	31
EPWM6_A	O	ePWM-6 输出 A	10、18	68、93	50、76	41、63	41、63	33
EPWM6_B	O	ePWM-6 输出 B	11、19	52、69	37、51	31、42	31、42	34
EPWM7_A	O	ePWM-7 输出 A	12、28	1、51	4、36	2、30	2、30	2
EPWM7_B	O	ePWM-7 输出 B	13、29	50、100	3、35	1、29	1、29	1
EPWM8_A	O	ePWM-8 输出 A	14、24	56、96	41、79	35	35	27
EPWM8_B	O	ePWM-8 输出 B	15、32	64、95	49、78	40	40	32
EQEP1_A	I	eQEP-1 输入 A	6、10、20、25、28、35、40、44、50、56	1、9、48、57、63、65、80、85、93、97	4、33、42、48、64、69、76、80	2、39、53、63、64	2、39、53、63、64	2、31、48
EQEP1_B	I	eQEP-1 输入 B	7、11、21、29、37、41、51、57	10、49、52、61、66、82、84、100	3、34、37、46、66、68	1、31、37、55、57	1、31、37、55、57	1、29、43
EQEP1_INDEX	I/O	eQEP-1 索引	0、9、13、17、23、31、39、43、53、59	12、50、55、79、81、90、92、99	2、35、40、54、56、63、65、75	29、34、52、54、62	29、34、46、52、54、62	42
EQEP1_STROBE	I/O	eQEP-1 选通	8、12、16、22、30、42、52、58	11、51、54、67、74、83、98	1、36、39、57、58、67	30、33、47、56	30、33、47、56	26
EQEP2_A	I	eQEP-2 输入 A	11、14、18、24、54	13、52、56、68、96	37、41、50、79	31、35、41	31、35、41	27、33
EQEP2_B	I	eQEP-2 输入 B	15、16、19、25、33、55	43、53、54、57、69、95	38、39、42、51、78	32、33、42	32、33、42	25、26、34
EQEP2_INDEX	I/O	eQEP-2 索引	26、29、39、57	58、66、100	3、43、56	1	1、46	1
EQEP2_STROBE	I/O	eQEP-2 选通	4、27、28、56	1、59、65、75	4、44、59	2、48	2、48	2、38
ERRORSTS	O	错误状态输出。该输出需要一个外部下拉。	24、28、29、55	1、43、56、100	3、4、41	1、2、35	1、2、35	1、2、27

Copyright © 2024 Texas Instruments Incorporated

表 5-3. 数字信号（续）

信号名称	引脚类型	说明	通用输入/输出 (GPIO)	100 PZ	80 PN	64 PMQ	64 PM	48 PT
FSIRXA_CLK	I	FSIRX-A 输入时钟	0、4、13、30、33、39、54、57	13、50、53、66、75、79、98	1、35、38、56、59、63	29、32、48、52	29、32、46、48、52	25、38、42
FSIRXA_D0	I	FSIRX-A 主数据输入	3、12、32、40、44、52、58	11、51、64、67、76、80、85	36、49、60、64、69	30、40、49、53	30、40、49、53	32、39
FSIRXA_D1	I	FSIRX-A 可选附加数据输入	2、11、31、41、53、56	12、52、65、77、82、99	2、37、61、66	31、50、55	31、50、55	40
FSITXA_CLK	O	FSITX-A 输出时钟	7、10、27、44、51	10、59、84、85、93	44、68、69、76	57、63	57、63	43
FSITXA_D0	O	FSITX-A 主数据输出	6、9、26、45、49	8、58、90、97	43、73、75、80	62、64	62、64	48
FSITXA_D1	O	FSITX-A 可选附加数据输出	5、6、8、25、46、50	9、57、74、89、97	6、42、58、74、80	47、61、64	47、61、64	47、48
FSITXA_TDM_CLK	I	FSITX-A 时分多路复用时钟输入	8、18、47	6、68、74	50、58	41、47	41、47	33
FSITXA_TDM_D0	I	FSITX-A 时分多路复用数据输入	10、19	69、93	51、76	42、63	42、63	34
FSITXA_TDM_D1	I	FSITX-A 时分多路复用附加数据输入	1、54、59	13、78、92	62	51	51	41
GPIO0	I/O	通用输入/输出 0	0	79	63	52	52	42
GPIO1	I/O	通用输入/输出 1	1	78	62	51	51	41
GPIO2	I/O	通用输入/输出 2	2	77	61	50	50	40
GPIO3	I/O	通用输入/输出 3	3	76	60	49	49	39
GPIO4	I/O	通用输入/输出 4	4	75	59	48	48	38
GPIO5	I/O	通用输入/输出 5	5	89	74	61	61	47
GPIO6	I/O	通用输入/输出 6	6	97	80	64	64	48
GPIO7	I/O	通用输入/输出 7	7	84	68	57	57	43
GPIO8	I/O	通用输入/输出 8	8	74	58	47	47	
GPIO9	I/O	通用输入/输出 9	9	90	75	62	62	
GPIO10	I/O	通用输入/输出 10	10	93	76	63	63	
GPIO11	I/O	通用输入/输出 11	11	52	37	31	31	
GPIO12	I/O	通用输入/输出 12	12	51	36	30	30	
GPIO13	I/O	通用输入/输出 13	13	50	35	29	29	
GPIO14	I/O	通用输入/输出 14	14	96	79			
GPIO15	I/O	通用输入/输出 15	15	95	78			
GPIO16	I/O	通用输入/输出 16	16	54	39	33	33	26
GPIO17	I/O	通用输入/输出 17	17	55	40	34	34	
GPIO18	I/O	通用输入/输出 18	18	68	50	41	41	33
GPIO19	I/O	通用输入/输出 19	19	69	51	42	42	34
GPIO20	I/O	通用输入/输出 20	20	48	33			
GPIO21	I/O	通用输入/输出 21	21	49	34			
GPIO22	I/O	通用输入/输出 22	22	83	67	56	56	
GPIO23	I/O	通用输入/输出 23	23	81	65	54	54	
GPIO24	I/O	通用输入/输出 24	24	56	41	35	35	27
GPIO25	I/O	通用输入/输出 25	25	57	42			
GPIO26	I/O	通用输入/输出 26	26	58	43			
GPIO27	I/O	通用输入/输出 27	27	59	44			
GPIO28	I/O	通用输入/输出 28	28	1	4	2	2	2
GPIO29	I/O	通用输入/输出 29	29	100	3	1	1	1
GPIO30	I/O	通用输入/输出 30	30	98	1			
GPIO31	I/O	通用输入/输出 31	31	99	2			
GPIO32	I/O	通用输入/输出 32	32	64	49	40	40	32
GPIO33	I/O	通用输入/输出 33	33	53	38	32	32	25
GPIO34	I/O	通用输入/输出 34	34	94	77			
GPIO35	I/O	通用输入/输出 35	35	63	48	39	39	31
GPIO37	I/O	通用输入/输出 37	37	61	46	37	37	29
GPIO39	I/O	通用输入/输出 39	39		56		46	

Copyright © 2024 Texas Instruments Incorporated

表 5-3. 数字信号（续）

信号名称	引脚类型	说明	通用输入/输出 (GPIO)	100 PZ	80 PN	64 PMQ	64 PM	48 PT
GPIO40	I/O	通用输入/输出 40	40	80	64	53	53	
GPIO41	I/O	通用输入/输出 41	41	82	66	55	55	
GPIO42	I/O	通用输入/输出 42	42		57			
GPIO43	I/O	通用输入/输出 43	43		54			
GPIO44	I/O	通用输入/输出 44	44	85	69			
GPIO45	I/O	通用输入/输出 45	45		73			
GPIO46	I/O	通用输入/输出 46	46		6			
GPIO47	I/O	通用输入/输出 47	47	6				
GPIO48	I/O	通用输入/输出 48	48	7				
GPIO49	I/O	通用输入/输出 49	49	8				
GPIO50	I/O	通用输入/输出 50	50	9				
GPIO51	I/O	通用输入/输出 51	51	10				
GPIO52	I/O	通用输入/输出 52	52	11				
GPIO53	I/O	通用输入/输出 53	53	12				
GPIO54	I/O	通用输入/输出 54	54	13				
GPIO55	I/O	通用输入/输出 55	55	43				
GPIO56	I/O	通用输入/输出 56	56	65				
GPIO57	I/O	通用输入/输出 57	57	66				
GPIO58	I/O	通用输入/输出 58	58	67				
GPIO59	I/O	通用输入/输出 59	59	92				
GPIO60	I/O	通用输入/输出 60	60	44				
GPIO61	I/O	通用输入/输出 61	61	91				
HIC_A0	I	HIC 地址 0	8、55、60	14、43、44、74	10、58	6、47	6、47	4
HIC_A1	I	HIC 地址 1	2、26	15、58、77	11、43、61	7、50	7、50	4、40
HIC_A2	I	HIC 地址 2	1	16、78	12、62	8、51	8、51	5、41
HIC_A3	I	HIC 地址 3	23	17、81	13、65	9、54	9、54	6
HIC_A4	I	HIC 地址 4	27、41	59、82	14、44、66	10、55	10、55	7
HIC_A5	I	HIC 地址 5	22	19、83	15、67	11、56	11、56	
HIC_A6	I	HIC 地址 6	7、42、47	6、20、84	16、57、68	12、57	12、57	8、43
HIC_A7	I	HIC 地址 7	5、43、48	7、21、89	17、54、74	13、61	13、61	9、47
HIC_BASESEL0	I	HIC 基址范围选择 0	9、25	22、57、90	18、42、75	14、62	14、62	10
HIC_BASESEL1	I	HIC 基址范围选择 1	0	23、79	19、63	15、52	15、52	11、42
HIC_BASESEL2	I	HIC 基址范围选择 2	4	40、75	29、59	25、48	25、48	21、38
HIC_D0	I/O	HIC 数据 0	26、33	53、58	38、43	32	32	25
HIC_D1	I/O	HIC 数据 1	16、27	54、59	39、44	33	33	26
HIC_D2	I/O	HIC 数据 2	17、42、49	8、55	40、57	34	34	
HIC_D3	I/O	HIC 数据 3	24、43、50	9、56	41、54	35	35	27
HIC_D4	I/O	HIC 数据 4	3、5、57	66、76、89	60、74	49、61	49、61	39、47
HIC_D5	I/O	HIC 数据 5	13、40、44	50、80、85	35、64、69	29、53	29、53	
HIC_D6	I/O	HIC 数据 6	11、45、51、56	10、52、65	37、73	31	31	
HIC_D7	I/O	HIC 数据 7	0、39、44	79、85	56、63、69	52	46、52	42
HIC_D8	I/O	HIC 数据 8	8、30	74、98	1、58	47	47	
HIC_D9	I/O	HIC 数据 9	2、34	77、94	61、77	50	50	40
HIC_D10	I/O	HIC 数据 10	1、31	78、99	2、62	51	51	41
HIC_D11	I/O	HIC 数据 11	13、23	50、81	35、65	29、54	29、54	
HIC_D12	I/O	HIC 数据 12	15、41	82、95	66、78	55	55	
HIC_D13	I/O	HIC 数据 13	12、22	51、83	36、67	30、56	30、56	
HIC_D14	I/O	HIC 数据 14	6、7	84、97	68、80	57、64	57、64	43、48
HIC_D15	I/O	HIC 数据 15	5、14	89、96	74、79	61	61	47
HIC_INT	O	HIC 器件主机中断	12、18、32	51、64、68	36、49、50	30、40、41	30、40、41	32、33

Copyright © 2024 Texas Instruments Incorporated

表 5-3. 数字信号（续）

信号名称	引脚类型	说明	通用输入/输出 (GPIO)	100 PZ	80 PN	64 PMQ	64 PM	48 PT
HIC_NBE0	I	HIC 字节使能 0	11、19	38、52、69	28、37、51	24、31、42	24、31、42	20、34
HIC_NBE1	I	HIC 字节使能 1	6、34、40	37、80、94、97	24、64、77、80	20、53、64	20、53、64	16、48
HIC_NCS	I	HIC 芯片选择输入	29	28、100	3、22	1、18	1、18	1、14
HIC_NOE	O	HIC 数据总线输出使能	3、28	1、31、76	4、23、60	2、19、49	2、19、49	2、15、39
HIC_NRDY	O	从器件到主机的 HIC 就绪	9、37、58	61、67、90	46、75	37、62	37、62	29
HIC_NWE	I	HIC 主机数据写入使能	4、10、35、46、52	11、36、63、75、93	6、27、48、59、76	23、39、48、63	23、39、48、63	19、31、38
I2CA_SCL	I/OD	I2C-A 开漏双向时钟	1、8、18、27、33、37、43、57	53、59、61、66、68、74、78	38、44、46、50、54、58、62	32、37、41、47、51	32、37、41、47、51	25、29、33、41
I2CA_SDA	I/OD	I2C-A 开漏双向数据	0、10、19、26、32、35、42、56	58、63、64、65、69、79、93	43、48、49、51、57、63、76	39、40、42、52、63	39、40、42、52、63	31、32、34、42
I2CB_SCL	I/OD	I2C-B 开漏双向时钟	3、9、15、29、51	10、76、90、95、100	3、60、75、78	1、49、62	1、49、62	1、39
I2CB_SDA	I/OD	I2C-B 开漏双向数据	2、14、28、34、50	1、9、77、94、96	4、61、77、79	2、50	2、50	2、40
LINA_RX	I	LIN-A 接收	23、29、33、35、42、47、49、59	6、8、53、63、81、92、100	3、38、48、57、65	1、32、39、54	1、32、39、54	1、25、31
LINA_TX	O	LIN-A 发送	22、28、32、37、46、58	1、61、64、67、83	4、6、46、49、67	2、37、40、56	2、37、40、56	2、29、32
LINB_RX	I	LIN-B 接收	9、11、13、15、19、23、41、55	43、50、52、69、81、82、90、95	35、37、51、65、66、75、78	29、31、42、54、55、62	29、31、42、54、55、62	34
LINB_TX	O	LIN-B 发送	10、12、14、18、22、24、40、44、54	13、51、56、68、80、83、85、93、96	36、41、50、64、67、69、76、79	30、35、41、53、56、63	30、35、41、53、56、63	27、33
MCAN_RX	I	CAN/CAN FD 接收	0、5、12、21、30、39、47、51、57、61	6、10、49、51、66、79、89、91、98	1、34、36、56、63、74	30、52、61	30、46、52、61	42、47
MCAN_TX	O	CAN/CAN FD 传输	1、4、13、20、31、46、50、56、60	9、44、48、50、65、75、78、99	2、6、33、35、59、62	29、48、51	29、48、51	38、41
OUTPUTXBAR1	O	输出 X-BAR 输出 1	2、24、34、58	56、67、77、94	41、61、77	35、50	35、50	27、40
OUTPUTXBAR2	O	输出 X-BAR 输出 2	3、25、37、54、59	13、57、61、76、92	42、46、60	37、49	37、49	29、39
OUTPUTXBAR3	O	输出 X-BAR 输出 3	4、5、14、26、48、55、60	7、43、44、58、75、89、96	43、59、74、79	48、61	48、61	38、47
OUTPUTXBAR4	O	输出 X-BAR 输出 4	6、15、27、33、49、61	8、53、59、91、95、97	38、44、78、80	32、64	32、64	25、48
OUTPUTXBAR5	O	输出 X-BAR 输出 5	7、28、42	1、84	4、57、68	2、57	2、57	2、43
OUTPUTXBAR6	O	输出 X-BAR 输出 6	9、29、43	90、100	3、54、75	1、62	1、62	1
OUTPUTXBAR7	O	输出 X-BAR 输出 7	11、16、30、44	52、54、85、98	1、37、39、69	31、33	31、33	26
OUTPUTXBAR8	O	输出 X-BAR 输出 8	17、31、45	55、99	2、40、73	34	34	
PMBUSA_ALERT	I/OD	PMBus-A 开漏双向警报信号	13、19、27、37、43、45	50、59、61、69	35、44、46、51、54、73	29、37、42	29、37、42	29、34
PMBUSA_CTL	I/O	PMBus-A 控制信号 - 从器件输入/主器件输出	12、18、26、35、42、44	51、58、63、68、85	36、43、48、50、57、69	30、39、41	30、39、41	31、33
PMBUSA_SCL	I/OD	PMBus-A 开漏双向时钟	3、15、16、24、35、41、47	6、54、56、63、76、82、95	39、41、48、60、66、78	33、35、39、49、55	33、35、39、49、55	26、27、31、39
PMBUSA_SDA	I/OD	PMBus-A 开漏双向数据	2、14、17、25、32、34、40、44、46、48	7、55、57、64、77、80、85、94、96	6、40、42、49、61、64、69、77、79	34、40、50、53	34、40、50、53	32、40
SCIA_RX	I	SCI-A 接收数据	3、9、17、25、28、35、49	1、8、55、57、63、76、90	4、40、42、48、60、75	2、34、39、49、62	2、34、39、49、62	2、31、39

Copyright © 2024 Texas Instruments Incorporated

表 5-3. 数字信号（续）

信号名称	引脚类型	说明	通用输入/输出 (GPIO)	100 PZ	80 PN	64 PMQ	64 PM	48 PT
SCIA_TX	O	SCI-A 发送数据	2、8、16、24、29、37、48	7、54、56、61、74、77、100	3、39、41、46、58、61	1、33、35、37、47、50	1、33、35、37、47、50	1、26、27、29、40
SCIB_RX	I	SCI-B 接收数据	11、13、15、19、23、41、57	50、52、66、69、81、82、95	35、37、51、65、66、78	29、31、42、54、55	29、31、42、54、55	34
SCIB_TX	O	SCI-B 发送数据	9、10、12、14、18、22、40、56	51、65、68、80、83、90、93、96	36、50、64、67、75、76、79	30、41、53、56、62、63	30、41、53、56、62、63	33
SD1_C1	I	SDFM-1 通道 1 时钟输入	17、33、49、53	8、12、23、53、55	19、38、40	15、32、34	15、32、34	11、25
SD1_C2	I	SDFM-1 通道 2 时钟输入	19、33、51、54	10、13、31、53、69	23、38、51	19、32、42	19、32、42	15、25、34
SD1_C3	I	SDFM-1 通道 3 时钟输入	21、53、55	12、38、43、49	28、34	24	24	20
SD1_C4	I	SDFM-1 通道 4 时钟输入	23、55、56	40、43、65、81	29、65	25、54	25、54	21
SD1_D1	I	SDFM-1 通道 1 数据输入	16、48	7、19、54	15、39	11、33	11、33	26
SD1_D2	I	SDFM-1 通道 2 数据输入	18、32、50	9、20、64、68	16、49、50	12、40、41	12、40、41	8、32、33
SD1_D3	I	SDFM-1 通道 3 数据输入	20、52	11、21、48	17、33	13	13	9
SD1_D4	I	SDFM-1 通道 4 数据输入	22、54	13、22、83	18、67	14、56	14、56	10
SD2_C1	I	SDFM-2 通道 1 时钟输入	25、35、57	14、37、57、63、66	10、24、42、48	6、20、39	6、20、39	4、16、31
SD2_C2	I	SDFM-2 通道 2 时钟输入	27、58、59	36、59、67、92	27、44	23	23	19
SD2_C3	I	SDFM-2 通道 3 时钟输入	29、45、59、61	28、91、92、100	3、22、73	1、18	1、18	1、14
SD2_C4	I	SDFM-2 通道 4 时钟输入	31、46、60	32、44、99	2 , 6			
SD2_D1	I	SDFM-2 通道 1 数据输入	24、49、56	8、56、65	14、41	10、35	10、35	7、27
SD2_D2	I	SDFM-2 通道 2 数据输入	26、50、58	9、16、58、67	12、43	8	8	5
SD2_D3	I	SDFM-2 通道 3 数据输入	28、43、51、60	1、10、17、44	4、13、54	2、9	2、9	2 , 6
SD2_D4	I	SDFM-2 通道 4 数据输入	30、47、52	6、11、15、98	1、11	7	7	4
SPIA_CLK	I/O	SPI-A 时钟	3、9、12、18、56	51、65、68、76、90	36、50、60、75	30、41、49、62	30、41、49、62	33、39
SPIA_SIMO	I/O	SPI-A 从器件输入，主器件输出 (SIMO)	2、8、11、16、54	13、52、54、74、77	37、39、58、61	31、33、47、50	31、33、47、50	26、40
SPIA_SOMI	I/O	SPI-A 从器件输出，主器件输入 (SOMI)	1、10、13、17、55	43、50、55、78、93	35、40、62、76	29、34、51、63	29、34、51、63	41
SPIA_STE	I/O	SPI-A 从器件发送使能 (STE)	0、5、11、19、57	52、66、69、79、89	37、51、63、74	31、42、52、61	31、42、52、61	34、42、47
SPIB_CLK	I/O	SPI-B 时钟	4、14、22、26、28、32、52、58	1、11、58、64、67、75、83、96	4、43、49、59、67、79	2、40、48、56	2、40、48、56	2、32、38
SPIB_SIMO	I/O	SPI-B 从器件输入，主器件输出 (SIMO)	7、20、24、30、40、50、56、60	9、44、48、56、65、80、84、98	1、33、41、64、68	35、53、57	35、53、57	27、43
SPIB_SOMI	I/O	SPI-B 从器件输出，主器件输入 (SOMI)	6、16、21、25、31、41、51、57、61	10、49、54、57、66、82、91、97、99	2、34、39、42、66、80	33、55、64	33、55、64	26、48
SPIB_STE	I/O	SPI-B 从器件发送使能 (STE)	15、23、27、29、33、53、59	12、53、59、81、92、95、100	3、38、44、65、78	1、32、54	1、32、54	1、25
SYNCOUT	O	外部 ePWM 同步脉冲	6、39、52	11、97	56、80	64	46、64	48
TDI	I	JTAG 测试数据输入 (TDI) - TDI 是引脚的默认多路复用器选择。默认情况下，内部上拉电阻处于禁用状态。如果将该引脚用作 JTAG TDI，则应启用内部上拉电阻或在电路板上添加外部上拉电阻，以避免输入悬空。	35	63	48	39	39	31
TDO	O	JTAG 测试数据输出 (TDO) - TDO 是引脚的默认多路复用器选择。默认情况下，内部上拉电阻处于禁用状态。当没有 JTAG 活动时，TDO 功能将处于三态条件，使这个引脚悬空；内部上拉电阻应该被启用或者在电路板上增加一个外部上拉电阻来避免 GPIO 输入悬空。	37	61	46	37	37	29
X1	I/O	晶体振荡器或单端时钟输入。器件初始化软件必须在启用晶体振荡器之前配置该引脚。为了使用此振荡器，必须将一个石英晶体电路连接至 X1 和 X2。此引脚也可用于馈入单端 3.3V 电平时钟。有关用法的详细信息，请参阅 XTAL 部分。	19	69	51	42	42	34

Copyright © 2024 Texas Instruments Incorporated

表 5-3. 数字信号（续）

信号名称	引脚类型	说明	通用输入/输出 (GPIO)	100 PZ	80 PN	64 PMQ	64 PM	48 PT
X2	I/O	晶体振荡器输出。	18	68	50	41	41	33
XCLKOUT	O	外部时钟输出。此引脚从器件中输出所选时钟信号的分频版本。	16、18	54、68	39、50	33、41	33、41	26、33

Copyright © 2024 Texas Instruments Incorporated

5.3.3 电源和接地

表 5-4. 电源和接地

信号名称	引脚类型	说明	100 PZ	80 PN	64 PMQ	64 PM	48 PT
VDD		1.2V 数字逻辑电源引脚。有关用法的详细信息，请参阅“电源管理模块 (PMM)”一节。	4、46、71、87	8、31、53、71	4、27、44、59	4、27、44、59	23、36、45
VDDA		3.3V 模拟电源引脚。在每个引脚上放置一个最小值为 2.2μF 的去耦电容器。有关用法的详细信息，请参阅“电源管理模块 (PMM)”一节。	34	26	22	22	18
VDDIO		3.3V 数字 I/O 电源引脚。有关用法的详细信息，请参阅“电源管理模块 (PMM)”一节。	3、47、70、88	7、32、52、72	28、43、60	28、43、60	24、35、46
VREGENZ	I	具有内部下拉电阻的内部稳压器使能。将低电平连接到 VSS 以启用内部 VREG。将高电平连接到 VDDIO 以使用外部电源。有关用法的详细信息，请参阅“电源管理模块 (PMM)”一节。	73		46		
VSS		数字接地	5、45、72、86	9、30、55、70	5、26、45、58	5、26、45、58	22、37、44
VSSA		模拟接地	33	25	21	21	17

Copyright © 2024 Texas Instruments Incorporated

5.3.4 测试、JTAG 和复位

表 5-5. 测试、JTAG 和复位

信号名称	引脚类型	说明	100 PZ	80 PN	64 PMQ	64 PM	48 PT
TCK	I	带有内部上拉电阻的 JTAG 测试时钟。	60	45	36	36	28
TMS	I/O	带有内部上拉电阻的 JTAG 测试模式选择 (TMS)。此串行控制输入在 TCK 上升沿上的 TAP 控制器中计时。该器件没有 TRSTn 引脚。在电路板上应放置一个外部上拉电阻（推荐 2.2kΩ）以将 TMS 引脚连接至 VDDIO，从而在正常运行期间将 JTAG 保持在复位状态。	62	47	38	38	30
XRSn	I/OD	器件复位（输入）和看门狗复位（输出）。在上电条件下，此引脚由器件驱动为低电平。外部电路也可能会驱动此引脚以使器件复位生效。发生看门狗复位时，此引脚也由 MCU 驱动为低电平。在看门狗复位期间，XRSn 引脚在 512 个 OSCCLK 周期的看门狗复位持续时间内被驱动为低电平。XRSn 和 VDDIO 之间应放置一个 2.2kΩ 至 10kΩ 的电阻。如果在 XRSn 和 VSS 之间放置一个电容器进行噪声滤除，则该电容器的容值应为 100nF 或更小。当看门狗复位生效时，这些值允许看门狗在 512 个 OSCCLK 周期内正确地将 XRSn 引脚驱动至 VOL。该引脚是具有内部上拉电阻的开漏输出。如果此引脚由外部器件驱动，则应使用开漏器件进行驱动。	2	5	3	3	3

Copyright © 2024 Texas Instruments Incorporated

5.4 引脚复用

5.4.1 GPIO 多路复用引脚

表 5-6 列出了 GPIO 多路复用引脚。每个 GPIO 引脚的默认模式都是 GPIO 功能，但 GPIO35 和 GPIO37 除外，这两个引脚的默认模式分别为 TDI 和 TDO。可以通过设置 GPyGMUXn.GPIOz 和 GPyMUXn.GPIOz 寄存器位来选择辅助功能。GPyGMUXn 寄存器应在 GPyMUXn 之前配置，以避免交替的多路复用器选择对 GPIO 产生瞬时脉冲。未显示的列和空白单元格是保留的 GPIO 多路复用器设置。GPIO ALT 功能不能通过 GPyMUXn 和 GPyGMUXn 寄存器进行配置。这些是需要从模块进行配置的特殊功能。

备注

此器件上不存在 GPIO36 和 GPIO38。GPIO62 至 GPIO63 存在，但在任何封装上都没有引脚输出。引导 ROM 在 GPIO62 至 GPIO63 上启用上拉电阻。如需了解更多详情，请参阅节 5.5。

Copyright © 2024 Texas Instruments Incorporated

5.4.1.1 GPIO 多路复用引脚

表 5-6. GPIO 多路复用引脚

0 , 4 , 8 , 12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
GPIO0	EPWM1_A				I2CA_SDA	SPIA_STE	FSIRXA_CLK	MCAN_RX	CLB_OUTPUTXBAR8	EQEP1_INDEX	HIC_D7	HIC_BASESEL1	
GPIO1	EPWM1_B				I2CA_SCL	SPIA_SOMI		MCAN_TX	CLB_OUTPUTXBAR7	HIC_A2	FSITXA_TDM_D1	HIC_D10	
GPIO2	EPWM2_A			OUTPUTXBAR1	PMBUSA_SDA	SPIA_SIMO	SCIA_TX	FSIRXA_D1	I2CB_SDA	HIC_A1	CANA_TX	HIC_D9	
GPIO3	EPWM2_B	OUTPUTXBAR2		OUTPUTXBAR2	PMBUSA_SCL	SPIA_CLK	SCIA_RX	FSIRXA_D0	I2CB_SCL	HIC_NOE	CANA_RX	HIC_D4	
GPIO4	EPWM3_A		MCAN_TX	OUTPUTXBAR3	CANA_TX	SPIB_CLK	EQEP2_STROBE	FSIRXA_CLK	CLB_OUTPUTXBAR6	HIC_BASESEL2		HIC_NWE	
GPIO5	EPWM3_B		OUTPUTXBAR3	MCAN_RX	CANA_RX	SPIA_STE	FSITXA_D1	CLB_OUTPUTXBAR5		HIC_A7	HIC_D4	HIC_D15	
GPIO6	EPWM4_A	OUTPUTXBAR4	SYNCOUT	EQEP1_A		SPIB_SOMI	FSITXA_D0		FSITXA_D1	HIC_NBE1	CLB_OUTPUTXBAR8	HIC_D14	
GPIO7	EPWM4_B		OUTPUTXBAR5	EQEP1_B		SPIB_SIMO	FSITXA_CLK	CLB_OUTPUTXBAR2		HIC_A6		HIC_D14	
GPIO8	EPWM5_A		ADCSOCAO	EQEP1_STROBE	SCIA_TX	SPIA_SIMO	I2CA_SCL	FSITXA_D1	CLB_OUTPUTXBAR5	HIC_A0	FSITXA_TDM_CLK	HIC_D8	
GPIO9	EPWM5_B	SCIB_TX	OUTPUTXBAR6	EQEP1_INDEX	SCIA_RX	SPIA_CLK		FSITXA_D0	LINB_RX	HIC_BASESEL0	I2CB_SCL	HIC_NRDY	
GPIO10	EPWM6_A		ADCSOCBO	EQEP1_A	SCIB_TX	SPIA_SOMI	I2CA_SDA	FSITXA_CLK	LINB_TX	HIC_NWE	FSITXA_TDM_D0	CLB_OUTPUTXBAR4	
GPIO11	EPWM6_B		OUTPUTXBAR7	EQEP1_B	SCIB_RX	SPIA_STE	FSIRXA_D1	LINB_RX	EQEP2_A	SPIA_SIMO	HIC_D6	HIC_NBE0	
GPIO12	EPWM7_A		MCAN_RX	EQEP1_STROBE	SCIB_TX	PMBUSA_CTL	FSIRXA_D0	LINB_TX	SPIA_CLK	CANA_RX	HIC_D13	HIC_INT	
GPIO13	EPWM7_B		MCAN_TX	EQEP1_INDEX	SCIB_RX	PMBUSA_ALERT	FSIRXA_CLK	LINB_RX	SPIA_SOMI	CANA_TX	HIC_D11	HIC_D5	
GPIO14	EPWM8_A	SCIB_TX		I2CB_SDA	OUTPUTXBAR3	PMBUSA_SDA	SPIB_CLK	EQEP2_A	LINB_TX	EPWM3_A	CLB_OUTPUTXBAR7	HIC_D15	
GPIO15	EPWM8_B	SCIB_RX		I2CB_SCL	OUTPUTXBAR4	PMBUSA_SCL	SPIB_STE	EQEP2_B	LINB_RX	EPWM3_B	CLB_OUTPUTXBAR6	HIC_D12	
GPIO16	SPIA_SIMO		OUTPUTXBAR7	EPWM5_A	SCIA_TX	SD1_D1	EQEP1_STROBE	PMBUSA_SCL	XCLKOUT	EQEP2_B	SPIB_SOMI	HIC_D1	
GPIO17	SPIA_SOMI		OUTPUTXBAR8	EPWM5_B	SCIA_RX	SD1_C1	EQEP1_INDEX	PMBUSA_SDA	CANA_TX			HIC_D2	
GPIO18	SPIA_CLK	SCIB_TX	CANA_RX	EPWM6_A	I2CA_SCL	SD1_D2	EQEP2_A	PMBUSA_CTL	XCLKOUT	LINB_TX	FSITXA_TDM_CLK	HIC_INT	X2
GPIO19	SPIA_STE	SCIB_RX	CANA_TX	EPWM6_B	I2CA_SDA	SD1_C2	EQEP2_B	PMBUSA_ALERT	CLB_OUTPUTXBAR1	LINB_RX	FSITXA_TDM_D0	HIC_NBE0	X1
GPIO20	EQEP1_A				SPIB_SIMO	SD1_D3	MCAN_TX						
GPIO21	EQEP1_B				SPIB_SOMI	SD1_C3	MCAN_RX						
GPIO22	EQEP1_STROBE		SCIB_TX		SPIB_CLK	SD1_D4	LINA_TX	CLB_OUTPUTXBAR1	LINB_TX	HIC_A5	EPWM4_A	HIC_D13	
GPIO23	EQEP1_INDEX		SCIB_RX		SPIB_STE	SD1_C4	LINA_RX	CLB_OUTPUTXBAR3	LINB_RX	HIC_A3	EPWM4_B	HIC_D11	

Copyright © 2024 Texas Instruments Incorporated

表 5-6. GPIO 多路复用引脚（续）

0，4，8，12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
GPIO24	OUTPUTXBAR1	EQEP2_A		EPWM8_A	SPIB_SIMO	SD2_D1	LINB_TX	PMBUSA_SCL	SCIA_TX	ERRORSTS		HIC_D3	
GPIO25	OUTPUTXBAR2	EQEP2_B		EQEP1_A	SPIB_SOMI	SD2_C1	FSITXA_D1	PMBUSA_SDA	SCIA_RX		HIC_BASESEL0		
GPIO26	OUTPUTXBAR3	EQEP2_INDEX		OUTPUTXBAR3	SPIB_CLK	SD2_D2	FSITXA_D0	PMBUSA_CTL	I2CA_SDA		HIC_D0	HIC_A1	
GPIO27	OUTPUTXBAR4	EQEP2_STROBE		OUTPUTXBAR4	SPIB_STE	SD2_C2	FSITXA_CLK	PMBUSA_ALERT	I2CA_SCL		HIC_D1	HIC_A4	
GPIO28	SCIA_RX		EPWM7_A	OUTPUTXBAR5	EQEP1_A	SD2_D3	EQEP2_STROBE	LINA_TX	SPIB_CLK	ERRORSTS	I2CB_SDA	HIC_NOE	
GPIO29	SCIA_TX		EPWM7_B	OUTPUTXBAR6	EQEP1_B	SD2_C3	EQEP2_INDEX	LINA_RX	SPIB_STE	ERRORSTS	I2CB_SCL	HIC_NCS	AUXCLKIN
GPIO30	CANA_RX		SPIB_SIMO	OUTPUTXBAR7	EQEP1_STROBE	SD2_D4	FSIRXA_CLK	MCAN_RX	EPWM1_A		HIC_D8		
GPIO31	CANA_TX		SPIB_SOMI	OUTPUTXBAR8	EQEP1_INDEX	SD2_C4	FSIRXA_D1	MCAN_TX	EPWM1_B		HIC_D10		
GPIO32	I2CA_SDA		SPIB_CLK	EPWM8_B	LINA_TX	SD1_D2	FSIRXA_D0	CANA_TX	PMBUSA_SDA	ADCSOCBO		HIC_INT	
GPIO33	I2CA_SCL		SPIB_STE	OUTPUTXBAR4	LINA_RX	SD1_C2	FSIRXA_CLK	CANA_RX	EQEP2_B	ADCSOCAO	SD1_C1	HIC_D0	
GPIO34	OUTPUTXBAR1				PMBUSA_SDA					HIC_NBE1	I2CB_SDA	HIC_D9	
GPIO35	SCIA_RX		I2CA_SDA	CANA_RX	PMBUSA_SCL	LINA_RX	EQEP1_A	PMBUSA_CTL	EPWM5_B	SD2_C1	HIC_NWE	TDI	
GPIO37	OUTPUTXBAR2		I2CA_SCL	SCIA_TX	CANA_TX	LINA_TX	EQEP1_B	PMBUSA_ALERT			HIC_NRDY	TDO	
GPIO39					MCAN_RX	FSIRXA_CLK	EQEP2_INDEX		CLB_OUTPUTXBAR2	SYNCOUT	EQEP1_INDEX	HIC_D7	
GPIO40	SPIB_SIMO			EPWM2_B	PMBUSA_SDA	FSIRXA_D0	SCIB_TX	EQEP1_A	LINB_TX		HIC_NBE1	HIC_D5	
GPIO41				EPWM2_A	PMBUSA_SCL	FSIRXA_D1	SCIB_RX	EQEP1_B	LINB_RX	HIC_A4	SPIB_SOMI	HIC_D12	
GPIO42		LINA_RX	OUTPUTXBAR5	PMBUSA_CTL	I2CA_SDA			EQEP1_STROBE	CLB_OUTPUTXBAR3		HIC_D2	HIC_A6	
GPIO43			OUTPUTXBAR6	PMBUSA_ALERT	I2CA_SCL		PMBUSA_ALERT	EQEP1_INDEX	CLB_OUTPUTXBAR4	SD2_D3	HIC_D3	HIC_A7	
GPIO44			OUTPUTXBAR7	EQEP1_A	PMBUSA_SDA	FSITXA_CLK	PMBUSA_CTL	CLB_OUTPUTXBAR3	FSIRXA_D0	HIC_D7	LINB_TX	HIC_D5	
GPIO45			OUTPUTXBAR8			FSITXA_D0	PMBUSA_ALERT	CLB_OUTPUTXBAR4		SD2_C3		HIC_D6	
GPIO46			LINA_TX	MCAN_TX		FSITXA_D1	PMBUSA_SDA			SD2_C4		HIC_NWE	
GPIO47			LINA_RX	MCAN_RX		CLB_OUTPUTXBAR2	PMBUSA_SCL			SD2_D4	FSITXA_TDM_CLK	HIC_A6	
GPIO48	OUTPUTXBAR3		CANA_TX		SCIA_TX	SD1_D1	PMBUSA_SDA					HIC_A7	
GPIO49	OUTPUTXBAR4		CANA_RX		SCIA_RX	SD1_C1	LINA_RX			SD2_D1	FSITXA_D0	HIC_D2	
GPIO50	EQEP1_A			MCAN_TX	SPIB_SIMO	SD1_D2	I2CB_SDA			SD2_D2	FSITXA_D1	HIC_D3	
GPIO51	EQEP1_B			MCAN_RX	SPIB_SOMI	SD1_C2	I2CB_SCL			SD2_D3	FSITXA_CLK	HIC_D6	

Copyright © 2024 Texas Instruments Incorporated

表 5-6. GPIO 多路复用引脚（续）

0，4，8，12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
GPIO52	EQEP1_STROBE			CLB_OUTPUTXBAR5	SPIB_CLK	SD1_D3	SYNCOUT			SD2_D4	FSIRXA_D0	HIC_NWE	
GPIO53	EQEP1_INDEX			CLB_OUTPUTXBAR6	SPIB_STE	SD1_C3	ADCSOCAO	CANA_RX		SD1_C1	FSIRXA_D1		
GPIO54	SPIA_SIMO			EQEP2_A	OUTPUTXBAR2	SD1_D4	ADCSOCBO	LINB_TX		SD1_C2	FSIRXA_CLK	FSITXA_TDM_D1	
GPIO55	SPIA_SOMI			EQEP2_B	OUTPUTXBAR3	SD1_C4	ERRORSTS	LINB_RX		SD1_C3		HIC_A0	
GPIO56	SPIA_CLK	CLB_OUTPUTXBAR7	MCAN_TX	EQEP2_STROBE	SCIB_TX	SD2_D1	SPIB_SIMO	I2CA_SDA	EQEP1_A	SD1_C4	FSIRXA_D1	HIC_D6	
GPIO57	SPIA_STE	CLB_OUTPUTXBAR8	MCAN_RX	EQEP2_INDEX	SCIB_RX	SD2_C1	SPIB_SOMI	I2CA_SCL	EQEP1_B		FSIRXA_CLK	HIC_D4	
GPIO58				OUTPUTXBAR1	SPIB_CLK	SD2_D2	LINA_TX	CANA_TX	EQEP1_STROBE	SD2_C2	FSIRXA_D0	HIC_NRDY	
GPIO59				OUTPUTXBAR2	SPIB_STE	SD2_C2	LINA_RX	CANA_RX	EQEP1_INDEX	SD2_C3	FSITXA_TDM_D1		
GPIO60			MCAN_TX	OUTPUTXBAR3	SPIB_SIMO	SD2_D3				SD2_C4		HIC_A0	
GPIO61			MCAN_RX	OUTPUTXBAR4	SPIB_SOMI	SD2_C3					CANA_RX		
AIO224		SD2_D3										HIC_A3	
AIO225		SD2_C2										HIC_NWE	
AIO226		SD2_D4										HIC_A1	
AIO227		SD1_C3										HIC_NBE0	
AIO228		SD2_C1										HIC_A0	
AIO229													
AIO230		SD1_C4										HIC_BASESEL2	
AIO231		SD1_C1										HIC_BASESEL1	
AIO232		SD1_D4										HIC_BASESEL0	
AIO233		SD2_D1										HIC_A4	
AIO236													
AIO237		SD1_D2										HIC_A6	
AIO238		SD2_C3										HIC_NCS	
AIO239		SD1_D1										HIC_A5	
AIO240		SD2_C1										HIC_NBE1	
AIO241		SD2_C1										HIC_NBE1	
AIO242		SD2_D2										HIC_A2	
AIO244		SD1_D3										HIC_A7	
AIO245		SD1_C2										HIC_NOE	
AIO247													
AIO248													
AIO249													
AIO251													
AIO252		SD2_C4											

Copyright © 2024 Texas Instruments Incorporated

表 5-6. GPIO 多路复用引脚（续）

0 , 4 , 8 , 12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
AIO253													

Copyright © 2024 Texas Instruments Incorporated

5.4.2 ADC 引脚上的数字输入 (AIO)

端口 H 上的 GPIO (GPIO224 – GPIO253) 与模拟引脚进行多路复用。这也称为 AIO。这些引脚只能在输入模式下工作。默认情况下，这些引脚将用作模拟引脚，并且 GPIO 处于高阻抗状态。GPHAMSEL 寄存器用于配置这些引脚的数字或模拟操作。

备注

如果将具有尖锐边缘（高 dv/dt）的数字信号连接到 AIO，则相邻的模拟信号可能会发生串扰。因此，如果相邻通道用于模拟功能，用户应限制连接到 AIO 的信号的边沿速率。

5.4.3 ADC 引脚上的数字输入和输出 (AGPIO)

该器件上的某些 GPIO 与模拟引脚进行多路复用。这些也称为 AGPIO。与 AIO 不同，AGPIO 具有完整的输入和输出能力。该器件具有两个 GPIO（GPIO20、GPIO21），可在 100 引脚 PZ 和 80 引脚 PN 封装上提供此特性。

100 引脚 PZ：这种封装上具有用于 B5（引脚 32）和 B11（引脚 30）的专用引脚，这些引脚分别还具有 AIO252 和 AIO251 功能。此外，GPIO20（引脚 48）和 GPIO21（引脚 49）也可分别用作 B5 和 B11。由于 B5 和 B11 是这种封装上的专用引脚，因此建议使用它们代替 GPIO20/21 上的引脚。

80 引脚 PN：在这种封装上，GPIO20（引脚 33）和 GPIO21（引脚 34）也可分别用作 B5 和 B11。B5 和 B11 没有专用引脚。

默认情况下，AGPIO 未连接，必须进行配置。表 5-7 真值表以 100 引脚 PZ 上的 B5（引脚 32）和 GPIO20（引脚 48）为例展示了如何配置 AGPIO。

表 5-7. AGPIO 配置

AGPIOCTRLA.bit.GPIO20	GPAAMSEL.bit.GPIO20	GPHAMSEL.bit.GPIO252	B5 连接至			GPIO20 连接至		
			ADC	GPIO20	AIO252	ADC	GPIO20	AIO252
0	0	1	是	-	-	-	是	-
0	1	1	是	-	-	-	-	-
1	0	1	是	-	-	-	是	-
1	1	1	-	-	-	是	-	-
0	0	0	是	-	是	-	是	-
0	1	0	是	-	是	-	-	-
1	0	0	是	-	是	-	是	-
1	1	0	-	-	是	是	-	-

备注

如果将具有尖锐边缘（高 dv/dt）的数字信号连接到 AGPIO，则相邻的模拟信号可能会发生串扰。因此，如果相邻通道用于模拟功能，用户应限制连接到 AGPIO 的信号的边沿速率。

5.4.4 GPIO 输入 X-BAR

输入 X-BAR 用于将信号从 GPIO 路由到许多不同的 IP 块，例如 ADC、eCAP、ePWM 和外部中断（请参阅图 5-6）。表 5-8 列出了输入 X-BAR 目标。

Copyright © 2024 Texas Instruments Incorporated

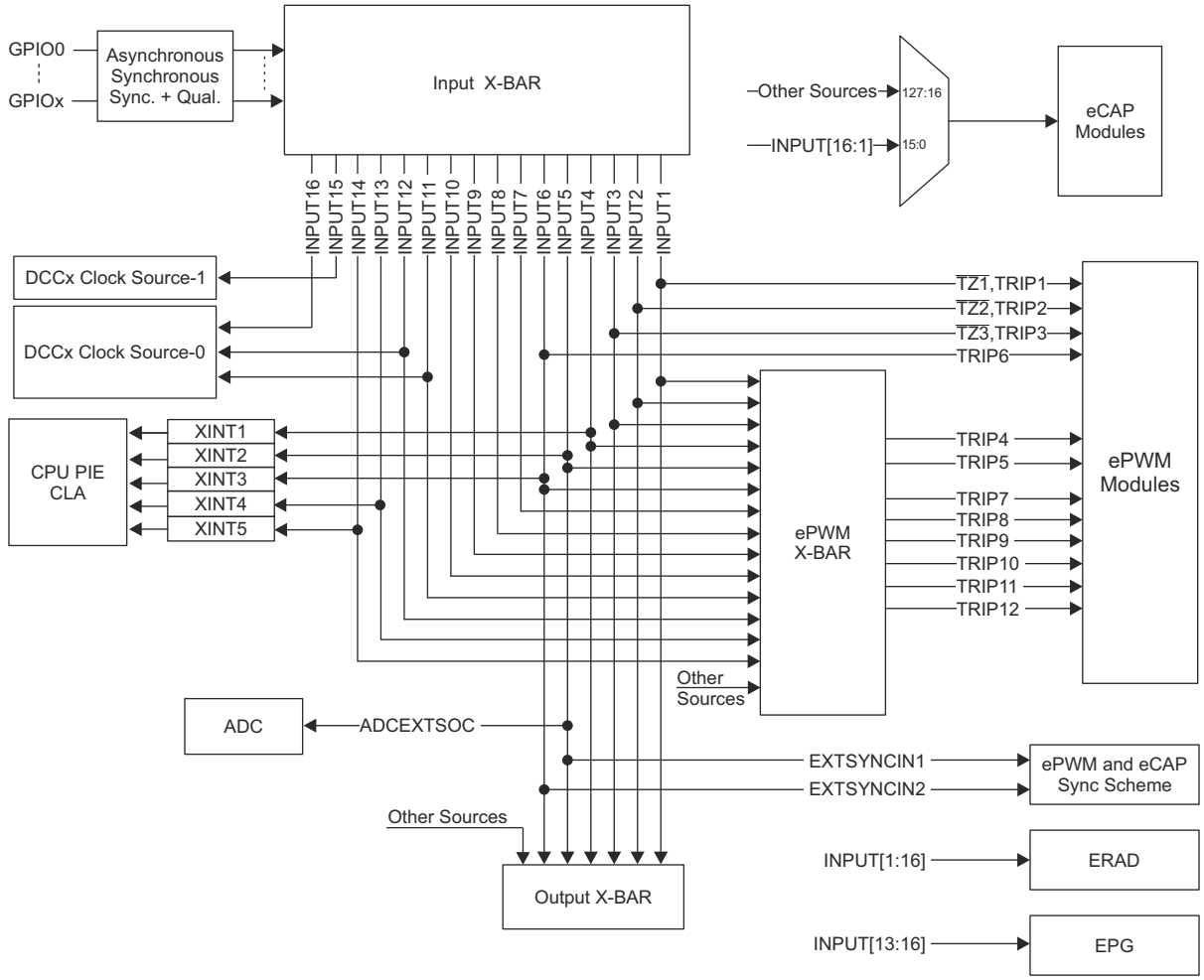


图 5-6. 输入 X-BAR

表 5-8. 输入 X-BAR 目标

输入	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
ECAP/HRCAP	是	是	是	是	是	是	是	是	是	是	是	是	是	是	是	是
EPWM X-BAR	是	是	是	是	是	是	是	是	是	是	是	是	是	是		
CLB X-BAR	是	是	是	是	是	是	是	是	是	是	是	是	是	是		
输出 X-BAR	是	是	是	是	是	是										
CPU XINT				XINT1	XINT2	XINT3							XINT4	XINT5		
EPWM 跳闸	TZ1、TRIP1	TZ2、TRIP2	TZ3、TRIP3			TRIP6										
ADC 转换启动					ADCEXTSOC											
EPWM/ECAP 同步					EXTSYNCIN1	EXTSYNCIN2										
DCCx											CLK0	CLK0			CLK1	CLK0
EPG													EPG1IN1	EPG1IN2	EPG1IN3	EPG1IN4
ERAD	是	是	是	是	是	是	是	是	是	是	是	是	是	是	是	是

Copyright © 2024 Texas Instruments Incorporated

5.4.5 GPIO 输出 X-BAR、CLB X-BAR、CLB 输出 X-BAR 和 ePWM X-BAR

输出 X-BAR 有 8 个输出可以在 GPIO 多路复用器上选择作为 OUTPUTXBARx。CLB X-BAR 有 8 个输出作为 AUXSIGx 连接到 CLB 全局多路复用器。CLB 输出 X-BAR 有 8 个输出可以在 GPIO 多路复用器上选择作为 CLB_OUTPUTXBARx。ePWM X-BAR 有 8 个输出与 ePWM 的 TRIPx 输入相连。输出 X-BAR、CLB X-BAR、CLB 输出 X-BAR 和 ePWM X-BAR 的源如图 5-7 所示。

Copyright © 2024 Texas Instruments Incorporated

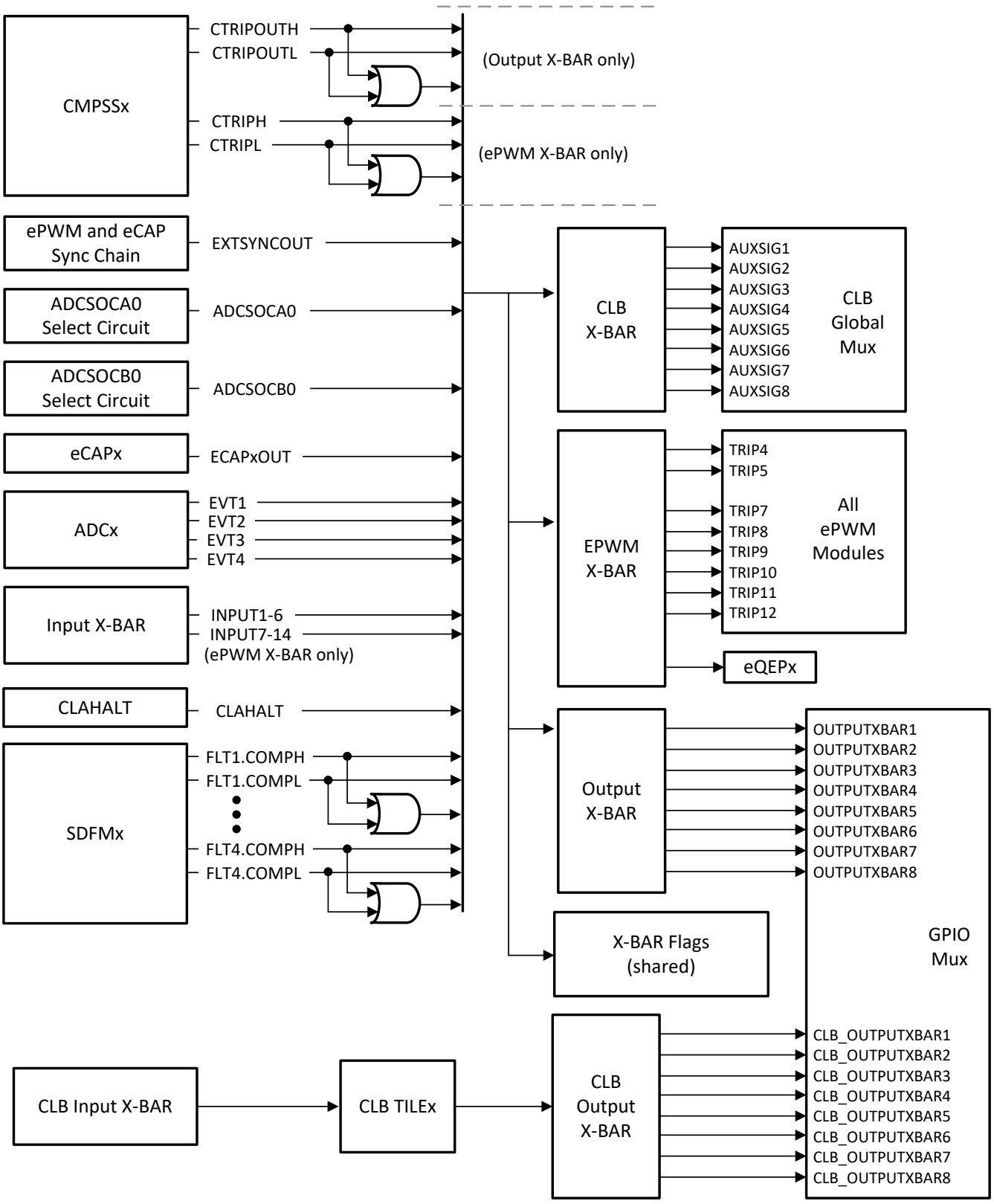


图 5-7. 输出 X-BAR、CLB X-BAR、CLB 输出 X-BAR 和 ePWM X-BAR 源

Copyright © 2024 Texas Instruments Incorporated

5.5 带有内部上拉和下拉的引脚

器件上的某些引脚具有内部上拉或下拉。表 5-9 列出了拉动方向及其活动时间。默认情况下，GPIO 引脚的上拉被禁用，可以通过软件启用。为了避免任何悬空的未键合输入，引导 ROM 将在特定封装中对未键合的 GPIO 引脚启用内部上拉。表 5-9 中提到的带有上拉和下拉的其他引脚始终处于打开状态且无法被禁用。

表 5-9. 带有内部上拉和下拉的引脚

引脚	复位 (XRSn = 0)	器件引导	应用
GPIOx	禁用上拉	禁用上拉(1)	应用定义
GPIO35/TDI	禁用上拉		应用定义
GPIO37/TDO	禁用上拉		应用定义
AGPIOx	禁用上拉	禁用上拉	应用定义
TCK	上拉有效		
TMS	上拉有效		
XRSn	上拉有效		
其他引脚（包括 AIO）	上拉或下拉未存在		

(1) 给定封装中未绑定的引脚将具有由引导 ROM 启用内部上拉。

Copyright © 2024 Texas Instruments Incorporated

5.6 未使用引脚的连接

对于不需要使用器件所有功能的应用，表 5-10 列出了对任何未使用引脚的可接受条件。当表 5-10 中列出了多个选项时，任何选项都可接受。表 5-10 中未列的引脚需按照节 5 中所述进行连接。

表 5-10. 未使用引脚的连接

信号名称	可接受的做法
模拟	
VREFHI	连接至 VDDA（仅在应用中未使用 ADC 时适用）
VREFLO	绑定到 VSSA
带有 DACx_OUT 的模拟输入引脚	• 无连接 • 通过 4.7kΩ 或更大的电阻连接到 VSSA
模拟输入引脚（DACx_OUT 除外）	• 无连接 • 绑定到 VSSA • 通过电阻器连接到 VSSA
模拟输入引脚（与 GPIO 共用）(1)	• 无连接（数字输入模式，启用内部上拉电阻） • 无连接（数字输出模式，禁用内部上拉电阻） • 上拉或下拉电阻（任意值电阻，数字输入模式，禁用内部上拉电阻）
数字	
GPIOx	• 无连接（启用内部上拉的输入模式） • 无连接（禁用内部上拉的输出模式） • 上拉或下拉电阻器（任意值电阻器，输入模式，禁用内部上拉）
GPIO35/TDI	选择 TDI 多路复用器选项（默认）时，GPIO 处于输入模式。 • 启用内部上拉电阻 • 外部上拉电阻
GPIO37/TDO	当 TDO 复用选项被选中时（默认），GPIO 只在 JTAG 活动期间处于输出模式；否则，它处于三态条件。必须对该引脚进行偏置，以避免在输入缓冲器上产生额外电流。 • 启用内部上拉电阻 • 外部上拉电阻
TCK	• 无连接 • 上拉电阻器
TMS	上拉电阻器
GPIO19/X1	关闭 XTAL 和： • 输入模式，启用内部上拉电阻 • 输入模式，使用外部上拉或下拉电阻 • 输出模式，禁用内部上拉电阻
GPIO18/X2	关闭 XTAL 和： • 输入模式，启用内部上拉电阻 • 输入模式，使用外部上拉或下拉电阻 • 输出模式，禁用内部上拉电阻
电源和接地	
VDD	所有 VDD 引脚必须按照节 5.3 所述进行连接。不应使用引脚来偏置任何外部电路。
VDDA	如果未使用专用模拟电源，则连接到 VDDIO。
VDDIO	所有 VDDIO 引脚必须按照节 5.3 所述进行连接。
VSS	所有 VSS 引脚必须连接到电路板接地。

Copyright © 2024 Texas Instruments Incorporated

表 5-10. 未使用引脚的连接（续）

信号名称	可接受的做法
VSSA	如果未使用模拟接地，则连接到 VSS。

(1) AGPIO 引脚共享模拟和数字功能。此处的操作仅适用于这些引脚也不用于模拟功能的情况。

Copyright © 2024 Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1) (2)

		最小值	最大值	单位
电源电压	VDDIO 以 VSS 为基准	-0.3	4.6	V
	VDDA 以 VSSA 为基准	-0.3	4.6	
	VDD 以 VSS 为基准	-0.3	1.5	
输入电压	V_{IN} (3.3V)	-0.3	4.6	V
输出电压	V_O	-0.3	4.6	V
输入钳位电流	数字/模拟输入（每引脚），I_{IK}（V_{IN} < VSS/VSSA 或 V_{IN} > VDDIO/VDDA）(4)	-20	20	mA
	所有输入的总计，$I_{IKTOTAL}$（V_{IN} < VSS/VSSA 或 V_{IN} > VDDIO/VDDA）	-20	20	
输出电流	数字输出（每引脚），I_{OUT}	-20	20	mA
自然通风温度	T_A	-40	125	°C
工作结温	T_J	-40	150	°C
贮存温度(3)	T_{stg}	-65	150	°C

(1) 超出绝对最大额定值运行可能会对器件造成损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能，并缩短器件寿命。
(2) 除非另有说明，否则所有电压值均以 VSS 为基准。
(3) 长期高温贮存或在最大温度条件下超期使用可能会导致器件总体使用寿命缩短。有关更多信息，请参阅*“半导体和 IC 封装热指标”应用报告*。
(4) 每个引脚的连续钳位电流为 ±2mA。请勿在此条件下连续工作，因为 V_{DDIO}/V_{DDA} 电压可能会在内部上升并影响其他电气规格。

6.2 ESD 等级 - 商用

			值	单位
采用 100 引脚 PZ 封装的 F280039C、F280039、F280037C、F280037、F280034、F280033				
$V_{(ESD)}$ 静电放电 (ESD)	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)		±2000	V
	充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准 (2)	所有引脚	±500	
		100 引脚 PZ 上的转角引脚：1、25、26、50、51、75、76、100	±750	
采用 80 引脚 PN 封装的 F280039C、F280039、F280037C、F280037、F280034、F280033				
$V_{(ESD)}$ 静电放电 (ESD)	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)		±2000	V
	充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准 (2)	所有引脚	±500	
		80 引脚 PN 上的转角引脚：1、20、21、40、41、60、61、80	±750	
采用 64 引脚 PM 封装的 F280039C、F280039、F280037C、F280037、F280034、F280033				
$V_{(ESD)}$ 静电放电 (ESD)	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)		±2000	V
	充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准 (2)	所有引脚	±500	
		64 引脚 PM 上的转角引脚：1、16、17、32、33、48、49、64	±750	
采用 48 引脚 PT 封装的 F280037C、F280037、F280034、F280033				

Copyright © 2024 Texas Instruments Incorporated

6.2 ESD 等级 - 商用（续）

			值	单位
$V_{(ESD)}$ 静电放电 (ESD)	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)		±2000	V
	充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准(2)	所有引脚	±500	
		48 引脚 PT 上的转角引脚：1、12、13、24、25、36、37、48	±750	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 能够在标准 ESD 控制流程下安全生产。

6.3 ESD 等级 - 汽车

			值	单位
采用 100 引脚 PZ 封装的 F280039C-Q1、F280039-Q1、F280037C-Q1、F280037-Q1				
$V_{(ESD)}$ 静电放电	人体放电模型 (HBM)，符合 AEC Q100-002(1)	所有引脚	±2000	V
	充电器件模型 (CDM)，符合 AEC Q100-011	所有引脚	±500	
		100 引脚 PZ 上的转角引脚：1、25、26、50、51、75、76、100	±750	
F280039C-Q1、F280039-Q1、F280037C-Q1、F280034-Q1、F280033-Q1 采用 80 引脚 PN 封装				
$V_{(ESD)}$ 静电放电	人体放电模型 (HBM)，符合 AEC Q100-002(1)	所有引脚	±2000	V
	充电器件模型 (CDM)，符合 AEC Q100-011	所有引脚	±500	
		80 引脚 PN 上的转角引脚：1、20、21、40、41、60、61、80	±750	
采用 64 引脚 PM 封装的 F280038C-Q1、F280038-Q1、F280036C-Q1、F280036-Q1				
$V_{(ESD)}$ 静电放电	人体放电模型 (HBM)，符合 AEC Q100-002(1)	所有引脚	±2000	V
	充电器件模型 (CDM)，符合 AEC Q100-011	所有引脚	±500	
		64 引脚 PM 上的转角引脚：1、16、17、32、33、48、49、64	±750	
采用 48 引脚 PT 封装的 F280037C-Q1、F280037-Q1、F280034-Q1				
$V_{(ESD)}$ 静电放电	人体放电模型 (HBM)，符合 AEC Q100-002(1)	所有引脚	±2000	V
	充电器件模型 (CDM)，符合 AEC Q100-011	所有引脚	±500	
		48 引脚 PT 上的转角引脚：1、12、13、24、25、36、37、48	±750	

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

6.4 建议运行条件

		最小值	标称值	最大值	单位
器件电源电压，VDDIO 和 VDDA	启用内部 BOR(3)	$V_{BOR-VDDIO}(MAX) + V_{BOR-VDDIO-GB}$ (2)	3.3	3.63	V
	禁用内部 BOR	2.8	3.3	3.63	
器件电源电压，VDD		1.14	1.2	1.32	V
器件接地，VSS			0		V
模拟接地，VSSA			0		V

Copyright © 2024 Texas Instruments Incorporated

6.4 建议运行条件（续）

		最小值	标称值	最大值	单位
SR_{SUPPLY}	电源斜坡速率(4)				
V_{IN}	数字输入电压	VSS – 0.3		VDDIO + 0.3	V
	模拟输入电压	VSSA – 0.3		VDDA + 0.3	V
结温，T_J (1)		-40		150	°C
自然通风温度，T_A		-40		125	°C

(1) 在 T_J = 105°C 以上的温度下长时间运行将缩短器件的使用寿命。更多信息，请参阅*计算嵌入式处理器的有效使用寿命*。
(2) 请参阅*电源管理模块 (PMM)* 部分。
(3) 默认情况下会启用内部 BOR。
(4) 请参阅*电源管理模块运行条件* 表。

6.5 功耗摘要

本小节中列出的电流值仅代表给定的测试条件下的值，而不是可能的绝对最大值。应用中的实际器件电流将随应用代码和引脚配置的不同而变化。节 6.5.1 列出了系统电流消耗值。节 6.5.2 列出了禁用 VREG 时的系统电流消耗。

6.5.1 系统电流消耗

在自然通风条件下的工作温度范围内测得（除非另有说明）。
典型值：V_{nom}，30℃

参数		测试条件	最小值	典型值	最大值	单位
工作模式						
I_{DDIO}	运行期间的 VDDIO 电流消耗	这是典型重负载应用中电流的估算值。实际电流会因系统活动、I/O 电气负载和开关频率而异。这包括启用内部 Vreg 时的内核电源电流。 - CPU 从 RAM 运行 - 闪存上电 - X1/X2 晶体上电 - PLL 被启用，SYSCLK=最大器件频率 - 模拟模块上电 - 输出在没有直流负载的情况下是静态 - 输入为静态高电平或低电平		80	108	mA
I_{DDA}	运行期间的 VDDA 电流消耗			8	17.5	mA
空闲模式						
I_{DDIO}	器件处于空闲模式时的 VDDIO 电流消耗	- CPU 处于空闲模式 - 闪存断电 - PLL 被启用，SYSCLK=最大器件频率，CPUCLK 被选通 - X1/X2 晶体上电 - 模拟模块断电 - 输出在没有直流负载的情况下是静态 - 输入为静态高电平或低电平		30	58	mA
I_{DDA}	器件处于空闲模式时的 VDDA 电流消耗			0.01	0.1	mA
待机模式						

Copyright © 2024 Texas Instruments Incorporated

6.5.1 系统电流消耗（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）。
典型值：V_{nom}，30℃

参数		测试条件	最小值	典型值	最大值	单位
I_{DDIO}	器件处于待机模式时的 VDDIO 电流消耗	- CPU 处于待机模式 - 闪存断电 - PLL 被启用，SYSCLK 和 CPUCLK 会选通 - X1/X2 晶体断电 - 模拟模块断电 - 输出在没有直流负载的情况下是静态 - 输入为静态高电平或低电平		16.5	41	mA
I_{DDA}	器件处于待机模式时的 VDDA 电流消耗			0.01	0.1	mA
停机模式						
I_{DDIO}	器件处于停机模式时的 VDDIO 电流消耗	- CPU 处于 HALT 模式 - 闪存断电 - PLL 被禁用，SYSCLK 和 CPUCLK 被选通 - X1/X2 晶体断电 - 模拟模块断电 - 输出在没有直流负载的情况下是静态 - 输入为静态高电平或低电平		12.5	36	mA
I_{DDA}	器件处于停机模式时的 VDDA 电流消耗			0.01	0.1	mA
闪存擦除/编程						
I_{DDIO}	擦除/编程周期期间的 VDDIO 电流消耗 (1)	- CPU 从 RAM 运行 - 闪存进行连续编程/擦除操作 - PLL 被启用，SYSCLK 为 120MHz。 - 外设时钟被关闭。 - X1/X2 晶体上电 - 模拟器件断电 -输出在没有直流负载的情况下是静态 - 输入为静态高电平或低电平		72	106	mA
I_{DDA}	擦除/编程周期期间的 VDDA 电流消耗			0.1	2.5	mA
复位模式						
I_{DDIO}	复位激活时的 VDDIO 电流消耗(2)			5.8		mA
I_{DDA}	复位激活时的 VDDA 电流消耗(2)			0.1		mA

(1) 闪存编程期间的欠压事件可能会损坏闪存数据并永久锁定器件。使用备用电源（例如 USB 编程器）的编程环境必须能够为器件和其他系统组件提供额定电流，并留有足够的裕度以避免电源欠压情况。
(2) 这是复位激活（即 XRSn 为低电平）时的电流消耗。

6.5.2 系统电流消耗 - 禁用 VREG - 外部电源

在自然通风条件下的工作温度范围内测得（除非另有说明）。
典型值：V_{nom}，30℃

参数	测试条件	最小值	典型值	最大值	单位
工作模式					

Copyright © 2024 Texas Instruments Incorporated

6.5.2 系统电流消耗 - 禁用 VREG - 外部电源（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）。
典型值：V_{nom}，30℃

参数		测试条件	最小值	典型值	最大值	单位
I_{DD}	运行期间的 VDD 电流消耗	这是典型重负载应用中电流的估算值。实际电流会因系统活动、I/O 电气负载和开关频率而异。 - CPU 从 RAM 运行 - 闪存上电 - X1/X2 晶体上电 - PLL 被启用，SYSCLK=最大器件频率 - 模拟模块上电 - 输出在没有直流负载的情况下是静态 - 输入为静态高电平或低电平		73	103.5	mA
I_{DDIO}	运行期间的 VDDIO 电流消耗			4	4.7	mA
I_{DDA}	运行期间的 VDDA 电流消耗			8	17.5	mA
空闲模式						
I_{DD}	器件处于空闲模式时的 VDD 电流消耗	- CPU 处于空闲模式 - 闪存断电 - PLL 被启用，SYSCLK=最大器件频率，CPUCLK 被选通 - X1/X2 晶体上电 - 模拟模块断电 - 输出在没有直流负载的情况下是静态 - 输入为静态高电平或低电平		25	48	mA
I_{DDIO}	器件处于空闲模式时的 VDDIO 电流消耗			1.7	2.2	mA
I_{DDA}	器件处于空闲模式时的 VDDA 电流消耗			0.01	0.1	mA
待机模式						
I_{DD}	器件处于待机模式时的 VDD 电流消耗	- CPU 处于待机模式 - 闪存断电 - PLL 被启用，SYSCLK 和 CPUCLK 会选通 - X1/X2 晶体断电 - 模拟模块断电 - 输出在没有直流负载的情况下是静态 - 输入为静态高电平或低电平		11.6	35	mA
I_{DDIO}	器件处于待机模式时的 VDDIO 电流消耗			1.7	2.3	mA
I_{DDA}	器件处于待机模式时的 VDDA 电流消耗			0.01	0.1	mA
停机模式						
I_{DD}	器件处于停机模式时的 VDD 电流消耗	- CPU 处于 HALT 模式 - 闪存断电 - PLL 被禁用，SYSCLK 和 CPUCLK 被选通 - X1/X2 晶体断电 - 模拟模块断电 - 输出在没有直流负载的情况下是静态 - 输入为静态高电平或低电平		8.5	31	mA
I_{DDIO}	器件处于停机模式时的 VDDIO 电流消耗			0.8	1.2	mA
I_{DDA}	器件处于停机模式时的 VDDA 电流消耗			0.01	0.1	mA
闪存擦除/编程						

Copyright © 2024 Texas Instruments Incorporated

6.5.2 系统电流消耗 - 禁用 VREG - 外部电源（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）。
典型值：V_{nom}，30℃

参数		测试条件	最小值	典型值	最大值	单位
I_{DD}	擦除/编程周期期间的 VDD 电流消耗(1)	- CPU 从 RAM 运行 - 闪存进行连续编程/擦除操作 - PLL 被启用，SYSCLK 为 120MHz。 - 外设时钟被关闭。 - X1/X2 晶体上电 - 模拟器件断电 -输出在没有直流负载的情况下是静态 - 输入为静态高电平或低电平		41	60.5	mA
I_{DDIO}	擦除/编程周期期间的 VDDIO 电流消耗(1)			31	45.5	mA
I_{DDA}	擦除/编程周期期间的 VDDA 电流消耗			0.1	2.5	mA
复位模式						
I_{DD}	复位激活时的 VDD 电流消耗(2)			3.3		mA
I_{DDIO}	复位激活时的 VDDIO 电流消耗(2)			2.2		mA
I_{DDA}	复位激活时的 VDDA 电流消耗(2)			0.1		mA

(1) 闪存编程期间的欠压事件可能会损坏闪存数据并永久锁定器件。使用备用电源（例如 USB 编程器）的编程环境必须能够为器件和其他系统组件提供额定电流，并留有足够的裕度以避免电源欠压情况。
(2) 这是复位激活（即 XRSn 为低电平）时的电流消耗。

Copyright © 2024 Texas Instruments Incorporated

6.5.3 工作模式测试说明

节 6.5.1 和节 6.5.5.1 列出了器件工作模式下的电流消耗值。工作模式下将估算应用可能遇到的流耗。这些测量的测试条件具有以下属性：

- 从 RAM 执行代码。
- 闪存被读取，并保持激活状态。
- I/O 引脚不驱动任何外部元件。
- 所有外设都启用了时钟。
- CPU 正在主动执行代码。
- 所有模拟外设均已通电。ADC 和 DAC 会定期转换。

6.5.4 电流消耗图

下面的图显示了器件频率、温度、电源（VREG 启用）与电流消耗之间关系的典型图示。实际结果将因系统实现情况和具体条件而异。

图 6-2 显示了整个温度和内核电源电压范围内的典型工作电流曲线。图 6-3 显示了整个温度和内核电源电压下的典型空闲电流曲线。图 6-4 显示了整个温度和内核电源电压范围内的典型待机电流曲线。图 6-5 显示了整个温度和内核电源电压范围内的典型停止电流曲线。

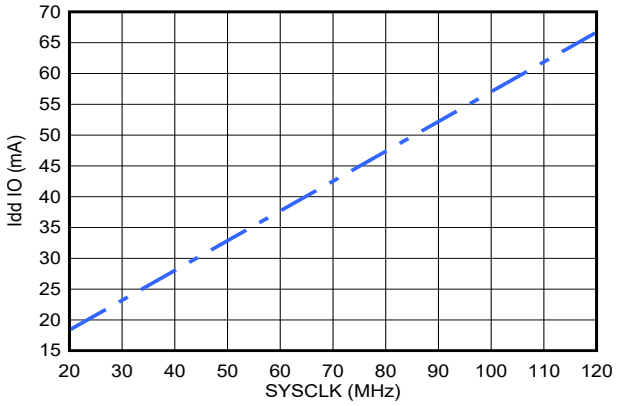


图 6-1. 工作电流与频率间的关系

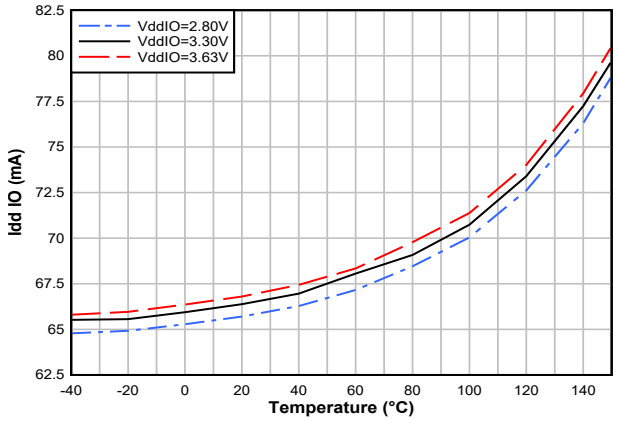


图 6-2. 工作电流与温度间的关系

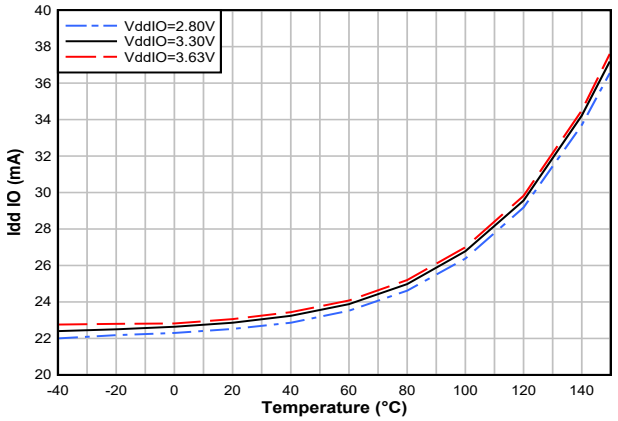


图 6-3. 电流与温度间的关系 – IDLE 模式

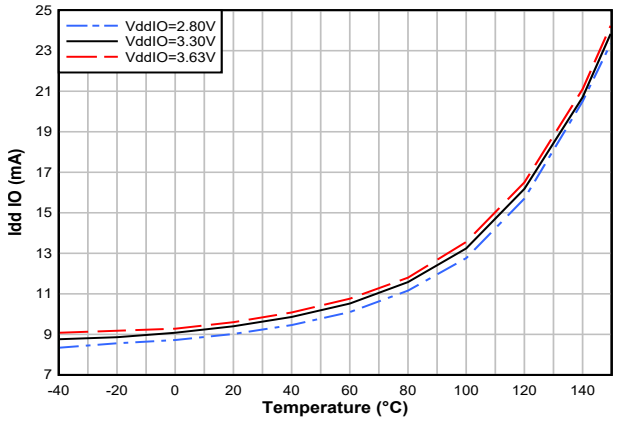


图 6-4. 电流与温度间的关系 – STANDBY 模式

Copyright © 2024 Texas Instruments Incorporated

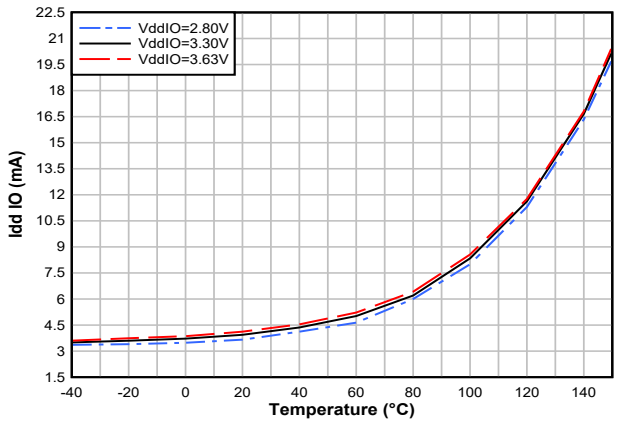


图 6-5. 电流与温度间的关系 – HALT 模式

6.5.5 减少电流消耗

F28003x 器件提供了一些减少器件电流消耗的方法：

- 在应用的空闲期间，可以进入两种低功耗模式中的任何一种：空闲或待机。
- 如果代码从 RAM 中运行，闪存模块可能会断电。
- 禁用假定具有输出功能的引脚上的上拉电阻。
- 每个外设都有一个单独的时钟使能位 (PCLKCRx)。通过关闭给定应用中未使用的任何外设的时钟，可以减少电流消耗。节 6.5.5.1 列出了通过使用 PCLKCRx 寄存器禁用时钟可以实现的电流降低量典型值。
- 为了在 LPM 模式下实现更低的 VDDA 电流消耗，请参阅 *TMS320F28003x 实时微控制器技术参考手册* 中的“模数转换器 (ADC)”一章，确保每个模块也断电。

6.5.5.1 每个禁用外设的典型电流降低

外设	I_{DD} 电流减少 (mA)
ADC(1)	0.73
CLA	0.56
CLA BGCRC	0.42
CLB	1.41
CMPSS(1)	0.33
CPU BGCRC	0.25
CPU 计时器	0.04
GPDAC	0.12
DCAN	1.28
DCC	0.12
DMA	0.57
eCAP1 和 eCAP2	0.08
eCAP3(2)	0.29
ePWM1 至 ePWM4(3)	0.95
ePWM5 至 ePWM8	0.78
ERAD	1.56
eQEP	0.1
FSI RX	0.34
FSI TX	0.27
HIC	0.17
I2C	0.26
LIN	0.35
MCAN (CAN FD)	1.01
PMBUS	0.28
SCI	0.16
SDFM	1.83
SPI	0.08

(1) 此电流代表了每个模块的数字部分汲取的电流。
(2) eCAP3 也可以配置为 HRCAP。
(3) ePWM1 到 ePWM4 也可以配置为 HRPWM。

Copyright © 2024 Texas Instruments Incorporated

6.6 电气特性

在建议运行条件下测得（除非另有说明）

参数			测试条件	最小值	典型值	最大值	单位
数字和模拟 IO							
V_{OH}	高电平输出电压		I_{OH} = I_{OH} MIN	VDDIO * 0.8			V
			I_{OH}=-100 μA	VDDIO – 0.2			
V_{OL}	低电平输出电压		I_{OL}=I_{OL} 最大值			0.4	V
			I_{OL} = 100μA			0.2	
I_{OH}	所有输出引脚的高电平输出源电流			-4			mA
I_{OL}	所有输出引脚的低电平输出灌电流					4	mA
R_{OH}	所有输出引脚的高电平输出阻抗		V_{OH}=VDDIO-0.4V	50	66	96	Ω
R_{OL}	所有输出引脚的低电平输出阻抗		V_{OL} = 0.4V	48	60	84	Ω
V_{IH}	高电平输入电压			2.0			V
V_{IL}	低电平输入电压					0.8	V
$V_{HYSTERESIS}$	输入迟滞			125			mV
$I_{PULLDOWN}$	输入电流	带有下拉的引脚	VDDIO = 3.3V V_{IN} = VDDIO		120		μA
I_{PULLUP}	输入电流	启用上拉的数字输入(1)	VDDIO = 3.3V V_{IN} = 0V		160		μA
$R_{PULLDOWN}$	弱下拉电阻			22	31	62	kΩ
R_{PULLUP}	弱上拉电阻			19	30	54	kΩ，
I_{LEAK}	引脚漏电流	数字输入	上拉和输出被禁用 0V ≤ V_{IN} ≤ VDDIO			0.1	μA
		模拟引脚（ADCINB3/VDAC 除外）	模拟驱动器禁用 0V ≤ V_{IN} ≤ VDDA			0.1	
		ADCINB3/VDAC			0.2	4.4	
C_I	输入电容	数字输入			2		pF
		模拟引脚(2)					
VREG、POR 和 BOR							
VREG、POR、BOR(3)							

(1) 有关带有上拉或下拉的引脚列表，请参阅带有内部上拉和下拉的引脚表。
(2) 模拟引脚是单独指定的；请参阅“ADC 输入模型”部分中的“每通道寄生电容”表。
(3) 请参阅 *电源管理模块 (PMM)* 部分。

Copyright © 2024 Texas Instruments Incorporated

6.7 PZ 封装的热阻特性

		°C/W(1)	气流 (lfm)(2)
$R_{\Theta JC}$	结至外壳热阻	7.6	不适用
$R_{\Theta JB}$	结至电路板热阻	24.2	不适用
$R_{\Theta JA}$（高 k PCB）	结至大气热阻	46.1	0
$R_{\Theta JMA}$	结至流动空气热阻	37.3	150
		34.8	250
		32.6	500
Psi_{JT}	结至封装顶部	0.2	0
		0.4	150
		0.4	250
		0.6	500
Psi_{JB}	结至电路板	23.8	0
		22.8	150
		22.4	250
		21.9	500

(1) 以上值基于 JEDEC 定义的 2S2P 系统（基于 JEDEC 定义的 1S0P 系统的 Theta JC [$R_{\Theta JC}$] 值除外），将随环境和应用的变化而更改。有关更多信息，请参阅以下 EIA/JEDEC 标准：

- JESD51-2, *Integrated Circuits Thermal Test Method Environmental Conditions - Natural Convection (Still Air)*
- JESD51-3, *Low Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-7, *High Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-9, *Test Boards for Area Array Surface Mount Package Thermal Measurements*

(2) lfm = 线性英尺/分钟

Copyright © 2024 Texas Instruments Incorporated

6.8 PN 封装的热阻特性

		°C/W(1)	气流 (lfm)(2)
$R_{\Theta JC}$	结至外壳热阻	14.2	不适用
$R_{\Theta JB}$	结至电路板热阻	21.9	不适用
$R_{\Theta JA}$（高 k PCB）	结至大气热阻	49.9	0
		38.3	150
		36.7	250
		34.4	500
Psi_{JT}	结至封装顶部	0.8	0
		1.18	150
		1.34	250
		1.62	500
Psi_{JB}	结至电路板	21.6	0
		20.7	150
		20.5	250
		20.1	500

(1) 以上值基于 JEDEC 定义的 2S2P 系统（基于 JEDEC 定义的 1S0P 系统的 Theta JC [$R_{\Theta JC}$] 值除外），将随环境和应用的变化而更改。有关更多信息，请参阅以下 EIA/JEDEC 标准：

- JESD51-2, *Integrated Circuits Thermal Test Method Environmental Conditions - Natural Convection (Still Air)*
- JESD51-3, *Low Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-7, *High Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-9, *Test Boards for Area Array Surface Mount Package Thermal Measurements*

(2) lfm = 线性英尺/分钟

Copyright © 2024 Texas Instruments Incorporated

6.9 PM 封装的热阻特性

		°C/W(1)	气流 (lfm)(2)
$R_{\Theta JC}$	结至外壳热阻	12.4	不适用
$R_{\Theta JB}$	结至电路板热阻	25.6	不适用
$R_{\Theta JA}$（高 k PCB）	结至大气热阻	51.8	0
$R_{\Theta JMA}$	结至流动空气热阻	42.2	150
		39.4	250
		36.5	500
Psi_{JT}	结至封装顶部	0.5	0
		0.9	150
		1.1	250
		1.4	500
Psi_{JB}	结至电路板	25.1	0
		23.8	150
		23.4	250
		22.7	500

(1) 以上值基于 JEDEC 定义的 2S2P 系统（基于 JEDEC 定义的 1S0P 系统的 Theta JC [$R_{\Theta JC}$] 值除外），将随环境和应用的变化而更改。有关更多信息，请参阅以下 EIA/JEDEC 标准：

- JESD51-2, *Integrated Circuits Thermal Test Method Environmental Conditions - Natural Convection (Still Air)*
- JESD51-3, *Low Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-7, *High Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-9, *Test Boards for Area Array Surface Mount Package Thermal Measurements*

(2) lfm = 线性英尺/分钟

Copyright © 2024 Texas Instruments Incorporated

6.10 PT 封装的热阻特性

		°C/W(1)	气流 (lfm)(2)
$R_{\Theta JC}$	结至外壳热阻	16.2	不适用
$R_{\Theta JB}$	结至电路板热阻	22.3	不适用
$R_{\Theta JA}$（高 k PCB）	结至大气热阻	56.7	0
		50.4	150
		48.2	250
		45	500
Psi_{JT}	结至封装顶部	0.7	0
		0.94	150
		1.1	250
		1.38	500
Psi_{JB}	结至电路板	22	0
		28.7	150
		28.4	250
		28	500

(1) 以上值基于 JEDEC 定义的 2S2P 系统（基于 JEDEC 定义的 1S0P 系统的 Theta JC [$R_{\Theta JC}$] 值除外），将随环境和应用的变化而更改。有关更多信息，请参阅以下 EIA/JEDEC 标准：

- JESD51-2, *Integrated Circuits Thermal Test Method Environmental Conditions - Natural Convection (Still Air)*
- JESD51-3, *Low Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-7, *High Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-9, *Test Boards for Area Array Surface Mount Package Thermal Measurements*

(2) lfm = 线性英尺/分钟

6.11 散热设计注意事项

根据最终应用设计和运行情况，I_{DD} 和 I_{DDIO} 电流可能有所不同。最终产品中超过建议最大功率耗散的系统可能需要额外的散热增强措施。环境温度 (T_A) 随最终应用和产品设计的不同而不同。影响可靠性和功能性的关键参数是结温 T_J，而不是环境温度。因此，应该注意将 T_J 保持在指定限值内。应该测量 T_{case} 以评估工作结温 T_J。通常在封装顶部表面的中心测量 T_{case}。热应用报告 *半导体和 IC 封装热指标* 有助于理解热指标和相关定义。

Copyright © 2024 Texas Instruments Incorporated

6.12 系统

6.12.1 电源管理模块 (PMM)

6.12.1.1 引言

电源管理模块 (PMM) 可以处理运行器件时所需的所有电源管理功能。

6.12.1.2 概述

在图 6-6 中给出了 PMM 的方框图。可以看出，PMM 包含多个子组件，这些子组件将在后续章节中进行介绍。

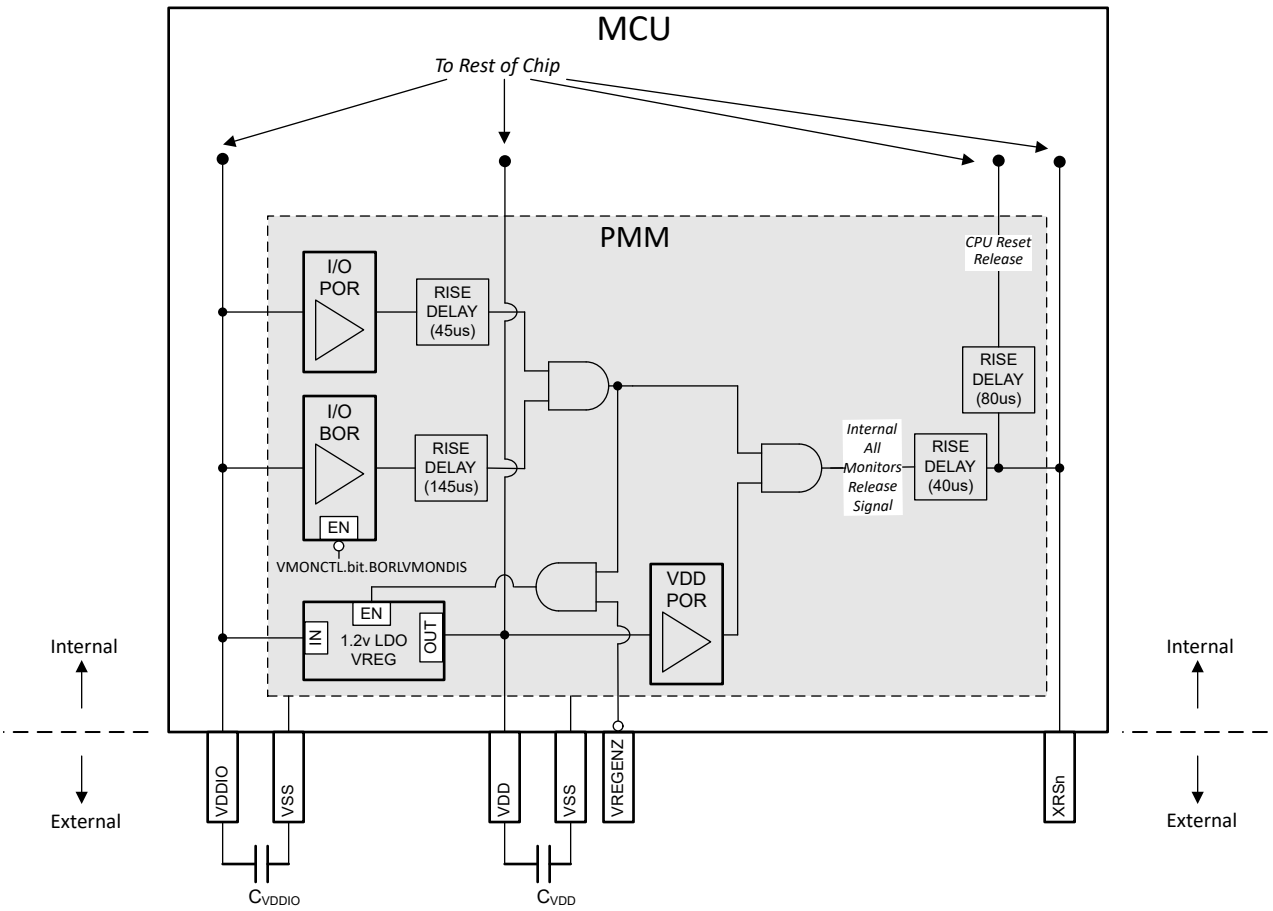


图 6-6. PMM 方框图

6.12.1.2.1 电源轨监视器

PMM 在电源轨上有电压监视器，一旦电压在上电期间超过设定的阈值，XRSn 信号便会释放为高电平。如果任何电压降至编程的电平以下，这些电压监视器还可以使 XRSn 信号跳闸为低电平。后续各节将介绍各种电压监视器。

备注

启动后，并非所有电压监视器都支持在应用中运行器件。在不支持电压监视器的情况下，如果器件在应用运行过程中需要监视电源电压，则建议使用外部监控器。

三个电压监视器（I/O POR、I/O BOR、VDD POR）都必须在器件开始运行（即 XRSn 变为高电平）之前释放各自的输出。但是，如果任何电压监视器跳闸，XRSn 将被驱动为低电平。当任何电压监视器跳闸时，I/O 保持高阻抗。

Copyright © 2024 Texas Instruments Incorporated

6.12.1.2.1.1 I/O POR（上电复位）监视器

I/O POR 监视器会监控 VDDIO 电源轨。在上电期间，这是第一个在 VDDIO 上释放的监视器（即第一个要解除跳闸的监视器）。

6.12.1.2.1.2 I/O BOR（欠压复位）监视器

I/O BOR 监视器还会监控 VDDIO 电源轨。在上电期间，这是第二个在 VDDIO 上释放的监视器（即第二个要解除跳闸的监视器）。与 I/O POR 相比，该监视器具有更严格的容差。

只要电压降至低于建议工作电压，都会导致 I/O BOR 跳闸并复位器件，但可以通过将 VMONCTL.bit.BORLVMONDIS 设置为 1 来禁用该功能。只有在器件完全启动后，才能禁用 I/O BOR。如果 I/O BOR 被禁用，I/O POR 将在电压下降时复位器件。

备注

I/O POR 跳闸的电平远低于 VDDIO 的最小建议电压，因此不应用于器件监控。

图 6-7 所示为 I/O BOR 的工作区域。

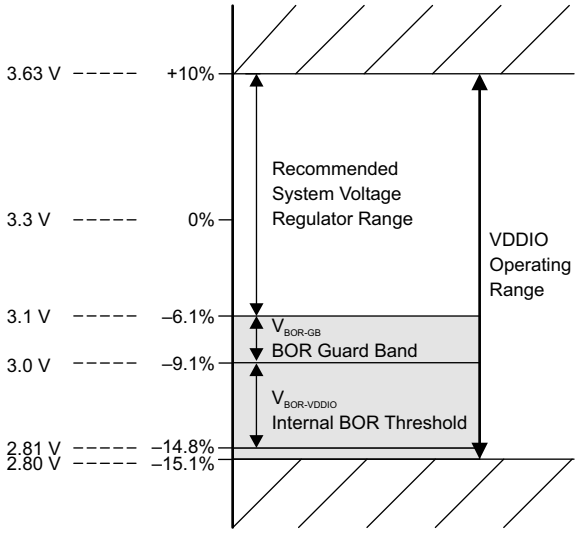


图 6-7. I/O BOR 工作区域

6.12.1.2.1.3 VDD POR（上电复位）监视器

VDD POR 监视器可监控 VDD 电源轨。在上电期间，一旦电压超过 VDD 上编程的跳闸电平，该监视器就会释放（即解除跳闸）。

备注

VDD POR 编程为低于 VDD 最小建议电压的水平，因此，如果应用中需要 VDD 监控，不应该依赖 VDD POR 来进行此监控。

6.12.1.2.2 外部监控器使用情况

VDDIO 监控：I/O BOR 支持应用使用，因此无需外部监控器来监控 I/O 电源轨。

Copyright © 2024 Texas Instruments Incorporated

VDD 监控：

- VDD 由内部 VREG 供电：VDD 电源由 VDDIO 电源提供。VREG 的设计方式使有效的 VDDIO 电源（由 IO BOR 监控）意味着有效的 VDD 电源。
- VDD 由外部电源供电：VDD POR 不支持应用使用。如果应用需要 VDD 监控，则可以使用外部监控器监控 VDD 电源轨。

备注

不支持将外部监控器与内部 VREG 一起使用。如果应用需要 VDD 监控，则必须使用具有 VREGENZ 引脚的封装从外部为 VDD 供电。

6.12.1.2.3 延迟块

电压监控器路径中的延迟块协同工作，以延迟电压监控器和 XRSn 之间的释放时间。当 XRSn 在外部 VREG 模式下释放时，这些延迟旨在确保电压稳定。延迟块仅在上电期间（即，当 VDDIO 和 VDD 斜升时）有效。

延迟块有助于实现电源管理模块电气数据和时序中所指定的电源轨最小压摆率。

备注

方框图中指定的延迟数字是典型值。

6.12.1.2.4 内部 1.2V LDO 稳压器 (VREG)

内部 VREG 由 VDDIO 电源轨供电，并可以生成为 VDD 引脚供电所需的 1.2V 电压。启用它的方法是将 VREGENZ 引脚绑定为低电平。虽然有了内部 VREG 后便不再需要为 VDD 使用外部电源，但 VDD 引脚上仍需要去耦电容器以确保 VREG 稳定性和避免瞬变。有关详细信息，请参阅 *VDD 去耦* 一节。

6.12.1.2.5 VREGENZ

VREGENZ（VREG 禁用）引脚可控制内部 VREG 的状态。要启用内部 VREG，请将 VREGENZ 引脚连接到逻辑低电压。对于从外部为 VDD 供电（外部 VREG）的应用，通过将 VREGENZ 引脚连接至高电平来禁用内部 VREG。

备注

并非所有器件封装都具有 VREGENZ 引脚输出。对于没有 VREGENZ 的封装，不支持外部 VREG 模式。

6.12.1.3 外部元件

6.12.1.3.1 去耦电容器

VDDIO 和 VDD 需要去耦电容器才能正常运行。后续章节将概述这些要求。

6.12.1.3.1.1 VDDIO 去耦

在 VDDIO 上放置最小的去耦电容值。请参阅 C_{VDDIO} 参数（位于电源管理模块电气数据和时序中）。实际使用的去耦电容值取决于驱动 VDDIO 的电源。可接受以下任一配置：

- **配置 1：**根据 C_{VDDIO} 参数在每个 VDDIO 引脚上放置一个去耦电容器。
- **配置 2：**安装等效于 C_{VDDIO} * VDDIO 引脚的单个去耦电容器。

备注

将去耦电容器（一个或多个）靠近器件引脚放置至关重要。

6.12.1.3.1.2 VDD 去耦

在 VDD 上放置最小的去耦电容值。请参阅 C_{VDD} TOTAL 参数（位于电源管理模块电气数据和时序中）。

在外部 VREG 模式下，实际使用的去耦电容值取决于驱动 VDD 的电源。

Copyright © 2024 Texas Instruments Incorporated

可接受以下任一配置：

- **配置 1：**对 VDD 引脚上的 C_{VDD} TOTAL 值执行除法运算。
- **配置 2：**安装一个容值为 C_{VDD} TOTAL 的去耦电容器。

备注

将去耦电容器（一个或多个）靠近器件引脚放置至关重要。

6.12.1.4 电源时序

6.12.1.4.1 电源引脚联动

强烈建议将所有 3.3V 电源轨连接在一起并由单个电源供电。该列表包括：

- VDDIO
- VDDA

此外，连接所有电源引脚以避免任何未连接的情况。

在外部 VREG 模式下，VDD 引脚应连接在一起并由单个电源供电。

在内部 VREG 模式下，将 VDD 引脚连接在一起是可选操作，只要每个 VDD 引脚上都有一个电容器连接到引脚即可。请参阅 *VDD 去耦* 一节以了解 VDD 去耦配置。

器件上的模拟模块具有相当高的 PSRR；因此，在大多数情况下，VDDA 上的噪声必须超过电源轨的建议运行条件之后，模拟模块才会出现性能下降。因此，单独为 VDDA 供电带来的好处通常微乎其微。然而，为了改善噪声，一种可接受的做法是在 VDDIO 和 VDDA 之间放置一个 π 型滤波器。

备注

每个电源轨的所有电源引脚在内部连接在一起。例如，所有 VDDIO 引脚在内部连接在一起，所有 VDD 引脚在内部连接在一起，以此类推。

6.12.1.4.2 信号引脚电源序列

在给器件供电之前，请勿向任何数字引脚施加比 VDDIO 高 0.3V 或比 VSS 低 0.3V 的电压，也不得向任何模拟引脚施加比 VDDA 高 0.3V 或比 VSSA 低 0.3V 的电压（包括 VREFHI 和 VDAC）。简单地说，只应在 XRSn 变为高电平后驱动信号引脚，且前提是所有 3.3V 电源轨连接在一起。即使 VDDIO 和 VDDA 未连接在一起，仍需要进行此时序控制。

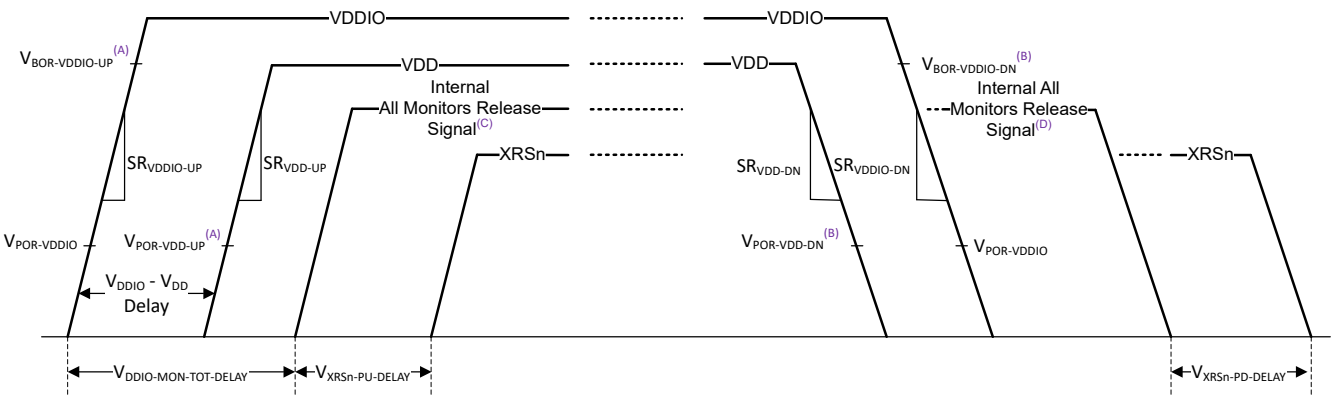
小心

如果违反上述序列，则可能会发生器件故障，甚至可能造成损坏，因为电流将流经器件中的意外寄生路径。

6.12.1.4.3 电源引脚电源序列

6.12.1.4.3.1 外部 VREG/VDD 模式序列

图 6-8 展示了外部 VREG 模式的电源时序控制要求。所有参数的值可在电源管理模块电气数据和时序中找到。



A. 该跳闸点是 XRSn 释放之前的跳闸点。请参阅“电源管理模块特性”表。
B. 该跳闸点是 XRSn 释放之后的跳闸点。请参阅“电源管理模块特性”表。
C. 上电期间，所有监视器释放信号在所有 POR 和 BOR 监控器释放后变为高电平。请参阅 PMM 方框图。
D. 在断电期间，如果任何 POR 或 BOR 监视器跳闸，所有监视器释放信号都会变为低电平。请参阅 PMM 方框图。

图 6-8. 外部 VREG 上电序列

- **在上电期间：**
  1. VDDIO（即 3.3V 电源轨）应首先以指定的最小压摆率出现。
  2. VDD（即 1.2V 电源轨）应其次以指定的最小压摆率出现。
  3. 还指定了 VDDIO 电源轨和 VDD 电源轨出现时间之间的时间差。
  4. 在 $V_{DDIO-MON-TOT-DELAY}$ 和 $V_{XRSN-PD-DELAY}$ 指定的时间之后，XRSn 将被释放，并且器件会启动启动序列。

     在 XRSn 释放（即变为高电平）和启动序列之间还有额外的延迟。请参阅图 6-6。
  5. I/O BOR 监视器在上电和断电期间具有不同的释放点。
  6. 在上电期间，VDDIO 和 VDD 电源轨都必须在 XRSn 释放之前启动。
- **在掉电期间：**
  1. 对 VDDIO 和 VDD 中哪个应先断电没有要求；但是，有最小压摆率规格。
  2. I/O BOR 监视器在上电和断电期间具有不同的释放点。
  3. 在断电期间跳闸的任何 POR 或 BOR 监视器都会导致 XRSn 在 $V_{XRSN-PD-DELAY}$ 之后变为低电平。

备注

所有监控器释放信号 是一个内部信号。

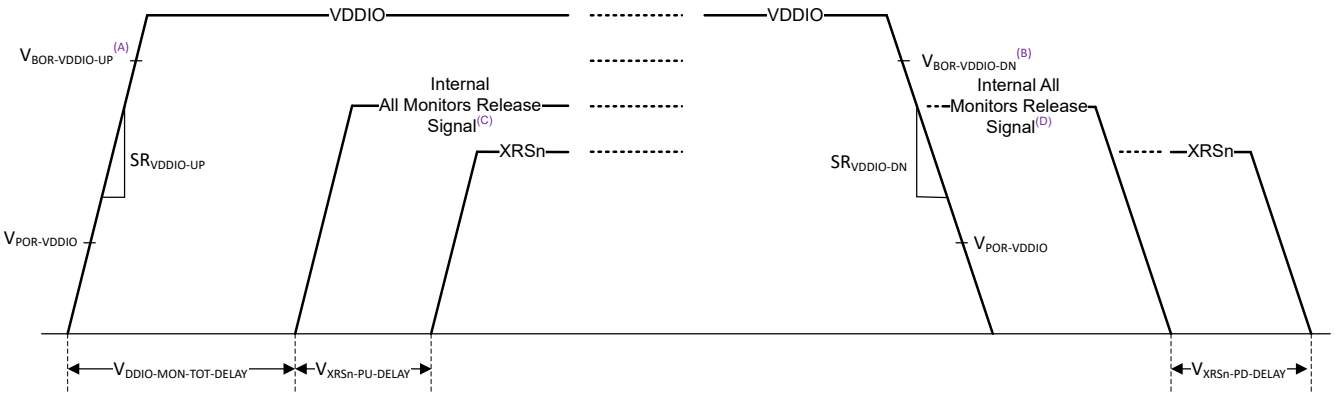
备注

如果有一个驱动 XRSn 的外部电路（例如，监控器），在所有内部和外部源释放 XRSn 引脚之前，启动序列不会开始。

6.12.1.4.3.2 内部 VREG/VDD 模式序列

图 6-9 展示了内部 VREG 模式的电源时序控制要求。所有所示参数的值均可在电源管理模块电气数据和时序中找到。

Copyright © 2024 Texas Instruments Incorporated



A. 该跳闸点是 XRSn 释放之前的跳闸点。请参阅“电源管理模块特性”表。
B. 该跳闸点是 XRSn 释放之后的跳闸点。请参阅“电源管理模块特性”表。
C. 上电期间，所有监视器释放信号在所有 POR 和 BOR 监控器释放后变为高电平。请参阅 PMM 方框图。
D. 在断电期间，如果任何 POR 或 BOR 监视器跳闸，所有监视器释放信号都会变为低电平。请参阅 PMM 方框图。

图 6-9. 内部 VREG 上电序列

- **在上电期间：**
  1. VDDIO（即 3.3V 电源轨）应提供指定的最小压摆率。
  2. 在释放 I/O 监视器（I/O POR 和 I/O BOR）后，内部 VREG 将上电。
  3. 在 $V_{DDIO-MON-TOT-DELAY}$ 和 $V_{XRSN-PU-DELAY}$ 指定的时间过后，XRSn 将被释放，并且器件的启动序列将开始。

     在 XRSn 释放（即变为高电平）和启动序列开始之间有额外的延迟。请参阅图 6-6。
  4. I/O BOR 监视器在上电和断电期间具有不同的释放点。
- **在断电期间：**
  1. 在断电期间对 VDDIO 的唯一要求是压摆率。
  2. I/O BOR 监视器在上电和断电期间具有不同的释放点。
  3. I/O BOR 跳闸将导致 XRSn 在 $V_{XRSN-PD-DELAY}$ 之后变为低电平，并使内部 VREG 断电。

备注

所有监视器释放信号 是一个内部信号。

备注

如果有一个驱动 XRSn 的外部电路（例如，监控器），在所有内部和外部源释放 XRSn 引脚之前，启动序列不会开始。

6.12.1.4.3.3 电源时序摘要和违规影响

电源轨的可接受上电序列汇总如下。此处的“上电”表示相关电源轨已达到建议的最低工作电压。

小心

不可接受的序列会导致可靠性问题并可能导致损坏。

为简单起见，建议将所有 3.3V 电源轨连接在一起，并按照电源引脚电源序列中的说明进行操作。

表 6-1. 外部 VREG 序列摘要

情形	电源轨上电顺序			可接受
	VDDIO	VDDA	VDD	
A	1	2	3	是
B	1	3	2	是

Copyright © 2024 Texas Instruments Incorporated

表 6-1. 外部 VREG 序列摘要（续）

情形	电源轨上电顺序			可接受
	VDDIO	VDDA	VDD	
C	2	1	3	-
D	2	3	1	-
E	3	2	1	-
F	3	1	2	-
G	1	1	2	是
H	2	2	1	-

表 6-2. 内部 VREG 序列摘要

情形	电源轨上电顺序		可接受
	VDDIO	VDDA	
A	1	2	是
B	2	1	-
C	1	1	是

备注

应当仅在 VDDA 达到建议的最低工作电压后才为器件上的模拟模块供电。

6.12.1.4.3.4 电源压摆率

VDDIO 有最低压摆率要求。如果不满足最低压摆率要求，XRSn 可能会切换几次，直到 VDDIO 越过 I/O BOR 区域。

备注

XRSn 上的切换操作对器件没有不利影响，因为只有当 XRSn 稳定为高电平时才会开始引导。但是，如果使用器件的 XRSn 来选通其他 IC 的复位信号，则应满足压摆率要求以防止这种切换。

VDD 在外部 VREG 模式下具有最低压摆率要求。如果未满足最小转换率，则 VDD POR 可能会在满足 VDD 最低工作电压之前释放，并且器件可能无法在正确的复位状态下启动。

Copyright © 2024 Texas Instruments Incorporated

6.12.1.5 电源管理模块电气数据和时序

6.12.1.5.1 电源管理模块运行条件

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
通用						
C_{VDDIO} (1) (2)	每个引脚的 VDDIO 电容(7)		0.1			µF
C_{VDDA} (1) (2)	每个引脚的 VDDA 电容(7)		2.2			µF
$SR_{VDDIO-UP}$ (3)	3.3V 电源轨 (VDDIO) 的电源斜升速率		8		100	mV/µs
$SR_{VDDIO-DN}$ (3)	3.3V 电源轨 (VDDIO) 的电源斜降速率		20		100	mV/µs
$V_{BOR-VDDIO-GB}$ (5)	VDDIO 欠压复位电压保护带			0.1		V
外部 VREG						
$C_{VDD\ TOTAL}$ (1) (4)	总 VDD 电容(7)		10			µF
SR_{VDD-UP} (3)	1.2V 电源轨 (VDD) 的电源斜升速率		3.5		100	mV/µs
SR_{VDD-DN} (3)	1.2V 电源轨 (VDD) 的电源斜降速率		10		100	mV/µs
V_{DDIO} - V_{DD} 延迟(6)	VDDIO 和 VDD 之间的斜坡延迟		0		无限制	µs
内部 VREG						
$C_{VDD\ TOTAL}$ (4)	总 VDD 电容(7)		10		26.8	µF

(1) 去耦电容的确切值取决于为这些引脚供电的系统电压调节解决方案。
(2) 建议将 3.3V 电压轨（VDDIO、VDDA）连接在一起并由单电源供电。
(3) 请参阅 *电源压摆率* 一节。电源斜坡速率高于最大值会触发片上 ESD 保护。
(4) 请参阅 *电源管理模块 (PMM)* 一节，了解总去耦电容的可能配置。
(5) TI 建议使用 $V_{BOR-VDDIO-GB}$，避免由于正常电源噪声或 3.3V VDDIO 系统稳压器上的负载瞬态事件而导致 BOR-VDDIO 复位。要防止在器件正常运行期间激活 BOR-VDDIO，良好的系统稳压器设计和去耦电容（符合系统稳压器规格）非常重要。$V_{BOR-VDDIO-GB}$ 的值是一个系统级设计注意事项；此处列出的电压是许多应用的典型值。
(6) 3.3V 电源轨斜升时和 1.2V 电源轨斜升时之间的延迟。请参阅 *VREG 序列摘要* 表，了解允许的电源斜坡序列。
(7) 最大电容器容差应为 20%。

6.12.1.5.2 电源管理模块特征

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
V_{VREG}	内部稳压器输出		1.14	1.2	1.32	V
$V_{VREG-PU}$	内部稳压器上电时间				350	µs
$V_{VREG-INRUSH}$ (5)	内部稳压器浪涌电流			650		mA
$V_{POR-VDDIO}$	VDDIO 上电复位电压	XRSn 释放之前和之后		2.3		V
$V_{BOR-VDDIO-UP}$ (1)	斜升时的 VDDIO 欠压复位电压	XRSn 释放之前		2.7		V
$V_{BOR-VDDIO-DN}$ (1)	斜降时的 VDDIO 欠压复位电压	XRSn 释放之后	2.81		3.0	V
$V_{POR-VDD-UP}$ (2)	斜升时的 VDD 上电复位电压	XRSn 释放之前		1		V
$V_{POR-VDD-DN}$ (2)	斜降时的 VDD 上电复位电压	XRSn 释放之后		1		V

Copyright © 2024 Texas Instruments Incorporated

6.12.1.5.2 电源管理模块特征（续）

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
$V_{XRSn-PU-DELAY}$ (3)	上电期间电源斜升后的 XRSn 释放延迟	这是最后的延迟		40		μs
$V_{XRSn-PD-DELAY}$ (4)	断电期间电源斜降后的 XRSn 跳闸延迟			2		μs
$V_{DDIO-MON-TOT-DELAY}$	VDDIO 监视器（POR、BOR）路径中的总延迟			145		μs
$V_{XRSn-MON-RELEASE-DELAY}$	VDD POR 事件之后的 XRSn 释放延迟	电源处于工作范围内		40		μs
	VDDIO BOR 之后的 XRSn 释放延迟			140		μs
	VDDIO POR 事件之后的 XRSn 释放延迟			185		μs

(1) 请参阅*电源电压*图。
(2) $V_{POR-VDD}$ 不受支持，它设置为在低于建议运行条件的电平跳闸。如果需要监视 VDD，则需要一个外部监控器。
(3) 电源在越过相应电源轨的最低建议运行条件后被视为完全斜升。在该延迟生效之前，需要释放所有 POR 和 BOR 监视器。RC 网络延迟将与该延迟相加。
(4) 断电时，任何跳闸的 POR 或 BOR 监视器都会立即使 XRSn 跳闸。该延迟是任何 POR、BOR 监视器跳闸和 XRSn 变为低电平之间的时间。该延迟是变量，取决于电源的斜降速率。RC 网络延迟将与该延迟相加。
(5) 这是内部 VREG 导通时在 VDDIO 电源轨上汲取的瞬态电流。因此，当 VREG 导通时，VDDIO 电源轨上可能会出现一些压降，这可能导致 VREG 逐步斜升。这不会对器件产生不利影响，但如果需要，可以通过在 VDDIO 上使用足够的去耦电容器或选择能够提供此瞬态电流的 LDO 或直流/直流稳压器来降低影响。

电源电压

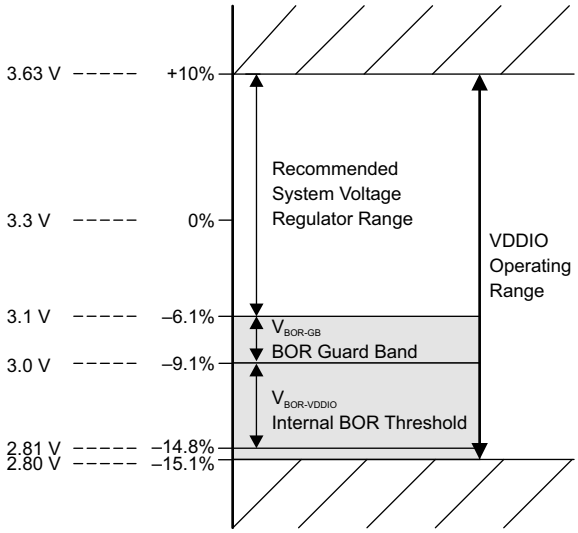


图 6-10. 电源电压

Copyright © 2024 Texas Instruments Incorporated

6.12.2 复位时序

XRSn 是器件复位引脚。它用作输入和漏极开路输出。该器件内置上电复位 (POR) 和欠压复位 (BOR) 监控器。在上电期间，监控器电路会将 XRSn 引脚保持为低电平。有关更多详细信息，请参阅*电源管理模块 (PMM)* 部分。看门狗或 NMI 看门狗复位也会驱动引脚至低电平。外部开漏电路可以驱动该引脚，从而使器件复位生效。

应在 XRSn 和 VDDIO 之间放置一个阻值为 2.2kΩ 至 10kΩ 的电阻。应在 XRSn 和 VSS 之间放置一个电容器进行噪声滤除；电容应为 100nF 或更小。当看门狗复位生效时，这些值允许看门狗在 512 个 OSCCLK 周期内正确地将 XRSn 引脚驱动至 V_{OL}。图 6-11 显示了推荐的复位电路。

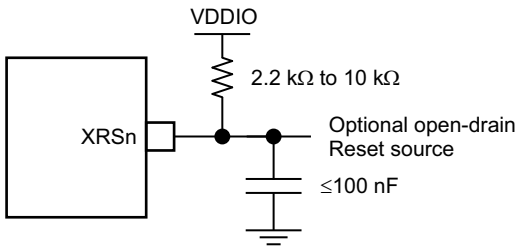


图 6-11. 复位电路

6.12.2.1 复位源

“复位信号”表总结了各种复位信号及其对器件的影响。

表 6-3. 复位信号

复位源	CPU 内核复位（C28x、FPU、TMU）	外设复位	JTAG/调试逻辑复位	IOs	$\overline{\text{XRS}}$ 输出
POR	是	是	是	高阻态	是
BOR	是	是	是	高阻态	是
$\overline{\text{XRS}}$ 引脚	是	是	否	高阻态	-
$\overline{\text{WDRS}}$	是	是	否	高阻态	是
$\overline{\text{NMIWDRS}}$	是	是	否	高阻态	是
$\overline{\text{SYSRS}}$（调试器复位）	是	是	否	高阻态	否
$\overline{\text{SCCRESET}}$	是	是	否	高阻态	否
SIMRESET。$\overline{\text{XRS}}$	是	是	否	高阻态	是
SIMRESET。$\overline{\text{CPU1RS}}$	是	是	否	高阻态	否
$\overline{\text{HWBISTRS}}$	是	否	否	否	否

参数 $t_{h(boot-mode)}$ 必须考虑从这些来源启动的复位。

请参阅 *TMS320F28003x 实时微控制器技术参考手册* 中“系统控制”一章的“复位”一节。

小心

有些复位源由器件内部驱动。其中一些源会将 XRSn 驱动为低电平，用于禁用驱动引导引脚的任何其他器件。SCCRESET 和调试器复位源不会驱动 XRSn；因此，用于引导模式的引脚不应由系统中的其他器件主动驱动。引导配置规定可更改 OTP 中的引导引脚。

Copyright © 2024 Texas Instruments Incorporated

6.12.2.2 复位电气数据和时序

6.12.2.2.1 复位 - XRSn - 时序要求

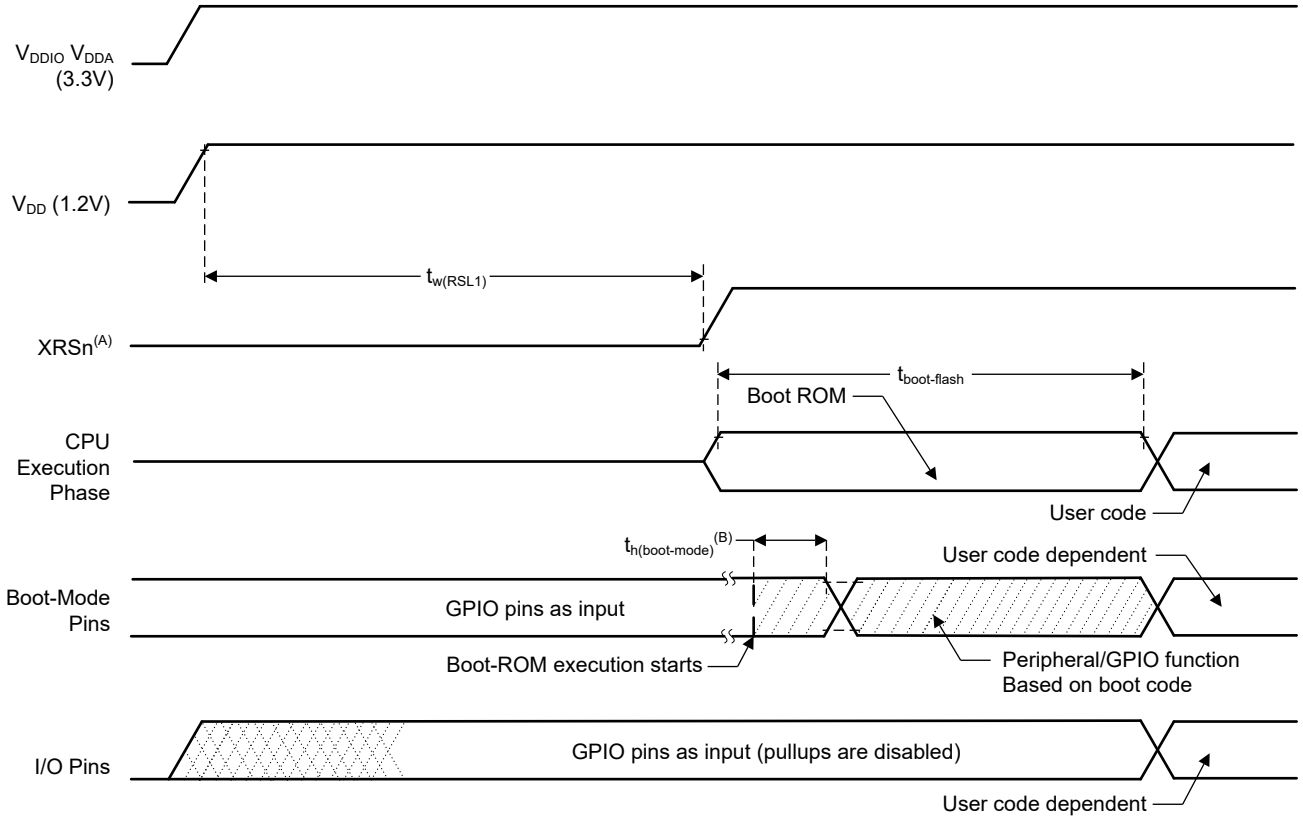
		最小值	最大值	单位
$t_{h(引导模式)}$	引导模式引脚的保持时间	1.5		ms
$t_{w(RSL2)}$	脉冲持续时间，热复位时 XRSn 处于低电平	3.2		μs

6.12.2.2.2 复位 - XRSn - 开关特性

在建议运行条件下测得（除非另有说明）

参数		最小值	典型值	最大值	单位
$t_{w(RSL1)}$	脉冲持续时间，XRSn 在电源稳定后由器件驱动为低电平		100		μs
$t_{w(WDRS)}$	脉冲持续时间，由看门狗生成的复位脉冲		$512t_{c(OSCCLK)}$		周期
$t_{boot-flash}$	在闪存中第一次取指令之前的引导 ROM 执行时间			1.2	ms

6.12.2.2.3 复位时序图

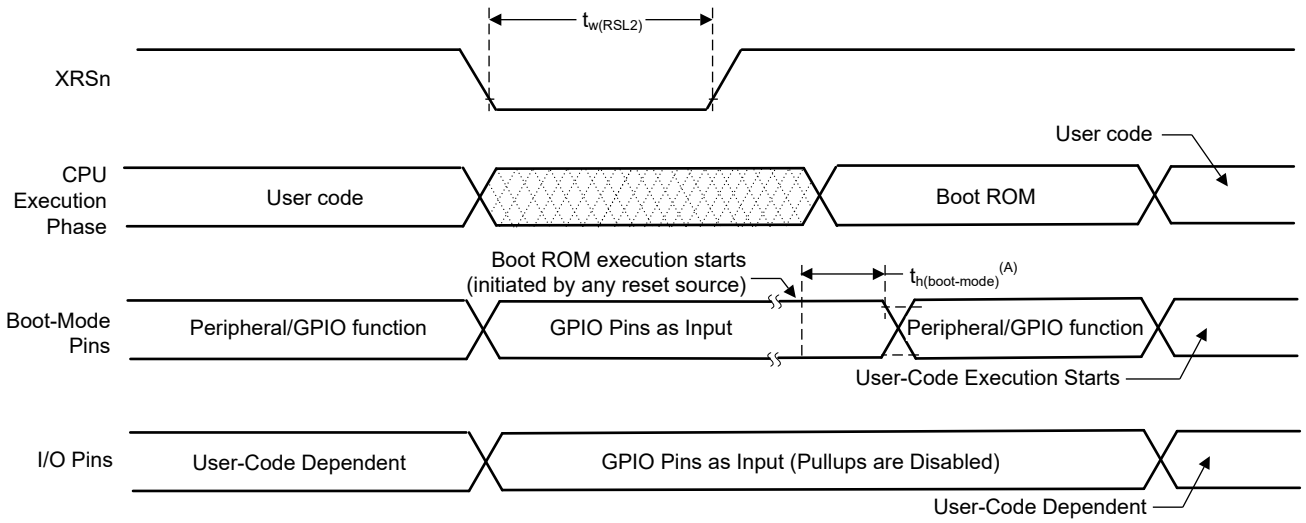


A. XRSn 引脚可以由监控器或外部上拉电阻从外部驱动，请参阅“引脚属性”表。片上监控器将保持该引脚为低电平，直到电源处于有效范围内。

B. 从任何源（参阅“复位源”部分）复位后，引导 ROM 代码将对引导模式引脚进行采样。基于引导模式引脚的状态，引导代码分支到目的内存或者引导代码功能。如果引导 ROM 代码在上电条件后（在调试程序环境中）执行，则引导代码执行时间基于当前的 SYSCLK 速度。SYSCLK 将基于用户环境，可以启用或不启用 PLL 。

图 6-12. 上电复位

Copyright © 2024 Texas Instruments Incorporated



A. 从任何源（参阅“复位源”部分）复位后，引导 ROM 代码将对引导模式引脚进行采样。基于引导模式引脚的状态，引导代码分支到目的内存或者引导代码功能。如果引导 ROM 代码在上电条件后（在调试程序环境中）执行，则引导代码执行时间基于当前的 SYSCLK 速度。SYSCLK 将基于用户环境，可以启用或不启用 PLL 。

图 6-13. 热复位

Copyright © 2024 Texas Instruments Incorporated

6.12.3 时钟规格

6.12.3.1 时钟源

表 6-4. 可能的基准时钟源

时钟源	说明
INTOSC1	内部振荡器 1。 零引脚开销 10MHz 内部振荡器。
INTOSC2(1)	内部振荡器 2。 零引脚开销 10MHz 内部振荡器。
X1 (XTAL)	X1 和 X2 引脚之间连接的外部晶体或谐振器，或连接到 X1 引脚的单端时钟。

(1) 复位时，内部振荡器 2 (INTOSC2) 为 PLL (OSCCLK) 的默认时钟源。

Copyright © 2024 Texas Instruments Incorporated

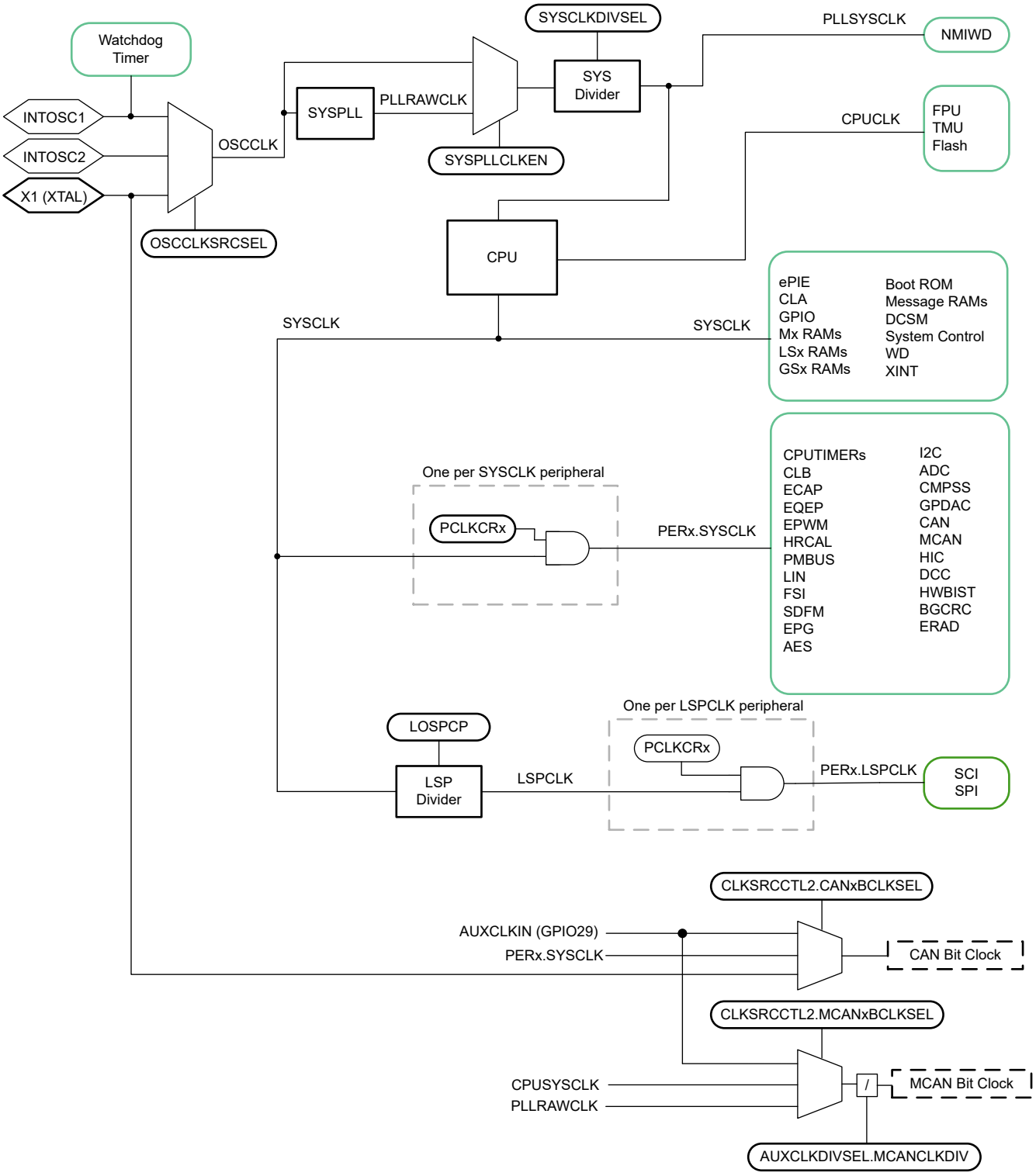

Watchdog Timer
INTOSC1
INTOSC2
X1 (XTAL)
OSCCLK
OSCCLKSRCSEL
SYSPLL
PLLRAWCLK
SYSPLLCLKEN
SYSCLKDIVSEL
SYS Divider
PLLSYSCLK
NMIWD
CPUCLK
FPU
TMU
Flash
CPU
SYSCLK
SYSCLK
ePIE
CLA
GPIO
Mx RAMs
LSx RAMs
GSx RAMs
Boot ROM
Message RAMs
DCSM
System Control
WD
XINT
One per SYSCLK peripheral
PCLKCRx
PERx.SYSCLK
CPUTIMERs
CLB
ECAP
EQEP
EPWM
HRCAL
PMBUS
LIN
FSI
SDFM
EPG
AES
I2C
ADC
CMPSS
GPDAC
CAN
MCAN
HIC
DCC
HWBIST
BGCRC
ERAD
One per LSPCLK peripheral
LOSPCP
LSP Divider
LSPCLK
PCLKCRx
PERx.LSPCLK
SCI
SPI
CLKSRCCTL2.CANxBCLKSEL
AUXCLKIN (GPIO29)
PERx.SYSCLK
CAN Bit Clock
CLKSRCCTL2.MCANxBCLKSEL
CPUSYSCLK
PLLRAWCLK
/
MCAN Bit Clock
AUXCLKDIVSEL.MCANCLKDIV

图 6-14. 时钟系统

SYSPLL

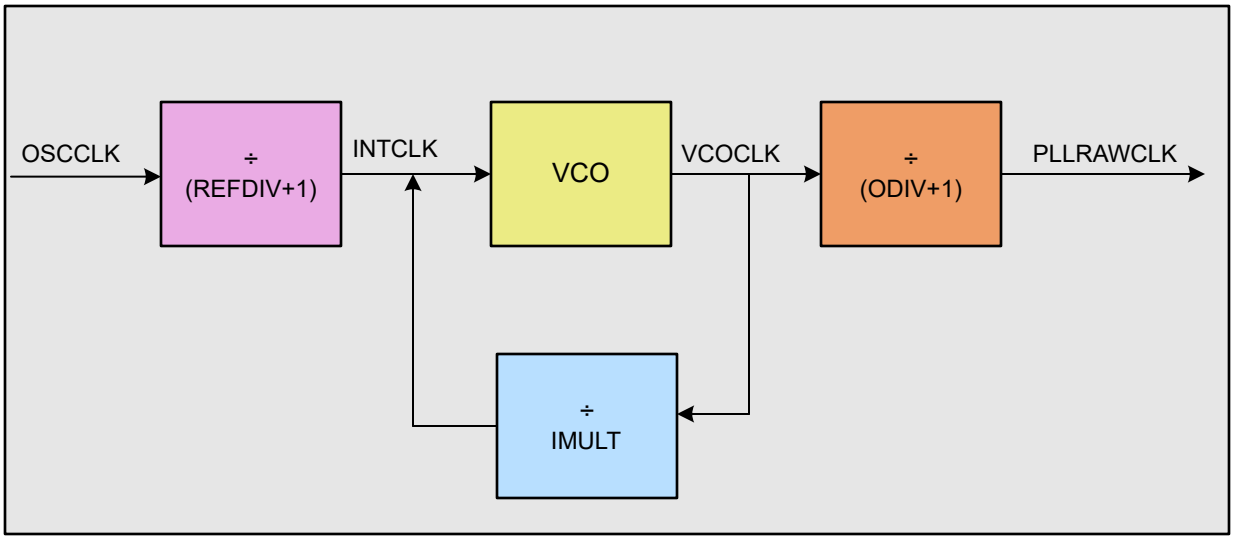


图 6-15. 系统 PLL

在*系统 PLL* 图中，

$$f_{PLLRAWCLK} = \frac{f_{OSCCLK}}{(REFDIV + 1)} \times \frac{IMULT}{(ODIV + 1)} \quad (1)$$

Copyright © 2024 Texas Instruments Incorporated

6.12.3.2 时钟频率、要求和特性

本节提供了输入时钟的频率和时序要求、PLL 锁定时间、内部时钟的频率以及输出时钟的频率和开关特性。

6.12.3.2.1 输入时钟频率和时序要求，PLL 锁定时间

6.12.3.2.1.1 输入时钟频率

		最小值	最大值	单位
$f_{(XTAL)}$	频率，X1/X2，来自外部晶体或谐振器	10	20	MHz
$f_{(X1)}$	频率，X1，来自外部振荡器	10	25	MHz
$f_{(AUXI)}$	频率，AUXCLKIN，来自外部振荡器	10	60	MHz

6.12.3.2.1.2 XTAL 振荡器特征

在建议运行条件下测得（除非另有说明）

参数		最小值	典型值	最大值	单位
X1 V_{IL}	有效低电平输入电压（比较器）	-0.3		0.3 * VDDIO	V
X1 V_{IH}	有效高电平输入电压（比较器）	0.7 * VDDIO		VDDIO + 0.3	V

6.12.3.2.1.3 使用外部时钟源（非晶体）时的 X1 输入电平特性

在建议运行条件下测得（除非另有说明）

参数		最小值	最大值	单位
X1 V_{IL}	有效低电平输入电压（缓冲器）	-0.3	0.3 * VDDIO	V
X1 V_{IH}	有效高电平输入电压（缓冲器）	0.7 * VDDIO	VDDIO + 0.3	V

6.12.3.2.1.4 X1 时序要求

		最小值	最大值	单位
$t_{f(X1)}$	下降时间，X1		6	ns
$t_{r(X1)}$	上升时间，X1		6	ns
$t_{w(X1L)}$	脉冲持续时间，X1 低电平占 $t_{c(X1)}$ 的百分比	45%	55%	
$t_{w(X1H)}$	脉冲持续时间，X1 高电平占 $t_{c(X1)}$ 的百分比	45%	55%	

6.12.3.2.1.5 AUXCLKIN 时序要求

		最小值	最大值	单位
$t_{f(AUXI)}$	下降时间，AUXCLKIN		6	ns
$t_{r(AUXI)}$	上升时间，AUXCLKIN		6	ns
$t_{w(AUXL)}$	脉冲持续时间，AUXCLKIN 低电平占 $t_{c(XCI)}$ 的百分比	45%	55%	
$t_{w(AUXH)}$	脉冲持续时间，AUXCLKIN 高电平占 $t_{c(XCI)}$ 的百分比	45%	55%	

6.12.3.2.1.6 APLL 特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数	最小值	典型值	最大值	单位
PLL 锁定时间				
SYS PLL 锁定时间(1)			5µs + (1024 * (REFDIV + 1) * $t_{c(OSCCLK)}$)	µs

(1) 此处的 PLL 锁定时间定义了 PLL 启用 (SYSPLLCTL1[PLLENA]=1) 后 PLL 锁定所需的典型时间。此处未考虑使用双路钟比较器 (DCC) 验证 PLL 时钟的额外时间。TI 建议使用 C2000Ware 的最新示例软件来初始化 PLL。对于系统 PLL，请参阅 InitSysPll() 或 SysCtl_setClock()。

Copyright © 2024 Texas Instruments Incorporated

6.12.3.2.1.7 XCLKOUT 开关特性 - 旁路或启用 PLL

在建议运行条件下测得（除非另有说明）

参数(1)		最小值	最大值	单位
$t_{f(XCO)}$	下降时间，XCLKOUT		5	ns
$t_{r(XCO)}$	上升时间，XCLKOUT		5	ns
$t_{w(XCOL)}$	脉冲持续时间，XCLKOUT 低电平	H – 2(2)	H + 2(2)	ns
$t_{w(XCOH)}$	脉冲持续时间，XCLKOUT 高电平	H – 2(2)	H + 2(2)	ns
$f_{(XCO)}$	频率，XCLKOUT		50	MHz

(1) 假定这些参数有 40pF 的负载。
(2) $H = 0.5t_{c(XCO)}$

6.12.3.2.1.8 内部时钟频率

		最小值	标称值	最大值	单位
$f_{(SYSCLK)}$	频率，器件（系统）时钟	2		120	MHz
$t_{c(SYSCLK)}$	周期，器件（系统）时钟	8.33		500	ns
$f_{(INTCLK)}$	频率，系统 PLL 输入 VCO（在 REFDIV 之后）	2		20	MHz
$f_{(VCOCLK)}$	频率，系统 PLL VCO（在 ODIV 之前）	220		600	MHz
$f_{(PLLRAWCLK)}$	频率，系统 PLL 输出（在 SYSCLK 分频器之前）	6		240	MHz
$f_{(PLL)}$	频率，PLLSYSCLK	2		120	MHz
$f_{(PLL_LIMP)}$	频率，PLL 跛行频率(1)		45/(ODIV+1)		MHz
$f_{(LSP)}$	频率，LSPCLK	2		120	MHz
$t_{c(LSPCLK)}$	周期，LSPCLK	8.33		500	ns
$f_{(OSCCLK)}$	频率，OSCCLK（INTOSC1、INTOSC2、XTAL 或 X1）		参阅各自的时钟		MHz
$f_{(EPWM)}$	频率，EPWMCLK			120	MHz
$f_{(HRPWM)}$	频率，HRPWMCLK	60		120	MHz

(1) OSCCLK 无效时的 PLL 输出频率（OSCCLK 丢失导致 PLL 变为跛行模式）。

Copyright © 2024 Texas Instruments Incorporated

6.12.3.3 输入时钟和 PLL

除了内部 0 引脚振荡器外，还支持三种类型的外部时钟源：

- 单端 3.3V 外部时钟。时钟信号应连接到 X1（如图 6-16 所示），且 XTALCR.SE 位设置为 1。
- 外部晶体。如图 6-17 所示，晶体应连接在 X1 和 X2 之间，其负载电容器连接至 VSS。
- 外部谐振器。如图 6-18 所示，谐振器应连接在 X1 和 X2 之间，且其接地端连接至 VSS。

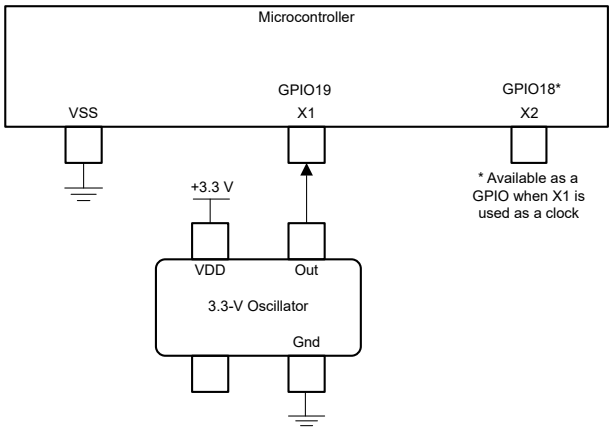


图 6-16. 单端 3.3V 外部时钟

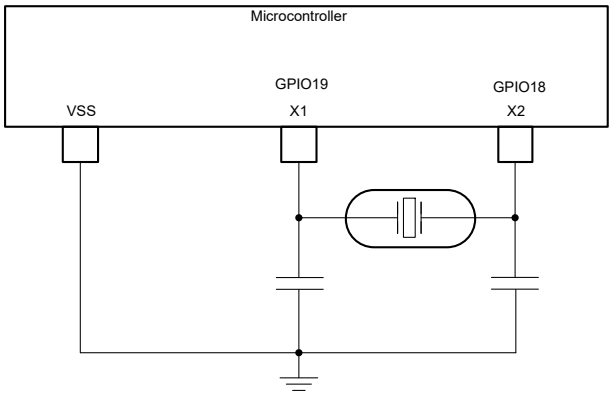


图 6-17. 外部晶体

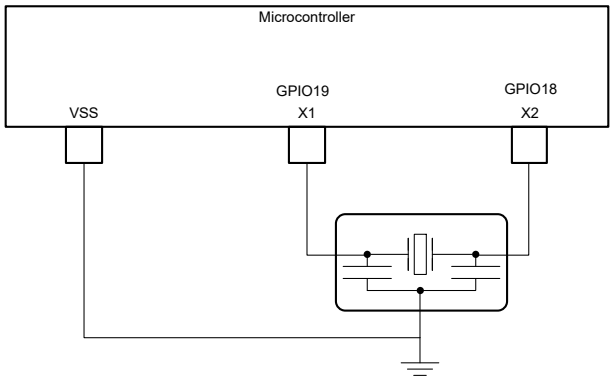


图 6-18. 外部谐振器

6.12.3.4 XTAL 振荡器

6.12.3.4.1 引言

该器件中的晶体振荡器是一种嵌入式电振荡器，当与兼容的石英晶体（或陶瓷谐振器）配对使用时，可生成器件所需的系统时钟。

6.12.3.4.2 概述

以下几节将介绍电振荡器和晶体的元件。

6.12.3.4.2.1 电子振荡器

该器件中的电子振荡器是皮尔斯振荡器。它是一个正反馈逆变器电路，需要一个调优电路才能振荡。当这个振荡器与一个兼容的晶体配对时，会形成振荡电路。该振荡电路在晶体的基频处振荡。在该器件上，由于分流电容器 (C0) 和所需的负载电容器 (CL)，振荡器被设计成在并联谐振模式下运行。图 6-19 所示为电子振荡器和振荡电路的元件。

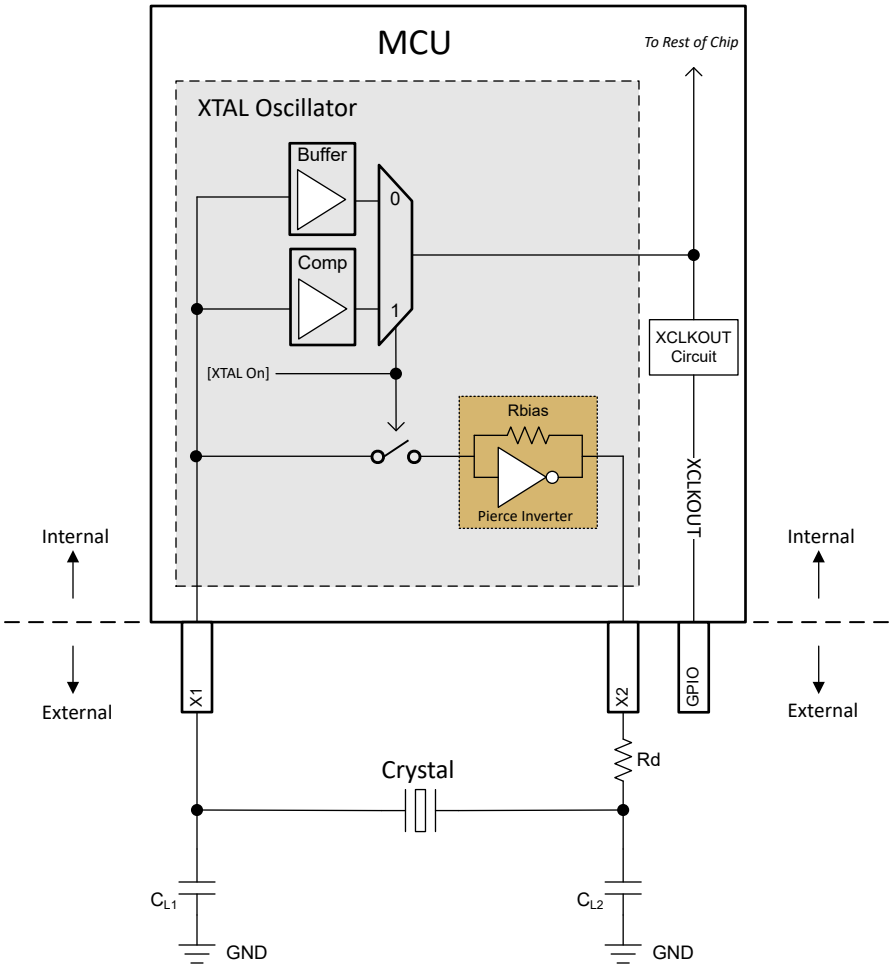


图 6-19. 电子振荡器方框图

6.12.3.4.2.1.1 运行模式

此器件中的电振荡器有两种工作模式：晶体模式和单端模式。

6.12.3.4.2.1.1.1 晶体的工作模式

在晶体工作模式下，必须将带有负载电容器的石英晶体连接到 X1 和 X2。

当 [XTAL On] = 1 时，会启用此工作模式，这是通过设置 XTALCR.OSCOFF = 0 和 XTALCR.SE = 0 来实现的。反馈环路有一个内部偏置电阻器，因此不应使用外部偏置电阻器。添加外部偏置电阻器会产生与内部 Rbias 并联的电阻，从而移动工作偏置点并可能导致波形削波、占空比超出规格以及有效负电阻降低。

在此工作模式下，X1 上的结果时钟通过比较器 (Comp) 传递到芯片的其余部分。X1 上的时钟需要满足比较器的 VIH 和 VIL。有关比较器的 VIH 和 VIL 要求，请参阅 *XTAL 振荡器特性* 表。

6.12.3.4.2.1.1.2 单端工作模式

在单端工作模式下，一个时钟信号连接至 X1，而 X2 悬空。在此模式下不应使用石英晶体。

当 [XTAL On] = 0 时会启用此模式，这可通过设置 XTALCR.OSCOFF = 1 和 XTALCR.SE = 1 来实现。

在此工作模式下，X1 上的时钟通过一个缓冲器 (Buffer) 传递到芯片的其余部分。有关缓冲器的输入要求，请参阅 *使用外部时钟源（非晶体）时的 X1 输入电平特征* 表。

Copyright © 2024 Texas Instruments Incorporated

6.12.3.4.2.1.2 XCLKOUT 上的 XTAL 输出

通过配置 CLKSRCCTL3.XCLKOUTSEL 和 XCLKOUTDIVSEL.XCLKOUTDIV 寄存器，可以将馈入芯片其余部分的电振荡器输出引出到 XCLKOUT 上以供观察。如需查看输出 XCLKOUT 的 GPIO 的列表，请参阅“GPIO 多路复用引脚”表。

6.12.3.4.2.2 石英晶体

石英晶体可以由 LCR（电感-电容-电阻）电路进行电气表示。然而，与 LCR 电路不同，晶体由于低动态电阻而具有非常高的 Q 值，并且阻尼也非常低。晶体元件如图 6-20 所示，并在下文中有相应说明。

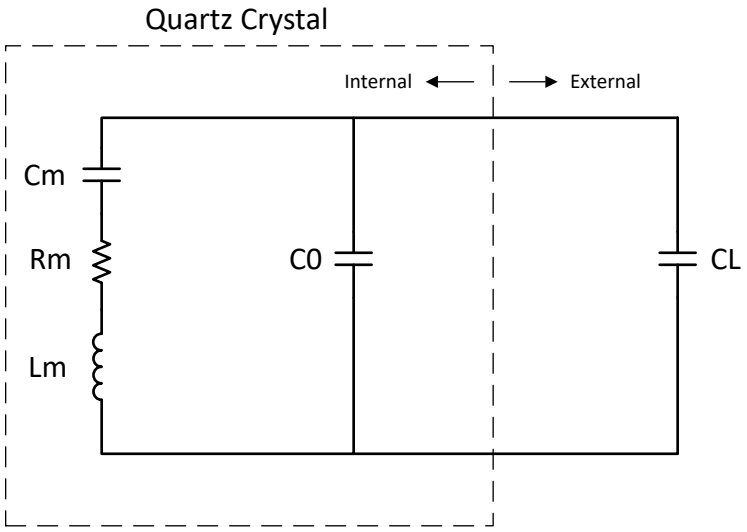


图 6-20. 晶体电气表示

Cm（动态电容）：表示晶体的弹性。

Rm（动态电阻）：表示晶体内的电阻损耗。这不是晶体的 ESR，但可以根据其他晶体元件的值进行近似计算。

Lm（动态电感）：表示晶体的振动质量。

C0（并联电容）：由两个晶体电极和杂散封装电容形成的电容。

CL（负载电容）：这是晶体在其电极处看到的有效电容。它位于晶体外部。晶体数据表中指明的频率 ppm 通常与 CL 参数相关联。

请注意，大多数晶体制造商将 CL 指定为晶体引脚上的有效电容，而一些晶体制造商将 CL 指定为仅其中一个晶体引脚上的电容。请与晶体制造商核实 CL 的指定值，以便在计算中使用正确的值。

根据图 6-19，CL1 和 CL2 是串联的；因此，要找到晶体看到的等效总电容，必须应用电容串联公式：如果 CL1 = CL2，只需计算 [CL1]/2 即可。

建议将杂散 PCB 电容与该值相加。合理的估算值为 3pF 至 5pF，但实际值将取决于相关的 PCB。

请注意，电振荡器和晶体都需要负载电容。所选的值必须同时满足电振荡器和晶振的要求。

CL 对晶体的影响是频率牵引。如果有效负载电容低于目标值，晶体频率将增加，反之亦然。然而，频率牵引的影响通常非常小，通常会导致与标称频率相差不到 10ppm。

6.12.3.4.2.3 GPIO 工作模式

在此器件上，X1 和 X2 分别可用作 GPIO19 和 GPIO18，具体取决于 XTAL 的工作模式。请参阅 *TMS320F28003x 实时微控制器技术参考手册* 中的“外部振荡器 (XTAL)”一节。

Copyright © 2024 Texas Instruments Incorporated

6.12.3.4.3 正常运行

6.12.3.4.3.1 ESR – 有效串联电阻

有效串联电阻是晶体在谐振时提供给电子振荡器的电阻负载。ESR 越高，Q 越低，晶体启动或保持振荡的可能性就越小。ESR 和晶体元件之间的关系如下所示。

$$ESR = Rm * \left(1 + \frac{C0}{CL}\right)^2 \quad (2)$$

请注意，ESR 与晶体的动态电阻不同，但如果有效负载电容远高于分流电容、则可以按此近似计算。

6.12.3.4.3.2 Rneg - 负电阻

负电阻是电振荡器向晶体呈现的阻抗。这是电振荡器为了克服振荡期间产生的损耗而必须为晶体提供的能量。Rneg 描述了一个提供而不是消耗能量的电路，也可以看作是电路的总体增益。

为确保晶体在所有条件下都能启动，普遍接受的做法是让 Rneg > 3 倍 ESR 至 5 倍 ESR。请注意，启动晶体所需的能量略大于维持振荡所需的能量；因此，如果能够确保在启动时满足负电阻要求，则维持振荡将不是问题。

图 6-21 和图 6-22 所示为该器件的负电阻与晶体元件之间的差异。从图中可以看出，晶体并联电容 (C0) 和有效负载电容 (CL) 对电振荡器的负电阻有极大影响。请注意，这些是典型图；因此，请参阅表 6-5 了解设计中需要注意的最小值和最大值。

6.12.3.4.3.3 启动时间

在选择晶体电路的元件时，启动时间是一个重要的考虑因素。如 Rneg - 负电阻一节所述，为了在所有条件下实现可靠启动，建议晶体的 Rneg > 3 倍 ESR 至 5 倍 ESR。

晶体 ESR 和阻尼电阻 (Rd) 会极大地影响启动时间。这两个值越高，晶体启动所需的时间就越长。较长的启动时间通常表明晶体和元件未正确匹配。

如需了解典型的启动时间，请参阅晶体振荡器规格。请注意，此处指定的数字是仅供参考的典型数字。实际启动时间在很大程度上取决于所涉及的晶体和外部元件。

6.12.3.4.3.3.1 X1/X2 前提条件

在该器件上，X1/X2 上的 GPIO19/18 备选功能可用于在需要时缩短晶体的启动时间。此功能是通过将负载电容器 CL1 和 CL2 预调节到 XTAL 开启前的已知状态来实现的。有关详细信息，请参阅 *TMS320F28003x 实时微控制器技术参考手册*。

6.12.3.4.3.4 DL – 驱动电平

驱动电平是指电子振荡器提供以及晶体耗散的功率。晶体制造商数据表中指定的最大驱动电平通常是晶体在不损坏或显著缩短使用寿命的情况下可以耗散的最大驱动电平。另一方面，电子振荡器指定的驱动电平是它可以提供的最大功率。电子振荡器提供的实际功率不一定是最大功率，具体取决于晶体和电路板元件。

如果电子振荡器的实际驱动电平超过晶体的最大驱动电平规格，则应安装阻尼电阻器 (Rd) 以限制电流并降低晶体的功率耗散。请注意，Rd 会降低电路增益；因此，应评估要使用的实际值，以确保满足启动和持续振荡的所有其他条件。

6.12.3.4.4 如何选择晶体

请参考晶体振荡器规格：

1. 选择一个晶体频率（例如，20MHz）。
2. 确认晶体的 ESR <=50Ω，符合 20MHz 的规格。
3. 确认晶体制造商的负载电容要求位于 6pF 和 12pF 之间，符合 20MHz 的规格。
   - 如前所述，CL1 和 CL2 是串联的；因此，如果 CL1 = CL2，则有效负载电容 CL = [CL1]/2。
   - 在此基础上加上电路板寄生效应会得到 CL = [CL1]/2 + 杂散电容

Copyright © 2024 Texas Instruments Incorporated

4. 确认晶体的最大驱动电平 >= 1mW。如果不满足此要求，则可以使用阻尼电阻 Rd。请参阅 DL - 驱动电平，了解使用 Rd 时要考虑的其他要点。

6.12.3.4.5 测试

建议用户让晶体制造商使用其电路板对晶体进行完整表征，以确保晶体始终启动并保持振荡。

下面简要概述了可执行的一些测量：

由于晶体电路对电容非常敏感，建议不要将示波器探针连接到 X1 和 X2。如果必须使用示波器探针来监测 X1/X2，则应使用输入电容小于 1pF 的有源探针。

频率

1. 在 XCLKOUT 上引出 XTAL。
2. 测量该频率作为晶体频率。

负电阻

1. 在 XCLKOUT 上引出 XTAL。
2. 在负载电容器之间放置一个与晶体串联的电位器。
3. 增加电位器的电阻，直到 XCLKOUT 上的时钟停止。
4. 该电阻加上晶体的实际 ESR 就是电振荡器的负电阻。

启动时间

1. 关闭 XTAL。
2. 在 XCLKOUT 上引出 XTAL。
3. 开启 XTAL 并测量 XCLKOUT 上的时钟保持在 45% 和 55% 占空比范围内所需的时间。

Copyright © 2024 Texas Instruments Incorporated

6.12.3.4.6 常见问题和调试提示

晶体无法启动

- 浏览如何选择晶体部分，确保没有违规。

晶体需要很长时间才能启动

- 如果安装了阻尼电阻 Rd，则其过高。
- 如果未安装阻尼电阻，则晶体 ESR 过高或由于高负载电容而导致总电路增益过低。

6.12.3.4.7 晶体振荡器规格

6.12.3.4.7.1 晶体振荡器参数

		最小值	最大值	单位
CL1、CL2	负载电容	12	24	pF
C0	晶振并联电容		7	pF

6.12.3.4.7.2 晶振等效串联电阻 (ESR) 要求

对于晶振等效串联电阻 (ESR) 需求表：

1. 晶振并联电容 (C0) 应小于或等于 7pF。
2. ESR = 负电阻/3

表 6-5. 晶振等效串联电阻 (ESR) 要求

晶体频率 (MHz)	最大 ESR (Ω) (CL1 = CL2 = 12pF)	最大 ESR (Ω) (CL1 = CL2 = 24pF)
10	55	110
12	50	95
14	50	90
16	45	75
18	45	65
20	45	50

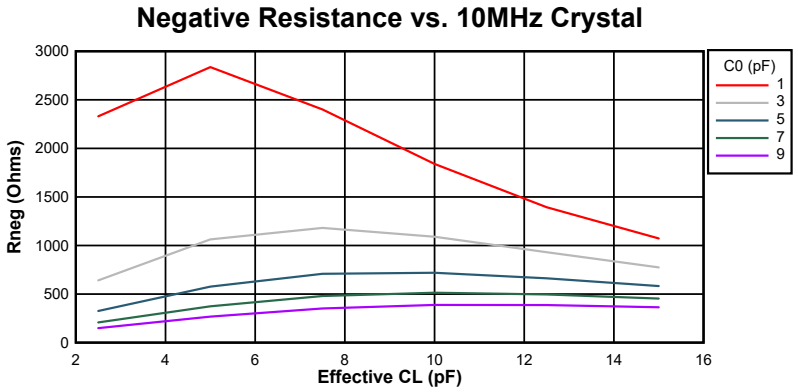


图 6-21. 10MHz 时的负电阻变化

Copyright © 2024 Texas Instruments Incorporated

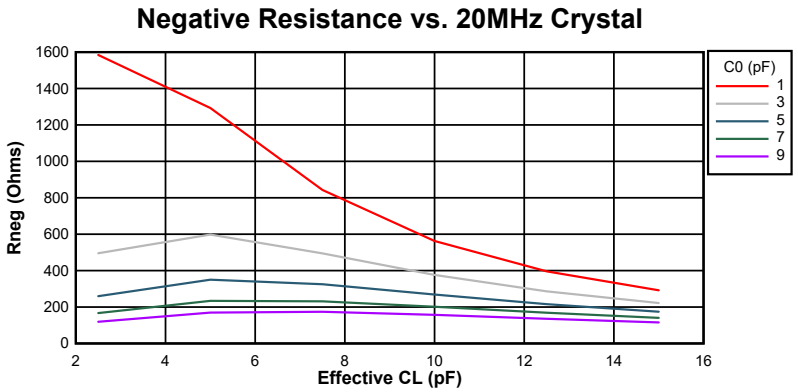


图 6-22. 20MHz 时的负电阻变化

6.12.3.4.7.3 晶体振荡器电气特性

在建议运行条件下 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
启动时间(1)	f = 10MHz	ESR 最大值 = 110 Ω CL1 = CL2 = 24pF C0 = 7pF		4		ms
	f = 20 MHz	ESR 最大值 = 50 Ω CL1 = CL2 = 24pF C0 = 7pF		2		ms
晶振驱动电平 (DL)					1	mW

(1) 启动时间取决于晶体和振荡电路元件。TI 建议晶体供应商使用所选晶体来表征应用。

Copyright © 2024 Texas Instruments Incorporated

6.12.3.5 内部振荡器

为了减少电路板生产成本和缩短应用开发时间，所有 F28003x 器件都包含两个独立的内部振荡器，称为 INTOSC1 和 INTOSC2。默认情况下，INTOSC2 设置为系统参考时钟 (OSCCLK) 源，INTOSC1 设置为备用时钟源。

如果应用需要更严格的 **SCI 波特率匹配**，则可以使用 C2000Ware 中提供的 SCI 波特率调优示例 (baud_tune_via_uart)。

6.12.3.5.1 INTOSC 特性

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
f_{INTOSC}	频率，INTOSC1 和 INTOSC2(1)	-40℃ 至 125℃	9.82 (-1.8%)	10	10.1 (1.0%)	MHz
		–30℃ 至 90℃	9.86 (-1.4%)	10	10.1 (1.0%)	
		–10℃ 至 85℃	9.9 (-1.0%)	10	10.1 (1.0%)	
$f_{INTOSC-STABILITY}$	室温下的频率稳定性	30°C，标称 VDD		±0.1		%
$t_{INT0SC-ST}$	启动和趋稳时间				20	µs

(1) 由于回流焊的热应力和机械应力，INTOSC 频率可能会发生偏移。回流焊后烘烤可以使器件恢复到原始数据表性能。

Copyright © 2024 Texas Instruments Incorporated

6.12.4 闪存参数

表 6-6 列出了不同时钟源和频率下所需的最低闪存等待状态。等待状态是寄存器 FRDCNTL[RWAIT] 中设置的值。

表 6-6. 不同时钟源和频率下所需的最低闪存等待状态

CPUCLK (MHz)	外部振荡器或晶体		INTOSC1 或 INTOSC2	
	正常运行	存储体或泵睡眠(1)	正常运行	存储体或泵睡眠(1)
116 < CPUCLK ≤ 120	5		5	6
100 < CPUCLK ≤ 116				5
97 < CPUCLK ≤ 100	4		4	5
80 < CPUCLK ≤ 97				4
77 < CPUCLK ≤ 80	3		3	4
60 < CPUCLK ≤ 77				3
58 < CPUCLK ≤ 60	2		2	3
40 < CPUCLK ≤ 58				2
38 < CPUCLK ≤ 40	1		1	2
20 < CPUCLK ≤ 38				1
19 < CPUCLK ≤ 20	0		0	1
CPUCLK ≤ 19				0

(1) 当使用 INTOSC 作为所示频率范围的时钟源时，闪存睡眠操作需要一个额外的等待状态。任何等待状态 FRDCNTL[RWAIT] 更改都必须在开始睡眠模式操作之前进行。此设置对两个闪存存储体都有影响。

F28003x 器件具有经改进的 128 位预取缓冲器，可在不同等待状态下提供更高的闪存代码执行效率。图 6-23 和图 6-24 展示了该系列器件与采用 64 位预取缓冲器的上一代器件在不同等待状态设置下的典型效率比较情况。使用预取缓冲器时的等待状态执行效率将取决于应用软件中存在的分支数量。此处提供了线性代码和 if-then-else 代码的两个示例。

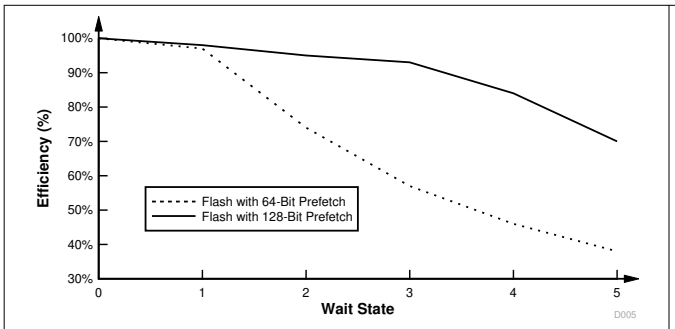


图 6-23. 具有大量 32 位浮点数学指令的应用程序代码

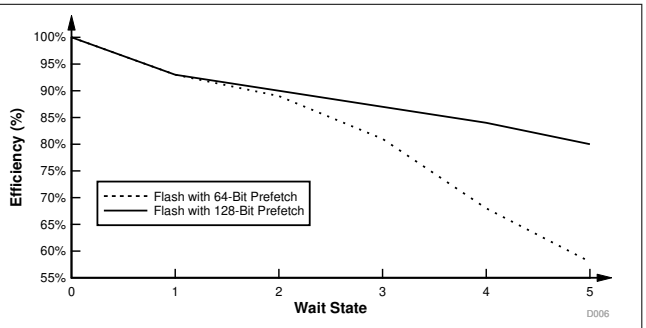


图 6-24. 具有 16 位 If-Else 指令的应用程序代码

Copyright © 2024 Texas Instruments Incorporated

节 6.12.4.1 列出了闪存参数。

备注

主阵列闪存编程必须与 64 位地址边界对齐，并且每个 64 位字在每个写/擦除周期只能编程一次。

备注

为存储体擦除命令提供正确的扇区掩码非常重要。如果错误地选择掩码来擦除无法访问的扇区（属于另一个安全区域），存储体擦除命令将继续尝试不停地擦除扇区并且 FSM 永远不会退出（因为擦除不会成功）。为避免这种情况，用户必须注意提供正确的掩码。但是，鉴于有可能选择不正确的掩码，TI 建议在 FSM 为进行存储体擦除操作发出最大脉冲数后，将允许的最大擦除脉冲数初始化为零。这将确保 FSM 在尝试擦除不可访问的扇区到允许的最大擦除脉冲后结束存储体擦除命令。

C2000Ware 的闪存 API 使用示例中的 Example_EraseBanks() 函数描述了该序列的实现（等待 FSM 完成存储体擦除命令的 while 循环的内容）。此外还为了确保 FSM 在擦除失败时退出存储体擦除操作，无论应用是否使用安全性，用户都必须按原样使用此代码。

6.12.4.1 闪存参数

参数			最小值	典型值	最大值	单位
编程时间(1)		128 数据位 + 16 ECC 位		150	300	µs
		8KB（扇区）		50	100	ms
扇区擦除时间(2) (3)	< 25 个周期	8KB（扇区）		15	56	ms
	1k 个周期			26	133	ms
	2k 个周期			31	226	ms
	20k 个周期			123	1026	ms
组擦除时间(2) (3)	< 25 个周期	128KB（组）		21	78	ms
	1k 个周期			35	183	ms
	2k 个周期			42	310	ms
	20k 个周期			169	1410	ms
每个扇区的 N_{wec} 写入/擦除周期					20000	周期
整个闪存（整合所有扇区）的 N_{wec} 写入/擦除周期					100000	周期
$t_{retention}$ 数据保持持续时间 (T_J = 85ºC)			20			年

(1) 编程时间是最大器件频率下的值。编程时间包括闪存状态机的开销，但不包括将以下内容传输到 RAM 的时间：
- 使用闪存 API 对闪存进行编程的代码
- 闪存 API 本身
- 要编程的闪存数据

换言之，此表中显示的时间是指器件 RAM 中的所有必需代码/数据都变为可用状态并准备好进行编程之后的相应时间。所用 JTAG 调试探头的速度对传输时间有显著影响。
编程时间的计算以在指定的工作频率下一次编程 144 位为基础。编程时间包含 CPU 对编程的验证。写入/擦除 (W/E) 循环不会缩短编程时间，但会缩短擦除时间。
擦除时间包括由 CPU 对编程的验证，不涉及任何数据传输。

(2) 擦除时间包含 CPU 对擦除的验证。

(3) 当器件从 TI 出货时，片上闪存存储器处于一个被擦除状态。这样，当首次编辑器件时，在编程前无需擦除闪存存储器。然而，对于所有随后的编程操作，需要执行擦除操作。

Copyright © 2024 Texas Instruments Incorporated

6.12.5 RAM 和 ROM 参数

F28003x 器件上所有易失性存储器（RAM 和 ROM）的读取和写入均为 0 等待状态，这意味着存储器以与 SYSCLK 相同的速度运行。RAM 块属性 总结了器件上不同 RAM 实例的特征。ROM 属性 总结了器件上 ROM 实例的各个方面

表 6-7. RAM 块属性

RAM 类型	每个的大小	获取时间（周期数）	读取时间（周期数）	写入时间（周期数）	支持的总线宽度（位数）	主机访问列表	等待状态	突发访问支持
M0	2KB	2	2	1	16/32	C28x	0	否
M1								
LS RAM (LS0 – LS7)	4KB					C28x/CLA		
GS RAM (GS0 – GS3)	8KB					C28x/DMA/HIC		
CLA 到 CPU 消息 RAM	256B					C28x/CLA		
CPU 到 CLA 消息 RAM								
CLA 到 DMA 消息 RAM						CLA/DMA		
DMA 到 CLA 消息 RAM								

表 6-8. ROM 属性

ROM 类型	每个的大小	获取时间（周期数）	读取时间（周期数）	支持的总线宽度（位数）	主机访问列表	等待状态	突发访问支持
引导 ROM	64KB	2	2	16/32	C28x	0	否
安全 ROM	48KB						
CLA 数据 ROM	8KB				C28x/CLA		
CLA 程序 ROM	96KB				CLA		

Copyright © 2024 Texas Instruments Incorporated

6.12.6 仿真/JTAG

JTAG（IEEE 标准 1149.1-1990 标准测试访问端口和边界扫描架构）端口有四个专用引脚：TMS、TDI、TDO 和 TCK。cJTAG（针对简化引脚和增强功能测试访问端口以及边界扫描架构的 IEEE 标准 1149.7-2009）端口，是一个只需要两个引脚（TMS 和 TCK）的紧凑型 JTAG 接口，此接口可实现多路复用为传统 GPIO35 (TDI) 和 GPIO37 (TDO) 引脚的其他器件功能。

通常情况下，当 MCU 目标和 JTAG 接头之间的距离小于 6 英寸 (15.24cm)，并且 JTAG 链上没有其他器件时，JTAG 信号上不需要缓冲器。否则，每个信号都应被缓冲。此外，对于大多数 10MHz 下的 JTAG 调试探针操作，JTAG 信号上不需要串联电阻器。但是，如果需要高仿真速度（35MHz 左右），则应在每个 JTAG 信号上串联 22Ω 电阻。

JTAG 调试探针头的 PD（电源检测）引脚应连接到电路板 3.3V 电源。接头 GND 引脚应连接至电路板接地。TDIS（电缆断开感应）也应连接至电路板接地。JTAG 时钟应从接头 TCK 输出引脚环回到接头的 RTCK 输入引脚（以通过 JTAG 调试探针检测时钟连续性）。此 MCU 不支持 14 引脚和 20 引脚仿真接头上的 EMU0 和 EMU1 信号。这些信号应始终通过一对 2.2kΩ 至 4.7kΩ（取决于调试器端口的驱动强度）的板载上拉电阻在仿真接头处上拉。通常使用 2.2kΩ 的阻值。

接头引脚 $\overline{\text{RESET}}$ 是 JTAG 调试探针接头的开漏输出，通过 JTAG 调试探针命令使电路板元件复位（仅通过 20 引脚接头可用）。图 6-25 展示了如何将 14 引脚 JTAG 接头连接到 MCU 的 JTAG 端口信号图 6-26 展示了如何连接到 20 引脚 JTAG 接头。20 引脚 JTAG 接头引脚 EMU2、EMU3 和 EMU4 未使用，应接地。

有关硬件断点和观察点的更多信息，请参阅 CCS 中 C2000 器件的硬件断点和观察点。

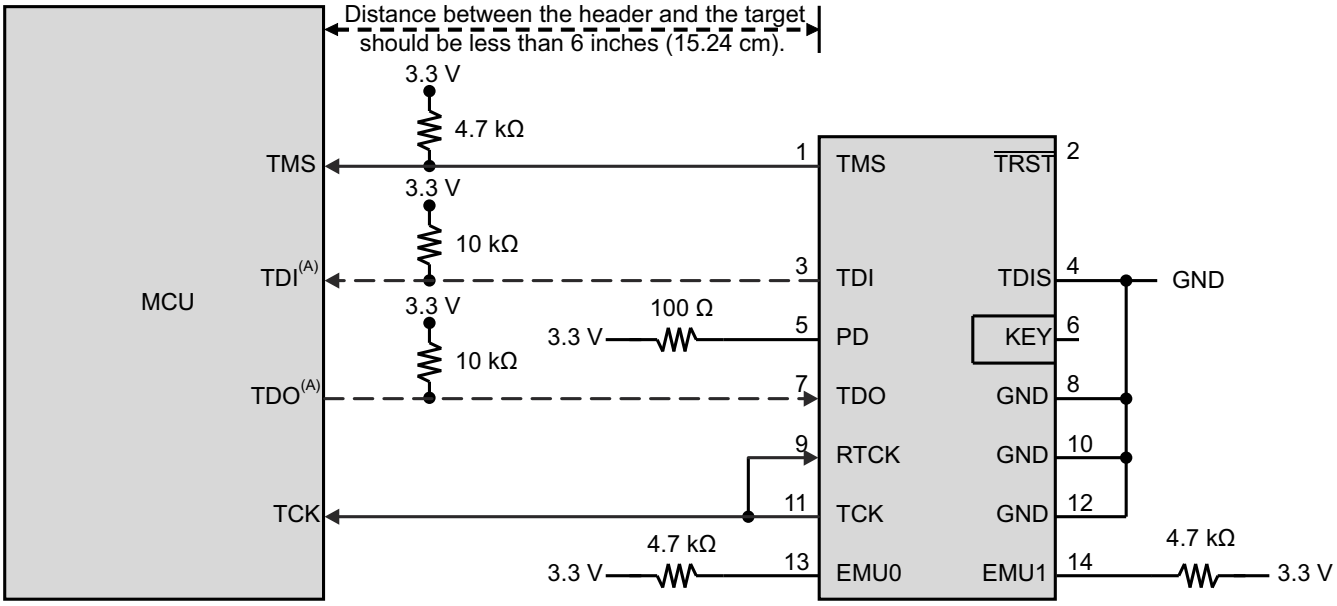
有关 JTAG 仿真的更多信息，请参阅 *XDS 目标连接指南*。

备注

JTAG 测试数据输入 (TDI) 是引脚的默认多路复用器选择。默认情况下，内部上拉处于禁用状态。如果此引脚被用作 JTAG TDI，应该启用内部上拉电阻器或在电路板上增加一个外部上拉电阻器来避免悬空输入。在 cJTAG 选项中，此引脚可用作 GPIO。

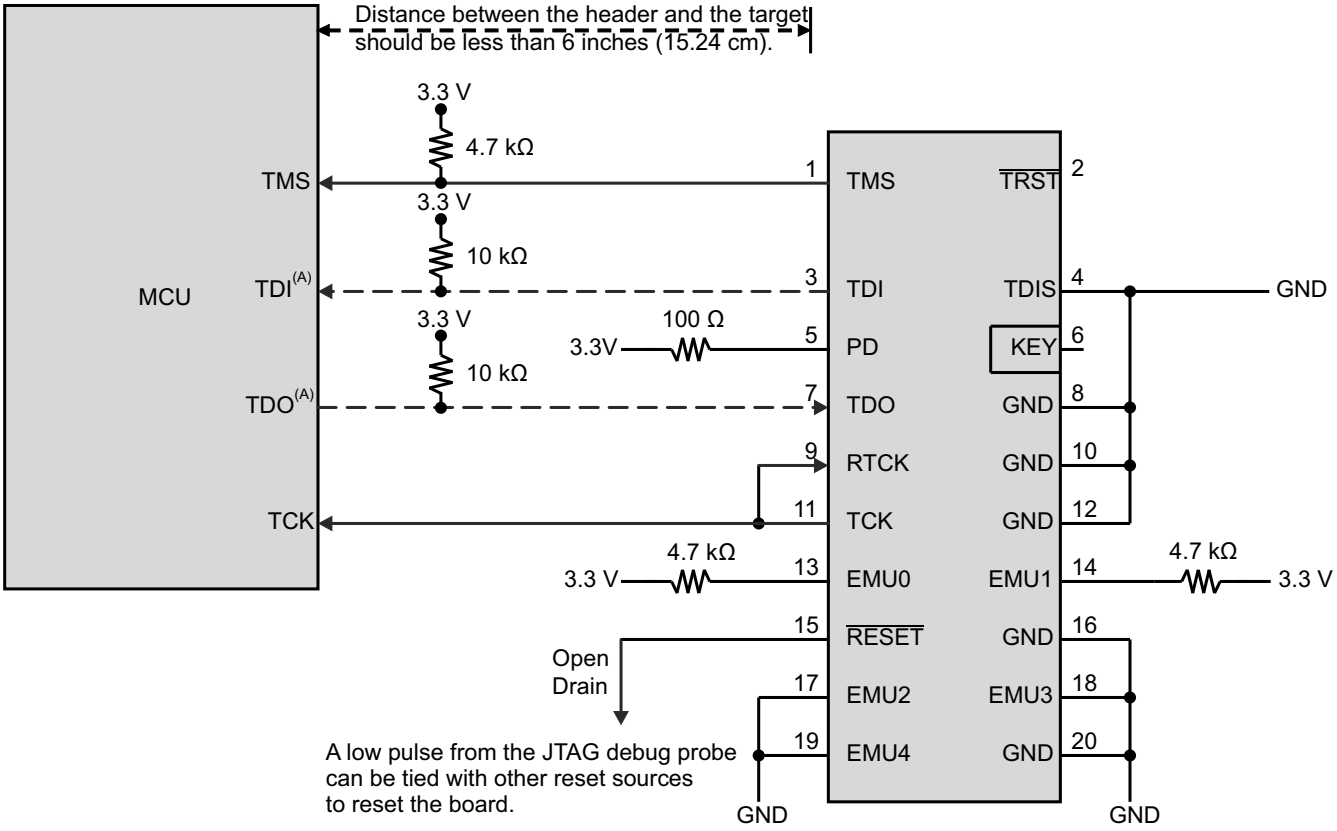
JTAG 测试数据输出 (TDO) 是引脚的默认多路复用器选择。默认情况下，内部上拉处于禁用状态。当没有 JTAG 活动时，TDO 函数将处于三态条件，使此引脚悬空。应启用内部上拉或在电路板上添加外部上拉，以避免 GPIO 输入悬空。在 cJTAG 选项中，此引脚可用作 GPIO。

Copyright © 2024 Texas Instruments Incorporated



A. cJTAG 选项不需要 TDI 和 TDO 连接，这些引脚可用作 GPIO。

图 6-25. 连接到 14 引脚 JTAG 接头



A. cJTAG 选项不需要 TDI 和 TDO 连接，这些引脚可用作 GPIO。

图 6-26. 连接到 20 引脚 JTAG 接头

Copyright © 2024 Texas Instruments Incorporated

6.12.6.1 JTAG 电气数据和时序

6.12.6.1.1 JTAG 时序要求

编号			最小值	最大值	单位
1	$t_{c(TCK)}$	周期时间，TCK	66.66		ns
1a	$t_{w(TCKH)}$	脉冲持续时间，TCK 高电平（t_c 的 40%）	26.66		ns
1b	$t_{w(TCKL)}$	脉冲持续时间，TCK 低电平（t_c 的 40%）	26.66		ns
3	$t_{su(TDI-TCKH)}$	TDI 有效至 TCK 高电平的输入设置时间	7		ns
	$t_{su(TMS-TCKH)}$	TMS 有效至 TCK 高电平的输入设置时间	7		
4	$t_{h(TCKH-TDI)}$	从 TCK 高电平至 TDI 有效的输入保持时间	7		ns
	$t_{h(TCKH-TMS)}$	从 TCK 高电平至 TMS 有效的输入保持时间	7		

6.12.6.1.2 JTAG 开关特征

在推荐的工作条件下（除非另有说明）

编号	参数		最小值	最大值	单位
2	$t_{d(TCKL-TDO)}$	TCK 低电平到 TDO 有效的延迟时间	6	20	ns

6.12.6.1.3 JTAG 时序图

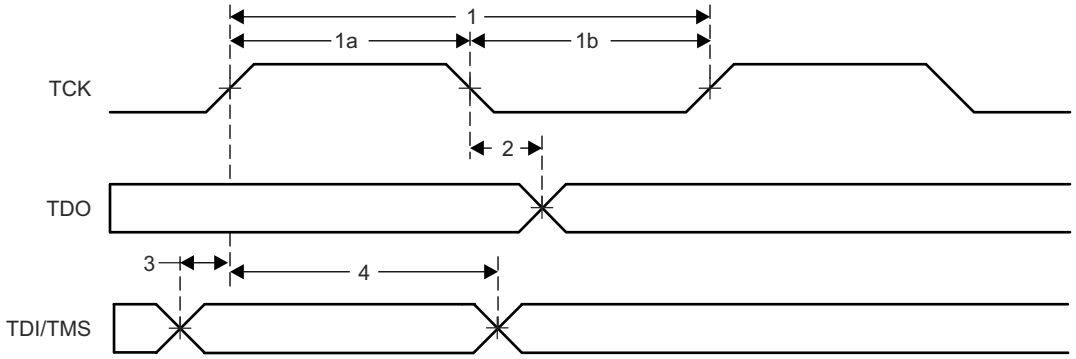


图 6-27. JTAG 时序

Copyright © 2024 Texas Instruments Incorporated

6.12.6.2 cJTAG 电气数据和时序

6.12.6.2.1 cJTAG 时序要求

编号			最小值	最大值	单位
1	$t_{c(TCK)}$	周期时间，TCK	100		ns
1a	$t_{w(TCKH)}$	脉冲持续时间，TCK 高电平（t_c 的 40%）	40		ns
1b	$t_{w(TCKL)}$	脉冲持续时间，TCK 低电平（t_c 的 40%）	40		ns
3	$t_{su(TMS-TCKH)}$	TMS 有效至 TCK 高电平的输入设置时间	7		ns
	$t_{su(TMS-TCKL)}$	输入设置时间，TMS 有效至 TCK 低电平	7		ns
4	$t_{h(TCKH-TMS)}$	从 TCK 高电平至 TMS 有效的输入保持时间	2		ns
	$t_{h(TCKL-TMS)}$	输入保持时间，从 TCK 低电平至 TMS 有效	2		ns

6.12.6.2.2 cJTAG 开关特性

在建议运行条件下测得（除非另有说明）

编号	参数		最小值	最大值	单位
2	$t_{d(TCKL-TMS)}$	延迟时间，TCK 低电平到 TMS 有效的时间	5	20	ns
5	$t_{dis(TCKH-TMS)}$	延迟时间，TCK 高电平到 TMS 禁用的时间		20	ns

6.12.6.2.3 cJTAG 时序图

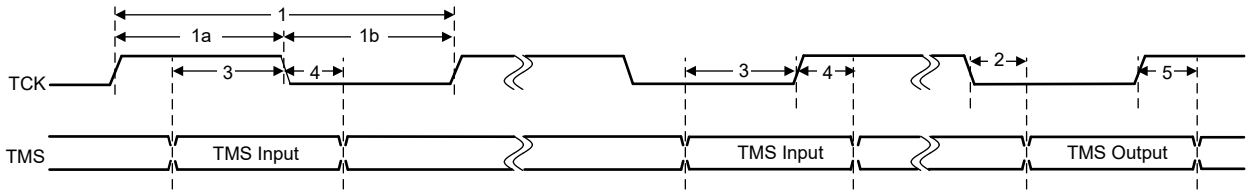


图 6-28. cJTAG 时序

6.12.7 GPIO 电气数据和时序

外设信号与通用输入/输出 (GPIO) 信号多路复用。复位时，GPIO 引脚配置为输入。对于特定的输入，用户还能选择输入限定周期的数量来滤除不必要的噪声干扰。

GPIO 模块包含输出 X-BAR，其允许将各种内部信号路由到 GPIO 多路复用器位置中的 GPIO 上，并表示为 OUTPUTXBARx。GPIO 模块还包含输入 X-BAR，用于将来自任何 GPIO 输入的信号路由到不同的 IP 块，例如 ADC、eCAP、ePWM 和外部中断。有关更多详细信息，请参阅 *TMS320F28003x 实时微控制器技术参考手册* 中的“X-BAR”一章。 中的“X-BAR”一章。

6.12.7.1 GPIO - 输出时序

6.12.7.1.1 通用输出开关特征

在推荐的工作条件下 (除非另有说明)

参数			最小值	最大值	单位
$t_{r(GPO)}$	上升时间，GPIO 从低电平切换至高电平	所有 GPIO		8(1)	ns
$t_{f(GPO)}$	下降时间，GPIO 从高电平切换至低电平	所有 GPIO		8(1)	ns
t_{fGPO}	切换频率，GPIO 引脚			50	MHz

(1) 上升时间和下降时间随负载而变化。这些值假定负载为 20pF。

6.12.7.1.2 通用输出时序图

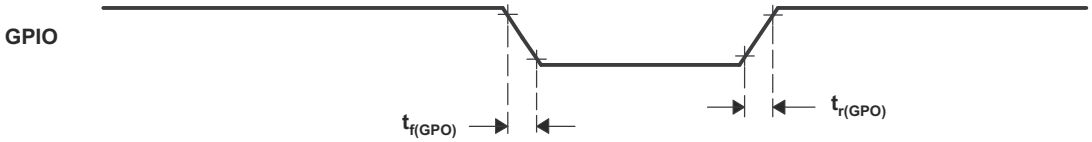


图 6-29. 通用输出时序

Copyright © 2024 Texas Instruments Incorporated

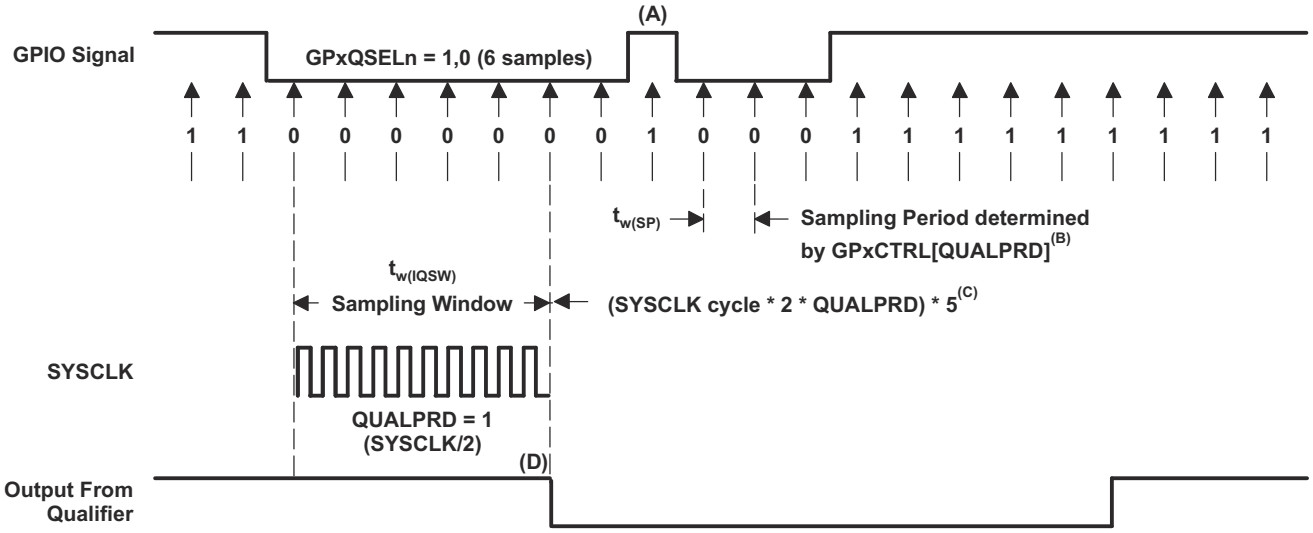
6.12.7.2 GPIO - 输入时序

6.12.7.2.1 通用输入时序要求

			最小值 最大值	单位
$t_{w(SP)}$	采样周期	QUALPRD=0	$1t_{c(SYSCLK)}$	周期
		QUALPRD≠0	$2t_{c(SYSCLK)}$*QUALPRD	周期
$t_{w(IQSW)}$	输入限定符采样窗口		$t_{w(SP)}$*(n(1)-1)	周期
$t_{w(GPI)}$ (2)	脉冲持续时间，GPIO 低电平/高电平	同步模式	$2t_{c(SYSCLK)}$	周期
		带输入限定符	$t_{w(IQSW)} + t_{w(SP)} + 1t_{c(SYSCLK)}$	周期

(1) “n”代表由 GPxQSELn 寄存器定义的合格样片的数量。
(2) 对于 $t_{w(GPI)}$，对低电平有效信号在 V_{IL} 至 V_{IL} 之间测量脉宽，而高电平有效信号，在 V_{IH} 至 V_{IH} 之间测量脉宽。

6.12.7.2.2 采样模式



A. 输入限定符将忽略此短时脉冲波干扰。QUALPRD 位字段指定了限定采样周期。该位字段可以在 00 至 0xFF 之间变化。如果 QUALPRD=00，那么采样周期为 1 个 SYSCLK 周期。对于任何其他的“n”值，限定采样周期为 2n SYSCLK 周期（也就是说，在每 2n 个 SYSCLK 周期上，GPIO 引脚将被采样）。
B. 通过 GPxCTRL 寄存器选择的限定周期会应用于包含 8 个 GPIO 引脚的组。
C. 此限定块可取 3 个或者 6 个样片。GPxQSELn 寄存器选择使用哪种采样模式。
D. 在所示的示例中，为了使限定器检测到变化，输入应该在 10 个 SYSCLK 周期或者更长周期内保持稳定。换句话说，输入应该在 (5 × QUALPRD × 2) 个 SYSCLK 周期内保持稳定。这将确保有 5 个采样周期用于检测。由于外部信号是异步驱动的，因此 13 SYSCLK 宽的脉冲确保了可靠的识别。

图 6-30. 采样模式

Copyright © 2024 Texas Instruments Incorporated

6.12.7.3 输入信号的采样窗口宽度

下述小节总结了各种输入限定符配置下的输入信号的采样窗口宽度。

采样频率表明相对于 SYSCLK 对信号进行采样的频率。

如果 QUALPRD ≠ 0，采样频率 = SYSCLK/(2 × QUALPRD)

如果 QUALPRD=0，则采样频率 = SYSCLK

如果 QUALPRD≠0，则采样周期 = SYSCLK 周期 × 2 × QUALPRD

在上面的等式中，SYSCLK 周期表示 SYSCLK 的时间周期。

如果 QUALPRD=0，则采样周期 = SYSCLK 周期

在给定的采样窗口中，采取输入信号的 3 个或者 6 个样片来确定信号的有效性。这是由写入到 GPxQSELn 寄存器的值确定的。

情况 1：

使用 3 个样片进行限定

如果 QUALPRD≠0，则采样窗口宽度 = (SYSCLK 周期 x 2 x QUALPRD) × 2

如果 QUALPRD=0，则采样窗口宽度 = (SYSCLK 周期) x 2

情况 2：

使用 6 个样片进行限定

如果 QUALPRD≠0，则采样窗口宽度 = (SYSCLK 周期 x 2 x QUALPRD) × 5

如果 QUALPRD=0，则采样窗口宽度 = (SYSCLK 周期) x 5

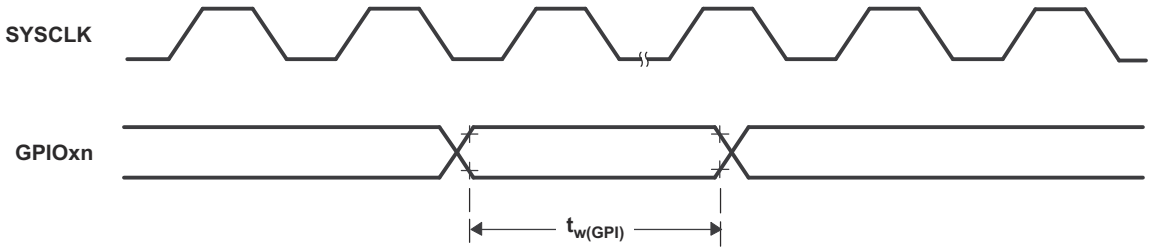


图 6-31. 通用输入时序

Copyright © 2024 Texas Instruments Incorporated

6.12.8 中断

C28x CPU 有 14 条外设中断线路，其中两条（INT13 和 INT14）分别直接连接到 CPU 计时器 1 和 2。其余 12 条通过增强型外设中断扩展 (ePIE) 模块连接到外设中断信号。ePIE 将多达 16 个外设中断多路复用到每条 CPU 中断线路中。它还会扩展矢量表以允许每个中断都有自己的 ISR。这使得 CPU 能够支持大量外设。

中断路径分为三级：外设、ePIE 和 CPU。每一级都有其自身的使能和标志寄存器。该系统允许 CPU 处理一个中断并让其他中断挂起，在软件中实施嵌套中断并确定其优先级，以及在某些关键任务期间禁用中断。

图 6-32 所示为该器件的中断架构。

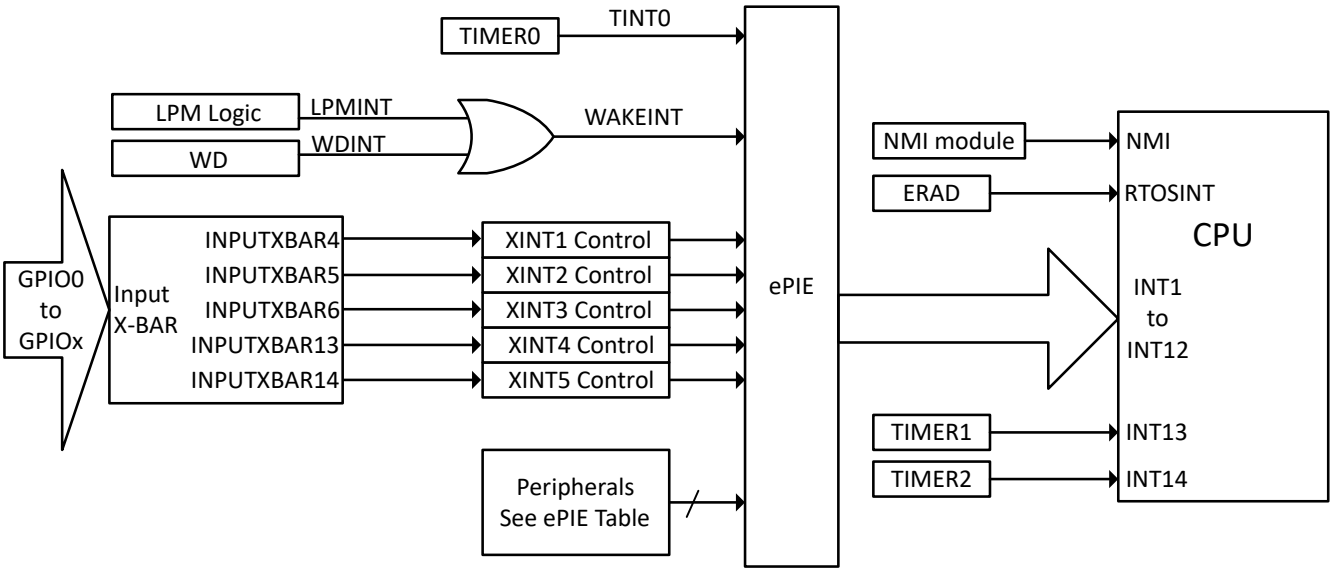


图 6-32. 器件中断架构

6.12.8.1 外部中断 (XINT) 电气数据和时序

有关输入限定符参数的说明，请参阅“通用输入时序要求”表。

6.12.8.1.1 外部中断时序要求

			最小值 最大值	单位
$t_{w(INT)}$	脉冲持续时间，INT 输入低电平/高电平	同步	$2t_{c(SYSCLK)}$	周期
		带限定符	$t_{w(IQSW)} + t_{w(SP)} + 1t_{c(SYSCLK)}$	周期

6.12.8.1.2 外部中断开关特性

在建议运行条件下测得（除非另有说明）

参数		最小值	最大值	单位
$t_{d(INT)}$	延时时间，INT 低电平/高电平到中断矢量获取(1)	$t_{w(IQSW)} + 14t_{c(SYSCLK)}$	$t_{w(IQSW)} + t_{w(SP)} + 14t_{c(SYSCLK)}$	周期

(1) 这是假设 ISR 是在单周期存储器中。

6.12.8.1.3 外部中断时序

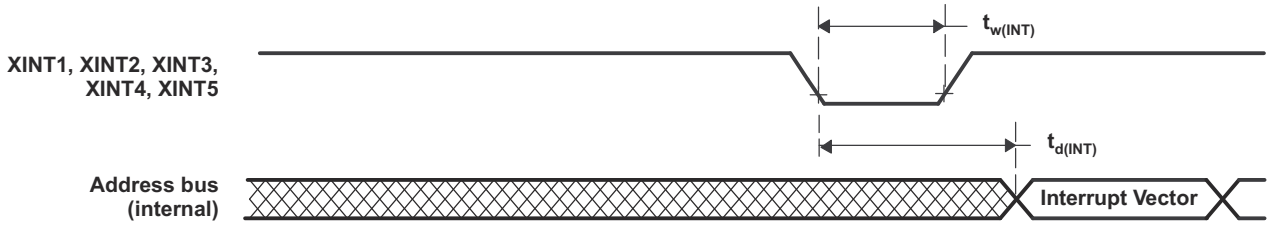


图 6-33. 外部中断时序

Copyright © 2024 Texas Instruments Incorporated

6.12.9 低功率模式

该器件具有停机、空闲和待机三种时钟门控低功耗模式。

有关所有低功耗模式的更多详细信息以及进入和退出过程，请参阅 *TMS320F28003x 实时微控制器技术参考手册* 的“低功耗模式”一节。

6.12.9.1 时钟门控低功耗模式

该器件上的空闲和停机模式与其他 C28x 器件上的类似。表 6-9 描述了进入任何一种时钟门控低功耗模式时对系统的影响。

表 6-9. 时钟门控低功耗模式对器件的影响

模块/ 时钟域	IDLE	待机	HALT
SYSCLK	运行	门控	门控
CPUCLK	门控	门控	门控
连接到 PERx.SYSCLK 的模块的时钟	运行	门控	门控
WDCLK	运行	运行	如果 CLKSRCCTL1.WDHALTI = 0，则进行门控
PLL	供电	供电	软件必须在进入 HALT 之前关闭 PLL。
INTOSC1	供电	供电	如果 CLKSRCCTL1.WDHALTI = 0，则断电
INTOSC2	供电	供电	如果 CLKSRCCTL1.WDHALTI = 0，则断电
闪存(1)	供电	供电	供电
XTAL(2)	供电	供电	供电

(1) 在任何 LPM 下，闪存模块不会由硬件断电。如果应用需要，可使用软件将其断电。有关更多信息，请参阅 *TMS320F28003x 实时微控制器技术参考手册* 中“系统控制”一章的“闪存和 OTP 存储器”一节。

(2) 在任何 LPM 下，XTAL 不会由硬件断电。它可以通过软件将 XTALCR.OSCOFF 位设置为 1 来断电。如果不需要 XTAL，可以在应用期间的任何时间完成此操作。

Copyright © 2024 Texas Instruments Incorporated

6.12.9.2 低功耗模式唤醒时序

有关输入限定符参数的说明，请参阅“通用输入时序要求”表。

6.12.9.2.1 空闲模式时序要求

			最小值　最大值	单位
$t_{w(WAKE)}$	脉冲持续时间，外部唤醒信号	无输入限定符	$2t_{c(SYSCLK)}$	周期
		带输入限定符	$2t_{c(SYSCLK)} + t_{w(IQSW)}$	

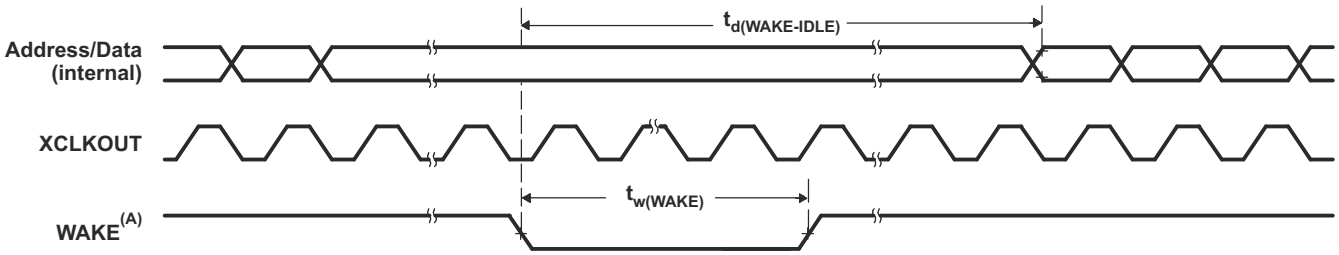
6.12.9.2.2 空闲模式开关特性

在推荐的运行条件下测得（除非另有说明）

参数			测试条件	最小值	最大值	单位
$t_{d(WAKE-IDLE)}$	延迟时间，外部唤醒信号到程序执行重新开始的时间(1)	来自闪存（活动状态）	无输入限定符		$40t_{c(SYSCLK)}$	周期
			带输入限定符		$40t_{c(SYSCLK)} + t_{w(WAKE)}$	周期
		来自闪存（睡眠状态）	无输入限定器		$9316t_{c(SYSCLK)}$ (2)	周期
			带输入限定符		$9316t_{c(SYSCLK)}$ (2) $+ t_{w(WAKE)}$	周期
		来自 RAM	无输入限定符		$25t_{c(SYSCLK)}$	周期
			带输入限定符		$25t_{c(SYSCLK)} + t_{w(WAKE)}$	周期

(1) 这个时间是在 IDLE 指令之后立即开始指令执行的时间。ISR（由唤醒信号触发）的执行涉及额外延迟。
(2) 该值基于闪存上电时间，其是 SYSCLK 频率、闪存等待状态 (RWAIT) 和 FPAC1[PSLEEP]的函数。

6.12.9.2.3 空闲进入和退出时序图



A. WAKE 可以是任何启用的中断、$\overline{WDINT}$ 或 XRSn。IDLE 指令执行后，在唤醒信号生效前需要 5 个 OSCCLK 周期（最少）的延迟。

图 6-34. 空闲进入和退出时序图

Copyright © 2024 Texas Instruments Incorporated

6.12.9.2.4 待机模式时序要求

			最小值 最大值	单位
$t_{w(WAKE-INT)}$	脉冲持续时间，外部唤醒信号	QUALSTDBY = 0 | $2t_{c(OSCCLK)}$	$3t_{c(OSCCLK)}$	周期
		QUALSTDBY > 0 | (2 + QUALSTDBY)$t_{c(OSCCLK)}$ (1)	(2 + QUALSTDBY) * $t_{c(OSCCLK)}$	

(1) QUALSTDBY 是 LPMCR 寄存器中的一个 6 位字段。

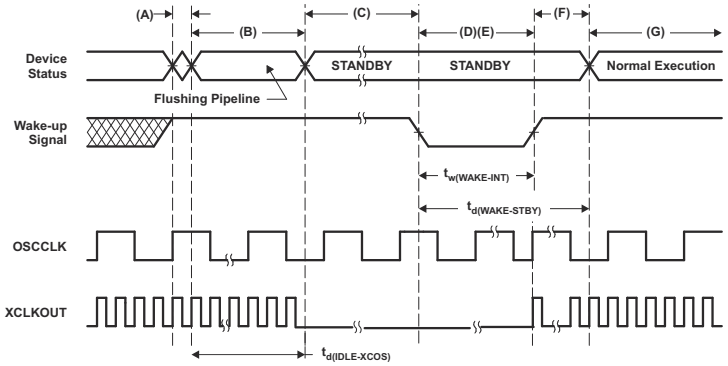
6.12.9.2.5 待机模式开关特征

在推荐的工作条件下（除非另有说明）

参数		测试条件	最小值 最大值	单位
$t_{d(IDLE-XCOS)}$	IDLE 指令被执行到 XCLKOUT 停止的延迟时间		$16t_{c(INTOSC1)}$	周期
$t_{d(WAKE-STBY)}$	延迟时间，外部唤醒信号到程序执行重新开始的时间(1)	从闪存唤醒（闪存模块处于活动状态）	$175t_{c(SYSCLK)}$ + $t_{w(WAKE-INT)}$	周期
$t_{d(WAKE-STBY)}$		从闪存唤醒（闪存模块处于睡眠状态）	$9316t_{c(SYSCLK)}$ (2) + $t_{w(WAKE-INT)}$	周期
$t_{d(WAKE-STBY)}$		从 RAM 唤醒	$3t_{c(OSC)}$ + $15t_{c(SYSCLK)}$ + $t_{w(WAKE-INT)}$	周期

(1) 这个时间是在 IDLE 指令之后立即开始指令执行的时间。ISR（由唤醒信号触发）的执行涉及额外延迟。
(2) 该值基于闪存上电时间，其是 SYSCLK 频率、闪存等待状态 (RWAIT) 和 FPAC1[PSLEEP]的函数。

6.12.9.2.6 待机模式进入和退出时序图



A. 执行空闲指令将器件置于待机模式。
B. LPM 块响应待机信号，SYSCLK 在关闭之前最多保持 16 个 INTOSC1 时钟周期。此延迟使 CPU 流水线和其他待处理的操作能够正确刷新。
C. 外设的时钟被关闭。然而，PLL 和看门狗并未关闭。此器件现在处于待机模式。IDLE 指令执行后，在唤醒信号生效前需要 5 个 OSCCLK 周期（最小值）的延迟。
D. 外部唤醒信号被驱动为有效。
E. 馈送到 GPIO 引脚的唤醒信号必须符合最小脉冲宽度要求。此外，此信号不能有毛刺。如果噪声信号馈送到 GPIO 引脚，器件的唤醒行为将是不确定的并且在随后的唤醒脉冲中器件可能不会退出低功耗模式。
F. 在延迟周期后，退出待机模式。
G. 正常执行重新开始。器件将响应中断（如果启用）。

图 6-35. 待机模式进入和退出时序图

Copyright © 2024 Texas Instruments Incorporated

6.12.9.2.7 停机模式时序要求

		最小值	最大值	单位
$t_{w(WAKE-GPIO)}$	脉冲持续时间，GPIO 唤醒信号(1)	t_{oscst} + $2t_{c(OSCCLK)}$		周期
$t_{w(WAKE-XRS)}$	脉冲持续时间，$\overline{XRS}$ 唤醒信号(1)	t_{oscst} + $8t_{c(OSCCLK)}$		周期

(1) 对于将 X1/X2 用于 OSCCLK 的应用，用户必须表征其特定的振荡器启动时间，因为它取决于器件外部的电路/布局。要了解更多信息，请参阅*晶体振荡器 (XTAL)* 部分。对于使用 INTOSC1 或 INTOSC2 作为 OSCCLK 的应用，请参阅“内部振荡器”部分，了解 t_{oscst}。振荡器启动时间不适用于在 X1 引脚上使用单端晶振的应用，因为它由器件外部供电。

6.12.9.2.8 停机模式开关特征

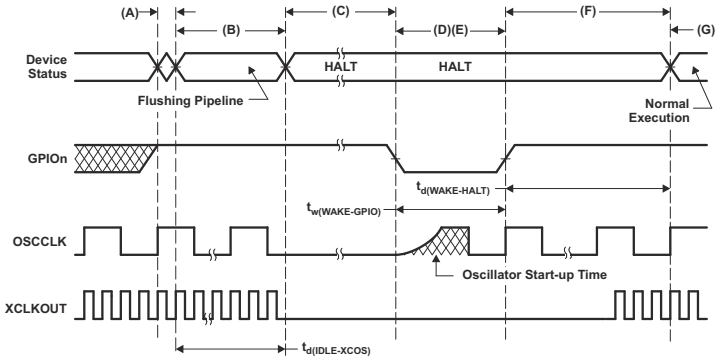
在建议运行条件下 (除非另有说明)

参数		最小值	最大值	单位
$t_{d(IDLE-XCOS)}$	IDLE 指令被执行到 XCLKOUT 停止的延迟时间		$16t_{c(INTOSC1)}$	周期
$t_{d(WAKE-HALT)}$	延迟时间，外部唤醒信号结束到 CPU1 程序执行重新开始的时间			周期
	从闪存唤醒 - 闪存模块处于活动状态		$75t_{c(OSCCLK)}$	
	从闪存唤醒 - 闪存模块处于睡眠状态		$9316t_{c(SYSCLK)}$+$75t_{c(OSCCLK)}$ (1)	
	从 RAM 唤醒		$75t_{c(OSCCLK)}$	

(1) 该值基于闪存上电时间，其是 SYSCLK 频率、闪存等待状态 (RWAIT) 和 FPAC1[PSLEEP]的函数。

Copyright © 2024 Texas Instruments Incorporated

6.12.9.2.9 停机模式进入和退出时序图



A. 执行 IDLE 指令以将器件置于停机模式。
B. LPM 块响应 HALT 信号，SYSCLK 在关闭之前最多保持 16 个 INTOSC1 时钟周期。此延迟使 CPU 流水线和其他待处理的操作能够正确刷新。
C. 到外设的时钟被关闭并且 PLL 被关断。如果一个石英晶振或者陶瓷谐振器被用作时钟源，内部振荡器也被关断。器件现在处于停机模式，并且功耗非常低。可以在停机模式中保持零引脚内部振荡器（INTOSC1 和 INTOSC2）以及看门狗处于活动中。为实现这一点，需要向 CLKSRCCTL1.WDHALTI 写入 1。IDLE 指令执行后，在唤醒信号生效前需要 5 个 OSCCLK 周期（最少）的延迟。
D. 当 GPIOn 引脚（用于使器件脱离 HALT 模式）被驱动为低电平时，振荡器被打开并且振荡器唤醒序列被启动。只有当振荡器稳定时，GPIO 才应被驱动为高电平。这使得在 PLL 锁序列期间提供洁净的时钟信号。由于 GPIO 引脚的下降沿会以异步方式开始唤醒过程，因此在进入停机模式之前和在此模式期间，应该注意保持低噪声环境。
E. 馈送到 GPIO 引脚的唤醒信号必须符合最小脉冲宽度要求。此外，此信号不能有毛刺。如果噪声信号馈送到 GPIO 引脚，器件的唤醒行为将是不确定的并且在随后的唤醒脉冲中器件可能不会退出低功耗模式。
F. 当内核的 CLKIN 已启用时，器件将在一些延迟后响应中断（如果已启用）。现在退出停机模式。
G. 恢复正常运行。
H. 用户必须在停机唤醒时重新锁定 PLL，以确保稳定的 PLL 锁定。

图 6-36. 停机模式进入和退出时序图

Copyright © 2024 Texas Instruments Incorporated

6.13 模拟外设

本节介绍了模拟子系统模块。

该器件上的模拟模块包括 ADC、温度传感器、CMPSS 和缓冲 DAC。

模拟子系统具有以下特性：

- 灵活的电压基准
  - ADC 以 VREFHIx 和 VSSA 引脚为基准
    - VREFHIx 引脚电压可由外部驱动或由内部带隙电压基准生成
    - 内部电压基准范围可选为 0V 至 3.3V 或 0V 至 2.5V
  - 缓冲 DAC 以 VREFHIx 和 VSSA 为基准
    - 或者，这些 DAC 能以 VDAC 引脚和 VSSA 为基准
  - 比较器 DAC 以 VDDA 和 VSSA 为基准
    - 或者，这些 DAC 能以 VDAC 引脚和 VSSA 为基准
- 灵活地使用引脚
  - 缓冲 DAC 输出、比较器子系统输入和数字输入 (AIO)/输出 (AGPIO) 与 ADC 输入进行多路复用
  - 所有 ADC 上的 V_{REFLO} 的内部连接用于失调电压自我校准

图 6-37 显示了 100 引脚 PZ LQFP 的模拟子系统方框图。

图 6-38 展示了 80 引脚 PN LQFP 的模拟子系统方框图。

图 6-39 显示了 64 引脚 PM LQFP 的模拟子系统方框图。

图 6-40 展示了 48 引脚 PT LQFP 的模拟子系统方框图。

图 6-41 显示了模拟组连接。节 6.13.1 列出了模拟引脚和内部连接。节 6.13.2 列出了模拟信号的说明。

Copyright © 2024 Texas Instruments Incorporated

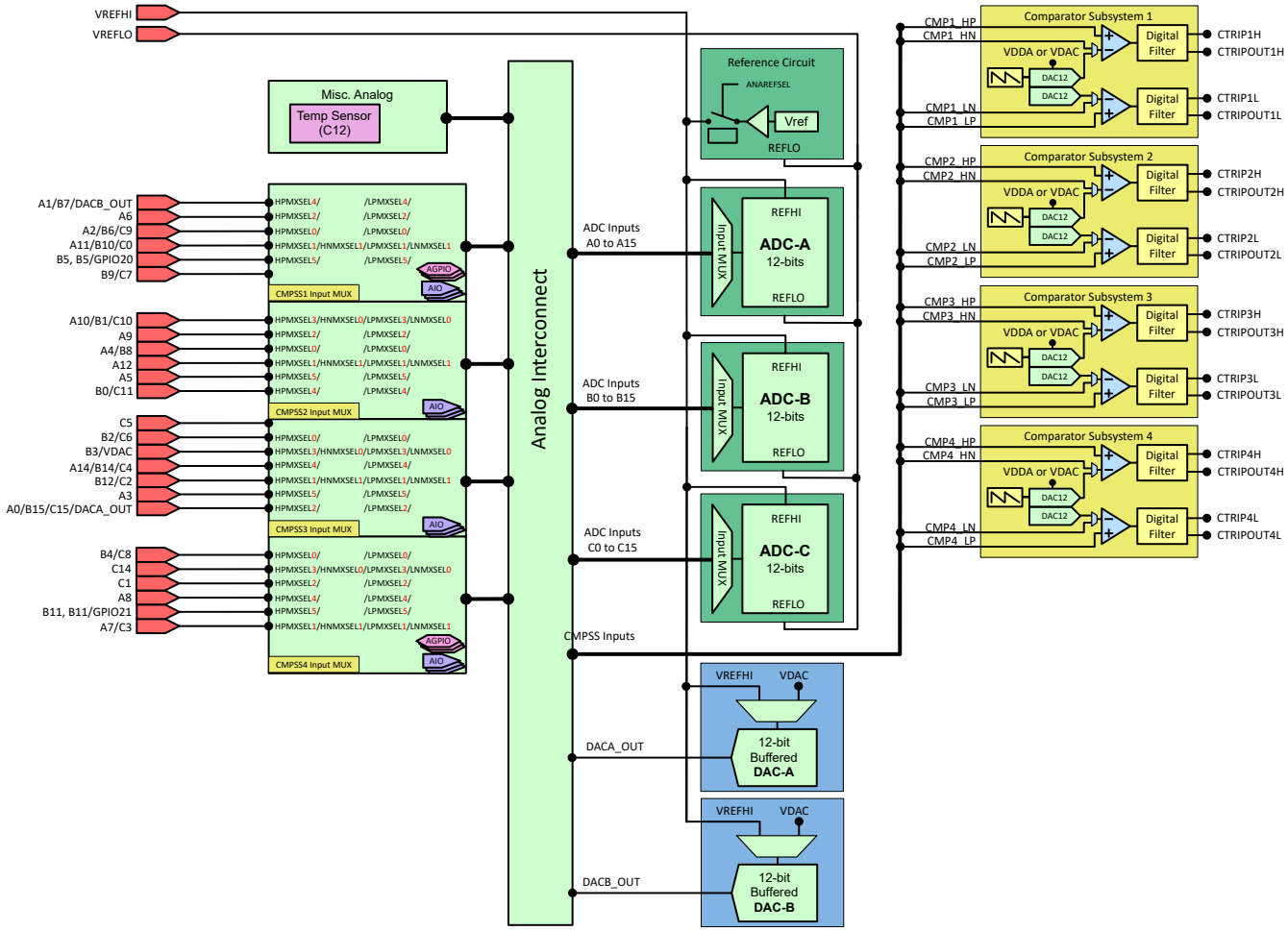


图 6-37. 模拟子系统方框图（100 引脚 PZ LQFP）

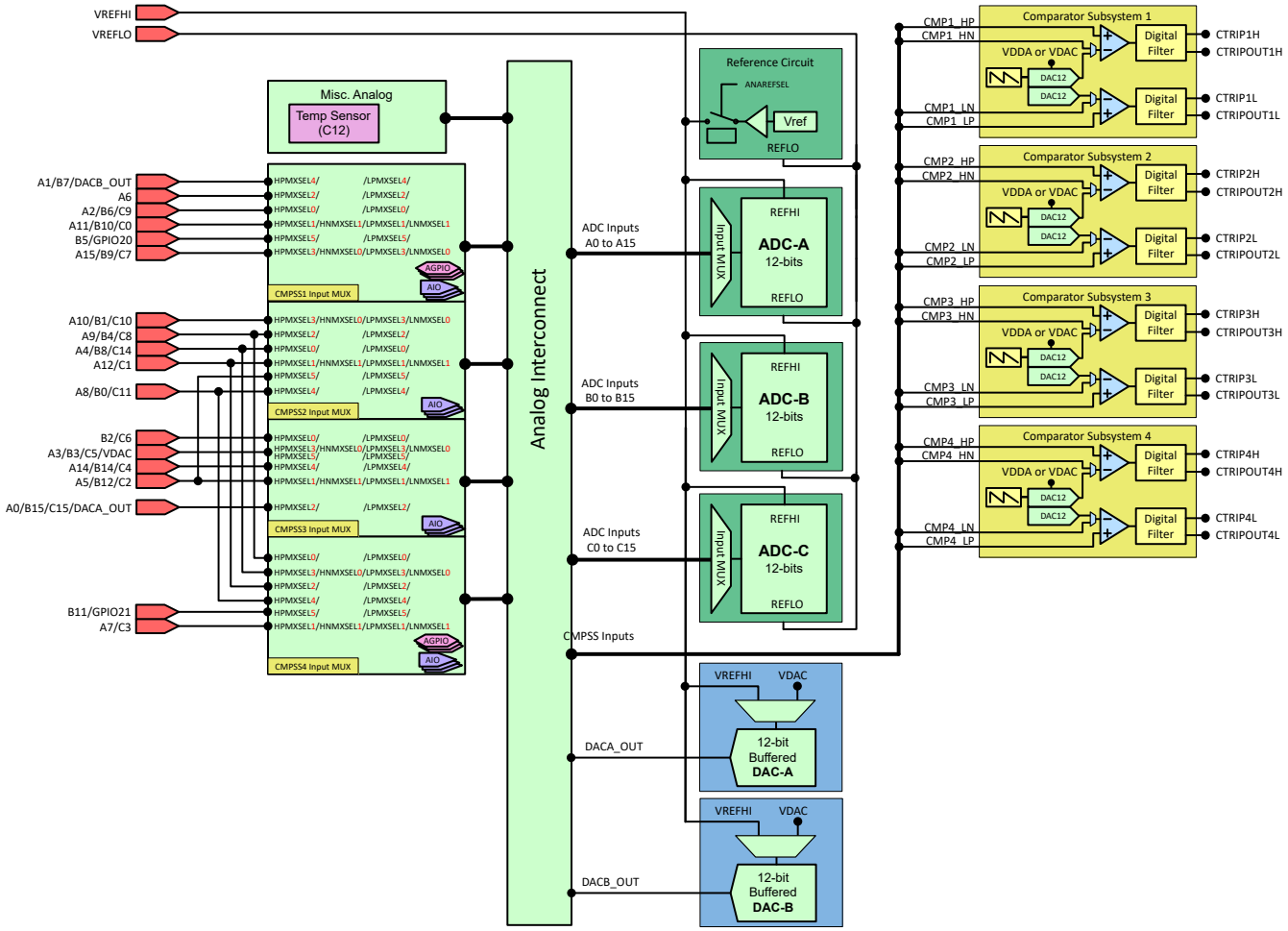


图 6-38. 模拟子系统方框图（80 引脚 PN LQFP）

Copyright © 2024 Texas Instruments Incorporated

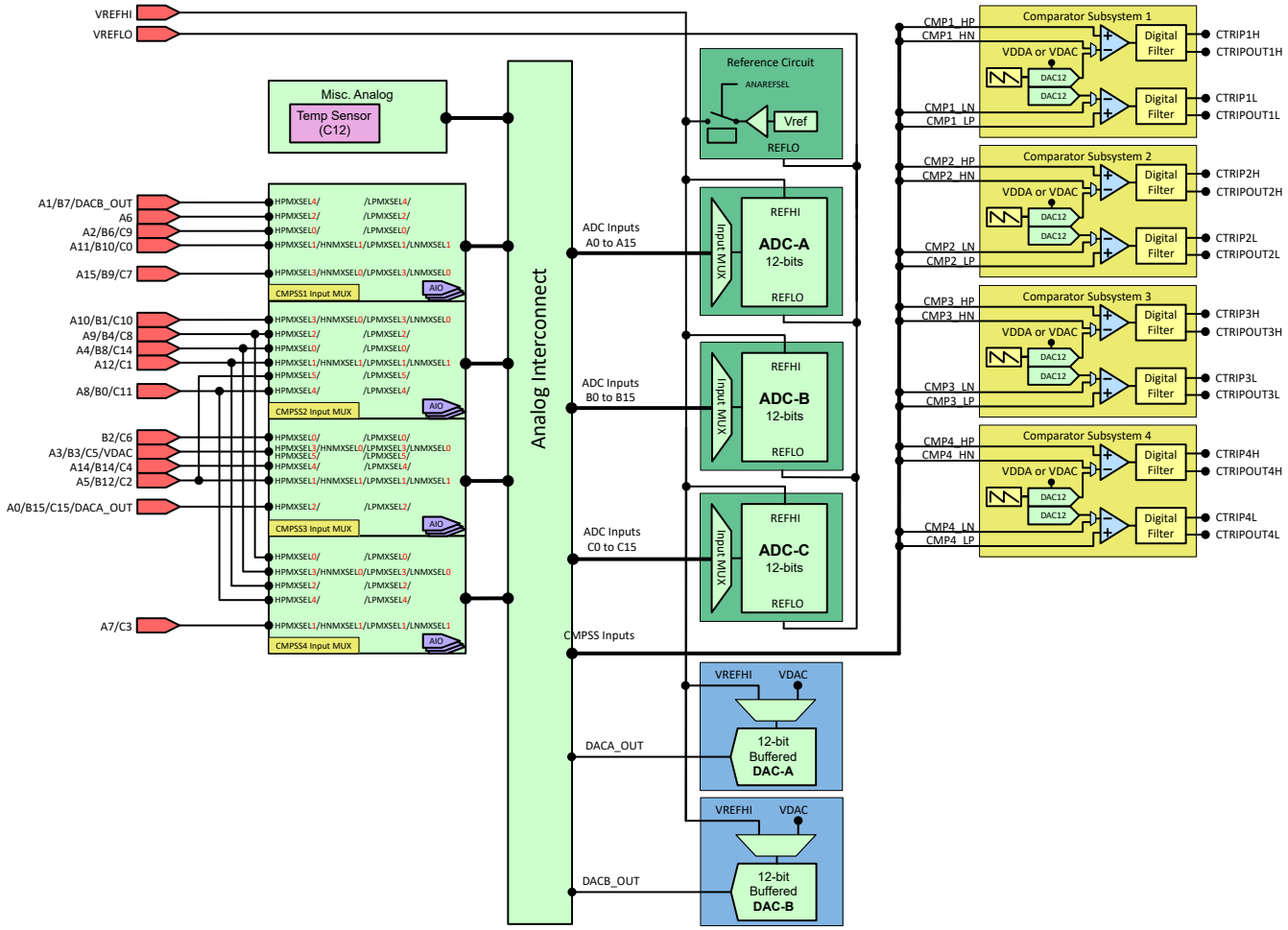


图 6-39. 模拟子系统方框图（64 引脚 PM LQFP）

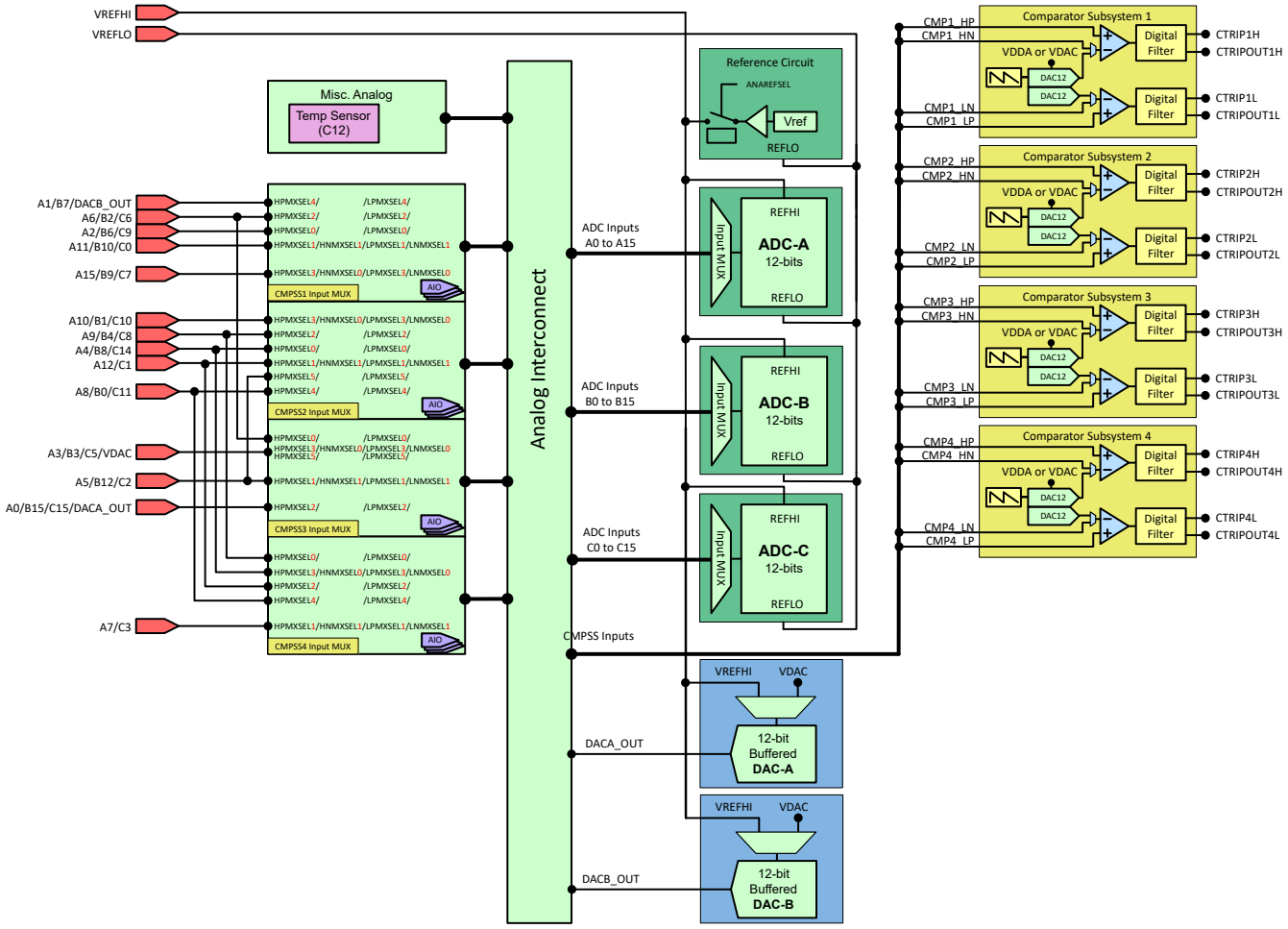
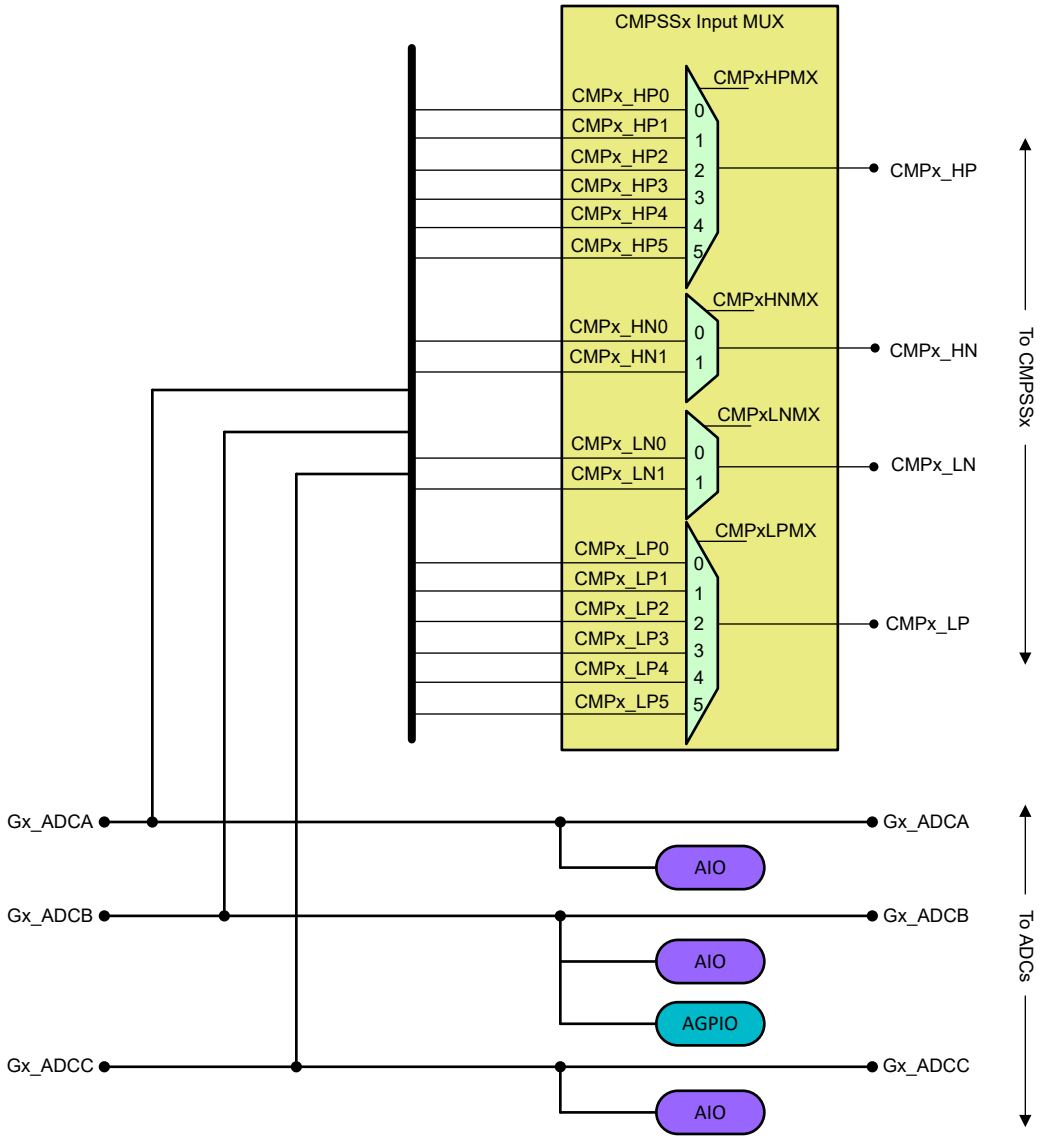


图 6-40. 模拟子系统方框图（48 引脚 PT LQFP）

Copyright © 2024 Texas Instruments Incorporated



A. AIO 仅支持数字输入模式。

图 6-41. 模拟组连接

6.13.1 模拟引脚和内部连接

表 6-10. 模拟引脚和内部连接

引脚名称	封装引脚				ADC			比较器子系统（多路复用器）				AIO 输入
	100 PZ	80 PN	64 PM	48 PT	A	B	C	高 正	高 负	低 正	低 负	
VREFHI	24、25	20	16	12								
VREFLO	26、27	21	17	13	A13	B13	C13					
模拟组 1								**CMP1**				
A6	14	10	6	4(1)	A6	-	-	CMP1 (HPMXSEL=2)		CMP1 (LPMXSEL=2)		AIO228
A2/B6/C9	17	13	9	6	A2	B6	C9	CMP1 (HPMXSEL=0)		CMP1 (LPMXSEL=0)		AIO224
A15	-	14	10	7	A15	-	-	CMP1 (HPMXSEL=3)	CMP1 (HNMXSEL=0)	CMP1 (LPMXSEL=3)	CMP1 (LNMXSEL=0)	AIO233
B9/C7	18				-	B9	C7					
A11/B10/C0	20	16	12	8	A11	B10	C0	CMP1 (HPMXSEL=1)	CMP1 (HNMXSEL=1)	CMP1 (LPMXSEL=1)	CMP1 (LNMXSEL=1)	AIO237
A1/B7/DACB_OUT	22	18	14	10	A1	B7	-	CMP1 (HPMXSEL=4)		CMP1 (LPMXSEL=4)		AIO232
模拟组 2								**CMP2**				
A10/B1/C10	40	29	25	21	A10	B1	C10	CMP2 (HPMXSEL=3)	CMP2 (HNMXSEL=0)	CMP2 (LPMXSEL=3)	CMP2 (LNMXSEL=0)	AIO230
模拟组 3								**CMP3**				
B2/C6	15	11	7	4(1)	-	B2	C6	CMP3 (HPMXSEL=0)		CMP3 (LPMXSEL=0)		AIO226
B3/VDAC(2)	16	12	8	5	-	B3	-	CMP3 (HPMXSEL=3)	CMP3 (HNMXSEL=0)	CMP3 (LPMXSEL=3)	CMP3 (LNMXSEL=0)	AIO242
C5	28				-	-	C5					
A3	-				A3	-	-	CMP3 (HPMXSEL=5)		CMP3 (LPMXSEL=5)		
	18	-	-	-		-	-					AIO229
A14/B14/C4	19	15	11	-	A14	B14	C4	CMP3 (HPMXSEL=4)		CMP3 (LPMXSEL=4)		AIO239
A0/B15/C15/ DACA_OUT	23	19	15	11	A0	B15	C15	CMP3 (HPMXSEL=2)		CMP3 (LPMXSEL=2)		AIO231
模拟组 4								**CMP4**				
A7/C3	31	23	19	15	A7	-	C3	CMP4 (HPMXSEL=1)	CMP4 (HNMXSEL=1)	CMP4 (LPMXSEL=1)	CMP4 (LNMXSEL=1)	AIO245
组合模拟组 2/3								**CMP2/3**				
A5	35	-	-	-	A5	-	-	CMP2 (HPMXSEL=5)		CMP2 (LPMXSEL=5)		AIO249
	-	17	13	9		-	-					
B12/C2	21				-	B12	C2	CMP3 (HPMXSEL=1)	CMP3 (HNMXSEL=1)	CMP3 (LPMXSEL=1)	CMP3 (LNMXSEL=1)	AIO244
组合模拟组 2/4								**CMP2/4**				
A12	28	22	18	14	A12	-	-	CMP2 (HPMXSEL=1)	CMP2 (HNMXSEL=1)	CMP2 (LPMXSEL=1)	CMP2 (LNMXSEL=1)	AIO238
C1	29				-	-	C1	CMP4 (HPMXSEL=2)		CMP4 (LPMXSEL=2)		AIO248

Copyright © 2024 Texas Instruments Incorporated

表 6-10. 模拟引脚和内部连接（续）

引脚名称	封装引脚				ADC			比较器子系统（多路复用器）				AIO 输入
	100 PZ	80 PN	64 PM	48 PT	A	B	C	高 正	高 负	低 正	低 负	
A8	37	-	-	-	A8	-	-	CMP4 (HPMXSEL=4)		CMP4 (LPMXSEL=4)		AIO240
	-	24	20	16		-	-					AIO241
B0/C11	-				-	B0	C11	CMP2 (HPMXSEL=4)		CMP2 (LPMXSEL=4)		
	41	-	-	-	-							AIO253
A4/B8	36	27	23	19	A4	B8	-	CMP2 (HPMXSEL=0)		CMP2 (LPMXSEL=0)		AIO225
C14	-				-	-	C14	CMP4 (HPMXSEL=3)	CMP4 (HNMXSEL=0)	CMP4 (LPMXSEL=3)	CMP4 (LNMXSEL=0)	
	42	-	-	-	-	-						AIO247
A9	38	28	24	20	A9	-	-	CMP2 (HPMXSEL=2)		CMP2 (LPMXSEL=2)		AIO227
B4/C8	39				-	B4	C8	CMP4 (HPMXSEL=0)		CMP4 (LPMXSEL=0)		AIO236
其他模拟												
B5	32	-	-	-	-	B5	-	CMP1 (HPMXSEL=5)		CMP1 (LPMXSEL=5)		AIO252
B5/GPIO20(3)	48	33	-	-	-		-					GPIO20
B11	30	-	-	-	-	B11	-	CMP4 (HPMXSEL=5)		CMP4 (LPMXSEL=5)		AIO251
B11/GPIO21(3)	49	34	-	-	-		-					GPIO21
温度传感器(4)	-	-	-	-	-	-	C12					

(1) A6 和 C6 键合为引脚 4。
(2) 片上 COMPDAC/GPDAC 的可选外部基准电压。无论用于 ADC 输入还是 COMPDAC/GPDAC 基准，该引脚上都有一个连接到 VSSA 的内部电容。如果用作 VDAC 基准，请在该引脚上至少放置一个 1 µ F 电容器。
(3) 这些模拟引脚上的 GPIO 支持完整的数字输入和输出功能，称为 AGPIO。默认情况下，AGPIO 处于未连接状态；也就是说，模拟和数字功能都被禁用。有关配置详细信息，请参阅 *ADC 引脚上的数字输入和输出 (AGPIO)* 一节。
(4) 仅限内部连接；不连接到器件引脚。

Copyright © 2024 Texas Instruments Incorporated

6.13.2 模拟信号说明

表 6-11. 模拟信号说明

信号名称	说明
AIOx	ADC 引脚上的数字输入
GPIOx	具有 ADC 功能的数字输入/输出引脚
Ax	ADC A 输入
Bx	ADC B 输入
Cx	ADC C 输入
CMPx_DACH	比较器子系统高电平 DAC 输出
CMPx_DACL	比较器子系统低电平 DAC 输出
CMPx_HNy	比较器子系统高电平比较器负输入
CMPx_HPy	比较器子系统高电平比较器正输入
CMPx_LNy	比较器子系统低电平比较器负输入
CMPx_LPy	比较器子系统低电平比较器正输入
DACx_OUT	缓冲 DAC 输出
温度传感器	内部温度传感器
VDAC	片上 COMPDAC 的可选外部基准电压。与其他模拟引脚相比，该引脚具有更高的电容。有关详细信息，请参阅*每通道寄生电容*表。无论此引脚是用于 ADC 输入还是用于 COMPDAC/GPDAC 基准，都存在该电容，无法禁用该电容。如果将此引脚用作片上 COMPDAC/GPDAC 的基准，请在此引脚上放置一个至少 1 µ F 的电容器。

Copyright © 2024 Texas Instruments Incorporated

6.13.3 模数转换器 (ADC)

此处所述的 ADC 模块是一个逐次逼近 (SAR) 型 ADC，具有 12 位分辨率。本节将转换器的模拟电路称为“内核”，包括通道选择 MUX、采样保持 (S/H) 电路、逐次逼近电路、电压基准电路和其他模拟支持电路。转换器的数字电路被称为“包装器”，包括用于可编程转换的逻辑、结果寄存器、模拟电路接口、外设总线接口、后处理电路以及其他片上模块接口。

每个 ADC 模块都包含一个采样保持 (S/H) 电路。ADC 模块被设计成在同一个芯片上重复多次，从而实现多个 ADC 的同步采样或独立运行。ADC 包装器基于转换启动 (SOC) (请参阅 *TMS320F28003x 实时微控制器技术参考手册* 中“模数转换器 (ADC)”一章的“SOC 工作原理”一节) 。

每个 ADC 具有以下特性：

- 12 位分辨率
- 由 VREFHI/VREFLO 设定的比例式外部基准
- 2.5V 或 3.3V 的可选内部基准电压
- 单端信号模式
- 具有多达 16 个通道的输入多路复用器
- 16 个可配置 SOC
- 16 个可单独寻址的结果寄存器
- 多个触发源
  - 软件立即启动
  - 所有 ePWM：ADCSOC A 或 B
  - GPIO XINT2
  - CPU 计时器 0/1/2
  - ADCINT1/2
- 四个灵活的 PIE 中断
- 突发模式触发选项
- 四个后处理块，每块具有：
  - 饱和偏移量校准
  - 设定点计算的误差
  - 具有中断和 ePWM 跳变功能的高电平、低电平和过零比较
  - 触发至采样延迟采集

备注

并非每个通道都可以从所有 ADC 的引脚输出。请参阅“引脚配置和功能”部分以确定哪些通道可用。

Copyright © 2024 Texas Instruments Incorporated

ADC 内核和 ADC 包装器的方框图如图 6-42 所示。

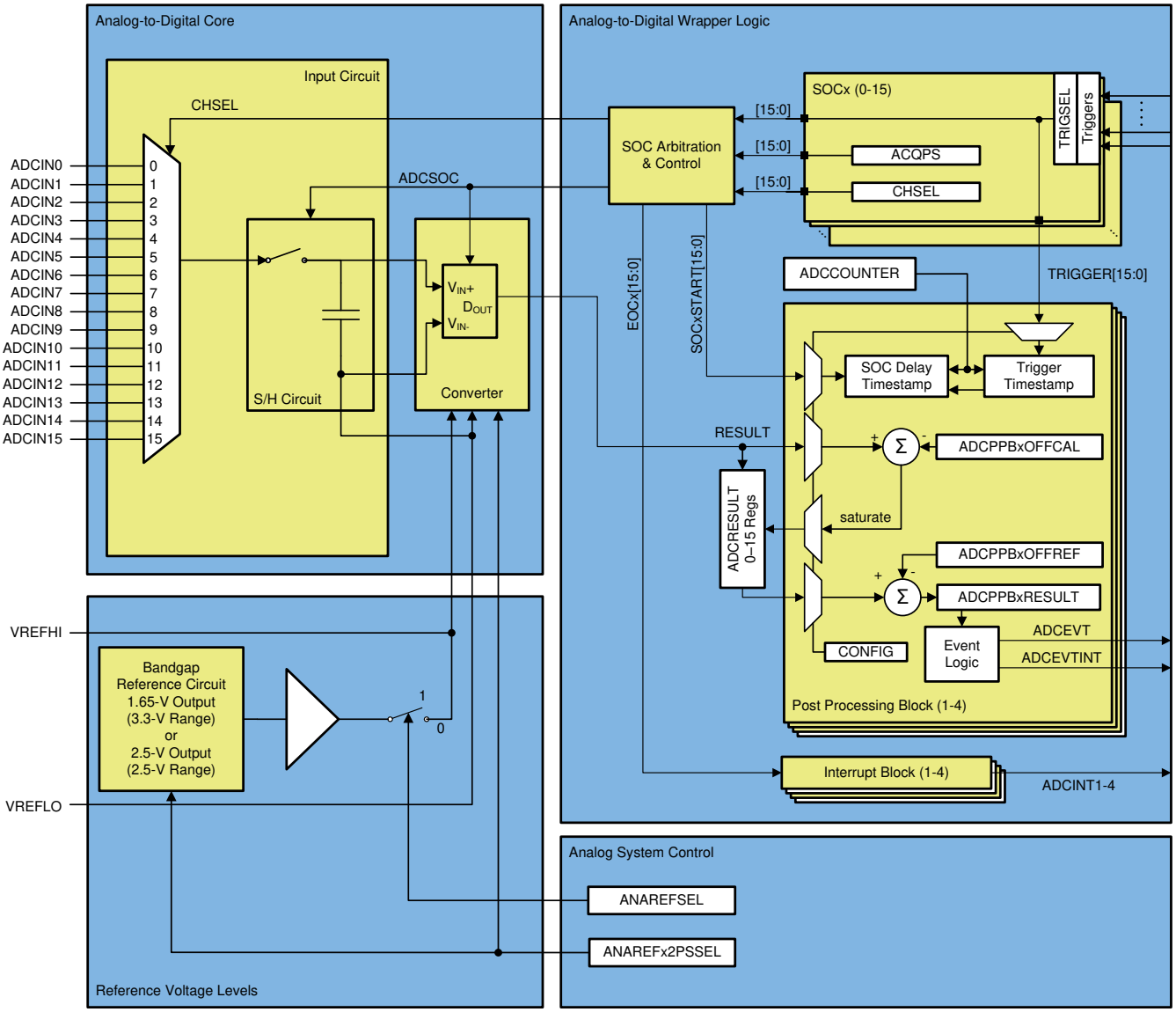


图 6-42. ADC 模块方框图

Copyright © 2024 Texas Instruments Incorporated

6.13.3.1 ADC 可配置性

一些 ADC 配置由 SOC 单独控制，而其他配置则由每个 ADC 模块全局控制。表 6-12 汇总了基本的 ADC 选项及其可配置性级别。

表 6-12. ADC 选项和配置级别

选项	可配置性
时钟	按照模块(1)
分辨率	不可配置（仅限 12 位分辨率）
信号模式	不可配置（仅限单端信号模式）
基准电压源	对所有模块均为外部或内部
触发源	按照 SOC(1)
转换后的通道	按照 SOC
采集窗口持续时间	按照 SOC(1)
EOC 位置	按照模块
突发模式	按照模块(1)

(1) 将这些值以不同方式写入不同的 ADC 模块可能会导致 ADC 异步工作。有关 ADC 何时同步或异步运行的指导，请参阅 *TMS320F28003x 实时微控制器技术参考手册* 中“模数转换器 (ADC)”一章的“确保同步运行”一节。

6.13.3.1.1 信号模式

ADC 支持单端信号模式。以 VREFLO 为基准通过单个引脚 (ADCINx) 对转换器的输入电压进行采样。

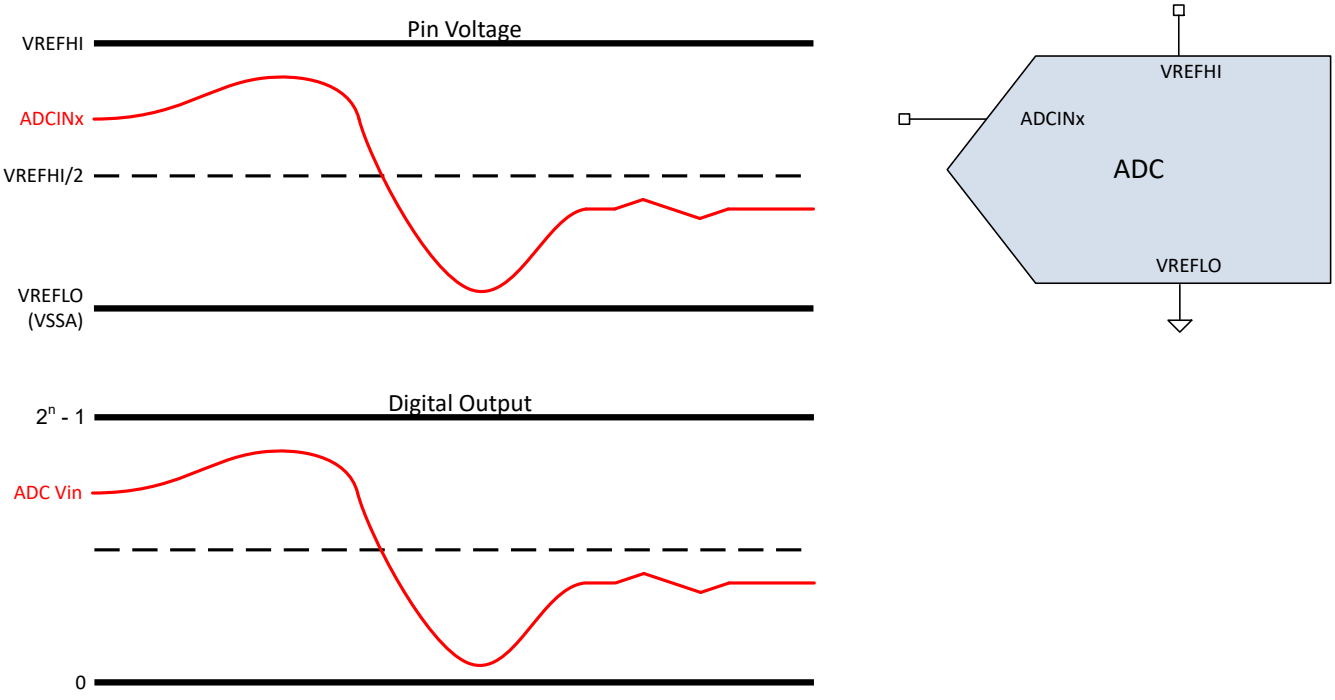


图 6-43. 单端信号模式

6.13.3.2 ADC 电气数据和时序

备注

ADC 输入应保持低于 VDDA + 0.3V。如果 ADC 输入高于此电平，则 ADC 可能会通过两种机制对其他通道产生干扰：

- ADC 输入过压将过驱 CMPSS 多路复用器，从而干扰所有其他共用一个公共 CMPSS 多路复用器的通道。无论 ADC 是否对过压输入进行采样，这种干扰都会持续存在
- 当 ADC 对过压 ADC 输入进行采样时，VREFHI 将被上拉至更高的电平。这将干扰任何通道上的后续 ADC 转换，直到 V_{REF} 稳定下来

备注

VREFHI 引脚必须保持低于 VDDA + 0.3V，以确保正常工作。如果 VREFHI 引脚超过此电平，可能会激活阻塞电路，并且 VREFHI 的内部值可能会在内部浮动至 0V，从而导致 ADC 转换不正确。

6.13.3.2.1 ADC 运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
ADCCLK（源自 PERx.SYSCLK）		5		60	MHz
采样率	120MHz SYSCLK			4	每秒百万次采样 (MSPS)
	120MHz SYSCLK（AGPIO 引脚）			3.75	MSPS
采样窗口持续时间（由 ACQPS 和 PERx.SYSCLK 设置）(1)	具有 50Ω 或更小的 R_s	75			ns
	R_s 为 50Ω 或更小（AGPIO 引脚）	90			ns
VREFHI	外部基准	2.4	2.5 或 3.0	VDDA	V
VREFHI(2)	内部基准电压 = 3.3V 范围		1.65		V
	内部基准电压 = 2.5V 范围		2.5		V
VREFLO		VSSA		VSSA	V
VREFHI - VREFLO		2.4		VDDA	V
转换范围	内部基准电压 = 3.3V 范围	0		3.3	V
	内部基准电压 = 2.5V 范围	0		2.5	V
	外部基准	VREFLO		VREFHI	V

(1) 采样窗口还必须至少达到 1 个 ADCCLK 周期的长度，才能确保 ADC 正确运行。
(2) 在内部基准模式下，基准电压由器件从 VREFHI 引脚驱动。在此模式下，用户不应将电压驱动到引脚中。

Copyright © 2024 Texas Instruments Incorporated

6.13.3.2.2 ADC 特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
通用					
ADCCLK 转换周期	120MHz SYSCLK	10.1		11	ADCCLK
上电时间	外部基准模式			500	µs
	内部基准模式			5000	µs
	在 2.5V 和 3.3V 范围之间切换时采用内部基准模式。			5000	µs
VREFHI 输入电流(1)			130		µA
内部基准电容值(2)		2.2			µF
外部基准电容值(2)		2.2			µF
直流特性					
增益误差	内部基准电压	-45		45	LSB
	外部基准	-5	±3	5	
失调电压误差		-5	±2	5	LSB
通道间增益误差(4)			2		LSB
通道间失调电压误差(4)			2		LSB
ADC 间增益误差(5)	所有 ADC 的 VREFHI 和 VREFLO 都相同		4		LSB
ADC 间失调电压误差(5)	所有 ADC 的 VREFHI 和 VREFLO 都相同		2		LSB
DNL 误差		> -1	±0.5	1	LSB
INL 误差		-2	±1.0	2	LSB
ADC 间隔离	VREFHI = 2.5V，同步 ADC	-1		1	LSB
交流特性					
SNR(3)	外部 VREFHI/内部 VREFHI = 2.5V，fin = 100kHz，SYSCLK 源自 X1		70.5		dB
	内部 VREFHI = 1.65V（0V 至 3.3V 范围），fin = 100kHz，SYSCLK 源自 X1		68.2		dB
	外部/内部 VREFHI，fin = 100kHz，SYSCLK 源自 INTOSC		60.1		
THD(3)	外部 VREFHI/内部 VREFHI = 2.5V，fin = 100kHz，SYSCLK 源自 X1		-85.0		dB
	内部 VREFHI = 1.65V（0V 至 3.3V 范围），fin = 100kHz，SYSCLK 源自 X1		-82.3		dB
SFDR(3)	外部/内部 VREFHI，fin = 100kHz		79.2		dB
SINAD(3)	外部 VREFHI/内部 VREFHI = 2.5V，fin = 100kHz，SYSCLK 源自 X1		70.4		dB
	内部 VREFHI = 1.65V（0V 至 3.3V 范围），fin = 100kHz，SYSCLK 源自 X1		68.0		dB
	外部/内部 VREFHI，fin = 100kHz，SYSCLK 源自 INTOSC		60.0		
ENOB(3)	外部 VREFHI/内部 VREFHI = 2.5V，fin = 100kHz，SYSCLK 源自 X1，单通道和同步 ADC		11.4		位
	内部 VREFHI = 1.65V（0V 至 3.3V 范围），fin = 100kHz，SYSCLK 源自 X1，单通道和同步 ADC		11.0		
	任何 VREF 模式，fin = 100kHz，SYSCLK 源自 X1，异步 ADC		不支持		

Copyright © 2024 Texas Instruments Incorporated

6.13.3.2.2 ADC 特性（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
PSRR	VDD = 1.2V 直流 + 100mV 直流至正弦（1kHz 时）		60		dB
	VDD = 1.2V 直流 + 100mV 直流至正弦（300kHz 时）		57		
	VDDA = 3.3V 直流 + 200mV 直流至正弦（1kHz 时）		60		
	VDDA = 3.3V 直流 + 200mV 正弦（900kHz 时）		57		

(1) 当 ADC 输入大于 VDDA 时，VREFHI 上的负载电流会增加。这会导致转换不准确。
(2) 最好使用封装尺寸为 0805 或更小的陶瓷电容器。可接受高达 ±20% 的容差。
(3) 作为减少电容耦合和串扰的最佳实践的一部分，与 ADC 输入和 VREFHI 引脚相邻的引脚上的 IO 活动已尽可能减少。
(4) 同一 ADC 模块的所有通道之间的差异。
(5) 与其他 ADC 模块相比的最坏情况变化。

6.13.3.2.3 ADC 输入模型

表 6-13 和图 6-44 给出了 ADC 输入特性。

表 6-13. 编辑模型参数

	说明	基准模式	值
C_p	寄生输入电容	全部	请参阅表 6-14 至表 6-17
R_{on}	采样开关电阻	外部基准，2.5V 内部基准	500Ω
		3.3V 内部基准	860Ω
C_h	采样电容器	外部基准，2.5V 内部基准	12.5pF
		3.3V 内部基准	7.5pF
R_s	标称源阻抗	全部	50Ω

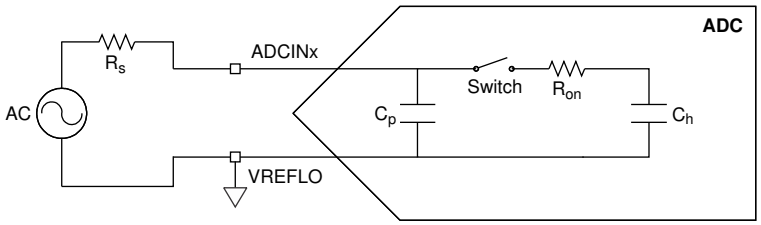


图 6-44. 输入模型

应将此输入模型与实际信号源阻抗配合使用，来确定采集窗口持续时间。要了解更多信息，请参阅 *TMS320F28003x 实时微控制器技术参考手册* 中“模数转换器 (ADC)”一章的“选择采集窗口持续时间”部分。有关改进 ADC 输入电路的建议，请参阅 *C2000 MCU 的 ADC 输入电路评估* 应用报告。

表 6-14. 100 引脚 PZ LQFP 的每通道寄生电容

ADC 通道	C_p (pF)	
	比较器已禁用	比较器已启用
A0/B15/C15/DACA_OUT	9.1	11.6
A1/B7/DACB_OUT	7.4	9.9
A2/B6/C9	4.1	6.6
A3	3.3	5.8
A4/B8	3.8	6.3

Copyright © 2024 Texas Instruments Incorporated

表 6-14. 100 引脚 PZ LQFP 的每通道寄生电容（续）

ADC 通道	C_p (pF)	
	比较器已禁用	比较器已启用
A5	3.5	6
A6	3.2	5.7
A7/C3	3.8	6.3
A8	4.1	6.6
A9	3.1	5.6
A10/B1/C10	4.7	7.2
A11/B11/C0	4	6.5
A12	3.4	5.9
A14/B14/C4	3.8	6.3
B0/C11	4.1	6.6
B2/C6	3.9	6.4
B3/VDAC	75	77.5
B4/C8	3.8	6.3
B5	3.5	6
B9/C7	3.3	5.8
B11	3	5.5
B12/C2	3.6	6.1
C1	3	5.5
C5	3.6	6.1
C14	4.2	6.7
AGPIO_B5	3.2	5.7
AGPIO_B11	3.1	5.6

表 6-15. 80 引脚 PN LQFP 的每通道寄生电容

ADC 通道	C_p (pF)	
	比较器已禁用	比较器已启用
A0/B15/C15/DACA_OUT	9.1	11.6
A1/B7/DACB_OUT	7.4	9.9
A2/B6/C9	4.1	6.6
A3/B3/C5/VDAC	81.9	89.4
A4/B8/C14	8	13
A5/B12/C2	7.1	12.1
A6	3.2	5.7
A7/C3	3.8	6.3
A8/B0/C11	8.2	13.2
A9/B4/C8	6.9	11.9
A10/B1/C10	4.7	7.2
A11/B11/C0	4	6.5
A12/C1	6.4	11.4
A14/B14/C4	3.8	6.3
A15/B9/C7	7.1	12.1
B2/C6	3.9	6.4
AGPIO_B5	3.2	5.7

Copyright © 2024 Texas Instruments Incorporated

表 6-15. 80 引脚 PN LQFP 的每通道寄生电容 （续）

ADC 通道	C_p (pF)	
	比较器已禁用	比较器已启用
AGPIO_B11	3.1	5.6

表 6-16. 64 引脚 PM LQFP 的每通道寄生电容

ADC 通道	C_p (pF)	
	比较器已禁用	比较器已启用
A0/B15/C15/DACA_OUT	9.1	11.6
A1/B7/DACB_OUT	7.4	9.9
A2/B6/C9	4.1	6.6
A3/B3/C5/VDAC	81.9	89.4
A4/B8/C14	8	13
A5/B12/C2	7.1	12.1
A6	3.2	5.7
A7/C3	3.8	6.3
A8/B0/C11	8.2	13.2
A9/B4/C8	6.9	11.9
A10/B1/C10	4.7	7.2
A11/B11/C0	4	6.5
A12/C1	6.4	11.4
A14/B14/C4	3.8	6.3
A15/B9/C7	7.1	12.1
B2/C6	3.9	6.4

表 6-17. 48 引脚 PT LQFP 的每通道寄生电容

ADC 通道	C_p (pF)	
	比较器已禁用	比较器已启用
A0/B15/C15/DACA_OUT	9.1	11.6
A1/B7/DACB_OUT	7.4	9.9
A2/B6/C9	4.1	6.6
A3/B3/C5/VDAC	81.9	89.4
A4/B8/C14	8	13
A5/B12/C2	7.1	12.1
A6/B2/C6	7.1	12.1
A7/C3	3.8	6.3
A8/B0/C11	8.2	13.2
A9/B4/C8	6.9	11.9
A10/B1/C10	4.7	7.2
A11/B11/C0	4	6.5
A12/C1	6.4	11.4
A15/B9/C7	7.1	12.1

Copyright © 2024 Texas Instruments Incorporated

6.13.3.2.4 ADC 时序图

图 6-45 展示了在下列假设下两个 SOC 的 ADC 转换时序：

- SOC0 和 SOC1 配置为使用相同的触发器。
- 触发发生时，没有其他 SOC 正在转换或挂起。
- 轮循指针处于使 SOC0 首先转换的状态。
- ADCINTSEL 配置为在 SOC0 的转换结束时设置一个 ADCINT 标志（该标志是否传播到 CPU 以引起中断由 PIE 模块中的配置决定）。

表 6-18 列出了 ADC 时序参数的说明。表 6-19 列出了 ADC 时序。

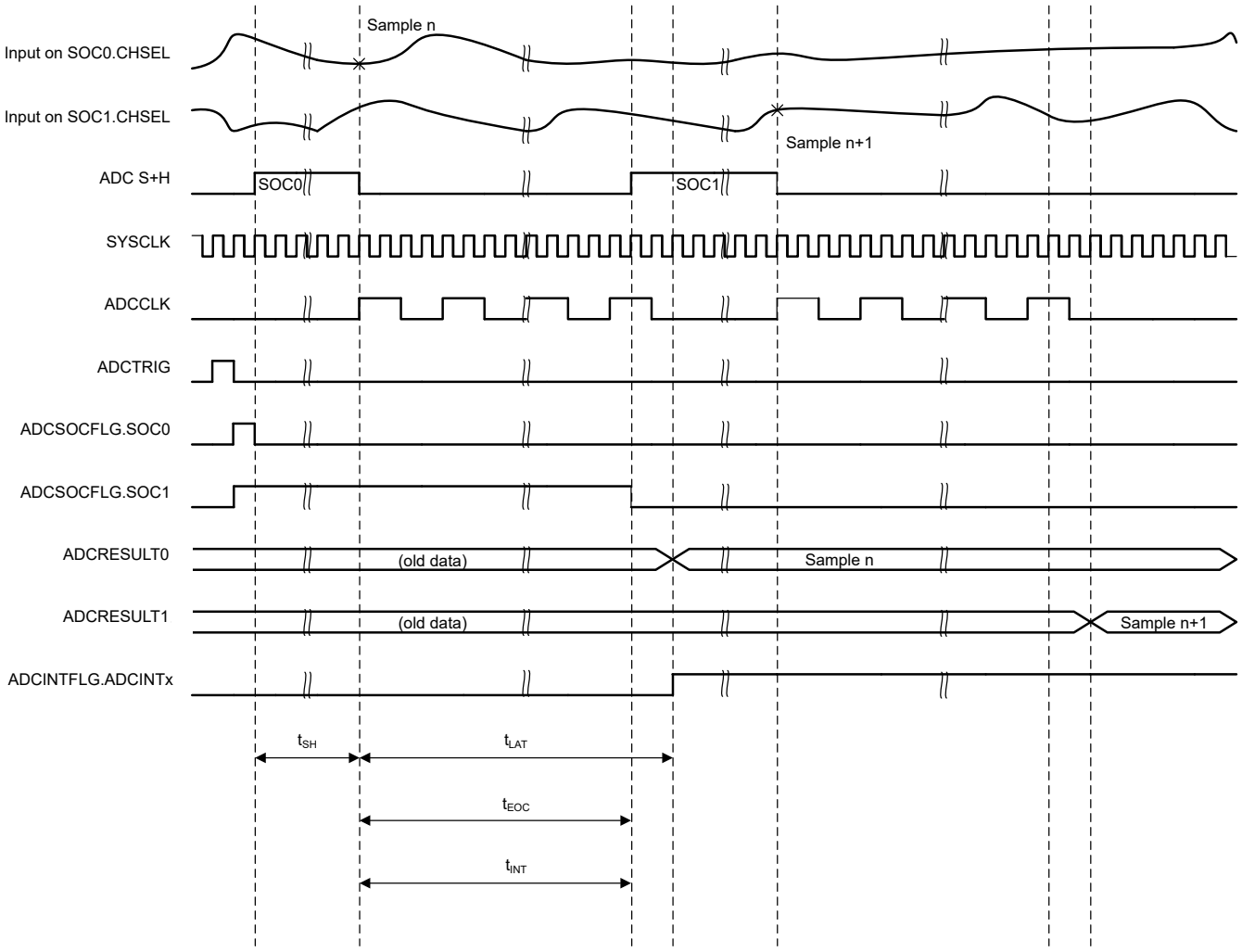


图 6-45. ADC 时序

表 6-18. ADC 时序参数说明

参数	说明
t_{SH}	S+H 窗口的持续时间。 在该窗口结束时，S+H 电容器上的值则变为待转换成数字值的电压。持续时间由 (ACQPS + 1) 个 SYSCLK 周期计算得出。ACQPS 可以为每个 SOC 单独配置，因此对于不同的 SOC，t_{SH} 不一定相同。 **注意：**无论器件时钟设置如何，S+H 电容器上的值均在 S+H 窗口结束前大约 5ns 时被采集。
t_{LAT}	从 S+H 窗口结束到 ADC 结果锁存到 ADCRESULTx 寄存器的时间。 如果在此时间之前读取 ADCRESULTx 寄存器，返回的是之前的转换结果。
t_{EOC}	从 S+H 窗口结束到下一个 ADC 转换的 S+H 窗口可以开始的时间。后续采样可以在锁存转换结果之前开始。
t_{INT}	从 S+H 窗口结束到设置 ADCINT 标志（如果已配置）的时间。 如果 ADCCTL1 寄存器中的 INTPULSEPOS 位被置位，t_{INT} 将与转换结束 (EOC) 信号相一致。 如果 INTPULSEPOS 位为 0，t_{INT} 将与 S+H 窗口的结束相一致。如果 t_{INT} 触发读取 ADC 结果寄存器（直接通过 DMA 读取或间接地通过触发读取结果的 ISR 来读取），必须注意确保读取发生在结果锁存之后（否则，读取的是之前的结果）。 如果 INTPULSEPOS 位为 0，并且 ADCINTCYCLE 寄存器中的 OFFSET 字段不为 0，则在设置 ADCINT 标志之前会有 OFFSET SYSCLK 周期的延迟。此延迟可用于在采样准备就绪时进入 ISR 或触发 DMA。

表 6-19. ADC 时序

ADCCLK 预分频		SYSCLK 周期				ADCCLK 周期
ADCCTL2 [预分频]	比率 ADCCLK:SYSCLK	t_{EOC}	t_{LAT} (1)	$t_{INT(EARLY)}$ (2)	$t_{INT(LATE)}$	t_{EOC}
0	1	11	13	1	11	11
2	2	21	23	1	21	10.5
4	3	31	34	1	31	10.3
6	4	41	44	1	41	10.3
8	5	51	55	1	51	10.2
10	6	61	65	1	61	10.2
12	7	71	76	1	71	10.1
14	8	81	86	1	81	10.1

(1) 请参阅 *TMS320F28003x 实时 MCU 器件勘误表* 中的“ADC：DMA 读取过时结果”公告。
(2) 默认情况下，如果 INTPULSEPOS 为 0，则 t_{INT} 在 S+H 窗口后的一个 SYSCLK 周期内发生。这可以通过写入 ADCINTCYCLE 寄存器的 OFFSET 字段来改变。

Copyright © 2024 Texas Instruments Incorporated

6.13.4 温度传感器

6.13.4.1 温度传感器电气数据和时序

温度传感器可用于测量器件结温。温度传感器通过与 ADC 的内部连接进行采样，并通过 TI 提供的软件转换为温度。在对温度传感器进行采样时，ADC 必须满足“温度传感器特性”表中的采集时间要求。

6.13.4.1.1 温度传感器特征

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
T_{acc}	温度精度	外部基准		±15		°C
$t_{startup}$	启动时间（TSNSCTL[ENABLE] 至采样温度传感器）			500		µs
t_{acq}	ADC 采集时间		450			ns

6.13.5 比较器子系统 (CMPSS)

比较器子系统 (CMPSS) 由模拟比较器和支持电路组成，这些电路对于峰值电流模式控制、开关模式电源、功率因数校正、电压跳闸监控等电源应用非常有用。

比较器子系统基于多个模块构建而成。每个子系统包含两个比较器、两个基准 12 位 DAC（CMPSS_LITE 实例是 9.5 位有效基准 DAC）和两个数字滤波器。该子系统还包括一个斜坡发生器。比较器在每个模块中用“H”或“L”表示，其中“H”代表高电平，“L”代表低电平。每个比较器都会生成一个数字输出，指示正输入端的电压是否大于负输入端的电压。比较器的正输入由一个外部引脚驱动（请参阅 *TMS320F28003x 实时微控制器技术参考手册* 中的*模拟子系统*一章，了解适用于 CMPSS 的多路复用器选项）。负输入可由外部引脚或可编程基准 12 位 DAC 驱动。每个比较器输出都会通过一个可编程的数字滤波器，该滤波器可以去除伪跳变信号。如果不需要滤波，也可以使用未滤波的输出。一个斜坡发生器电路可用于控制该子系统中高电平比较器的基准 12 位 DAC 值。

每个 CMPSS 包含：

- 两个模拟比较器
- 两个可编程的基准 12 位 DAC
- 一个斜坡发生器
- 两个数字滤波器，65536 最大滤波器时钟预分频
- 能够将各个子模块与 EPWMSYNCPER 同步
- 能够通过 EPWMBLANK 扩展清除信号
- 能够将输出与 SYSCLK 同步
- 能够锁存输出
- 能够反转输出
- 可选择在输入端使用迟滞
- 可选择通过外部信号或基准 DAC 驱动比较器的负输入
- 可选择 VDDA 或 VDAC 作为 DAC 基准电压

Copyright © 2024 Texas Instruments Incorporated

6.13.5.1 CMPSS 连接图

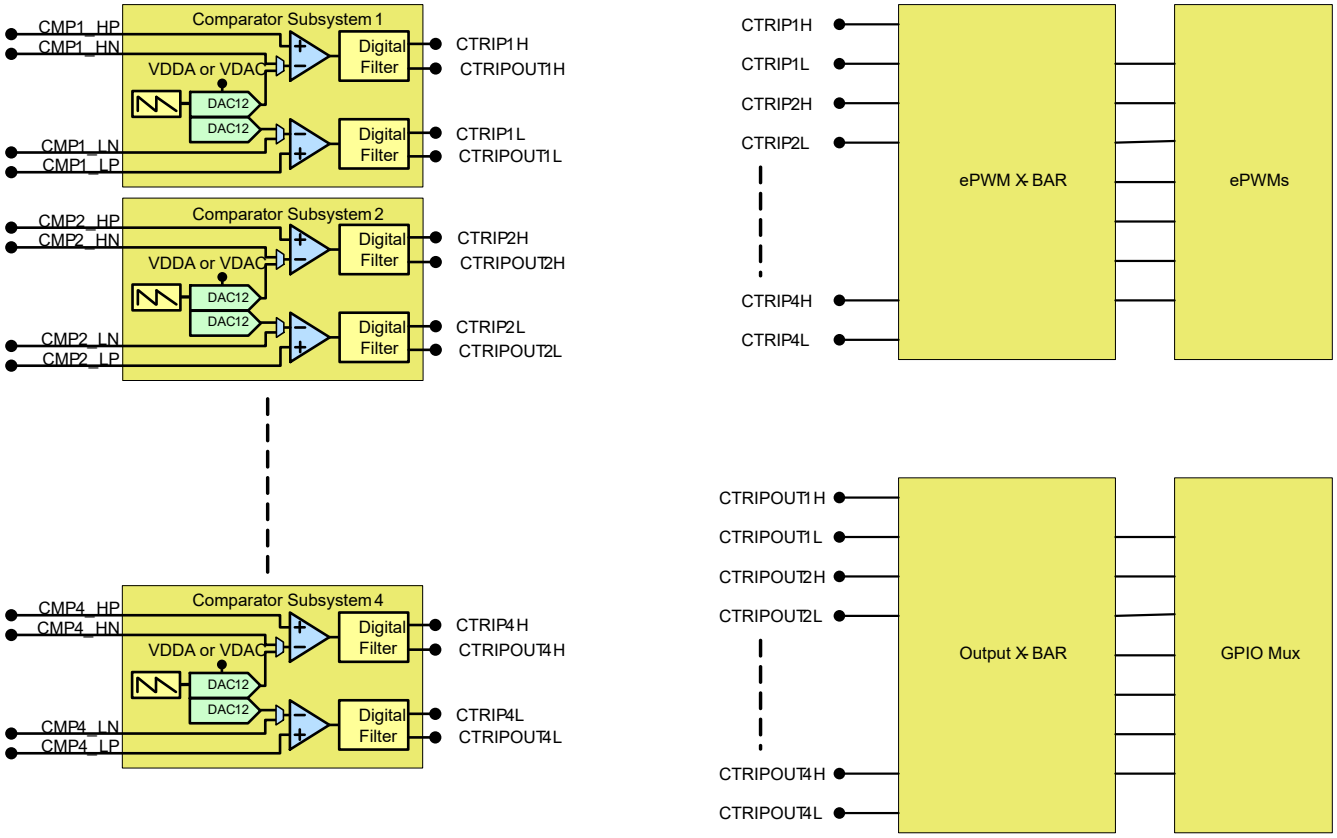


图 6-46. CMPSS 连接

6.13.5.2 方框图

CMPSS 的方框图如图 6-47 所示。

- CTRIPx (x=“H”或“L”) 信号连接到 ePWM X-BAR，用于 ePWM 跳变响应。更多有关 ePWM X-BAR 多路复用器配置的详细信息，请参阅 *TMS320F28003x 实时微控制器技术参考手册* *TMS320F28P65x 实时微控制器技术参考手册* 中的“增强型脉宽调制器 (ePWM)”一章。
- CTRIPxOUTx (x=“H”或“L”) 信号连接到输出 X-BAR，用于外部信号。更多有关输出 X-BAR 多路复用器配置的详细信息，请参阅 *TMS320F28003x 实时微控制器技术参考手册* *TMS320F28P65x 实时微控制器技术参考手册* 中的“通用输入/输出 (GPIO)”一章。

Copyright © 2024 Texas Instruments Incorporated

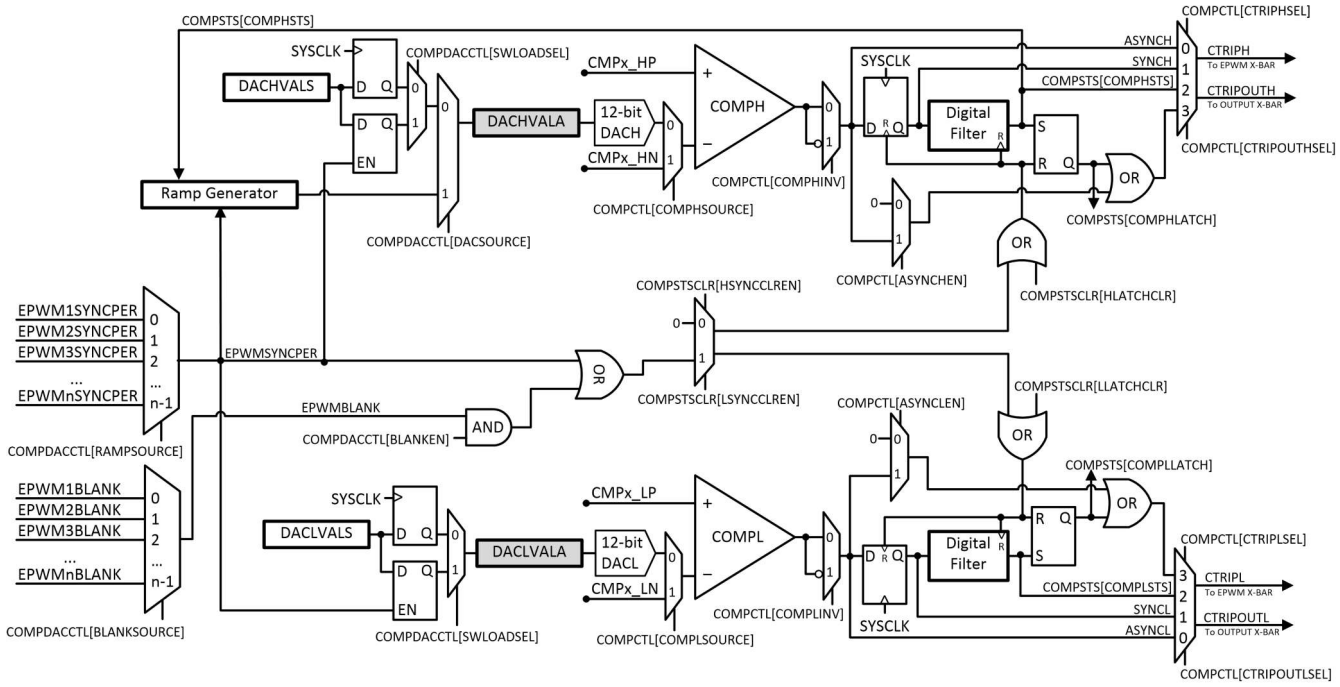


图 6-47. CMPSS 模块方框图

每个基准 12 位 DAC 都可以配置为将基准电压驱动到相应比较器的负输入端。基准 12 位 DAC 输出仅为内部输出、无法从外部观察到。 参考 12 位 DAC 如所示 图 6-48。

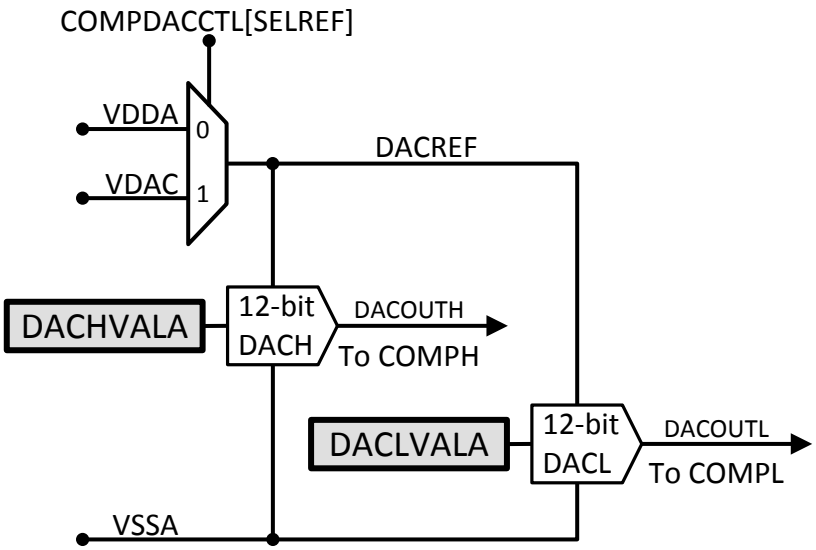


图 6-48. 参考设计方框图

Copyright © 2024 Texas Instruments Incorporated

6.13.5.3 CMPSS 电气数据和时序

6.13.5.3.1 比较器电气特性

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
TPU	上电时间				500	µs
比较器输入 (CMPINxx) 范围			0		VDDA	V
以输入为基准的失调电压误差		低共模，反相输入设置为 50mV	-20		20	mV
迟滞(1)		1x	4	12	20	LSB
		2x	17	24	33	
		3x	25	36	50	
		4x	30	48	67	
响应时间（通过 ePWM X-BAR 或输出 X-BAR 从 CMPINx 输入引脚更改到 GPIO 输出引脚的延迟）		阶跃响应		21	60	ns
		斜坡响应 (1.65V/µs)		26		
		斜坡响应 (8.25mV/µs)		30		ns
PSRR	电源抑制比	高达 250kHz		46		dB
CMRR	共模抑制比		40			dB

(1) CMPSS DAC 用作确定应用多少迟滞的基准。因此，迟滞将随 CMPSS DAC 基准电压而变化。迟滞适用于所有比较器输入源配置。

CMPSS 比较器以输入为基准的偏移量和迟滞

备注

CMPSS 输入必须保持低于 VDDA + 0.3V，以确保正常工作。如果 CMPSS 输入超过此电平，内部阻塞电路将内部比较器与外部引脚隔离，直至外部引脚电压返回到 VDDA + 0.3V 以下。在此期间，内部比较器输入将处于悬空状态，并能在大约 0.5µs 内衰减至 VDDA 以下。在此之后，比较器可能会开始输出不正确的结果，具体取决于其他比较器输入的值。

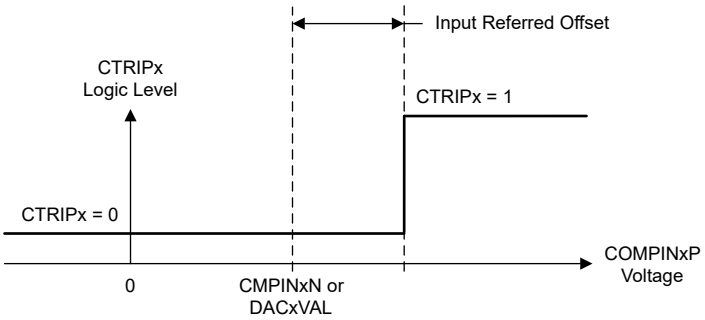


图 6-49. CMPSS 比较器以输入为基准的偏移量

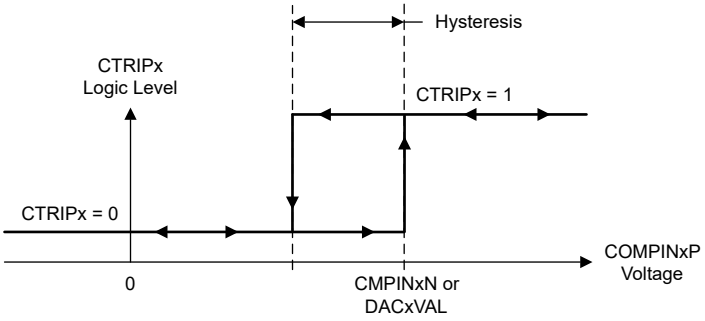


图 6-50. CMPSS 比较器迟滞

Copyright © 2024 Texas Instruments Incorporated

6.13.5.3.2 CMPSS DAC 静态电气特性

在建议运行条件下测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
CMPSS DAC 输出范围	内部基准	0		VDDA	V
	外部基准	0		VDAC(4)	
静态失调电压误差(1)		–25		25	mV
静态增益误差(1)		-2		2	FSR 百分比
静态 DNL	已更正端点	> –1		4	LSB
静态 INL	已更正端点	–16		16	LSB
趋稳时间	满量程输出变化后稳定到 1LSB			1	μs
分辨率			12		位
CMPSS DAC 输出干扰(2)	由同一 CMPSS 模块内的比较器跳闸或 CMPSS DAC 代码更改引起的误差	–100		100	LSB
CMPSS DAC 干扰时间(2)				200	ns
VDAC 基准电压	当 VDAC 为基准时	2.4	2.5 或 3.0	VDDA	V
VDAC 负载(3)	当 VDAC 为基准时	6	8	10	kΩ，

(1) 包含以比较器输入为基准的误差。
(2) 在比较器跳闸后的一段时间内，CMPSS DAC 输出可能会出现干扰误差。
(3) 每个有源 CMPSS 模块。
(4) 当 VDAC > VDDA 时，最大输出电压为 VDDA。

6.13.5.3.3 CMPSS 示意图

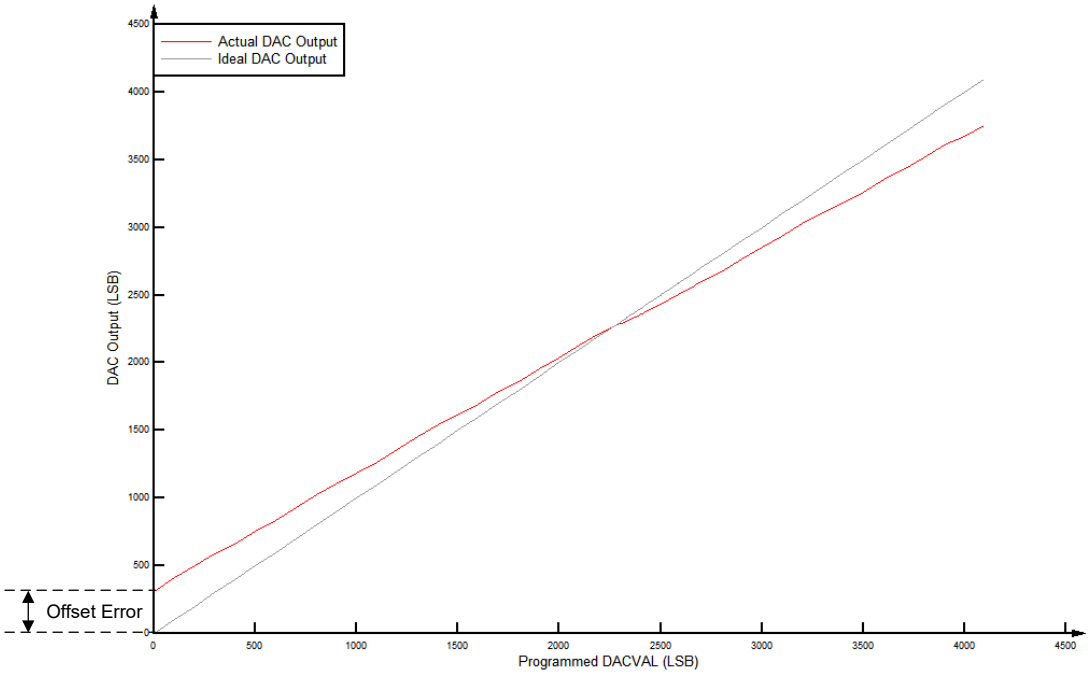


图 6-51. CMPSS DAC 静态偏移量

Copyright © 2024 Texas Instruments Incorporated

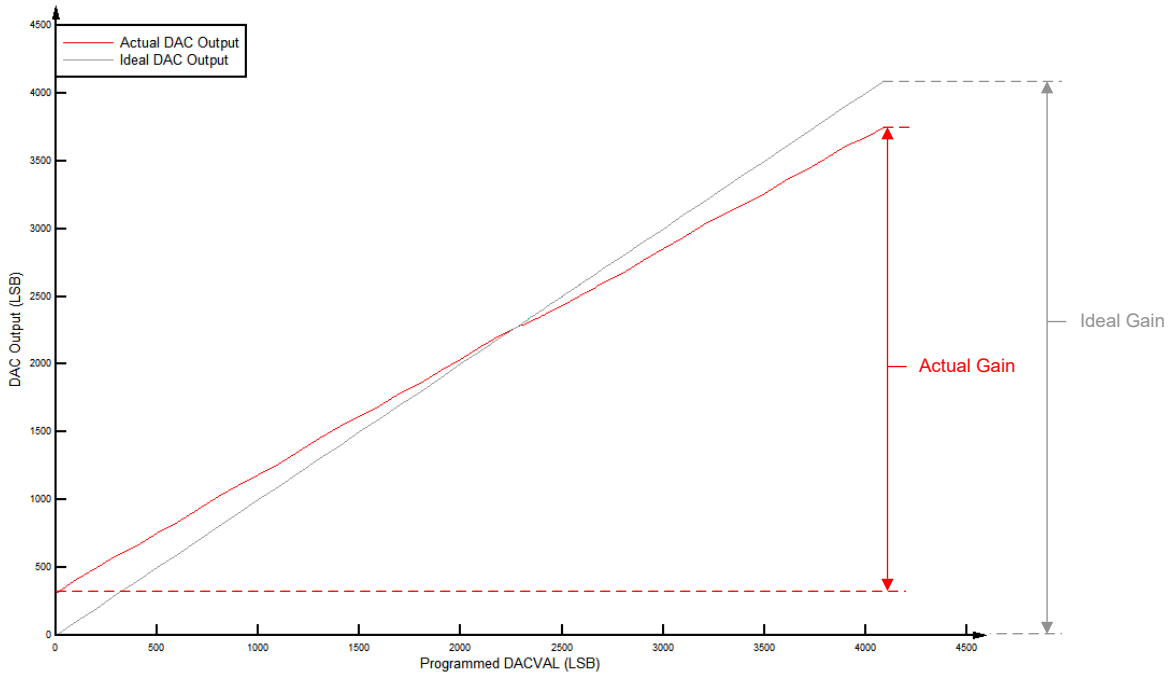


图 6-52. CMPSS DAC 静态增益

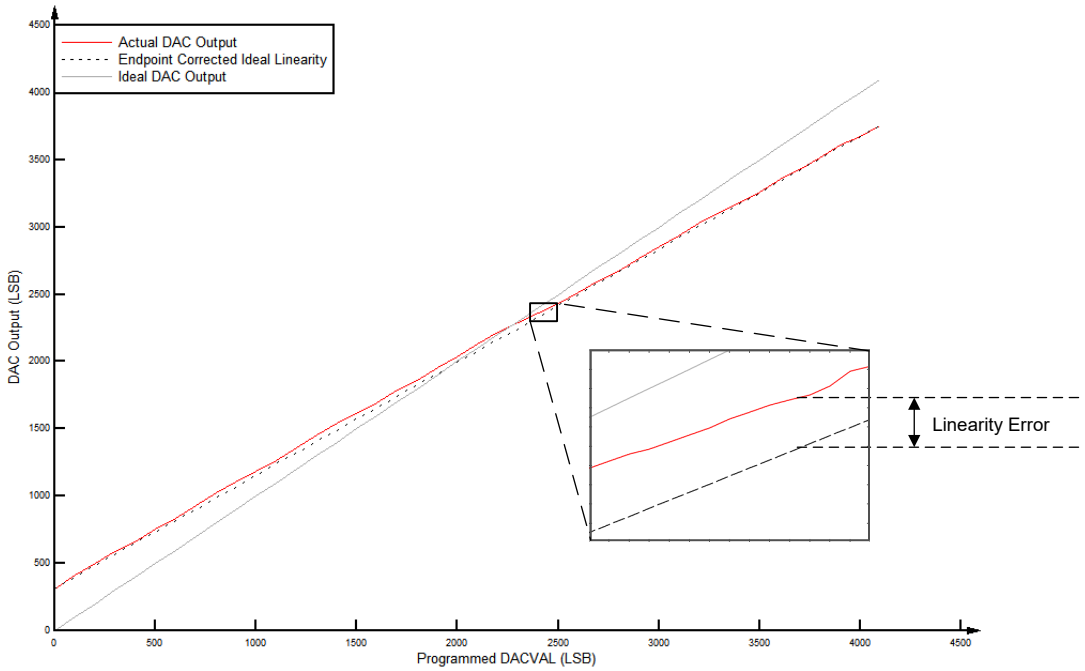


图 6-53. CMPSS DAC 静态线性

6.13.5.3.4 CMPSS DAC 动态误差

当使用斜坡发生器控制内部 DAC 时，阶跃大小可以根据应用需求而变化。由于 DAC 的阶跃大小小于满量程转换，因此，稳定时间比 *CMPSS DAC 静态电气特性* 表 中列出的电气规格有所改善。下面的公式和图 6-54 可以根据不同的 RAMPxDECVALA 值，提供有关与理想值之间预期电压误差的指导。

$$DYNAMICERROR = (m \times RAMPxDECVALA) + b \quad (3)$$

表 6-20. DAC 最大动态误差项

公式参数	最小值 (LSB)	最大值 (LSB)
m	0.10	0.18
b	3.7	5.6

备注

上述误差项基于目标器件的最大 SYSCLK。如果在最大 SYSCLK 以下运行，则“m”误差项应相应调整。

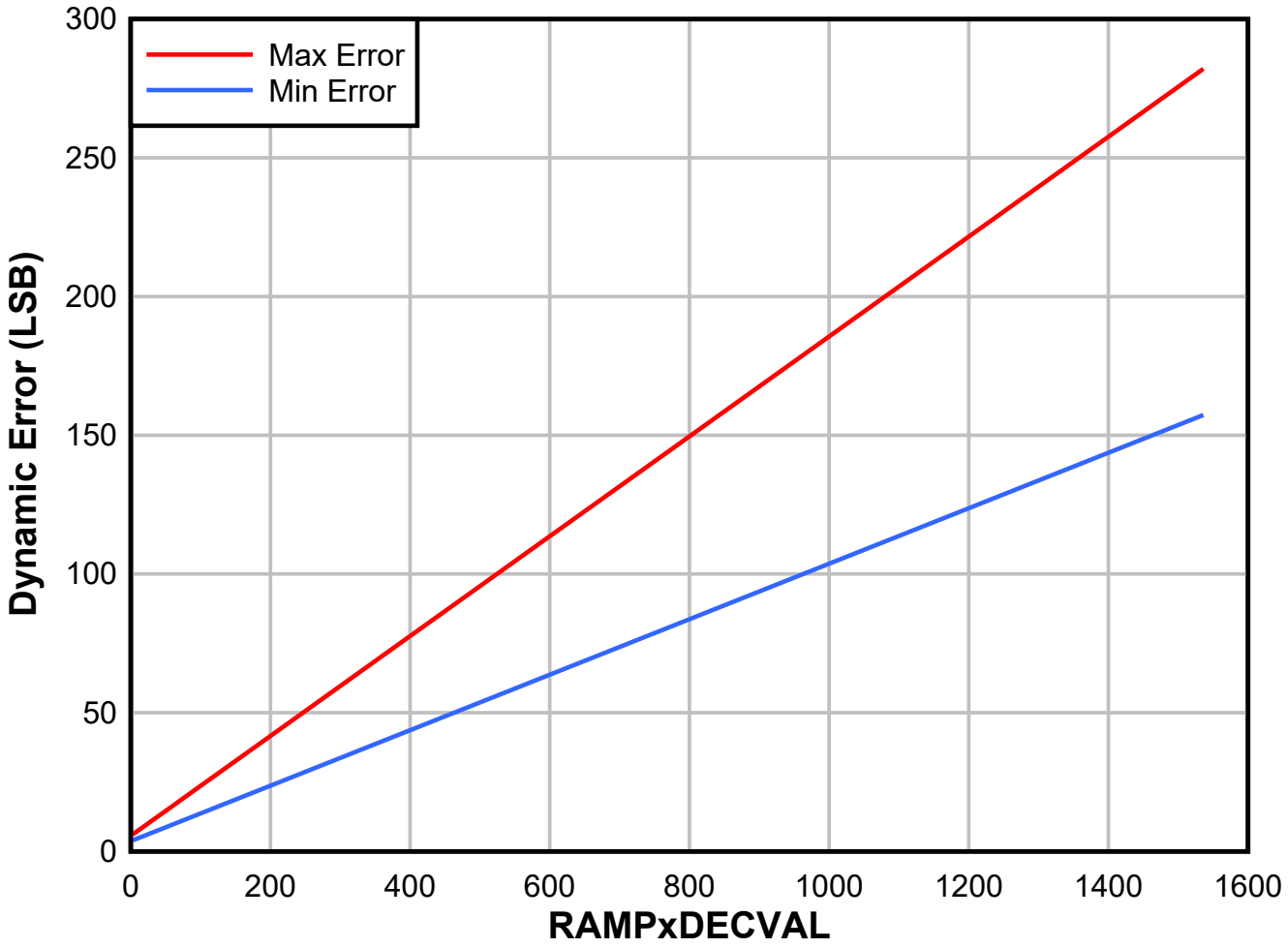


图 6-54. CMPSS DAC 动态误差

Copyright © 2024 Texas Instruments Incorporated

6.13.6 缓冲数模转换器 (DAC)

缓冲 DAC 模块由一个内部 12 位 DAC 和一个可以驱动外部负载的模拟输出缓冲器组成。为了驱动比典型值更高的负载，可以在负载大小和输出电压摆幅之间进行权衡。对于缓冲 DAC 的负载条件，请参阅“缓冲 DAC 电气数据和时序”部分。缓冲 DAC 是一种通用 DAC，可用于生成直流电压或交流波形，例如正弦波、方波、三角波等。软件写入 DAC 值寄存器可立即生效，也可以与 EPWMSYNCO 事件同步。

每个缓冲 DAC 具有以下特性：

- 12 位分辨率
- 可选择的基准电压源
- 使用内部 VREFHI 时的 X1 和 x2 增益模式
- 能够与 EPWMSYNCPER 同步

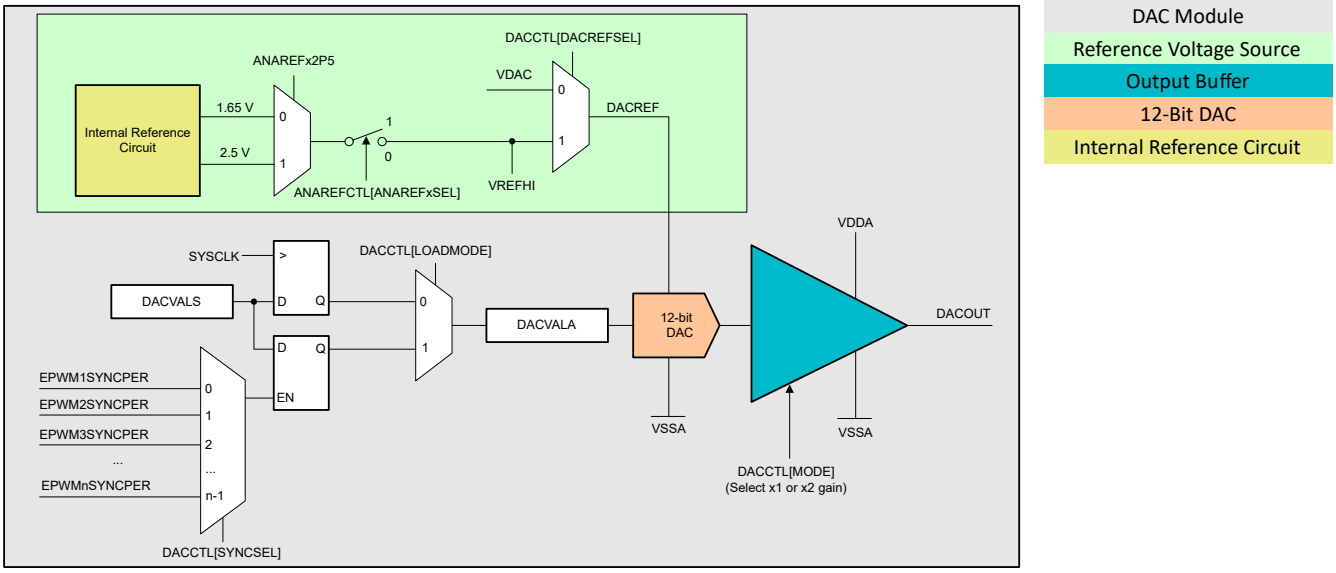


图 6-55. DAC 模块方框图

6.13.6.1 缓冲 DAC 电气数据和时序

6.13.6.1.1 缓冲 DAC 运行条件

在建议运行条件下测得（除非另有说明）(1)

参数		测试条件	最小值	典型值	最大值	单位
R_L	电阻负载(2)		5			kΩ
C_L	容性负载				100	pF
V_{OUT}	有效输出电压范围(3)	R_L = 5kΩ	0.3		VDDA – 0.3	V
		R_L = 1kΩ	0.6		VDDA – 0.6	V
基准电压(4)		VDAC 或 VREFHI	2.4	2.5 或 3.0	VDDA	V

(1) 典型值是在 VREFHI = 3.3V 和 VREFLO = 0V 时测得的，除非另外注明。在 VREFHI = 2.5V 和 VREFLO = 0V 条件下对最小值和最大值进行测试或表征。
(2) DAC 可以驱动最小 1kΩ 的阻性负载，但输出范围会受到限制。
(3) 这是 DAC 的线性输出范围。DAC 可以产生此范围以外的电压，但由于缓冲器的原因，输出电压将不呈线性。
(4) 为了获得卓越 PSRR 性能，VDAC 或 VREFHI 应小于 VDDA。

6.13.6.1.2 缓冲 DAC 电气特性

在建议运行条件下测得（除非另有说明）(1)

参数		测试条件	最小值	典型值	最大值	单位
通用						
分辨率				12		位
负载调整率			-1		1	mV/V
毛刺脉冲能量				1.5		V-ns
电压输出稳定时间满量程		在 0.3V 至 3V 切换后稳定到 2LSB			2	µs
电压输出稳定时间第 1/4 满量程		在 0.3V 至 0.75V 切换后稳定到 2LSB			1.6	µs
电压输出压摆率		从 0.3V 到 3V 转换的压摆率	2.8		4.5	V/µs
负载瞬态的稳定时间		5kΩ 负载			328	ns
		1kΩ 负载			557	ns
基准输入电阻(2)		VDAC 或 VREFHI	160	200	240	kΩ
TPU	上电时间	外部基准模式			500	µs
		内部基准模式			5000	µs
直流特性						
偏移	偏移量误差	中点	-10		10	mV
Gain	增益误差(3)		-2.5		2.5	FSR 百分比
DNL	微分非线性(4)	已更正端点	-1	±0.4	1	LSB
INL	积分非线性	已更正端点	–5	±2	5	LSB
交流特性						
输出噪声		从 100Hz 到 100kHz 的积分噪声		600		µVrms
		10kHz 时的噪声密度		800		nVrms/√Hz
SNR	信噪比	1kHz，200KSPS		64		dB
THD	总谐波失真	1kHz，200KSPS		-64.2		dB
SFDR	无杂散动态范围	1kHz，200KSPS		66		dB
SINAD	信噪比和失真比	1kHz，200KSPS		61.7		dB

Copyright © 2024 Texas Instruments Incorporated

6.13.6.1.2 缓冲 DAC 电气特性（续）

在建议运行条件下测得（除非另有说明）(1)

参数		测试条件	最小值	典型值	最大值	单位
PSRR	电源抑制比(5)	直流		70		dB
		100kHz		30		dB

(1) 典型值是在 VREFHI = 3.3V 和 VREFLO = 0V 时测得的，除非另外注明。在 VREFHI = 2.5V 和 VREFLO = 0V 条件下对最小值和最大值进行测试或表征。
(2) 每个有源缓冲 DAC 模块。
(3) 增益误差是在线性输出范围内计算得出。
(4) DAC 输出是单调输出。
(5) VREFHI = 3.2V，VDDA = 3.3V DC + 100mV 正弦。

Copyright © 2024 Texas Instruments Incorporated

6.14 控制外设

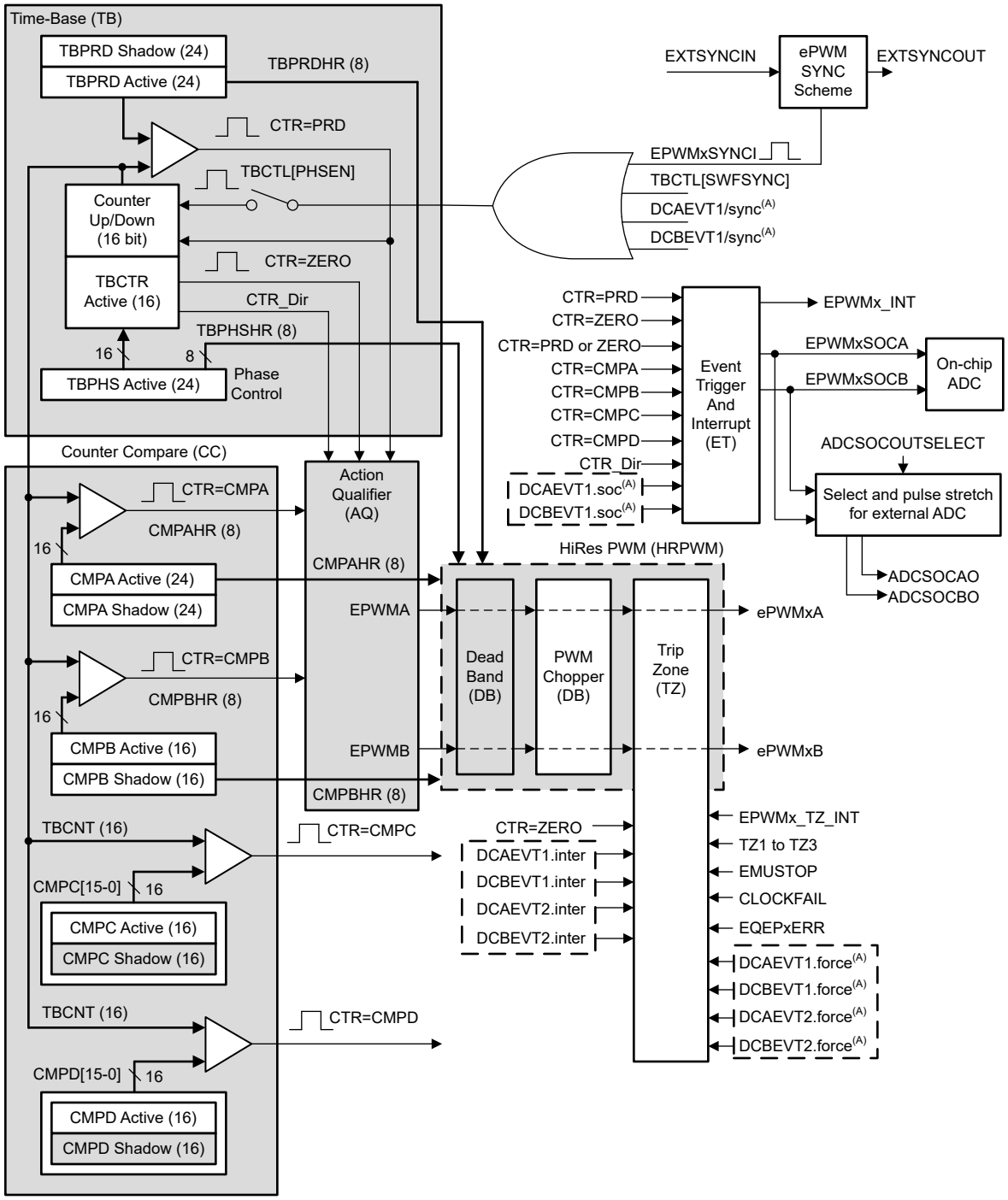
6.14.1 增强型脉宽调制器 (ePWM)

ePWM 外设是控制商业和工业设备中的许多电力电子系统的关键元件。通过从具有独立资源（这些独立资源可以一起运行形成一个系统）的较小模块构建外设，ePWM 4 类模块能够以最小的 CPU 开销生成复杂的脉冲宽度波形。ePWM 4 类模块的一些亮点包括复杂波形生成、死区生成、灵活的同步方案、高级跳变区功能和全局寄存器重载功能。

借助该器件上的 ePWM 和 eCAP 同步方案，可灵活地划分 ePWM 和 eCAP 模块，并可在这些模块内进行局部同步。

图 6-56 展示了 ePWM 模块。图 6-57 展示了 ePWM 跳变输入连接。

Copyright © 2024 Texas Instruments Incorporated



A. 这些事件由 ePWM 数字比较 (DC) 子模块根据 TRIPIN 输入电平生成。

图 6-56. ePWM 子模块和关键内部信号互连

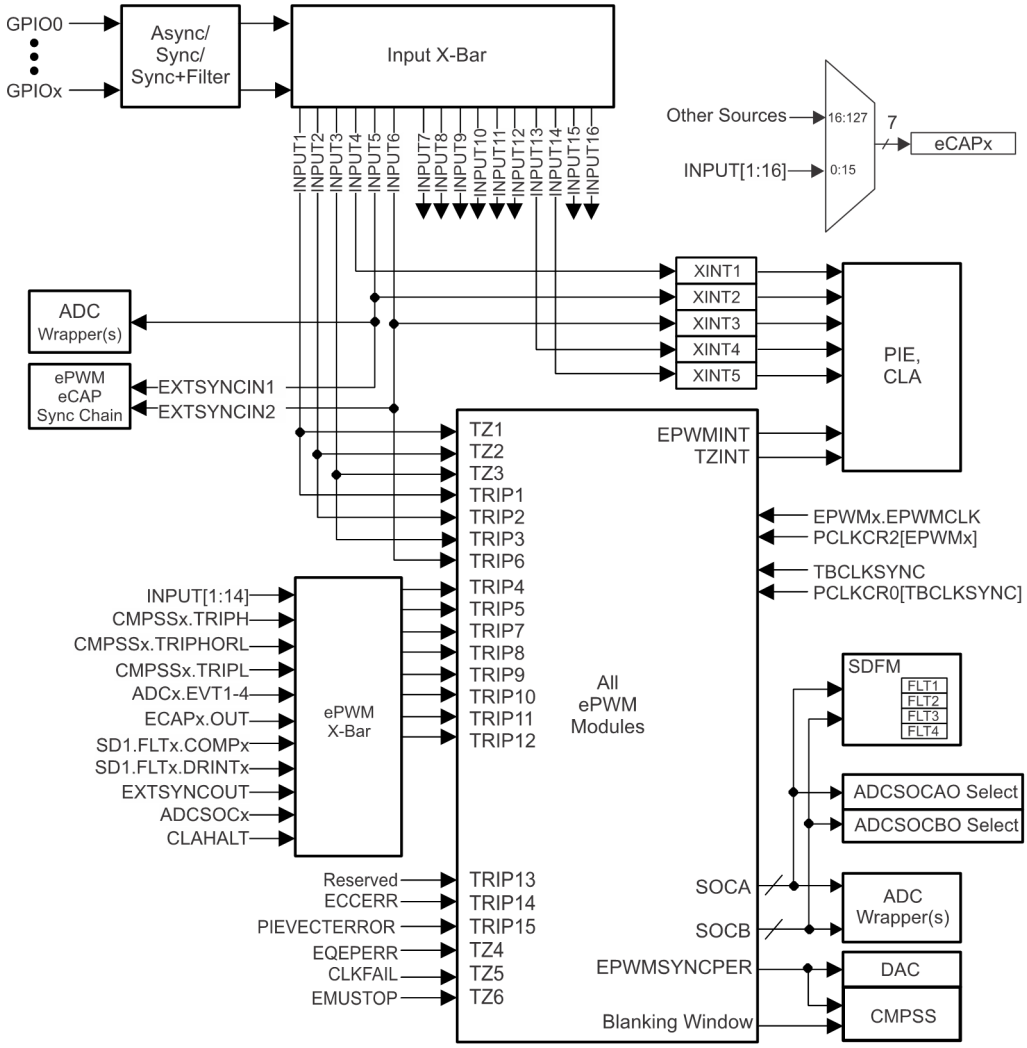


图 6-57. ePWM 跳变输入连接

Copyright © 2024 Texas Instruments Incorporated

6.14.1.1 ePWM 电气数据和时序

有关输入限定符参数的说明，请参阅“通用输入时序要求”表。

6.14.1.1.1 ePWM 时序要求

			最小值	最大值	单位
$t_{w(SYNCIN)}$	同步输入脉冲宽度	异步	$2t_{c(EPWMCLK)}$		周期
		同步	$2t_{c(EPWMCLK)}$		
		带输入限定符	$1t_{c(EPWMCLK)} + t_{w(IQSW)}$		

6.14.1.1.2 ePWM 开关特性

在建议运行条件下测得（除非另有说明）

参数(1)		最小值	最大值	单位
$t_{w(PWM)}$	脉冲持续时间，PWMx 输出高电平/低电平	20		ns
$t_{w(SYNCOUT)}$	同步输出脉冲宽度	$8t_{c(SYSCLK)}$		周期
$t_{d(TZ-PWM)}$	延迟时间，跳变输入激活到 PWM 强制高电平 延迟时间，跳变输入激活到 PWM 强制低电平 延迟时间，跳变输入激活到 PWM 高阻抗		25	ns

(1) 引脚上 20pF 负载。

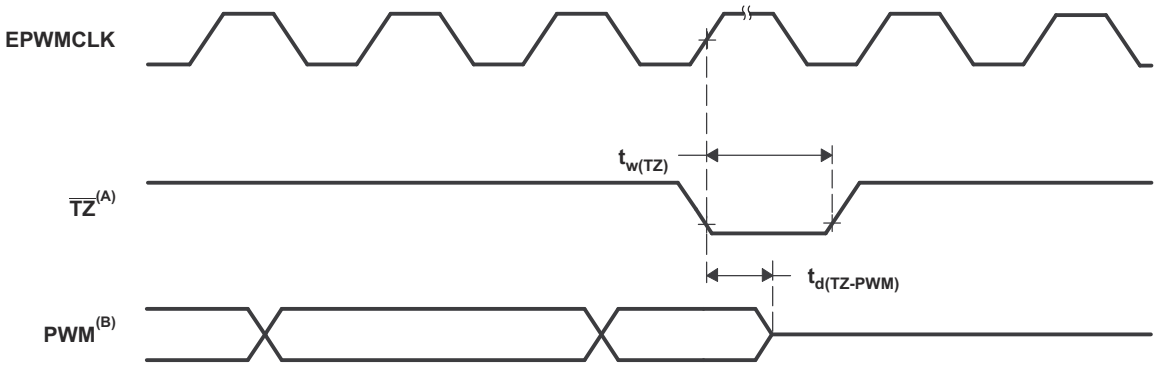
6.14.1.1.3 跳闸区输入时序

有关输入限定符参数的说明，请参阅“通用输入时序要求”表。

6.14.1.1.3.1 跳闸区域输入时序要求

			最小值	最大值	单位
$t_{w(TZ)}$	脉冲持续时间，$\overline{TZx}$ 输入低电平	异步	$1t_{c(EPWMCLK)}$		周期
		同步	$2t_{c(EPWMCLK)}$		周期
		带输入限定符	$1t_{c(EPWMCLK)} + t_{w(IQSW)}$		周期

6.14.1.1.3.2 PWM 高阻态特征时序图



A. $\overline{TZ}$: $\overline{TZ1}$、$\overline{TZ2}$、$\overline{TZ3}$、TRIP1 至 TRIP12

B. PWM 是指器件内的所有 PWM 引脚。$\overline{TZ}$ 置于高电平后 PWM 引脚的状态取决于 PWM 恢复软件。

图 6-58. PWM 高阻态特征

Copyright © 2024 Texas Instruments Incorporated

6.14.2 高分辨率脉宽调制器 (HRPWM)

通过使用专用的校准延迟线路，HRPWM 在单个模块和简化的校准系统内结合了多条延迟线路。对于每个 ePWM 模块，都有两个 HR 输出：

- 通道 A 上的 HR 占空比和死区控制
- 通道 B 上的 HR 占空比和死区控制

HRPWM 模块提供 PWM 分辨率（时间粒度），此分辨率明显优于使用传统数字 PWM 方法所能达到的分辨率。HRPWM 模块的关键点为：

- 大大扩展了传统导出数字 PWM 的时间分辨率能力
- 此功能可用于单边沿（占空比和相移控制）以及双边沿控制，以实现频率/周期调制。
- 通过对 ePWM 模块的比较 A、B、相位、周期和死区寄存器的扩展来控制更加精细的时间粒度控制或边沿定位。

6.14.2.1 HRPWM 电气数据和时序

6.14.2.1.1 高分辨率 PWM 特征

参数	最小值	典型值	最大值	单位
微边沿定位 (MEP) 步长(1)		150	310	ps

(1) MEP 步长在高温和 V_{DD} 上的电压最小时最大。MEP 步长将随温度的升高和电压的下降而增加，并随温度的下降和电压的升高而减小。使用 HRPWM 特性的应用应该使用 MEP 比例因子优化器 (SFO) 估计软件功能。有关在最终应用中使用 SFO 功能的详细信息，请参阅 TI 软件库。SFO 功能有助于在 HRPWM 运行时动态估计每个 SYSCLK 周期的 MEP 步数。

6.14.3 外部 ADC 转换启动电气数据和时序

6.14.3.1 外部 ADC 转换启动开关特性

在建议运行条件下测得（除非另有说明）

参数		最小值	最大值	单位
$t_{w(ADCSOCL)}$	脉冲持续时间，$\overline{ADCSOCxO}$ 低电平	$32t_{c(SYSCLK)}$		周期

6.14.3.2 $\overline{ADCSOCAO}$ 或 $\overline{ADCSOCBO}$ 时序图

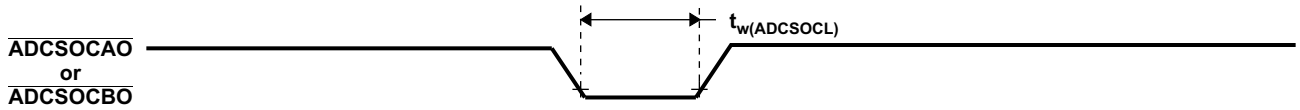


图 6-59. $\overline{ADCSOCAO}$ 或者 $\overline{ADCSOCBO}$ 时序

Copyright © 2024 Texas Instruments Incorporated

6.14.4 增强型捕获 (eCAP)

eCAP 模块的特性包括：

- 测量旋转机械的速度（例如，通过霍尔传感器感应齿状链轮）
- 位置传感器脉冲之间的持续时间测量
- 脉冲序列信号的周期和占空比测量
- 解码来自占空比编码电流/电压传感器的电流或电压振幅

本章介绍的 eCAP 模块特性包括：

- 4 事件时间戳寄存器（每个 32 位）
- 边缘极性选择，最多选择四个序列时间戳捕获事件
- 对 4 个事件中的任何一个事件进行中断
- 单次采集多达 4 个事件时间戳
- 在深度为 4 的循环缓冲器中以连续模式采集时间戳
- 绝对时间戳采集
- 差分 (Δ) 模式时间戳采集
- 当未用于采集模式时，eCAP 模块可配置为单通道 PWM 输出

1 类 eCAP 的捕捉功能通过 0 类 eCAP 得到增强，增加了以下特性：

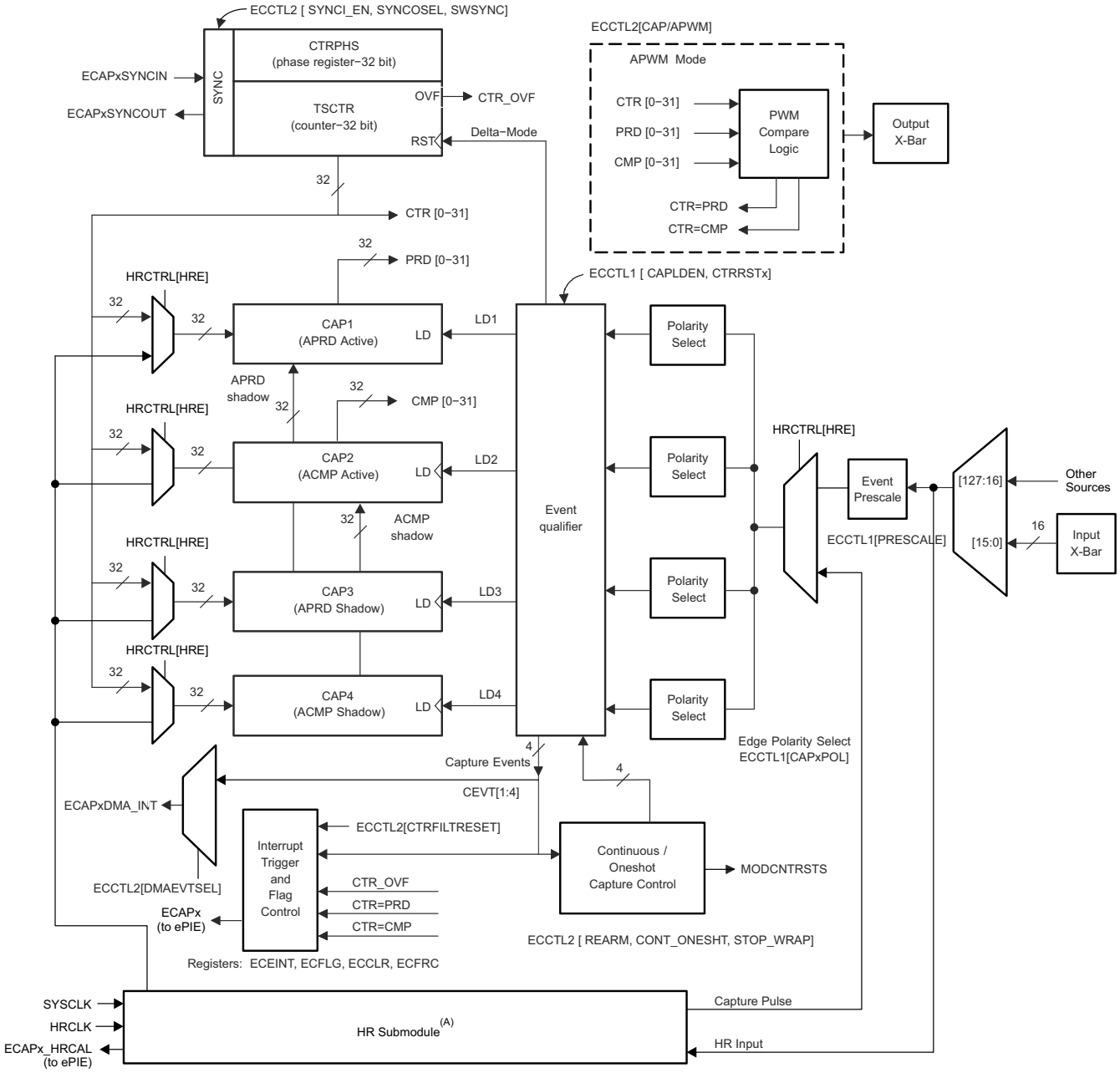
- 事件过滤器复位位
  - 向 ECCTL2[CTRFILTRESET] 写入 1 会清零事件过滤器、模数计数器和任何挂起的中断标志。复位该位对于初始化和调试很有用。
- 模数计数器状态位。
  - 模数计数器 (ECCTL2 [MODCNTRSTS]) 指示接下来加载哪个捕捉寄存器。在 0 类 eCAP 中，无法了解模数计数器的当前状态。
- DMA 触发源
  - eCAPxDMA 被添加为一个 DMA 触发器。CEVT[1-4] 可以配置为 eCAPxDMA 的源。
- 输入多路复用器
  - ECCTL0 [INPUTSEL] 选择 128 个输入信号之一，详情请见 *TMS320F28003x 实时微控制器技术参考手册* 中“增强型捕捉 (eCAP)”一章的“配置 eCAP 器件引脚”一节。
- EALLOW 保护
  - EALLOW 保护已添加到关键寄存器。为了维持与 0 类的软件兼容性，请配置 DEV_CFG_REGS.ECAPTYPE 以使这些寄存器不受保护。

2 类 eCAP 的捕捉功能通过 1 类 eCAP 得到增强，增加了以下特性：

- 添加了 ECAPxSYNCINSEL 寄存器
  - 为每个 eCAP 添加了 ECAPxSYNCINSEL 寄存器以选择外部 SYNCIN。每个 eCAP 可以有一个单独的 SYNCIN 信号。

Copyright © 2024 Texas Instruments Incorporated

6.14.4.1 eCAP 和 HRCAP 方框图



A. HRCAP 子模块并非在所有 eCAP 模块上都可用；在这种情况下，不会使用高分辨率多路复用器和硬件。

图 6-60. eCAP 和 HRCAP 方框图

Copyright © 2024 Texas Instruments Incorporated

6.14.4.2 eCAP 同步

通过选择一个公共的 SYNCIN 源，eCAP 模块可以互相同步。eCAP 的 SYNCIN 源可以是软件同步输入或外部同步输入。外部同步输入信号可来自 EPWM、eCAP 或 X-Bar。如图 6-61 所示，SYNC 信号由 ECAPx 的 ECAPxSYNCINSEL[SEL] 位中的选择定义。

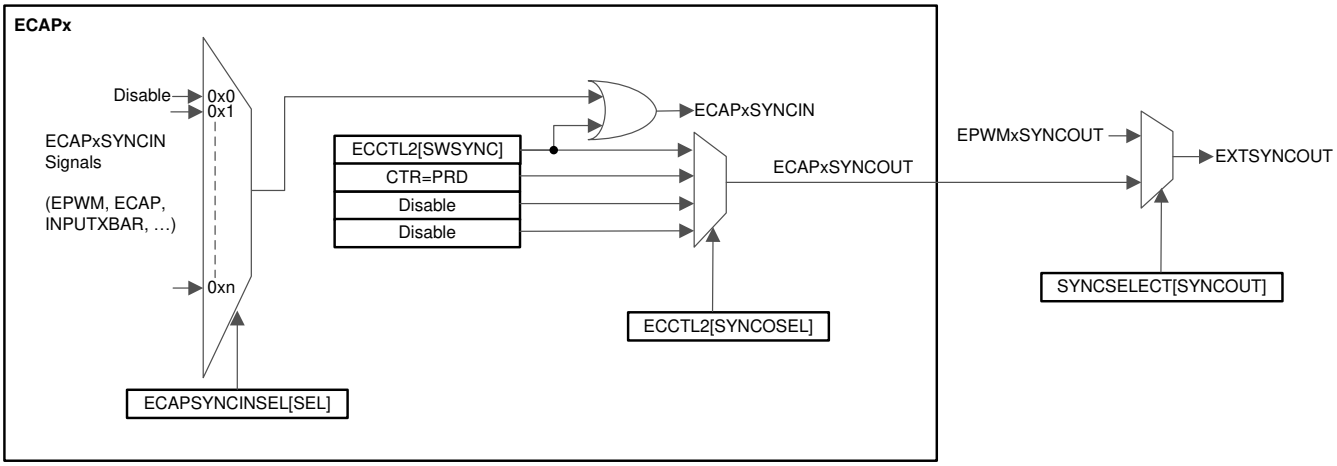


图 6-61. eCAP 同步方案

6.14.4.3 eCAP 电气数据和时序

6.14.4.3.1 eCAP 时序要求

			最小值	标称值	最大值	单位
$t_{w(CAP)}$	采集输入脉冲宽度	异步	$2t_{c(SYSCLK)}$			ns
		同步	$2t_{c(SYSCLK)}$			
		带输入限定符	$1t_{c(SYSCLK)} + t_{w_(IQSW)}$			

6.14.4.3.2 eCAP 开关特性

在建议运行条件下测得（除非另有说明）

参数		最小值	典型值	最大值	单位
$t_{w(APWM)}$	脉冲持续时间，APWMx 输出高电平/低电平	20			ns

Copyright © 2024 Texas Instruments Incorporated

6.14.5 高分辨率捕捉 (HRCAP)

eCAP3 模块可以配置为高分辨率捕捉 (HRCAP) 子模块。HRCAP 子模块可以测量与系统时钟异步的脉冲之间的时间差。该子模块是 eCAP 1 类模块新增的子模块，与 0 类 HRCAP 模块相比具有许多增强功能。

HRCAP 的应用包括：

- 电容式触控应用
- 脉冲序列周期的高分辨率周期和占空比测量
- 瞬时速度测量
- 瞬时频率测量
- 在一个隔离边界上的电压测量
- 距离/声纳测量和扫描
- 流量测量

HRCAP 子模块包含以下特性：

- 在非高分辨率或高分辨率模式下进行脉宽捕捉
- 绝对模式脉宽捕捉
- 连续或“一次性”捕捉
- 在下降沿或上升沿捕捉
- 4 深度缓冲器中脉冲宽度的持续模式捕捉
- 通过硬件校准逻辑实现精密高分辨率捕捉
- 使用输入 X-BAR 的任何引脚上均可使用此列表中的所有资源。

HRCAP 子模块包含一个高分辨率捕捉通道以及一个校准块。校准块允许 HRCAP 子模块在设定的时间间隔内持续重新校准，不存在“中断时间”。由于 HRCAP 子模块现在使用与其相应 eCAP 相同的硬件，因此如果使用 HRCAP，则相应的 eCAP 将不可用。

每个支持高分辨率的通道都具有以下独立的关键资源。

- 相应 eCAP 的所有硬件
- 高分辨率校准逻辑
- 专用校准中断

6.14.5.1 eCAP 和 HRCAP 方框图

有关 HRCAP 方框图，请参阅*增强型捕捉 (eCAP)* 一节中的 eCAP 和 HRCAP 方框图。

Copyright © 2024 Texas Instruments Incorporated

6.14.5.2 HRCAP 电气数据和时序

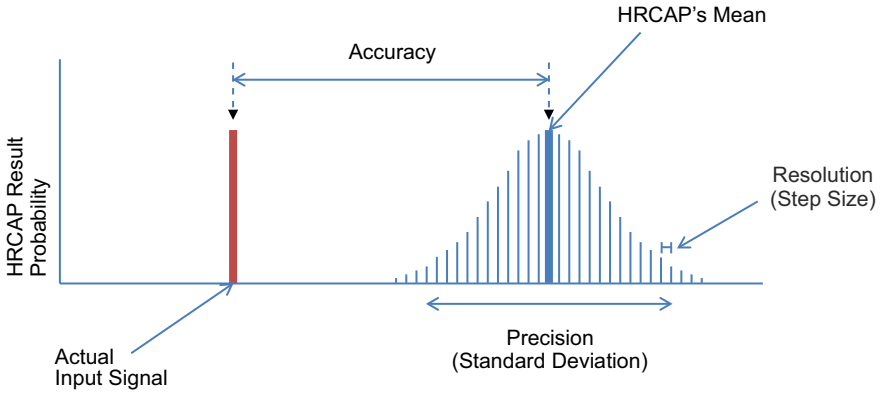
6.14.5.2.1 HRCAP 开关特性

在建议运行条件下测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
输入脉冲宽度		110			ns
精度(1) (2) (3) (4)	测量时长 ≤ 5µs		±390	540	ps
	测量时长 > 5µs		±450	1450	ps
标准差			请参阅 HRCAP 标准偏差特性图		
分辨率			300		ps

(1) 使用 100PPM 的振荡器获得的值，振荡器精度直接影响 HRCAP 精度。
(2) 使用上升-上升沿或下降-下降沿完成测量。
(3) 由于 V_{IH} 和 V_{IL} 之间的差异，极性相反的边沿将进一步降低精度。这种影响取决于信号的压摆率。
(4) 精度仅适用于经过时间转换的测量。

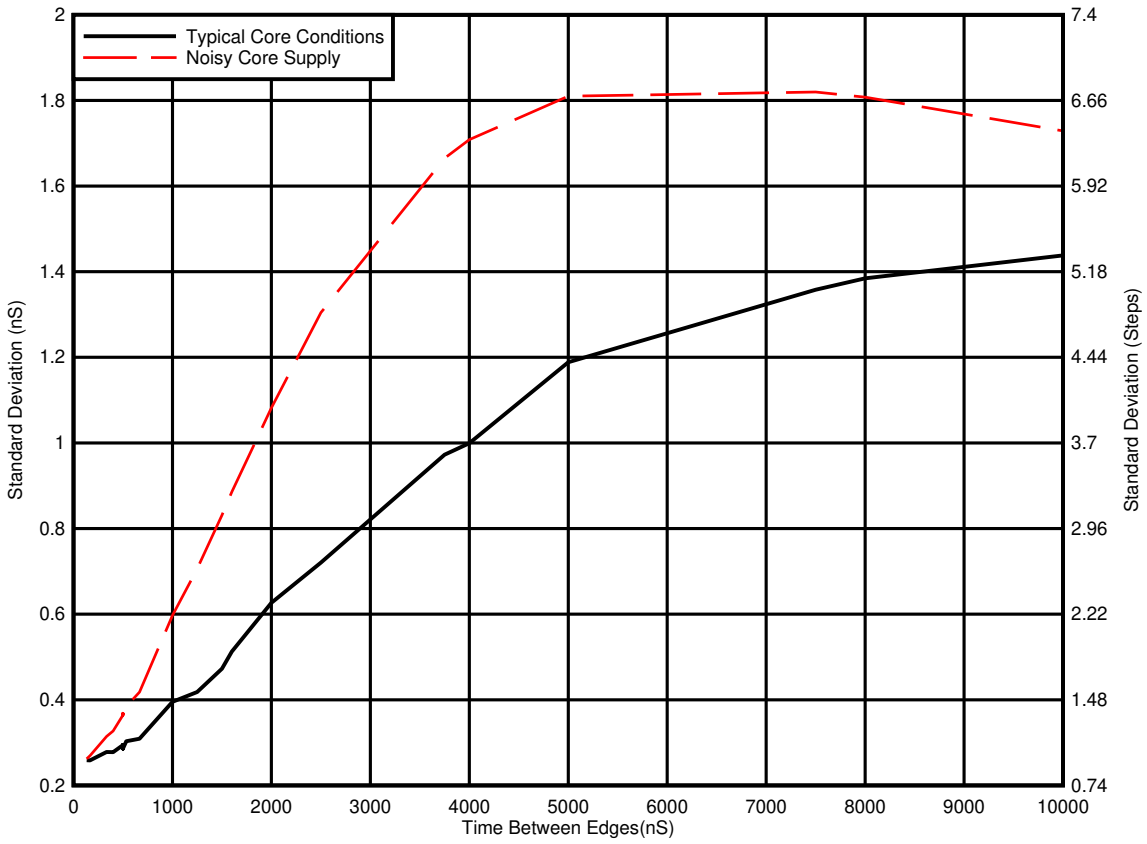
6.14.5.2.2 HRCAP 图表



A. HRCAP 在性能上有一些变化，其概率分布可以使用以下术语描述：
- 精度：输入信号与 HRCAP 分布均值之间的时间差。
- 精度: HRCAP 分布的宽度，以标准偏差的形式给出。
- 分辨率：最小可测量增量。

图 6-62. HRCAP 精度和分辨率

Copyright © 2024 Texas Instruments Incorporated



A. 典型的内核条件：所有外设时钟被启用。

B. 有噪声的内核电源：在测量期间，所有内核时钟都以一个固定周期启用和禁用。

C. 1.2V 电源轨上的电流和电压波动会导致 HRCAP 的标准偏差上升。应注意确保 1.2V 电源是清洁的，并且在使用 HRCAP 时已最大限度地减少了干扰性内部事件（例如启用和禁用时钟树）。

图 6-63. HRCAP 标准偏差特性

Copyright © 2024 Texas Instruments Incorporated

6.14.6 增强型正交编码器脉冲 (eQEP)

该器件上的 eQEP 模块为 2 类。eQEP 直接与线性或旋转增量编码器相连，以便从高性能运动和位置控制系统中使用的旋转机器中获得位置、方向和速度信息。

该 eQEP 外设包含以下主要功能单元（请参阅图 6-64）：

- 针对每个引脚的可编程输入鉴定（GPIO MUX 的一部分）
- 正交解码器单元 (QDU)
- 用于位置测量的位置计数器和控制单元 (PCCU)
- 用于低速测量的正交边沿捕捉单元 (QCAP)
- 用于速度/频率测量的单位时基 (UTIME)
- 用于检测失速的看门狗计时器 (QWDOG)
- 正交模式适配器 (QMA)

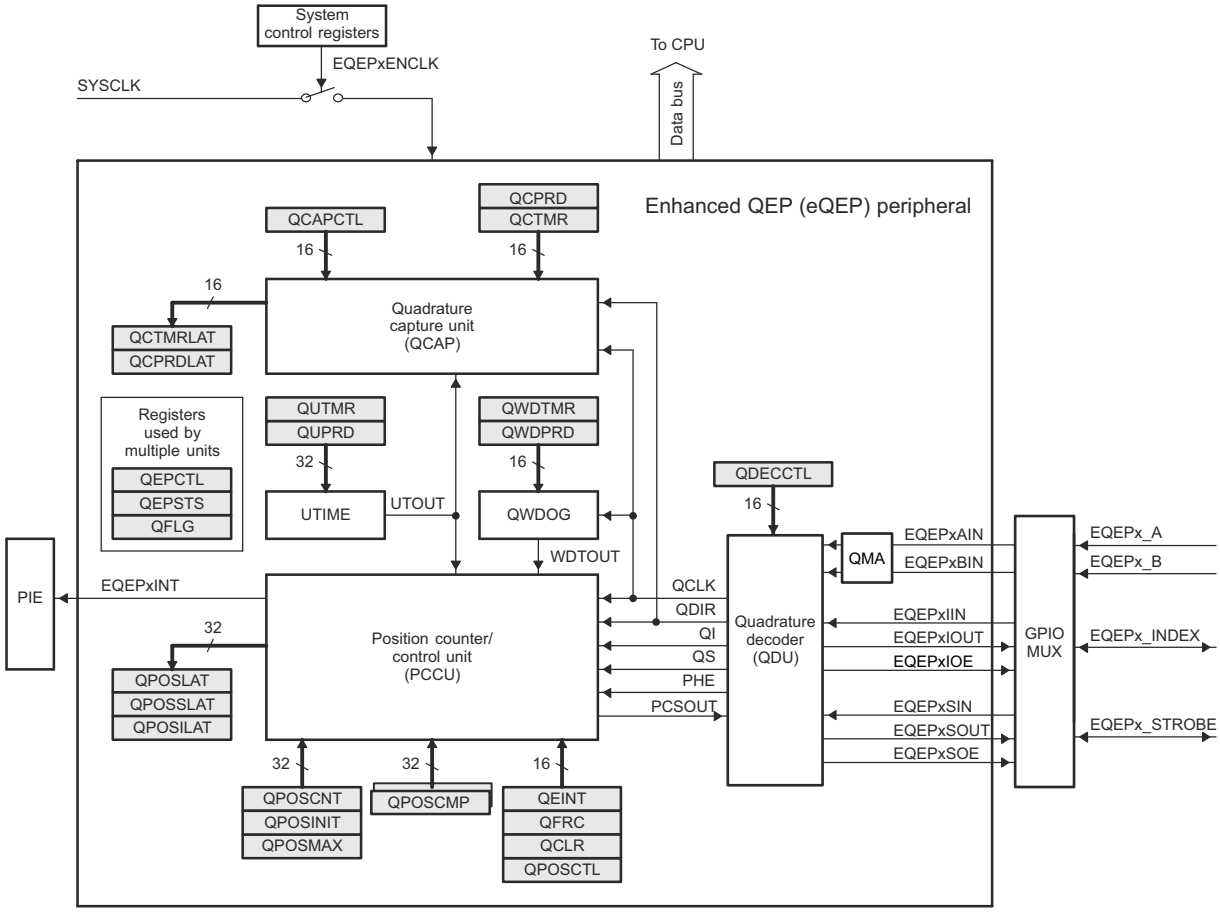


图 6-64. eQEP 方框图

6.14.6.1 eQEP 电气数据和时序

有关输入限定符参数的说明，请参阅“通用输入时序要求”表。

6.14.6.1.1 eQEP 时序要求

			最小值 最大值	单位
$t_{w(QEPP)}$	QEP 输入周期	同步(1)	$2t_{c(SYSCLK)}$	周期
		与输入限定符同步	$2[1t_{c(SYSCLK)} + t_{w(IQSW)}]$	
$t_{w(INDEXH)}$	QEP 索引输入高电平时间	同步(1)	$2t_{c(SYSCLK)}$	周期
		与输入限定符同步	$2t_{c(SYSCLK)} + t_{w(IQSW)}$	
$t_{w(INDEXL)}$	QEP 索引输入低电平时间	同步(1)	$2t_{c(SYSCLK)}$	周期
		与输入限定符同步	$2t_{c(SYSCLK)} + t_{w(IQSW)}$	
$t_{w(STROBH)}$	QEP 选通高电平时间	同步(1)	$2t_{c(SYSCLK)}$	周期
		与输入限定符同步	$2t_{c(SYSCLK)} + t_{w(IQSW)}$	
$t_{w(STROBL)}$	QEP 选通输入低电平时间	同步(1)	$2t_{c(SYSCLK)}$	周期
		与输入限定符同步	$2t_{c(SYSCLK)} + t_{w(IQSW)}$	

(1) GPIO GPxQSELn 异步模式不得用于 eQEP 模块输入引脚。

6.14.6.1.2 eQEP 开关特性

在建议运行条件下测得（除非另有说明）

参数		最小值 最大值	单位
$t_{d(CNTR)xin}$	延迟时间，外部时钟到计数器增量	$5t_{c(SYSCLK)}$	周期
$t_{d(PCS-OUT)QEP}$	延迟时间，QEP 输入边沿到位置比较同步输出	$7t_{c(SYSCLK)}$	个周期

Copyright © 2024 Texas Instruments Incorporated

6.14.7 Σ-Δ 滤波器模块 (SDFM)

SDFM 的特性包含：

- 每个 SDFM 模块八个外部引脚
  - 每个 SDFM 模块有四个 Σ-Δ 数据输入引脚（SD-Dx，其中 x = 1 至 4）
  - 每个 SDFM 模块有四个 Σ-Δ 时钟输入引脚（SD-Cx，其中 x = 1 至 4）
- 支持不同的可配置调制器时钟模式：
  - 模式 0：调制器时钟速率等于调制器数据速率。
- 每个 SDFM 模块有四个独立的可配置次级滤波器（比较器）单元：
  - 提供四个不同的滤波器类型选择 (Sinc1/Sinc2/SincFast/Sinc3) 选项
  - 能够检测超值条件、低值条件和超限条件
    1. 两个独立的上限阈值比较器（用于检测超值条件）
    2. 两个独立的下限阈值比较器（用于检测低值条件）
    3. 一个独立的超限比较器（用于通过 eCAP 测量占空比/频率）
  - 比较器滤波器单元的 OSR 值 (COSR) 可编程为 1 至 32
- 每个 SDFM 模块有四个独立的可配置初级滤波器（数据滤波器）单元：
  - 提供四个不同的滤波器类型选择 (Sinc1/Sinc2/SincFast/Sinc3) 选项
  - 数据滤波器单元的 OSR 值 (DOSR) 可编程为 1 至 256
  - 能够启用或禁用独立的滤波器模块（或全部两个模块）
  - 能够使用主滤波器使能 (MFE) 位或 PWM 信号来同步 SDFM 模块的所有四个独立滤波器
- 数据滤波器输出可以用 16 位或 32 位表示。
- 数据滤波器单元具有可编程模式 FIFO 来减少中断开销。该 FIFO 具有以下特性：
  - 初级滤波器（数据滤波器）具有一个 16 深 x 32 位 FIFO。
  - FIFO 可在达到可编程数量的数据就绪事件后中断 CPU。
  - FIFO 等待同步功能：能够忽略数据就绪事件，直至接收到 PWM 同步信号 (SDSYNC)。一旦接收到 SDSYNC 事件，就会在每个数据就绪事件时填充 FIFO。
  - 数据滤波器输出可以用 16 位或 32 位表示。
- 可根据每个数据滤波器通道将 PWMx.SOCA/SOCB 配置为 SDSYNC 源。
- 可使用 PWM 为 Σ-Δ 调制器生成调制器时钟。
- SD-Cx 和 SD-Dx 均可配置输入限定
- 能够使用一个滤波器通道时钟 (SD-C1) 为其他滤波器时钟通道提供时钟。
- 在发生比较器滤波器事件时可以使用可配置的数字滤波器来清除杂散噪声引起的比较器事件

图 6-65 展示了 SDFM 模块方框图。

Copyright © 2024 Texas Instruments Incorporated

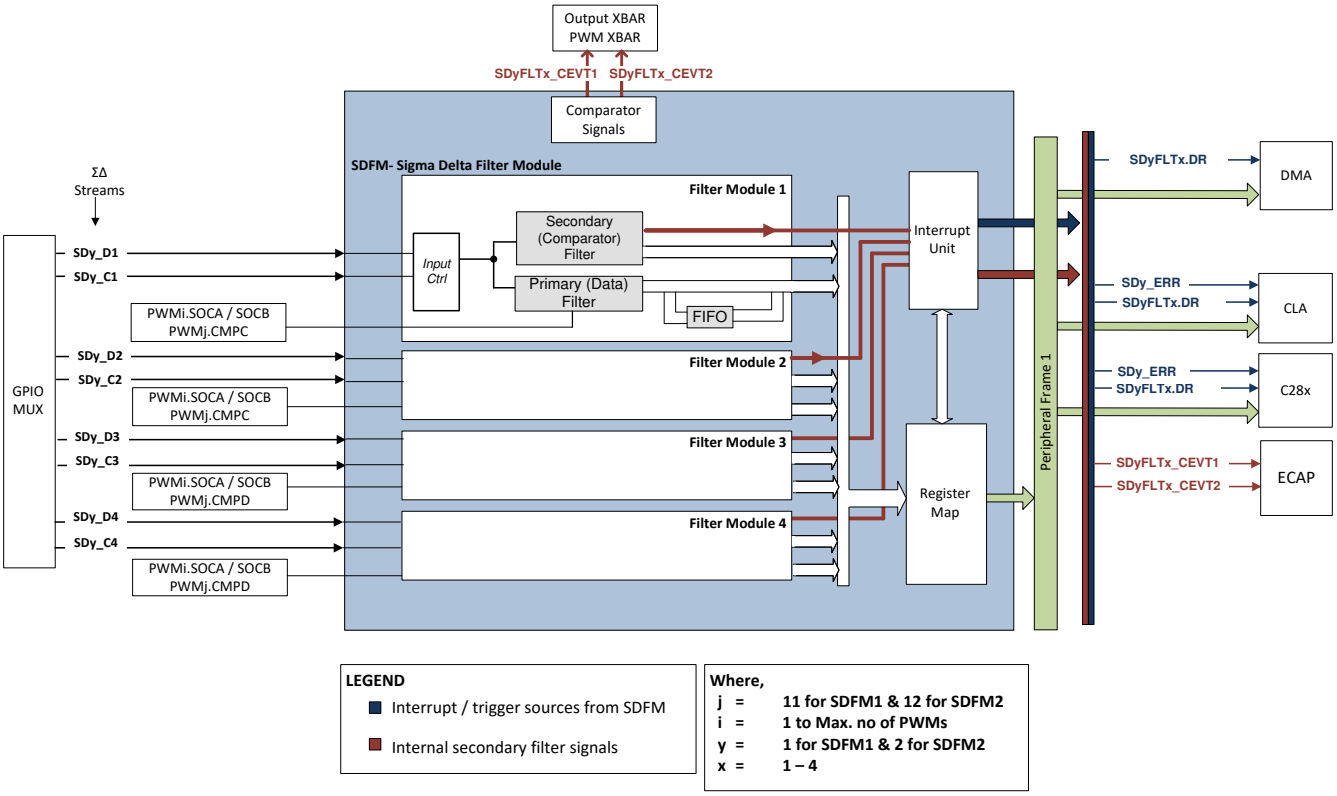


图 6-65. Σ-Δ 滤波器模块 (SDFM) 方框图

6.14.7.1 SDFM 电气数据和时序

警告

应该对 SD-Cx 和 SD-Dx 信号采取特殊的预防措施，确保信号干净且无干扰，满足 SDFM 时序要求。建议采取的预防措施包括对时钟驱动器的任何阻抗不匹配而导致的振铃噪声采用串联终端电阻，以及将布线与其他噪声信号隔离开来，等等。

备注

SDFM SD-Cx 和 SD-Dx 信号与 PLLRAWCLK 同步后可防止由于偶尔出现的随机噪声干扰（这些干扰可能造成比较器跳闸和滤波器输出错误）而导致的 SDFM 模块损坏。但是，这些信号对持续违反上述时序要求的情况不提供保护。时序违规将损坏与违反要求的数据位数成正比的数据。

6.14.7.1.1 使用异步 GPIO (ASYNC) 选项时的 SDFM 时序要求

		最小值	最大值	单位
模式 0				
$t_{c(SDC)M0}$	周期时间，SDx_Cy	4 * $t_{c(PLLRAWCLK)}$	256 个 SYSCLK 周期	ns
$t_{w(SDDHL)M0}$	脉冲持续时间，SDx_Dy（高电平/低电平）	2 * $t_{c(PLLRAWCLK)}$		ns
$t_{su(SDDV-SDCH)M0}$	SDx_Cy 变为高电平之前 SDx_Dy 有效的设置时间	1 * $t_{c(PLLRAWCLK)}$ + 3		ns
$t_{h(SDCH-SDD)M0}$	SDx_Cy 变为高电平之后 SDx_Dy 等待的保持时间	1 * $t_{c(PLLRAWCLK)}$ + 3		ns

Copyright © 2024 Texas Instruments Incorporated

6.15 通信外设

6.15.1 控制器局域网 (CAN)

备注

CAN 模块使用称为 *DCAN* 的 IP。本文档交替使用名称 *CAN* 和 *DCAN* 来引用此外设。

CAN 模块实现下列特性：

- 符合 ISO11898-1（Bosch® CAN 协议规范 2.0 A 和 B）
- 最高 1Mbps 的比特率
- 多个时钟源
- 32 个消息对象（邮箱），每个对象具有以下属性：
  - 可配置为接收或者发送
  - 可配置标准（11 位）或扩展（29 位）标识符
  - 支持可编程标识符接收掩码
  - 支持数据和远程帧
  - 保留 0 到 8 个字节的数据
  - 奇偶校验配置和数据 RAM
- 每个消息对象的单独标识符掩码
- 消息对象的可编程 FIFO 模式
- 用于自检操作的可编程环回模式
- 调试支持的挂起模式
- 软件模块复位
- 由一个可编程 32 位计时器实现在总线关闭状态后自动开启总线
- 2 条中断线路
- DMA 支持

备注

对于 100MHz 的 CAN 位时钟，最小比特率可以为 3.90625Kbps。

备注

片上零引脚振荡器的精度可在“INTOSC 特性”表中找到。根据相关参数（如 CAN 位时序设置、比特率、总线长度和传播延迟），此振荡器的精度可能不符合 CAN 协议的要求。在这种情况下，必须使用外部时钟源。

图 6-66 展示了 CAN 功能方框图。

Copyright © 2024 Texas Instruments Incorporated

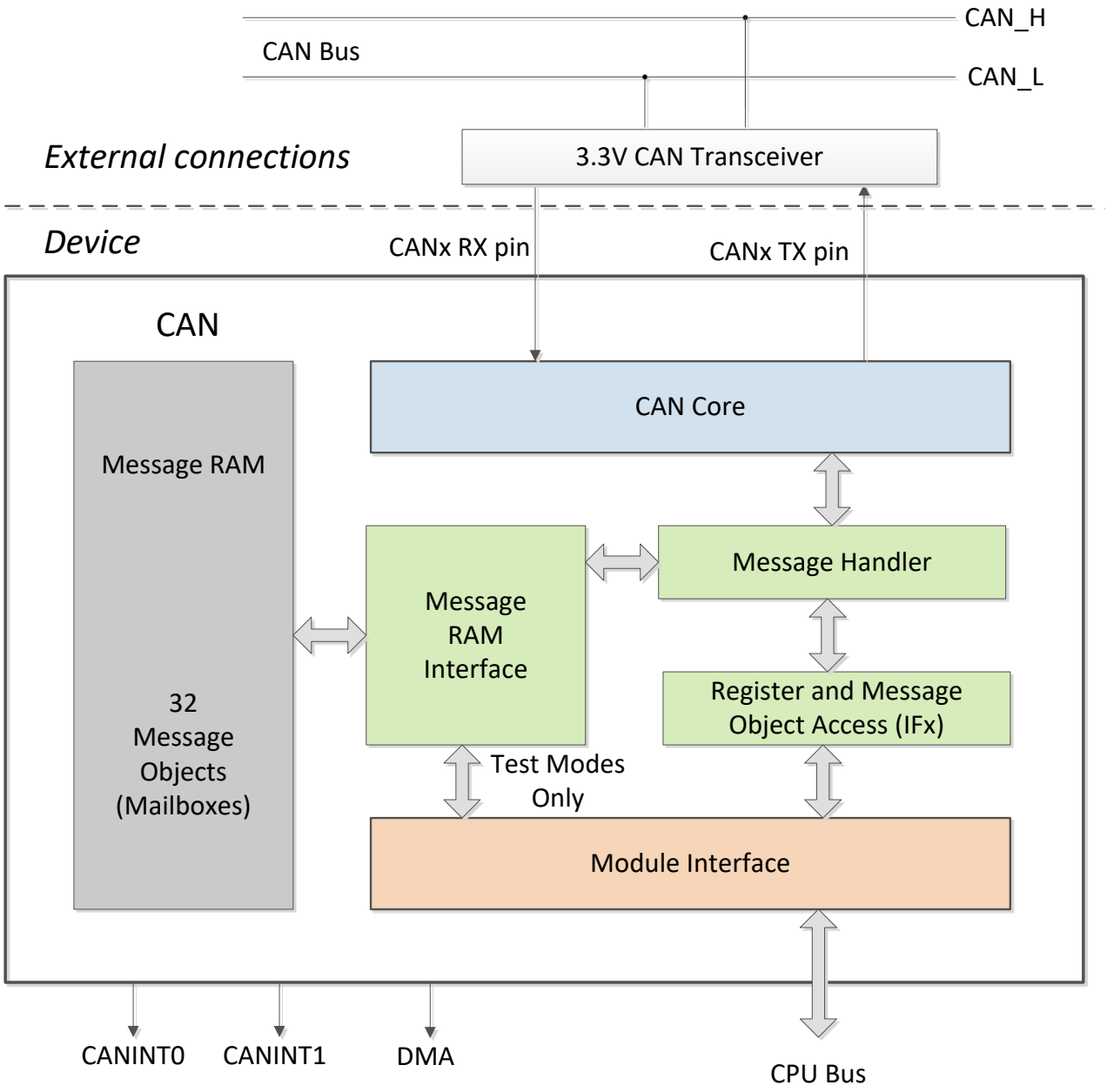


图 6-66. CAN 方框图

6.15.2 模块化控制器局域网 (MCAN)

控制器局域网 (CAN) 是一种串行通信协议，用于有效地为具有高可靠性的分布式实时控制提供支持。CAN 具有较高的抗电气干扰能力，并且能够检测各种类型的错误。在 CAN 中，许多较短的信息会广播到整个网络，从而在系统的每个节点中提供数据一致性。

MCAN 模块支持传统 CAN 和 CAN FD（具有灵活数据速率的 CAN）协议。CAN FD 特性可实现更高的吞吐量和增加每个数据帧的有效负载。经典 CAN 和 CAN FD 器件可以在同一网络上共存而不会发生任何冲突，前提是经典 CAN 器件使用部分网络收发器，其中该收发器可以检测和忽略 CAN FD，而不产生总线错误。MCAN 模块符合 ISO 11898-1:2015 标准。

Copyright © 2024 Texas Instruments Incorporated

备注

CAN FD 特性的可用性取决于器件的器件型号。更多信息，请参阅器件数据表。

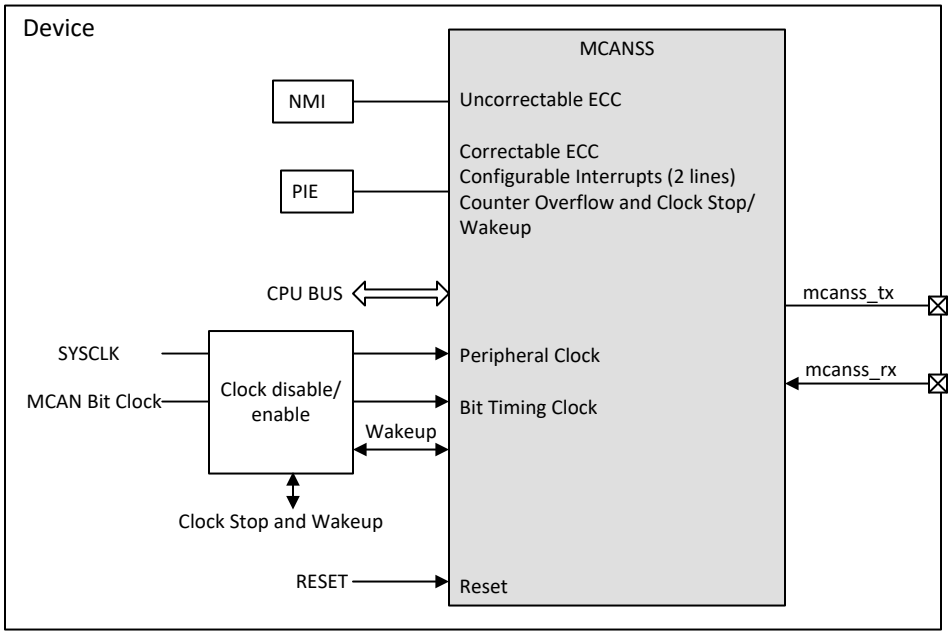


图 6-67. MCAN 模块概述

MCAN 模块可实现以下特性：

- 符合 CAN 协议 2.0A、B 和 ISO 11898-1:2015 标准
- 完全支持 CAN FD（最多 64 个数据字节）
- 支持 AUTOSAR 和 SAE J1939
- 灵活的消息 RAM 分配（以下最大配置适用于具有 4352 32 位字消息 RAM 的器件）
  - 多达 32 个专用发送缓冲器
  - 可配置的发送 FIFO，最多 32 个元素
  - 可配置的发送队列，最多 32 个元素
  - 可配置的发送事件 FIFO，最多 32 个元素
  - 多达 64 个专用接收缓冲器
  - 两个可配置的接收 FIFO，每个 FIFO 最多 64 个元素
  - 多达 128 个滤波器元素
- 用于自检的环回模式
- 可屏蔽中断（两条可配置的中断线路、可纠正的 ECC、计数器溢出和时钟停止/唤醒）
- 不可屏蔽中断（不可纠正的 ECC）
- 两个时钟域（CAN 时钟/主机时钟）
- 消息 RAM 的 ECC 检查
- 支持时钟停止和唤醒
- 时间戳计数器

不支持的特性：

- 主机总线防火墙
- 时钟校准
- 通过 CAN 进行调试

Copyright © 2024 Texas Instruments Incorporated

6.15.3 内部集成电路 (I2C)

I2C 模块具有以下特性：

- 符合 NXP Semiconductor I^2C 总线规范（版本 2.1）：
  - 支持 8 位格式传输
  - 7 位和 10 位寻址模式
  - 常规调用
  - START 字节模式
  - 支持多个主器件-发送器和从器件-接收器
  - 支持多个从器件-发送器和主器件-接收器
  - 组合主器件发送/接收和接收/发送模式
  - 数据传输速率从 10kbps 到高达 400Kbps（快速模式）
- 支持与以下兼容的电压阈值：
  - SMBus 2.0 及更低版本
  - PMBus 1.2 及更低版本
- 一个 16 字节接收 FIFO 和一个 16 字节发送 FIFO
- 支持两个 ePIE 中断
  - I2Cx 中断 - 可以配置以下任何条件来生成 I2Cx 中断：
    - 发送就绪
    - 接收就绪
    - 寄存器访问就绪
    - 无确认
    - 仲裁丢失
    - 检测到停止条件
    - 被寻址为从器件
  - I2Cx_FIFO 中断：
    - 发送 FIFO 中断
    - 接收 FIFO 中断
- 模块启用和禁用能力
- 自由数据格式模式

图 6-68 展示了 I2C 外设模块如何在器件内连接。

Copyright © 2024 Texas Instruments Incorporated

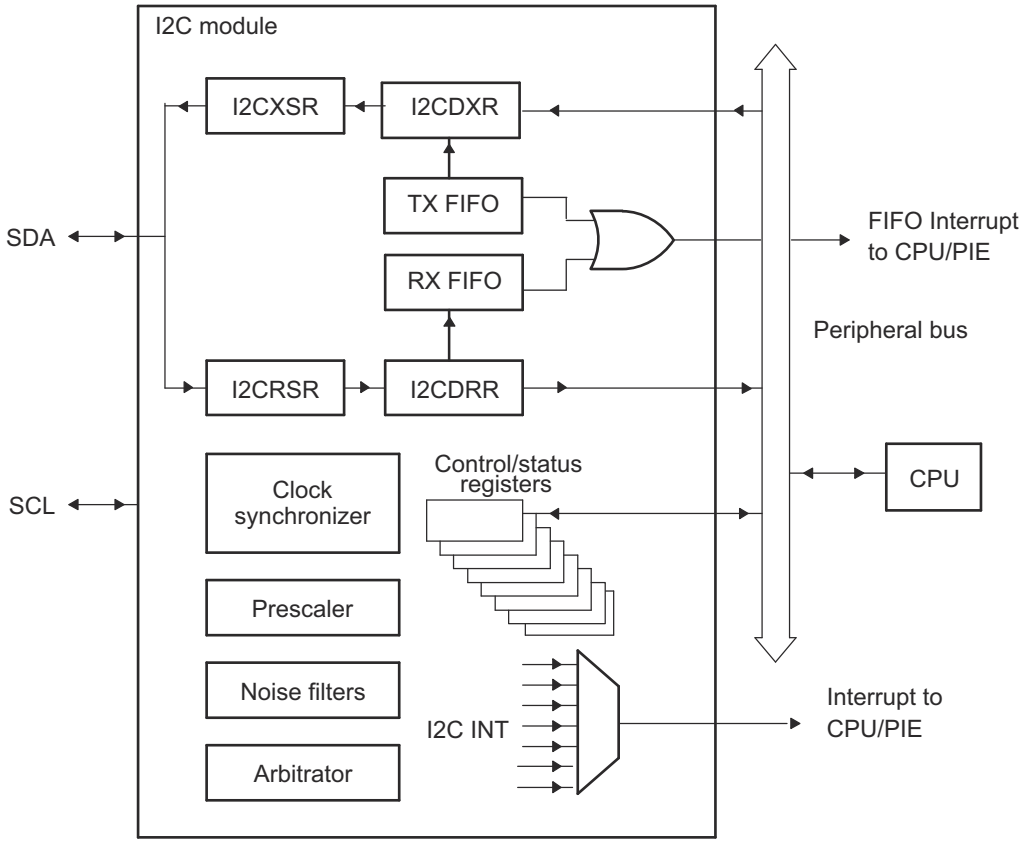


图 6-68. I2C 外设模块接口

6.15.3.1 I2C 电气数据和时序

备注

为了满足所有的 I2C 协议时序规范，I2C 模块时钟必须配置为 7MHz 至 12MHz 范围内的值。

必须选择符合 I2C 标准时序的上拉电阻。在大多数情况下，2.2kΩ 的总线至 VDDIO 总线电阻是足够的。要评估特定设计的上拉电阻值，请参阅 *I2C 总线上拉电阻计算* 应用报告。

6.15.3.1.1 I2C 时序要求

编号			最小值	最大值	单位
标准模式					
T0	f_{mod}	I2C 模块频率	7	12	MHz
T1	$t_{h(SDA-SCL)START}$	保持时间，启动条件，SDA 下降后 SCL 下降延迟	4.0		µs
T2	$t_{su(SCL-SDA)START}$	设置时间，重复启动，SDA 下降延迟之前 SCL 上升	4.0		µs
T3	$t_{h(SCL-DAT)}$	保持时间，SCL 下降后的数据	0		µs
T4	$t_{su(DAT-SCL)}$	设置时间，SCL 上升前的数据	250 (2)		ns
T5	$t_{r(SDA)}$	上升时间，SDA		1000 (1)	ns
T6	$t_{r(SCL)}$	上升时间，SCL		1000 (1)	ns
T7	$t_{f(SDA)}$	下降时间，SDA		300	ns
T8	$t_{f(SCL)}$	下降时间，SCL		300	ns
T9	$t_{su(SCL-SDA)STOP}$	设置时间，停止条件，SDA 上升延迟之前 SCL 上升	4.0		µs
T10	$t_{w(SP)}$	将由滤波器抑制的尖峰脉冲持续时间	0	50	ns
T11	C_b	每条总线上的电容负载		400	pF
快速模式					
T0	f_{mod}	I2C 模块频率	7	12	MHz
T1	$t_{h(SDA-SCL)START}$	保持时间，启动条件，SDA 下降后 SCL 下降延迟	0.6		µs
T2	$t_{su(SCL-SDA)START}$	设置时间，重复启动，SDA 下降延迟之前 SCL 上升	0.6		µs
T3	$t_{h(SCL-DAT)}$	保持时间，SCL 下降后的数据	0		µs
T4	$t_{su(DAT-SCL)}$	设置时间，SCL 上升前的数据	100		ns
T5	$t_{r(SDA)}$	上升时间，SDA	20	300	ns
T6	$t_{r(SCL)}$	上升时间，SCL	20	300	ns
T7	$t_{f(SDA)}$	下降时间，SDA	11.4	300	ns
T8	$t_{f(SCL)}$	下降时间，SCL	11.4	300	ns
T9	$t_{su(SCL-SDA)STOP}$	设置时间，停止条件，SDA 上升延迟之前 SCL 上升	0.6		µs
T10	$t_{w(SP)}$	将由滤波器抑制的尖峰脉冲持续时间	0	50	ns
T11	C_b	每条总线上的电容负载		400	pF

(1) 为更大限度地缩短上升时间，TI 建议在 SDA 和 SCL 总线线路上使用大约 2.2kΩ 网络上拉电阻的强上拉电阻。还建议匹配 SCL 和 SDA 引脚上使用的上拉电阻的值。

(2) C2000 I2C 是一种快速模式器件。在标准模式主机上将 I2C 用作目标发送器时存在限制。有关更多信息，请参阅 *TMS320F28003x 实时 MCU 器件勘误表*。

6.15.3.1.2 I2C 开关特征

在推荐的工作条件下 (除非另有说明)

编号	参数		测试条件	最小值	最大值	单位
标准模式						
S1	f_{SCL}	SCL 时钟频率		0	100	kHz

Copyright © 2024 Texas Instruments Incorporated

6.15.3.1.2 I2C 开关特征（续）

在推荐的工作条件下（除非另有说明）

编号	参数		测试条件	最小值	最大值	单位
S2	T_{SCL}	SCL 时钟周期		10		µs
S3	$t_{w(SCLL)}$	脉冲持续时间，SCL 时钟低电平		4.7		µs
S4	$t_{w(SCLH)}$	脉冲持续时间，SCL 时钟高电平		4.0		µs
S5	t_{BUF}	停止和启动条件之间的总线空闲时间		4.7		µs
S6	$t_{v(SCL-DAT)}$	有效时间，SCL 下降后的数据			3.45	µs
S7	$t_{v(SCL-ACK)}$	有效时间，SCL 下降后的确认			3.45	µs
S8	I_I	引脚上的输入电流	0.1 V_{bus} < V_i < 0.9 V_{bus}	-10	10	µA
快速模式						
S1	f_{SCL}	SCL 时钟频率		0	400	kHz
S2	T_{SCL}	SCL 时钟周期		2.5		µs
S3	$t_{w(SCLL)}$	脉冲持续时间，SCL 时钟低电平		1.3		µs
S4	$t_{w(SCLH)}$	脉冲持续时间，SCL 时钟高电平		0.6		µs
S5	t_{BUF}	停止和启动条件之间的总线空闲时间		1.3		µs
S6	$t_{v(SCL-DAT)}$	有效时间，SCL 下降后的数据			0.9	µs
S7	$t_{v(SCL-ACK)}$	有效时间，SCL 下降后的确认			0.9	µs
S8	I_I	引脚上的输入电流	0.1 V_{bus} < V_i < 0.9 V_{bus}	-10	10	µA

6.15.3.1.3 I2C 时序图

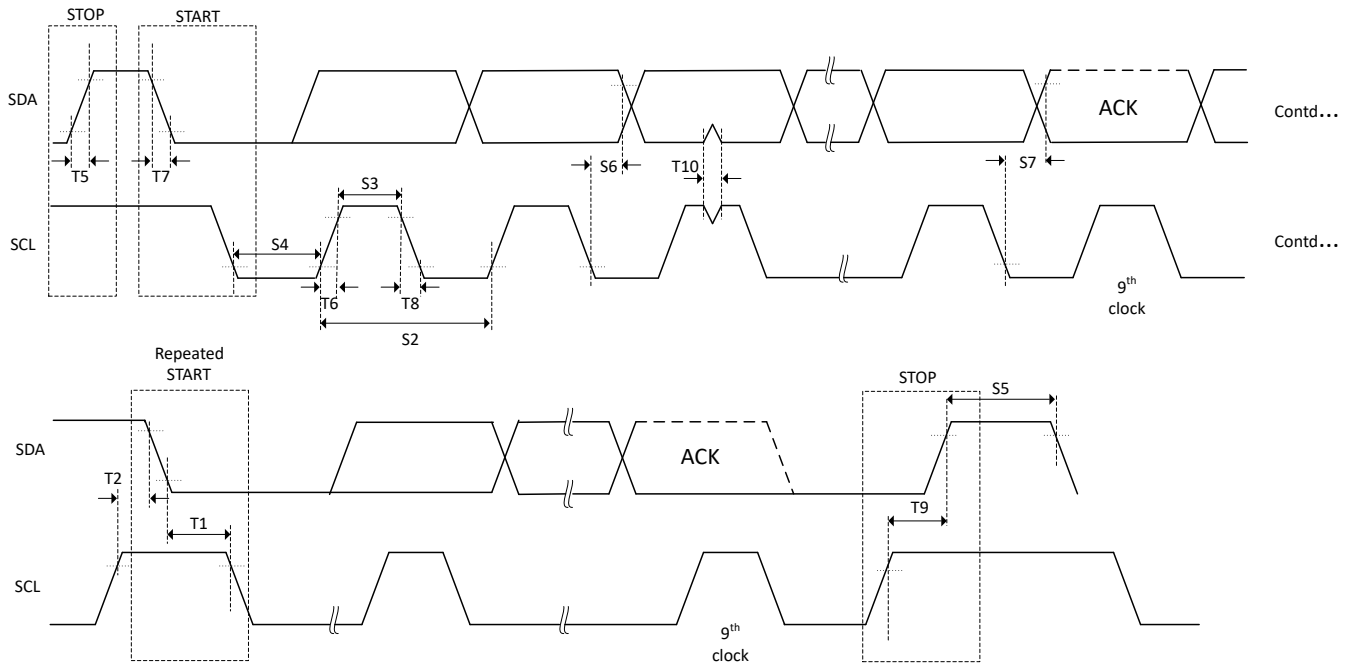


图 6-69. I2C 时序图

Copyright © 2024 Texas Instruments Incorporated

6.15.4 电源管理总线 (PMBus) 接口

PMBus 模块具有以下特性：

- 符合 SMI Forum PMBus 规范（第 I 部分 v1.0 和第 II 部分 v1.1）
- 支持与以下兼容的电压阈值：
  - PMBus 1.2 及更低版本
  - SMBus 2.0 及更低版本
- 支持主从模式
- 支持 I2C 模式
- 支持两种速度：
  - 标准模式：高达 100kHz
  - 快速模式：400kHz
- 数据包错误检查
- 控制和警报信号
- 时钟高电平和低电平超时
- 四字节发送和接收缓冲器
- 一个可屏蔽中断，可由以下几个条件生成：
  - 接收数据就绪
  - 发送缓冲器为空
  - 接收到从器件地址
  - 消息结束
  - 警报输入被置为有效
  - 时钟低超时
  - 时钟高电平超时
  - 总线空闲

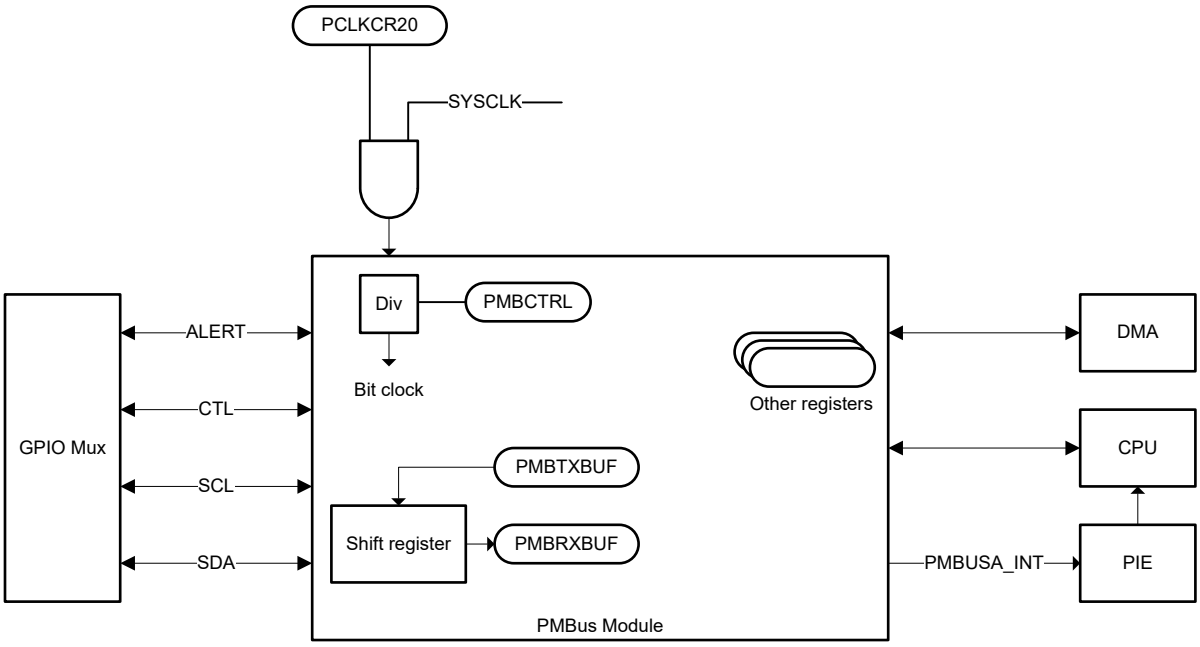


图 6-70. PMBus 方框图

Copyright © 2024 Texas Instruments Incorporated

6.15.4.1 PMBus 电气数据和时序

6.15.4.1.1 PMBus 电气特性

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
V_{IL}	有效低电平输入电压				0.8	V
V_{IH}	有效高电平输入电压		2.1		VDDIO	V
V_{OL}	低电平输出电压	在 I_{pullup} = 4mA 时			0.4	V
I_{OL}	低电平输出电流	V_{OL} ≤ 0.4V	4			mA
t_{SP}	必须由输入滤波器进行抑制的尖峰脉冲宽度		0		50	ns
I_i	每个引脚上的输入漏电流	0.1Vbus < Vi < 0.9Vbus	-10		10	µA
C_i	每个引脚上的电容				10	pF

6.15.4.1.2 PMBus 快速模式开关特性

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
f_{FSM_CLK}	FSM_CLK 时钟频率		SYSCLK/32		10	MHz
f_{SCL}	SCL 时钟频率		10		400	kHz
t_{BUF}	停止和启动条件之间的总线空闲时间		1.3			µs
$t_{HD;STA}$	启动条件保持时间 - SDA 下降至 SCL 下降延迟		0.6			µs
$t_{SU;STA}$	重复启动设置时间 - SCL 上升至 SDA 下降延迟		0.6			µs
$t_{SU;STO}$	停止条件设置时间 - SCL 上升至 SDA 上升延迟		0.6			µs
$t_{HD;DAT}$	SCL 下降后的数据保持时间		300			ns
$t_{SU;DAT}$	SCL 上升前的数据设置时间		100			ns
$t_{Timeout}$	时钟低超时		25		35	ms
t_{LOW}	SCL 时钟的低电平周期		1.3			µs
t_{HIGH}	SCL 时钟的高电平周期		0.6		50	µs
$t_{LOW;SEXT}$	累计时钟低电平延长时间（从器件）	从启动到停止			25	ms
$t_{LOW;MEXT}$	累计时钟低电平延长时间（主器件）	在每个字节内			10	ms
t_r	SDA 和 SCL 的上升时间	5%至 95%	20		300	ns
t_f	SDA 和 SCL 的下降时间	95%至 5%	20		300	ns

Copyright © 2024 Texas Instruments Incorporated

6.15.4.1.3 PMBus 标准模式开关特性

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
f_{FSM_CLK}	FSM_CLK 时钟频率		SYSCLK/32		10	MHz
f_{SCL}	SCL 时钟频率		10		100	kHz
t_{BUF}	停止和启动条件之间的总线空闲时间		4.7			µs
$t_{HD;STA}$	启动条件保持时间 - SDA 下降至 SCL 下降延迟		4			µs
$t_{SU;STA}$	重复启动设置时间 - SCL 上升至 SDA 下降延迟		4.7			µs
$t_{SU;STO}$	停止条件设置时间 - SCL 上升至 SDA 上升延迟		4			µs
$t_{HD;DAT}$	SCL 下降后的数据保持时间		300			ns
$t_{SU;DAT}$	SCL 上升前的数据设置时间		250			ns
$t_{Timeout}$	时钟低超时		25		35	ms
t_{LOW}	SCL 时钟的低电平周期		4.7			µs
t_{HIGH}	SCL 时钟的高电平周期		4		50	µs
$t_{LOW;SEXT}$	累计时钟低电平延长时间（从器件）	从启动到停止			25	ms
$t_{LOW;MEXT}$	累计时钟低电平延长时间（主器件）	在每个字节内			10	ms
t_r	SDA 和 SCL 的上升时间				1000	ns
t_f	SDA 和 SCL 的下降时间				300	ns

Copyright © 2024 Texas Instruments Incorporated

6.15.5 串行通信接口 (SCI)

SCI 是一种双线制异步串行端口，通常称为 UART。SCI 模块支持 CPU 与其他异步外设之间使用标准非归零码 (NRZ) 格式的数字通信

SCI 发送器和接收器都有一个用于减少服务开销的 16 级深度 FIFO，且具有各自独立的使能位和中断位。两者都能独立进行半双工通信，或同时进行全双工通信。为了指定数据完整性，SCI 检查接收到的数据是否存在中断检测、奇偶校验、超限和成帧错误。比特率通过 16 位波特选择寄存器可编程为不同的速度。

SCI 模块的特性包括：

- 两个外部引脚：
  - SCITXD：SCI 发送-输出引脚
  - SCIRXD：SCI 接收-输入引脚
  - 波特率可编程为 64K 不同速率
- 数据字格式
  - 1 个起始位
  - 数据字长度可在 1 至 8 位之间编程
  - 可选偶数/奇数/无奇偶校验位
  - 1 个或 2 个停止位
- 四个错误检测标志：奇偶、超载、组帧、和中断检测
- 两种唤醒多处理器模式：空闲线和地址位
- 半双工或全双工操作
- 双缓冲接收和发送功能
- 发送器和接收器操作可通过带有状态标志的中断驱动或轮询算法来完成。
  - 发送器：TXRDY 标志（发送器缓冲寄存器已准备好接收另一个字符）和 TX EMPTY 标志（发送器移位寄存器为空）
  - 接收器：RXRDY 标志（接收器缓冲寄存器已准备好接收另一个字符）、BRKDT 标志（发生了中断条件）和 RX ERROR 标志（监测四个中断条件）
- 发送器和接收器中断的独立使能位（BRKDT 除外）
- NRZ 格式
- 自动波特检测硬件逻辑
- 16 级发送和接收 FIFO

备注

此模块中的所有寄存器均为 8 位寄存器。当寄存器被访问时，寄存器数据位于低位字节（位 7-0），高位字节（位 15-8）读取为零。对高字节进行写入无效。

图 6-71 显示了 SCI 模块方框图。

Copyright © 2024 Texas Instruments Incorporated

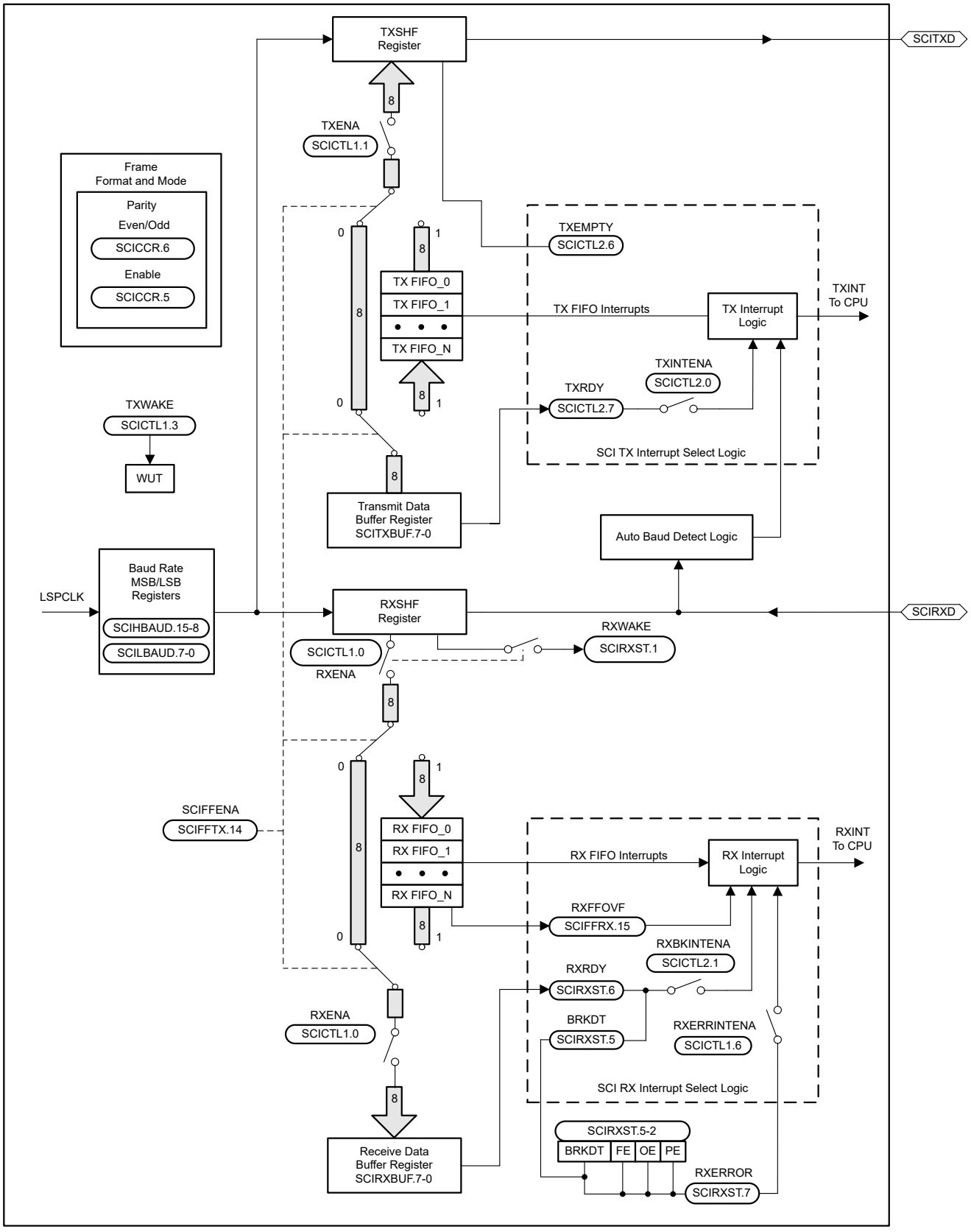


图 6-71. SCI 方框图

Copyright © 2024 Texas Instruments Incorporated

6.15.6 串行外设接口 (SPI)

串行外设接口 (SPI) 是一种高速同步串行输入和输出 (I/O) 端口，其允许以编程的位传输速率将编程长度（1 至 16 位）的串行位流移入和移出器件。SPI 通常用于 MCU 控制器与外部外设或另一控制器之间的通信。典型应用包括外部 I/O 或者通过诸如移位寄存器、显示驱动器和模数转换器 (ADC) 等器件进行外设扩展。SPI 的主器件或从器件运行时支持多器件通信。该端口支持 16 级接收和发送 FIFO，以减少 CPU 服务开销。

SPI 模块的特性包括：

- SPISOMI：SPI 从器件输出/主器件输入引脚
- SPISIMO：SPI 从器件输入/主器件输出引脚
- $\overline{\text{SPISTE}}$：SPI 从器件发送使能引脚
- SPICLK：SPI 串行时钟引脚
- 两种工作模式：主器件和从器件
- 波特率：125 个不同的可编程速率。可采用的最大波特率受限于 SPI 引脚上使用的 I/O 缓冲器的最大速度。
- 数据字长度：1 至 16 数据位
- 四种时钟方案（由时钟极性和时钟相位的位控制）包含：
  - 无相位延迟的下降沿：SPICLK 高电平有效。SPI 在 SPICLK 信号的下降沿上发送数据，在 SPICLK 信号的上升沿上接收数据。
  - 有相位延迟的下降沿：SPICLK 高电平有效。SPI 在 SPICLK 信号下降沿提前半个周期发送数据，在 SPICLK 信号的下降沿上接收数据。
  - 无相位延迟的上升沿：SPICLK 低电平无效。SPI 在 SPICLK 信号的上升沿上发送数据，在 SPICLK 信号的下降沿上接收数据。
  - 有相位延迟的上升沿：SPICLK 低电平无效。SPI 在 SPICLK 信号上升沿的半个周期之前发送数据，而在 SPICLK 信号的上升沿上接收数据。
- 同时接收和发送操作（可在软件中禁用发送功能）
- 发送器和接收器操作通过中断驱动或轮询算法完成
- 16 级发送/接收 FIFO
- DMA 支持
- 高速模式
- 延迟的发送控制
- 3 线 SPI 模式
- 在带有两个 SPI 模块的器件上实现数字音频接口接收模式的 $\overline{\text{SPISTE}}$ 反转

图 6-72 所示为 SPI CPU 接口。

Copyright © 2024 Texas Instruments Incorporated

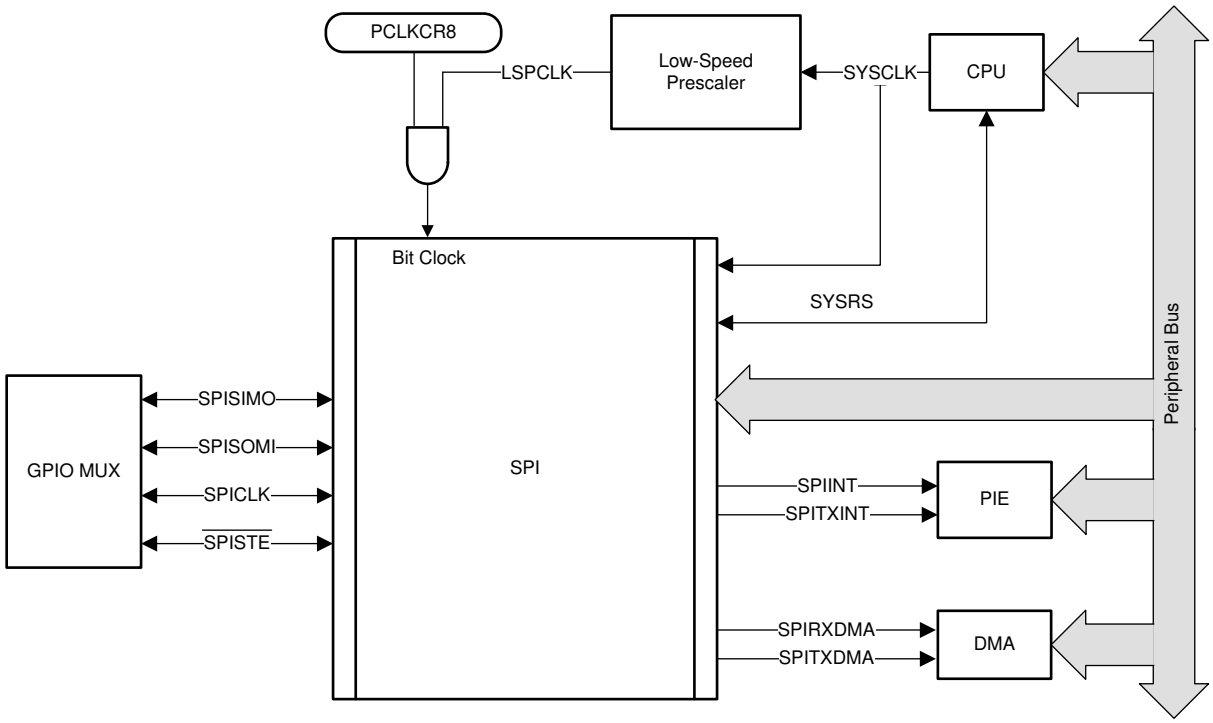


图 6-72. SPI CPU 接口

Copyright © 2024 Texas Instruments Incorporated

6.15.6.1 SPI 主器件模式时序

下一节介绍了 SPI 主器件模式时序。更多有关高速模式下 SPI 的信息，请参阅 *TMS320F28003x 实时微控制器技术参考手册* 的“串行外设接口 (SPI)”一章。

备注

SPI 高速模式的所有时序参数都假设 SPICLK、SPISIMO 和 SPISOMI 上的负载电容为 5pF。

6.15.6.1.1 SPI 主模式时序要求

编号			(BRR + 1) (1)	最小值	最大值	单位
高速模式						
8	$t_{su(SOMI)M}$	SPICLK 之前 SPISOMI 有效的设置时间	偶数，奇数	1		ns
9	$t_{h(SOMI)M}$	SPICLK 之后 SPISOMI 有效的保持时间	偶数，奇数	6.5		ns
正常模式						
8	$t_{su(SOMI)M}$	SPICLK 之前 SPISOMI 有效的设置时间	偶数，奇数	15		ns
9	$t_{h(SOMI)M}$	SPICLK 之后 SPISOMI 有效的保持时间	偶数，奇数	0		ns

(1) 当 (SPIBRR + 1) 为偶数或 SPIBRR 为 0 或 2 时，(BRR + 1) 条件为偶数。当 (SPIBRR + 1) 为奇数且 SPIBRR 大于 3 时，(BRR + 1) 条件为奇数。

Copyright © 2024 Texas Instruments Incorporated

6.15.6.1.2 SPI 主模式开关特性 - 时钟相位 0

在建议运行条件下（除非另有说明）

编号	参数(1) (2)		(BRR + 1)(3)	最小值	最大值	单位
通用						
1	$t_{c(SPC)M}$	周期时间，SPICLK	偶数	$4t_{c(LSPCLK)}$	$128t_{c(LSPCLK)}$	ns
			奇数	$5t_{c(LSPCLK)}$	$127t_{c(LSPCLK)}$	
2	$t_{w(SPC1)M}$	脉冲持续时间，SPICLK，第一个脉冲	偶数	$0.5t_{c(SPC)M} - 1$	$0.5t_{c(SPC)M} + 1$	ns
			奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 1$	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} + 1$	
3	$t_{w(SPC2)M}$	脉冲持续时间，SPICLK，第二个脉冲	偶数	$0.5t_{c(SPC)M} - 1$	$0.5t_{c(SPC)M} + 1$	ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 1$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} + 1$	
23	$t_{d(SPC)M}$	延迟时间，$\overline{SPISTE}$ 有效至 SPICLK 的时间	Even	$1.5t_{c(SPC)M} - 3t_{c(SYSCLK)} - 3$	$1.5t_{c(SPC)M} - 3t_{c(SYSCLK)} + 3$	ns
			奇数	$1.5t_{c(SPC)M} - 4t_{c(SYSCLK)} - 3$	$1.5t_{c(SPC)M} - 4t_{c(SYSCLK)} + 3$	
24	$t_{v(STE)M}$	有效时间，SPICLK 至 $\overline{SPISTE}$ 无效的时间	偶数	$0.5t_{c(SPC)M} - 3$	$0.5t_{c(SPC)M}+3$	ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 3$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} + 3$	
高速模式						
4	$t_{d(SIMO)M}$	延迟时间，SPICLK 至 SPISIMO 有效的时间	偶数，奇数		1	ns
5	$t_{v(SIMO)M}$	有效时间，SPICLK 之后 SPISIMO 有效的时间	偶数	$0.5t_{c(SPC)M} - 3$		ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 3$		
正常模式						
4	$t_{d(SIMO)M}$	延迟时间，SPICLK 至 SPISIMO 有效的时间	偶数，奇数		2	ns
5	$t_{v(SIMO)M}$	有效时间，SPICLK 之后 SPISIMO 有效的时间	偶数	$0.5t_{c(SPC)M} - 3$		ns
			奇数	0.5tc(SPC)M – 0.5tc(LSPCLK) – 3		

(1) 高速模式下引脚上的负载为 10pF。
(2) 正常模式下引脚上的负载为 20pF。
(3) 当 (SPIBRR + 1) 为偶数或 SPIBRR 为 0 或 2 时，(BRR + 1) 条件为偶数。当 (SPIBRR + 1) 为奇数且 SPIBRR 大于 3 时，(BRR + 1) 条件为奇数。

Copyright © 2024 Texas Instruments Incorporated

6.15.6.1.3 SPI 主模式开关特性 - 时钟相位 1

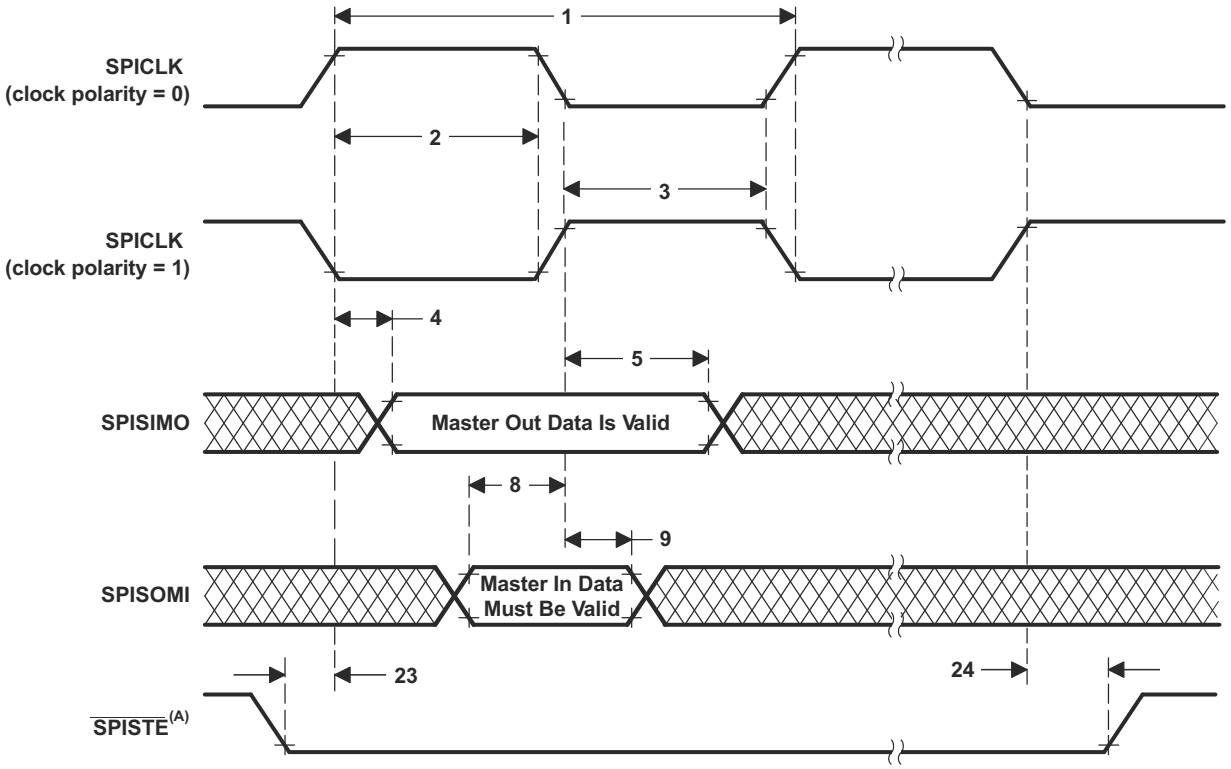
在建议运行条件下 (除非另有说明)

编号	参数(1) (2)		(BRR + 1)	最小值	最大值	单位
通用						
1	$t_{c(SPC)M}$	周期时间，SPICLK	偶数	$4t_{c(LSPCLK)}$	$128t_{c(LSPCLK)}$	ns
			奇数	$5t_{c(LSPCLK)}$	$127t_{c(LSPCLK)}$	
2	$t_{w(SPCH)M}$	脉冲持续时间，SPICLK，第一个脉冲	偶数	$0.5t_{c(SPC)M} - 1$	$0.5t_{c(SPC)M} + 1$	ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 1$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} + 1$	
3	$t_{w(SPC2)M}$	脉冲持续时间，SPICLK，第二个脉冲	偶数	$0.5t_{c(SPC)M} - 1$	$0.5t_{c(SPC)M} + 1$	ns
			奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 1$	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} + 1$	
23	$t_{d(SPC)M}$	延迟时间，$\overline{SPISTE}$ 有效至 SPICLK 的时间	偶数，奇数	$2t_{c(SPC)M} - 3t_{c(SYSCLK)} - 3$	$2t_{c(SPC)M} - 3t_{c(SYSCLK)} + 3$	ns
24	$t_{d(STE)M}$	延迟时间，SPICLK 至 $\overline{SPISTE}$ 无效的时间	偶数	-3	3	ns
			奇数	-3	3	
高速模式						
4	$t_{d(SIMO)M}$	延迟时间，SPISIMO 有效至 SPICLK 的时间	偶数	$0.5t_{c(SPC)M} - 2$		ns
			奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 2$		
5	$t_{v(SIMO)M}$	有效时间，SPICLK 之后 SPISIMO 有效的时间	偶数	$0.5t_{c(SPC)M} - 3$		ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 3$		
正常模式						
4	$t_{d(SIMO)M}$	延迟时间，SPISIMO 有效至 SPICLK 的时间	偶数	$0.5t_{c(SPC)M} - 2$		ns
			奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 2$		
5	$t_{v(SIMO)M}$	有效时间，SPICLK 之后 SPISIMO 有效的时间	偶数	$0.5t_{c(SPC)M} - 3$		ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 3$		

(1) 高速模式下引脚上的负载为 10pF。
(2) 正常模式下引脚上的负载为 20pF。

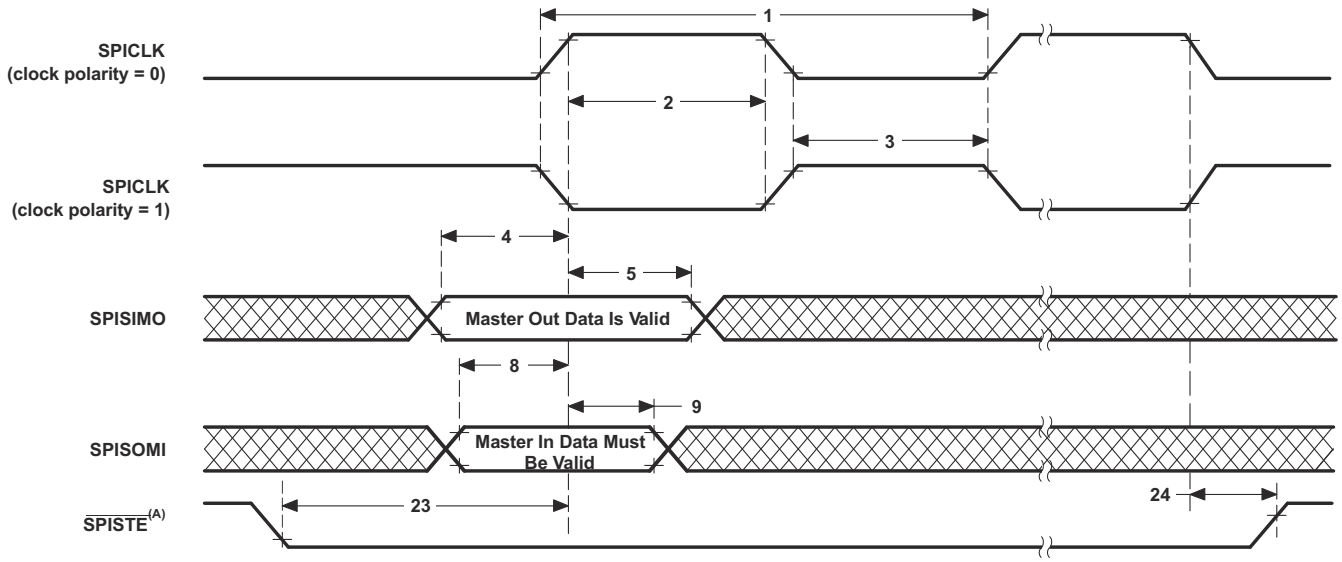
Copyright © 2024 Texas Instruments Incorporated

6.15.6.1.4 SPI 主器件模式时序图



A. 除了在 FIFO 和非 FIFO 模式下的背对背传输字之间的情况外，在字的尾端，SPISTE 将变为停止状态。

图 6-73. SPI 主器件模式外部时序（时钟相位 = 0）



A. 除了在 FIFO 和非 FIFO 模式下的背对背传输字之间的情况外，在字的尾端，SPISTE 将变为停止状态。

图 6-74. SPI 主器件模式外部时序（时钟相位 = 1）

Copyright © 2024 Texas Instruments Incorporated

6.15.6.2 SPI 从器件模式时序

下一节介绍了 SPI 从器件模式时序。更多有关高速模式下 SPI 的信息，请参阅 *TMS320F28003x 实时微控制器技术参考手册* 的“串行外设接口 (SPI)”一章。

6.15.6.2.1 SPI 从模式时序要求

编号			最小值	最大值	单位
12	$t_{c(SPC)S}$	周期时间，SPICLK	$4t_{c(SYSCLK)}$		ns
13	$t_{w(SPC1)S}$	脉冲持续时间，SPICLK，第一个脉冲	$2t_{c(SYSCLK)} - 1$		ns
14	$t_{w(SPC2)S}$	脉冲持续时间，SPICLK，第二个脉冲	$2t_{c(SYSCLK)} - 1$		ns
19	$t_{su(SIMO)S}$	SPICLK 之前 SPISIMO 有效的设置时间	$1.5t_{c(SYSCLK)}$		ns
20	$t_{h(SIMO)S}$	SPICLK 之后 SPISIMO 有效的保持时间	$1.5t_{c(SYSCLK)}$		ns
25	$t_{su(STE)S}$	SPICLK 之前 $\overline{\text{SPISTE}}$ 有效的设置时间（时钟相位 = 0）	$2t_{c(SYSCLK)} + 15$		ns
		SPICLK 之前 $\overline{\text{SPISTE}}$ 有效的设置时间（时钟相位 = 1）	$2t_{c(SYSCLK)} + 15$		ns
26	$t_{h(STE)S}$	SPICLK 之后 $\overline{\text{SPISTE}}$ 无效的保持时间	$1.5t_{c(SYSCLK)}$		ns

6.15.6.2.2 SPI 从模式开关特性

在建议运行条件下（除非另有说明）

编号	参数(1)		最小值	最大值	单位
15	$t_{d(SOMI)S}$	延迟时间，SPICLK 至 SPISOMI 有效的时间		12	ns
16	$t_{v(SOMI)S}$	有效时间，SPICLK 之后 SPISOMI 有效的时间	0		ns

(1) 引脚上 20pF 负载。

Copyright © 2024 Texas Instruments Incorporated

6.15.6.2.3 SPI 从器件模式时序图

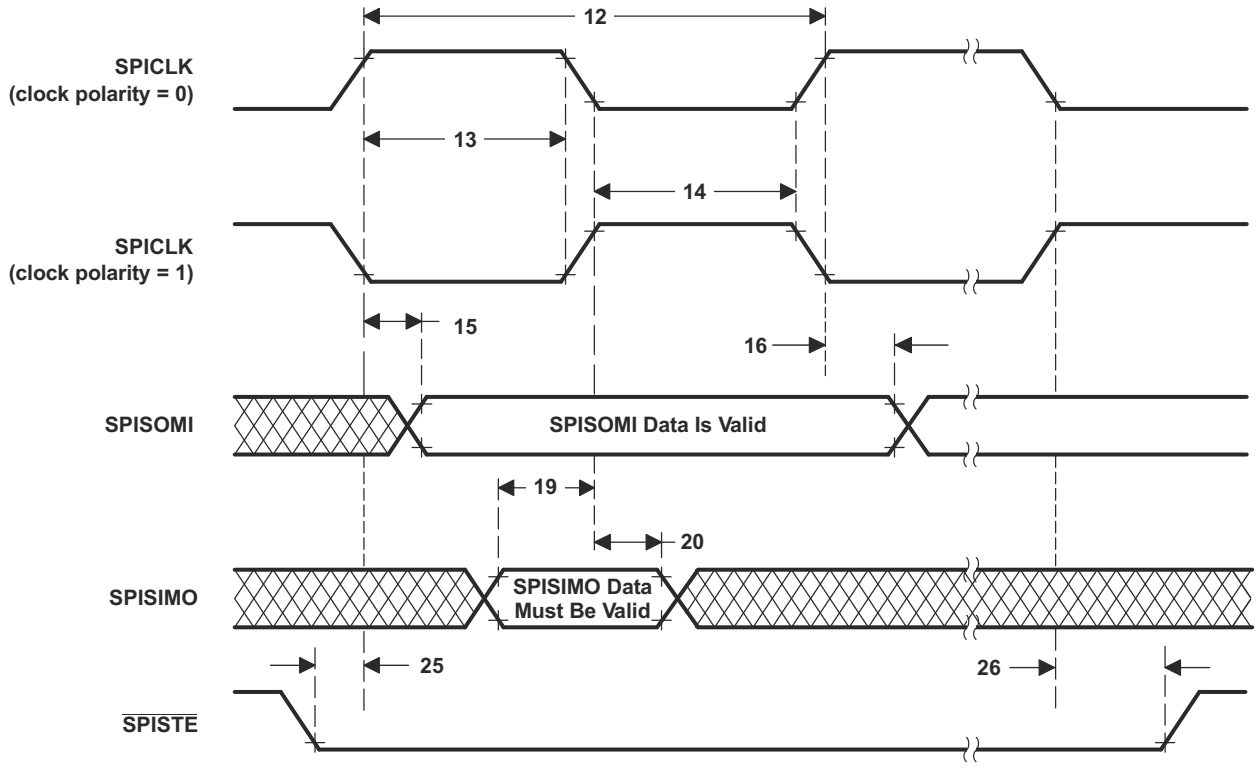


图 6-75. SPI 从器件模式外部时序（时钟相位 = 0）

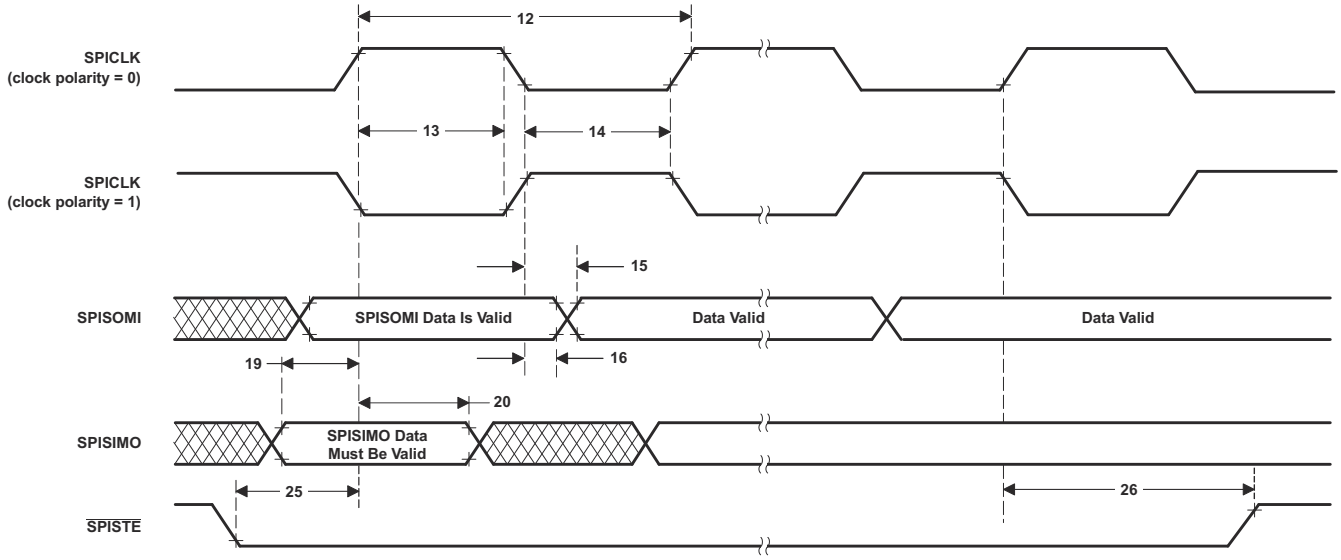


图 6-76. SPI 从器件模式外部时序（时钟相位 = 1）

Copyright © 2024 Texas Instruments Incorporated

6.15.7 本地互连网络 (LIN)

此器件包含一个本地互连网络 (LIN) 模块。LIN 模块遵循 *LIN 规范包修订版 2.1* 定义的 LIN 2.1 标准。LIN 是一种低成本串行接口，专为 CAN 协议实施成本太高的应用而设计，例如用于汽车应用中车内照明或车窗控制等舒适功能的小型子网。

LIN 标准基于 SCI (UART) 串行数据连接格式。通信原理是单个主和多个从通过消息识别在任何网络节点之间实现多播传输。

LIN 模块可以编程作为一个 SCI 或作为一个 LIN 运行，因为此模块的内核为 SCI。SCI 的硬件特性得到增强以实现 LIN 兼容性。SCI 模块是一个通用异步收发器 (UART)，可实现标准的非归零格式。

虽然 LIN 和 SCI 的寄存器是通用的，但是寄存器说明中有相应注释指出不同模式下的寄存器/位用法。因此，为该模块编写的代码无法直接移植到独立 SCI 模块，反之亦然。

LIN 模块具有以下特性：

- 与 LIN 1.3、2.0 和 2.1 协议兼容
- 波特率最高可配置为 20kbps（根据 LIN 2.1 协议）
- 两个外部引脚：LINRX 和 LINTX
- 多缓冲接收和发送单元
- 针对信息过滤的识别掩码
- 自动生成主器件头文件
  - 可编程同步中断域
  - 同步域
  - 标识符域
- 从器件自动同步
  - 同步中断检测
  - 可选波特率更新
  - 同步验证
- 使用 7 个分数位支持 2^{31} 个可编程传输速率
- 从收发器在 LINRX 主级别上唤醒
- 自动唤醒支持
  - 唤醒信号生成
  - 唤醒信号超期时间
- 自动总线闲置检测
- 错误检测
  - 位错误
  - 总线错误
  - 无响应错误
  - 校验和错误
  - 同步域错误
  - 奇偶校验错误
- 能够使用直接存储器访问 (DMA) 发送和接收数据
- 两个中断线路带有以下项目的优先级编码：
  - 接收
  - 发送
  - ID、错误和状态
- 支持 LIN 2.0 校验和
- 增强型同步器有限状态机 (FSM) 支持帧处理
- 增强对扩展帧的处理能力
- 增强型波特率发生器
- 更新唤醒/进入睡眠模式

Copyright © 2024 Texas Instruments Incorporated

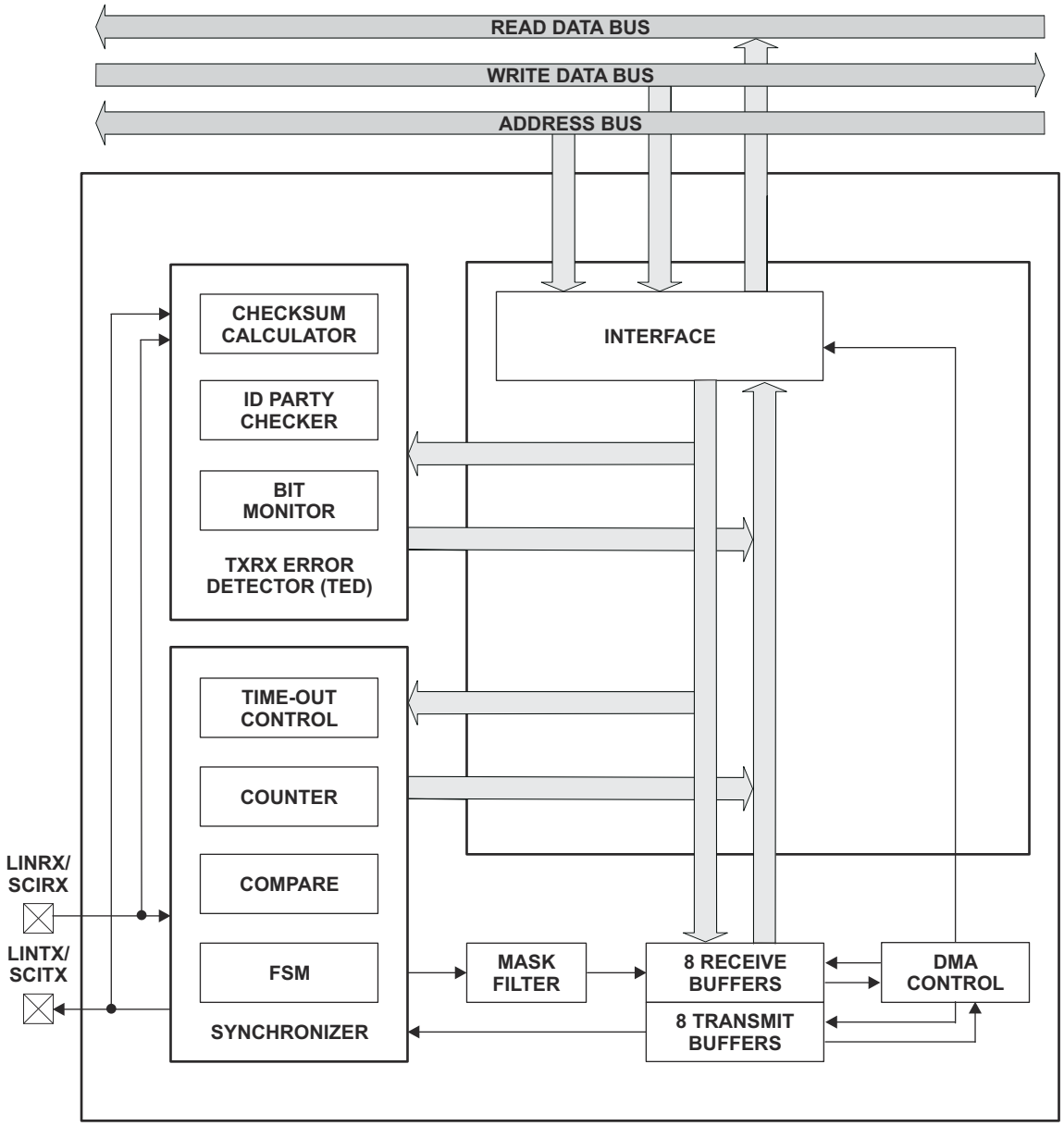


图 6-77. LIN 方框图

Copyright © 2024 Texas Instruments Incorporated

6.15.8 快速串行接口 (FSI)

快速串行接口 (FSI) 是一种能够进行可靠而稳健的高速通信的串行通信外设。FSI 旨在确保在芯片到芯片之间以及跨越隔离栅的板到板之间等诸多系统条件下实现数据稳健性。CRC、帧起始和结束模式以及用户定义的标签等有效载荷完整性检查在发送前进行编码，然后在接收后进行验证，无需额外的 CPU 交互。可以使用定期发送的方式检测线路中断，所有这些均由硬件管理和监控。FSI 还与器件上的其他控制外设紧密集成。为了确保提供最新的传感器数据或控制参数，可以在每个控制环路周期发送帧。为了处理由于各种因素而在时钟和数据信号之间可能出现的偏移（包括布线长度不匹配和隔离芯片引起的偏移），接收器上添加了一个集成的偏移补偿块。借助嵌入式数据稳健性检查、数据链路完整性检查、偏移补偿以及与控制外设的集成，FSI 可以在任何系统中实现高速、稳健的通信。FSI 除了这些特性，还有许多其他特性，如下所示。

FSI 模块包含以下特性：

- 独立的发送器和接收器内核
- 源同步发送
- 双数据速率 (DDR)
- 一条或两条数据线路
- 可编程数据长度
- 偏移调整块可针对电路板和系统延迟的不匹配部分进行补偿
- 帧错误检测
- 通过可编程的帧标记进行消息过滤
- 通过硬件 ping 检测通信期间的线路中断（ping 看门狗）
- 每个 FSI 内核对应两个中断
- 外部触发帧生成
- 由硬件或软件计算 CRC
- 嵌入式 ECC 计算模块
- 寄存器写保护
- DMA 支持
- SPI 兼容模式（可用功能受限）

为了让 FSI 在双数据速率 (120Mbps) 下以最大速度 (60MHz) 运行，可能需要根据具体运行条件逐例配置集成的偏移补偿块。*快速串行接口 (FSI) 偏移补偿* 应用报告通过软件示例介绍了如何在快速串行接口上配置和设置集成偏移补偿块。

FSI 包含独立发送器 (FSITX) 和接收器 (FSIRX) 内核。FSITX 和 FSIRX 内核是独立配置和运行的。*FSI 发送器* 部分和 *FSI 接收器* 部分分别介绍了 FSITX 和 FSIRX 上的可用功能。

Copyright © 2024 Texas Instruments Incorporated

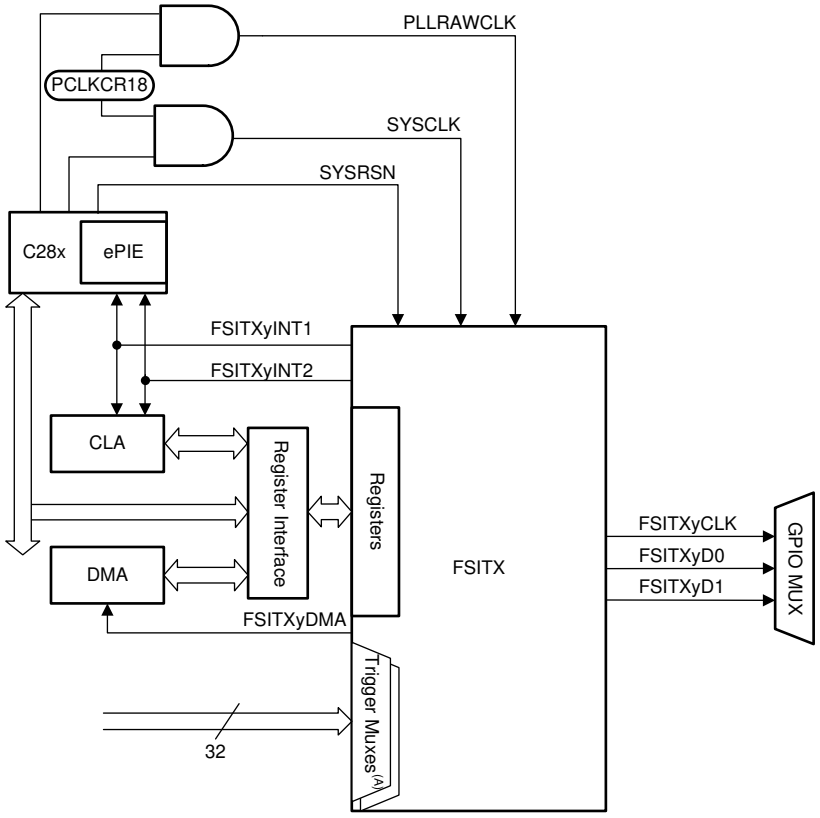
6.15.8.1 FSI 发送器

FSI 发送器模块会处理数据组帧、CRC 生成、TXCLK、TXD0 和 TXD1 的信号生成以及中断生成。发送器内核的运行通过可编程控制寄存器进行控制和配置。发送器控制寄存器可让 CPU 对 FSI 发送器的运行进行编程、控制和监控。CPU 和 DMA 均可访问发送数据缓冲器。

发送器具有以下特性：

- 自动生成 ping 帧
- 外部触发 ping 帧
- 可通过软件配置帧长度
- 16 字数据缓冲器
- 数据缓冲器欠运转和溢出检测
- 硬件生成数据位 CRC
- 使用软件对选定数据进行 ECC 计算
- DMA 支持

图 6-78 所示为 FSITX CPU 接口。图 6-79 所示为 FSITX 的简要方框图。图中并未显示所有数据路径和内部连接。此图提供了 FSITX 中存在的内部模块的简要概览。



A. *TMS320F28003x 实时微控制器技术参考手册* 的“快速串行接口 (FSI)”一章中的“外部帧触发器多路复用器”一节介绍了连接到触发器多路复用器的信号。

图 6-78. FSITX CPU 接口

Copyright © 2024 Texas Instruments Incorporated

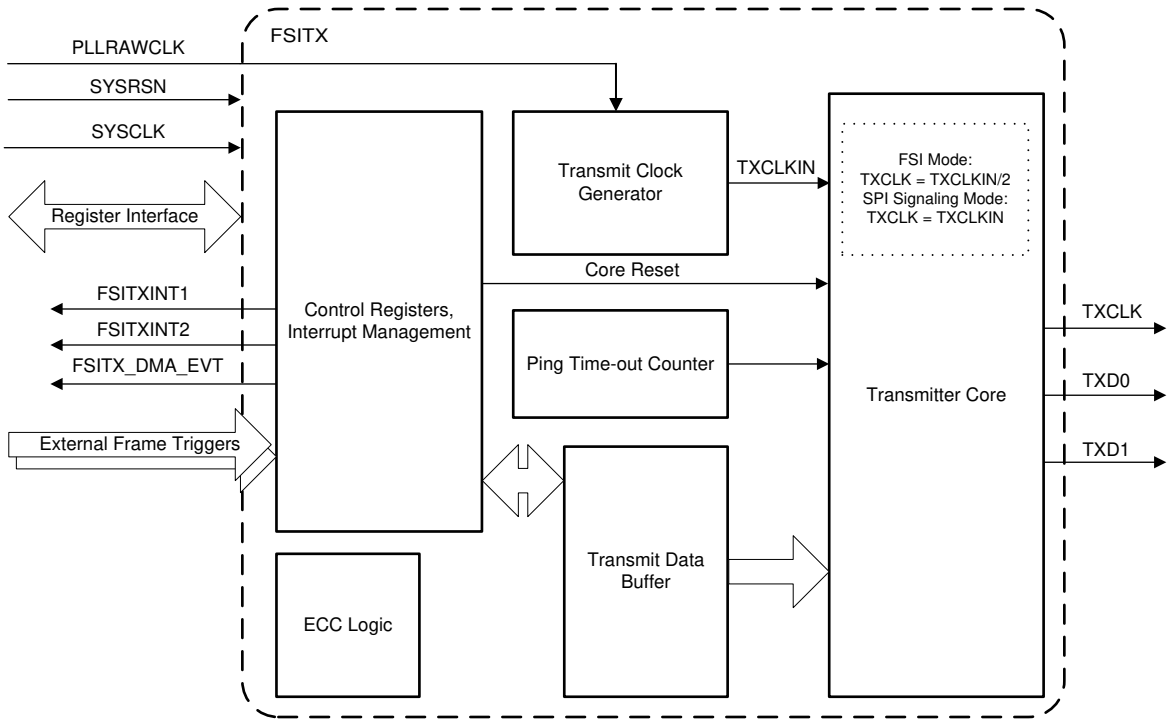


图 6-79. FSITX 方框图

6.15.8.1.1 FSITX 电气数据和时序

6.15.8.1.1.1 FSITX 开关特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

编号	参数(1)		最小值	最大值	单位
1	$t_{c(TXCLK)}$	TXCLK 周期时间	16.67		ns
2	$t_{w(TXCLK)}$	TXCLK 低电平或 TXCLK 高电平的脉冲宽度	$(0.5t_{c(TXCLK)})$ – 1	$(0.5t_{c(TXCLK)})$ + 1	ns
3	$t_{d(TXCLK - TXD)}$	延迟时间、TXCLK 上升或下降至 TXD 有效的时间	$(0.25t_{c(TXCLK)})$ – 2	$(0.25t_{c(TXCLK)})$ + 2	ns
4	$t_{d(TXCLK)}$	TX_DLYLINE_CTRL[TXCLK_DLY]=31 时的 TXCLK 延迟补偿	9.95	30	ns
5	$t_{d(TXD0)}$	TX_DLYLINE_CTRL[TXD0_DLY]=31 时的 TXD0 延迟补偿	9.95	30	ns
6	$t_{d(TXD1)}$	TX_DLYLINE_CTRL[TXD1_DLY]=31 时的 TXD1 延迟补偿	9.95	30	ns
7	$t_{d(DELAY_ELEMENT)}$	每个延迟线路元件的 TXCLK、TXD0 和 TXD1 增量延迟	0.3	1	ns
TDM1	$t_{skew(TDM_CLK-TDM_Dx)}$	TXCLK-TDM_CLK 延迟和 TXDx-TDM_Dx 延迟之间引入的延迟偏移	-2.5	2.5	ns

(1) 引脚上的 10pF 负载。

Copyright © 2024 Texas Instruments Incorporated

6.15.8.1.1.2 FSITX 时序

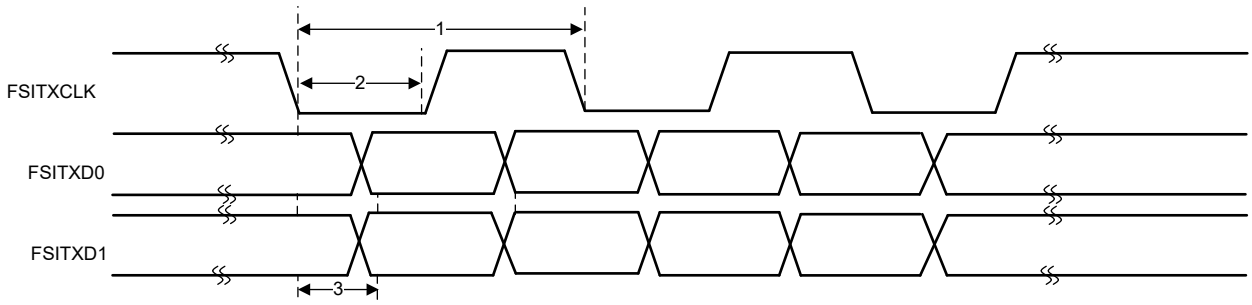


图 6-80. FSITX 时序

Copyright © 2024 Texas Instruments Incorporated

6.15.8.2 FSI 接收器

接收器模块在通过可选的可编程延迟线路后连接到 FSI 时钟 (RXCLK) 和数据线路（RXD0 和 RXD1）。接收器内核会处理数据组帧、CRC 计算和与帧相关的错误检查。接收器位时钟和状态机由与器件系统时钟异步的 RXCLK 输入运行。

接收器控制寄存器可让 CPU 对 FSIRX 的运行进行编程、控制和监控。CPU、HIC 和 DMA 均可访问接收数据缓冲器。

接收器内核具有以下特性：

- 16 字数据缓冲器
- 支持多种帧类型
- Ping 帧看门狗
- 帧看门狗
- 在硬件中进行 CRC 计算和比较
- ECC 检测
- 针对输入信号的可编程延迟线路控制
- DMA 支持
- SPI 兼容模式

图 6-81 所示为 FSIRX CPU 接口。图 6-82 提供了 FSIRX 中存在的内部模块的简要概览。图中并未显示所有数据路径和内部连接。

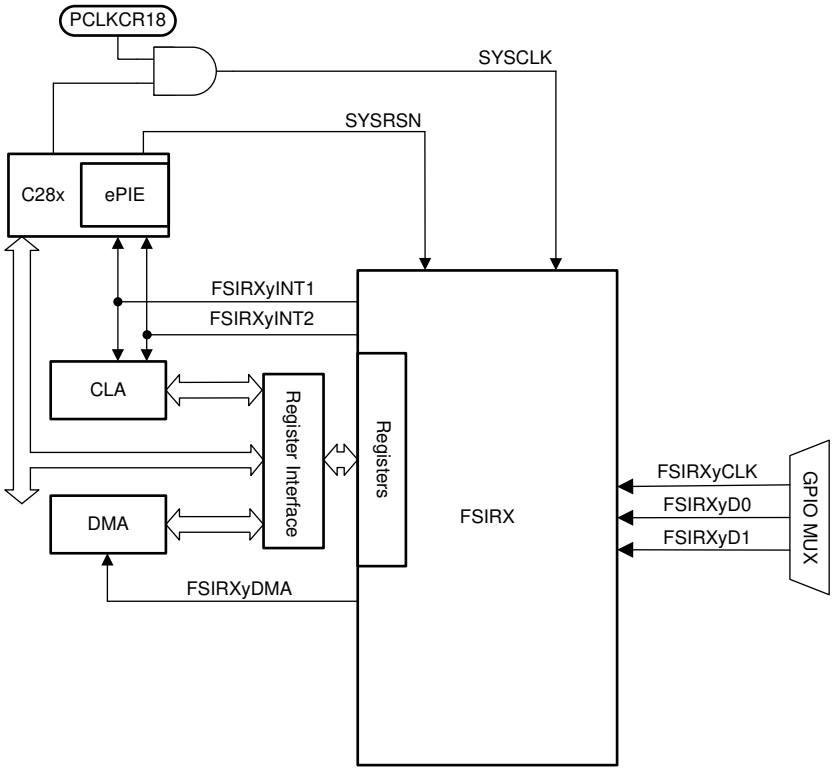


图 6-81. FSIRX CPU 接口

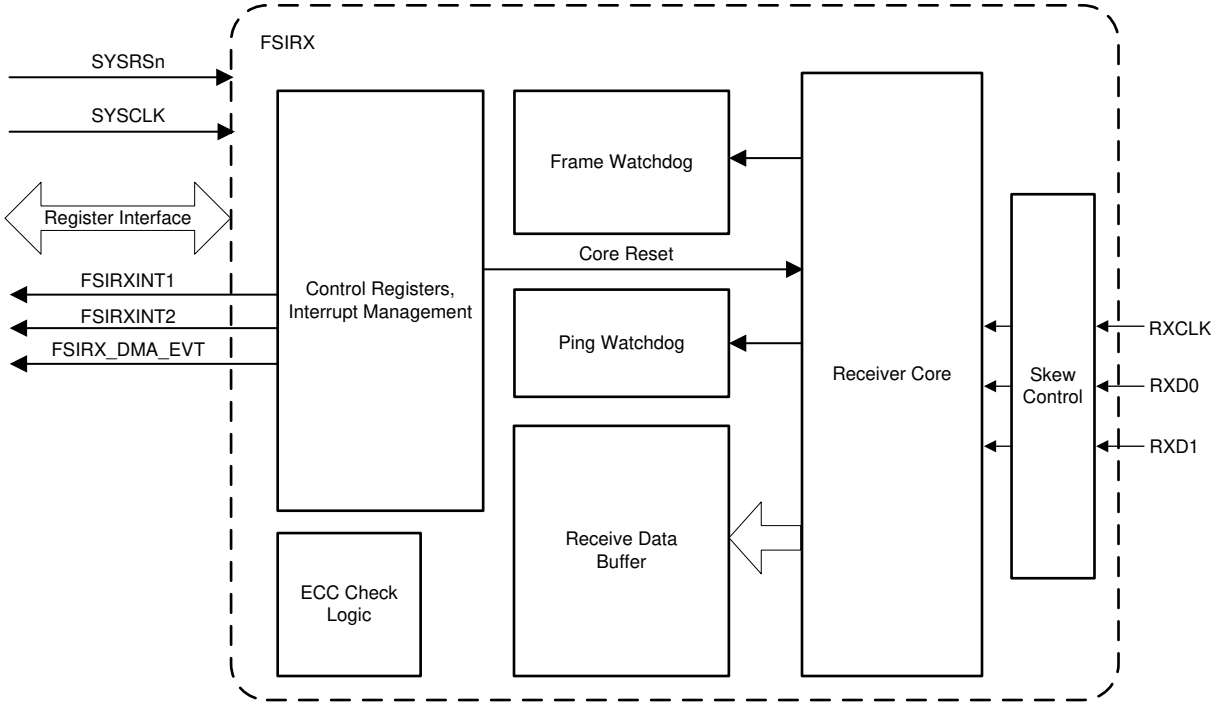


图 6-82. FSIRX 方框图

6.15.8.2.1 FSIRX 电气数据和时序

6.15.8.2.1.1 FSIRX 时序要求

编号			最小值	最大值	单位
1	$t_{c(RXCLK)}$	RXCLK 周期时间	16.67		ns
2	$t_{w(RXCLK)}$	RXCLK 低电平或 RXCLK 高电平的脉冲宽度。	$0.35t_{c(RXCLK)}$	$0.65t_{c(RXCLK)}$	ns
3	$t_{su(RXCLK - RXD)}$	相对于 RXCLK 的设置时间，应用于时钟的两个边沿	1.7		ns
4	$t_{h(RXCLK - RXD)}$	相对于 RXCLK 的保持时间，应用于时钟的两个边沿	2		ns

6.15.8.2.1.2 FSIRX 开关特性

编号	参数(1)		最小值	最大值	单位
1	$t_{d(RXCLK)}$	RX_DLYLINE_CTRL[RXCLK_DLY]=31 时的 RXCLK 延迟补偿	10	30	ns
2	$t_{d(RXD0)}$	RX_DLYLINE_CTRL[RXD0_DLY]=31 时的 RXD0 延迟补偿	10	30	ns
3	$t_{d(RXD1)}$	RX_DLYLINE_CTRL[RXD1_DLY]=31 时的 RXD1 延迟补偿	10	30	ns
4	$t_{d(DELAY_ELEMENT)}$	每个延迟线路元件的 RXCLK、RXD0 和 RXD1 增量延迟	0.3	1	ns
TDM1	$t_{skew(TDM_CLK-TDM_Dx)}$	RXCLK-TDM_CLK 延迟和 RXDx-TDM_Dx 延迟之间引入的延迟偏移	-3	3	ns

(1) 引脚上的 10pF 负载。

Copyright © 2024 Texas Instruments Incorporated

6.15.8.2.1.3 FSIRX 时序

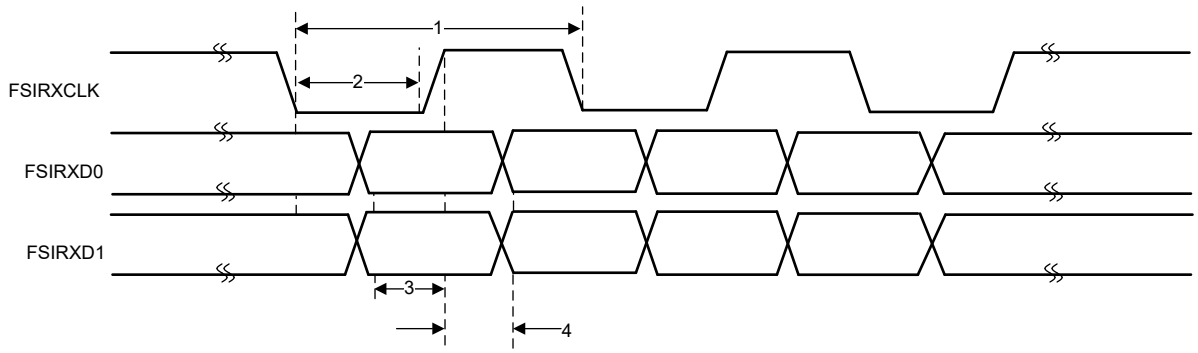


图 6-83. FSIRX 时序

6.15.8.3 FSI SPI 兼容模式

FSI 支持 SPI 兼容模式以实现与可编程 SPI 器件的通信。在此模式下，FSI 发送数据的方式与 SPI 在单时钟配置模式下发送数据的方式相同。虽然 FSI 在此模式下能够通过物理方式连接 SPI，但外部器件必须能够对 FSI 帧进行编码和解码才能成功进行通信。这是因为 FSI 会发送除前同步码和后同步码之外的所有 SPI 帧相位。FSI 提供与标准 FSI 模式相同的数据验证和帧检查功能，从而在不占用 CPU 周期的情况下实现更稳健的通信。为此，需要使用外部 SPI 来发送所有相关信息，并可用于访问标准 FSI 功能，例如 FSIRX 上的 ping 帧看门狗、帧标记或自定义 CRC 值。SPI 兼容模式的特性如下：

- 将在时钟的上升沿发送数据，并在下降沿接收数据。
- 仅支持 16 位字大小。
- TXD1 将像低电平有效片选信号一样被驱动。信号在整个帧发送期间将处于低电平。
- 无需接收器片选输入。不使用 RXD1。数据在每个有效时钟边沿转移到接收器中。
- 不会发送前同步码或后同步码时钟。帧相位结束后，所有信号都恢复到空闲状态。
- 由于 FSI TXCLK 不能采用外部时钟源，因此无法在 SPI 从器件配置下进行发送。

6.15.8.3.1 FSITX SPI 信令模式电气数据和时序

在 SPI 信令模式下，FSIRX 不需要特殊时序。“FSIRX 时序要求”表中列出的 FSIRX 时序适用于 SPI 兼容模式。设置和保持时间仅在 FSIRXCLK 的下降沿有效，因为这是 SPI 信令模式中的有效边沿。

6.15.8.3.1.1 FSITX SPI 信令模式开关特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

编号	参数[1]		最小值	最大值	单位
1	$t_{c(TXCLK)}$	TXCLK 周期时间	16.67		ns
2	$t_{w(TXCLK)}$	TXCLK 低电平或 TXCLK 高电平的脉冲宽度	$(0.5t_{c(TXCLK)})$ – 1	$(0.5t_{c(TXCLK)})$ + 1	ns
3	$t_{d(TXCLKH-TXD0)}$	TXCLK 高电平之后 TXD0 有效的延迟时间		3	ns
4	$t_{d(TXD1-TXCLK)}$	TXD1 低电平之后 TXCLK 高电平的延迟时间	$t_{w(TXCLK)}$ – 3		ns
5	$t_{d(TXCLK-TXD1)}$	TXCLK 低电平之后 TXD1 高电平的延迟时间	$t_{w(TXCLK)}$		ns

(1) 引脚上的 10pF 负载

6.15.8.3.1.2 FSITX SPI 信令模式时序

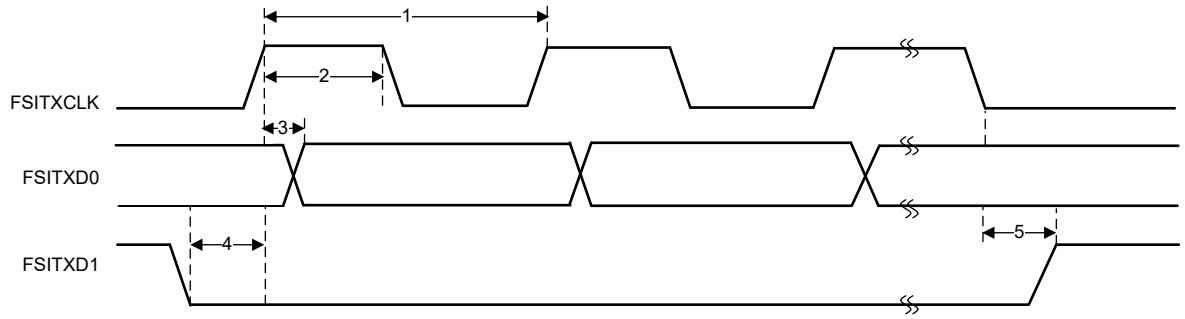


图 6-84. FSITX SPI 信令模式时序

Copyright © 2024 Texas Instruments Incorporated

6.15.9 主机接口控制器 (HIC)

HIC 模块允许外部主机控制器（主器件）通过仿真 ASRAM 协议直接存取器件（从器件）的资源。该模块有两种运行模式：直接访问和邮箱访问。在直接访问模式下，器件资源直接写入到外部主机并由外部主机进行读取。在邮箱访问模式下，外部主机和器件对缓冲区进行写入和读取，并在缓冲区写入/读取完成时相互通知。出于安全考虑，必须先由器件启用 HIC，然后外部主机才能访问 HIC。

HIC 的特性包括：

- 8 位和 16 位可配置 I/O 数据线
- 直接访问模式和邮箱访问模式
- 8 条地址线和 8 个可配置的基址，总共 2048 个可能的可寻址区域
- 使用邮箱访问模式时有两个用于外部主机和器件的 64 字节缓冲器
- 缓冲器满/空时产生中断
- 高吞吐量
- 从其他外设触发 HIC 活动
- 系统或接口的错误指示器
- 提交功能可阻止写入配置寄存器

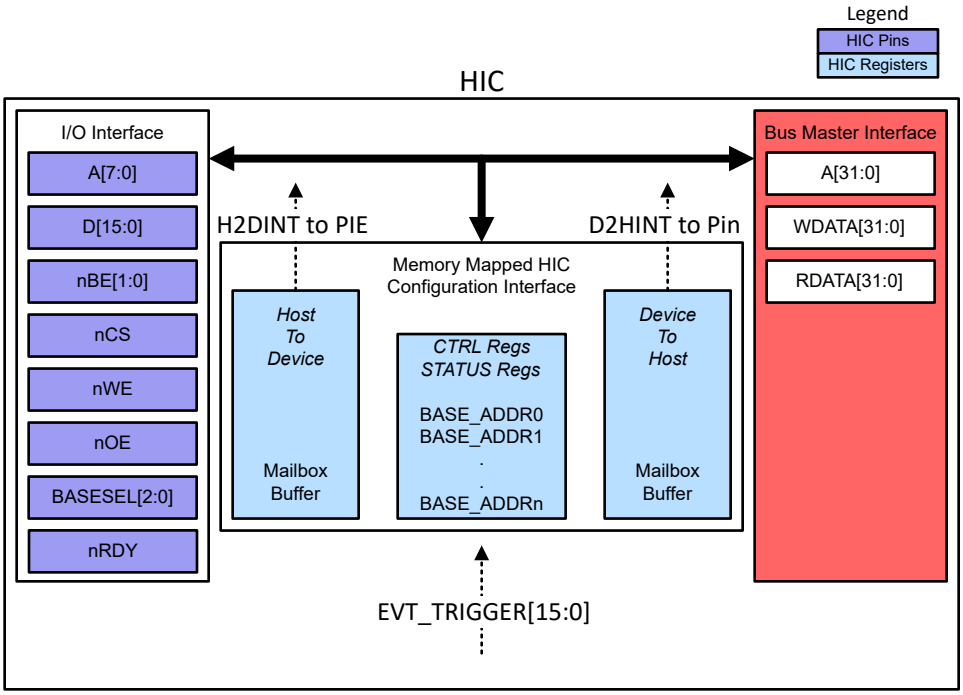


图 6-85. HIC 方框图

Copyright © 2024 Texas Instruments Incorporated

6.15.9.1 HIC 电气数据和时序

6.15.9.1.1 HIC 时序要求

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	最大值	单位
nOE 和 nWE 引脚的读取/写入参数 - 双读取/写入引脚				
$t_{su(ABBV-OEV)}$	建立时间，nOE 处于活动状态前的 A/BASESEL/nBE	0		ns
$t_{su(ABBV-WEV)}$	建立时间，nWE 处于活动状态前的 A/BASESEL/nBE	0		ns
$t_{su(CSV-OEV)}$	建立时间，nCS 在 nOE 处于活动状态前保持活动状态的时间	$0.5t_{c(SYSCLK)}$		ns
$t_{su(CSV-WEV)}$	建立时间，nCS 在 nWE 处于活动状态前保持活动状态的时间	$0.5t_{c(SYSCLK)}$		ns
$t_{h(ABBV-OEIV)}$	保持时间，在 nOE 不活动后的 A/BASESEL/nBE/nCS	6		ns
$t_{h(ABBV-WEIV)}$	保持时间，nWE 不活动后的 A/BASESEL/nBE/nCS	6		ns
$t_{w(OEV)}$	nOE 的有效脉冲宽度（读取）(1)	$4t_{c(SYSCLK)}$		ns
$t_{w(WEV)}$	nWE 的有效脉冲宽度（写入）	$4t_{c(SYSCLK)}$		ns
$t_{w(CSIV)}$	nCS 的非活动脉冲宽度(2)	$3t_{c(SYSCLK)}$		ns
$t_{w(OEIV)}$	nOE 的非活动读取脉冲宽度(2)	$3t_{c(SYSCLK)}$		ns
$t_{w(WEIV)}$	nWE 的非活动写入脉冲宽度(2)	$3t_{c(SYSCLK)}$		ns
$t_{su(DV-WEV)}$	建立时间，nWE 处于活动状态前的 D	0		ns
$t_{h(DV-WEIV)}$	保持时间，nWE 不活动后的 D	6		ns
RnW 引脚读取/写入参数 - 单个读取/写入引脚				
$t_{su(ABBV-CSV)}$	建立时间，nCS 处于活动状态前的 A/BASESEL/nBE	0		ns
$t_{su(RNWV-CSV)}$	建立时间，nCS 处于活动状态之前的 RnW	$0.5t_{c(SYSCLK)}$		ns
$t_{h(ABBV-CSIV)}$	保持时间，nCS 处于非活动状态后的 A/BASESEL/nBE/RnW	5		ns
$t_{w(CSV_RD)}$	用于读取操作的 nCS 的有效脉冲宽度(1)	$4t_{c(SYSCLK)}$		ns
$t_{w(CSV_WR)}$	用于写入操作的 nCS 的有效脉冲宽度	$4t_{c(SYSCLK)}$		ns
$t_{w(CSIV)}$	nCS 的非活动脉冲宽度(2)	$3t_{c(SYSCLK)}$		ns
$t_{w(RNWIV)}$	RnW 的非活动脉冲宽度(2)	$3t_{c(SYSCLK)}$		ns
$t_{su(DV-CSV)}$	建立时间，nCS 处于活动状态前的 D	0		ns
$t_{h(DV-CSIV)}$	保持时间，nCS 处于非活动状态后的 D	5		ns

(1) 要访问器件区域，需要额外的 2 个 SYSCLK 周期。
(2) 要使用 nRDY 引脚访问器件区域，需要额外的 SYSCLK 周期。

6.15.9.1.2 HIC 开关特征

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数(1)		最小值	最大值	单位
nOE 和 nWE 引脚的读取/写入参数				
$t_{d(OEV-DV)}$	输出数据延迟时间：nOE 到 D 输出有效(2)	$3t_{c(SYSCLK)}$	$4t_{c(SYSCLK)}$ + 15	ns
$t_{d(OEIV-DIV)}$	输出数据保持时间：nOE 无效到 D 输出无效（三态）	$1t_{c(SYSCLK)}$	$2t_{c(SYSCLK)}$ + 15	ns
$t_{d(OEV-RDYV)}$	读取就绪延迟时间：nOE 到 nRDY 输出有效	0	12	ns
$t_{d(WEV-RDYV)}$	写入就绪延迟时间：nWE 到 nRDY 输出有效	0	12	ns
$t_{d(RDYV-DV)}$	数据就绪延迟时间：nRDY 输出有效到 D 输出有效	-3	3	ns
$t_{w(RDYACT)}$	nRDY 输出的有效脉冲宽度	$2t_{c(SYSCLK)}$		ns
RnW 引脚的读取/写入参数				
$t_{d(CSV-DV)}$	输出延迟时间：nCS 激活至 D 输出有效(2)	$3t_{c(SYSCLK)}$	$4t_{c(SYSCLK)}$ + 14	ns
$t_{d(CSIV-DIV)}$	输出保持时间：nCS 未激活至 D 输出无效（三态）	$1t_{c(SYSCLK)}$	$2t_{c(SYSCLK)}$ + 14	ns

Copyright © 2024 Texas Instruments Incorporated

6.15.9.1.2 HIC 开关特征（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数(1)		最小值	最大值	单位
$t_{d(CSV-RDYV)}$	输出延迟时间：nCS 至 nRDY 输出有效	0	12	ns
$t_{d(RDYV-DV)}$	数据就绪延迟时间：nRDY 输出有效到 D 输出有效	-3	3	ns
$t_{w(RDYACT)}$	nRDY 输出的有效脉冲宽度	$2t_{c(SYSCLK)}$		ns

(1) 引脚上的 10pF 负载。
(2) 仅适用于邮箱访问。直接存储器映射（器件）访问由 nRDY 引脚限定。

6.15.9.1.3 HIC 时序图

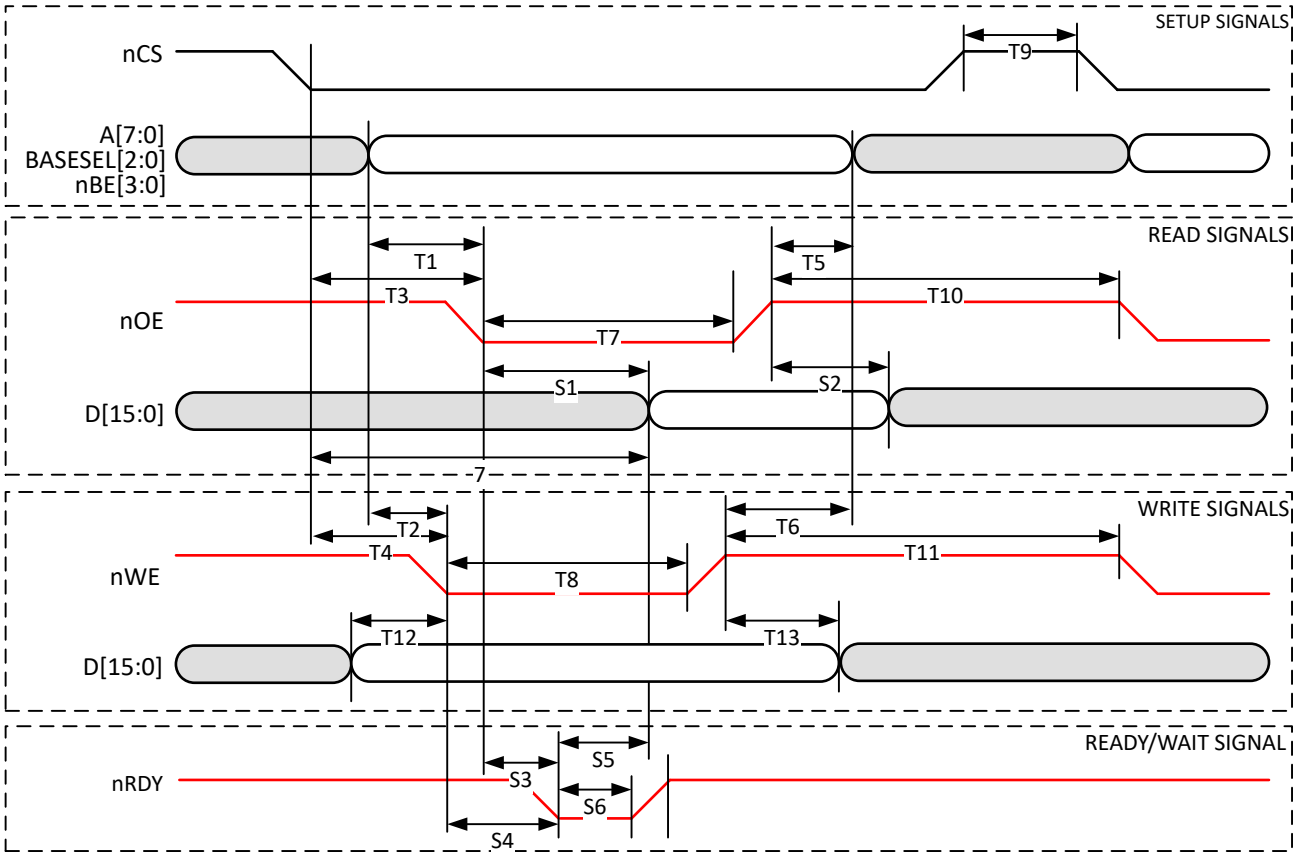


图 6-86. 使用 nOE 和 nWE 引脚进行读取/写入操作

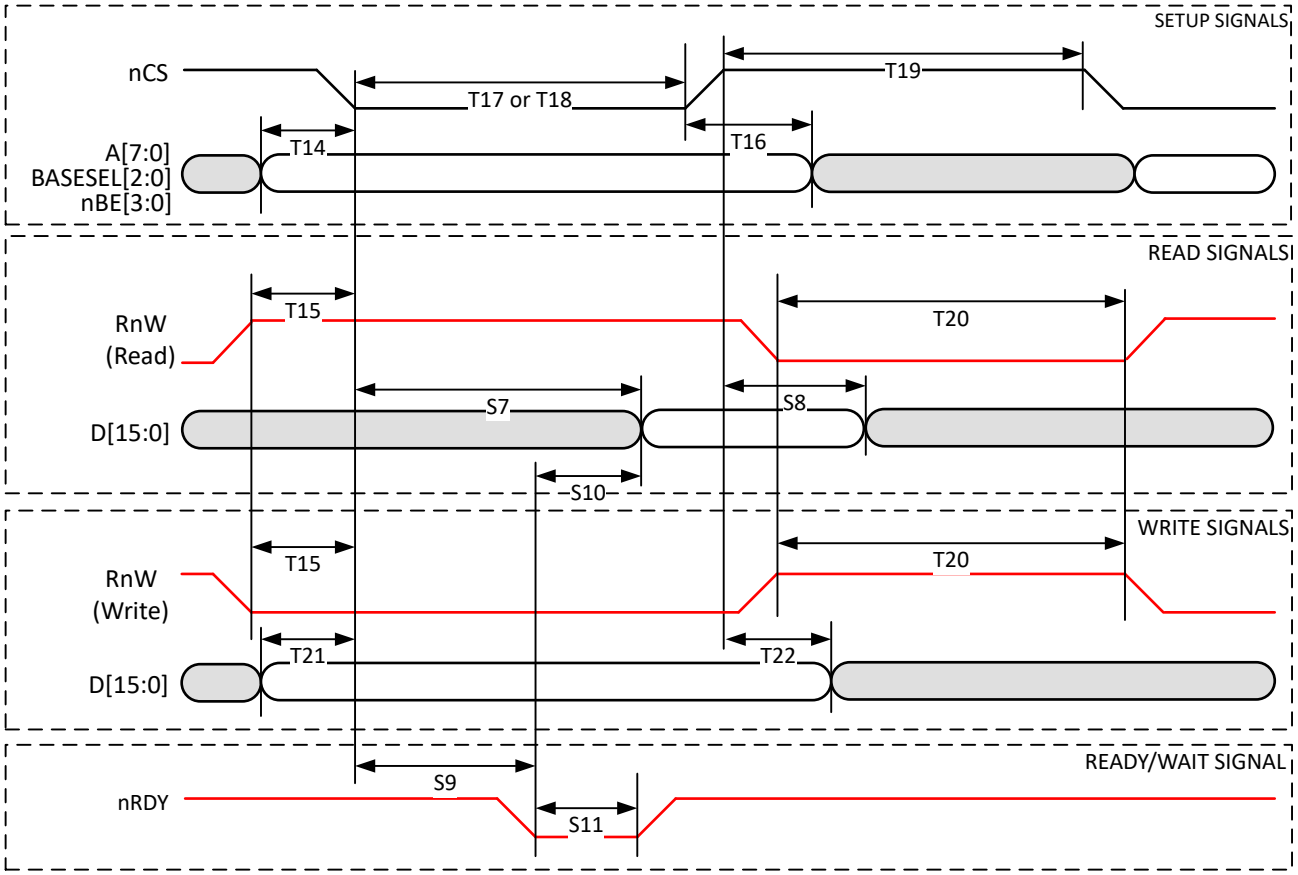


图 6-87. 使用 RnW 引脚进行读取/写入操作

Copyright © 2024 Texas Instruments Incorporated

7 详细说明

7.1 概述

C2000™ 32 位实时微控制器针对处理、感应和驱动进行了优化，旨在提高实时控制应用（如工业电机驱动器、光伏逆变器和数字电源、电动汽车和运输、电机控制以及感应和信号处理）的闭环性能。

TMS320F28003x (F28003x) 是一个功能强大的 32 位浮点微控制器单元 (MCU)，可让设计人员在单个器件上集成关键的控制外设、差分模拟和非易失性存储器。

实时控制子系统基于 TI 的 32 位 C28x CPU，可提供 120 MHz 的信号处理性能。C28x CPU 的性能通过新的 TMU 扩展指令集（即 FPU）和 VCRC 扩展指令集得到了进一步提升；TMU 扩展指令集可快速执行包含变换和扭矩环路计算中常见三角运算的算法，VCRC 扩展指令集可降低编码应用中常见复杂数学运算的延迟。

CLA 允许从主 C28x CPU 上大量卸载常见任务。CLA 是一款与 CPU 并行执行的独立 32 位浮点数学加速器。此外，CLA 自带专用存储资源，它可以直接访问典型控制系统中所需的关键外设。与硬件断点和硬件任务切换等主要特性一样，ANSI C 子集支持是标准配置。

F28003x 支持高达 384KB (192KW) 的闪存，这些闪存分为三个 128KB (64KW) 存储体，支持并行编程和执行。高达 69KB (34.5KW) 的片上 SRAM 也可用于补充闪存。

F28003x 上的实时固件更新硬件增强允许从旧固件到新固件的快速上下文切换，以尽可能减少更新器件固件时的应用停机时间。

F28003x 实时 MCU 上集成了高性能模拟块，可进一步支持系统整合。三个独立的 12 位 ADC 可准确、高效地管理多个模拟信号，从而最终提高系统吞吐量。四个模拟比较器模块可以针对跳闸情况对输入电压电平进行持续监控。

TMS320C2000™ 器件包含行业领先的控制外设（具有与频率无关的 ePWM/HRPWM 和 eCAP），允许对系统进行一流的控制。

通过各种业界通用通信端口（如 SPI、SCI、I2C、PMBus、LIN、CAN 和 CAN FD）支持连接，并且提供了多个多路复用选项，可在各种应用中实现出色的信号布局。C2000™ 平台新增了主机接口控制器 (HIC)，这是一个高吞吐量接口，它允许外部主机访问 TMS320F28003x 的资源。此外，FSI 率先在业内实现了高速可靠的通信，补充了嵌入该器件的各种外设的功能。

专门实现的器件型号 TMS320F28003xC 允许访问可配置逻辑块 (CLB) 以支持额外连接功能。有关更多信息，请参阅表 4-1。

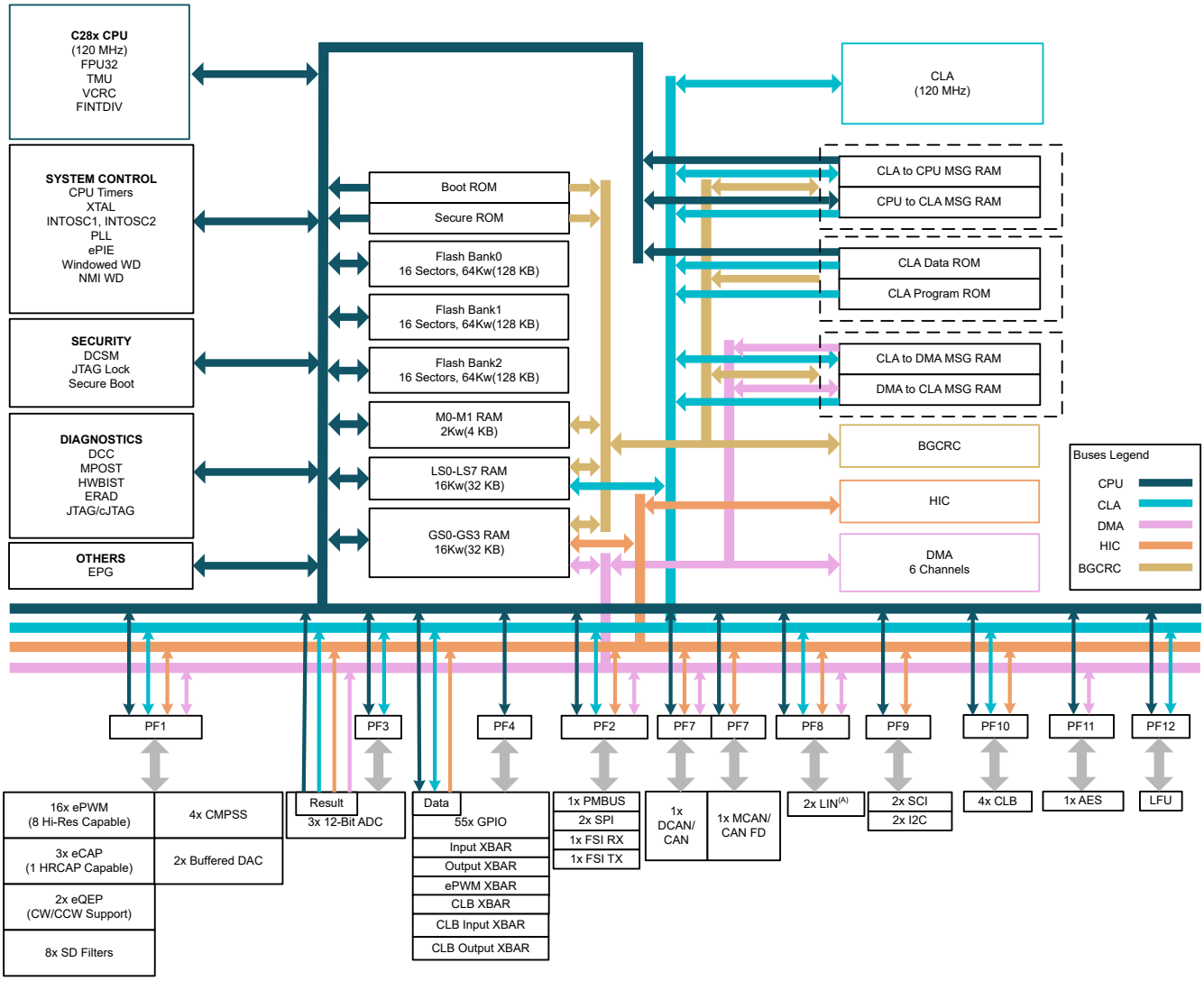
嵌入式实时分析和诊断 (ERAD) 模块通过提供用于分析的附加硬件断点和计数器来增强器件的调试和系统分析功能。

要了解有关 C2000 实时 MCU 的更多信息，请访问 C2000™ 实时控制 MCU 页面。

Copyright © 2024 Texas Instruments Incorporated

7.2 功能方框图

图 7-1 显示了 CPU 系统及相关外设。



A. LIN 模块还可以用作 SCI。

图 7-1. 功能方框图

Copyright © 2024 Texas Instruments Incorporated

7.3 存储器

7.3.1 内存映射

“存储器映射”表描述了存储器映射。请参阅 *TMS320F28003x 实时微控制器技术参考手册* 中“系统控制”一章的“存储器控制器模块”一节。

表 7-1. 内存映射

存储器	大小	起始地址	结束地址	HIC 存取	DMA 存取	CLA 存取	ECC/奇偶校验	访问保护	安全
M0 RAM	1K x 16	0x0000 0000	0x0000 03FF	-	-	-	ECC	是	-
M1 RAM	1K x 16	0x0000 0400	0x0000 07FF	-	-	-	ECC	是	-
PieVectTable	512 x 16	0x0000 0D00	0x0000 0EFF	-	-	-	-	-	-
PieVectTable 交换	512 x 16	0x0100 0900	0x0100 0AFF	-	-	-	-	-	-
LS0 RAM	2K x 16	0x0000 8000	0x0000 87FF	-	-	是	ECC	是	是
LS1 RAM	2K x 16	0x0000 8800	0x0000 8FFF	-	-	是	ECC	是	是
LS2 RAM	2K x 16	0x0000 9000	0x0000 97FF	-	-	是	ECC	是	是
LS3 RAM	2K x 16	0x0000 9800	0x0000 9FFF	-	-	是	ECC	是	是
LS4 RAM	2K x 16	0x0000 A000	0x0000 A7FF	-	-	是	ECC	是	是
LS5 RAM	2K x 16	0x0000 A800	0x0000 AFFF	-	-	是	ECC	是	是
LS6 RAM	2K x 16	0x0000 B000	0x0000 B7FF	-	-	是	ECC	是	是
LS7 RAM	2K x 16	0x0000 B800	0x0000 BFFF	-	-	是	ECC	是	是
GS0 RAM	4K x 16	0x0000 C000	0x0000 CFFF	是	是	-	ECC	是	-
GS1 RAM	4K x 16	0x0000 D000	0x0000 DFFF	是	是	-	ECC	是	-
GS2 RAM	4K x 16	0x0000 E000	0x0000 EFFF	是	是	-	ECC	是	-
GS3 RAM	4K x 16	0x0000 F000	0x0000 FFFF	是	是	-	ECC	是	-
CAN A 消息 RAM	2K x 16	0x0004 9000	0x0004 97FF	是	是	-	奇偶校验	-	-
MCAN 消息 RAM	8K x 16	0x0005 8000	0x0005 9FFF	是	-	-	奇偶校验	-	-
CLA 到 CPU 消息 RAM	128 x 16	0x0000 1480	0x0000 14FF	-	-	是	ECC	-	-
CPU 到 CLA 消息 RAM	128 x 16	0x0000 1500	0x0000 157F	-	-	是	ECC	-	-
CLA 到 DMA 消息 RAM	128 x 16	0x0000 1680	0x0000 16FF	-	是	是	ECC	-	-
DMA 到 CLA 消息 RAM	128 x 16	0x0000 1700	0x0000 177F	-	是	是	ECC	-	-
TI OTP [1]	3K x 16	0x0007 0000	0x0007 0BFF	-	-	-	ECC	-	是 [2]
用户 OTP	3K x 16	0x0007 8000	0x0007 8BFF	-	-	-	ECC	-	是 [2]
闪存	192K x 16	0x0008 0000	0x000A FFFF	-	-	-	ECC	-	是
安全 ROM	24K x 16	0x003F 2000	0x003F 7FFF	-	-	-	奇偶校验	-	是
引导 ROM	32K x 16	0x003F 8000	0x003F FFFF	-	-	-	奇偶校验	-	-
Pie 矢量获取错误（引导 ROM 的一部分）	1 x 16	0x003F FFBE	0x003F FFBF	-	-	-	奇偶校验	-	-
默认矢量（引导 ROM 的一部分）	64 x 16	0x003F FFC0	0x003F FFFF	-	-	-	奇偶校验	-	-

(1) TI OTP 仅供 TI 内部使用。
(2) 只有一部分是安全的。

7.3.1.1 专用 RAM (Mx RAM)

CPU 子系统有两个支持 ECC 功能的专用 RAM 模块：M0 和 M1。这些存储器是与 CPU 紧密耦合的小型非安全块（即，只有 CPU 可以访问这些存储器）。

7.3.1.2 本地共享 RAM (LSx RAM)

CPU、CLA 和 BGCRC 可访问本地共享的 RAM (LSx RAM)。所有 LSx RAM 块都具有 ECC。这些存储器都是安全的，且具有 CPU 访问保护（CPU 写入/CPU 获取）。

Copyright © 2024 Texas Instruments Incorporated

7.3.1.3 全局共享 RAM (GSx RAM)

可从 CPU、HIC、BGCRC 和 DMA 访问全局共享的 RAM (GSx RAM)。CPU、HIC 和 DMA 都具有对这些存储器的完全读写访问权限。所有 GSx RAM 块都具有 ECC。GSx RAM 具有访问保护 (CPU 写入/CPU 获取/DMA 写入/HIC 写入) 。

7.3.1.4 消息 RAM

此器件上有两种类型的消息 RAM 可用于在 CPU、CLA 和 DMA 之间共享。CLA-CPU 消息 RAM 在 CLA 和 CPU 之间共享数据，而 CLA-DMA 消息 RAM 在 CLA 和 DMA 之间共享数据。

7.3.2 控制律加速器 (CLA) 存储器映射

表 7-2 显示了 CLA 数据 ROM 存储器映射。有关 CLA 程序 ROM 的信息，请参阅 *TMS320F28003x 实时微控制器技术参考手册* 中的“CLA 程序 ROM (CLAPROMCRC)”一章。

表 7-2. CLA 数据 ROM 存储器映射

存储器	起始地址	结束地址	长度
FFT 表 (加载)	0x0100 1070	0x0100 186F	0x0800
数据 (加载)	0x0100 1870	0x0100 1FF9	0x078A
版本 (加载)	0x0100 1FFA	0x0100 1FFF	0x0006
FFT 表 (运行)	0x0000 F070	0x0000 F86F	0x0800
数据 (运行)	0x0000 F870	0x0000 FFF9	0x078A
版本 (运行)	0x0000 FFFA	0x0000 FFFF	0x0006

Copyright © 2024 Texas Instruments Incorporated

7.3.3 闪存映射

F28003x 器件上有三个闪存存储体 (384KB [192KW])。对闪存进行编程的代码应在 RAM 之外执行，在进行擦除或编程操作时，不应以任何形式存取闪存存储体。“闪存扇区地址”表列出了每个型号器件中闪存扇区的地址。

7.3.3.1 闪存扇区的地址

表 7-3. 闪存扇区的地址

器件型号	扇区	地址			ECC 地址		
		尺寸	START	END	尺寸	START	END
OTP 扇区							
所有 F28003x	TI OTP 存储体 0（不安全）	1008 x 16	0x0007 0000	0x0007 03EF	126 x 16	0x0107 0000	0x0107 007D
	TI OTP 存储体 0（安全）	16 x 16	0x0007 03F0	0x0007 03FF	2 x 16	0x0107 007E	0x0107 007F
	TI OTP 组 1	1K x 16	0x0007 0400	0x0007 07FF	128 x 16	0x0107 0080	0x0107 00FF
F280039、F280038	TI OTP 组 2	1K x 16	0x0007 0800	0x0007 0BFF	128 x 16	0x0107 0100	0x0107 017F
所有 F28003x	用户可配置的 DCSM OTP 组 0	1K x 16	0x0007 8000	0x0007 83FF	128 x 16	0x0107 1000	0x0107 107F
	用户可配置的 OTP 存储体 1	1K x 16	0x0007 8400	0x0007 87FF	128 x 16	0x0107 1080	0x0107 10FF
F280039、F280038	用户可配置的 OTP 存储体 2	1K x 16	0x0007 8800	0x0007 8BFF	128 x 16	0x0107 1100	0x0107 117F
组 0 扇区							
F280039、F280038、F280037、F280036	扇区 0	4K x 16	0x0008 0000	0x0008 0FFF	512 x 16	0x0108 0000	0x0108 01FF
	扇区 1	4K x 16	0x0008 1000	0x0008 1FFF	512 x 16	0x0108 0200	0x0108 03FF
	扇区 2	4K x 16	0x0008 2000	0x0008 2FFF	512 x 16	0x0108 0400	0x0108 05FF
	扇区 3	4K x 16	0x0008 3000	0x0008 3FFF	512 x 16	0x0108 0600	0x0108 07FF
	扇区 4	4K x 16	0x0008 4000	0x0008 4FFF	512 x 16	0x0108 0800	0x0108 09FF
	扇区 5	4K x 16	0x0008 5000	0x0008 5FFF	512 x 16	0x0108 0A00	0x0108 0BFF
	扇区 6	4K x 16	0x0008 6000	0x0008 6FFF	512 x 16	0x0108 0C00	0x0108 0DFF
	扇区 7	4K x 16	0x0008 7000	0x0008 7FFF	512 x 16	0x0108 0E00	0x0108 0FFF
F280039、F280038、F280037、F280036、F280034、F280033	扇区 8	4K x 16	0x0008 8000	0x0008 8FFF	512 x 16	0x0108 1000	0x0108 11FF
	扇区 9	4K x 16	0x0008 9000	0x0008 9FFF	512 x 16	0x0108 1200	0x0108 13FF
	扇区 10	4K x 16	0x0008 A000	0x0008 AFFF	512 x 16	0x0108 1400	0x0108 15FF
	扇区 11	4K x 16	0x0008 B000	0x0008 BFFF	512 x 16	0x0108 1600	0x0108 17FF
	扇区 12	4K x 16	0x0008 C000	0x0008 CFFF	512 x 16	0x0108 1800	0x0108 19FF
	扇区 13	4K x 16	0x0008 D000	0x0008 DFFF	512 x 16	0x0108 1A00	0x0108 1BFF
	扇区 14	4K x 16	0x0008 E000	0x0008 EFFF	512 x 16	0x0108 1C00	0x0108 1DFF
	扇区 15	4K x 16	0x0008 F000	0x0008 FFFF	512 x 16	0x0108 1E00	0x0108 1FFF

Copyright © 2024 Texas Instruments Incorporated

表 7-3. 闪存扇区的地址（续）

器件型号	扇区	地址			ECC 地址		
		尺寸	START	END	尺寸	START	END
组 1 扇区							
F280039、F280038、F280037、F280036、F280034、F280033	扇区 0	4K x 16	0x0009 0000	0x0009 0FFF	512 x 16	0x0108 2000	0x0108 21FF
	扇区 1	4K x 16	0x0009 1000	0x0009 1FFF	512 x 16	0x0108 2200	0x0108 23FF
	扇区 2	4K x 16	0x0009 2000	0x0009 2FFF	512 x 16	0x0108 2400	0x0108 25FF
	扇区 3	4K x 16	0x0009 3000	0x0009 3FFF	512 x 16	0x0108 2600	0x0108 27FF
	扇区 4	4K x 16	0x0009 4000	0x0009 4FFF	512 x 16	0x0108 2800	0x0108 29FF
	扇区 5	4K x 16	0x0009 5000	0x0009 5FFF	512 x 16	0x0108 2A00	0x0108 2BFF
	扇区 6	4K x 16	0x0009 6000	0x0009 6FFF	512 x 16	0x0108 2C00	0x0108 2DFF
	扇区 7	4K x 16	0x0009 7000	0x0009 7FFF	512 x 16	0x0108 2E00	0x0108 2FFF
F280039、F280038、F280037、F280036	扇区 8	4K x 16	0x0009 8000	0x0009 8FFF	512 x 16	0x0108 3000	0x0108 31FF
	扇区 9	4K x 16	0x0009 9000	0x0009 9FFF	512 x 16	0x0108 3200	0x0108 33FF
	扇区 10	4K x 16	0x0009 A000	0x0009 AFFF	512 x 16	0x0108 3400	0x0108 35FF
	扇区 11	4K x 16	0x0009 B000	0x0009 BFFF	512 x 16	0x0108 3600	0x0108 37FF
	扇区 12	4K x 16	0x0009 C000	0x0009 CFFF	512 x 16	0x0108 3800	0x0108 39FF
	扇区 13	4K x 16	0x0009 D000	0x0009 DFFF	512 x 16	0x0108 3A00	0x0108 3BFF
	扇区 14	4K x 16	0x0009 E000	0x0009 EFFF	512 x 16	0x0108 3C00	0x0108 3DFF
	扇区 15	4K x 16	0x0009 F000	0x0009 FFFF	512 x 16	0x0108 3E00	0x0108 3FFF
组 2 扇区							
F280039、F280038	扇区 0	4K x 16	0x000A 0000	0x000A 0FFF	512 x 16	0x0108 4000	0x0108 41FF
	扇区 1	4K x 16	0x000A 1000	0x000A 1FFF	512 x 16	0x0108 4200	0x0108 43FF
	扇区 2	4K x 16	0x000A 2000	0x000A 2FFF	512 x 16	0x0108 4400	0x0108 45FF
	扇区 3	4K x 16	0x000A 3000	0x000A 3FFF	512 x 16	0x0108 4600	0x0108 47FF
	扇区 4	4K x 16	0x000A 4000	0x000A 4FFF	512 x 16	0x0108 4800	0x0108 49FF
	扇区 5	4K x 16	0x000A 5000	0x000A 5FFF	512 x 16	0x0108 4A00	0x0108 4BFF
	扇区 6	4K x 16	0x000A 6000	0x000A 6FFF	512 x 16	0x0108 4C00	0x0108 4DFF
	扇区 7	4K x 16	0x000A 7000	0x000A 7FFF	512 x 16	0x0108 4E00	0x0108 4FFF
	扇区 8	4K x 16	0x000A 8000	0x000A 8FFF	512 x 16	0x0108 5000	0x0108 51FF
	扇区 9	4K x 16	0x000A 9000	0x000A 9FFF	512 x 16	0x0108 5200	0x0108 53FF
	扇区 10	4K x 16	0x000A A000	0x000A AFFF	512 x 16	0x0108 5400	0x0108 55FF
	扇区 11	4K x 16	0x000A B000	0x000A BFFF	512 x 16	0x0108 5600	0x0108 57FF
	扇区 12	4K x 16	0x000A C000	0x000A CFFF	512 x 16	0x0108 5800	0x0108 59FF
	扇区 13	4K x 16	0x000A D000	0x000A DFFF	512 x 16	0x0108 5A00	0x0108 5BFF
	扇区 14	4K x 16	0x000A E000	0x000A EFFF	512 x 16	0x0108 5C00	0x0108 5DFF
	扇区 15	4K x 16	0x000A F000	0x000A FFFF	512 x 16	0x0108 5E00	0x0108 5FFF

Copyright © 2024 Texas Instruments Incorporated

7.3.4 外设寄存器存储器映射

“外设寄存器存储器映射 (C28)”表列出了外设寄存器。

表 7-4. 外设寄存器内存映射

结构	DriverLib 名称	基址	CPU1	DMA	HIC	CLA	受流水线保护
外设帧 0 (PF0)							
ADC_RESULT_REGS	ADCARESULT_BASE	0x0000_0B00	是	是	是	是	-
ADC_RESULT_REGS	ADCBRESULT_BASE	0x0000_0B20	是	是	是	是	-
ADC_RESULT_REGS	ADCCRESULT_BASE	0x0000_0B40	是	是	是	是	-
CPUTIMER_REGS	CPUTIMER0_BASE	0x0000_0C00	是	-	-	-	-
CLA_ONLY_REGS	CLA1_ONLY_BASE	0x0000_0C00	-	-	-	是	-
CPUTIMER_REGS	CPUTIMER1_BASE	0x0000_0C08	是	-	-	-	-
CPUTIMER_REGS	CPUTIMER2_BASE	0x0000_0C10	是	-	-	-	-
CLA_SOFTINT_REGS	CLA1_SOFTINT_BASE	0x0000_0CE0	-	-	-	是	-
PIE_CTRL_REGS	PIECTRL_BASE	0x0000_0CE0	是	-	-	-	-
PIE_VECT_TABLE	PIEVECTTABLE_BASE	0x0000_0D00	是	-	-	-	-
DMA_REGS	DMA_BASE	0x0000_1000	是	-	-	-	-
DMA_CH_REGS	DMA_CH1_BASE	0x0000_1020	是	-	-	-	-
DMA_CH_REGS	DMA_CH2_BASE	0x0000_1040	是	-	-	-	-
DMA_CH_REGS	DMA_CH3_BASE	0x0000_1060	是	-	-	-	-
DMA_CH_REGS	DMA_CH4_BASE	0x0000_1080	是	-	-	-	-
DMA_CH_REGS	DMA_CH5_BASE	0x0000_10A0	是	-	-	-	-
DMA_CH_REGS	DMA_CH6_BASE	0x0000_10C0	是	-	-	-	-
CLA_REGS	CLA1_BASE	0x0000_1400	是	-	-	-	-
UID_REGS	UID_BASE	0x0007_0200	是	-	-	-	-
DCSM_Z1_OTP	DCSM_Z1OTP_BASE	0x0007_8000	是	-	-	-	-
DCSM_Z2_OTP	DCSM_Z2OTP_BASE	0x0007_8200	是	-	-	-	-
外设帧 1 (PF1)							
EPWM_REGS	EPWM1_BASE	0x0000_4000	是	是	是	是	是
EPWM_REGS	EPWM2_BASE	0x0000_4100	是	是	是	是	是
EPWM_REGS	EPWM3_BASE	0x0000_4200	是	是	是	是	是
EPWM_REGS	EPWM4_BASE	0x0000_4300	是	是	是	是	是
EPWM_REGS	EPWM5_BASE	0x0000_4400	是	是	是	是	是
EPWM_REGS	EPWM6_BASE	0x0000_4500	是	是	是	是	是
EPWM_REGS	EPWM7_BASE	0x0000_4600	是	是	是	是	是
EPWM_REGS	EPWM8_BASE	0x0000_4700	是	是	是	是	是
EQEP_REGS	EQEP1_BASE	0x0000_5100	是	是	是	是	是
EQEP_REGS	EQEP2_BASE	0x0000_5140	是	是	是	是	是
ECAP_REGS	ECAP1_BASE	0x0000_5200	是	是	是	是	是
ECAP_REGS	ECAP2_BASE	0x0000_5240	是	是	是	是	是
ECAP_REGS	ECAP3_BASE	0x0000_5280	是	是	是	是	是
HRCAP_REGS	HRCAP3_BASE	0x0000_52A0	是	是	是	是	是
DAC_REGS	DACA_BASE	0x0000_5C00	是	是	是	是	是
DAC_REGS	DACB_BASE	0x0000_5C10	是	是	是	是	是
CMPSS_REGS	CMPSS1_BASE	0x0000_5C80	是	是	是	是	是
CMPSS_REGS	CMPSS2_BASE	0x0000_5CA0	是	是	是	是	是
CMPSS_REGS	CMPSS3_BASE	0x0000_5CC0	是	是	是	是	是
CMPSS_REGS	CMPSS4_BASE	0x0000_5CE0	是	是	是	是	是
SDFM_REGS	SDFM1_BASE	0x0000_5E00	是	是	是	是	是
SDFM_REGS	SDFM2_BASE	0x0000_5E80	是	是	是	是	是

Copyright © 2024 Texas Instruments Incorporated

表 7-4. 外设寄存器内存映射（续）

结构	DriverLib 名称	基址	CPU1	DMA	HIC	CLA	受流水线保护
外设帧 2 (PF2)							
SPI_REGS	SPIA_BASE	0x0000_6100	是	是	是	是	是
SPI_REGS	SPIB_BASE	0x0000_6110	是	是	是	是	是
BGCRC_REGS	BGCRC_CPU_BASE	0x0000_6340	是	-	-	-	是
BGCRC_REGS	BGCRC_CLA1_BASE	0x0000_6380	是	-	-	是	是
PMBUS_REGS	PMBUSA_BASE	0x0000_6400	是	是	是	是	是
HIC_CFG_REGS	HIC_BASE	0x0000_6500	是	是	-	-	是
FSI_TX_REGS	FSITXA_BASE	0x0000_6600	是	是	是	是	是
FSI_RX_REGS	FSIRXA_BASE	0x0000_6680	是	是	是	是	是
外设帧 3 (PF3)							
ADC_REGS	ADCA_BASE	0x0000_7400	是	-	-	是	是
ADC_REGS	ADCB_BASE	0x0000_7480	是	-	-	是	是
ADC_REGS	ADCC_BASE	0x0000_7500	是	-	-	是	是
外设帧 4 (PF4)							
INPUT_XBAR_REGS	INPUTXBAR_BASE	0x0000_7900	是	-	-	-	是
XBAR_REGS	XBAR_BASE	0x0000_7920	是	-	-	-	是
SYNC_SOC_REGS	SYNCSOC_BASE	0x0000_7940	是	-	-	-	是
INPUT_XBAR_REGS	CLBINPUTXBAR_BASE	0x0000_7960	是	-	-	-	是
DMA_CLA_SRC_SEL_REGS	DMACLASRCSEL_BASE	0x0000_7980	是	-	-	-	是
EPWM_XBAR_REGS	EPWMXBAR_BASE	0x0000_7A00	是	-	-	-	是
CLB_XBAR_REGS	CLBXBAR_BASE	0x0000_7A40	是	-	-	-	是
OUTPUT_XBAR_REGS	OUTPUTXBAR_BASE	0x0000_7A80	是	-	-	-	是
OUTPUT_XBAR_REGS	CLBOUTPUTXBAR_BASE	0x0000_7BC0	是	-	-	-	是
GPIO_CTRL_REGS	GPIOCTRL_BASE	0x0000_7C00	是	-	-	-	是
GPIO_DATA_REGS	GPIODATA_BASE	0x0000_7F00	是	-	-	是	是
GPIO_DATA_READ_REGS	GPIODATAREAD_BASE	0x0000_7F80	是	-	是	是	是
CLK_CFG_REGS	CLKCFG_BASE	0x0005_D200	是	-	-	-	是
CPU_SYS_REGS	CPUSYS_BASE	0x0005_D300	是	-	-	-	是
SYS_STATUS_REGS	SYSSTAT_BASE	0x0005_D400	是	-	-	-	是
PERIPH_AC_REGS	PERIPHAC_BASE	0x0005_D500	是	-	-	-	是
ANALOG_SUBSYS_REGS	ANALOGSUBSYS_BASE	0x0005_D700	是	-	-	-	是
外设帧 5 (PF5)							
DEV_CFG_REGS	DEVCFG_BASE	0x0005_D000	是	-	-	-	是
ERAD_GLOBAL_REGS	ERAD_GLOBAL_BASE	0x0005_E800	是	-	-	-	是
ERAD_HWBP_REGS	ERAD_HWBP1_BASE	0x0005_E900	是	-	-	-	是
ERAD_HWBP_REGS	ERAD_HWBP2_BASE	0x0005_E908	是	-	-	-	是
ERAD_HWBP_REGS	ERAD_HWBP3_BASE	0x0005_E910	是	-	-	-	是
ERAD_HWBP_REGS	ERAD_HWBP4_BASE	0x0005_E918	是	-	-	-	是
ERAD_HWBP_REGS	ERAD_HWBP5_BASE	0x0005_E920	是	-	-	-	是
ERAD_HWBP_REGS	ERAD_HWBP6_BASE	0x0005_E928	是	-	-	-	是
ERAD_HWBP_REGS	ERAD_HWBP7_BASE	0x0005_E930	是	-	-	-	是
ERAD_HWBP_REGS	ERAD_HWBP8_BASE	0x0005_E938	是	-	-	-	是
ERAD_COUNTER_REGS	ERAD_COUNTER1_BASE	0x0005_E980	是	-	-	-	是

Copyright © 2024 Texas Instruments Incorporated

表 7-4. 外设寄存器内存映射（续）

结构	DriverLib 名称	基址	CPU1	DMA	HIC	CLA	受流水线保护
ERAD_COUNTER_REGS	ERAD_COUNTER2_BASE	0x0005_E990	是	-	-	-	是
ERAD_COUNTER_REGS	ERAD_COUNTER3_BASE	0x0005_E9A0	是	-	-	-	是
ERAD_COUNTER_REGS	ERAD_COUNTER4_BASE	0x0005_E9B0	是	-	-	-	是
ERAD_CRC_GLOBAL_REGS	ERAD_CRC_GLOBAL_BASE	0x0005_EA00	是	-	-	-	是
ERAD_CRC_REGS	ERAD_CRC1_BASE	0x0005_EA10	是	-	-	-	是
ERAD_CRC_REGS	ERAD_CRC2_BASE	0x0005_EA20	是	-	-	-	是
ERAD_CRC_REGS	ERAD_CRC3_BASE	0x0005_EA30	是	-	-	-	是
ERAD_CRC_REGS	ERAD_CRC4_BASE	0x0005_EA40	是	-	-	-	是
ERAD_CRC_REGS	ERAD_CRC5_BASE	0x0005_EA50	是	-	-	-	是
ERAD_CRC_REGS	ERAD_CRC6_BASE	0x0005_EA60	是	-	-	-	是
ERAD_CRC_REGS	ERAD_CRC7_BASE	0x0005_EA70	是	-	-	-	是
ERAD_CRC_REGS	ERAD_CRC8_BASE	0x0005_EA80	是	-	-	-	是
EPG_REGS	EPG1_BASE	0x0005_EC00	是	-	-	-	是
EPG_MUX_REGS	EPG1MUX_BASE	0x0005_ECD0	是	-	-	-	是
DCSM_Z1_REGS	DCSM_Z1_BASE	0x0005_F000	是	-	-	-	是
DCSM_Z2_REGS	DCSM_Z2_BASE	0x0005_F080	是	-	-	-	是
DCSM_COMMON_REGS	DCSMCOMMON_BASE	0x0005_F0C0	是	-	-	-	是
MEM_CFG_REGS	MEMCFG_BASE	0x0005_F400	是	-	-	-	是
ACCESS_PROTECTION_REGS	ACCESSPROTECTION_BASE	0x0005_F500	是	-	-	-	是
MEMORY_ERROR_REGS	MEMORYERROR_BASE	0x0005_F540	是	-	-	-	是
TEST_ERROR_REGS	TESTERROR_BASE	0x0005_F590	是	-	-	-	是
FLASH_CTRL_REGS	FLASH0CTRL_BASE	0x0005_F800	是	-	-	-	是
FLASH_ECC_REGS	FLASH0ECC_BASE	0x0005_FB00	是	-	-	-	是
外设帧 7 (PF7)							
CAN_REGS	CANA_BASE	0x0004_8000	是	是	是	-	是
MCANSS_REGS	MCANASS_BASE	0x0005_C400	是	-	是	-	是
MCAN_REGS	MCANA_BASE	0x0005_C600	是	-	是	-	是
MCAN_ERROR_REGS	MCANA_ERROR_BASE	0x0005_C800	是	-	是	-	是
HWBIST_REGS	HWBIST_BASE	0x0005_E000	是	-	-	-	是
PBIST_REGS	MPOST_BASE	0x0005_E200	是	-	-	-	是
DCC_REGS	DCC0_BASE	0x0005_E700	是	-	-	-	是
DCC_REGS	DCC1_BASE	0x0005_E740	是	-	-	-	是
外设帧 8 (PF8)							
LIN_REGS	LINA_BASE	0x0000_6A00	是	是	是	是	是
LIN_REGS	LINB_BASE	0x0000_6B00	是	是	是	是	是
外设帧 9 (PF9)							
WD_REGS	WD_BASE	0x0000_7000	是	-	-	-	是
NMI_INTRUPT_REGS	NMI_BASE	0x0000_7060	是	-	-	-	是
XINT_REGS	XINT_BASE	0x0000_7070	是	-	-	-	是
SCI_REGS	SCIA_BASE	0x0000_7200	是	-	是	-	是
SCI_REGS	SCIB_BASE	0x0000_7210	是	-	是	-	是
I2C_REGS	I2CA_BASE	0x0000_7300	是	-	是	-	是
I2C_REGS	I2CB_BASE	0x0000_7340	是	-	是	-	是
外设帧 10 (PF10)							

Copyright © 2024 Texas Instruments Incorporated

表 7-4. 外设寄存器内存映射（续）

结构	DriverLib 名称	基址	CPU1	DMA	HIC	CLA	受流水线保护
CLB_LOGIC_CONFIG_REGS	CLB1_LOGICCFG_BASE	0x0000_3000	是	-	是	是	-
CLB_LOGIC_CONTROL_REGS	CLB1_LOGICCTRL_BASE	0x0000_3100	是	-	是	是	-
CLB_DATA_EXCHANGE_REGS	CLB1_DATAEXCH_BASE	0x0000_3180	是	-	是	是	-
CLB_LOGIC_CONFIG_REGS	CLB2_LOGICCFG_BASE	0x0000_3400	是	-	是	是	-
CLB_LOGIC_CONTROL_REGS	CLB2_LOGICCTRL_BASE	0x0000_3500	是	-	是	是	-
CLB_DATA_EXCHANGE_REGS	CLB2_DATAEXCH_BASE	0x0000_3580	是	-	是	是	-
CLB_LOGIC_CONFIG_REGS	CLB3_LOGICCFG_BASE	0x0000_3800	是	-	是	是	-
CLB_LOGIC_CONTROL_REGS	CLB3_LOGICCTRL_BASE	0x0000_3900	是	-	是	是	-
CLB_DATA_EXCHANGE_REGS	CLB3_DATAEXCH_BASE	0x0000_3980	是	-	是	是	-
CLB_LOGIC_CONFIG_REGS	CLB4_LOGICCFG_BASE	0x0000_3C00	是	-	是	是	-
CLB_LOGIC_CONTROL_REGS	CLB4_LOGICCTRL_BASE	0x0000_3D00	是	-	是	是	-
CLB_DATA_EXCHANGE_REGS	CLB4_DATAEXCH_BASE	0x0000_3D80	是	-	是	是	-
外设帧 11 (PF11)							
AES_REGS	AESA_BASE	0x0004_2000	是	是	-	-	-
AES_SS_REGS	AESA_SS_BASE	0x0004_2C00	是	是	-	-	-
外设帧 12 (PF12)							
LFU_REGS	LFU_BASE	0x0000_7FE0	是	-	-	是	是

Copyright © 2024 Texas Instruments Incorporated

7.4 标识

表 7-5 列出了器件标识寄存器。有关这些器件标识寄存器的其他信息，请参阅 *TMS320F28003x 实时微控制器技术参考手册*。请参阅 PARTIDH 和 PARTIDL 的寄存器说明，了解量产状态的标识（TMX 或 TMS）以及其他器件信息。

表 7-5. 器件标识寄存器

名称	地址	大小 (x16)	说明
PARTIDH	0x0005 D00A	2	器件型号标识号 TMS320F280039C 0x05FF 0500 TMS320F280039 0x05FF 0500 TMS320F280038C 0x05FE 0500 TMS320F280038 0x05FE 0500 TMS320F280037C 0x05FD 0500 TMS320F280037 0x05FD 0500 TMS320F280036C 0x05FC 0500 TMS320F280036 0x05FC 0500 TMS320F280034 0x05FA 0500 TMS320F280033 0x05F9 0500
REVID	0x0005 D00C	2	器件修订版本号 修订版 0 0x0000 0000
UID_UNIQUE	0x0007 020C	2	唯一标识号。此编号在具有相同 PARTIDH 的每个单独器件上是不同的。此唯一编号可以用作应用中的序列号。此编号仅存在于 TMS 器件上。

Copyright © 2024 Texas Instruments Incorporated

7.5 总线架构 - 外设连接

“外设连接”表列出了每个总线主器件对外设和配置寄存器的可访问性。

表 7-6. 外设连接

外设	DMA	HIC	BGCRC	CLA	C28
系统外设					
CPU 计时器					Y
ERAD					Y
GPIO 数据寄存器		是		是	Y
GPIO 引脚映射和配置					Y
XBAR 配置					Y
系统配置					Y
AES	是				是
EPG					Y
LFU				是	是
DCC					Y
MEMORY					
M0/M1			是		是
LSx			是	是	是
GSx	是	是	是		是
ROM			是		是
闪存					Y
控制外设					
ePWM/HRPWM	是	是		是	是
eCAP/HRCAP	是	是		是	是
eQEP[1]	是	是		是	是
CLB		是		是	是
SDFM	是	是		是	是
模拟外设					
CMPSS[1]	是	是		是	是
DAC[1]	是	是		是	是
ADC 配置				是	是
ADC 结果[1]	是	是		是	是
通信外设					
DCAN	是	是			是
MCAN		是			是
FSITX/FSIRX	是	是		是	是
I2C		是			是
LIN	是	是		是	是
PMBus	是	是		是	是
SCI		是			是
SPI	是	是		是	是

(1) 这些模块可从 DMA 访问，但不能触发 DMA 传输。

Copyright © 2024 Texas Instruments Incorporated

7.6 C28x 处理器

CPU 是 32 位定点处理器。该器件借鉴了数字信号处理的最佳特性；精简指令集计算 (RISC)；以及微控制器架构、固件和工具集。

CPU 的特性包含修改后的 Harvard 架构和循环寻址。RISC 特性是单周期指令执行、寄存器到寄存器操作和修改后的 Harvard 架构。微控制器特性包含通过直观的指令集、字节打包和解包以及位操作来实现易用性。CPU 修改后的 Harvard 架构使指令和数据获取能够并行执行。CPU 可以读取指令和数据，同时写入数据以在整个流水线中保持单周期指令操作。CPU 通过六条独立的地址/数据总线完成此操作。

有关 CPU 架构和指令集的更多信息，请参阅 *TMS320C28x CPU 和指令集参考指南*。

7.6.1 浮点单元 (FPU)

C28x 加浮点 (C28x+FPU) 处理器通过增加支持 IEEE 单精度浮点运算的寄存器和指令来扩展 C28x 定点 CPU 的功能。

具有 C28x+FPU 的器件包含标准 C28x 寄存器集以及一组额外的浮点单元寄存器。额外的浮点单元寄存器如下：

- 八个浮点结果寄存器，RnH（其中 n=0–7）
- 浮点状态寄存器 (STF)
- 重复块寄存器 (RB)

除 RB 寄存器外，所有浮点寄存器都采用影子化技术。这种影子化可用于高优先级中断，以实现浮点寄存器的快速上下文保存和恢复。

有关 C28x 浮点单元 (FPU) 的更多信息，请参阅 *TMS320C28x 扩展指令集技术参考手册*。

7.6.2 快速整数除法单元

C28x CPU 的快速整数除法 (FINTDIV) 单元独特地支持三种类型的整数除法（截断、模数、欧几里德），这些整数除法具有不同的数据类型大小（16/16、32/16、32/32、64/32、64/64），采用无符号或有符号格式。

- C 语言天然支持截断整数除法（/、% 运算符）。
- 模数除法和欧几里德除法是更高效的控制算法，并受 C 内在函数支持。

所有三种类型的整数除法都会产生商和余数分量，具有可中断特性，并在最小数量的确定性周期内执行（32/32 除法为 10 个周期）。此外，C28x CPU 的快速除法功能独特地支持浮点 32 位（5 个周期内）和 64 位（20 个周期内）除法的快速执行。

更多有关快速整数除法的信息，请参阅*快速整数除法 – C2000™ 产品系列特性应用报告*。

7.6.3 三角法数学单元 (TMU)

三角函数加速器 (TMU) 通过增加指令和利用可加速执行常见三角函数和表 7-7 中所列算术运算的现有 FPU 指令来扩展 C28x+FPU 的功能。

表 7-7. TMU 支持的指令

指令	C 等效运算	流水线周期
MPY2PIF32 RaH,RbH	a = b * 2π	2/3
DIV2PIF32 RaH,RbH	a = b / 2π	2/3
DIVF32 RaH,RbH,RcH	a = b/c	5
SQRTF32 RaH,RbH	a = sqrt(b)	5
SINPUF32 RaH,RbH	a = sin(b*2π)	4
COSPUF32 RaH,RbH	a = cos(b*2π)	4
ATANPUF32 RaH,RbH	a = atan(b)/2π	4

Copyright © 2024 Texas Instruments Incorporated

表 7-7. TMU 支持的指令（续）

指令	C 等效运算	流水线周期
QUADF32 RaH,RbH,RcH,RdH	用于协助计算 ATANPU2 的运算	5

已添加指数指令 IEXP2F32 和对数指令 LOG2F32，可支持针对 C2000 数字控制库的非线性比例积分微分控制 (NLPID) 组件计算浮点幂函数。添加的这两条指令将幂函数计算从使用库仿真时的典型 300 个周期减少到不到 10 个周期。

对现有指令、流水线或内存总线架构均未做任何更改。所有 TMU 指令都使用现有的 FPU 寄存器集（R0H 至 R7H）来执行运算。

更多信息，请参阅 *TMS320C28x 扩展指令集技术参考手册*。

7.6.4 VCRC 单元

循环冗余校验 (CRC) 算法提供了一种简单的方法来验证大型数据块、通信数据包或代码段上的数据完整性。C28x+VCRC 可执行 8 位、16 位、24 位和 32 位 CRC。例如，VCRC 可以在 10 个周期内计算出块长度为 10 字节的 CRC。 CRC 结果寄存器包含当前 CRC,每次执行 CRC 指令时,该 CRC 都会更新。

以下是 VCRC 的 CRC 计算逻辑使用的 CRC 多项式：

- CRC8 多项式 = 0x07
- CRC16 多项式 1 = 0x8005
- CRC16 多项式 2 = 0x1021
- CRC24 多项式 = 0x5d6dcb
- CRC32 多项式 1 = 0x04c11db7
- CRC32 多项式 2 = 0x1edc6f41

该模块可以在单个周期内为一个字节的数据计算 CRC。CRC8、CRC16、CRC24 和 CRC32 的 CRC 计算是按字节完成的（而不是计算 C28x 内核读取的完整 16 位或 32 位数据），以便与各种标准规定的按字节计算要求保持一致。

VCRC 单元还允许用户提供任何多项式的大小 (1b-32b) 和值，来满足自定义 CRC 要求。使用自定义多项式时，CRC 执行时间会增加到三个周期。

有关循环冗余校验 (VCRC) 指令集的更多信息，请参阅 *TMS320C28x 扩展指令集技术参考手册*。

Copyright © 2024 Texas Instruments Incorporated

7.7 控制律加速器 (CLA)

CLA 2 类是一款独立、完全可编程的 32 位浮点数学处理器，为 C28x 系列实现了并发控制环路执行。CLA 的低中断延迟使其能够“及时”读取 ADC 样本。这显著降低了 ADC 采样到输出延迟，从而实现了更快的系统响应和更高 MHz 的控制环路。通过利用 CLA 为时间关键型控制环路提供服务，可腾出主 CPU 来执行其他系统任务，如通信和诊断。

控制律加速器通过添加并行处理来扩展 C28x CPU 的功能。CLA 处理的时间关键控制环路可实现低 ADC 采样输出延迟。因此，CLA 支持更快速的系统响应和可高频率的控制环路。将 CLA 用于时间关键型任务可释放主 CPU 以同时执行其他系统和通信功能。

以下是 CLA 主要特性的列表。

- 可使用 C 编译程序进行 CLA 软件开发
- 时钟速率与主 CPU 一致 (SYSCLKOUT)。
- 一个独立的架构使得 CLA 能够独立于主 C28x CPU 之外执行算法。
  - 完整的总线架构：
    - 程序地址总线 (PAB) 和程序数据总线 (PDB)
    - 数据读取地址总线 (DRAB)、数据读取数据总线 (DRDB)、数据写入地址总线 (DWAB) 和数据写入数据总线 (DWDB)
  - 独立的 8 级流水线。
  - 16 位程序计数器 (MPC)
  - 四个 32 位结果寄存器 (MR0 至 MR3)
  - 两个 16 位辅助寄存器 (MAR0、MAR1)
  - 状态寄存器 (MSTF)
- 指令集包括：
  - IEEE 单精度 (32 位) 浮点数学运算
  - 涉及并行载入或者存储的浮点数学
  - 涉及并行加法或者减法的浮点乘法
  - 1/X 和 1/sqrt(X) 估值
  - 数据类型转换
  - 条件分支指令和调用
  - 数据载入/存储操作
- CLA 程序代码可包含多达 8 个任务或中断处理例程，或者 7 个任务和一个主后台任务。
  - 每一个任务的开始地址由 MVECT 寄存器指定。
  - 只要任务适合可配置的 CLA 程序内存空间，任务大小就没有限制。
  - 每次处理并完成一个任务。无任务嵌套。
  - 任务完成时，在 PIE 内标志一个任务专用中断。
  - 当一个任务结束时，下一个具有最高优先级的等待任务自动开始。
  - 2 类 CLA 可以有一个在后台连续运行的主任务，而其他高优先级事件则触发前台任务。
- 任务触发机制：
  - 借助于 IACK 指令的 C28x CPU
  - 任务 1 到任务 8：最多 256 个可能的触发源，来自连接到共享总线的外设，CLA 在共享总线上承担二级所有权。
  - 任务 8 可以设置为后台任务，而任务 1 至 7 采用外设触发。
- 内存和共用外设：
  - 两个专用消息 RAM 用于 CLA 和主 CPU 间的通信。
  - C28x CPU 能够将 CLA 程序和数据内存映射到主 CPU 空间或者 CLA 空间。

Copyright © 2024 Texas Instruments Incorporated

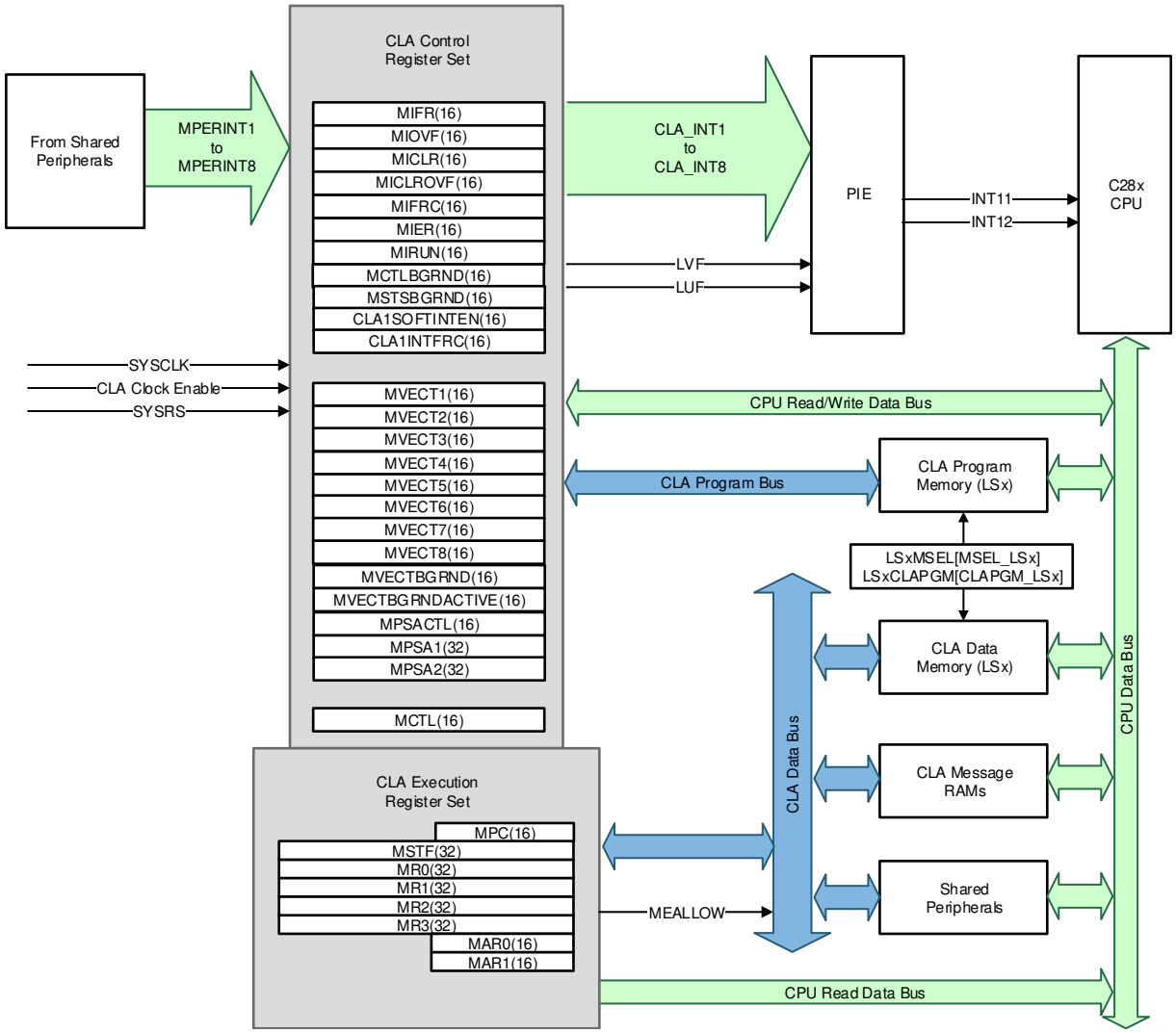


图 7-2. CLA 方框图

Copyright © 2024 Texas Instruments Incorporated

7.8 嵌入式实时分析和诊断 (ERAD)

ERAD 模块增强了器件的调试和系统分析功能。ERAD 模块提供的调试和系统分析增强功能在 CPU 之外完成。ERAD 模块由增强型总线比较器单元和系统事件计数器单元组成。增强型总线比较器单元用于生成硬件断点、硬件观察点和其他输出事件。系统事件计数器单元用于分析和评测系统。ERAD 模块可由调试器和应用软件访问，这显著提高了许多实时系统的调试功能，尤其是在调试器未连接的情况下。在 TMS320F28003x 器件中，ERAD 模块包含八个增强型总线比较器单元（将硬件断点数量从 2 个增加到 10 个）和四个基准测试系统事件计数器单元。

7.9 背景 CRC-32 (BGCRC)

背景 CRC (BGCRC) 模块在可配置的存储器块上计算 CRC-32。这是通过在 CPU、HIC、CLA 或 DMA 不存取指定的存储块的空闲周期中获取该存储块来实现的。计算出的 CRC-32 值与黄金 CRC-32 值进行比较以指示通过还是未通过。本质上，BGCRC 有助于识别内存故障和损坏。

BGCRC 模块具有以下特性：

- 关于 32 位数据的一个周期 CRC-32 运算
- 对于零等待状态存储器，CPU 带宽不受影响
- 对非零等待状态存储器，CPU 带宽受到的影响极小
- 两种工作模式（CRC-32 模式和清理模式）
- 通过看门狗计时器对 CRC-32 完成时间进行计时
- 能够暂停和恢复 CRC-32 计算

Copyright © 2024 Texas Instruments Incorporated

7.10 直接存储器访问 (DMA)

DMA 模块提供了一种在外设和/或存储器之间传输数据的硬件方法，无需 CPU 干预，从而为其他系统功能释放带宽。此外，DMA 还能够在数据传输时对其进行正交重排，以及在缓冲器之间对数据执行“乒乓”操作。这些特性对于将数据结构化为模块以实现最优 CPU 处理非常有用。图 7-3 显示了 DMA 的器件级方框图。

DMA 特性包括：

- 六个具有独立 PIE 中断的通道
- 外设中断触发源
  - ADC 中断和 EVT 信号
  - 外部中断
  - ePWM SOC 信号
  - CPU 计时器
  - eCAP
  - SPI 发送和接收
  - CAN 发送和接收
  - LIN 发送和接收
- 数据源和目标：
  - GSx RAM
  - ADC 结果寄存器
  - 控制外设寄存器（ePWM、eQEP、eCAP）
  - SPI、LIN、CAN 和 PMBus 寄存器
- 字大小：16 位或 32 位（SPI 限制到 16 位）
- 数据率：每个字四个周期，无需仲裁

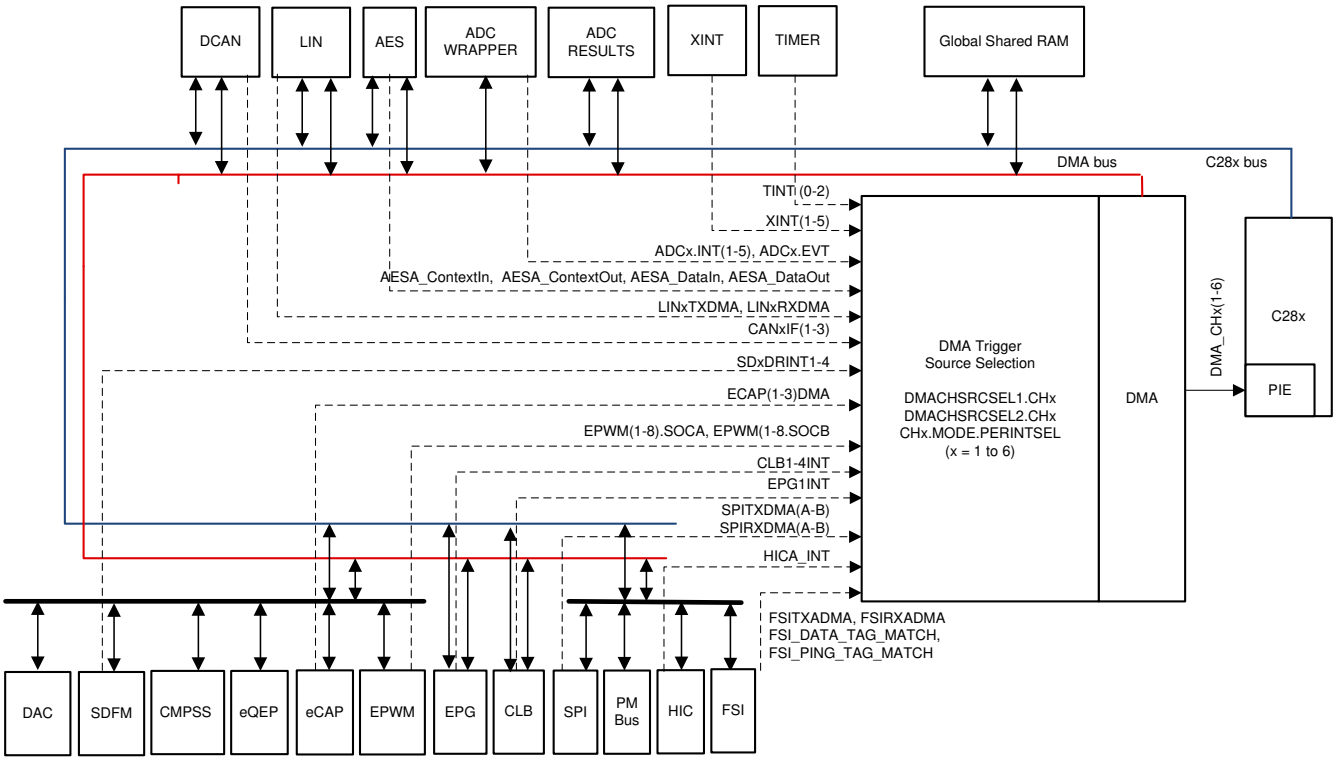


图 7-3. DMA 方框图

Copyright © 2024 Texas Instruments Incorporated

7.11 器件引导模式

本节介绍了默认引导模式以及该器件支持的所有可用引导模式。引导 ROM 使用引导模式选择、通用输入/输出 (GPIO) 引脚来确定引导模式配置。

表 7-8 展示了可供默认引导模式选择引脚选择的引导模式选项。用户可以选择对器件进行编程，以便自定义引导表中可选的引导模式以及使用的引导模式选择引脚 GPIO。

所有支持的外设引导模式都使用外设模块（SCIA、SPIA、I2CA、CANA 等）的第一个实例。凡是本章提到的这些引导模式（例如 SCI 引导）时，实际均指第一个模块实例，如 SCIA 端口上的 SCI 引导。这同样适用于其他外设引导。

请参阅节 6.12.2.2.2 和“上电复位”图，了解 $t_{boot-flash}$（在闪存中第一次取指令之前的引导 ROM 执行时间）。

表 7-8. 器件默认引导模式

引导模式	GPIO24 （默认引导模式选择引脚 1）	GPIO32 （默认引导模式选择引脚 0）
并行 IO	0	0
SCI/等待引导(1)	0	1
CAN	1	0
闪存	1	1

(1) 只要 SCI 在 SCI 自动波特率锁定过程中继续等待“A”或“a”，SCI 引导模式就可用作等待引导模式。

Copyright © 2024 Texas Instruments Incorporated

7.11.1 器件引导配置

本节详细介绍了可用的引导配置以及如何配置这些配置。该器件支持 0 引导模式选择引脚到 3 个引导模式选择引脚，以及 1 种配置的引导模式到 8 种配置的引导模式。

要更改器件并将其从默认设置配置为应用程序的自定义设置，请使用以下过程：

1. 确定您希望应用程序能够引导的所有各种方式。（例如：用于主应用程序的闪存引导的主要引导选项、用于固件更新的 CAN 引导的次级引导选项、用于调试的 SCI 引导的三级引导选项等）
2. 根据所需引导模式的数量，确定需要多少个引导模式选择引脚 (BMSP) 来在所选的引导模式之间进行选择。（例如：需要 2 个 BMSP 来在 3 个引导模式选项之间进行选择）
3. 将所需的 BMSP 分配到物理 GPIO 引脚。（例如，BMSP0 到 GPIO10，BMSP1 到 GPIO51，BMSP2 保留为默认禁用状态。）有关执行这些配置的所有详细信息，请参阅节 7.11.1.1。
4. 将确定的引导模式定义分配给自定义引导表中与 BMSP 的解码值相关的索引。例如，BOOTDEF0=引导至闪存，BOOTDEF1=CAN 引导，BOOTDEF2=SCI 引导；所有其他 BOOTDEFx 保留为默认值/无。有关如何设置和配置自定义引导模式表的所有详细信息，请参阅节 7.11.1.2。

此外，*TMS320F28003x 实时微控制器技术参考手册* 的“引导模式示例用例”一节提供了一些有关如何配置 BMSP 和自定义引导表的示例用例。

备注

CAN 引导模式打开 XTAL。在使用 CAN 引导模式之前，请确保在应用程序中安装了 XTAL。

Copyright © 2024 Texas Instruments Incorporated

7.11.1.1 配置引导模式引脚

本节介绍了用户如何通过在用户可配置的双区域安全模块 (DCSM) OTP 中对 BOOTPIN-CONFIG 位置（请参阅表 7-9）进行编程来自定义引导模式选择引脚。DCSM OTP 中的位置是 Z1-OTP-BOOTPIN-CONFIG 或 Z2-OTP-BOOTPIN-CONFIG。调试时，EMU-BOOTPIN-CONFIG 是 Z1-OTP-BOOTPIN-CONFIG/Z2-OTP-BOOTPIN-CONFIG 的仿真等效项，可对其进行编程，以便在不写入 OTP 的情况下使用不同的引导模式进行实验。可根据需要对器件进行编程，以使用 0、1、2 或 3 个引导模式选择引脚。

备注

使用 Z2-OTP-BOOTPIN-CONFIG 时，在此位置编程的配置将优先于 Z1-OTP-BOOTPIN-CONFIG 中的配置。建议先使用 Z1-OTP-BOOTPIN-CONFIG，然后如果需要更改 OTP 配置，请改为使用 Z2-OTP-BOOTPIN-CONFIG。

表 7-9. BOOTPIN-CONFIG 位字段

位	名称	说明
31:24	密钥	将 0x5A 写入这 8 位以指示该寄存器中的位有效
23:16	引导模式选择引脚 2 (BMSP2)	请参阅 BMSP0 说明，BMSP2 除外
15:8	引导模式选择引脚 1 (BMSP1)	请参阅 BMSP0 说明，BMSP1 除外
7:0	引导模式选择引脚 0 (BMSP0)	设置为在引导期间使用的 GPIO 引脚（最多 255）： - 0x0 = GPIO0 - 0x01 = GPIO1 - 等等 写入 0xFF 会禁用 BMSP0，此引脚不再用于选择引导模式。

以下 GPIO 不能用作 BMSP。如果为特定的 BMSP 选择，引导 ROM 会自动选择出厂默认 GPIO（BMSP2 的出厂默认值为 0xFF，这会禁用 BMSP）。

- GPIO 20 和 GPIO 21
- GPIO 36 和 GPIO 38
- GPIO 62 至 GPIO 223

Copyright © 2024 Texas Instruments Incorporated

表 7-10. 独立引导模式选择引脚解码

BOOTPIN_CONFIG 键	BMSP0	BMSP1	BMSP2	实现的引导模式
!= 0x5A	不用考虑	不用考虑	不用考虑	由出厂默认 BMSP 定义的引导
= 0x5A	0xFF	0xFF	0xFF	引导模式 0 的引导表中定义的引导 （禁用所有 BMSP）
	有效 GPIO	0xFF	0xFF	由 BMSP0 值定义的引导 （禁用 BMSP1 和 BMSP2）
	0xFF	有效 GPIO	0xFF	由 BMSP1 值定义的引导 （禁用 BMSP0 和 BMSP2）
	0xFF	0xFF	有效 GPIO	由 BMSP2 值定义的引导 （禁用 BMSP0 和 BMSP1）
	有效 GPIO	有效 GPIO	0xFF	由 BMSP0 和 BMSP1 的值定义的引导 （禁用 BMSP2）
	有效 GPIO	0xFF	有效 GPIO	由 BMSP0 和 BMSP2 的值定义的引导 （禁用 BMSP1）
	0xFF	有效 GPIO	有效 GPIO	由 BMSP1 和 BMSP2 的值定义的引导 （禁用 BMSP0）
	有效 GPIO	有效 GPIO	有效 GPIO	由 BMSP0、BMSP1 和 BMSP2 的值定义的引导
	无效 GPIO	有效 GPIO	有效 GPIO	BMSP0 被复位为出厂默认 BMSP0 GPIO 由 BMSP0、BMSP1 和 BMSP2 的值定义的引导
	有效 GPIO	无效 GPIO	有效 GPIO	BMSP1 被复位为出厂默认 BMSP1 GPIO 由 BMSP0、BMSP1 和 BMSP2 的值定义的引导
	有效 GPIO	有效 GPIO	无效 GPIO	BMSP2 被复位为出厂默认状态，处于禁用状态 由 BMSP0 和 BMSP1 的值定义的引导

备注

解码引导模式时，BMSP0 是引导表索引值的最低有效位，BMSP2 是最高有效位。建议在禁用 BMSP 时从禁用 BMSP2 开始。例如，在仅使用 BMSP2（禁用 BMSP1 和 BMSP0）的实例中，只能选择引导表索引 0 和 4。在仅使用 BMSP0 的实例中，可选引导表索引 0 和 1。

Copyright © 2024 Texas Instruments Incorporated

7.11.1.2 配置引导模式表选项

本节介绍了如何为器件配置引导定义表 BOOTDEF 以及相关的引导选项。64 位位置位于 Z1-OTP-BOOTDEF-LOW 和 Z1-OTP-BOOTDEF-HIGH 位置的用户可配置 DCSM OTP 中。调试时，EMU-BOOTDEF-LOW 和 EMU-BOOTDEF-HIGH 是 Z1-OTP-BOOTDEF-LOW 和 Z1-OTP-BOOTDEF-HIGH 的仿真等效，并且可以进行编程，以便在不写入 OTP 的情况下使用不同的引导模式选项进行实验。引导定义表的自定义范围取决于正在使用多少引导模式选择引脚 (BMSP)。例如，0 个 BMSP 等于 1 个表条目、1 个 BMSP 等于 2 个表条目、2 个 BMSP 等于 4 个表条目，而 3 个 BMSP 等于 8 个表条目。有关如何设置 BOOTPIN_CONFIG 和 BOOTDEF 值的示例，请参阅 *TMS320F28003x 实时微控制器技术参考手册*。

备注

配置 Z2-OTP-BOOTPIN-CONFIG 时，将使用 Z2-OTP-BOOTDEF-LOW 和 Z2-OTP-BOOTDEF-HIGH 位置，而不是 Z1-OTP-BOOTDEF-LOW 和 Z1-OTP-BOOTDEF-HIGH 位置。更多有关 BOOTPIN_CONFIG 用法的详细信息，请参阅配置引导模式引脚。

表 7-11. BOOTDEF 位字段

BOOTDEF 名称	字节位置	名称	说明
BOOT_DEF0	7:0	BOOT_DEF0 模式/选项	为引导表的索引 0 设置引导模式。 例如，不同的引导模式及其选项可以包括使用不同 GPIO 来实现特定引导加载程序或使用不同闪存入口点地址的引导模式。任何不支持的引导模式都会导致器件进入等待引导或引导至闪存。 如需了解表中要设置的有效 BOOTDEF 值，请参阅 *GPIO 分配*。
BOOT_DEF1	15:8	BOOT_DEF1 模式/选项	请参阅 BOOT_DEF0 说明
BOOT_DEF2	23:16	BOOT_DEF2 模式/选项	
BOOT_DEF3	31:24	BOOT_DEF3 模式/选项	
BOOT_DEF4	39:32	BOOT_DEF4 模式/选项	
BOOT_DEF5	47:40	BOOT_DEF5 模式/选项	
BOOT_DEF6	55:48	BOOT_DEF6 模式/选项	
BOOT_DEF7	63:56	BOOT_DEF7 模式/选项	

Copyright © 2024 Texas Instruments Incorporated

7.11.2 GPIO 分配

本节详细介绍了用于在位于 Z1-OTP-BOOTDEF-LOW/Z2-OTP-BOOTDEF-LOW 和 Z1-OTP-BOOTDEF-HIGH/Z2-OTP-BOOTDEF-HIGH 的 BOOT_DEF 存储器位置中设置引导模式的 GPIO 和引导选项值。请参阅配置引导模式表选项，了解如何配置 BOOT_DEF。选择引导模式选项时，请确认所用特定器件封装的引脚多路复用器选项中提供了必要的引脚。

表 7-12. SCI 引导选项

选项	BOOTDEF 值	SCITXDA GPIO	SCIRXDA GPIO
0（默认值）	0x01	GPIO29	GPIO28
1	0x21	GPIO16	GPIO17
2	0x41	GPIO8	GPIO9
3	0x61	GPIO2	GPIO3
4	0x81	GPIO16	GPIO3

表 7-13. MCAN 引导选项

选项	BOOTDEF 值	CANTXA GPIO	CANRXA GPIO
0（默认值）	0x08	GPIO4	GPIO5
1	0x28	GPIO1	GPIO0
2	0x48	GPIO13	GPIO12

表 7-14. DCAN 引导选项

选项	BOOTDEF 值	CANTXA GPIO	CANRXA GPIO
0（默认值）	0x02	GPIO4	GPIO5
1	0x22	GPIO32	GPIO33
2	0x42	GPIO2	GPIO3
3	0x62	GPIO13	GPIO12

表 7-15. I2C 引导选项

选项	BOOTDEF 值	SDAA GPIO	SCLA GPIO
0	0x07	GPIO32	GPIO33
1	0x27	GPIO0	GPIO1
2	0x47	GPIO10	GPIO8

表 7-16. RAM 引导选项

选项	BOOTDEF 值	RAM 入口点（地址）
0	0x05	0x0000 0000

表 7-17. 闪存引导选项

选项	BOOTDEF 值	闪存入口点（地址）	闪存扇区
0（默认值）	0x03	0x0008 0000	组 0 扇区 0
1	0x23	0x0008 8000	组 0 扇区 8
2	0x43	0x0008 FFF0	组 0 扇区 15
3	0x63	0x0009 0000	存储体 1 扇区 0
4	0x83	0x0009 7FF0	存储体 1 扇区 7
5	0xA3	0x0009 FFF0	存储体 1 扇区 15
6	0xC3	0x000A 0000	存储体 2 扇区 0

Copyright © 2024 Texas Instruments Incorporated

表 7-17. 闪存引导选项（续）

选项	BOOTDEF 值	闪存入口点（地址）	闪存扇区
7	0xE3	0x000A FFF0	存储体 2 扇区 15

表 7-18. LFU 闪存引导选项

选项	BOOTDEF 值	闪存入口点（地址）	BANK
0（默认值）	0x0B	0x0008 0000	存储体 0
		0x0009 0000	存储体 1
		0x000A 0000	存储体 2
1	0x2B	0x0008 8000	存储体 0
		0x0009 8000	存储体 1
		0x000A 8000	存储体 2
2	0x4B	0x0008 FFF0	存储体 0
		0x0009 FFF0	存储体 1
		0x000A FFF0	存储体 2
3	0x6B	0x0008 8000	存储体 0
		0x0009 0000	存储体 1
		0x000A 0000	存储体 2
4	0x8B	0x0008 EFF0	存储体 0
		0x0009 7FF0	存储体 1
		0x000A 7FF0	存储体 2

表 7-19. 等待引导选项

选项	BOOTDEF 值	看门狗
0	0x04	被启用
1	0x24	禁用

Copyright © 2024 Texas Instruments Incorporated

表 7-20. SPI 引导选项

选项	BOOTDEF 值	SPISIMOA	SPISOMIA	SPICLKA	SPISTEA
0	0x06	GPIO2	GPIO1	GPIO3	GPIO5
1	0x26	GPIO16	GPIO1	GPIO3	GPIO0
2	0x46	GPIO8	GPIO10	GPIO9	GPIO11
3	0x66	GPIO8	GPIO17	GPIO9	GPIO11

表 7-21. 并行引导选项

选项	BOOTDEF 值	D0-D7 GPIO	28x(DSP) 控制 GPIO	主机控制 GPIO
0（默认值）	0x00	D0 - GPIO28	GPIO16	GPIO29
		D1 - GPIO1		
		D2 - GPIO2		
		D3 - GPIO3		
		D4 - GPIO4		
		D5 - GPIO5		
		D6 - GPIO6		
		D7 - GPIO7		
1	0x20	D0 - GPIO0	GPIO16	GPIO11
		D1 - GPIO1		
		D2 - GPIO2		
		D3 - GPIO3		
		D4 - GPIO4		
		D5 - GPIO5		
		D6 - GPIO6		
		D7 - GPIO7		

Copyright © 2024 Texas Instruments Incorporated

7.12 安全性

安全功能由双代码安全模块 (DCSM) 强制执行。主要的防御层是保护芯片边界，该功能应始终启用。此外，还提供了双区域安全功能以支持代码分区。

7.12.1 保护芯片边界

应使用以下两项功能以及固件更新代码中的身份验证来帮助防止未经授权的代码在器件上运行。

7.12.1.1 JTAGLOCK

在 USER OTP 中启用 JTAGLOCK 功能会禁用对器件资源的 JTAG 访问（例如调试探针）。

7.12.1.2 零引脚引导

在 USER OTP 中启用零引脚引导选项以及闪存引导会阻止所有基于引脚的外部引导加载程序选项（例如 SCI、CAN、并行）。

7.12.2 双区域安全

双区域安全机制为两个区域提供保护：区域 1 (Z1) 和区域 2 (Z2)。这两个区域的安全实现是相同的。每个区域都有自身的专用安全资源（OTP 存储器和安全 ROM）和分配的安全资源（LSx RAM 和闪存扇区）。

7.12.3 免责声明

Code Security Module Disclaimer

本器件所包含的代码安全模块 (CSM) 旨在对存储在相关存储器中的数据进行密码保护，并且由德州仪器 (TI) 根据其标准条款和条件保证以符合 TI 发布的适用于本器件的保修期规范。

然而，TI 不保证或承诺 CSM 不会受到损坏或破坏，也不保证或承诺存储在相关存储器中的数据不能通过其他方式访问。此外，除上述内容外，TI 也未对本器件的 CSM 或运行做任何保证或表示，包括对适销性或特定用途适用性的任何暗示保证。

在任何情况下，TI 对以任何方法使用 CSM 或本器件产生的任何必然、特殊、间接、偶然或惩罚性损害概不负责，无论 TI 是否已告知上述损害。排除的损害包括但不限于数据丢失、信誉损失、使用损失、业务中断或其他经济损失。

Copyright © 2024 Texas Instruments Incorporated

7.13 看门狗

该看门狗模块与之前的 TMS320C2000™ 微控制器上的模块相同，但对计数器的软件复位之间的时间提供一个可选的下限。默认情况下会禁用此窗口倒计时，因此该看门狗完全向后兼容。

看门狗生成复位或中断。看门狗使用可选分频器通过内部振荡器计时。

图 7-4 显示了看门狗模块内的各种功能块。

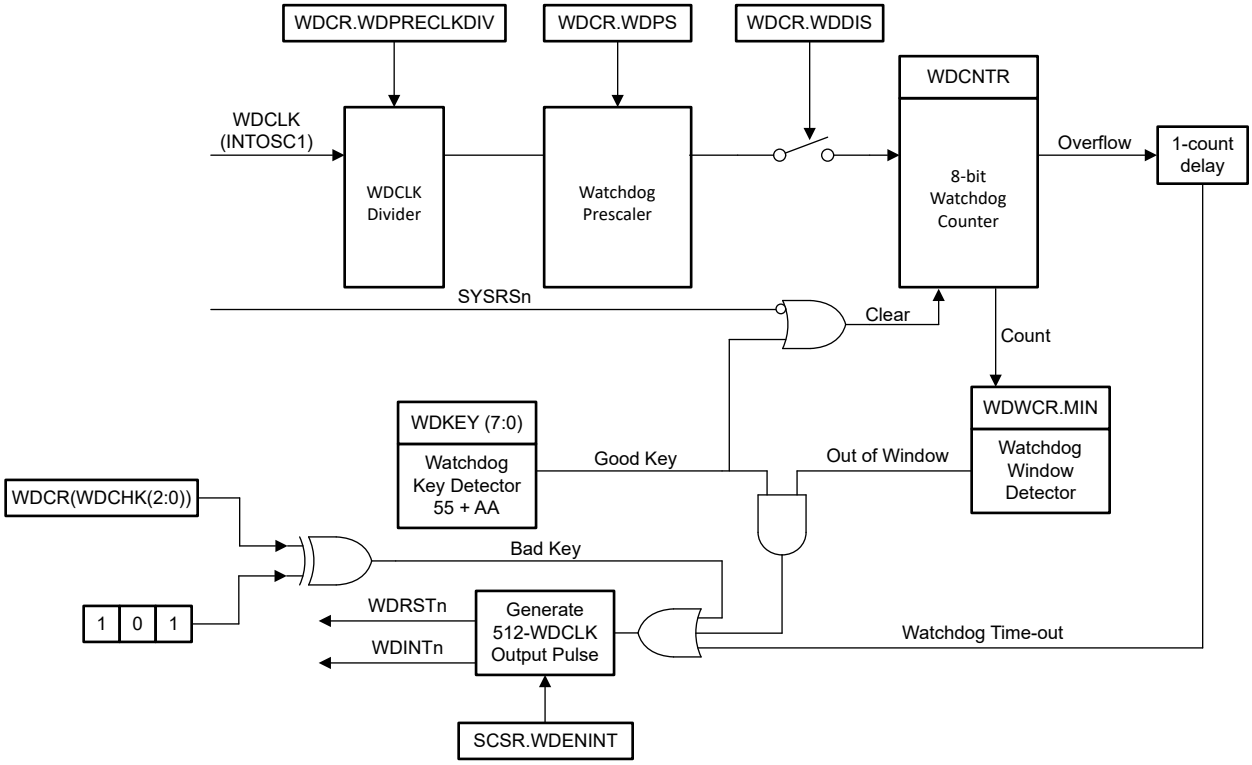


图 7-4. 窗口看门狗

Copyright © 2024 Texas Instruments Incorporated

7.14 C28x 计时器

CPU 计时器 0，1，和 2 是完全一样的 32 位计时器，具有可预设定周期和 16 位时钟预分频。此计时器具有 32 位递减计数寄存器，该寄存器在计数器达到 0 时生成一中断。计数器以 CPU 时钟速度除以预分频值设置形式递减。当计数器达到 0 时，则自动重新加载 32 位周期值。

CPU 计时器 0 用于普通用途并连接至 PIE 块。CPU 计时器 1 也用于普通用途，并连接至 CPU 的 INT13。CPU 计时器 2 为 TI-RTOS 保留。该计时器连接至 CPU 的 INT14。如果未使用 TI-RTOS ，CPU 计时器 2 也可用于普通用途。

CPU 计时器 2 可由下列任一器件计时：

- SYSCLK (默认)
- 内部零引脚振荡器 1 (INTOSC1)
- 内部零引脚振荡器 2 (INTOSC2)
- X1 (XTAL)

Copyright © 2024 Texas Instruments Incorporated

7.15 双路时钟比较器 (DCC)

DCC 模块用于根据第二个时钟评估和监测时钟输入，第二个时钟可以是更准确和可靠的版本。该仪器用于检测时钟源或时钟结构中的故障，从而增强系统的安全性指标。

7.15.1 特性

DCC 具有以下特性：

- 允许应用确保两个时钟信号的频率之间保持固定的比率。
- 支持根据参考时钟周期数定义可编程公差窗口。
- 支持连续监视，而无需应用干预。
- 支持单序列模式进行点测量。
- 允许为每个计数器选择一个时钟源，从而产生几种特定的用例。

7.15.2 DCCx 时钟源中断的映射

表 7-22. DCCx 时钟源 0 表

DCCxCLKSRC0[3:0]	时钟名称
0x0	XTAL/X1
0x1	INTOSC1
0x2	INTOSC2
0x4	TCK
0x5	CPU1.SYSCLK
0x8	AUXCLKIN
0xC	INPUT XBAR (输入 xbar 的输出 16)
其它	保留

Copyright © 2024 Texas Instruments Incorporated

表 7-23. DCCx 时钟源 1 表

DCCxCLKSRC1[4:0]	时钟名称
0x0	PLLRAWCLK
0x2	INTOSC1
0x3	INTOSC2
0x6	CPU1.SYSCLK
0x9	输入 XBAR (输入 xbar 的输出 15)
0xA	AUXCLKIN
0xB	EPWMCLK
0xC	LSPCLK
0xD	ADCCLK
0xE	WDCLK
0xF	CAN0BITCLK
其它	保留

Copyright © 2024 Texas Instruments Incorporated

7.16 可配置逻辑块 (CLB)

C2000 可配置逻辑块 (CLB) 是一组模块的集合，这些模块使用软件进行互连，以实现自定义数字逻辑功能或增强现有的片上外设。CLB 能够通过一组交叉开关互连来增强现有的外设，为现有的控制外设（例如增强型脉宽调制器 (ePWM)、增强型采集模块 (eCAP) 和增强型正交编码器脉冲模块 (eQEP)）提供高度连接性。交叉开关还允许将 CLB 连接到外部 GPIO 引脚。通过这种方式，CLB 可以配置为与器件外设交互以执行小型逻辑功能（例如比较器），或实现自定义串行数据交换协议。通过 CLB，原本需要使用外部逻辑器件实现的功能现在可在 MCU 内实现。

CLB 外设是通过 CLB 工具进行配置的。更多有关 CLB 工具、可用示例、应用报告和用户指南的信息，请参阅用于 C2000 MCU 的 C2000Ware 软件包（C2000Ware_2_00_00_03 及更高版本）中的以下位置：

- **C2000WARE_INSTALL_LOCATION\utilities\clb_tool\clb_syscfg\doc**
- *CLB 工具用户指南*
- *“使用 C2000™ 可配置逻辑块 (CLB) 进行设计”应用报告*
- *“如何将自定义逻辑从 FPGA/CPLD 迁移到 C2000™ 微控制器”应用报告*

CLB 模块及其互连如图 7-5 所示。

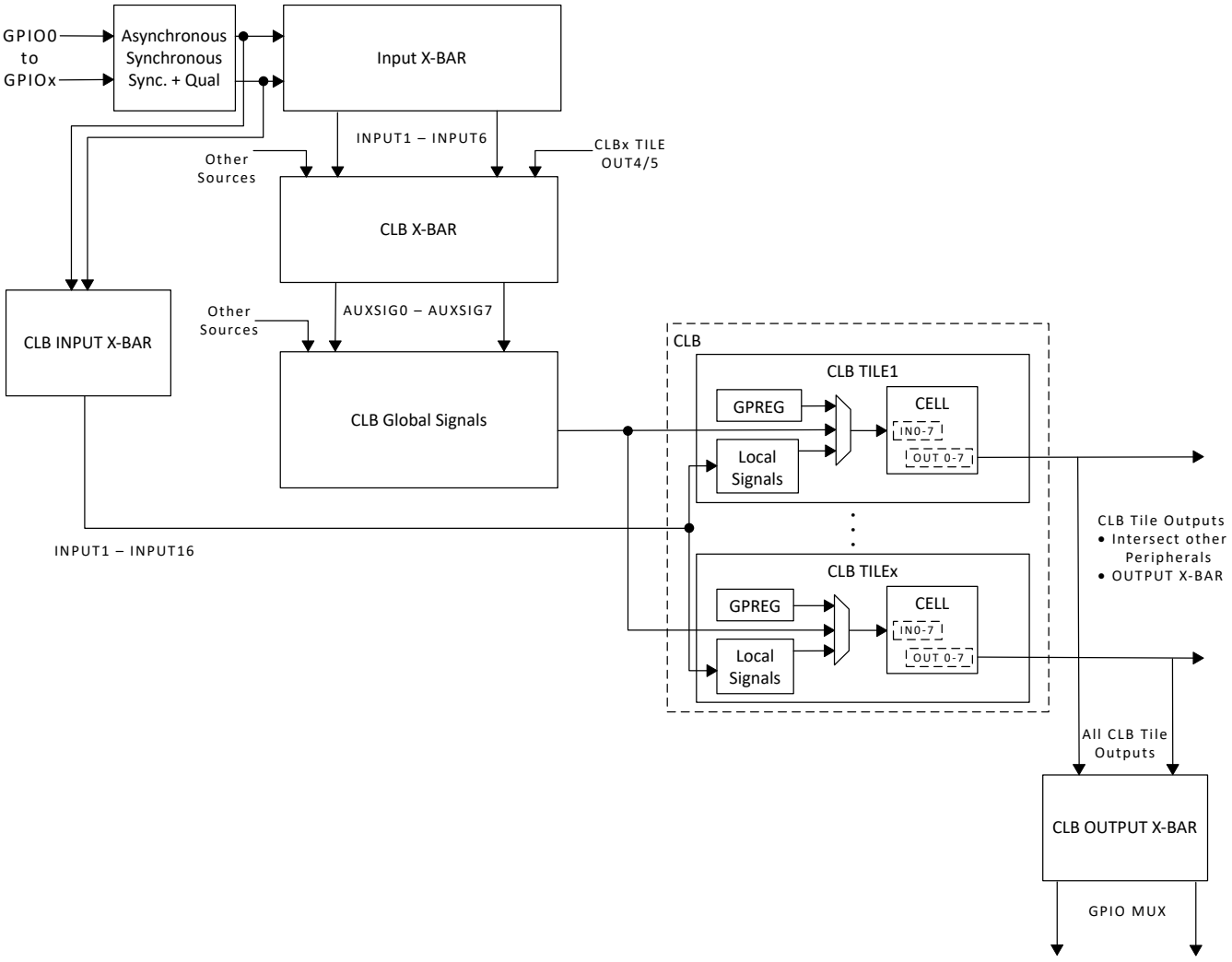


图 7-5. GPIO 到 CLB 逻辑块的连接

Copyright © 2024 Texas Instruments Incorporated

绝对编码器协议接口现在作为 C2000Ware MotorControl SDK 中的 位置管理器 解决方案提供。C2000Ware MotorControl SDK 提供了此类解决方案的配置文件、应用程序接口 (API) 和使用示例。在某些解决方案中，TI 配置的 CLB 与其他片上资源（例如 SPI 端口或 C28x CPU）一起使用，以执行更复杂的功能。

Copyright © 2024 Texas Instruments Incorporated

7.17 功能安全

功能安全合规型产品是使用符合 ISO 26262/IEC 61508 标准的硬件开发流程开发的，这些硬件经过单独评估和认证，满足 ASIL D/SIL 3 系统功能的要求（参阅证书）。TMS320F28003x 已通过认证，满足 ASIL B 和 SIL 2 的元件级随机硬件功能要求（参阅证书）。

描述了所有硬件和软件功能安全机制的功能安全手册。请参阅 *TMS320F28003x 实时微控制器的功能安全手册*。

一个详细的、可调、故障注入、定量的 FMEDA，能够计算随机硬件指标（如国际标准化组织 ISO 26262 和国际电工委员会 IEC 61508 分别针对汽车和工业应用的规定）。必须申请这种可调 FMEDA；请参阅*适用于汽车和工业实时微控制器的 C2000™ 安全包用户指南*。

- 提供了一份概述可调 FMEDA 的价值（或优势）的白皮书。请参阅*功能安全：适用于 C2000™ MCU 的可调 FMEDA* 出版物。
- 由五部分组成的 FMEDA 调优培训的第 1 部分和第 2 部分可从 TI 视频库中获取。第 1 部分是 *FMEDA 的基础知识及其在系统级安全分析中的作用*。第 2 部分是 *C2000™ 可调 FMEDA 简介*。第 3、4 和 5 部分与可调 FMEDA 整理在一起，因此必须申请。

专为 F28003x 系列器件设计的两个诊断库可用于协助开发功能安全系统：CLA 自检库 (CLA_STL) 和软件诊断库 (SDL)。CLA_STL 提供 CLA 的软件测试，并经过独立评估和认证。该库是应要求提供的，详情请参阅*适用于汽车和工业实时微控制器的 C2000™ 安全包用户指南*。SDL 包含一组参考软件，提供器件安全手册中描述的多种安全机制的实施示例，例如 HWBIST、SRAM 的软件测试、时钟丢失检测功能的软件测试、使用 CPU 计时器进行的时钟完整性检查以及其他几个主要特性。SDL 作为 C2000Ware 的一部分提供。

C2000 实时 MCU 还配备有基于 TI 版本验证的 C28x 和 CLA 编译器认证套件 (CQKIT)，该套件可免费获得，您可以在安全编译器认证套件网页上申请。

更多有关如何使用 C2000 实时 MCU 开发功能安全系统的详细信息，请参阅以下文档：

- *适用于 C2000™ 实时微控制器的汽车功能安全* 汇总了可用于协助进行 ISO 26262 认证过程的功能安全产品、文档、软件和支持。
- *适用于 C2000™ 实时微控制器的工业功能安全* 汇总了可用于协助进行 IEC 61508 认证过程的功能安全产品、文档、软件和支持。
- *C2000™ 硬件内置自检* 讨论了 C2000™ 实时微控制器中的硬件内置自检 (HWBIST) 特性。HWBIST 提供了一种在 C28x CPU 上达到高水平诊断覆盖率的方法，这通常是满足安全标准所必需的。
- *SRAM 中的错误检测应用报告* 提供了有关 SRAM 位单元和位阵列的性质以及 SRAM 故障来源的技术信息。然后提出了管理电子系统中存储器故障的方法。本讨论旨在为那些有兴趣提高嵌入式 SRAM 的稳健性的电子系统开发人员或集成商。
- *C2000™ CPU 存储器内置自检* 描述了在主动控制循环期间使用 C28x 中央处理单元 (CPU) 进行的嵌入式存储器验证。该文档讨论了存储器验证的系统挑战，以及 C2000 器件和软件提供的不同解决方案。最后，还介绍了用于存储器测试的软件诊断库功能。

Copyright © 2024 Texas Instruments Incorporated

8 应用、实现和布局

8.1 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

"F2800x C2000™ 实时 MCU 系列的硬件设计指南" 应用手册 是使用 C2000 器件的硬件开发人员的基本指南，有助于简化设计过程，同时降低设计故障的可能性。论述的主要主题包括：电源要求、通用输入/输出 (GPIO) 连接、模拟输入和 ADC、时钟生成和要求以及 JTAG 调试等。

8.2 器件主要特性

表 8-1. 器件主要特性

模块	特性	系统优势
		处理
实时控制 CPU	高达 120MIPS C28x：120MIPS CLA：120MIPs 闪存：高达 384KB RAM：高达 69KB 32 位浮点单元 (FPU32) 三角法数学单元 (TMU) CRC 引擎和指令 (VCRC)	为从片上闪存或 SRAM 运行的浮点或定点代码提供 120MHz 的信号处理性能。 **CLA：**32 位浮点控制律加速器，与 C28x CPU 并行执行 **FPU32：**原生硬件支持 IEEE-754 单精度浮点运算 **TMU：**使用加速器加快三角函数和算术运算执行速度，从而提高控制应用的计算速度（例如 PLL 和 DQ 变换）。有助于实现更快的控制环路，从而提高效率和优化元件尺寸。 特殊指令支持非线性 PID 控制算法 **VCRC：** 提供了一种简单的方法来验证大型数据块、通信数据包或代码段上的数据完整性。
		检测
模数转换器 (ADC)（12 位）	多达 3 个 ADC 模块 4MSPS 高达 23 通道	ADC 对全部三相电流和直流总线进行精准并行采样，且具有零抖动。 ADC 后处理 - 片上硬件将降低 ADC ISR 复杂度并缩短电流环路周期。 增加 ADC 数量在多相应用中很有用。提供更高的有效 MSPS（过采样）和典型 ENOB 以实现更好的控制环路性能。
比较器子系统 (CMPSS)	**CMPSS** 4 个窗口比较器 两个 12 位 DAC DAC 斜坡生成 数字滤波器 60ns 跳闸检测时间 斜率补偿	**系统保护无误报：** 比较器子系统 (CMPSS) 模块适用于峰值电流模式控制、开关模式电源、功率因数校正和电压跳闸监控等应用。 借助模拟比较器子系统提供的消隐窗口和滤波功能，PWM 跳闸触发和消除不必要噪声变得非常容易。 提供更出色的控制精度。无需进一步的 CPU 配置即可通过比较器和 12 位 DAC (CMPSS) 控制 PWM 使用同一引脚实现保护 (CMPSS) 和控制 (ADC)。
增强型正交编码器脉冲 (eQEP)	2 个 eQEP 模块	用于与线性或旋转增量编码器进行直接连接，以便获得高性能运动和位置控制系统中使用的旋转机器的位置、方向和速度信息。支持 CW/CCW 编码。另外，也可以在其他应用中用于对来自外部器件（例如传感器）的输入脉冲进行计数。

Copyright © 2024 Texas Instruments Incorporated

表 8-1. 器件主要特性（续）

模块	特性	系统优势
增强型捕获 (eCAP)	3 个 eCAP 模块 测量事件之间经过的时间（最多 4 个带时间戳的事件）。 通过输入 X-BAR 连接到任何 GPIO。 当未用于采集模式时，eCAP 模块可配置为单通道 PWM 输出 (APWM)。	**eCAP 的应用包含：** 旋转机械的速度测量（例如，通过霍尔传感器感应齿状链轮） 位置传感器脉冲之间的持续时间测量 脉冲序列信号的周期和占空比测量 对来自占空比编码电流/电压传感器的电流或电压幅度进行解码

Copyright © 2024 Texas Instruments Incorporated

表 8-1. 器件主要特性（续）

模块	特性	系统优势
驱动		
增强型脉宽调制 (ePWM)	多达 16 个 ePWM 通道 能够生成具有死区的高侧/低侧 PWM 支持谷底开关（能够在谷点切换 PWM 输出）以及消隐窗口等特性	灵活的 PWM 波形生成功能，具有出色的电源拓扑覆盖范围。 影子化死区本身和影子化动作限定器可实现自适应 PWM 生成和保护，从而提高控制精度并降低功率损耗。 可改善功率因数 (PF) 和总谐波失真 (THD)，这在功率因数校正 (PFC) 应用中尤为重要。可提高轻载效率。
	一次性和全局重新加载功能	对于变频和多相直流/直流应用至关重要，有助于实现高频控制环路 (>2MHz)。 能够在高频下控制交错式 LLC 拓扑
	针对逐周期 (CBC) 跳闸事件和一次性跳闸 (OST) 触发事件进行独立 PWM 操作	提供逐周期保护并在故障条件下完全关闭 PWM。有助于实现多相 PFC 或直流/直流控制。
	在 SYNC 时加载（支持在发生 SYNC 事件时的“影子到活动”加载）	支持变频应用（允许在功率转换中进行 LLC 控制）。
	无需软件干预即可关闭 PWM（无 ISR 延迟）	在出现故障时提供快速保护
	延迟跳闸功能	有助于利用峰值电流模式控制 (PCMC) 相移全桥 (PSFB) 直流/直流转换器轻松实现死区，无需占用大量 CPU 资源（即使发生基于比较器、跳闸或同步输入事件的触发事件时也是如此）。
	死区发生器 (DB) 子模块	通过向 PWM 信号上升沿 (RED) 和下降沿 (FED) 添加可编程延迟，防止高侧和低侧栅极同时导通。
	灵活的 PWM 相位关系和计时器同步	每个 ePWM 模块都能与其他 ePWM 模块或其他外设同步。可使 PWM 边沿与特定事件完全保持同步。 支持采用特定采样窗口实现灵活的 ADC 调度，与功率器件切换保持同步。
高分辨率脉宽调制 (HRPWM)	8 个具有高分辨率功能 (150ps) 的通道 为占空比、周期、死区以及相位偏移提供 150ps 的步长，精度提高 99%	有利于精确控制并实现性能更佳的高频功率转换。 实现更干净的波形并避免输出端产生振荡/限制周期。
连接		
串行外设接口 (SPI)	2 个高速 SPI 端口	支持 30MHz
串行通信接口 (SCI)	2 个 SCI (UART) 模块	与控制器连接
本地互连网络 (LIN)	2 LIN	提供一种低成本解决方案，无需控制器局域网 (CAN) 的带宽和容错能力 也可用作简单 UART
控制器局域网 (CAN/DCAN)	1 个 DCAN 模块	能够兼容经典 CAN 模块
控制器局域网 (CAN FD/MCAN)	1 个 CAN FD/MCAN 模块	CAN FD（灵活数据速率）是经典 CAN 协议的增强版本。CAN FD 有助于动态切换到数据段的更高比特率 (>1Mbps)，并允许最多 64 个字节，而经典 CAN 只允许 8 个字节。这是在无需更改物理层的情况下实现的。因此与传统 CAN 相比，该协议具有更高带宽增益。使用 CAN-FD 的系统受益于更快的现场闪存更新。
内部集成电路 (I2C)	2 个 I2C 模块	与外部 EEPROM、传感器或控制器连接
电源管理总线 (PMBus)	1 个 PMBus 模块 符合 SMI Forum PMBus 规范（第 I 部分 v1.0 和第 II 部分 v1.1）	基于硬件的无缝主机通信
其他系统特性		

Copyright © 2024 Texas Instruments Incorporated

表 8-1. 器件主要特性（续）

模块	特性	系统优势
安全增强功能	双区域代码安全模块 (DCSM) 看门狗 寄存器受写保护 丢失时钟检测逻辑 (MCD) 纠错码 (ECC) 和奇偶校验 双时钟比较器 (DCC)	**DCSM：**防止对专有代码进行复制和逆向工程 **看门狗：**如果 CPU 陷入无休止的执行循环，则会产生复位 **寄存器受写保护：** 针对系统配置寄存器进行锁定保护 防止虚假 CPU 写入 **MCD：**自动时钟故障检测 **ECC 和奇偶校验：**single-bit 纠错和 double-bit 错误检测 **DCC：**用于检测时钟源故障
交叉开关 (XBAR)	可灵活连接各种配置中的器件输入、输出和内部资源。 • 输入 X-BAR • 输出 X-BAR • ePWM X-BAR	**增强硬件设计的通用性：** **输入 X-BAR：**将信号从任何 GPIO 路由到芯片内的多个 IP 块 **输出 XBAR：**将内部信号路由到指定的 GPIO 引脚上 **ePWM X-BAR：**将内部信号从各种 IP 块路由到 ePWM

8.3 应用信息

8.3.1 典型应用

*典型应用*一节将详细介绍该器件的*一些*应用。如需查看更详细的应用列表，请参阅本数据表的*应用*一节。

8.3.1.1 汽车泵

基于所需的动力总成类型，汽车发动机管理系统通常需要使用油液或燃油控制泵。根据系统类型和负载不同，这些执行器可用于开环或闭环系统，并提供精确控制。

无论是内燃机、电动还是混合动力 (ICE/EV/HEV) 车辆，所有车辆都需要各种类型的泵（例如燃油泵；冷却液泵或水泵；以及机油泵）。尽管每个泵的用途不同，但泵的功能是相同的：将油液、燃油或机油从一个位置移到另一个位置。以燃油泵为例，泵将燃油从燃油箱输送到发动机室供发动机使用。根据功能，泵可以是变速泵或定速泵。

车辆蓄电池提供运行燃油泵所需的电流。电子控制单元 (ECU) 调节汽油的输出压力和体积，并计量从燃油箱输入的燃油。ECU 可帮助汽车节约燃油，从而提高经济性和功率。

Copyright © 2024 Texas Instruments Incorporated

8.3.1.1.1 系统方框图

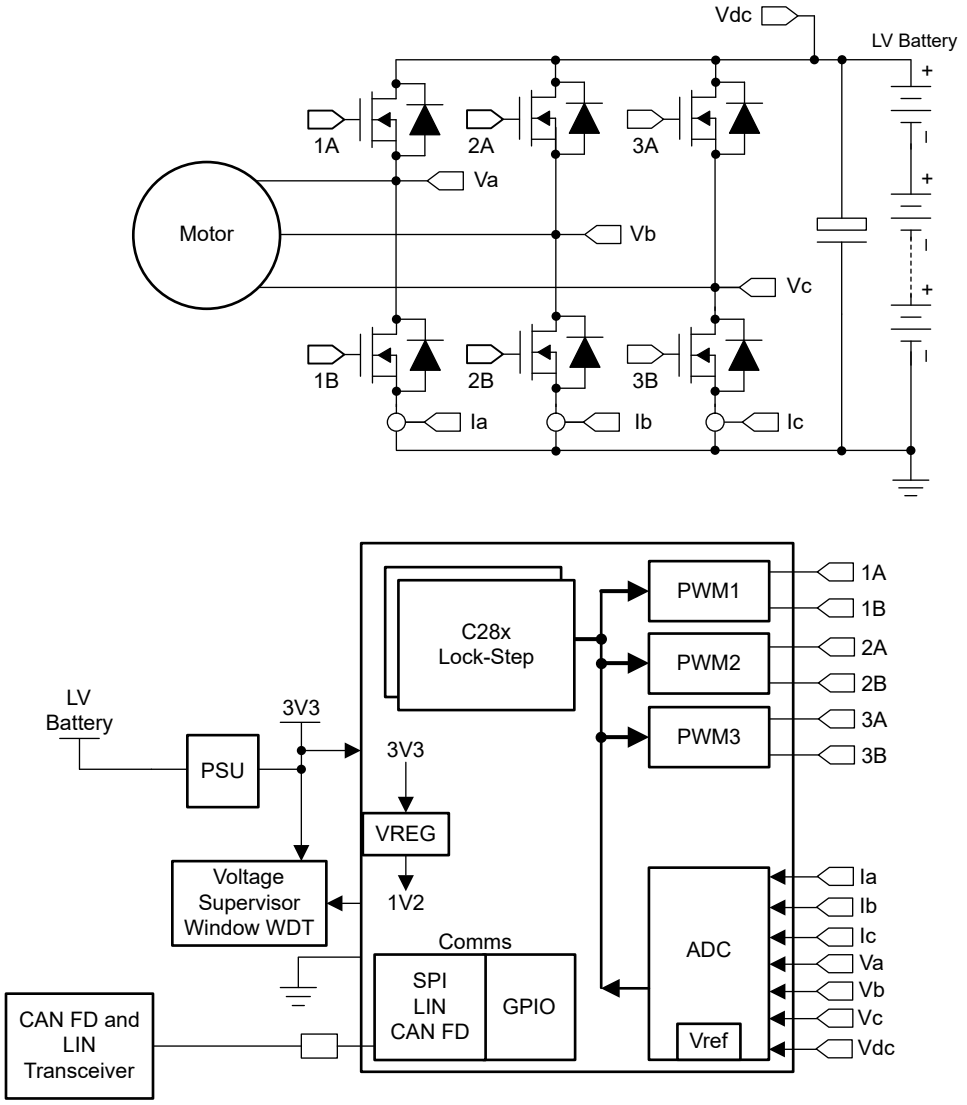


图 8-1. 汽车泵

8.3.1.1.2 汽车泵技术资源

参考设计和相关培训视频

C2000™ MCU - 电动汽车 (EV) 培训视频 (视频)
此 C2000™ MCU 视频集介绍了电动汽车 (EV) 的英语和中文专项培训。

8.3.1.2 汽车 HVAC 压缩机

在车辆中，传统 HVAC 压缩机的用途是冷却车厢。在混合动力汽车和电动汽车 (HEV 和 EV) 中，压缩机系统不仅要冷却车厢，还要冷却为车辆提供动力的电池。

在混合动力汽车/电动汽车中，由于尺寸限制或不使用内燃机，需要引入两个附加组件，这些组件在 HVAC 系统中起着关键作用：

- 无刷直流 (BLDC) 电机是一种代替发动机使空调压缩机旋转的直流电机。
- 正温度系数 (PTC) 加热器或热泵代替发动机对冷却液进行加热。

Copyright © 2024 Texas Instruments Incorporated

汽车 HVAC 压缩机模块设计需要：

- 有效减少隔离型元件数。
- 降低 EMI，以优化系统性能。
- 全面诊断，识别故障。
- 即使在低速下也能实现高效率和无传感器的扭矩控制。

8.3.1.2.1 系统方框图

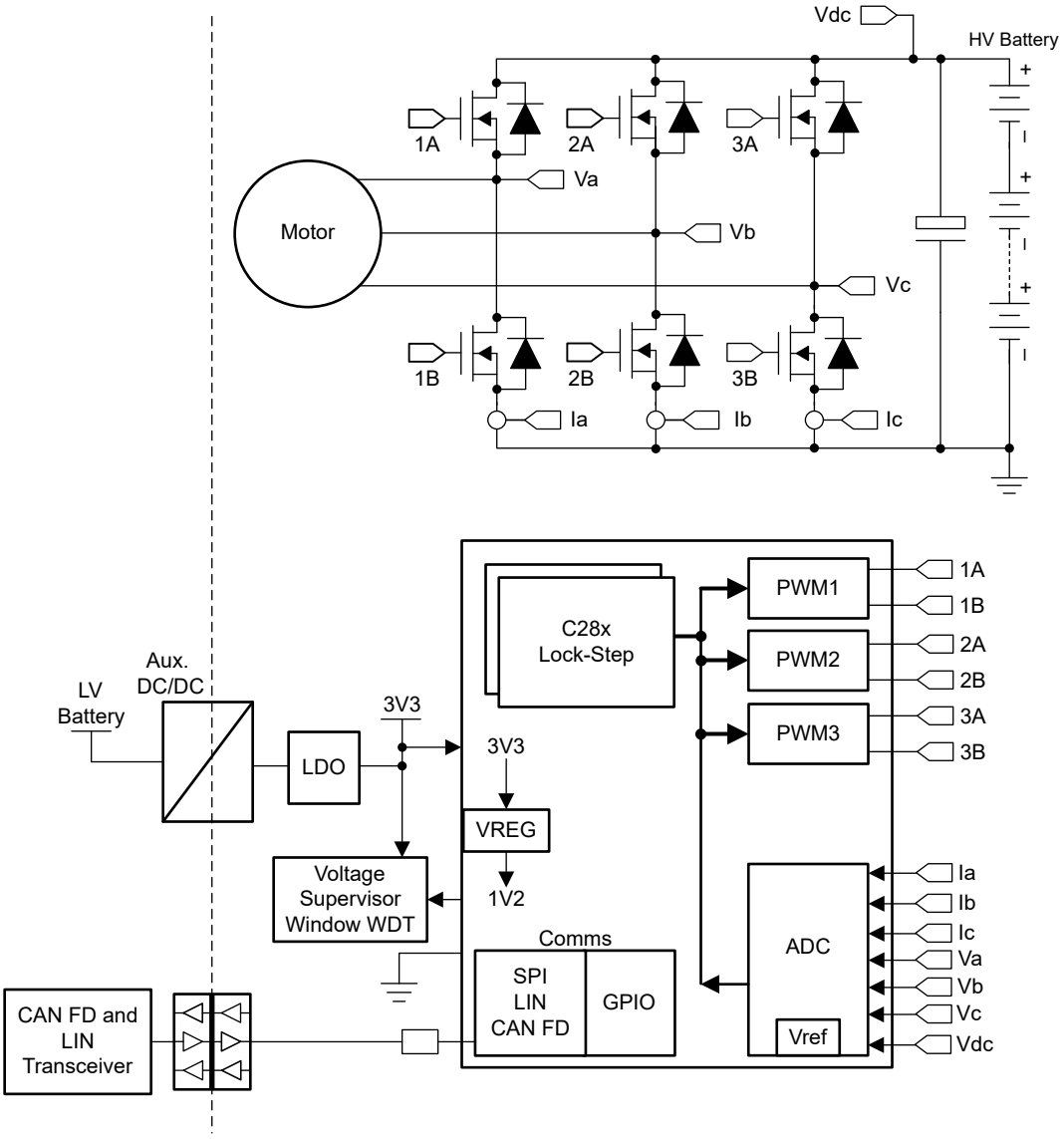


图 8-2. 汽车 HVAC 压缩机

Copyright © 2024 Texas Instruments Incorporated

8.3.1.2.2 HVAC 资源

参考设计和相关培训视频

如何在持续发展的混合动力汽车/电动汽车市场中优化汽车 HVAC 设计
在这篇文章中，我们将概述与这些电子 HVAC 应用相关的设计挑战，探讨如何从实时控制性能、扩展性和成本三方面着手应对这些挑战。

C2000™ MCU - 电动汽车 (EV) 培训视频（视频）
此 C2000™ MCU 视频集介绍了电动汽车 (EV) 的英语和中文专项培训。

如何为混合动力汽车/电动汽车设计加热和冷却系统
在本白皮书中，我们将介绍 48V、400V 或 800V 混合动力汽车和电动汽车中的新型加热和冷却控制模块。其中，您将通过示例和系统图了解这些模块中独特的子系统，最后我们将通过回顾这些子系统的功能解决方案来帮助您开始规划自己的实施方案。

混合动力汽车和电动汽车的汽车 HVAC 压缩机应用中的可靠实时控制
在这篇文章中，我们重点讨论混合动力汽车和电动汽车加热和冷却系统中 HVAC 压缩机子系统的设计挑战，并讨论实时控制如何应对这些挑战。

8.3.1.3 车载充电器 (OBC)

在 OBC 和高压直流/直流充电器 (HV DCDC) 市场中，主要采用的两种架构是模块化设计和整体式设计。模块化方法在制造和售后服务方面提供了灵活性，而整体式方法旨在将多个功能集成到单个外壳中以实现紧凑的外形。F28003x 旨在实现模块化控制架构和成本敏感型解决方案，因此需要受限的控制器性能 (≤120MIPS)，并且控制器的元件功能安全等级为 ASIL B (D)。

车载充电器包含两个功率级：PFC（交流/直流）电源转换器和后续的直流/直流电源转换器。每个功率级均由单个 MCU 控制。

OBC 充电设计要求如下：

- 高性能快速数字控制环路，可实现高效的功率变换并提高功率密度。
- 通过高带宽和快速响应电流检测，在过流情况下实现精确控制和快速关断。
- 安全高效地控制和保护电源开关 [绝缘栅双极晶体管/碳化硅 (IGBT/SiC)]。

Copyright © 2024 Texas Instruments Incorporated

8.3.1.3.1 系统方框图

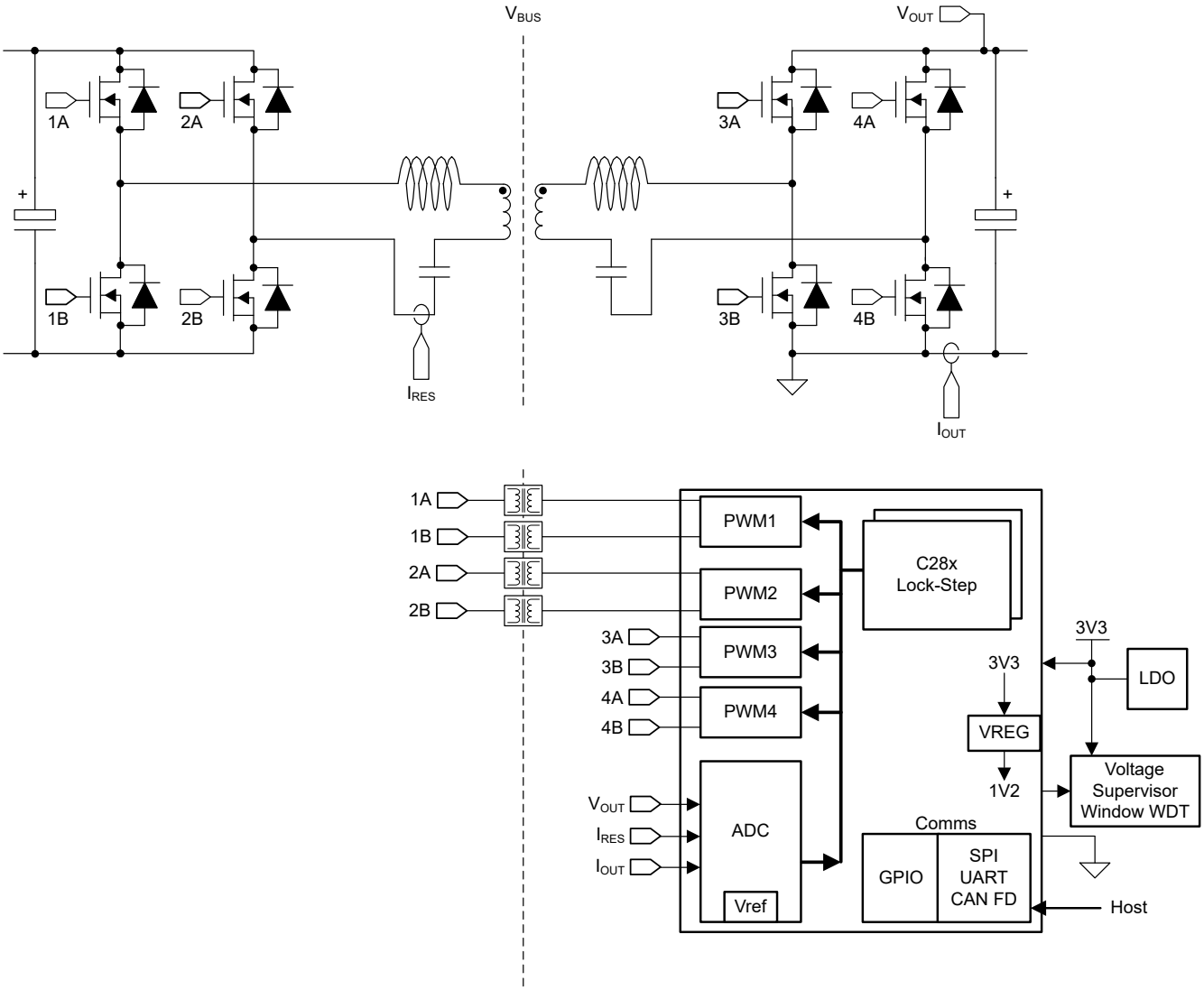


图 8-3. OBC - 直流/直流

8.3.1.3.2 OBC 资源

参考设计和相关培训视频

C2000 数字电源培训系列视频
此培训系列介绍了数字电源控制的基础知识以及如何在 C2000™ 微控制器上实施数字电源控制。

C2000™ MCU - 电动汽车 (EV) 培训视频 (视频)
此 C2000™ MCU 视频集介绍了电动汽车 (EV) 的英语和中文专项培训。

TIDUEG2C TIDM-02002 针对 HEV/EV 车载充电器的双向 CLLLC 谐振双有源电桥 (DAB) 参考设计
具有双向功率流功能和软开关特性的 CLLLC 谐振 DAB 是混合动力电动汽车/电动汽车 (HEV/EV) 车载充电器和能量存储应用的理想候选器件。此设计演示了在闭合电压和闭合电流环路模式中使用 C2000™ MCU 控制此电源拓扑。采用此设计的硬件和软件可帮助您缩短产品上市时间。

TIDUEG3A TIDM-1022 谷底开关升压功率因数校正 (PFC) 参考设计

Copyright © 2024 Texas Instruments Incorporated

该参考设计说明了一种数字控制方法，可显著提高升压功率因数校正 (PFC) 转换器性能，例如难以满足效率和总谐波失真 (THD) 标准的轻负载条件下的效率和总谐波失真 (THD)。这是通过 C2000™ 微控制器 (MCU) 的集成数字控制功能实现的。此设计支持不同负载和瞬时输入电压条件下的切相、谷底开关、谷底跳跃和零电压开关 (ZVS)。可供此参考设计使用的软件可缩短上市时间。

8.3.1.4 伺服驱动器控制模块

伺服驱动器需要高精度电流和电压检测功能以实现精确的扭矩控制，并且通常支持用于多种编码器类型的接口以及通信接口。此 C2000 器件既可用作独立伺服驱动器的单芯片解决方案（如图 8-4 所示），也可用于分散式系统（如图 8-5 所示）。在后一种情况下，F28P65x C2000 器件充当控制器，对所有电压和电流输入进行采样并为逆变器生成正确的 PWM 信号。每个 C2000 器件均作为目标轴的实时控制器，用于控制电机的电流控制环。通过使用快速串行接口 (FSI) 外设，一个 C2000 器件最多可管理 16 个轴。C2000 器件作为外部环路控制器执行主轴电机控制，控制通过 FSI 与所有副轴的数据交换，并通过 EtherCAT 与主机或 PLC 进行通信。

8.3.1.4.1 系统方框图

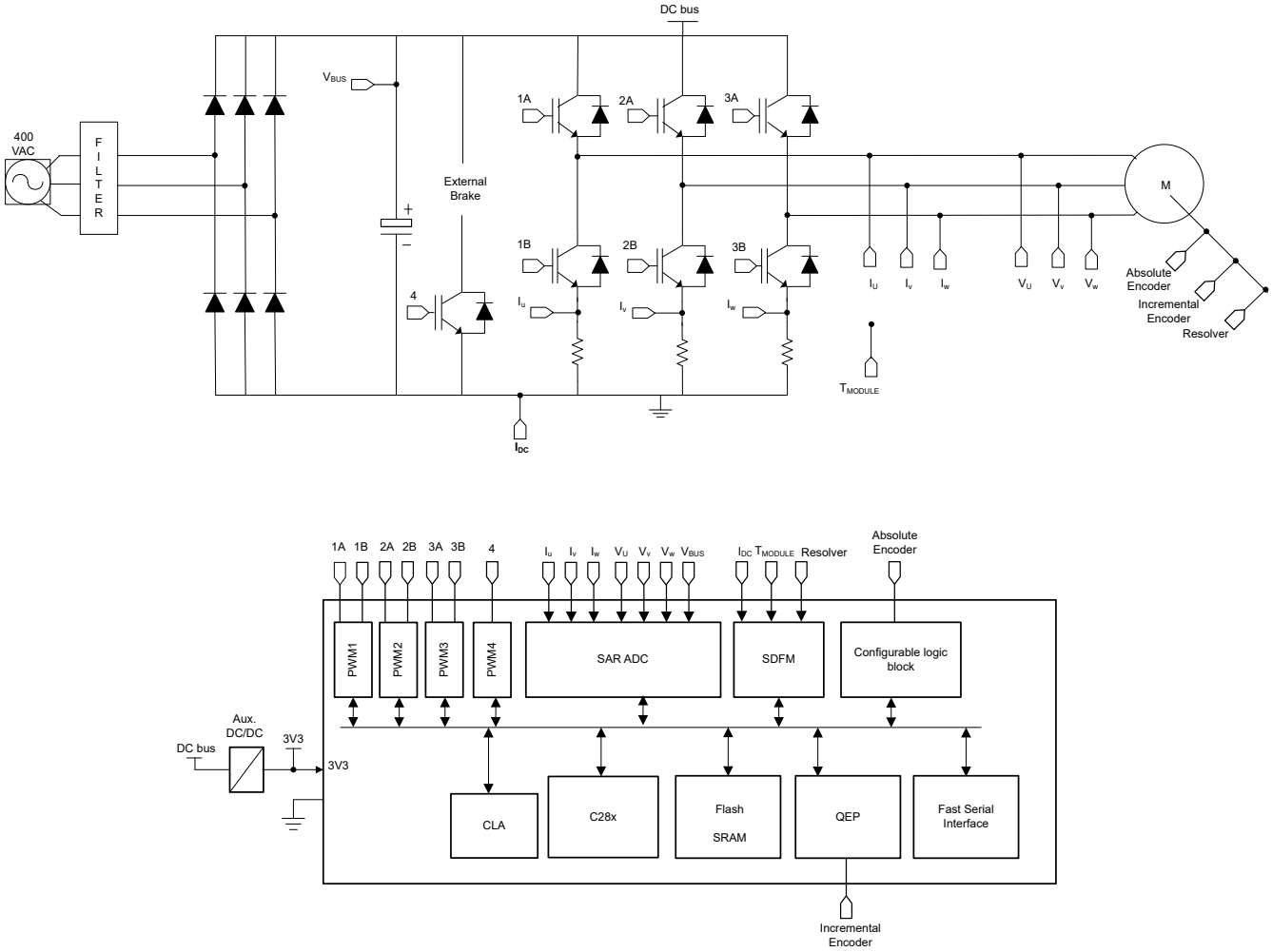


图 8-4. 伺服驱动器控制模块

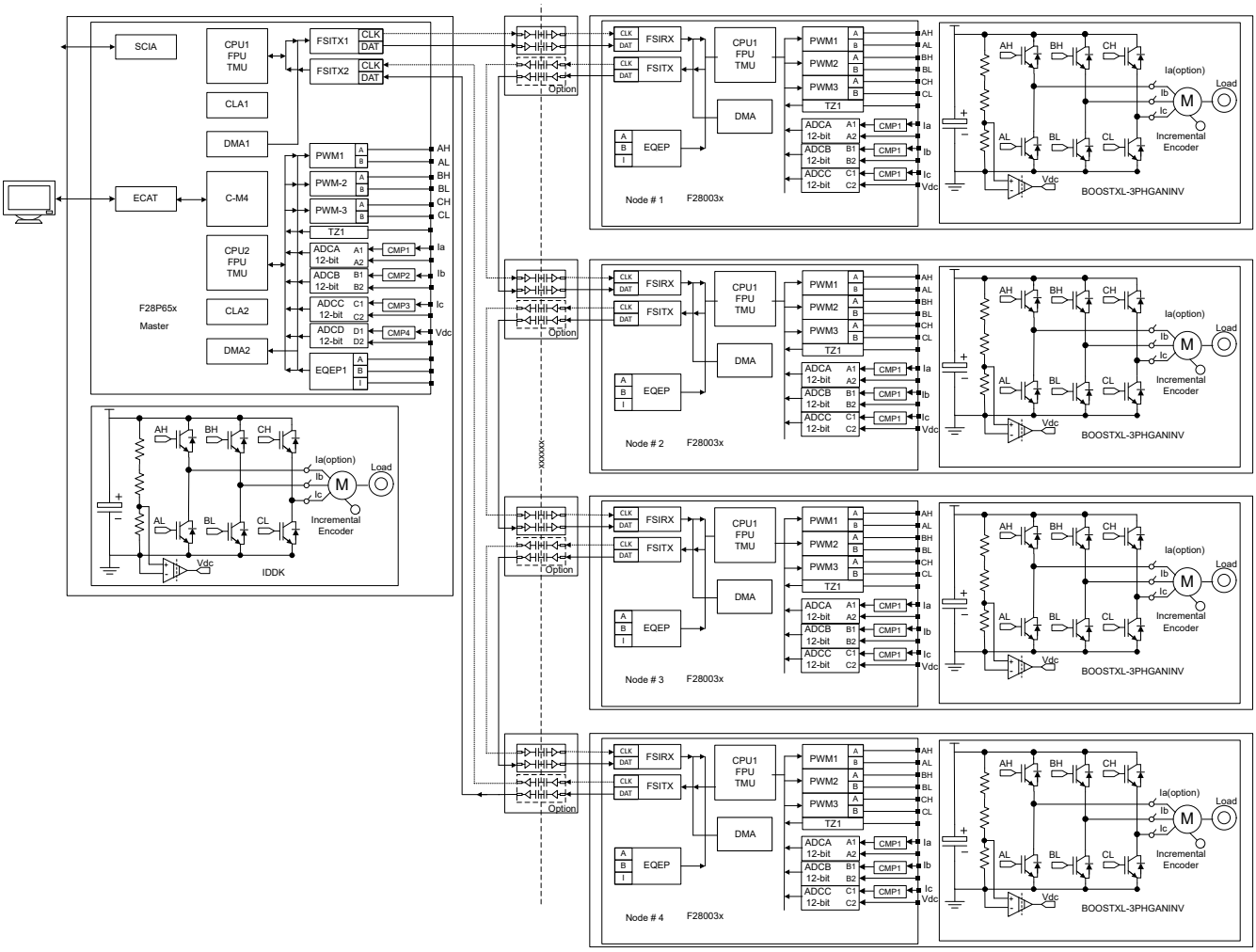


图 8-5. 分布式多轴伺服驱动器

8.3.1.4.2 伺服驱动器控制模块资源

参考设计和相关培训视频

具有基于采样电阻的内嵌式电机相电流采样的 48V 三相逆变器评估模块

BOOSTXL-3PHGANINV 评估模块采用 48V/10A 三相 GaN 逆变器，具备基于分流器的精密直列式相电流检测功能，从而对精密驱动器（例如，伺服驱动器）进行精准控制。

用于工业电机控制的 C2000 DesignDRIVE 开发套件

DesignDRIVE 开发套件 (IDDK) 硬件提供了可驱动高电压三相电机的全功率级集成伺服驱动器设计，并简化了对各种位置反馈、电流检测和控制拓扑的评估。

C2000 DesignDRIVE Position Manager BoosterPack™ 插件模块

PositionManager BoosterPack 是一个用于评估绝对编码器和模拟传感器（如旋转变压器和 SinCos 传感器）接口的灵活低电压平台。与 DesignDRIVE Position Manager 软件解决方案结合使用时，这种低成本评估模块成为用于将许多流行的位置编码器类型（如 EnDat、BiSS 和 T-Format）与 C2000 实时控制器件连接的强大工具。C2000 Position Manager 技术将流行的数字和模拟位置传感器接口集成到 C2000 实时控制器上，因此无需外部 FPGA 来实现这些功能。

Copyright © 2024 Texas Instruments Incorporated

C2000Ware MotorControl SDK

适用于 C2000™ 微控制器 (MCU) 的 MotorControl SDK 包含一套全面的软件基础架构、工具和文档，旨在尽可能缩短基于 C2000 实时控制器的电机控制系统开发时间，适用于各种三相电机控制应用。该软件包括在 C2000 电机控制评估模块 (EVM) 和针对工业驱动器、机器人、电器和汽车应用的 TI Designs (TID) 上运行的固件。MotorControl SDK 包含高性能电机控制应用在开发和评估等各阶段所需的所有资源。

TIDM-02006 基于快速串行接口 (FSI) 的分布式多轴伺服驱动器参考设计

此参考设计展示了使用 C2000™ 实时控制器通过快速串行接口 (FSI) 实现的分布式或分散式多轴伺服驱动器示例。多轴伺服驱动器用于工厂自动化和机器人等多种应用。凭借每轴成本、性能和易用性等特性，该驱动器受到上述系统的高度青睐。FSI 是一种可靠的成本优化型高速通信接口，具有低抖动，能以菊花链形式连接多个 C2000 微控制器。在此设计中，每个 TMS320F280039 或 TMS320F280025 实时控制器均作为分布式轴的实时控制器，控制电机的电流控制环。单个 TMS320F28388D 控制各轴的位置和速度控制环。上述 F2838x 还通过充分利用多个内核，执行集中式电机控制轴和 EtherCAT 通信。该设计采用我们的现有 EVM 套件，软件随附 C2000WARE MotorControl SDK 发布。

TIDM-02007 在单个 MCU 上使用快速电流环路 (FCL) 和 SFRA 的双轴电机驱动器参考设计

此参考设计展示了在单个 C2000 控制器上使用快速电流环路 (FCL) 和软件频率响应分析器 (SFRA) 技术的双轴电机驱动器。FCL 可利用双核（CPU、CLA）并行处理技术来显著改善控制带宽和相位裕度，降低反馈采样和 PWM 更新之间的延迟，实现更高的控制带宽和最大调制指数，提高驱动器的直流总线利用率和电机的转速范围。开发人员可通过集成的 SFRA 工具快速测量应用的频率响应，以调整转速和电流控制器。鉴于 C2000 系列 MCU 的系统级集成和高性能，此系列器件能够同时支持双轴电机驱动器要求，以更高的性能提供非常强大的位置控制。相关软件在 C2000Ware MotorControl SDK 中发布。

TIDM-02010 具有数字交错式 PFC、适用于 HVAC 的双电机控制参考设计

TIDM-02010 参考设计是一款适用于 HVAC 应用变频空调室外单元控制器的 1.5kW 双电机驱动和 PFC 控制参考设计，展示了一种对压缩机和风扇电机驱动器以及数字交错式升压 PFC 实现无传感器三相 PMSM 矢量控制的方法，可通过一个 C2000™ 微控制器满足新的效率标准。此参考设计提供的硬件和软件已经过测试，而且可随时使用，有助于加快开发，从而缩短产品上市时间。本参考设计包括硬件设计文件和软件代码。

TIDM-02012 混合动力汽车/电动汽车 HVAC eCompressor 高压电机控制参考设计

TIDM-02012 是一种高压 5kW 参考设计，专为由中等性能 C2000™ TMS320F28003x 实时 MCU 控制的混合动力汽车/电动汽车压缩机 (eCompressor) 应用而构建。它旨在评估 400V 和 800V 直流母线，迎合更高电池电压的市场趋势。基于 controlCARD 的设计使用户能够评估多个 MCU 和栅极驱动器选项，并可进行扩展以支持 C2000™ 产品系列中的其他器件，包括未来规划的器件，从而满足不断增长的网络安全、功能安全和其他汽车市场需求。

8.3.1.5 微型光伏逆变器

微型光伏逆变器包含直流/交流逆变器功率级以及一个或多个最大功率点跟踪 (MPPT) 直流/直流功率级。逆变器（直流/交流）的典型开关频率介于 20kHz-50kHz 之间，而直流/直流侧的开关频率范围可在 100kHz-200kHz 之间。可以使用各种功率级拓扑来实现这一目的，该图仅描述了典型的功率级以及控制和通信要求。C2000 微控制器采用片上 EPWM、ADC 和模拟比较器模块来实现此类微型逆变器系统的完全数字控制。

Copyright © 2024 Texas Instruments Incorporated

8.3.1.5.1 系统方框图

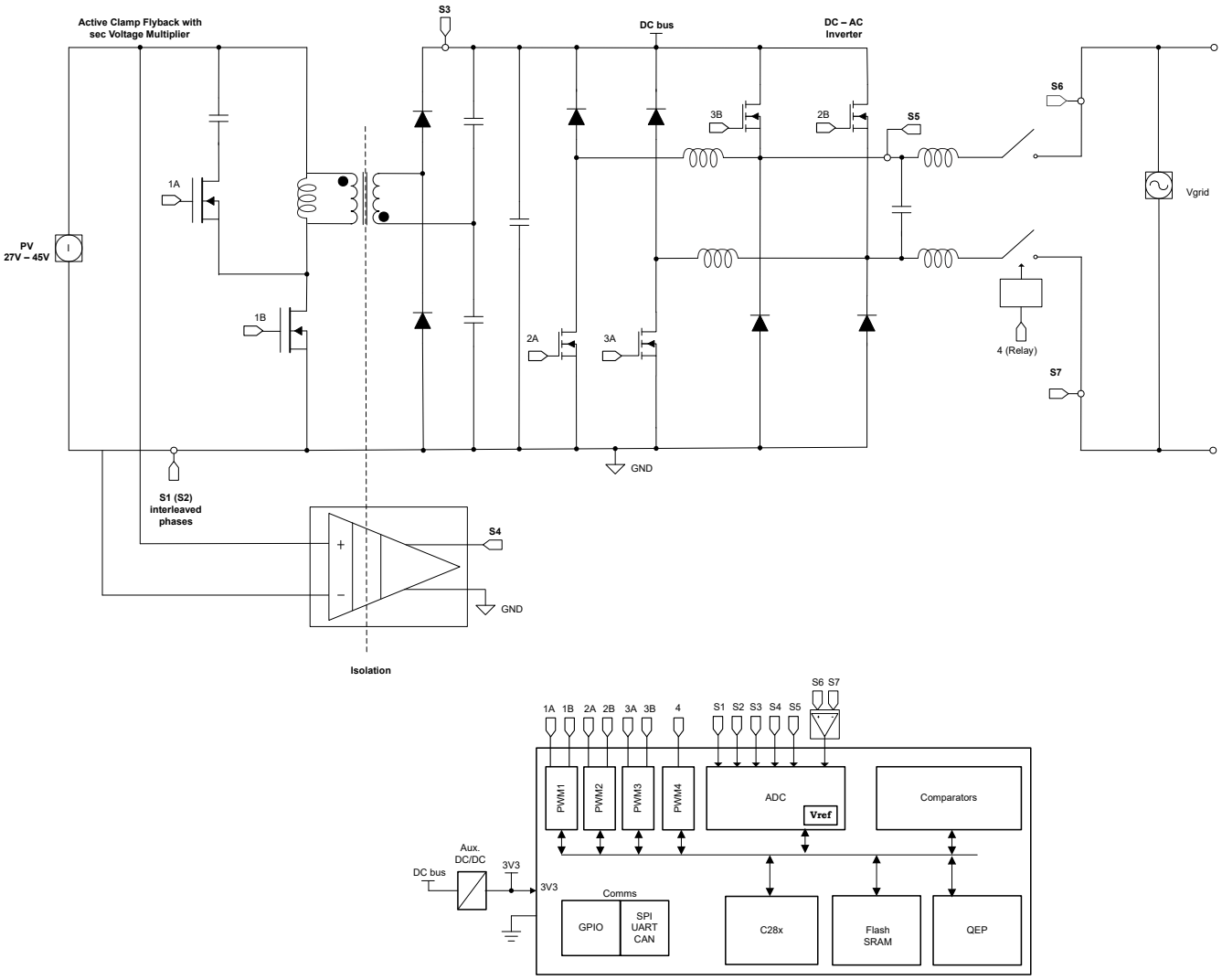


图 8-6. 微型光伏逆变器

8.3.1.5.2 微型光伏逆变器资源

参考设计和相关培训视频

TIDM-SOLARUINV 具有 MPPT 功能的并网微型光伏逆变器

此 C2000 微型光伏逆变器 EVM 硬件包含两个级。分别是：(1) 具有次级倍压器的有源钳位反激式直流/直流转换器和 (2) 直流/交流逆变器。该系统的方框图如图 1b 所示。此直流/直流转换器从 PV 电池板汲取直流电流，这样，此电池板运行在其最大功率传输点上。这要求将电池板输出，也就是 DC-DC 转换器输入保持在一个由 MPPT 算法决定的电平上。MPPT 算法可以确定用于最大功率传输的电池板输出电流（基准电流）。然后，反激式转换器的电流控制环路可确保转换器输入电流会跟踪 MPPT 基准电流。反激式转换器还为直流/直流级提供高频隔离。反激式级的输出是一条可驱动直流/交流逆变器的高压直流总线。逆变器级将直流总线保持在所需的设定点，并将受控的正弦波电流注入电网。逆变器还实现电网同步，以便保持其电流波形锁定到电网电压的相位和频率。一个具有片上 PWM、ADC 和模拟比较器模块的 C2000 Piccolo 微控制器能够实现这种微型逆变器系统的完全数字控制。

C2000™ 数字电源培训系列（视频）

Copyright © 2024 Texas Instruments Incorporated

此培训系列介绍了数字电源控制的基础知识以及如何在 C2000 微控制器上实施数字电源控制。

计算嵌入式处理器的有效使用寿命
本应用报告介绍了如何计算 TI 嵌入式处理器 (EP) 在电子系统中运行时的有效使用寿命。本文档的目标读者为希望确定 TI EP 的可靠性是否符合终端系统可靠性要求的总工程师。电迁移是建模的主要故障机制

使用 C2000™ Piccolo 微控制器的数字控制微型光伏逆变器设计
本文档介绍了使用 C2000 微控制器的数字控制微型光伏逆变器的实现细节。250W 隔离式微型逆变器设计采用 Piccolo-B (F28035) 控制卡提供所有必要的 PV 逆变器功能。此文档介绍了微型逆变器电路板上的功率级，以及一个通过验证开环运行情况和闭环运行情况来构建软件的增量式构建级别系统。此指南介绍了用于控制功率流、最大化 PV 电池板功率 (MPPT) 以及使用锁相环 (PLL) 锁定到电网的控制结构和算法，同时还介绍了德州仪器 (TI) 微型光伏逆变器套件 (TMDSOLARUINVKIT) 的硬件详细信息

适用于单相并网逆变器并采用 C2000™ 微控制器的软件锁相环设计应用报告
并网应用需要准确估算电网角度才能将电力同步馈入电网。为此需要使用一个软件锁相环 (PLL)。此应用报告讨论了软件锁相环设计中的不同挑战，并介绍了使用 C2000 控制器为单相并网应用设计锁相环的方法。

C2000WARE-DIGITALPOWER-SDK
适用于 C2000™ 微控制器 (MCU) 的 DigitalPower SDK 包含一套全面的软件基础架构、工具和文档，旨在尽可能缩短基于 C2000 MCU 的数字电源系统开发时间，适用于各种交流/直流、直流/直流和直流/交流电源应用。该软件包含可运行于 C2000 数字电源评估模块 (EVM) 的固件和适用于太阳能、电信、服务器、电动汽车充电器和工业电力输送应用的 TI Designs (TID)。DigitalPower SDK 包含数字电源应用在开发和评估等各阶段所需的所有资源

8.3.1.6 商用电信整流器

商用通信电源整流器包含功率因数校正 (PFC) 级和直流/直流转换器级。通常使用图腾柱 PFC 作为 PFC 级。对于直流/直流级，LLC 和相移全桥 (PSFB) 是两种常用的拓扑。商用通信电源整流器可采用单芯片和双芯片架构，如图 8-7 和图 8-8 所示。

PFC 级从交流电源汲取与交流电压同相的正弦波电流，并在其输出端保持稳定的直流总线电压（VDC，通常为 +400 V）。该输出电压施加到直流/直流级的输入端，可将其转换为隔离式低输出电压 Vout（通常为 48V）。

Copyright © 2024 Texas Instruments Incorporated

8.3.1.6.1 系统方框图

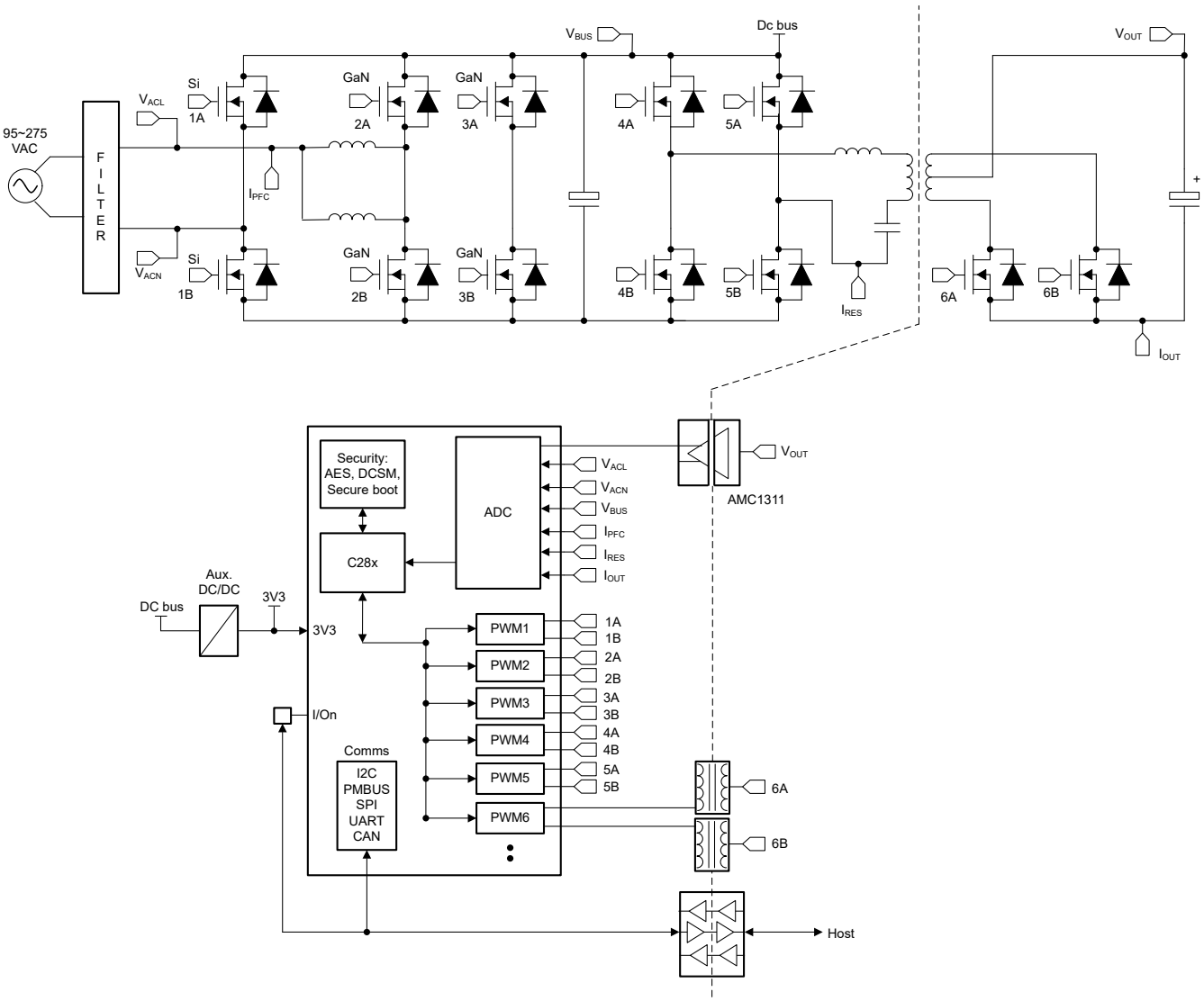


图 8-7. 商用通信电源整流器单芯片架构

Copyright © 2024 Texas Instruments Incorporated

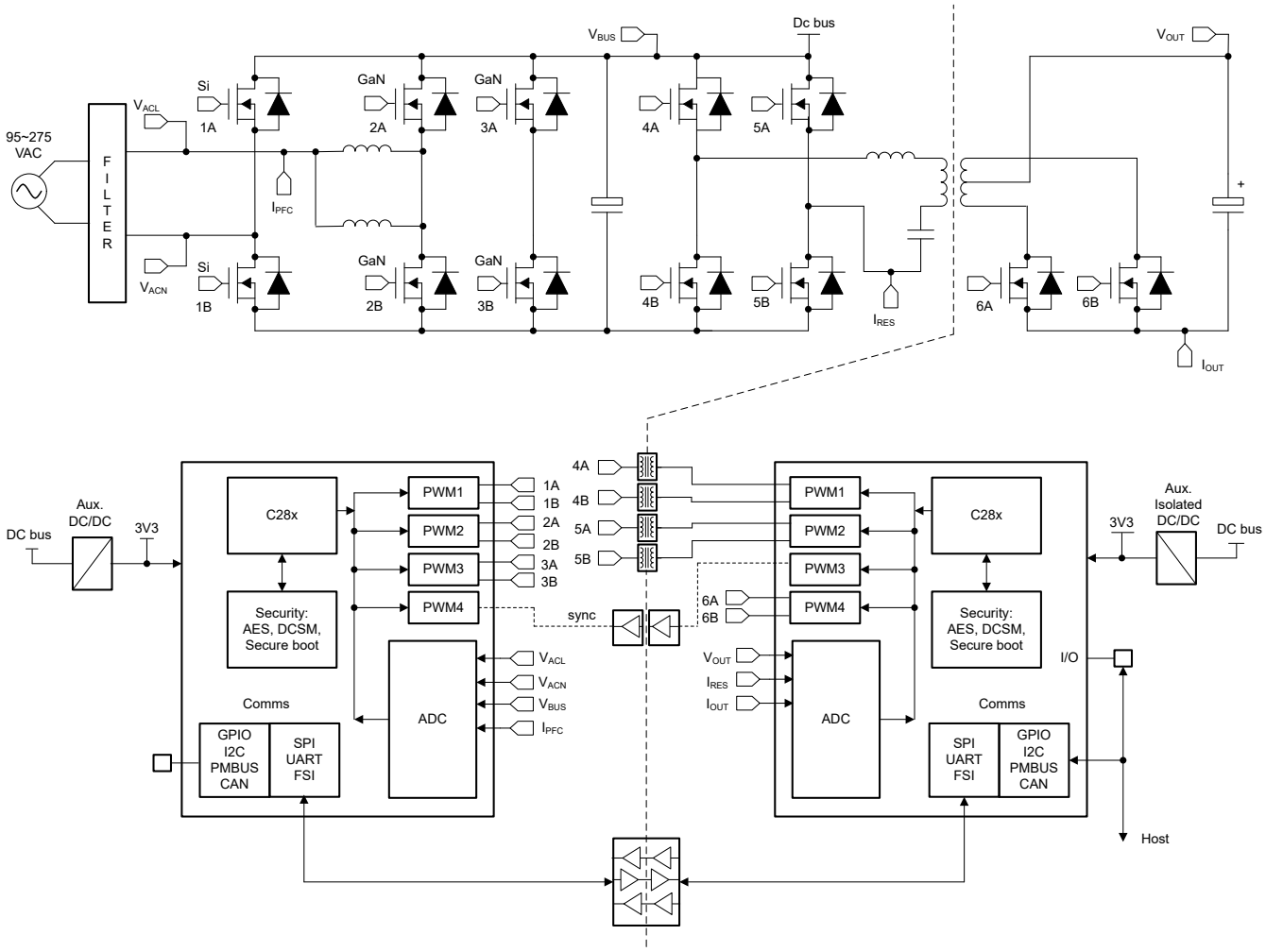


图 8-8. 商用通信电源整流器双芯片架构

8.3.1.6.2 商用通信电源整流器资源

参考设计和相关培训视频

PMP41006 由 C2000™ 和 GaN 实现 CCM 图腾柱 PFC 和电流模式 LLC 的 1kW 参考设计
此参考设计在使用 C2000™ F28004x 微控制器的半桥 LLC 级上演示了一种混合迟滞控制 (HHC) 方法，这是一种电流模式控制方法。该硬件基于 TIDA-010062 1kW、80 Plus 钛金级、GaN CCM 图腾柱无桥 PFC 和半桥 LLC 参考设计。通过另行添加感应卡实现了混合迟滞控制，从而在谐振电容器上重新生成电压。与单环路电压模式控制方法 (VMC) 相比，该 HHC LLC 级具有更好的瞬态响应和易于控制的环路设计。

PMP23126 具有有源钳位、功率密度大于 270W/in3 的 3kW 相移全桥参考设计
此参考设计是基于 GaN 的 3kW 相移全桥 (PSFB)，旨在实现更高的功率密度。该设计具有一个有源钳位，可尽可能地减小次级同步整流器 MOSFET 的电压应力，以使用具有更好品质因数 (FoM) 的额定电压较低的 MOSFET。PMP23126 在初级侧使用我们的 30mΩ GaN，在次级侧使用硅 MOSFET。与 Si MOSFET 相比，LMG3522 顶部冷却 GaN 集成了驱动器和保护功能，可在更宽的工作范围内保持 ZVS，从而实现更高的效率。PSFB 以 100kHz 的频率运行，可实现 97.74% 的峰值效率。

Copyright © 2024 Texas Instruments Incorporated

PMP23069 功率密度大于 180W/in³ 的 3.6kW 单相图腾柱无桥 PFC 参考设计

此参考设计是一款基于 GaN 的 3.6kW 单相连续导通模式 (CCM) 图腾柱功率因数校正 (PFC) 转换器，旨在实现更高的功率密度。此功率级之后是一个小型升压转换器，这有助于缩小大容量电容器的尺寸。LMG3522 采用 GaN 功率级顶部冷却封装，具有集成驱动器和保护功能，可实现更高的效率、缩小低电源尺寸和降低复杂性。F28003x、F28004x 或 F28002x C2000™ 控制器可用于所有高级控制，包括快速继电器控制、交流压降事件期间的小幅升压运行、反向电流流动保护，以及 PFC 和通用控制器之间的通信。PFC 在 65kHz 的开关频率下运行，可实现 98.7% 的峰值效率。

由 C2000™ 和 GaN 实现 CCM 图腾柱 PFC 和电流模式 LLC 的 1kW 参考设计（视频）

随着数字电源领域瞬态响应要求的不断变化，满足服务器电源和其他工业交流/直流电源等应用的严格规格已变得具有挑战性。该基于 C2000 实时 MCU 的数字混合迟滞控制 (HHC) LLC 转换器设计演示了与传统电压模式控制相比，电流模式控制如何以最少的 CPU 资源实现更好的瞬态响应，同时实现所需的性能。

TIDA-010203 采用 GaN 和 C2000™ 实时控制 MCU 的高效 PFC 级（视频）

GaN 功率 FET 和 C2000™ MCU 支持图腾柱功率因数校正 (PFC) 拓扑，可消除桥式整流器的功率损耗。

TIDA-010062 1kW、80 Plus Titanium、GaN CCM 图腾柱无桥 PFC 和半桥 LLC 参考设计

此参考设计是一种数字控制的紧凑型 1kW 交流/直流电源设计，适用于服务器电源单元 (PSU) 和通信电源整流器应用。该高效设计支持两个主要功率级，包括一个前端连续导通模式 (CCM) 图腾柱无桥功率因数校正 (PFC) 级。PFC 级采用带有集成驱动器的 LMG341x GaN FET，可在较宽的负载范围内实现更高的效率，并且符合 80 Plus Titanium 要求。此设计还支持半桥 LLC 隔离式直流/直流级，以便在 1kW 功率下获得 +12V 直流输出。两个控制卡使用 C2000™ 入门级高性能 MCU 来控制两个功率级。

TIDM-1001 使用 C2000™ MCU 的两相交错式 LLC 谐振转换器参考设计

谐振转换器是常用的直流/直流转换器，通常用于服务器、电信、汽车、工业和其他电源应用。这些转换器性能（效率、功率密度等）高，且不断提高各种行业标准要求和功率密度目标，是中高级电源应用的理想之选。此参考设计实现了 500W 的数控式两相交错 LLC 谐振转换器。该系统由单个 C2000™ 微控制器 (MCU) TMS320F280025C 控制，还可在所有工作模式下生成适合所有电源电子开关器件的 PWM 波形。此设计通过利用创新的电流共享技术，可准确地实现相间均流。

TIDM-1007 交错式 CCM 图腾柱 PFC 参考设计（视频）

此视频介绍了使用 C2000 微控制器控制图腾柱 PFC 所需的硬件要素、控制要素和软件设计。此演示中还介绍了在该参考设计上实现的测试结果。

变频、ZVS、5kW、基于 GaN 的两相图腾柱 PFC 参考设计

此参考设计是一种高密度、高效的 5kW 图腾柱功率因数校正 (PFC) 设计。设计采用两相图腾柱 PFC，能在可变频率和零电压开关 (ZVS) 条件下运行。控制器采用新拓扑和改进型三角电流模式 (iTCM)，能够减小尺寸并提高效率。设计方案为在 TMS320F280049C 微控制器内使用高性能处理内核，可在广泛的工作范围内保证效率。PFC 的运行频率范围为 100kHz 至 800kHz。峰值系统效率为 99%，该数值在 120W/in3 开放式框架功率密度下实现。

Copyright © 2024 Texas Instruments Incorporated

9 器件和文档支持

TI 提供大量的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

9.1 入门和后续步骤

C2000™ 实时控制微控制器 (MCU) 入门指南 涵盖了 C2000 器件开发中从硬件到支持资源的所有方面。除了主要的参考文档外，每个部分还提供了相关链接和资源，可帮助用户进一步了解相关信息。

如需快速了解该器件、特性、与其他器件的比较以及封装详细信息，请参阅新产品更新：C2000™ 实时 MCU 系列：F28003x 概述。

9.2 器件命名规则

为了标示产品开发周期所处的阶段，TI 为所有 TMS320 MCU 器件和支持工具的器件型号分配了前缀。每个 TMS320™ MCU 商用产品系列成员都具有以下三个前缀之一：TMX、TMP 或 TMS（例如，**TMS**320F280039C）。德州仪器 (TI) 为其支持工具推荐使用三种可能的前缀指示符中的两个：TMDX 和 TMDS。这些前缀代表了产品从工程原型（其中 TMX 针对器件，而 TMDX 针对工具）直到完全合格的生产器件和工具（其中 TMS 针对器件，而 TMDS 针对工具）的产品开发演变阶段。

器件开发演变流程：

TMX 试验器件不一定代表最终器件的电气规范标准，并且可能不使用生产组装流程。

TMP 原型器件不一定是最终器件模型，并且不一定符合最终电气标准规范。

TMS 完全合格的芯片模型的生产版本。

支持工具开发演变流程：

TMDX 还未经德州仪器 (TI) 完整内部质量测试的开发支持产品。

TMDS 完全合格的开发支持产品。

TMX 和 TMP 器件和 TMDX 开发支持工具供货时附带如下免责条款：

“开发的产品用于内部评估用途。”

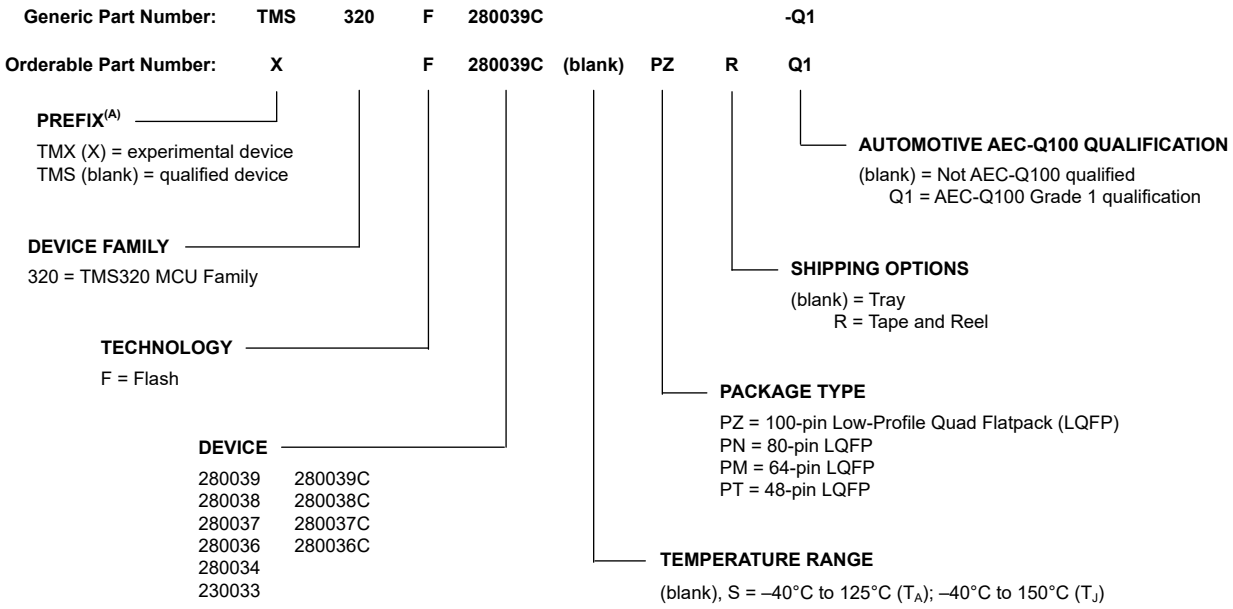
生产器件和 TMDS 开发支持工具已进行完全特性描述，并且器件的质量和可靠性已经完全论证。TI 的标准保修证书适用。

预测显示原型器件（X 或者 P）的故障率大于标准生产器件。由于这些器件的预期最终使用故障率仍未确定，故德州仪器 (TI) 建议请勿将这些器件用于任何生产系统。请仅使用合格的生产器件。

TI 的器件命名规则还包含具有器件产品系列名称的后缀。该后缀包含封装类型（例如 PN）和温度范围（例如 S）。

若要获取器件型号以及更多订购信息，请访问 TI 网站 (www.ti.com.cn) 或者联系您的 TI 销售代表。

Copyright © 2024 Texas Instruments Incorporated

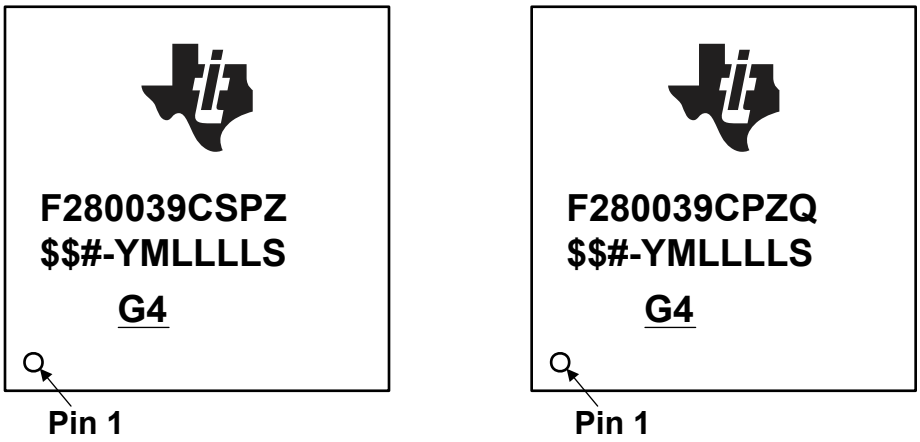


A. 可订购器件型号使用前缀 X。

图 9-1. 器件命名规则

9.3 标识

图 9-2、图 9-3、图 9-4 和图 9-5 展示了封装编号法。表 9-1 列出了器件修订版本代码。

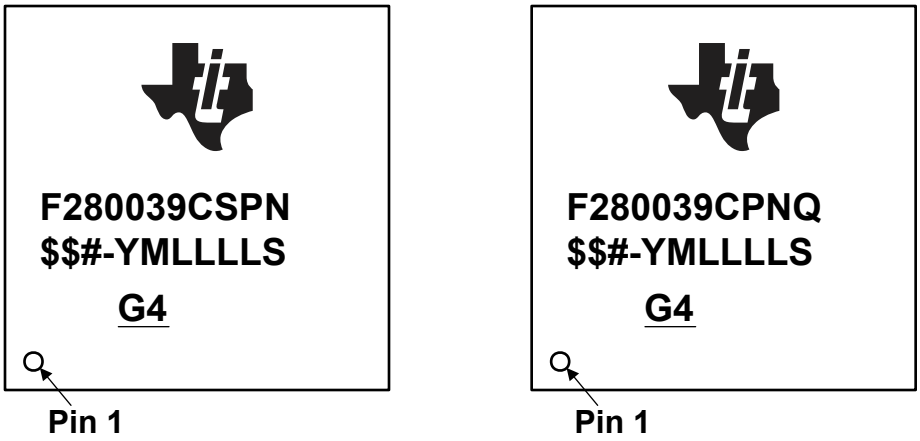


$$ = Wafer Fab Code (one or two characters)
 # = Silicon Revision Code
YM = 2-digit Year/Month Code
LLLL = Assembly Lot Code
S = Assembly Site Code per QSS 005-120

G4 = ECAT

图 9-2. PZ 封装的封装编号法

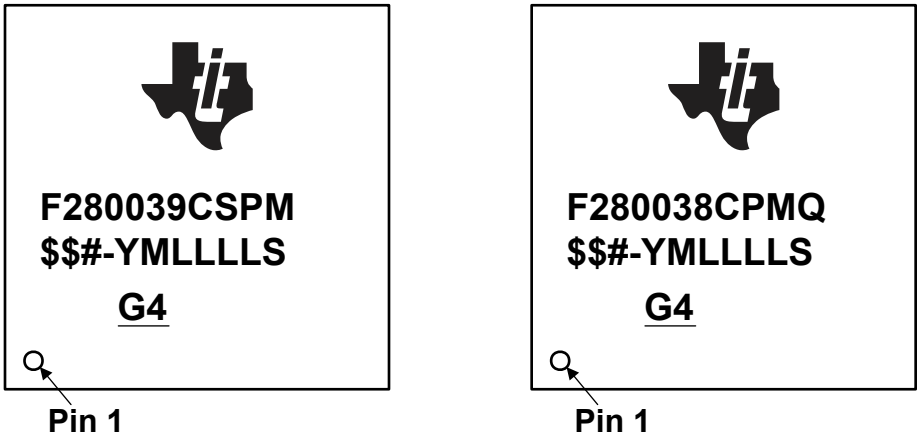
Copyright © 2024 Texas Instruments Incorporated



$$ = Wafer Fab Code (one or two characters)
# = Silicon Revision Code
YM = 2-digit Year/Month Code
LLLL = Assembly Lot Code
S = Assembly Site Code per QSS 005-120

G4 = ECAT

图 9-3. PN 封装的封装编号法

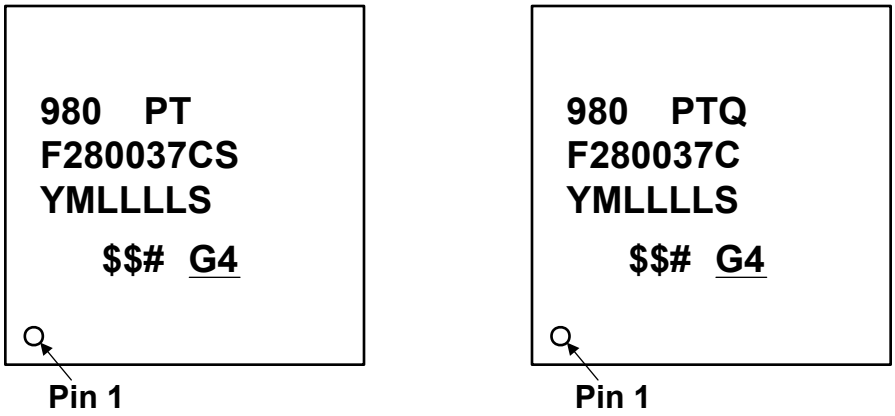


$$ = Wafer Fab Code (one or two characters)
# = Silicon Revision Code
YM = 2-digit Year/Month Code
LLLL = Assembly Lot Code
S = Assembly Site Code per QSS 005-120

G4 = ECAT

图 9-4. PM 封装的封装编号法

Copyright © 2024 Texas Instruments Incorporated



980 = TI EIA Code
YM = 2-digit Year/Month Code
LLLL = Assembly Lot Code
S = Assembly Site Code per QSS 005-120
$$ = Wafer Fab Code (one or two characters)
= Silicon Revision Code

G4 = ECAT

图 9-5. PT 封装的封装编号法

表 9-1. 版本标识

器件修订版本代码	器件修订版本	REVID(1) 地址：0x5D00C	备注
空白	0	0x0000 0000	该器件修订版本的代码为 TMX 和 TMS。

(1) 器件修订版本 ID

9.4 工具和软件

TI 提供大量的开发工具。下面是部分用于评估器件性能、生成代码和开发解决方案的工具和软件。若要查看 C2000™ 实时控制 MCU 的所有可用工具和软件，请访问 C2000 实时控制 MCU - 设计和开发页面。

开发工具

TMDSCNCD280039C controlCARD

F280039C controlCARD 是一种基于 HSEC180 controlCARD 的评估和开发工具，适用于 C2000™ F28003x 系列的微控制器产品。controlCARD 非常适合用于初始评估和系统原型设计。它们也是完整的板级模块，利用两种标准外形尺寸（100 引脚 DIMM 或 180 引脚 HSEC）中的一种来提供更低厚度的单板控制器解决方案。首次评估时，通常购买与基板捆绑或捆绑在应用套件中的 controlCARD。

HSEC180 controlCARD 基板扩展坞

TMDSHSECDOCK 作为一种基板，可通过接头引脚访问基于 HSEC180 的兼容 controlCARD 上的关键信号。该板上提供了可用于快速原型设计的试验电路板面积。通过提供的 USB 线缆或 5V 桶形电源提供电路板电源。

Copyright © 2024 Texas Instruments Incorporated

XDS110 JTAG 调试探针

德州仪器 (TI) 的 XDS110 是一款适用于 TI 嵌入式处理器的新型调试探针（仿真器）。XDS110 取代了 XDS100 系列，同时在单个仓体中支持更广泛的标准（IEEE1149.1、IEEE1149.7、SWD）。此外，所有 XDS 调试探针在所有具有嵌入式跟踪缓冲器 (ETB) 的 Arm® 和 DSP 处理器中均支持内核和系统跟踪。对于引脚上的内核跟踪，则需要使用 XDS560v2 PRO TRACE 接收器和调试探针。

XDS200 USB 调试探针

XDS200 是用于调试 TI 嵌入式器件的调试探针（仿真器）。与低成本的 XDS110 和高性能的 XDS560v2 相比，XDS200 在低成本和高性能之间实现了平衡。它在单个仓体中支持广泛的标准（IEEE1149.1、IEEE1149.7、SWD）。所有 XDS 调试探针在所有具有嵌入式跟踪缓冲器 (ETB) 的 Arm® 和 DSP 处理器中均支持内核和系统跟踪。对于引脚上的内核跟踪，则需要使用 XDS560v2 PRO TRACE 接收器和调试探针。

XDS560v2 系统跟踪 USB 调试探针

XDS560v2 是 XDS 系列调试探针中性能最高的一款，同时支持传统 JTAG 标准 (IEEE1149.1) 和 cJTAG (IEEE1149.7)。请注意，它不支持串行线调试 (SWD)。

软件工具

C2000™ 软件指南

C2000™ 实时控制器是高性能微控制器产品系列，专门用于控制电力电子产品，并在工业和汽车应用中提供高级数字信号处理功能。用于对 C2000 MCU 中的各种模块进行编程的软件组件作为 C2000 软件版本的一部分发布。本指南概述了各种软件组件和可用功能。

用于 C2000 MCU 的 C2000Ware

用于 C2000™ MCU 的 C2000Ware 是一系列紧密相关的软件和文档，旨在尽可能缩短软件开发时间。它包括特定于器件的驱动程序、库和外设示例。

Digital Power SDK

Digital Power SDK 包含一套紧密相关的软件基础架构、工具和文档，旨在尽可能缩短基于 C2000 MCU 的数字电源系统的开发时间，可适用于各种交流/直流、直流/直流和直流/交流电源应用。软件中包含可运行于 C2000 数字电源评估模块 (EVM) 和多种参考设计（适用于太阳能、电信、服务器、电动汽车充电器和工业电力输送应用）上的固件。Digital Power SDK 包含数字电源应用在开发和评估等各阶段所需的所有资源。

Motor Control SDK

Motor Control SDK 包含一系列紧密相关的软件架构、工具和文档，旨在尽可能缩短基于 C2000 MCU 的电机控制系统开发时间，适用于各种三相电机控制应用。软件中包含可运行于 C2000 电机控制评估模块 (EVM) 和多种参考设计（适用于工业驱动和其他电机控制）上的固件。Motor Control SDK 包含高性能电机控制应用在开发和评估等各阶段所需的所有资源。

适用于 C2000 微控制器的 Code Composer Studio™ (CCS) 集成开发环境 (IDE)

Code Composer Studio 是支持 TI 微控制器和嵌入式处理器产品系列的集成开发环境 (IDE)。Code Composer Studio 包含一整套用于开发和调试嵌入式应用的工具。它包含优化的 C/C++ 编译器、源代码编辑器、项目构建环境、调试器、分析器以及多种其他功能。直观的 IDE 提供了单一用户界面，带领用户完成应用开发流程的每个步骤。熟悉的工具和界面使用户能够比以前更快地上手。Code Composer Studio 将 Eclipse 软件框架的优势和 TI 高级嵌入式调试功能相结合，为嵌入式开发人员提供了一种极具吸引力且功能丰富的开发环境。

Copyright © 2024 Texas Instruments Incorporated

TI Resource Explorer
要增强您的体验，请务必查看 TI Resource Explorer 以浏览应用的示例、库和文档。

SysConfig 系统配置工具
SysConfig 包含了用于配置引脚、外设、无线电、子系统和其他元件的全面图形实用工具集。SysConfig 可助您直观地管理、发现和解决冲突，以便您有更多时间创建差异化应用。该工具的输出包括 C 头文件和代码文件，这些文件可与软件开发套件 (SDK) 示例配合使用，或用于配置定制软件。SysConfig 工具会自动选择满足输入要求的 pinmux 设置。SysConfig 工具作为独立安装程序集成在 CCS 中，也可以通过 dev.ti.com 云工具门户使用。有关 SysConfig 系统配置工具的更多信息，请访问系统配置工具页面。

C2000 第三方搜索工具
TI 与多家公司携手推出适用于 TI C2000 器件的各种解决方案和服务。这些公司可使用 C2000 器件加速量产流程。下载此搜索工具，快速浏览第三方详细信息，并寻找合适的第三方来满足您的需求。

UniFlash 独立闪存工具
UniFlash 是一款独立工具，用于通过 GUI、命令行或脚本接口对片上闪存进行编程。

C2000 代码生成工具 - 编译器
TI C2000 C/C++ 编译器和汇编语言工具支持 TI C2000 微控制器平台（包括 Concerto (F28M3xx)、入门级性能 (280xx)、高端性能浮点 (283xx) 和 C2000 定点 (2823x/280x/281x) 微控制器器件）的应用开发。

模型

您可以从产品的“设计与开发”页面下载各种模型。这些模型包括 I/O 缓冲器信息规范 (IBIS) 模型和边界扫描描述语言 (BSDL) 模型。要查看所有可用模型，请访问每个器件产品页面的“设计与开发”部分中的“设计工具与仿真”小节。

培训

为帮助设计工程师充分利用 C2000 微控制器的特性和性能，TI 开发了各种培训资源。通过利用在线培训资料和可下载的实际操作技术讲座，可方便地获得关于 C2000 微控制器系列的全方位的实际知识。这些培训资源旨在简化学习过程，同时缩短开发时间并加快产品上市速度。有关各种培训资源的更多信息，请访问 C2000™ 实时控制 MCU - 支持和培训站点。此外，C2000 Academy 课程还为新用户提供了一种快速掌握 C2000 器件及其众多特性的方法。对于刚开始使用 C2000 的用户来说，这是一个很好的切入点，可在 C2000 Academy 资源管理器页面上找到此课程。

9.5 文档支持

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知*进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

下面列出了介绍处理器、相关外设以及其他配套技术资料的最新文档。

勘误

TMS320F28003x 实时 MCU 器件勘误表介绍了有关器件的已知公告，并给出了权变措施。

Copyright © 2024 Texas Instruments Incorporated

技术参考手册

TMS320F28003x 实时微控制器技术参考手册详述了 F28003x 实时微控制器中每个外设和子系统的集成、环境、功能说明和编程模型。

CPU 用户指南

TMS320C28x CPU 和指令集参考指南介绍了 TMS320C28x 定点数字信号处理器 (DSP) 的中央处理器 (CPU) 和汇编语言指令。此参考指南还介绍了这些 DSP 上可用的仿真特性。

TMS320C28x 扩展指令集技术参考手册介绍了 TMU、VCU-II 和 FPU 加速器的架构、流水线和指令集。

外设指南

C2000 实时控制外设参考指南介绍了 28x DSP 的外设参考指南。

工具指南

TMS320C28x 汇编语言工具 v22.6.0.LTS 用户指南介绍了用于 TMS320C28x 器件的汇编语言工具（用于开发汇编语言代码的汇编器和其他工具）、汇编器指令、宏、通用目标文件格式和符号调试指令。

TMS320C28x 优化 C/C++ 编译器 v22.6.0.LTS 用户指南介绍了 TMS320C28x C/C++ 编译器。此编译器接受 ANSI 标准 C/C++ 源代码，并为 TMS320C28x 器件生成 TMS320 DSP 汇编语言源代码。

应用报告

SMT 和封装应用手册网站列出了有关 TI Surface Mount Technology (SMT) 的文档以及涵盖各种封装相关主题的应用手册。

半导体包装方法介绍了向最终用户发货时对半导体器件使用的包装方法。

计算嵌入式处理器的有效使用寿命介绍了如何计算 TI 嵌入式处理器 (EP) 在电子系统中运行时的有效使用寿命。本文档的目标读者为希望确定 TI EP 的可靠性是否符合终端系统可靠性要求的总工程师。

IBIS（I/O 缓冲器信息规范）建模简介讨论了 IBIS 的各个方面，包括其历史、优势、兼容性、模型生成流程、输入/输出结构建模中的数据要求以及未来趋势。

C2000™ 微控制器的串行闪存编程介绍了使用闪存内核和 ROM 加载程序对器件进行串行编程。

快速整数除法 – C2000™ 产品系列特性概述了不同的除法和模（余数）运算及其相关属性。

使用 C2000™ 实时微控制器的基本开发指南更深入探究了使与实时控制系统相关的 C2000 微控制器 (MCU) 脱颖而出的器件。

9.6 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

Copyright © 2024 Texas Instruments Incorporated

9.7 商标

C2000™, TMS320C2000™, TMS320™, Code Composer Studio™, and TI E2E™ are trademarks of Texas Instruments.
Bosch® is a registered trademark of Robert Bosch GmbH Corporation.
Arm® is a registered trademark of Arm Limited (or its subsidiaries) in the US and/or elsewhere.
所有商标均为其各自所有者的财产。

9.8 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.9 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

Copyright © 2024 Texas Instruments Incorporated

10 修订历史记录

Changes from NOVEMBER 30, 2022 to DECEMBER 7, 2023 **Page**

- **此“修订历史记录”列出了从 SPRSP61B 到 SPRSP61C 的更改。** 1
- **通篇：**添加了 TMS320F280033-Q1 器件 [预发布信息 (非量产数据)]。..... 1
- **通篇：**有关 TMS320F280039-Q1、TMS320F280039、TMS320F280038-Q1、TMS320F280037-Q1、TMS320F280036C-Q1、TMS320F280036-Q1、TMS320F280034-Q1 和 TMS320F280033 器件的信息现在是“量产数据”。..... 1
- **通篇：**TMS320F280039C-Q1、TMS320F280039-Q1、TMS320F280037C-Q1 和 TMS320F280034-Q1 现已采用 80 引脚 PN 封装。..... 1
- *特性* 部分：更改了“片上存储器”特性下的“安全”特性..... 1
- *特性* 部分：更新了“符合功能安全标准”特性和“安全相关认证”特性。..... 1
- *封装信息* 表：添加了此表..... 3
- *功能方框图* 图：更新了“总线图例”，将“CLU”更改为“CLA”。..... 6
- *器件比较* 表：将“片上闪存和 RAM 的代码安全性”更改为“安全性：JTAGLOCK、零引脚引导、双区域安全”。..... 8
- *器件比较* 表：将 100 引脚 PZ 封装的 ADC 通道数量从 23 个更改为 25 个。..... 8
- *器件比较* 表：TMS320F280039C-Q1、TMS320F280039-Q1、TMS320F280037C-Q1、TMS320F280034-Q1 和 TMS320F280033-Q1 现已采用 80 引脚 PN 封装。..... 8
- *引脚属性* 表：更新了 VREGENZ 的说明..... 11
- *电源和接地* 表：更新了 VREGENZ 的说明。..... 38
- *电气特性* 表：更新了 R_{OH} 和 R_{OL} 值。添加了 $R_{PULLDOWN}$ 和 R_{PULLUP}。..... 62
- *ESD 等级 - 商用* 表：为转角引脚添加了值。..... 62
- *ESD 等级 - 汽车* 表：TMS320F280039C-Q1、TMS320F280039-Q1、TMS320F280037C-Q1、TMS320F280034-Q1 和 TMS320F280033-Q1 现已采用 80 引脚 PN 封装。..... 63
- *电流消耗图* 部分：新增了该部分..... 68
- *外部监控器使用情况* 部分：更新了该部分..... 77
- *VREGENZ* 部分：更新了该部分..... 78
- *VDDIO 去耦* 部分：更新了该部分..... 78
- *VDD 去耦* 一节：更新了该部分..... 78
- *电源引脚联动* 一节：更新了该部分..... 79
- *信号引脚电源序列* 部分：更新了该部分..... 79
- *电源时序摘要和违规影响* 一节：更新了该部分..... 81
- *电源压摆率* 一节：更新了该部分..... 82
- *系统 PLL* 图：更新了图。..... 88
- *简介* 部分：更新了该部分..... 93
- *电子振荡器* 部分：更新了该部分..... 93
- *RAM 和 ROM 参数* 部分：新增了该部分..... 103
- *模数转换器 (ADC)* 部分：更新了该部分..... 127
- *ADC 电气数据和时序* 部分：更新了注释“ADC 输入应保持低于 VDDA + 0.3V…”。..... 130
- *ADC 时序参数说明* 表：将标题从 *ADC 时序参数* 更改为 *ADC 时序参数说明*更新了表..... 135
- *比较器子系统 (CMPSS) 模块* 一节：更新了该部分在“每个 CMPSS 包含”列表中添加了“两个数字滤波器，65536 最大滤波器时钟预分频”。..... 138
- *方框图* 部分：添加了段落"每个基准 12 位 DAC 均可配置为将基准电压驱动至相应比较器的负输入端"。增加了图表"参考 DAC 方框图"。..... 139
- *CMPSS DAC 动态误差* 部分：新增了该部分..... 144
- *DAC 模块方框图*：更新了图..... 145
- *增强型捕捉 (eCAP)* 一节：更新部分..... 153
- *Σ-Δ 滤波器模块 (SDFM)* 部分：更改了主滤波器使能 (MFE) 位的英文表述..... 161

Copyright © 2024 Texas Instruments Incorporated

- *模块化控制器局域网 (MCAN)* 部分：更新了 MCAN 模块功能列表 164
- *I2C 电气数据和时序* 部分：更新了“注释” 168
- *I2C 时序要求* 表：添加了脚注。 168
- *PMBus 快速模式开关特性* 表：添加了 f_{FSM_CLK}，FSM_CLK 时钟频率 171
- *PMBus 标准模式开关特性* 表：添加了 f_{FSM_CLK}，FSM_CLK 时钟频率 171
- *SCI 方框图*：更新了图 173
- *功能方框图* 图：更新了“总线图例”，将“CLU”更改为“CLA”。 198
- *外设寄存器存储器映射* 表：将表标题从“外设寄存器存储器映射 (C28)”更改为“外设寄存器存储器映射”。更新了表 203
- *器件标识寄存器* 表：将 UID_UNIQUE 从“0x0007 01F4”更改为“0x0007 020C” 207
- *三角函数加速器 (TMU)* 部分：添加了“已添加指数指令 IEXP2F32 和对数指令 LOG2F32...”段落。 209
- 在节 7.6.3 中添加了第二段 209
- *控制律加速器 (CLA)* 部分：向主要特性列表中添加了“可使用 C 编译程序进行 CLA 软件开发”。 211
- *安全* 部分：将*双代码安全模块* 部分更改为*安全* 部分。 223
- *功能安全* 部分：新增了该部分 230
- *应用、实施和布局* 部分：更改了此部分 231
- *商用通信电源整流器单芯片架构* 图：更正了下部 FET 的 EPWM 标签。 244
- *商用通信电源整流器双芯片架构* 图：更正了下部 FET 的 EPWM 标签。 244

Copyright © 2024 Texas Instruments Incorporated

11 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此数据表的浏览器版本，请查阅左侧的导航栏。

要了解关于 TI 封装的更多信息，请访问封装信息网站。

Copyright © 2024 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
F280033SPM	ACTIVE	LQFP	PM	64	160	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280033SPM	Samples
F280033SPN	ACTIVE	LQFP	PN	80	119	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280033SPN	Samples
F280033SPT	ACTIVE	LQFP	PT	48	250	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280033S PT	Samples
F280033SPZ	ACTIVE	LQFP	PZ	100	90	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280033SPZ	Samples
F280034PTRQ1	ACTIVE	LQFP	PT	48	1000	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280034 PTQ	Samples
F280034SPM	ACTIVE	LQFP	PM	64	160	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280034SPM	Samples
F280034SPN	ACTIVE	LQFP	PN	80	119	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280034SPN	Samples
F280034SPT	ACTIVE	LQFP	PT	48	250	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280034S PT	Samples
F280034SPZ	ACTIVE	LQFP	PZ	100	90	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280034SPZ	Samples
F280036CPMRQ1	ACTIVE	LQFP	PM	64	1000	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280036CPMQ	Samples
F280036PMRQ1	ACTIVE	LQFP	PM	64	1000	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280036PMQ	Samples
F280037CPTQ1	ACTIVE	LQFP	PT	48	250	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280037C PTQ	Samples
F280037CPTRQ1	ACTIVE	LQFP	PT	48	1000	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280037C PTQ	Samples
F280037CPZRQ1	ACTIVE	LQFP	PZ	100	1000	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280037CPZQ	Samples
F280037CSPM	ACTIVE	LQFP	PM	64	160	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280037CSPM	Samples
F280037CSPN	ACTIVE	LQFP	PN	80	119	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280037CSPN	Samples
F280037CSPT	ACTIVE	LQFP	PT	48	250	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280037CS PT	Samples
F280037CSPTR	ACTIVE	LQFP	PT	48	1000	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280037CS PT	Samples

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
F280037CSPZ	ACTIVE	LQFP	PZ	100	90	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280037CSPZ	Samples
F280037PTRQ1	ACTIVE	LQFP	PT	48	1000	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280037 PTQ	Samples
F280037PZRQ1	ACTIVE	LQFP	PZ	100	1000	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280037PZQ	Samples
F280037SPM	ACTIVE	LQFP	PM	64	160	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280037SPM	Samples
F280037SPMR	ACTIVE	LQFP	PM	64	1000	RoHS & Green	NIPDAU	Level-3-260C-168 HR		F280037SPM	Samples
F280037SPN	ACTIVE	LQFP	PN	80	119	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280037SPN	Samples
F280037SPNR	ACTIVE	LQFP	PN	80	1000	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280037SPN	Samples
F280037SPT	ACTIVE	LQFP	PT	48	250	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280037S PT	Samples
F280037SPZ	ACTIVE	LQFP	PZ	100	90	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280037SPZ	Samples
F280038CPMQ1	ACTIVE	LQFP	PM	64	160	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280038CPMQ	Samples
F280038CPMRQ1	ACTIVE	LQFP	PM	64	1000	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280038CPMQ	Samples
F280038PMRQ1	ACTIVE	LQFP	PM	64	1000	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280038PMQ	Samples
F280039CPNQ1	ACTIVE	LQFP	PN	80	119	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280039CPNQ	Samples
F280039CPZQ1	ACTIVE	LQFP	PZ	100	90	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280039CPZQ	Samples
F280039CPZRQ1	ACTIVE	LQFP	PZ	100	1000	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280039CPZQ	Samples
F280039CSPM	ACTIVE	LQFP	PM	64	160	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280039CSPM	Samples
F280039CSPMR	ACTIVE	LQFP	PM	64	1000	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280039CSPM	Samples
F280039CSPN	ACTIVE	LQFP	PN	80	119	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280039CSPN	Samples
F280039CSPNR	ACTIVE	LQFP	PN	80	1000	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280039CSPN	Samples
F280039CSPZ	ACTIVE	LQFP	PZ	100	90	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280039CSPZ	Samples
F280039CSPZR	ACTIVE	LQFP	PZ	100	1000	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280039CSPZ	Samples

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
F280039PZRQ1	ACTIVE	LQFP	PZ	100	1000	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280039PZQ	Samples
F280039SPM	ACTIVE	LQFP	PM	64	160	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280039SPM	Samples
F280039SPN	ACTIVE	LQFP	PN	80	119	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280039SPN	Samples
F280039SPZ	ACTIVE	LQFP	PZ	100	90	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F280039SPZ	Samples

(1) The marketing status values are defined as follows:
ACTIVE: Product device recommended for new designs.
LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.
NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.
PREVIEW: Device has been announced but is not in production. Samples may or may not be available.
OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".
RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.
Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TMS320F280034, TMS320F280034-Q1, TMS320F280037, TMS320F280037-Q1, TMS320F280037C, TMS320F280037C-Q1, TMS320F280039, TMS320F280039-Q1, TMS320F280039C, TMS320F280039C-Q1 :

- Catalog : TMS320F280034, TMS320F280037, TMS320F280037C, TMS320F280039, TMS320F280039C

- Automotive : TMS320F280034-Q1, TMS320F280037-Q1, TMS320F280037C-Q1, TMS320F280039-Q1, TMS320F280039C-Q1

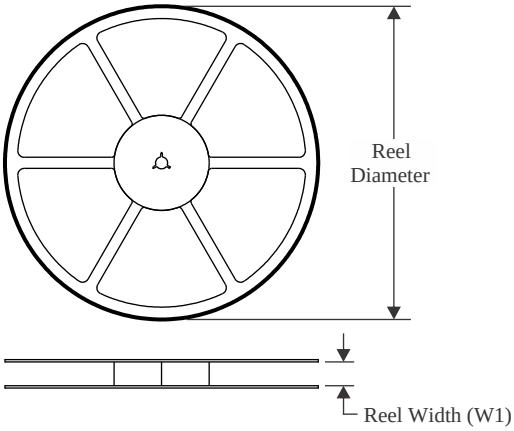
NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

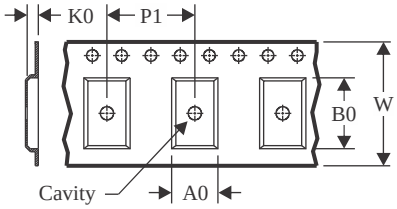
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

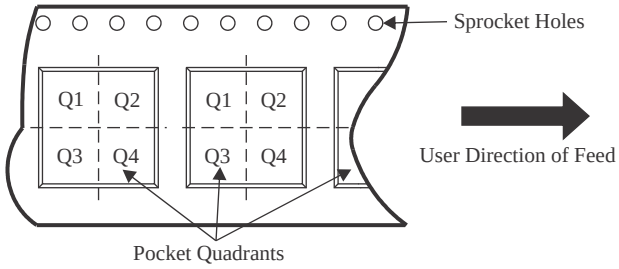


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

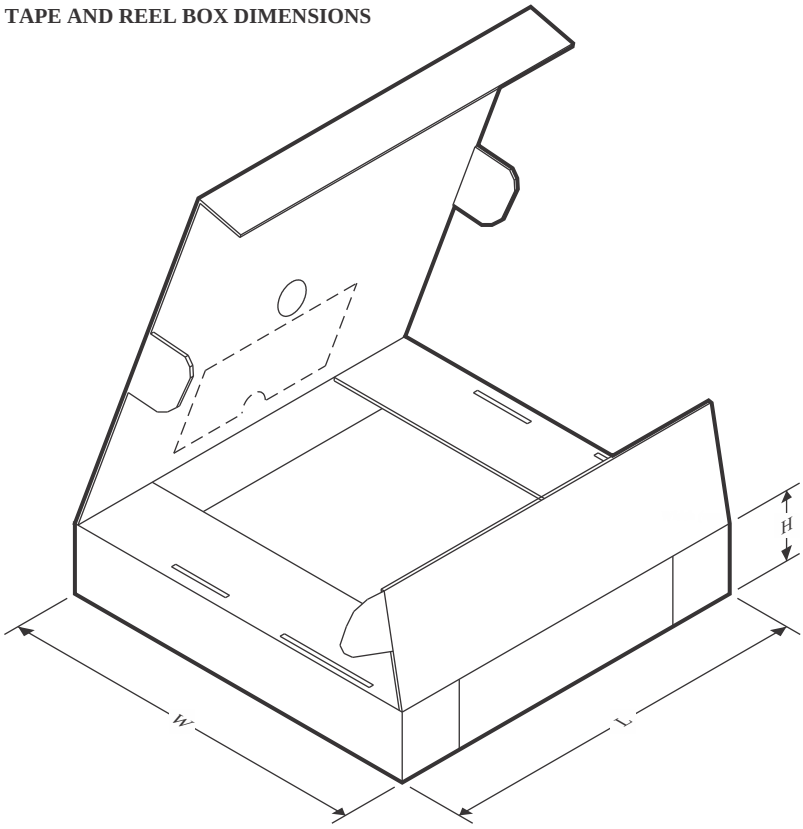


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
F280034PTRQ1	LQFP	PT	48	1000	330.0	16.4	9.6	9.6	1.9	12.0	16.0	Q2
F280036CPMRQ1	LQFP	PM	64	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
F280036PMRQ1	LQFP	PM	64	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
F280037CPTRQ1	LQFP	PT	48	1000	330.0	16.4	9.6	9.6	1.9	12.0	16.0	Q2
F280037CPZRQ1	LQFP	PZ	100	1000	330.0	32.4	16.9	16.9	2.0	24.0	32.0	Q2
F280037CSPTR	LQFP	PT	48	1000	330.0	16.4	9.6	9.6	1.9	12.0	16.0	Q2
F280037PTRQ1	LQFP	PT	48	1000	330.0	16.4	9.6	9.6	1.9	12.0	16.0	Q2
F280037PZRQ1	LQFP	PZ	100	1000	330.0	32.4	16.9	16.9	2.0	24.0	32.0	Q2
F280037SPMR	LQFP	PM	64	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
F280037SPNR	LQFP	PN	80	1000	330.0	24.4	16.0	16.0	2.0	24.0	24.0	Q2
F280038CPMRQ1	LQFP	PM	64	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
F280038PMRQ1	LQFP	PM	64	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
F280039CPZRQ1	LQFP	PZ	100	1000	330.0	32.4	16.9	16.9	2.0	24.0	32.0	Q2
F280039CSPMR	LQFP	PM	64	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
F280039CSPNR	LQFP	PN	80	1000	330.0	24.4	16.0	16.0	2.0	24.0	24.0	Q2
F280039CSPZR	LQFP	PZ	100	1000	330.0	32.4	16.9	16.9	2.0	24.0	32.0	Q2

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
F280039PZRQ1	LQFP	PZ	100	1000	330.0	32.4	16.9	16.9	2.0	24.0	32.0	Q2

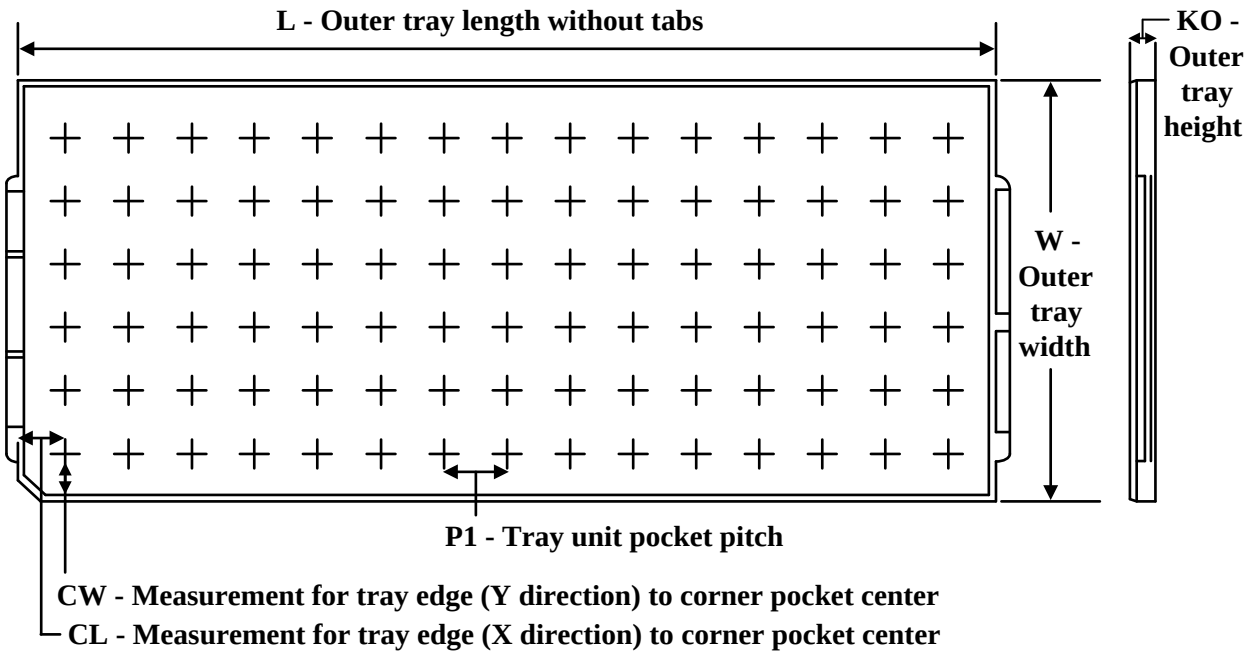
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
F280034PTRQ1	LQFP	PT	48	1000	336.6	336.6	31.8
F280036CPMRQ1	LQFP	PM	64	1000	336.6	336.6	41.3
F280036PMRQ1	LQFP	PM	64	1000	336.6	336.6	41.3
F280037CPTRQ1	LQFP	PT	48	1000	336.6	336.6	31.8
F280037CPZRQ1	LQFP	PZ	100	1000	367.0	367.0	55.0
F280037CSPTR	LQFP	PT	48	1000	336.6	336.6	31.8
F280037PTRQ1	LQFP	PT	48	1000	336.6	336.6	31.8
F280037PZRQ1	LQFP	PZ	100	1000	367.0	367.0	55.0
F280037SPMR	LQFP	PM	64	1000	336.6	336.6	41.3
F280037SPNR	LQFP	PN	80	1000	367.0	367.0	55.0
F280038CPMRQ1	LQFP	PM	64	1000	336.6	336.6	41.3
F280038PMRQ1	LQFP	PM	64	1000	336.6	336.6	41.3
F280039CPZRQ1	LQFP	PZ	100	1000	367.0	367.0	55.0
F280039CSPMR	LQFP	PM	64	1000	336.6	336.6	41.3
F280039CSPNR	LQFP	PN	80	1000	367.0	367.0	55.0
F280039CSPZR	LQFP	PZ	100	1000	367.0	367.0	55.0
F280039PZRQ1	LQFP	PZ	100	1000	367.0	367.0	55.0

TRAY



Chamfer on Tray corner indicates Pin 1 orientation of packed units.

*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
F280033SPM	PM	LQFP	64	160	8 X 20	150	315	135.9	7620	15.2	13.1	13
F280033SPN	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
F280033SPT	PT	LQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
F280033SPZ	PZ	LQFP	100	90	6 x 15	150	315	135.9	7620	20.3	15.4	15.4
F280034SPM	PM	LQFP	64	160	8 X 20	150	315	135.9	7620	15.2	13.1	13
F280034SPN	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
F280034SPT	PT	LQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
F280034SPZ	PZ	LQFP	100	90	6 x 15	150	315	135.9	7620	20.3	15.4	15.4
F280037CPTQ1	PT	LQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
F280037CSPM	PM	LQFP	64	160	8 X 20	150	315	135.9	7620	15.2	13.1	13
F280037CSPN	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
F280037CSPT	PT	LQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
F280037CSPZ	PZ	LQFP	100	90	6 x 15	150	315	135.9	7620	20.3	15.4	15.4
F280037SPM	PM	LQFP	64	160	8 X 20	150	315	135.9	7620	15.2	13.1	13
F280037SPN	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
F280037SPT	PT	LQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
F280037SPZ	PZ	LQFP	100	90	6 x 15	150	315	135.9	7620	20.3	15.4	15.4

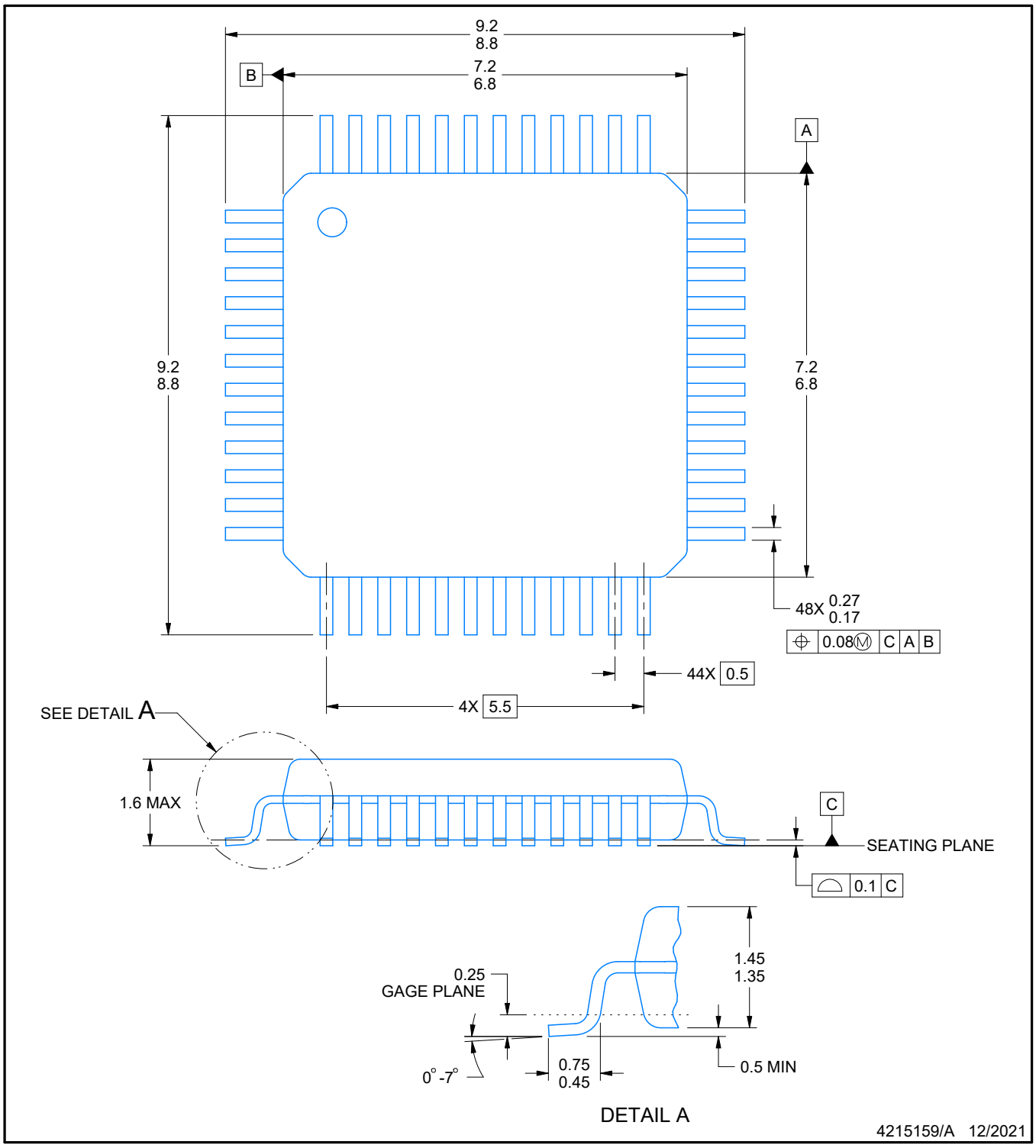
Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
F280038CPMQ1	PM	LQFP	64	160	8 X 20	150	315	135.9	7620	15.2	13.1	13
F280039CPNQ1	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
F280039CPZQ1	PZ	LQFP	100	90	6 x 15	150	315	135.9	7620	20.3	15.4	15.4
F280039CSPM	PM	LQFP	64	160	8 X 20	150	315	135.9	7620	15.2	13.1	13
F280039CSPN	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
F280039CSPZ	PZ	LQFP	100	90	6 x 15	150	315	135.9	7620	20.3	15.4	15.4
F280039SPM	PM	LQFP	64	160	8 X 20	150	315	135.9	7620	15.2	13.1	13
F280039SPN	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
F280039SPZ	PZ	LQFP	100	90	6 x 15	150	315	135.9	7620	20.3	15.4	15.4

PACKAGE OUTLINE

PT0048A

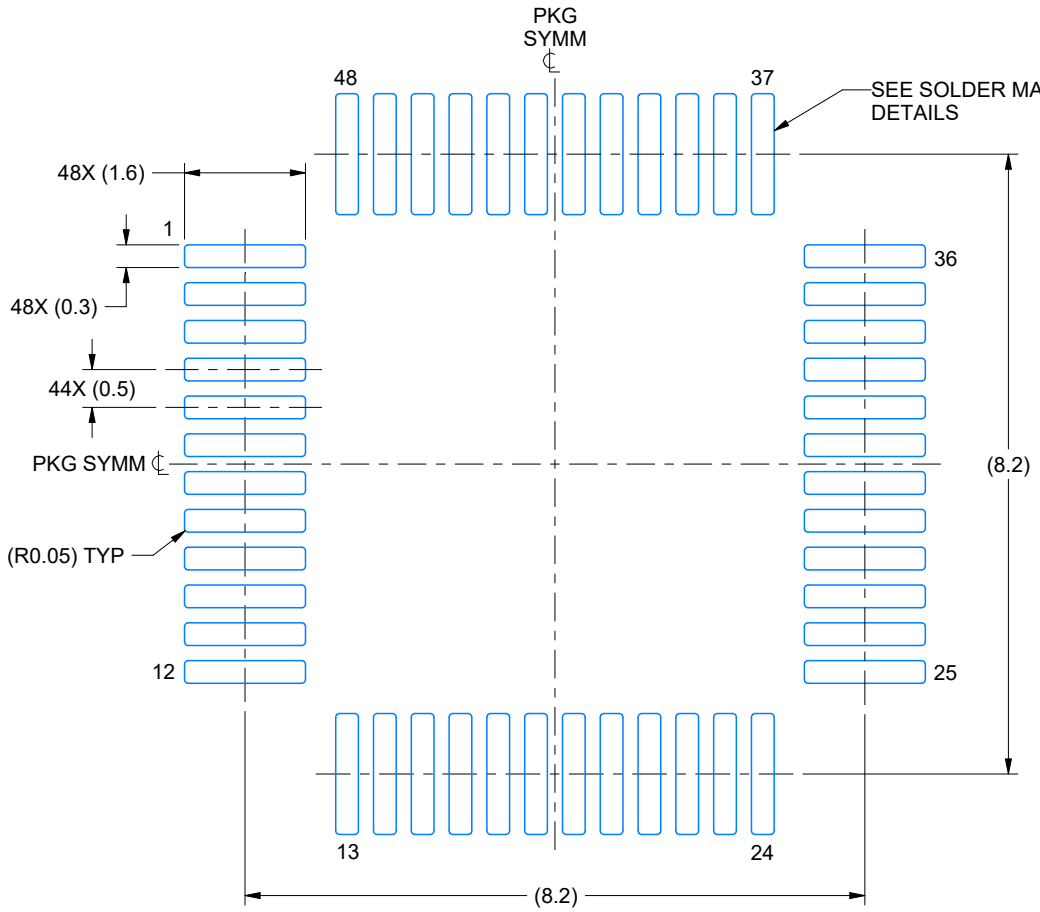
LQFP - 1.6 mm max height

LOW PROFILE QUAD FLATPACK

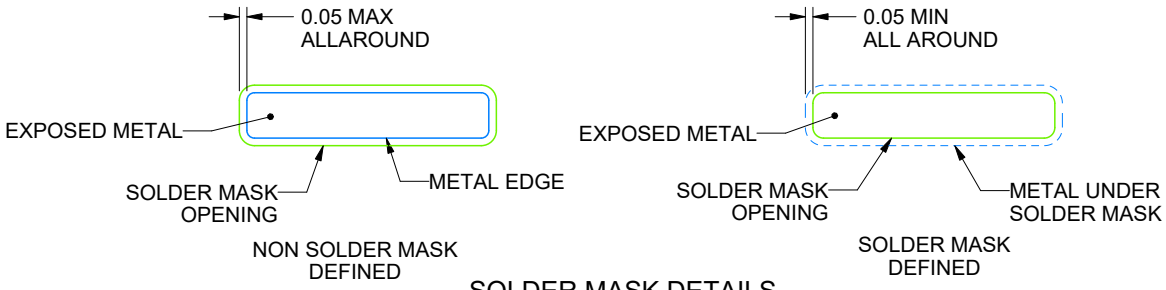


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC registration MS-026.
4. This may also be a thermally enhanced plastic package with leads conected to the die pads.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE 10.000

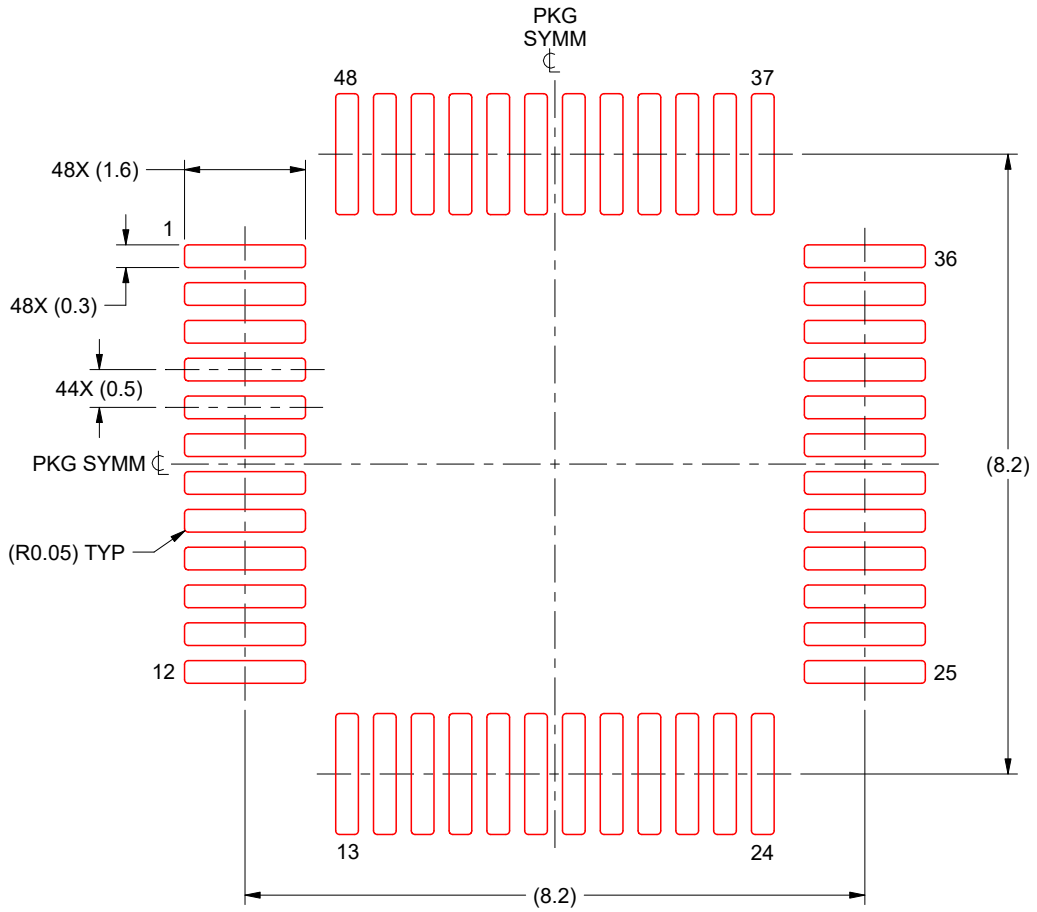


SOLDER MASK DETAILS

4215159/A 12/2021

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE: 10X

4215159/A 12/2021

NOTES: (continued)

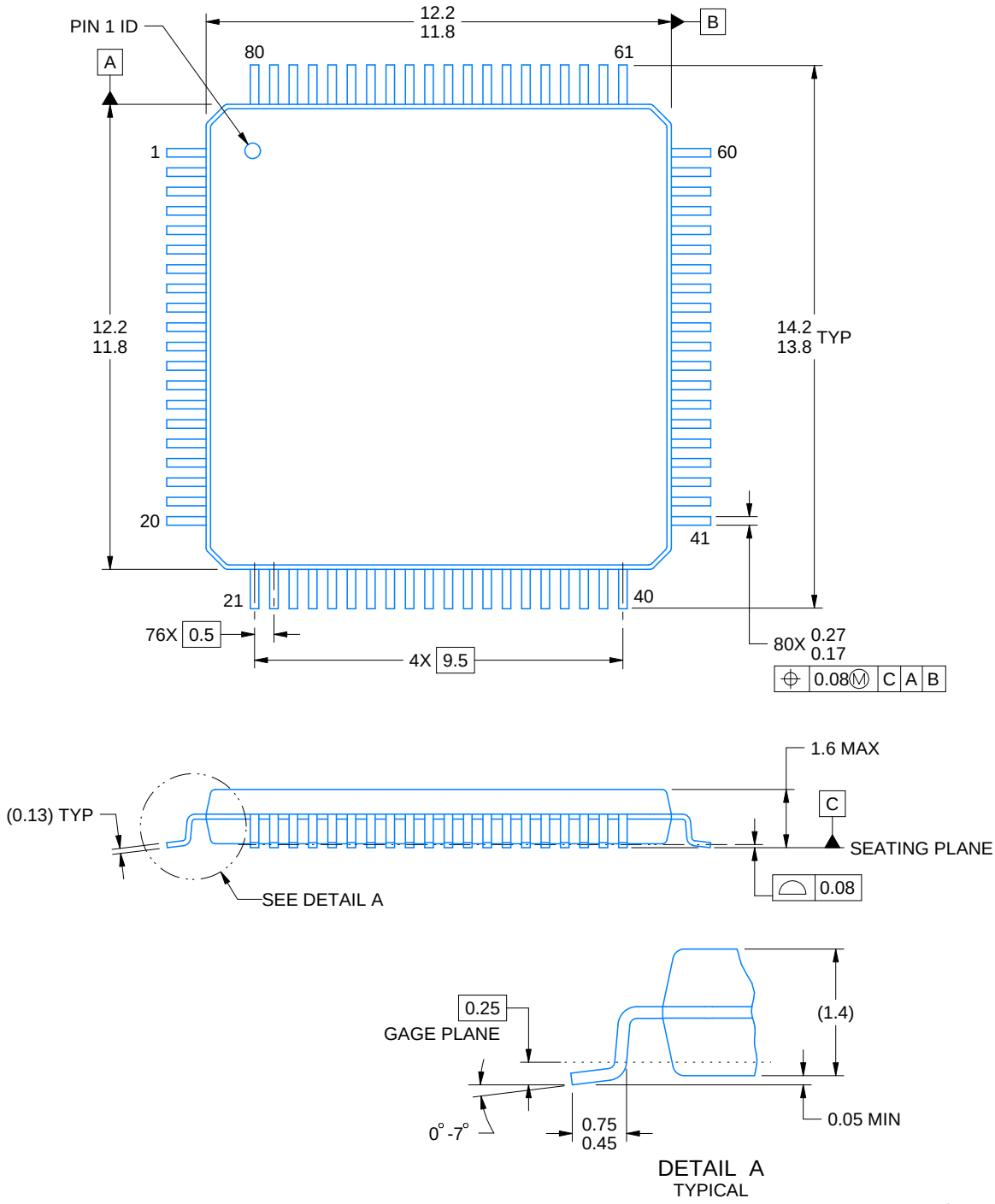
7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

PN0080A

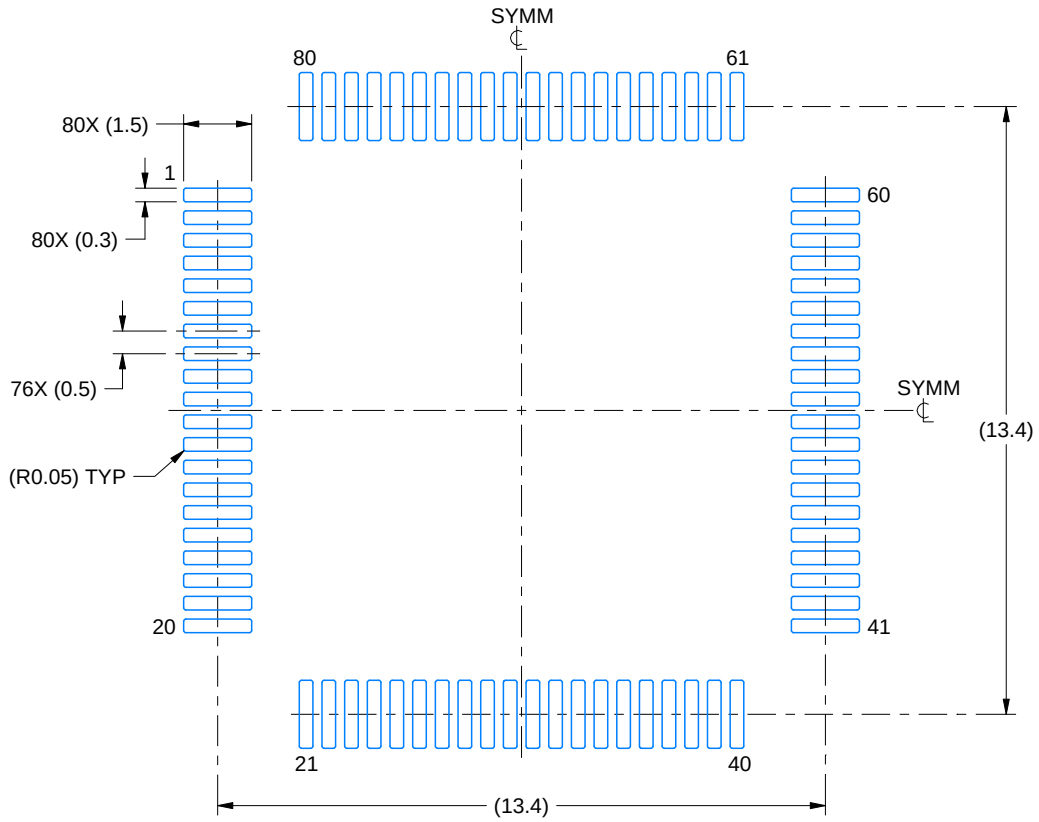
LQFP - 1.6 mm max height

PLASTIC QUAD FLATPACK

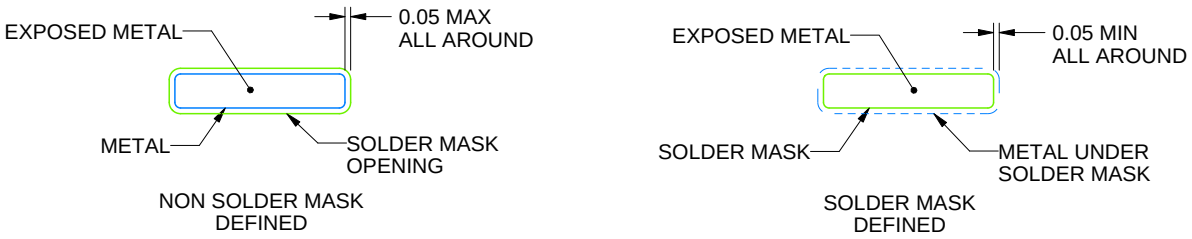


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC registration MS-026.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:6X

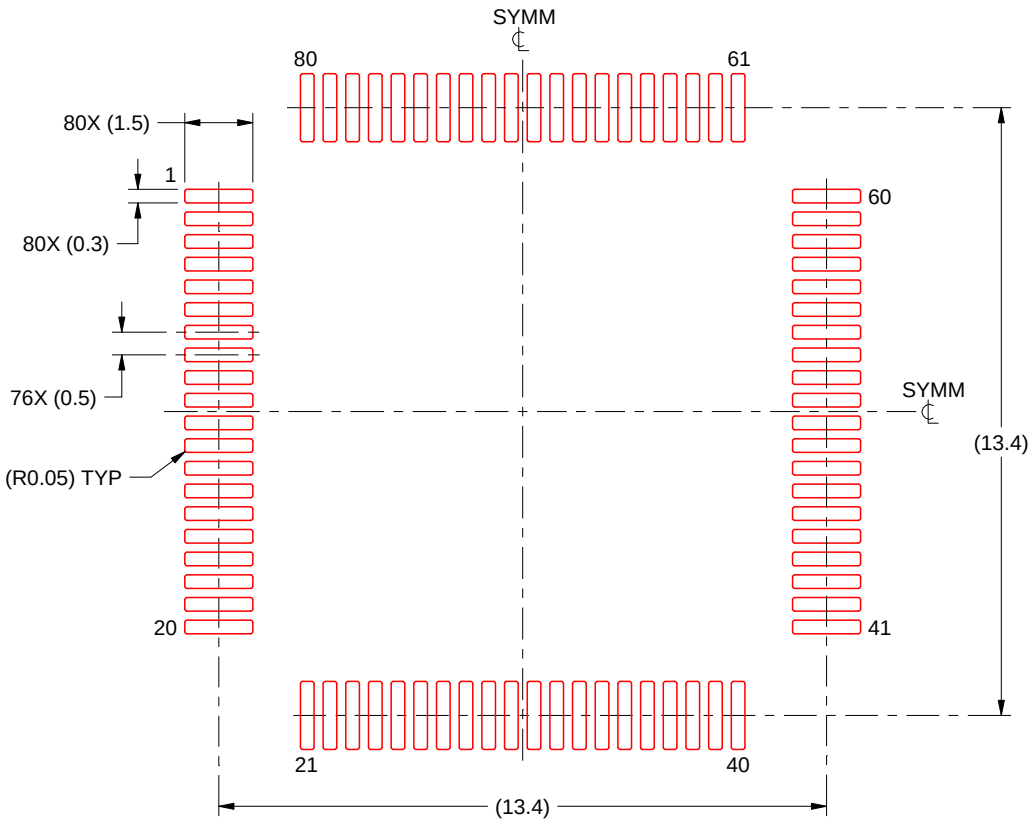


SOLDER MASK DETAILS

4215166/A 08/2022

NOTES: (continued)

4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
6. For more information, see Texas Instruments literature number SLMA004 (www.ti.com/lit/slma004).



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE:6X

4215166/A 08/2022

NOTES: (continued)

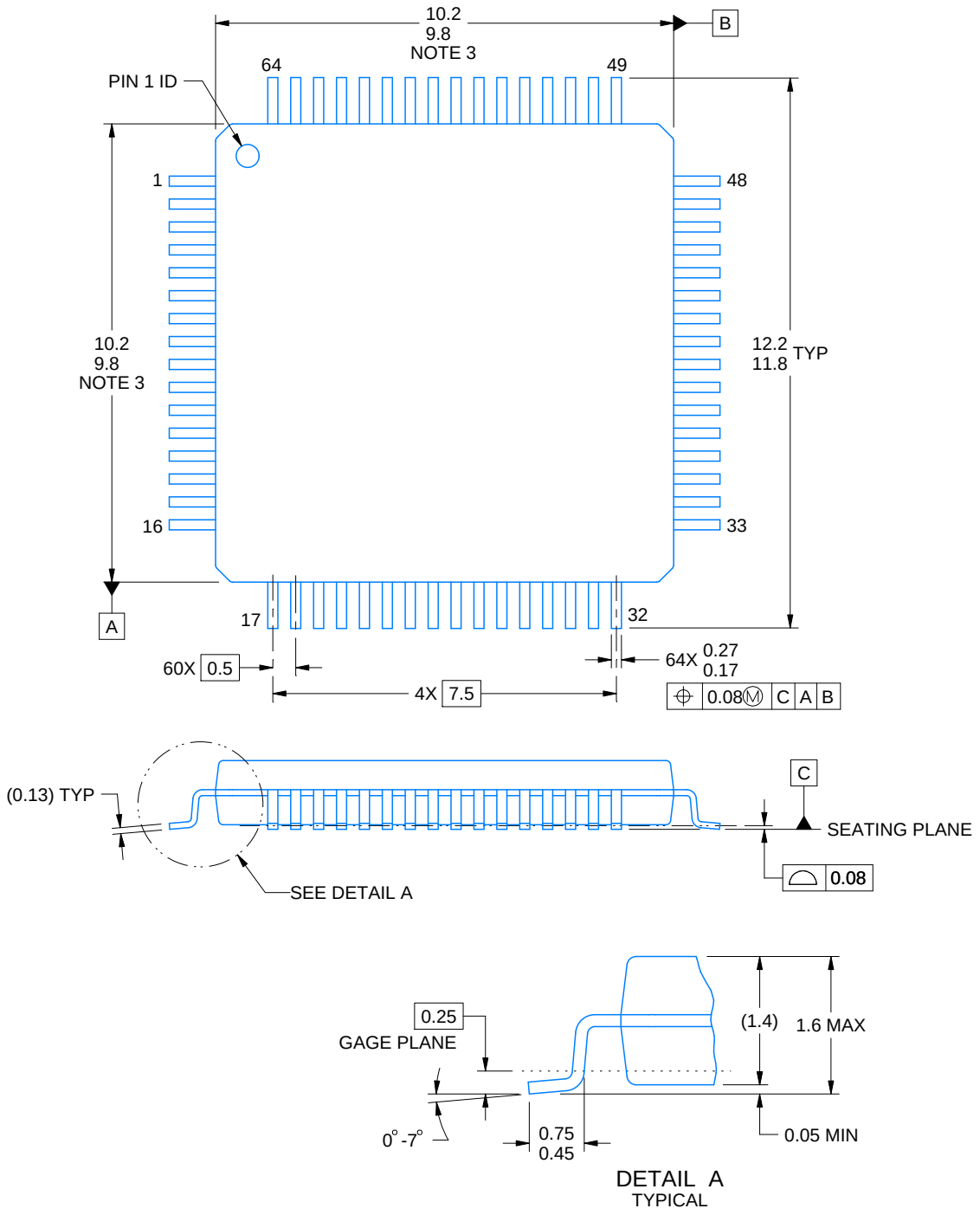
7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

PM0064A

LQFP - 1.6 mm max height

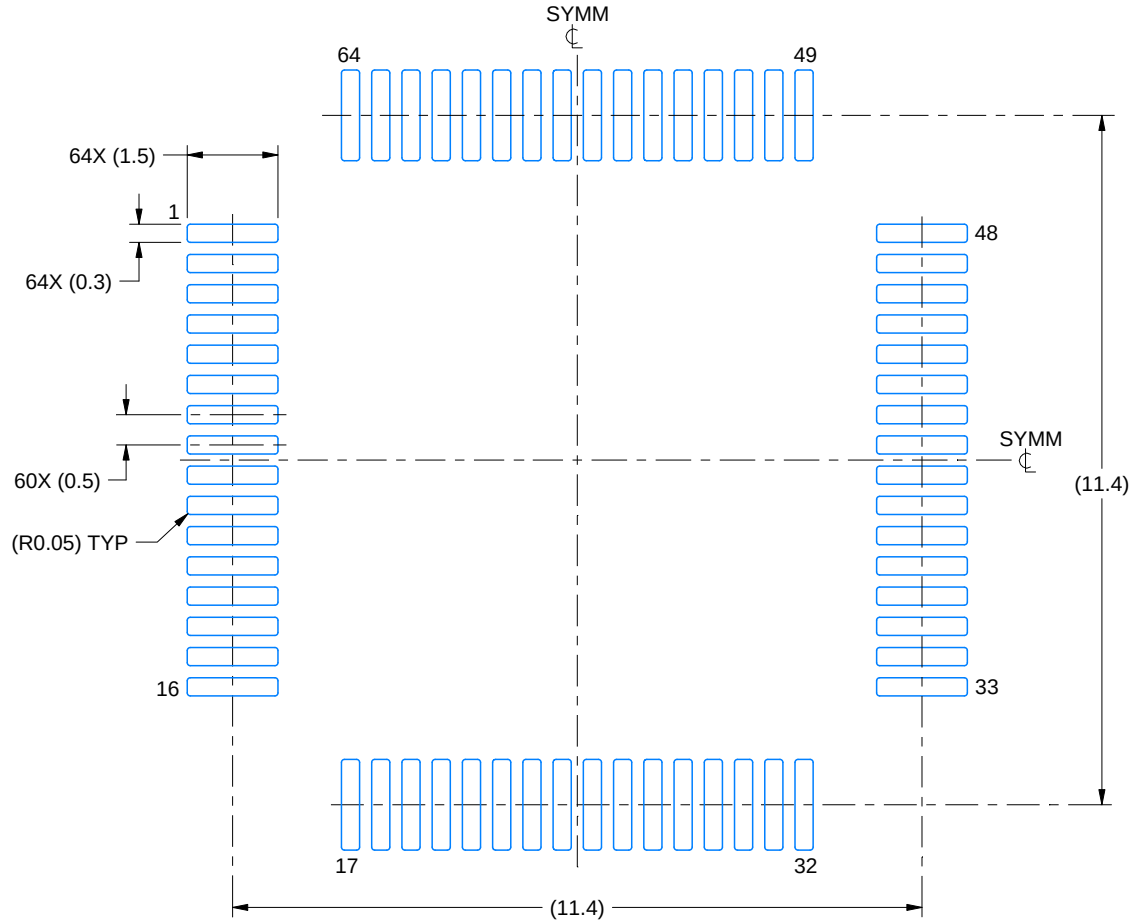
PLASTIC QUAD FLATPACK



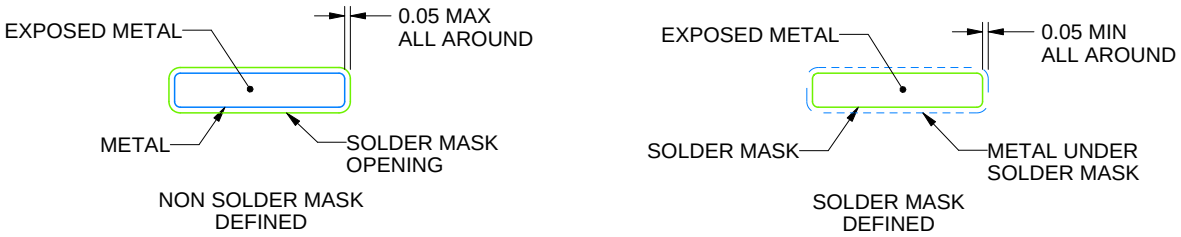
4215162/A 03/2017

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MS-026.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X

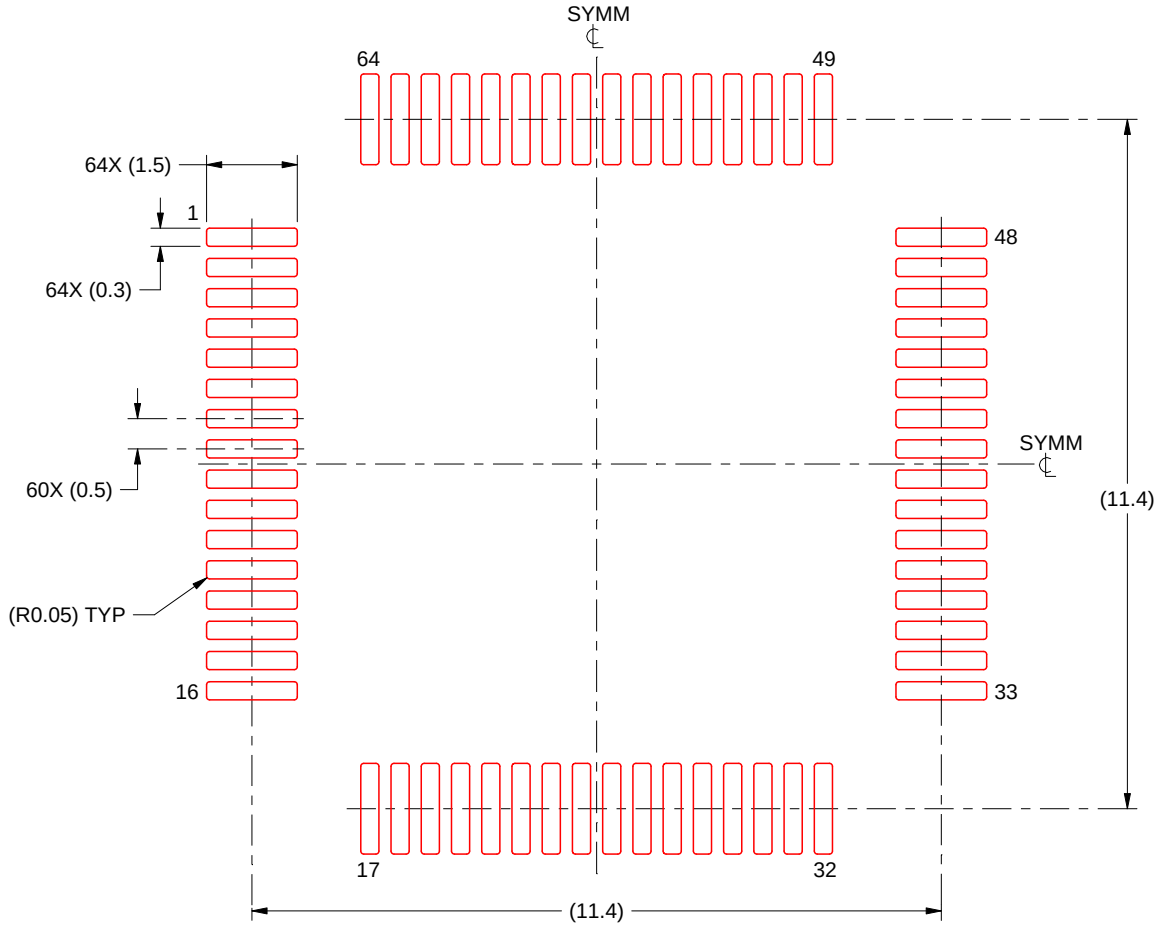


SOLDER MASK DETAILS

4215162/A 03/2017

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. For more information, see Texas Instruments literature number SLMA004 (www.ti.com/lit/slma004).



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

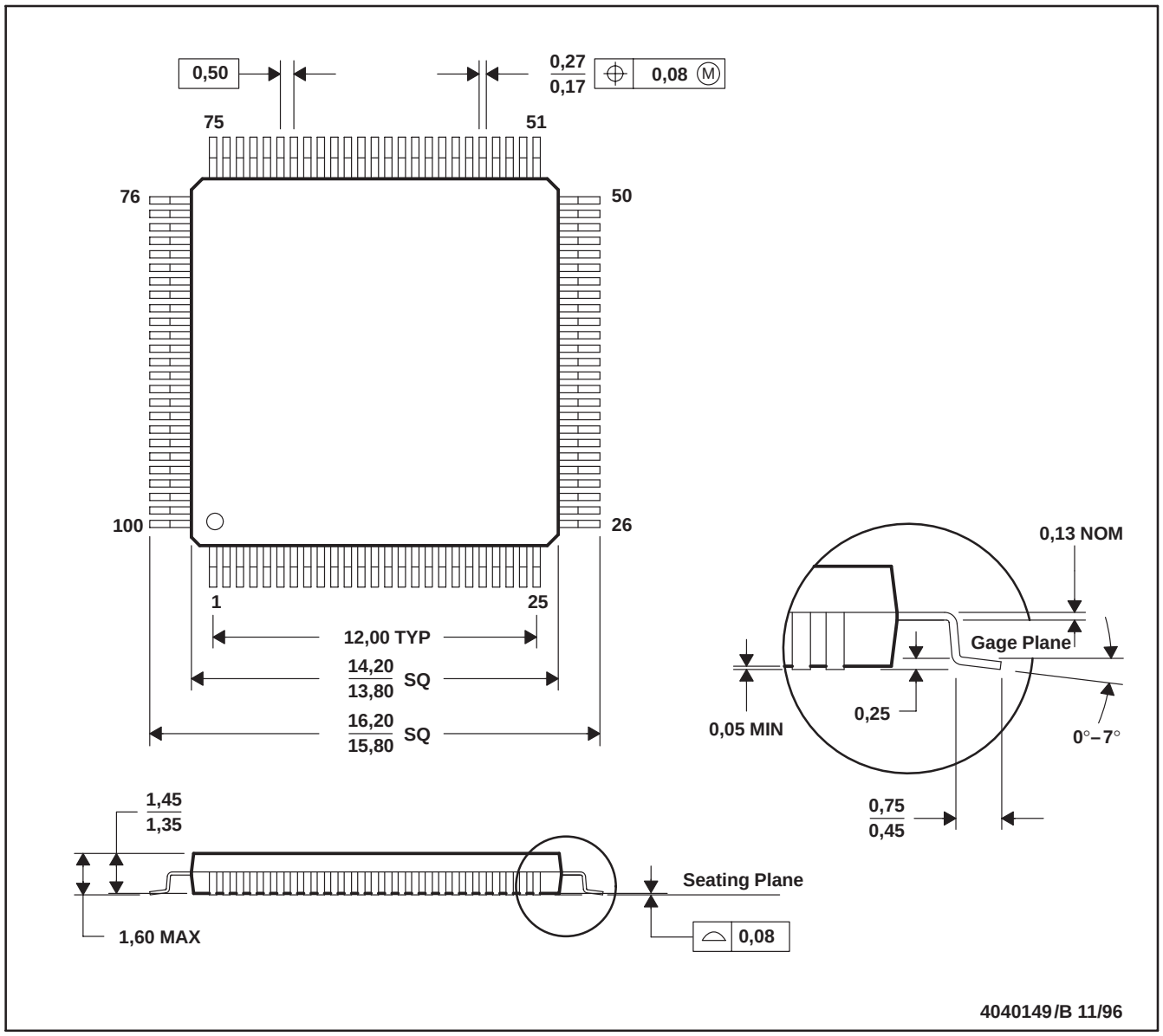
4215162/A 03/2017

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

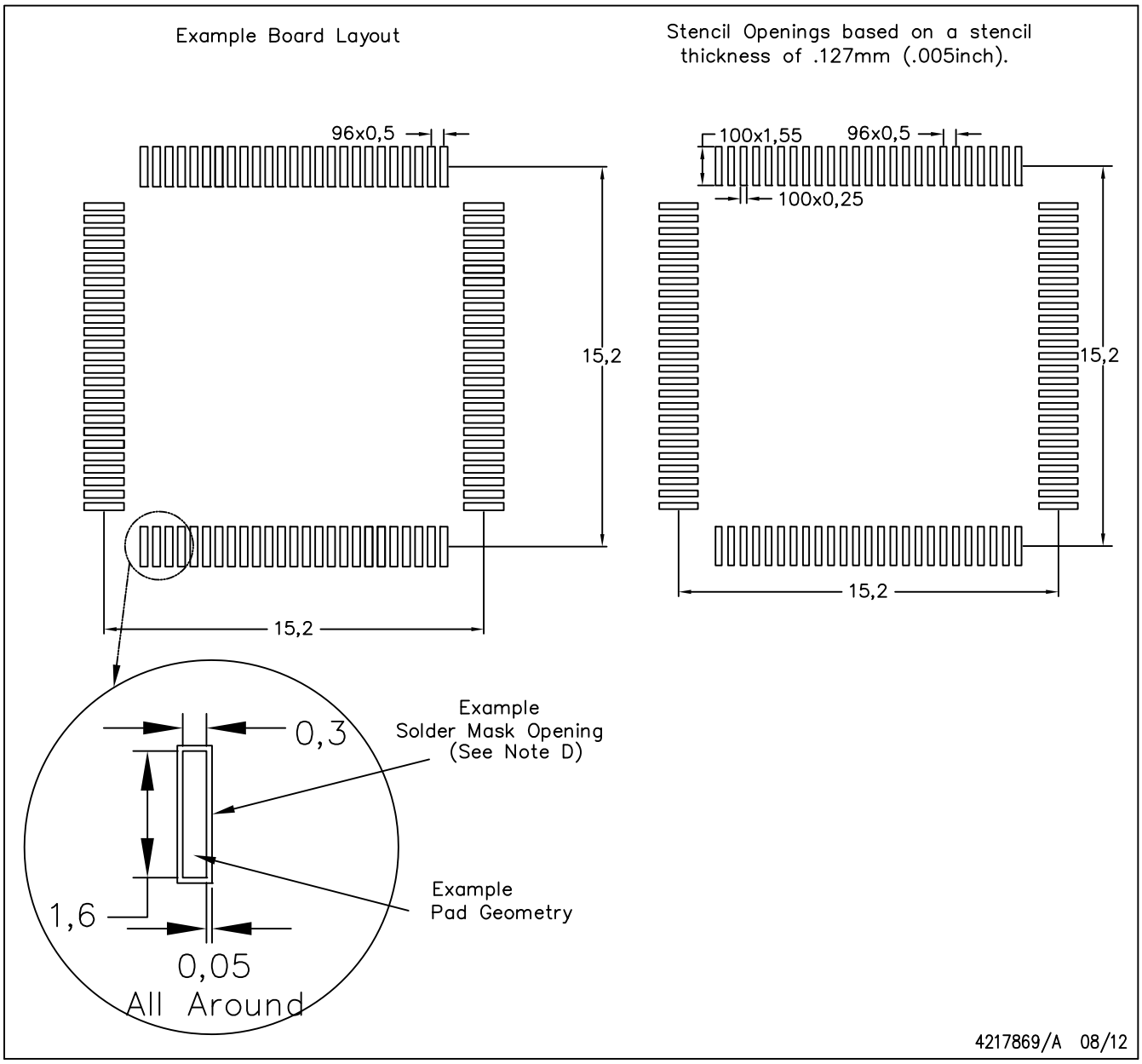
MTQF013A – OCTOBER 1994 – REVISED DECEMBER 1996

PZ (S-PQFP-G100) **PLASTIC QUAD FLATPACK**



NOTES: A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS-026

PZ (S–PQFP–G100) PLASTIC QUAD FLAT PACK



NOTES:

A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Example stencil design based on a 50% volumetric metal load solder paste. Refer to IPC–7525 for other stencil recommendations.
D. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024，德州仪器 (TI) 公司