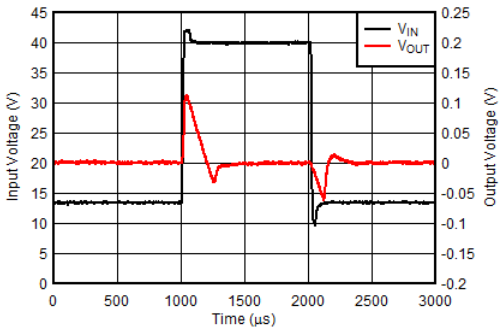
TPS7B86-Q1 具有电源正常状态指示功能的汽车类 500mA、40V、可调节低压降稳压器

1 特性

- 符合面向汽车应用的 AEC-Q100 标准：
  - 温度等级 1：–40°C 至 +125°C，T_A
  - 结温：–40°C 至 +150°C，T_J
- 输入电压范围：3 V 至 40 V（最大 42 V）
- 输出电压范围：
  - 可调输出：1.2V 至 18V
  - 固定 3.3V 和 5V 输出
- 最大输出电流：500mA
- 输出电压精度：±0.85%（最大值）
- 低压降：
  - 450 mA 时为 475 mV（最大值）(V_{OUT} ≥ 3.3V)
- 低静态电流：
  - 轻负载时为 17µA（典型值）
  - 禁用时为 5µA（最大值）
- 出色的线路瞬态响应：
  - 冷启动时出现 ±2% V_{OUT} 偏差
  - ±2% V_{OUT} 偏差（V_{IN} 压摆率 1V/µs）
- 具有可编程延迟周期的电源正常状态指示
- 与 2.2µF 或更大的电容器搭配使用时可保持稳定
- 功能安全型
  - 可提供用于功能安全系统设计的文档
- 封装选项：
  - 5 引脚 TO-252 封装：29.7°C/W $R_{\theta JA}$
  - 带有散热焊盘的 8 引脚 HSOIC-8 封装：41.8°C/W $R_{\theta JA}$

2 应用

- 可重新配置仪表组
- 车身控制模块 (BCM)
- 常开型电池连接应用：
  - 汽车网关
  - 远程免钥匙进入 (RKE)



线路瞬态响应（V_{IN} 压摆率 3V/µs）

3 说明

TPS7B86-Q1 是一款低压降线性稳压器，专用于连接汽车应用中的电池。该器件的输入电压范围高达 40V，因此可承受汽车系统可能发生的瞬变（如负载突降）。此器件在轻负载下的静态电流仅为 17µA，是为备用系统中微控制器 (MCU) 和控制器局域网 (CAN) 收发器等常开型器件供电的便捷选择。

该器件具有先进的瞬态响应，因此输出端可对负载或线路变化（例如，在冷启动条件下）作出迅速响应。此外，该器件架构新颖，可在从电压跌落恢复过程中更大限度降低输出过冲幅度。正常运行时，该器件可在整个线路、负载和温度范围内维持 ±0.85% 的直流精度。

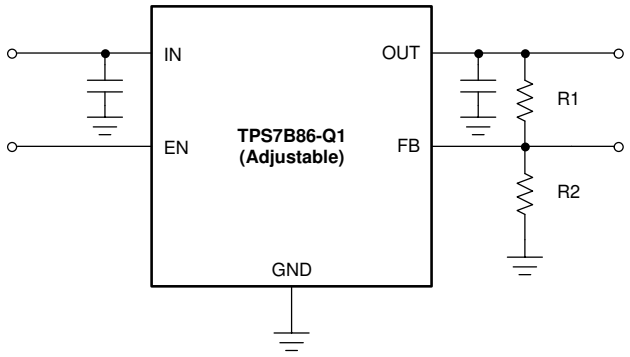
可以通过外部组件调整电源正常状态指示延迟，因此可通过配置延迟时间来适应应用特定的系统。

该器件采用导热封装，因此可将热量高效传导到电路板上。

封装信息

器件型号	封装(1)	封装尺寸(2)
TPS7B86-Q1	DDA（HSOIC，8）	4.90mm × 6.00mm
	KVU（TO-252，5）	6.60mm × 10.11mm

(1) 有关更多信息，请参阅 节 10。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



可调节输出电压

本资源的原文使用英文撰写。为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 规格 5
5.1 绝对最大额定值 5
5.2 ESD 等级 5
5.3 建议运行条件 6
5.4 热性能信息 6
5.5 电气特性 7
5.6 开关特性 8
5.7 典型特性 9
6 详细说明 16
6.1 概述 16
6.2 功能方框图 16
6.3 特性说明 18
6.4 器件功能模式 20
7 应用和实施 21
7.1 应用信息 21
7.2 典型应用 26
7.3 电源相关建议 27
7.4 布局 27
8 器件和文档支持 29
8.1 器件支持 29
8.2 接收文档更新通知 29
8.3 支持资源 29
8.4 商标 29
8.5 静电放电警告 29
8.6 术语表 29
9 修订历史记录 30
10 机械、封装和可订购信息 30

Copyright © 2026 Texas Instruments Incorporated

4 引脚配置和功能

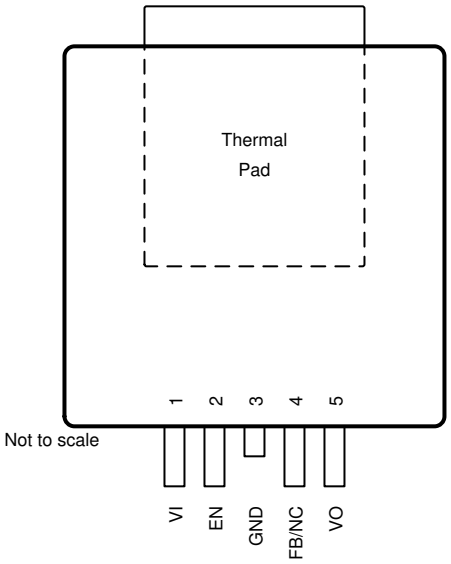


图 4-1. KVU 封装，5 引脚 TO-252（顶视图）

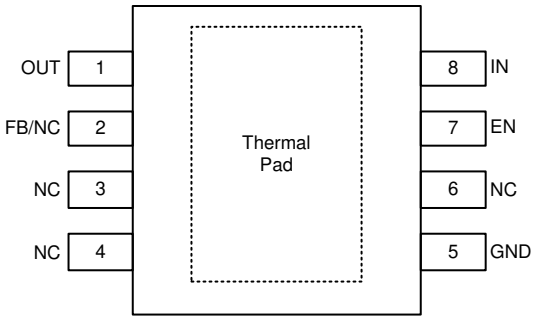


图 4-2. DDA 封装（不带 PG），
8 引脚 HSOIC（顶视图）

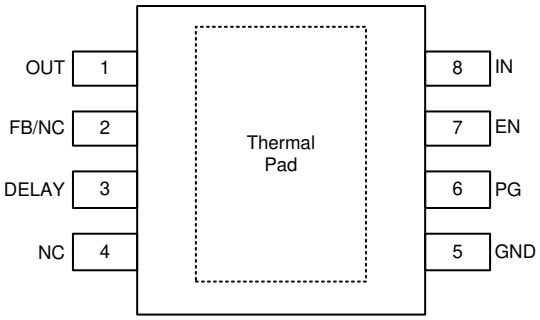


图 4-3. DDA 封装（带 PG），
8 引脚 HSOIC，B 版本（顶视图）

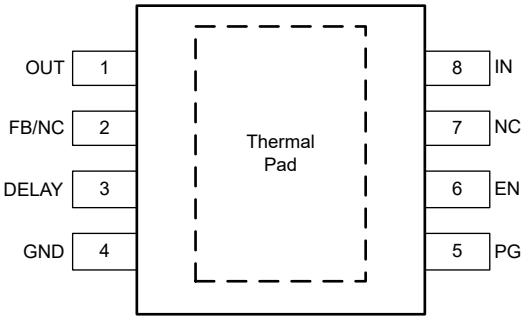


图 4-4. DDA 封装（带 PG），
8 引脚 HSOIC，D 版本（顶视图）

Copyright © 2026 Texas Instruments Incorporated

表 4-1. 引脚功能

引脚					类型(1)	说明
名称	编号					
	KVU	DDA（无 PG）	DDA（B 版本）	DDA（D 版本）		
延迟	—	—	3	3	O	电源正常延迟调整引脚。在该引脚和 GND 之间连接一个电容器来设置 PG 复位延迟。将该引脚悬空以实现默认 ($t_{(DLY_FIX)}$) 延迟。有关更多信息，请参阅*电源正常 (PG)* 部分。如果不需要此功能，请将该引脚悬空，因为将该引脚连接到 GND 会导致 GND 电流永久增加。
EN	2	7	7	6	I	使能引脚。当使能引脚低于使能逻辑输入低电平 (V_{IL}) 时，该器件被禁用。请勿将此引脚悬空，因为此引脚为高阻抗。如果保持悬空，该引脚可使器件启用或禁用。
FB/NC	4	2	2	2	I	当使用外部电阻分压器时，此引脚是反馈引脚；当使用具有固定输出电压的器件时，此引脚是 NC 引脚。使用可调器件时，必须通过电阻分压器将此引脚连接到输出，以使该器件正常工作。若采用固定输出模式，该引脚既可以保持悬空状态，也可以连接到 GND。
GND	3	5	5	4	G	接地引脚。需通过低阻抗连接将此引脚连接到散热焊盘。
IN	1	8	8	8	P	输入电源电压引脚。为了获得理想瞬态响应并尽可能减小输入阻抗，请在 IN 到 GND 之间使用建议值或更大的陶瓷电容器，如*建议运行条件*表和*输入电容器*部分所示。将输入电容器放置在尽可能靠近器件的输入的位置上。
NC	—	3、4、6	4	7	—	无内部连接。该引脚可保持悬空或连接至 GND 以获得最佳散热性能。
OUT	5	1	1	1	O	稳压输出电压引脚。需要在 OUT 到 GND 之间连接一个电容器以确保稳定性。为获得出色的瞬态响应，请使用标称推荐值或从 OUT 到 GND 的更大陶瓷电容器，如*建议运行条件*表和*输出电容器*部分所示。将此输出电容器尽可能靠近器件输出端放置。如果使用高等效串联电阻 (ESR) 电容器，则使用 100nF 陶瓷电容器将输出去耦。
PG	—	—	6	5	O	高电平有效、电源正常引脚。开漏输出指示输出电压何时达到目标的 $V_{PG(TH,RISING)}$。使用前馈电容可能会干扰 PG（电源正常）功能。有关更多信息，请参阅*电源正常 (PG)* 部分。
散热焊盘	焊盘	焊盘	焊盘	焊盘	—	散热焊盘。将焊盘连接到 GND 以获得尽可能出色的热性能。有关更多信息，请参阅*布局*部分。

(1) I = 输入；O = 输出；P = 电源；G = 接地。

Copyright © 2026 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
V_{IN}	非稳压输入	-0.3	42	V
EN	使能输入	-0.3	V_{IN} + 2V(3)	V
V_{OUT}	经调节的输出	-0.3	V_{IN} + 0.3V(2)	V
FB	反馈	-0.3	20	V
延迟	复位延迟输入，电源正常可调节阈值	-0.3	6	V
PG	电源正常状态输出	-0.3	20	V
T_J	工作结温	-40	150	°C
T_{stg}	贮存温度	-65	150	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。“绝对最大额定值”并不表示器件在这些条件下或在“建议运行条件”以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能，并缩短器件寿命
(2) 绝对最大额定值为 V_{IN} + 0.3V 或 20V（以较小者为准）
(3) 绝对最大额定值为 V_{IN} + 2V 或 42V（以较小者为准）

5.2 ESD 等级

				值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 标准(1)		±2000	V
		充电设备模型 (CDM)，符合 AEC Q100-011 标准	所有引脚	±500	
			转角引脚	±750	

(1) AEC Q100-002 指示 HBM 应力应符合 ANSI/ESDA/JEDEC JS-001 规范。

Copyright © 2026 Texas Instruments Incorporated

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	典型值	最大值	单位
V_{IN}	输入电压	3		40	V
V_{OUT}	输出电压	1.2		18	V
I_{OUT}	输出电流	0		500	mA
F_{EN}	使能引脚频率(1)			5	kHz
V_{EN}	使能引脚电压	0		V_{IN} + 1V (4)	V
V_{Delay}	延迟引脚电压，电源正常可调节阈值	0		5.5	V
V_{PG}	电源正常状态输出引脚	0		18	V
C_{FF}	前馈电容器	0		1	µF
C_{OUT}	输出电容器(3)	2.2		220	µF
ESR	输出电容器 ESR 要求	0.001		2	Ω
C_{IN}	输入电容器(2)	0.1	1		µF
C_{Delay}	电源正常延迟电容器			1	µF
T_J	工作结温	-40		150	°C

(1) EN 引脚上的最短脉冲时间为 100µs。
(2) 为确保强大的 EMI 性能，最小输入电容为 500nF。
(3) 为了实现稳定性，需要最小值为 1µF 的有效输出电容。
(4) 最大建议工作电压为 V_{IN} + 1V 或 40V（以较小者为准）

5.4 热性能信息

热指标(1)(2)		TPS7B86-Q1			单位
		KVU	DDA		
		5 引脚	8 引脚（ASO：ASE）(3)	8 引脚（ASO：FMX）(3)	
$R_{\theta JA}$	结至环境热阻	29.7	41.8	42.6	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	40.2	55	57.5	°C/W
$R_{\theta JB}$	结至电路板热阻	8.6	17.3	17.8	°C/W
Ψ_{JT}	结至顶部特征参数	2.9	4.5	5.6	°C/W
Ψ_{JB}	结至电路板特征参数	8.5	17.3	17.9	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	1.5	5.7	7.5	°C/W

(1) 此热数据基于 JEDEC 标准高 K 尺寸 JESD 51-7。这是一块具有 2 盎司覆铜的四层板（两层信号层、两层平面层）。铜箔圆配被焊接到散热焊垫上。正确的连接工艺也必须合并在一起。
(2) 有关新旧热指标的更多信息，请参阅该应用手册。
(3) 有关 ASO 的更多信息，请参阅命名规则表

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性

规定条件如下（除非另有说明）：T_J = –40°C 至 +150°C，V_{IN} = 13.5V，I_{OUT} = 0mA，C_{OUT} = 2.2µF，1mΩ < C_{OUT} ESR < 2Ω，C_{IN} = 1µF，以及 V_{EN} = 2V；典型值条件为 T_J = 25°C

参数		测试条件		最小值	典型值	最大值	单位
V_{OUT}	稳压输出（DDA 封装）	V_{IN} – V_{OUT} = 1V 至 40V，I_{OUT}= 100µA 至 450mA，T_J = 25°C(1)		-0.75		0.75	%
		V_{IN} – V_{OUT} = 1V 至 40V，I_{OUT}= 100µA 至 500mA，T_J = 25°C(1)		-0.75		0.75	
		V_{IN} = V_{OUT} + 1V 至 40V，I_{OUT} = 100µA 至 450mA(1)		-0.85		0.85	
		V_{IN} = V_{OUT} + 1V 至 40V，I_{OUT} = 100µA 至 500mA(1)		-0.85		0.85	
V_{OUT}	稳压输出（KVU 封装）	V_{IN} – V_{OUT} = 1V 至 40V，I_{OUT}= 100µA 至 450mA，T_J = 25°C(1)		-0.85		0.85	%
		V_{IN} – V_{OUT} = 1V 至 40V，I_{OUT}= 100µA 至 500mA，T_J = 25°C(1)		-0.85		0.85	
		V_{IN} = V_{OUT} + 1V 至 40V，I_{OUT} = 100µA 至 450mA(1)		-1.15		1.15	
		V_{IN} = V_{OUT} + 1V 至 40V，I_{OUT} = 100µA 至 500mA(1)		-1.15		1.15	
$\Delta V_{OUT(\Delta IOUT)}$	负载调节（B 版本）	V_{IN} = V_{OUT} + 1V，I_{OUT} = 100µA 至 450mA，V_{OUT} ≥ 3.3V				0.45	%
		V_{IN} = V_{OUT} + 1V，I_{OUT} = 100µA 至 500mA，V_{OUT} ≥ 3.3V				0.475	%
$\Delta V_{OUT(\Delta IOUT)}$	负载调整率	V_{IN} = V_{OUT} + 1V，I_{OUT} = 100µA 至 450mA，V_{OUT} ≥ 3.3V				0.425	%
		V_{IN} = V_{OUT} + 1V，I_{OUT} = 100µA 至 500mA，V_{OUT} ≥ 3.3V				0.45	
$\Delta V_{OUT(\Delta IOUT)}$	负载调整率（仅可调节输出）	V_{IN} = V_{OUT} + 1V，I_{OUT} = 100µA 至 450mA，V_{OUT} < 3.3V				0.625	%
		V_{IN} = V_{OUT} + 1V，I_{OUT} = 100µA 至 500mA，V_{OUT} < 3.3V				0.65	
$\Delta V_{OUT(\Delta VIN)}$	线路调整率	V_{IN} = V_{OUT} + 1V 至 40V，I_{OUT} = 100µA				0.2	%
ΔV_{OUT}	负载瞬态响应设置时间(2)	t_R = t_F = 1µs；C_{OUT} = 10µF，V_{OUT} ≥ 3.3V				100	µs
ΔV_{OUT}	负载瞬态响应过冲、下冲(2)	t_R = t_F = 1µs；C_{OUT} = 10µF，V_{OUT} ≥ 3.3V	I_{OUT} = 150mA 至 350mA	-2%			$\%V_{OUT}$
			I_{OUT} = 350mA 至 150mA			10%	
			I_{OUT} = 0mA 至 500mA	-10%			
ΔV_{OUT}	负载瞬态响应过冲、下冲(2)	t_R = t_F = 1µs；C_{OUT} = 10µF，V_{OUT} < 3.3V	I_{OUT} = 150mA 至 350mA	-2.5%			$\%V_{OUT}$
			I_{OUT} = 350mA 至 150mA			10%	
			I_{OUT} = 0mA 至 500mA	-10%			
I_Q	静态电流	V_{IN} = V_{OUT} + 1V 至 40V，I_{OUT} = 0mA，T_J = 25°C(3)			17	21	µA
		V_{IN} = V_{OUT} + 1V 至 40V，I_{OUT} = 0mA(3)				26	
		I_{OUT} = 500µA				35	
$I_{SHUTDOWN}$	关断电源电流 (I_{GND})	V_{EN} = 0V，T_J = 25°C				2.5	µA
		V_{EN} = 0V				4	
V_{DO}	压降电压固定输出电压（DDA 封装）	I_{OUT} ≤1mA，V_{OUT} ≥3.3V，V_{IN} = $V_{OUT(NOM)}$ x 0.95				43	mV
		I_{OUT} = 315mA，V_{OUT} ≥ 3.3V，V_{IN} = $V_{OUT(NOM)}$			260	360	
		I_{OUT} = 450mA，V_{OUT} ≥ 3.3V，V_{IN} = $V_{OUT(NOM)}$			335	475	
		I_{OUT} = 500mA，V_{OUT} ≥ 3.3V，V_{IN} = $V_{OUT(NOM)}$			360	535	
V_{DO}	压降电压可调输出	I_{OUT} ≤ 1mA，V_{FB} = 0.61V，V_{IN} = 3V				43	mV
		I_{OUT} = 315mA，V_{FB} = 0.61V，V_{IN} = 3V				400	
		I_{OUT} = 450mA，V_{FB} = 0.61V，V_{IN} = 3V				525	
		I_{OUT} = 500mA，V_{FB} = 0.61V，V_{IN} = 3V				570	
V_{DO}	压降电压固定输出电压（KVU 封装）	I_{OUT} ≤1mA，V_{OUT} ≥3.3V，V_{IN} = $V_{OUT(NOM)}$ x 0.95				46	mV
		I_{OUT} = 315mA，V_{OUT} ≥ 3.3V，V_{IN} = $V_{OUT(NOM)}$			275	400	
		I_{OUT} = 450mA，V_{OUT} ≥ 3.3V，V_{IN} = $V_{OUT(NOM)}$			360	525	
		I_{OUT} = 500mA，V_{OUT} ≥ 3.3V，V_{IN} = $V_{OUT(NOM)}$			390	575	

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性（续）

规定条件如下（除非另有说明）：T_J = –40°C 至 +150°C，V_{IN} = 13.5V，I_{OUT} = 0mA，C_{OUT} = 2.2µF，1mΩ < C_{OUT} ESR < 2Ω，C_{IN} = 1µF，以及 V_{EN} = 2V；典型值条件为 T_J = 25°C

参数		测试条件	最小值	典型值	最大值	单位
V_{DO}	压降电压可调输出电压（KVU 封装）	I_{OUT} ≤1mA，V_{OUT} ≥3.3V，V_{IN} = $V_{OUT(NOM)}$ x 0.95			46	mV
		I_{OUT} = 315mA，V_{OUT} ≥ 3.3V，V_{IN} = $V_{OUT(NOM)}$		327	440	mV
		I_{OUT} = 450mA，V_{OUT} ≥ 3.3V，V_{IN} = $V_{OUT(NOM)}$		428	575	mV
		I_{OUT} = 500mA，V_{OUT} ≥ 3.3V，V_{IN} = $V_{OUT(NOM)}$		464	630	mV
V_{FB}	反馈电压	FB 的基准电压	0.644	0.65	0.656	V
I_{FB}	反馈电流	FB 引脚的输入电流	-10		10	nA
I_{EN}	EN 引脚电流	V_{EN} = V_{IN} = 13.5V			50	nA
$V_{UVLO(RISING)}$	上升输入电源 UVLO	V_{IN} 上升	2.6	2.7	2.82	V
$V_{UVLO(FALLING)}$	下降输入电源 UVLO	V_{IN} 下降	2.38	2.5	2.6	V
$V_{UVLO(HYST)}$	$V_{UVLO(IN)}$ 迟滞			230		mV
V_{IL}	使能逻辑输入低电平				0.7	V
V_{IH}	使能逻辑输入高电平		2			V
I_{CL}	输出电流限制	V_{IN} = V_{OUT} + 1V，V_{OUT} 短接至 90% × $V_{OUT(NOM)}$	540		780	mA
PSRR	电源抑制比	V_{IN} - V_{OUT} = 1V，频率 = 1kHz，I_{OUT} = 450mA		70		dB
$V_{PG(OL)}$	PG 引脚低电平输出电压	V_{OUT} ≤ 0.83 x V_{OUT}			0.4	V
$V_{PG(TH,RISING)}$	默认电源正常阈值	V_{OUT} 上升	85		95	%V_{OUT}
$V_{PG(TH,FALLING)}$	默认电源正常阈值	V_{OUT} 下降	83		93	
$V_{PG(HYST)}$	电源正常状态迟滞			2		
$V_{DLY(TH)}$	释放电源正常高电平的阈值	DELAY 引脚上升时的电压	1.17	1.21	1.25	V
$I_{DLY(CHARGE)}$	延迟电容器充电电流	DELAY 引脚的电压 = 1V	1	1.5	2	µA
T_J	结温		-40		150	°C
$T_{SD(SHUTDOWN)}$	结关断温度			175		°C
$T_{SD(HYST)}$	热关断迟滞			20		°C

(1) 出于器件生产测试的目的，功率耗散限制为 2W。正常工作期间的功率耗散会更高。如需了解将结温保持在 150℃ 以下时器件可以耗散多少功率，请参阅热耗散部分。
(2) 根据设计指定。
(3) 对于可调输出，要在单位增益中进行测试，不包括电阻器电流。

5.6 开关特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
$t_{(DLY_FIX)}$	电源正常传播延迟	DELAY 引脚无电容连接		100		µs
$t_{(Deglitch)}$	电源正常状态抗尖峰脉冲时间	DELAY 引脚无电容连接		90		µs
$t_{(DLY)}$	电源正常传播延迟	延迟电容值： $C_{(DELAY)}$ = 100nF		80		ms

Copyright © 2026 Texas Instruments Incorporated

5.7 典型特性

在以下条件下指定：T_J = –40°C 至 +150°C、V_{IN} = 13.5V、I_{OUT} = 100µA、C_{OUT} = 2.2µF、1mΩ < C_{OUT} ESR < 2Ω C_{IN} = 1µF 以及 V_{EN} = 2V（除非另有说明）

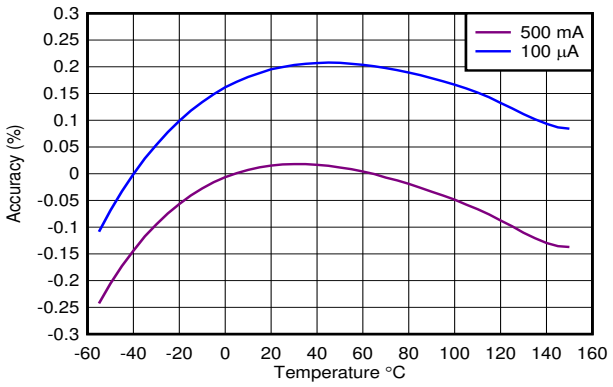
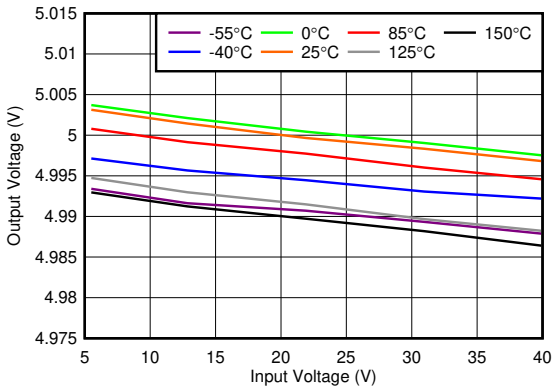
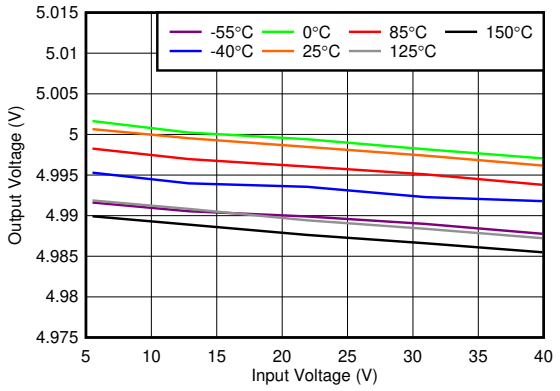


图 5-1. 精度与温度间的关系



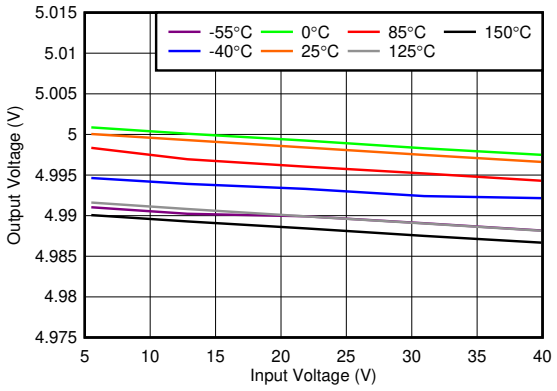
V_{OUT} = 5V，I_{OUT} = 150mA

图 5-2. 线性调整率与 V_{IN} 间的关系



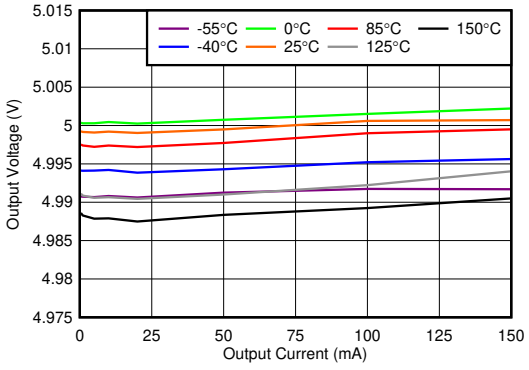
V_{OUT} = 5V，I_{OUT} = 5mA

图 5-3. 线性调整率与 V_{IN} 间的关系



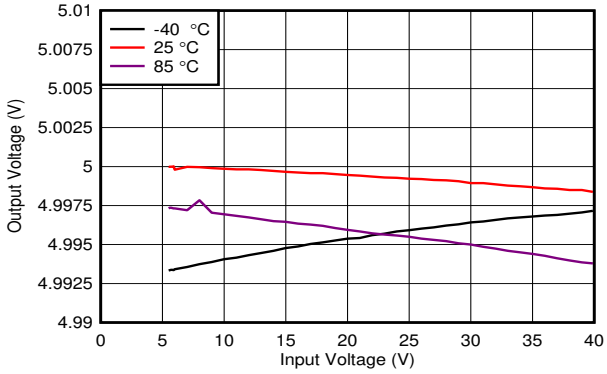
V_{OUT} = 5V，I_{OUT} = 1mA

图 5-4. 线性调整率与 V_{IN} 间的关系



V_{OUT} = 5V

图 5-5. 负载调整率与 I_{OUT} 间的关系



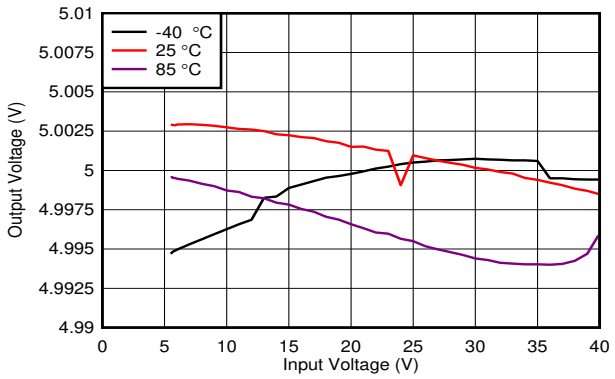
C_{OUT} = 10µF，V_{OUT} = 5V

图 5-6. 50mA 下的线路调整率

Copyright © 2026 Texas Instruments Incorporated

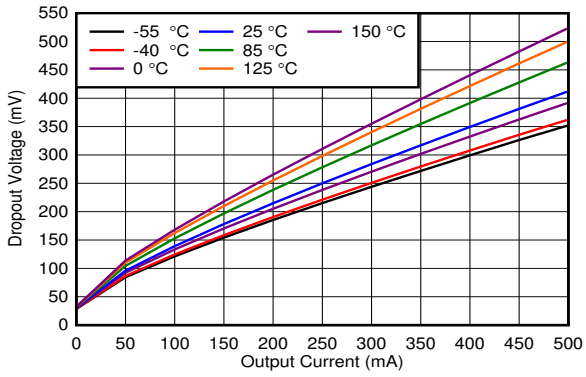
5.7 典型特性 (续)

在以下条件下指定：T_J = –40°C 至 +150°C、V_{IN} = 13.5V、I_{OUT} = 100µA、C_{OUT} = 2.2µF、1mΩ < C_{OUT} ESR < 2Ω C_{IN} = 1µF 以及 V_{EN} = 2V（除非另有说明）



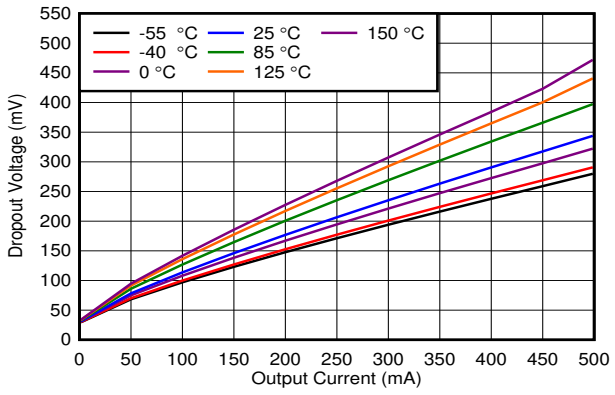
C_{OUT} = 10µF，V_{OUT} = 5V

图 5-7. 100mA 下的线路调整率



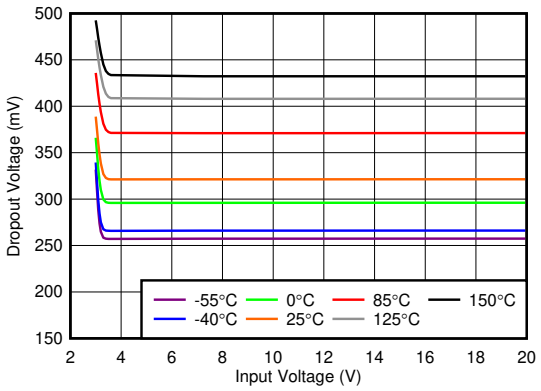
V_{IN} = 3V

图 5-8. 压降电压 (V_{DO}) 与 I_{OUT} 之间的关系



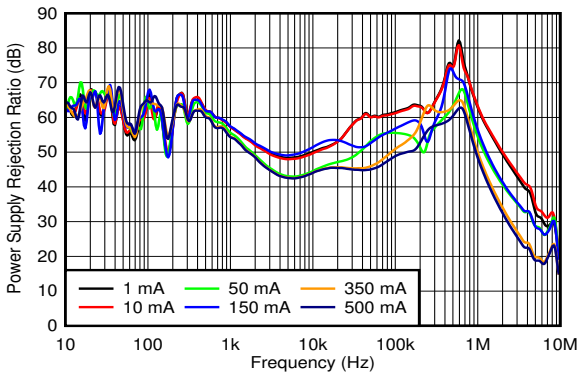
V_{IN} = 20V

图 5-9. 压降电压 (V_{DO}) 与 I_{OUT} 之间的关系



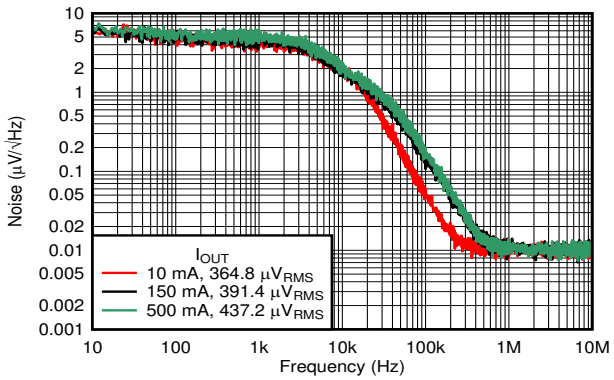
I_{OUT} = 450mA

图 5-10. 压降电压 (V_{DO}) 与 V_{IN} 之间的关系



C_{OUT} = 10µF (X7R 50V)、V_{OUT} = 5V

图 5-11. PSRR 与频率和 I_{OUT} 间的关系



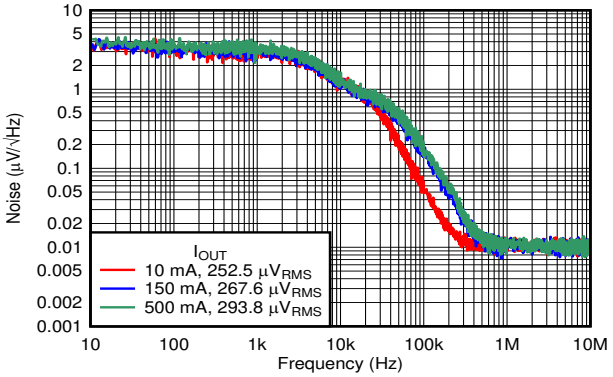
C_{OUT} = 10µF (X7R 50V)、V_{OUT} = 5V

图 5-12. 噪声与频率间的关系

Copyright © 2026 Texas Instruments Incorporated

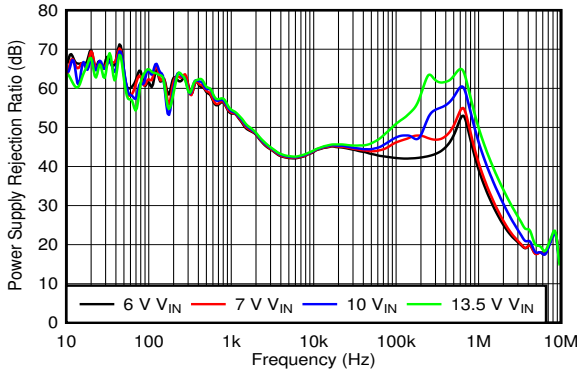
5.7 典型特性 (续)

在以下条件下指定：T_J = –40°C 至 +150°C、V_{IN} = 13.5V、I_{OUT} = 100µA、C_{OUT} = 2.2µF、1mΩ < C_{OUT} ESR < 2Ω C_{IN} = 1µF 以及 V_{EN} = 2V (除非另有说明)



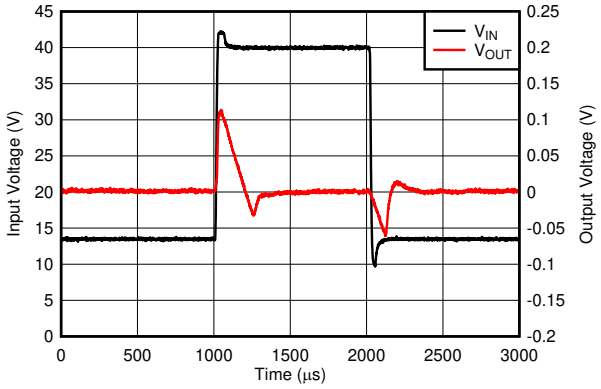
C_{OUT} = 10µF (X7R 50V)、V_{OUT} = 3.3V

图 5-13. 噪声与频率间的关系



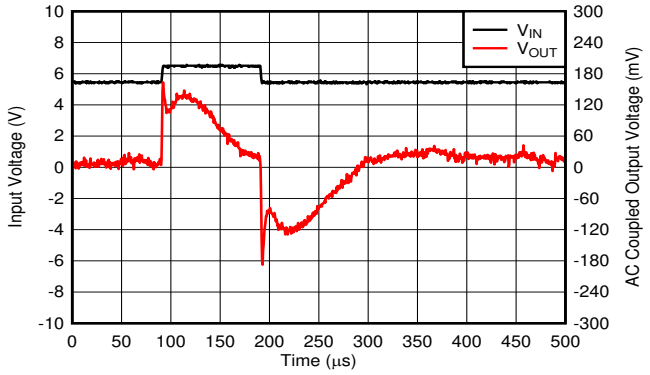
C_{OUT} = 10µF (X7R 50V)、I_{OUT} = 500mA、V_{OUT} = 5V

图 5-14. PSRR 与频率和 V_{IN} 间的关系



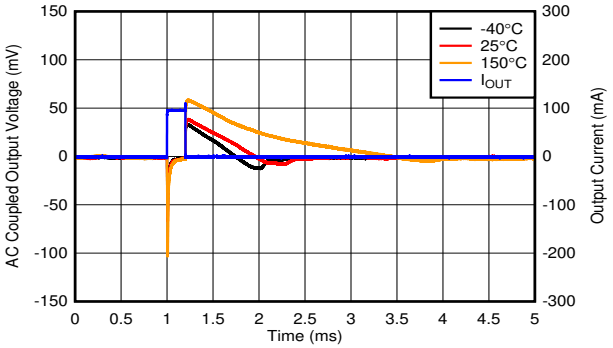
V_{OUT} = 5V、I_{OUT} = 1mA、V_{IN} = 13.5V 至 45V、
压摆率 = 2.7V/µs、V_{EN} = 3.3V

图 5-15. 线路瞬态



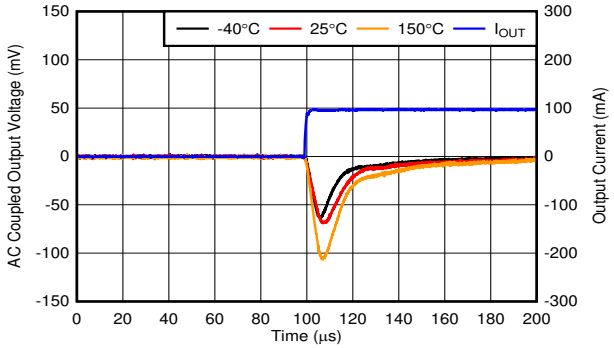
V_{OUT} = 5V、I_{OUT} = 100mA、V_{IN} = 5.5V 至 6.5V、
上升时间 = 1µs、V_{EN} = 3.3V

图 5-16. 线路瞬态



V_{OUT} = 5V，I_{OUT} = 0mA 至 100mA，压摆率 = 1A/µs，V_{EN} = 3.3V，
C_{OUT} = 10µF

图 5-17. 负载瞬态，无负载至 100mA



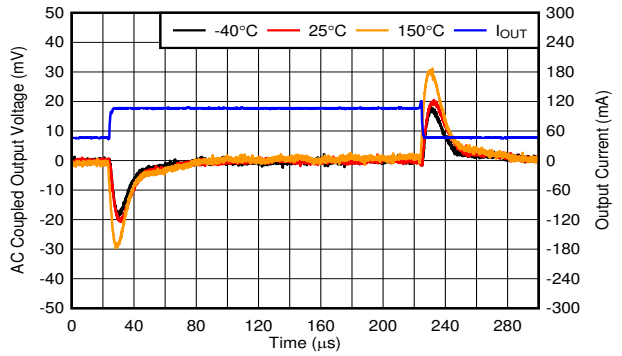
V_{OUT} = 5V，I_{OUT} = 0mA 至 100mA，压摆率 = 1A/µs，V_{EN} = 3.3V，
C_{OUT} = 10µF

图 5-18. 负载瞬态，无负载至 100mA 上升沿

Copyright © 2026 Texas Instruments Incorporated

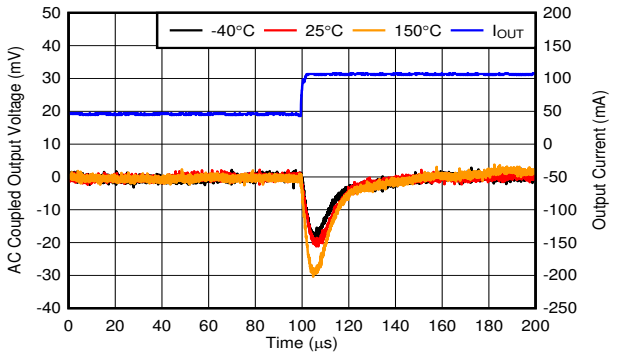
5.7 典型特性 (续)

在以下条件下指定：T_J = –40°C 至 +150°C、V_{IN} = 13.5V、I_{OUT} = 100µA、C_{OUT} = 2.2µF、1mΩ < C_{OUT} ESR < 2Ω C_{IN} = 1µF 以及 V_{EN} = 2V (除非另有说明)



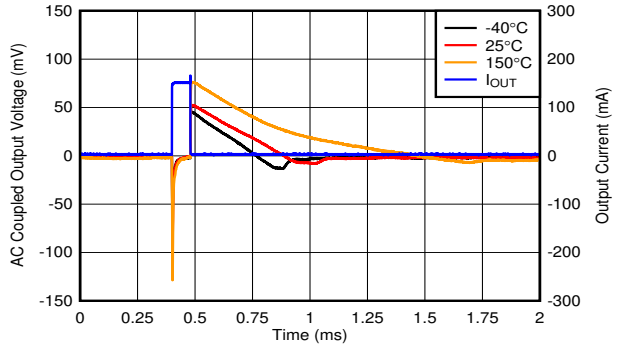
V_{OUT} = 5V，I_{OUT} = 45mA 至 105mA，压摆率 = 0.1A/µs，V_{EN} = 3.3V，
C_{OUT} = 10µF

图 5-19. 负载瞬态，45mA 至 105mA



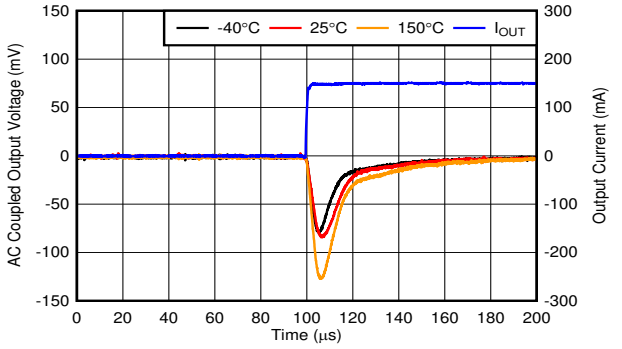
V_{OUT} = 5V，I_{OUT} = 45mA 至 105mA，压摆率 = 0.1A/µs，V_{EN} = 3.3V，
C_{OUT} = 10µF

图 5-20. 负载瞬态，45mA 至 105mA 上升沿



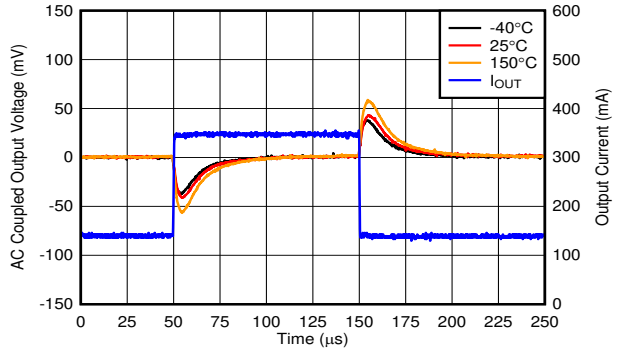
V_{OUT} = 5V，I_{OUT} = 0mA 至 150mA，压摆率 = 1A/µs，V_{EN} = 3.3V，
C_{OUT} = 10µF

图 5-21. 负载瞬态，至 150mA 无负载



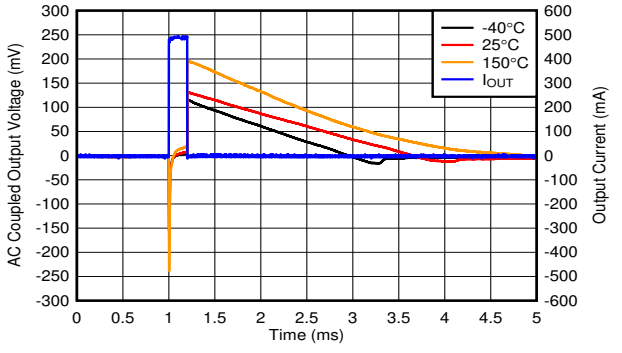
V_{OUT} = 5V，I_{OUT} = 0mA 至 150mA，压摆率 = 1A/µs，
V_{EN} = 3.3V，C_{OUT} = 10µF

图 5-22. 负载瞬态，150mA 上升沿无负载



V_{OUT} = 5V，I_{OUT} = 150mA 至 350mA，压摆率 = 0.1A/µs，
V_{EN} = 3.3V，C_{OUT} = 10µF

图 5-23. 负载瞬态，150mA 至 350mA



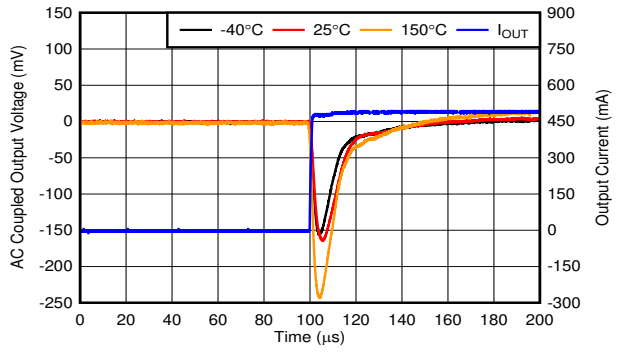
V_{OUT} = 5V，I_{OUT} = 0mA 至 500mA，压摆率 = 1A/µs，
V_{EN} = 3.3V，C_{OUT} = 10µF

图 5-24. 负载瞬态，至 500mA 无负载

Copyright © 2026 Texas Instruments Incorporated

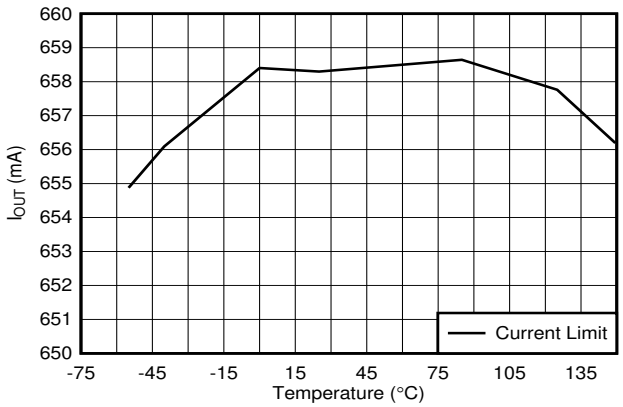
5.7 典型特性 (续)

在以下条件下指定：T_J = –40°C 至 +150°C、V_{IN} = 13.5V、I_{OUT} = 100µA、C_{OUT} = 2.2µF、1mΩ < C_{OUT} ESR < 2Ω C_{IN} = 1µF 以及 V_{EN} = 2V（除非另有说明）



V_{OUT} = 5V，I_{OUT} = 0mA 至 500mA，压摆率 = 1A/µs，V_{EN} = 3.3V，C_{OUT} = 10µF

图 5-25. 负载瞬态，500mA 上升沿无负载



V_{IN} = V_{OUT} + 1V、V_{OUT} = 90% × $V_{OUT(NOM)}$

图 5-26. 输出电流限制与温度间的关系

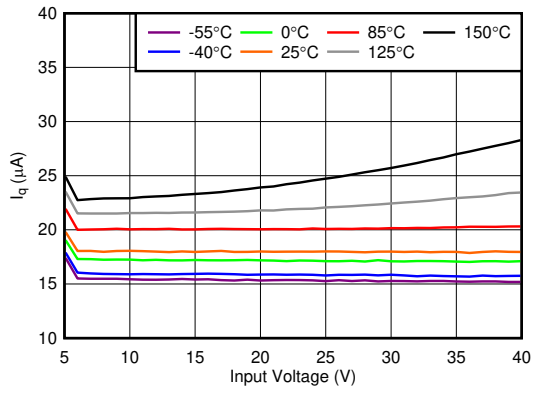
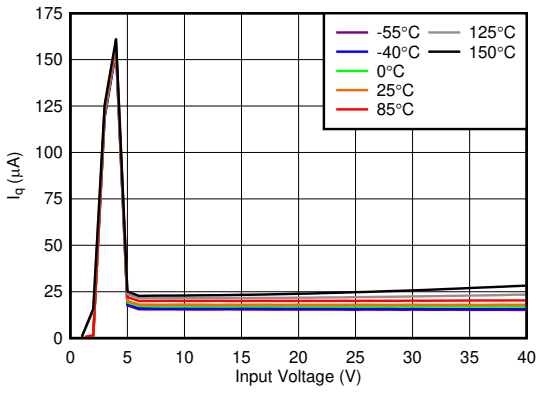


图 5-27. 静态电流 (I_Q) 与 V_{IN} 之间的关系



V_{OUT} = 5V

图 5-28. 静态电流 (I_Q) 与 V_{IN} 之间的关系

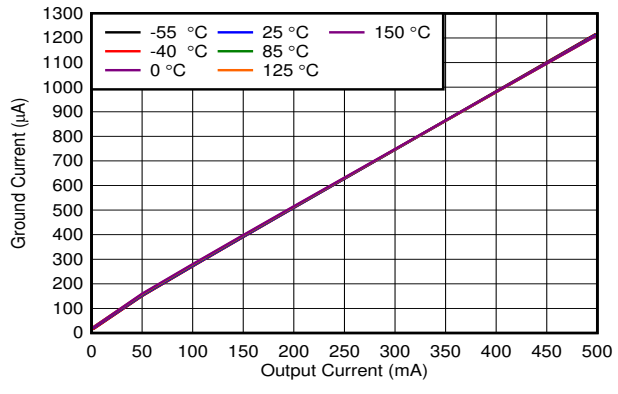


图 5-29. 接地电流 (I_{GND}) 与 I_{OUT} 之间的关系

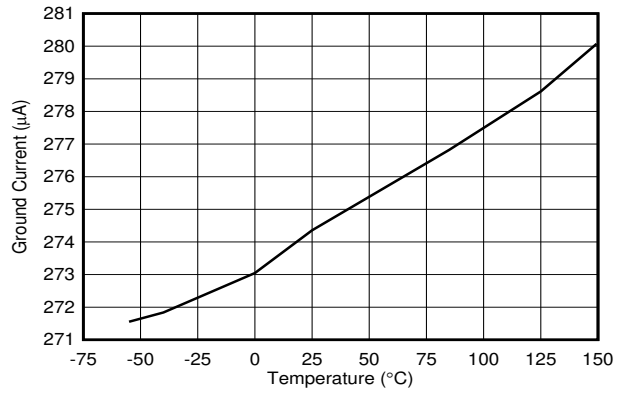


图 5-30. 100mA 处的接地电流

Copyright © 2026 Texas Instruments Incorporated

5.7 典型特性 (续)

在以下条件下指定：T_J = –40°C 至 +150°C、V_{IN} = 13.5V、I_{OUT} = 100µA、C_{OUT} = 2.2µF、1mΩ < C_{OUT} ESR < 2Ω C_{IN} = 1µF 以及 V_{EN} = 2V（除非另有说明）

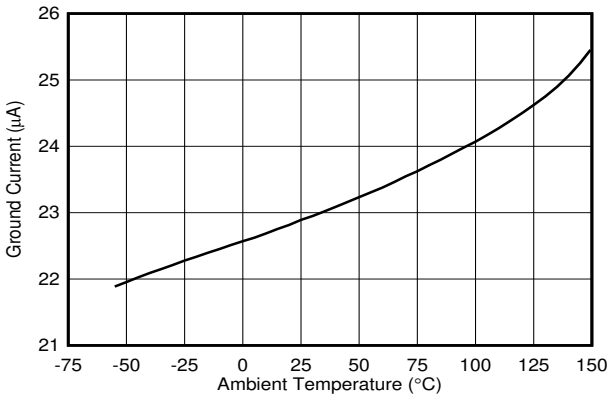


图 5-31. 500µA 处的接地电流

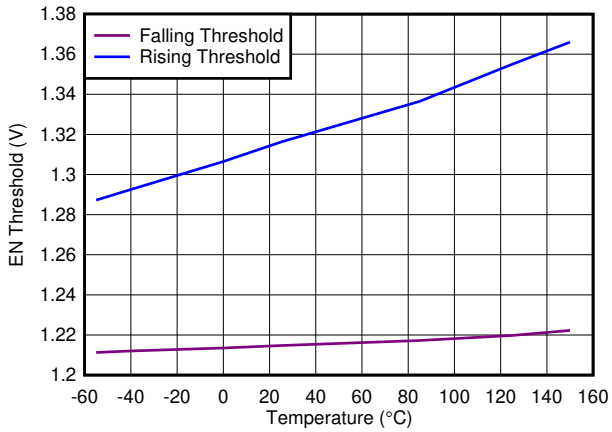


图 5-32. EN 阈值与温度间的关系

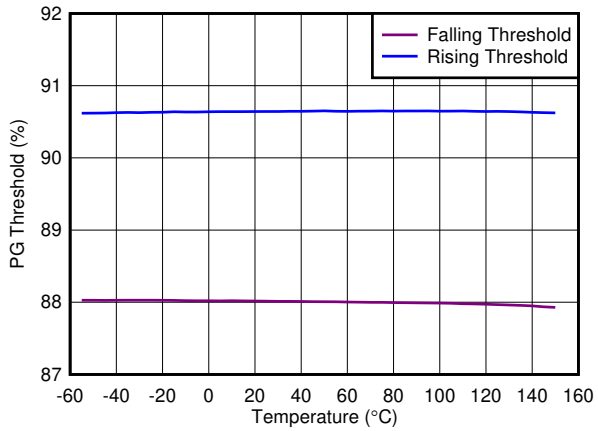
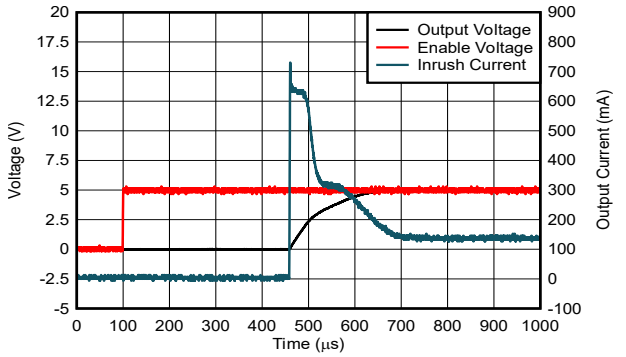


图 5-33. PG 阈值与温度间的关系



V_{IN} = 13.5V，V_{OUT} = 5V，I_{OUT} = 150mA，V_{EN} = 3.3V，C_{OUT} = 10µF

图 5-34. 启动图浪涌电流

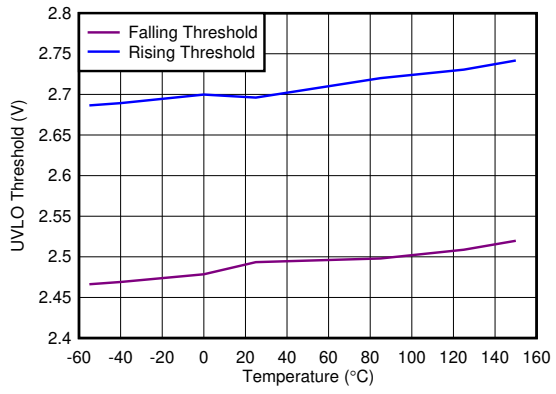
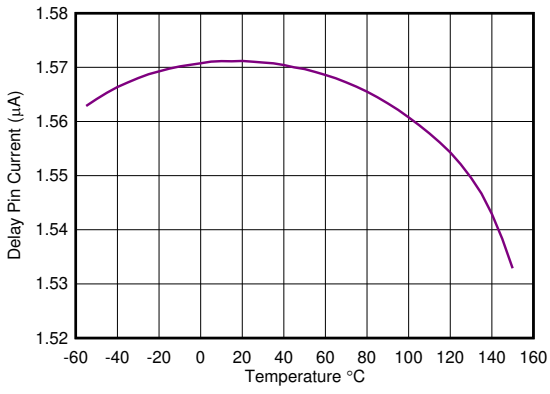


图 5-35. 欠压锁定 (UVLO) 阈值与温度间的关系



V_{DELAY} = 1V

图 5-36. 延迟引脚电流与温度之间的关系

Copyright © 2026 Texas Instruments Incorporated

5.7 典型特性 (续)

在以下条件下指定：T_J = –40°C 至 +150°C、V_{IN} = 13.5V、I_{OUT} = 100µA、C_{OUT} = 2.2µF、1mΩ < C_{OUT} ESR < 2Ω C_{IN} = 1µF 以及 V_{EN} = 2V (除非另有说明)

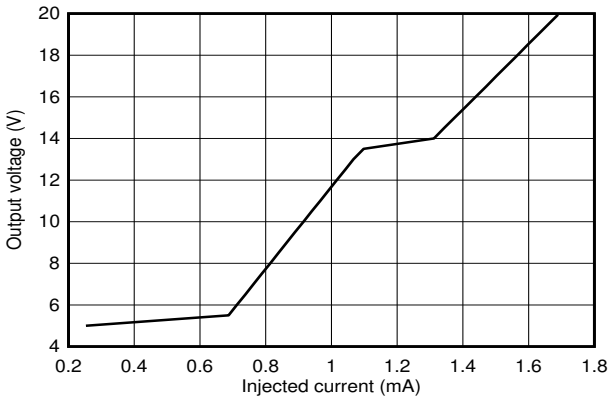


图 5-37. 输出电压与注入电流之间的关系

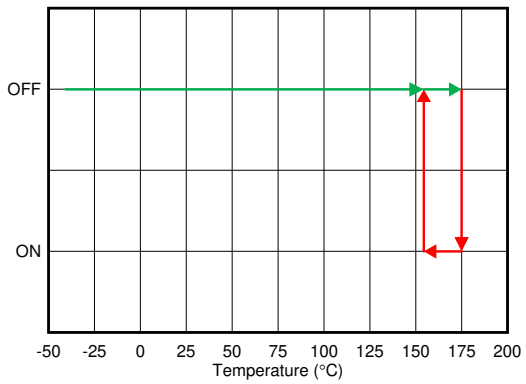


图 5-38. 热关断

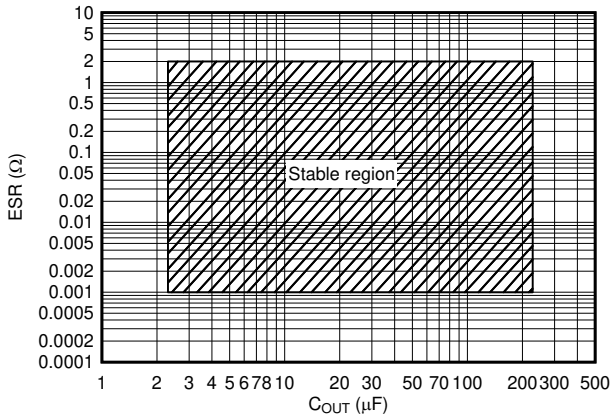


图 5-39. 稳定性、ESR 与 C_{OUT} 之间的关系

Copyright © 2026 Texas Instruments Incorporated

6 详细说明

6.1 概述

TPS7B86-Q1 是一款具有更高瞬态性能的低压降线性稳压器 (LDO)，可以快速响应线路或负载条件的变化。此器件还特有新颖的输出过冲减降特性，因此可大大减少冷启动条件下的输出过冲。

集成的电源正常和延迟特性允许系统在电源正常时通知下游元件并帮助满足时序控制要求。

正常运行时，该器件可在整个线路、负载和温度范围内维持 ±0.85% 的直流精度。更高的精度可支持为敏感的模拟负载或传感器供电。

6.2 功能方框图

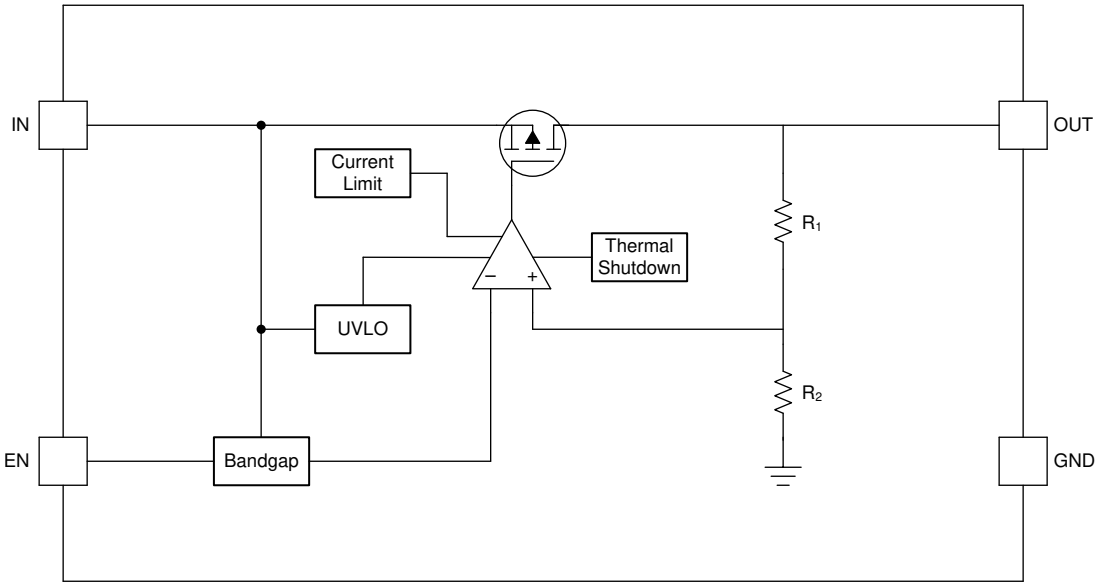


图 6-1. 不带 PG 的 TPS7B86-Q1 固定输出

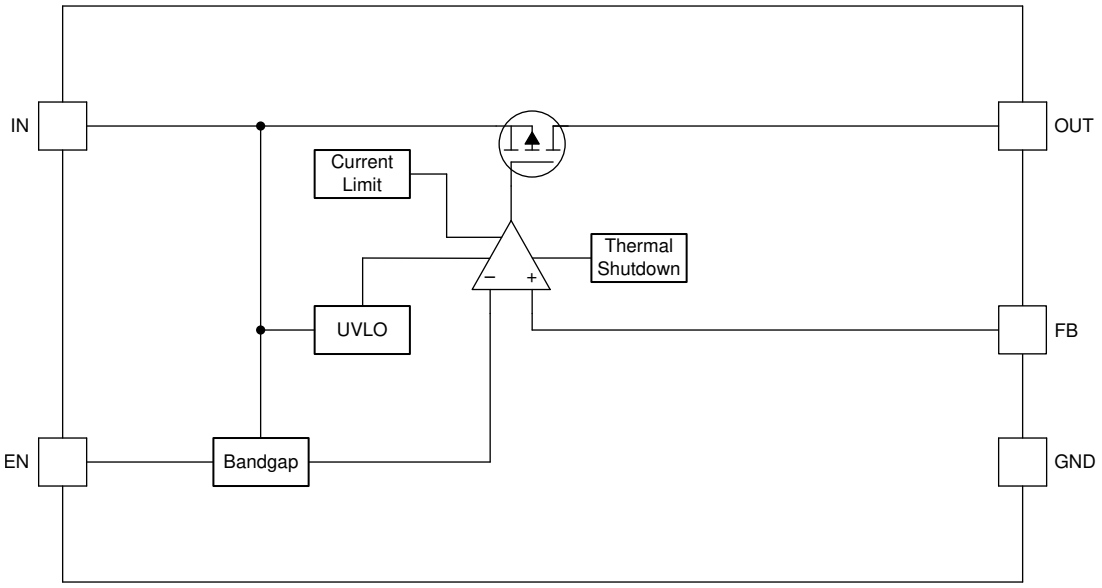


图 6-2. 不带 PG 的 TPS7B86-Q1 可调输出

Copyright © 2026 Texas Instruments Incorporated

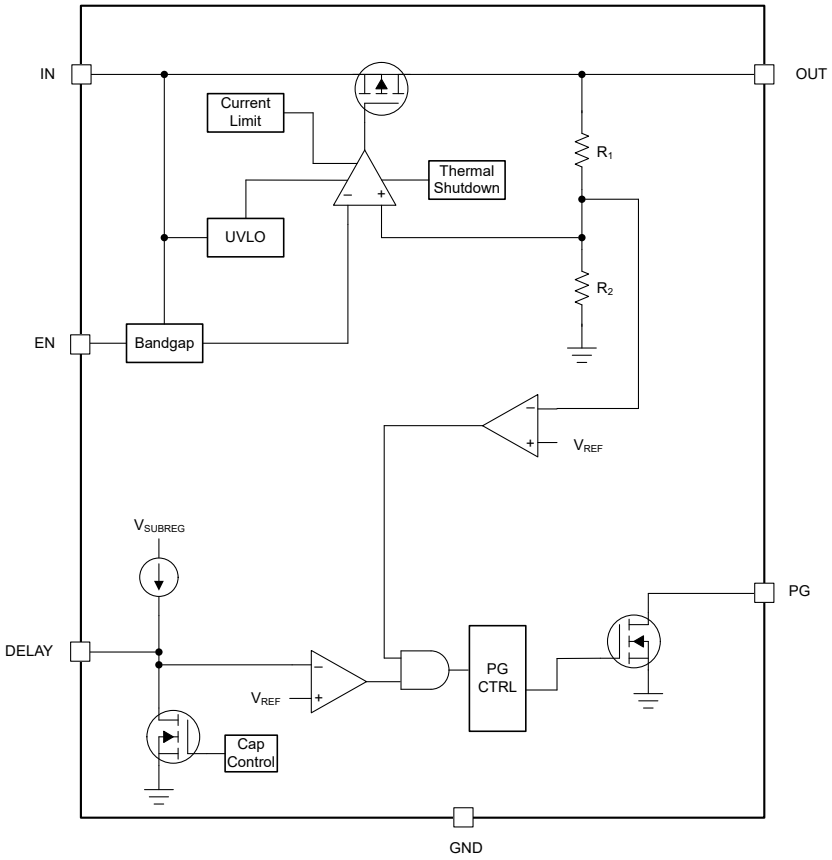


图 6-3. 具有 PG 的 TPS7B86-Q1

6.3 特性说明

6.3.1 使能 (EN)

器件的使能引脚是高电平有效引脚。当使能引脚的电压大于 EN 引脚的高电平输入电压时，输出电压被启用；当使能引脚电压小于 EN 引脚的低电平输入电压时，输出电压被禁用。如果不需要独立控制输出电压，则将使能引脚连接至器件的输入端。

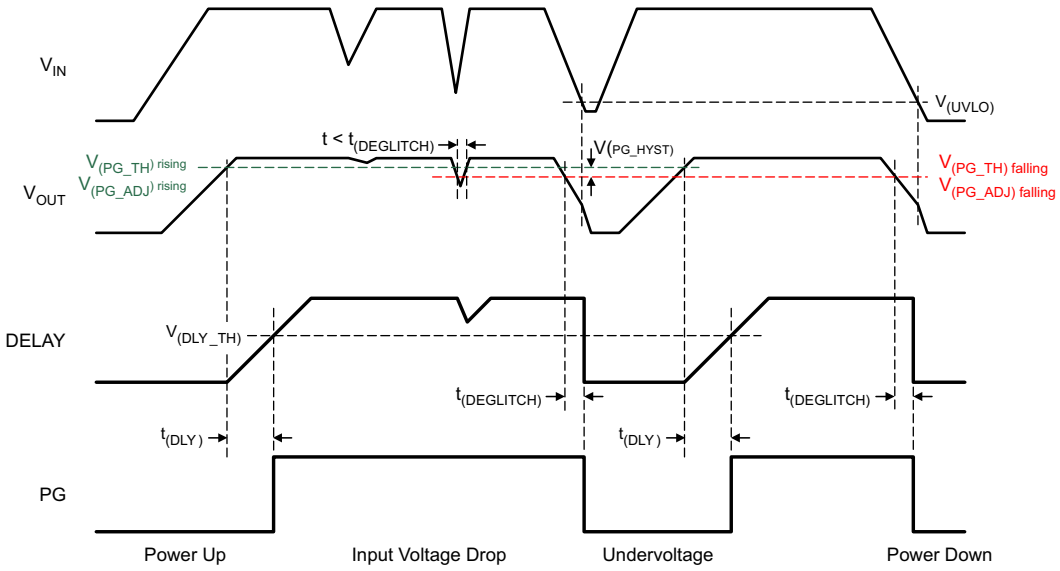
6.3.2 电源正常 (PG)

电源正常 (PG) 引脚为开漏输出，可以通过外部上拉电阻器连接到稳压电源。在 *建议运行条件* 表中，最大上拉电压作为 V_{PG} 列出。要使 PG 引脚具有有效输出，IN 引脚上的电压必须大于 $V_{UVLO(RISING)}$，如 *电气特性* 表中所列。当 V_{OUT} 超过 $V_{PG(TH,\ RISING)}$ 时，PG 输出为高阻抗，PG 引脚电压上拉至连接的稳压电源。当稳压输出降至 $V_{PG(TH,\ FALLING)}$ 以下时，开漏输出开启并将 PG 输出拉至低电平。如果不需要输出电压监控，则可将 PG 引脚保持悬空或接地。

通过将上拉电阻器连接至外部电源，任何下游器件都可以接收电源正常 (PG) 作为可用于时序控制的逻辑信号。确保外部上拉电源电压使接收器件获得有效的逻辑信号。

6.3.3 可调节电源正常延迟计时器 (DELAY)

电源正常延迟周期是外部电容器在 DELAY 引脚上的功能。可调延迟可配置 PG 引脚变为高电平所需的时间。通过在该引脚和 GND 之间连接一个外部电容器来配置此延迟。图 6-4 显示了电源正常延迟引脚的典型时序图。如果 DELAY 引脚悬空，则电源正常延迟为 $t_{(DLY_FIX)}$。更多有关如何对 PG 延迟进行编程的信息，请参阅 *设置可调电源正常延迟* 部分。



$V_{(PG_TH)\ falling} = V_{(PG_TH)\ rising} - V_{(PG_HYST)}$。

图 6-4. 典型的电源正常时序图

6.3.4 欠压锁定

该器件具有一个独立的欠压锁定 (UVLO) 电路，可监控输入电压，从而以可控且一致的方式导通和关断输出电压。为了防止器件在导通期间输入下降时关断，UVLO 会出现迟滞，如 *电气特性* 表中所示。

6.3.5 热关断

该器件包含一个热关断保护电路，用于在导通晶体管的结温

Copyright © 2026 Texas Instruments Incorporated

(T_J) 上升到 $T_{SD(shutdown)}$（典型值）时禁用器件。热关断迟滞可确认在温度降至 $T_{SD(reset)}$（典型值）时器件复位（导通）。

半导体芯片的热时间常数相当短，因此当达到热关断时，器件可以循环开关，直到功率耗散降低。由于器件上的 V_{IN} – V_{OUT} 压降较大，或为大型输出电容器充电的浪涌电流较高，启动期间的功率耗散可能较高。在某些情况下，热关断保护功能会在启动完成之前禁用器件。

为了实现可靠运行，请将结温限制在*建议运行条件*表中列出的最大值。在超过这个最高温度的情况下运行会导致器件超出运行规格。虽然器件的内部保护电路旨在防止总体发热情况，但此电路并不用于替代适当的散热。使器件持续进入热关断状态或在超过建议的最高结温下运行会降低长期可靠性。

6.3.6 电流限制

该器件具有内部电流限制电路，可在瞬态高负载电流故障或短路事件期间保护稳压器。电流限制是砖墙方案。在高负载电流故障中，砖墙方案将输出电流限制为电流限值 (I_{CL})。*电气特性*表中列出了 I_{CL}。

当器件处于限流状态时，不会调节输出电压。当发生电流限制事件时，由于功率耗散增加，器件开始发热。当器件处于砖墙式电流限制时，导通晶体管会耗散功率 [(V_{IN} – V_{OUT}) × I_{CL}]。如果触发热关断，器件将关闭。器件冷却后，内部热关断电路将器件重新接通。如果输出电流故障条件持续存在，器件会在电流限制状态和热关断状态之间循环。更多有关电流限制的信息，请参阅*了解限制*应用手册。

图 6-5 展示了电流限制图。

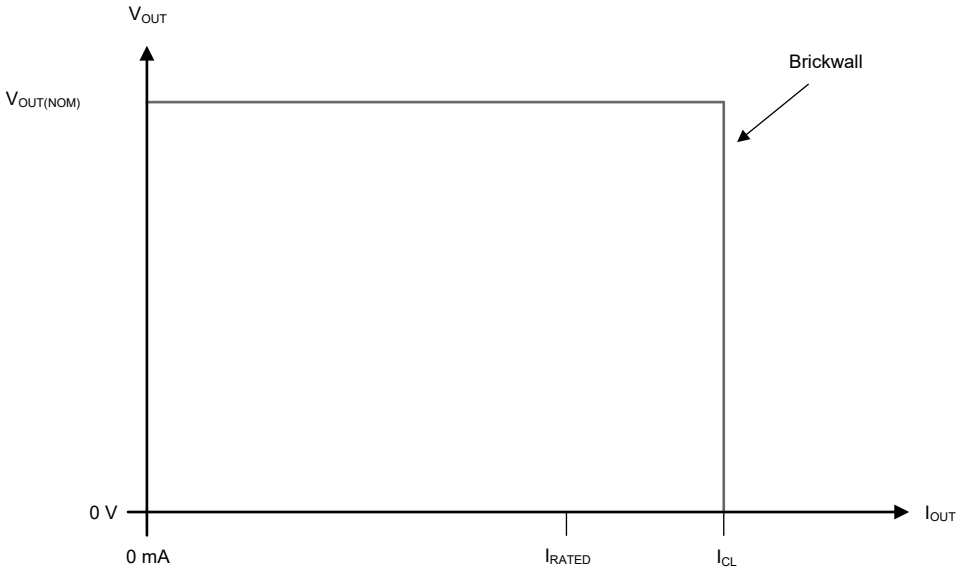


图 6-5. 电流限制

6.4 器件功能模式

6.4.1 器件功能模式比较

表 6-1 给出了不同工作模式的参数条件。有关参数值，请参阅*电气特性*表格。

表 6-1. 器件功能模式比较

运行模式	参数			
	V_{IN}	V_{EN}	I_{OUT}	T_J
正常运行	$V_{IN} > V_{OUT(nom)} + V_{DO}$ 和 $V_{IN} > V_{IN(min)}$	$V_{EN} > V_{EN(HI)}$	$I_{OUT} < I_{OUT(max)}$	$T_J < T_{SD(shutdown)}$
压降运行	$V_{IN(min)} < V_{IN} < V_{OUT(nom)} + V_{DO}$	$V_{EN} > V_{EN(HI)}$	$I_{OUT} < I_{OUT(max)}$	$T_J < T_{SD(shutdown)}$
禁用（任何真条件都会禁用该器件）	$V_{IN} < V_{UVLO}$	$V_{EN} < V_{EN(LOW)}$	不适用	$T_J > T_{SD(shutdown)}$

6.4.2 正常运行

当满足下列条件时，器件的输出电压会稳定在标称值：

- 输入电压大于标称输出电压加上压降电压 ($V_{OUT(nom)} + V_{DO}$)
- 输出电流小于电流限制 ($I_{OUT} < I_{CL}$)
- 器件结温低于热关断温度 ($T_J < T_{SD}$)
- 使能电压先前已超过使能上升阈值电压，但尚未降至低于使能下降阈值

6.4.3 压降运行

如果输入电压低于标称输出电压与指定压降电压之和，但仍满足正常工作模式的所有其他条件，则器件将工作在压降模式。在此模式下，输出电压会跟踪输入电压。在此模式下，由于导通晶体管位于欧姆或三极管区域并充当开关，因此器件的瞬态性能会显著降低。压降过程中的线路或负载瞬态可能会导致输出电压偏差较大。

当器件处于稳定压降状态（是指器件处于压降状态时，$V_{IN} < V_{OUT(NOM)} + V_{DO}$，紧随正常稳压状态，但*不*在启动期间）时，导通晶体管被驱动到欧姆区或三极管区域。当输入电压恢复到大于或等于标称输出电压加上压降电压 ($V_{OUT(NOM)} + V_{DO}$) 的值时，输出电压可能会过冲很短的时间，而器件会将导通晶体管拉回到线性区域。

6.4.4 禁用

通过强制使能引脚的电压低于最大 EN 引脚低电平输入电压，可以关断器件的输出（请参阅*电气特性*表）。禁用时，导通晶体管关断，内部电路关断。

Copyright © 2026 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

7.1.1 输入和输出电容器选择

TPS7B86-Q1 需要一个 2.2µF 或更大（1µF 或更大电容）的输出电容器来实现稳定性，并需要一个介于 0.001Ω 和 2Ω 之间的等效串联电阻 (ESR)。为了获得出色瞬态性能，请使用 X5R 和 X7R 类型的陶瓷电容器，因为这些电容器的值和 ESR 随温度的变化极小。为特定应用选择电容器时，请注意电容器的直流偏置特性。较高的输出电压会导致电容器显著降额。为了获得出色性能，建议的最大输出电容为 220µF。

尽管不需要输入电容器来实现稳定性，但良好的模拟设计实践是将电容器从 IN 连接到 GND。一些输入电源具有高阻抗，因此将输入电容器放置在输入电源上有助于降低输入阻抗。该电容可抵消电抗性输入源，并改善瞬态响应、输入纹波和 PSRR。如果输入电源在大范围的频率上具有高阻抗，则可以并联使用几个输入电容器来降低频率上的阻抗。如果有可能出现较大、快速上升时间的负载瞬态或者器件距离输入电源几英寸远，请使用一个更大电容值的电容器。

7.1.2 可调器件反馈电阻器选择

可调版本的器件需要外部反馈分压电阻器来设置输出电压。V_{OUT} 根据以下公式使用反馈分压电阻 R_1 和 R_2 进行设置：

$$V_{OUT} = V_{FB} \times (1 + R_1 / R_2) \quad (1)$$

为了忽略 V_{OUT} 公式中的 FB 引脚电流误差项，请将反馈分压器电流设置为*电气特性*表中所列 FB 引脚电流的 100 倍。该设置提供了最大反馈分压器串联电阻，如以下公式所示：

$$R_1 + R_2 \leq V_{OUT} / (I_{FB} \times 100) \quad (2)$$

7.1.3 前馈电容

对于可调节电压版本器件，可将前馈电容器 (C_{FF}) 从 OUT 引脚连接到 FB 引脚。C_{FF} 可改善瞬态、噪声和 PSRR 性能，但不是实现稳压器稳定性所必需的。*建议运行条件*表中列出了建议的 C_{FF} 值。可以使用更高的电容 C_{FF}；但是，启动时间会增加。有关 C_{FF} 权衡的详细说明，请参阅*使用前馈电容器和低压降稳压器的优缺点*应用手册。

C_{FF} 和 R_1 在频率为 f_Z 时的环路增益中产生零点，而 C_{FF}、R_1 和 R_2 在频率为 f_P 时的环路增益中形成极点。C_{FF} 零点和极点频率可通过以下公式计算：

$$f_Z = 1 / (2 \times \pi \times C_{FF} \times R_1) \quad (3)$$

$$f_P = 1 / (2 \times \pi \times C_{FF} \times (R_1 \parallel R_2)) \quad (4)$$

7.1.4 压降电压

压降电压 (V_{DO}) 被定义为在额定输出电流 (I_{RATED}) 下输入电压减去输出电压 ($V_{IN} - V_{OUT}$)，在这种情形下，导通晶体管完全导通。I_{RATED} 是*建议运行条件*表中列出的最大 I_{OUT}。导通晶体管处于欧姆区域或三极管区域并充当开关。压降电压间接指定了一个最小输入电压，该电压大于输出电压预计保持稳定的标称编程输出电压。如果输入电压降至低于标称输出调节，输出电压也会下降。

对于 CMOS 稳压器，压降电压由导通晶体管的漏源导通状态电阻 ($R_{DS(ON)}$) 决定。因此，如果线性稳压器的工作电流小于额定电流，该电流的压降电压会相应地变化。以下公式用于计算器件的 $R_{DS(ON)}$。

Copyright © 2026 Texas Instruments Incorporated

$$R_{DS(ON)} = \frac{V_{DO}}{I_{RATED}} \quad (5)$$

7.1.5 反向电流

反向电流过大可能会损坏此器件。反向电流流经导通晶体管的固有体二极管，而不是正常的传导通道。如果幅度较大，该电流会降低器件的长期可靠性。

本节概述了会发生反向电流的条件，所有这些条件都可能超过 $V_{OUT} \leqslant V_{IN} + 0.3V$ 的绝对最大额定值。

- 如果器件具有较大的 C_{OUT} 且输入电源崩溃，则负载电流极小或无负载电流
- 当输入电源未建立时，输出被偏置
- 输出偏置为高于输入电源

如果应用中需要反向电流，则建议使用外部保护来保护器件。器件中的反向电流不受限制，因此如果预计反向电压工作范围会延长，则需要外部限制。

7.1.6 功率耗散 (P_D)

电路可靠性需要考虑器件功率耗散、印刷电路板 (PCB) 上的电路位置以及正确的热平面尺寸。稳压器周围的 PCB 区域必须具有少量或没有其他会导致热应力增加的发热器件。

对于一阶近似，稳压器中的功率耗散取决于输入到输出电压差和负载条件。以下公式可计算功率耗散 (P_D)。

$$P_D = (V_{IN} - V_{OUT}) \times I_{OUT} \quad (6)$$

备注

通过正确选择系统电压轨，可更大限度地降低功率耗散，从而实现更高的效率。为了实现更低功率耗散，请使用正确输出调节所需的最小输入电压。

对于带有散热焊盘的器件，器件封装的主要热传导路径是通过散热焊盘到 PCB。将散热焊盘焊接到器件下方的铜焊盘区域。此焊盘区域必须包含一组镀通孔，这些通孔会将热量传导至额外的铜平面以增加散热。

最大功耗决定了该器件允许的最高环境温度 (T_A)。根据以下公式，功率耗散和结温通常与 PCB 和器件封装组合的结至环境热阻 ($R_{\theta JA}$) 和环境空气温度 (T_A) 有关。

$$T_J = T_A + (R_{\theta JA} \times P_D) \quad (7)$$

热阻 ($R_{\theta JA}$) 在很大程度上取决于特定 PCB 设计中内置的散热能力，因此会因铜总面积、铜重量和平面位置而异。*热性能信息* 表中列出的结至环境热阻由 JEDEC 标准 PCB 和铜扩散面积决定，并用作封装热性能的相对测量。

7.1.6.1 热性能与铜面积

最常用的热阻参数 ($R_{\theta JA}$) 在很大程度上取决于特定 PCB 设计中内置的散热能力，因此会因铜总面积、铜重量和平面位置而异。*热性能信息* 表中记录的 $R_{\theta JA}$ 由 JEDEC 标准（请参阅 图 7-1）、PCB 和铜扩散面积决定，仅用作封装热性能的相对测量。对于精心设计的热布局，$R_{\theta JA}$ 实际上是封装结至外壳（底部）热阻 ($R_{\theta JCbot}$) 与 PCB 铜产生的热阻的总和。

Copyright © 2026 Texas Instruments Incorporated

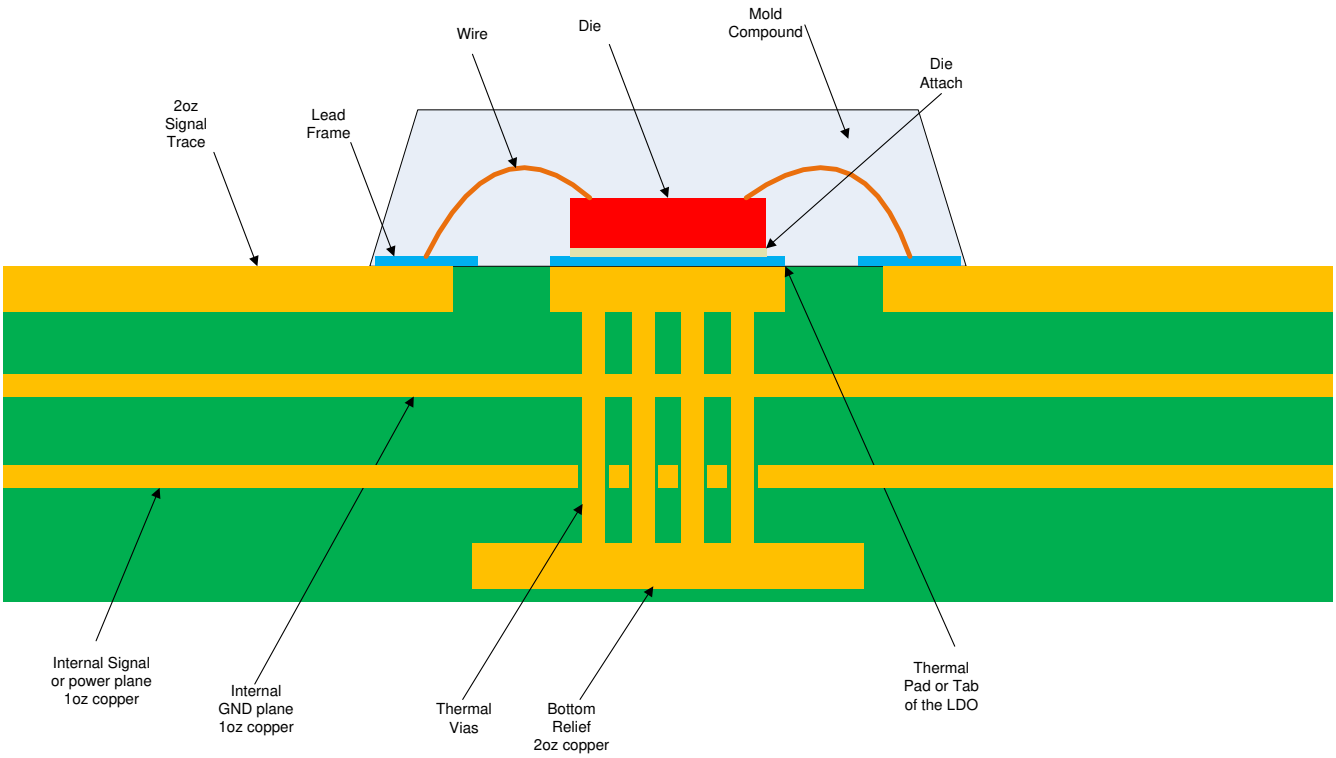


图 7-1. JEDEC 标准 2s2p PCB

图 7-2 至 图 7-5 展示了 $R_{\theta JA}$ 和 ψ_{JB} 的功能与铜面积和厚度的关系。这些图是使用 101.6mm × 101.6mm × 1.6mm 两层和四层 PCB 生成。对于 4 层板，内部平面使用 1oz 厚度的覆铜。外层均使用 1oz 和 2oz 铜厚度进行模拟。一个 2 × 3（DDA 封装）或一个 3 × 4（KVU 封装）阵列的热通孔具有 300µm 钻孔直径和 25µm 镀铜，位于器件散热焊盘下方。散热通孔连接顶层和底层，如果是 4 层板，则连接第一个内部 GND 平面。每一层都有一个面积相等的铜平面。

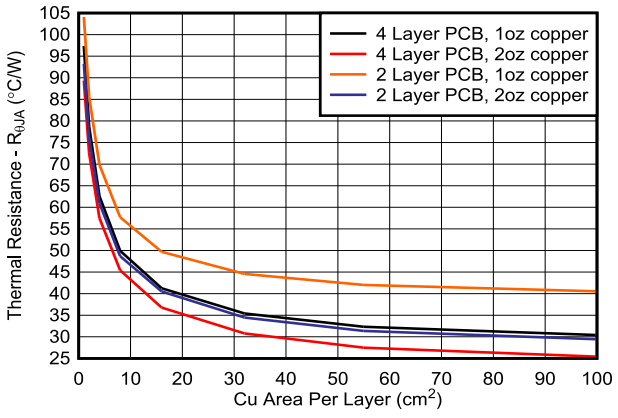


图 7-2. $R_{\theta JA}$ 与铜面积间的关系（DDA 封装）

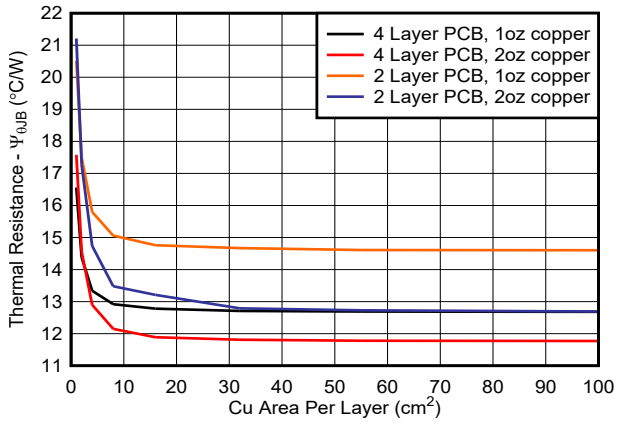


图 7-3. ψ_{JB} 与铜面积（DDA 封装）

Copyright © 2026 Texas Instruments Incorporated

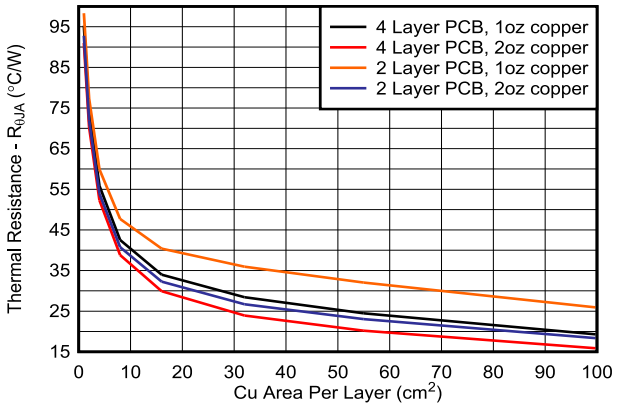


图 7-4. $R_{\theta JA}$ 与铜面积间的关系（KVU 封装）

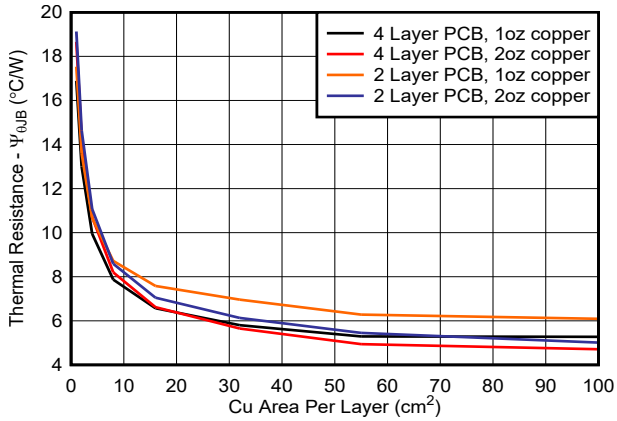


图 7-5. ψ_{JB} 与铜面积（KVU 封装）

7.1.6.2 功率耗散与环境温度之间的关系

图 7-6 基于 JESD51-7 4 层高 K 电路板。使用以下公式估算允许的功率损耗。如*电路板布局布线对 LDO 热性能影响的经验分析 应用手册*中所述，可以通过添加顶层覆铜和增加散热过孔数量来改善 JEDEC 高 K 布局中的散热性能。如果采用良好的散热布局，则允许的散热最多可改善 50%。

$$T_A + R_{\theta JA} x\, P_D \leq 150\,°C \tag{8}$$

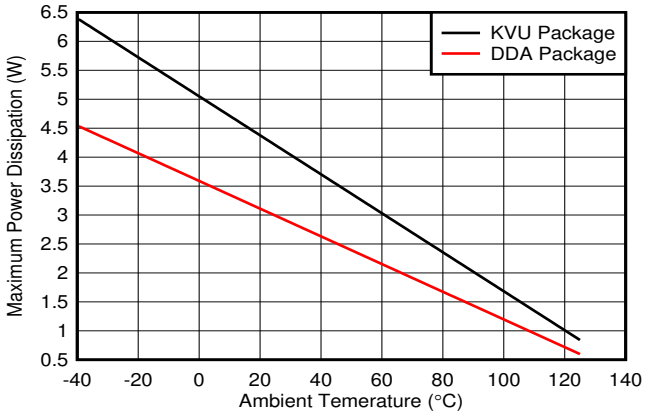


图 7-6. TPS7B86-Q1 允许的功率耗散

7.1.7 估算结温

JEDEC 标准现在建议使用 psi (Ψ) 热指标来估算线性稳压器在典型 PCB 板应用电路中的结温。此类指标不是热阻参数，但提供了一种估算结温的相对实用方法。已确定这些 psi 指标与可用于散热的铜面积明显无关。*热性能信息* 该表列出了主要的热指标，即结至顶部特征参数 (ψ_{JT}) 和结至电路板特征参数 (ψ_{JB})。这些参数提供了两种计算结温 (T_J) 的方法，如以下公式所述。结合使用结至顶部特征参数 (ψ_{JT}) 和器件封装顶部中间位置的温度 (T_T) 来计算结温。结合使用结至电路板特征参数 (ψ_{JB}) 和距器件封装 1mm PCB 表面温度 (T_B) 来计算结温。

$$T_J = T_T + \psi_{JT} \times P_D \tag{9}$$

其中：

- P_D 是耗散功率
- T_T 器件封装顶部中间位置的温度

$$T_J = T_B + \psi_{JB} \times P_D \tag{10}$$

Copyright © 2026 Texas Instruments Incorporated

其中

- T_B 是在距器件封装 1mm 且位于封装边缘中心位置测得的 PCB 表面温度

有关热指标及其使用方法的详细信息，请参阅*半导体和 IC 封装热指标*应用手册。

Copyright © 2026 Texas Instruments Incorporated

7.1.8 电源正常

7.1.8.1 设置可调电源正常延迟

电源正常延迟时间通过两种方式设置：将 DELAY 引脚悬空或在该引脚和 GND 之间连接一个电容器。当 DELAY 引脚悬空时，时间默认为 $t_{(DLY_FIX)}$。如果 DELAY 引脚和 GND 之间连接了一个电容器，则通过以下公式设置延迟时间。

$$t = t_{(DLY_FIX)} + C_{DELAY}\left(\frac{V_{DLY(TH)}}{I_{DLY(CHARGE)}}\right) \quad (11)$$

7.2 典型应用

图 7-7 显示了 TPS7B86-Q1 的典型应用电路。TI 建议使用电介质类型为 X5R 或 X7R 的低 ESR 陶瓷电容器。

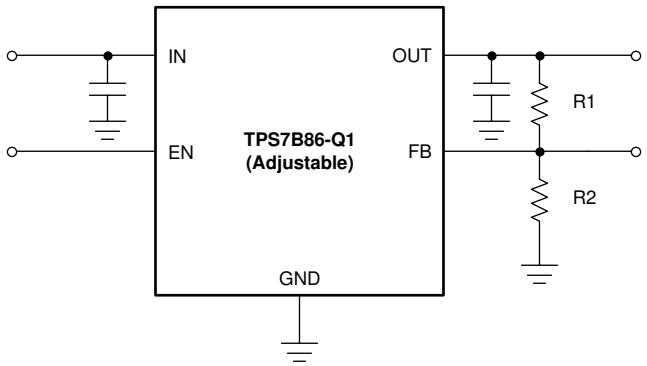


图 7-7. TPS7B86-Q1 的典型应用原理图

7.2.1 设计要求

本设计示例使用表 7-1 中所列的参数作为输入参数。

表 7-1. 设计参数

设计参数	示例值
输入电压范围	6V 至 40V
输出电压	5V
输出电流	350mA
输出电容器	10μF

7.2.2 详细设计过程

7.2.2.1 输入电容器

该器件需要一个输入去耦电容器，其值取决于应用。去耦电容器的典型建议值为 1 μ F。额定电压必须大于最大输入电压。

7.2.2.2 输出电容器

此器件需要一个输出电容器来稳定输出电压。电容器值范围必须介于 2.2μF 和 200μF 之间，ESR 范围必须介于 1mΩ 和 2Ω 之间。本设计使用低 ESR、10μF 陶瓷电容器来提高瞬态性能。

Copyright © 2026 Texas Instruments Incorporated

7.2.3 应用曲线

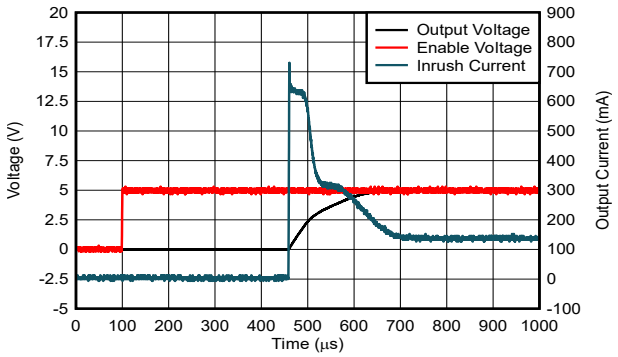


图 7-8. 带 EN 的上电波形

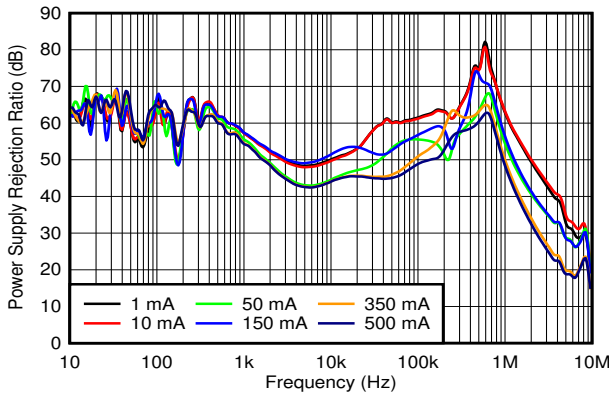


图 7-9. PSRR

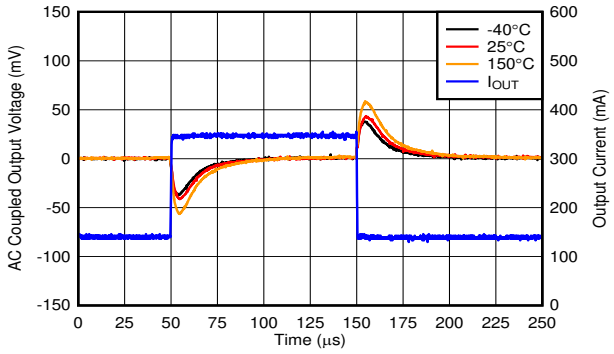


图 7-10. 瞬态响应

7.3 电源相关建议

此器件设计为在 3V 至 40V 的输入电源电压范围内运行。该输入电源必须经过良好调节。如果输入电源与 TPS7B86-Q1 器件的距离超过数英寸，请在输入端添加一个具有 22µF 值的电解电容器和一个陶瓷旁路电容器。

7.4 布局

7.4.1 布局指南

为了获得理想的总体性能，请将所有电路元件放置在电路板的同一侧，并尽可能靠近各自的 LDO 引脚连接。将输入和输出电容器的接地回路连接以及 LDO 接地引脚的接地回路连接放置得尽可能彼此靠近，并通过较宽的元件侧铜表面进行连接。强烈建议不要在输入和输出电容器上使用过孔和长迹线、否则会对系统性能产生负面影响。TI 还建议使用嵌入在 PCB 中，或者位于 PCB 底部与元件相对位置的接地基准平面。该参考平面用于增强输出电压的精度、屏蔽噪声，当连接到散热焊盘时，其作用类似于散热平面，可扩散（或吸收）LDO 器件的热量。在大多数应用中，此接地平面是满足散热要求的必要条件。

7.4.1.1 封装

有关 TPS7B86-Q1 的焊盘占用空间建议，请参阅本文档末尾和 www.ti.com。

7.4.1.2 对于改进 PSRR 和噪声性能的电路板布局布线建议

如 图 7-11 和 图 7-12 所示，在 TPS7B86-Q1 的布局中，输入和输出电容应紧靠器件放置。为提升散热性能，应在器件周围尽可能布置更多过孔。这些过孔可改善 PCB 中不同 GND 平面之间的热传递效果。

为了改进诸如 PSRR、输出噪声和瞬态响应等交流性能，电路板设计应采用 V_{IN} 和 V_{OUT} 独立接地层，在这种设计中，每个接地平面只连接至器件的 GND 引脚。此外，输出电容的接地线应直接连接到器件的 GND 引脚。

Copyright © 2026 Texas Instruments Incorporated

为了实现稳定运行和最大限度地提高系统性能，应最大限度地减小等效串联电感 (ESL) 和等效串联电阻 (ESR)。将每个电容器放置在尽可能靠近器件且和稳压器位于 PCB 同一侧的位置。

请勿将任何电容器放置在 PCB 的另一侧安装稳压器的位置。使用过孔或长迹线连接电容器可能会对系统性能产生负面影响，甚至导致不稳定。

如果可能，并且为了实现本文档中所指定的最高性能，请使用与 TPS7B86-Q1 评估板相同的布局模式，该评估板可在 www.ti.com 获取。

7.4.2 布局示例

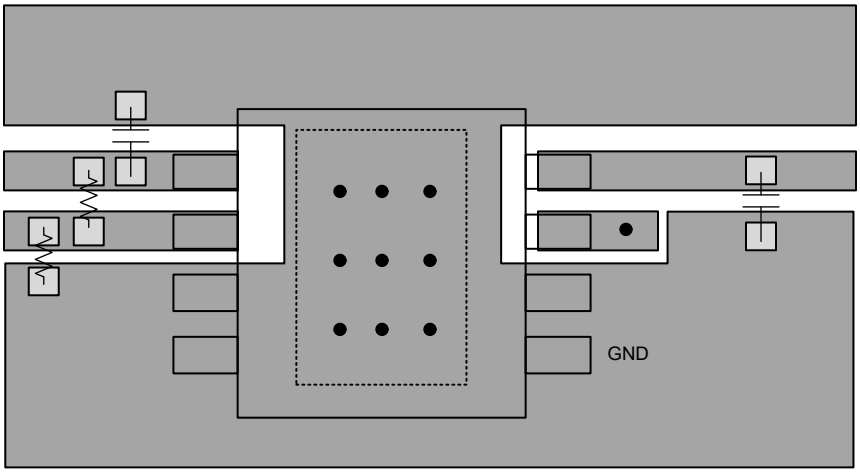


图 7-11. DDA 封装可调输出

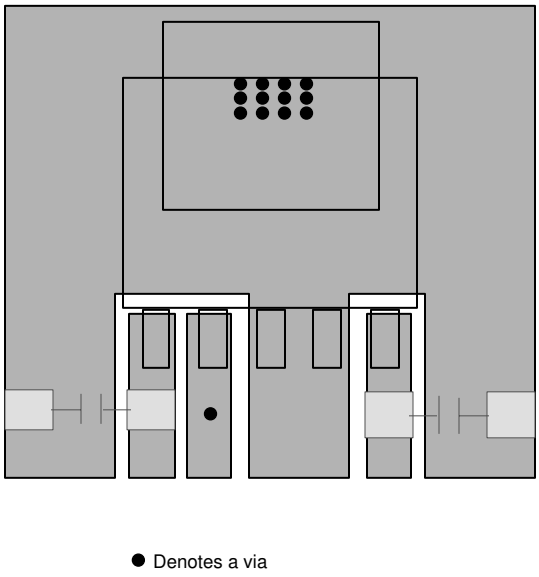


图 7-12. KVU 封装固定输出

Copyright © 2026 Texas Instruments Incorporated

8 器件和文档支持

8.1 器件支持

8.1.1 器件命名规则

表 8-1. 器件命名规则(1)

产品	V_{OUT}
TPS7B86**xxz**Q**yyy**RQ1	**xx** 为标称输出电压（例如，33 = 3.3V、50 = 5.0V、01 = 可调节）。 **z** 为器件版本。此处无字母表示该器件无电源正常状态。B 表示该器件具有电源正常状态。D 也表示该器件具有电源正常状态，只是 B 版本的引脚排列类型。 **yyy** 为封装标识符号。 **Q** 表示此器件是一款符合 AEC-Q100 标准的 1 级器件。 **Q1** 表示此器件是一款汽车级 (AEC-Q100) 器件。 对于 DDA 封装，该器件可能会随附多个引线框。卷带封装标签提供 ASO 信息以区分正在使用的引线框。ASO: FMX 标签表示来自新制造工厂，ASO: ASE 标签表示来自旧制造工厂的材料。

(1) 如需获得最新的封装和订购信息，请参阅本文档末尾的 *封装选项附录*，或者访问 www.ti.com 上的器件产品文件夹。

8.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

8.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

Copyright © 2026 Texas Instruments Incorporated

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision D (October 2025) to Revision E (October 2026)	Page
• 更新了 EN 引脚额定值以确保器件可靠运行	5
• 更新了 EN 引脚额定值以确保器件可靠运行	6

Changes from Revision C (August 2022) to Revision D (October 2025)	Page
• 更新了*热性能信息*表，以包含来自多个制造工厂（ASE、FMX）的 DDA 封装的热性能信息	5
• 更新了*器件命名规则*，以包含注释，说明区分不同装配地点 DDA 材料的方法。	29
• 将机械图纸从 DDA0008E-C01 更新为 DDA0008B-C01	31

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2026 Texas Instruments Incorporated

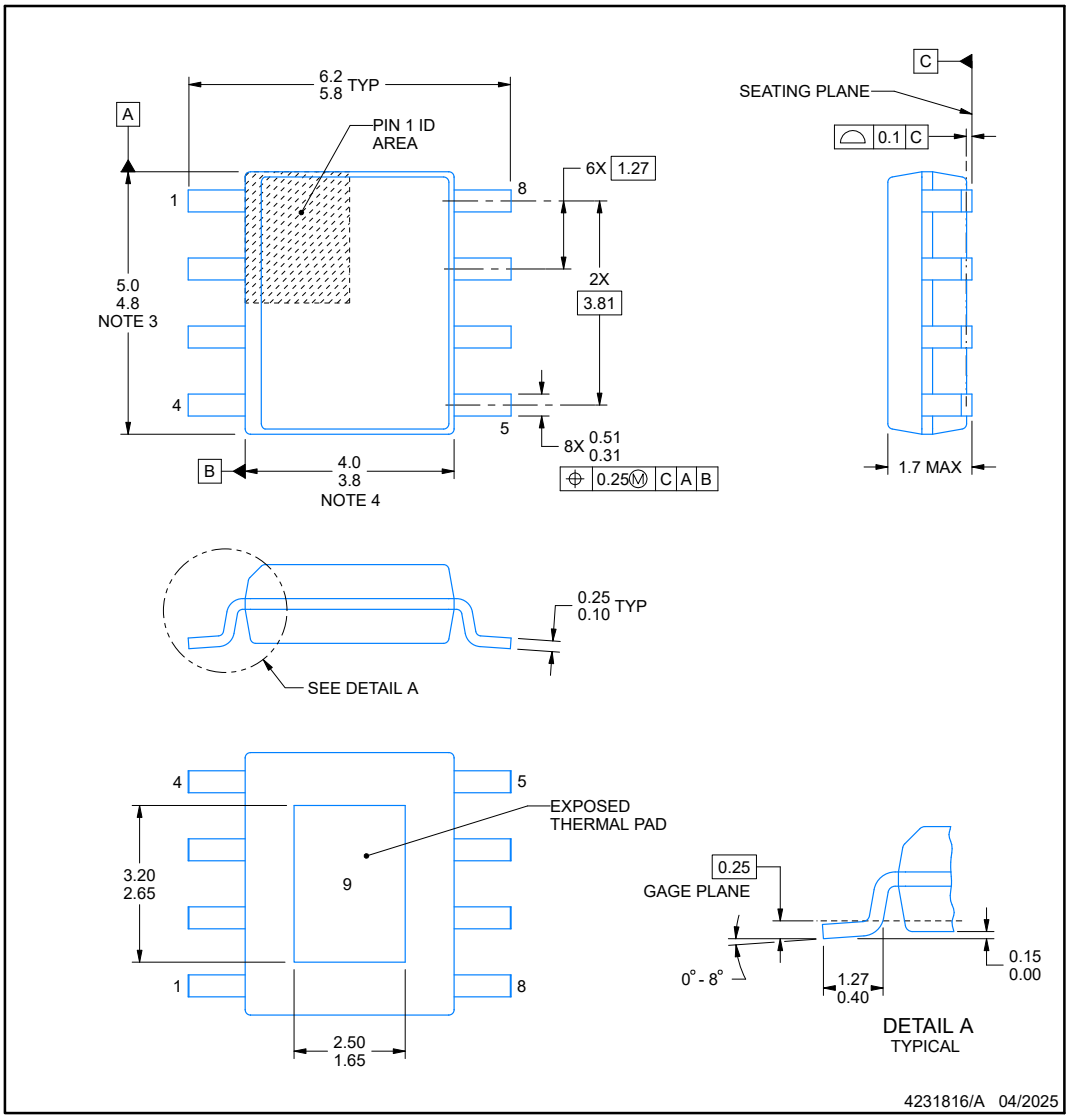
PACKAGE OUTLINE

DDA0008B-C01



PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MS-012.

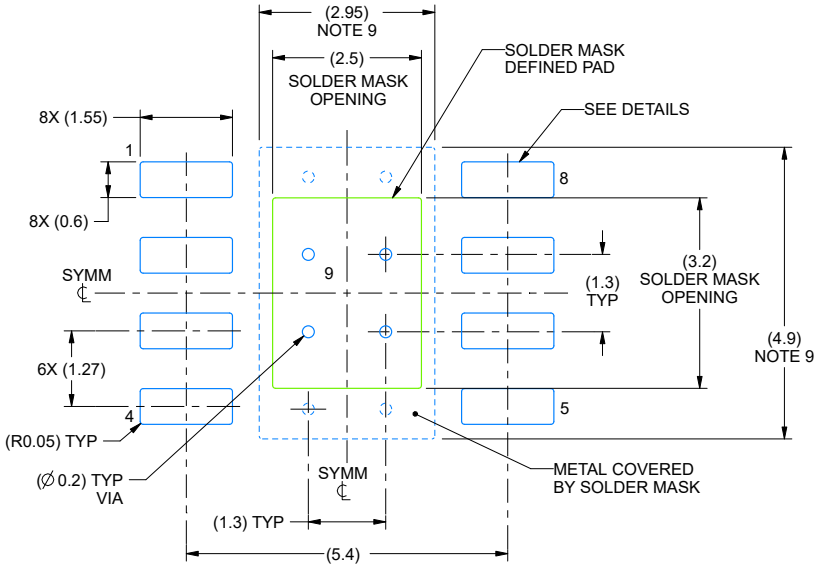
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

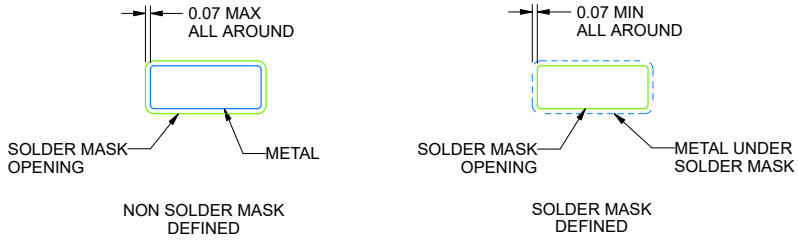
DDA0008B-C01

PowerPAD ™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
SCALE:10X



SOLDER MASK DETAILS
PADS 1-8

4231816/A 04/2025

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

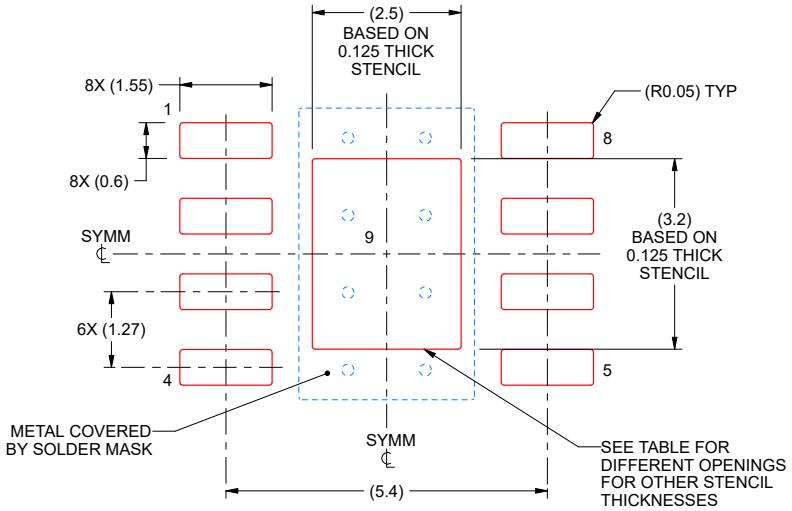
www.ti.com

Copyright © 2026 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

DDA0008B-C01 **PowerPAD ™ SOIC - 1.7 mm max height**

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
EXPOSED PAD
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:10X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	2.8 X 3.58
0.125	2.5 X 3.2 (SHOWN)
0.150	2.28 X 2.92
0.175	2.11 X 2.7

4231816/A 04/2025

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS7B8601BQDDARQ1	Active	Production	SO PowerPAD (DDA) | 8	2500 | LARGE T&R	Yes	NIPDAU | NIPDAUAG	Level-2-260C-1 YEAR	-40 to 150	B8601B PHNX
TPS7B8601BQDDARQ1.A	Active	Production	SO PowerPAD (DDA) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	B8601B PHNX
TPS7B8601DQDDARQ1	Active	Production	SO PowerPAD (DDA) | 8	2500 | LARGE T&R	Yes	NIPDAU | NIPDAUAG	Level-2-260C-1 YEAR	-40 to 150	B8601D PHNX
TPS7B8601DQDDARQ1.A	Active	Production	SO PowerPAD (DDA) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	B8601D PHNX
TPS7B8601QDDARQ1	Active	Production	SO PowerPAD (DDA) | 8	2500 | LARGE T&R	Yes	NIPDAU | NIPDAUAG	Level-2-260C-1 YEAR	-40 to 150	7B8601
TPS7B8601QDDARQ1.A	Active	Production	SO PowerPAD (DDA) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	7B8601
TPS7B8601QKVURQ1	Active	Production	TO-252 (KVU) | 5	2500 | LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 150	7B8601
TPS7B8601QKVURQ1.A	Active	Production	TO-252 (KVU) | 5	2500 | LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 150	7B8601
TPS7B8633BQDDARQ1	Active	Production	SO PowerPAD (DDA) | 8	2500 | LARGE T&R	Yes	NIPDAU | NIPDAUAG	Level-2-260C-1 YEAR	-40 to 150	B8633B PHNX
TPS7B8633BQDDARQ1.A	Active	Production	SO PowerPAD (DDA) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	B8633B PHNX
TPS7B8633DQDDARQ1	Active	Production	SO PowerPAD (DDA) | 8	2500 | LARGE T&R	Yes	NIPDAU | NIPDAUAG	Level-2-260C-1 YEAR	-40 to 150	B8633D PHNX
TPS7B8633DQDDARQ1.A	Active	Production	SO PowerPAD (DDA) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	B8633D PHNX
TPS7B8633QDDARQ1	Active	Production	SO PowerPAD (DDA) | 8	2500 | LARGE T&R	Yes	NIPDAU | NIPDAUAG	Level-2-260C-1 YEAR	-40 to 150	7B8633
TPS7B8633QDDARQ1.A	Active	Production	SO PowerPAD (DDA) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	7B8633
TPS7B8633QKVURQ1	Active	Production	TO-252 (KVU) | 5	2500 | LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 150	7B8633
TPS7B8633QKVURQ1.A	Active	Production	TO-252 (KVU) | 5	2500 | LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 150	7B8633
TPS7B8633QKVURQ1R2	Active	Production	TO-252 (KVU) | 5	2500 | LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 150	7B8633
TPS7B8633QKVURQ1R2.A	Active	Production	TO-252 (KVU) | 5	2500 | LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 150	7B8633
TPS7B8650BQDDARQ1	Active	Production	SO PowerPAD (DDA) | 8	2500 | LARGE T&R	Yes	NIPDAU | NIPDAUAG	Level-2-260C-1 YEAR	-40 to 150	B8650B PHNX

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS7B8650BQDDARQ1.A	Active	Production	SO PowerPAD (DDA) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	B8650B PHNX
TPS7B8650DQDDARQ1	Active	Production	SO PowerPAD (DDA) | 8	2500 | LARGE T&R	Yes	NIPDAU | NIPDAUAG	Level-2-260C-1 YEAR	-40 to 150	B8650D PHNX
TPS7B8650DQDDARQ1.A	Active	Production	SO PowerPAD (DDA) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	B8650D PHNX
TPS7B8650QDDARQ1	Active	Production	SO PowerPAD (DDA) | 8	2500 | LARGE T&R	Yes	NIPDAU | NIPDAUAG	Level-2-260C-1 YEAR	-40 to 150	7B8650
TPS7B8650QDDARQ1.A	Active	Production	SO PowerPAD (DDA) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	7B8650
TPS7B8650QKVURQ1	Active	Production	TO-252 (KVU) | 5	2500 | LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 150	7B8650
TPS7B8650QKVURQ1.A	Active	Production	TO-252 (KVU) | 5	2500 | LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 150	7B8650
TPS7B8650QKVURQ1R2	Active	Production	TO-252 (KVU) | 5	2500 | LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 150	7B8650
TPS7B8650QKVURQ1R2.A	Active	Production	TO-252 (KVU) | 5	2500 | LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 150	7B8650

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

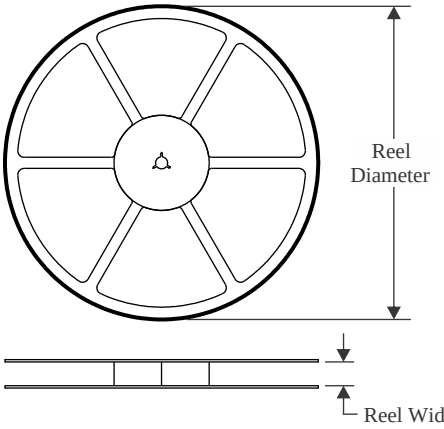
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

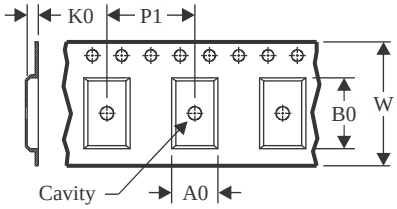
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

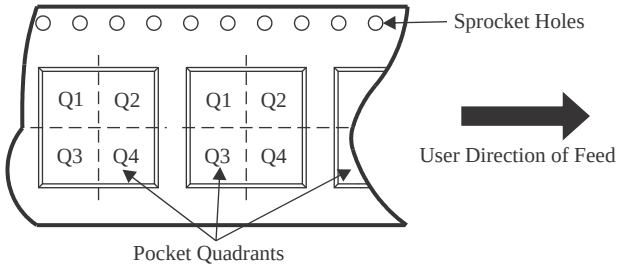


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

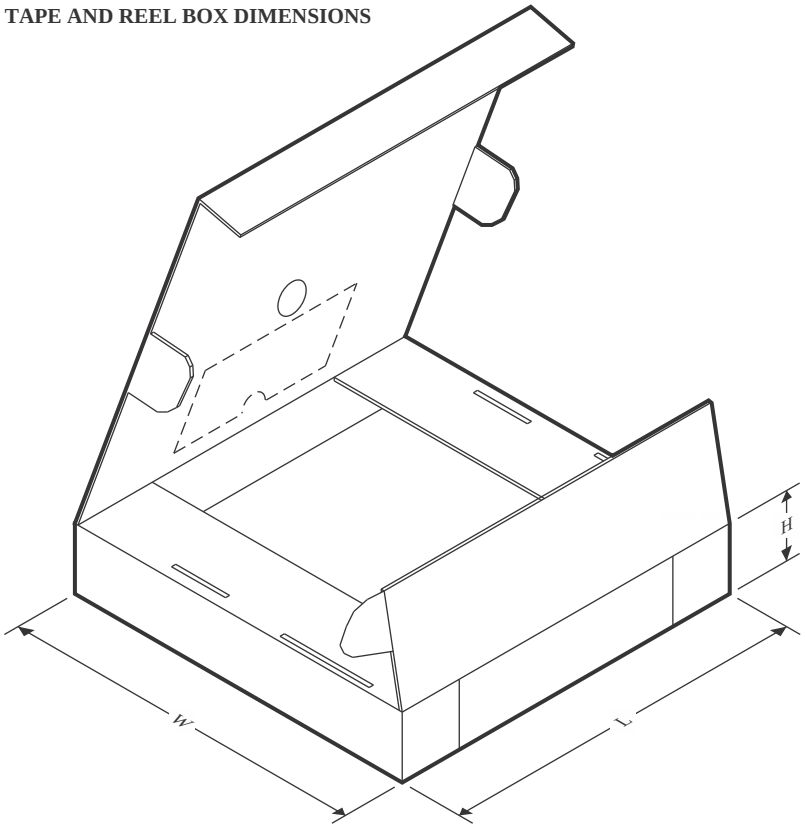


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS7B8601BQDDARQ1	SO PowerPAD	DDA	8	2500	330.0	12.5	6.4	5.2	2.1	8.0	12.0	Q1
TPS7B8601BQDDARQ1	SO PowerPAD	DDA	8	2500	330.0	12.8	6.4	5.2	2.1	8.0	12.0	Q1
TPS7B8601DQDDARQ1	SO PowerPAD	DDA	8	2500	330.0	12.5	6.4	5.2	2.1	8.0	12.0	Q1
TPS7B8601DQDDARQ1	SO PowerPAD	DDA	8	2500	330.0	12.8	6.4	5.2	2.1	8.0	12.0	Q1
TPS7B8601QDDARQ1	SO PowerPAD	DDA	8	2500	330.0	12.8	6.4	5.2	2.1	8.0	12.0	Q1
TPS7B8601QKVURQ1	TO-252	KVU	5	2500	330.0	16.4	6.9	10.5	2.7	8.0	16.0	Q3
TPS7B8633BQDDARQ1	SO PowerPAD	DDA	8	2500	330.0	12.5	6.4	5.2	2.1	8.0	12.0	Q1
TPS7B8633BQDDARQ1	SO PowerPAD	DDA	8	2500	330.0	12.8	6.4	5.2	2.1	8.0	12.0	Q1
TPS7B8633DQDDARQ1	SO PowerPAD	DDA	8	2500	330.0	12.8	6.4	5.2	2.1	8.0	12.0	Q1

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS7B8633DQDDARQ1	SO PowerPAD	DDA	8	2500	330.0	12.5	6.4	5.2	2.1	8.0	12.0	Q1
TPS7B8633QDDARQ1	SO PowerPAD	DDA	8	2500	330.0	12.8	6.4	5.2	2.1	8.0	12.0	Q1
TPS7B8633QKVURQ1	TO-252	KVU	5	2500	330.0	16.4	6.9	10.5	2.7	8.0	16.0	Q3
TPS7B8633QKVURQ1R2	TO-252	KVU	5	2500	330.0	16.4	6.9	10.5	2.7	8.0	16.0	Q2
TPS7B8650BQDDARQ1	SO PowerPAD	DDA	8	2500	330.0	12.5	6.4	5.2	2.1	8.0	12.0	Q1
TPS7B8650BQDDARQ1	SO PowerPAD	DDA	8	2500	330.0	12.8	6.4	5.2	2.1	8.0	12.0	Q1
TPS7B8650DQDDARQ1	SO PowerPAD	DDA	8	2500	330.0	12.5	6.4	5.2	2.1	8.0	12.0	Q1
TPS7B8650DQDDARQ1	SO PowerPAD	DDA	8	2500	330.0	12.8	6.4	5.2	2.1	8.0	12.0	Q1
TPS7B8650QDDARQ1	SO PowerPAD	DDA	8	2500	330.0	12.8	6.4	5.2	2.1	8.0	12.0	Q1
TPS7B8650QKVURQ1	TO-252	KVU	5	2500	330.0	16.4	6.9	10.5	2.7	8.0	16.0	Q3
TPS7B8650QKVURQ1R2	TO-252	KVU	5	2500	330.0	16.4	6.9	10.5	2.7	8.0	16.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS7B8601BQDDARQ1	SO PowerPAD	DDA	8	2500	340.5	338.1	20.6
TPS7B8601BQDDARQ1	SO PowerPAD	DDA	8	2500	366.0	364.0	50.0
TPS7B8601DQDDARQ1	SO PowerPAD	DDA	8	2500	340.5	338.1	20.6
TPS7B8601DQDDARQ1	SO PowerPAD	DDA	8	2500	366.0	364.0	50.0
TPS7B8601QDDARQ1	SO PowerPAD	DDA	8	2500	366.0	364.0	50.0
TPS7B8601QKVURQ1	TO-252	KVU	5	2500	340.0	340.0	38.0
TPS7B8633BQDDARQ1	SO PowerPAD	DDA	8	2500	340.5	338.1	20.6
TPS7B8633BQDDARQ1	SO PowerPAD	DDA	8	2500	366.0	364.0	50.0
TPS7B8633DQDDARQ1	SO PowerPAD	DDA	8	2500	366.0	364.0	50.0
TPS7B8633DQDDARQ1	SO PowerPAD	DDA	8	2500	340.5	338.1	20.6
TPS7B8633QDDARQ1	SO PowerPAD	DDA	8	2500	366.0	364.0	50.0
TPS7B8633QKVURQ1	TO-252	KVU	5	2500	340.0	340.0	38.0
TPS7B8633QKVURQ1R2	TO-252	KVU	5	2500	340.0	340.0	38.0
TPS7B8650BQDDARQ1	SO PowerPAD	DDA	8	2500	353.0	353.0	32.0
TPS7B8650BQDDARQ1	SO PowerPAD	DDA	8	2500	366.0	364.0	50.0
TPS7B8650DQDDARQ1	SO PowerPAD	DDA	8	2500	353.0	353.0	32.0
TPS7B8650DQDDARQ1	SO PowerPAD	DDA	8	2500	366.0	364.0	50.0
TPS7B8650QDDARQ1	SO PowerPAD	DDA	8	2500	366.0	364.0	50.0

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS7B8650QKVURQ1	TO-252	KVU	5	2500	340.0	340.0	38.0
TPS7B8650QKVURQ1R2	TO-252	KVU	5	2500	340.0	340.0	38.0

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月