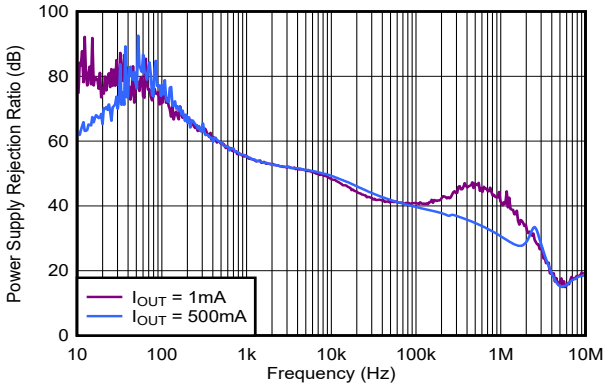
TPS795 超低噪声、高 PSRR、快速、射频、500mA 低压降线性稳压器

1 特性

- 具有使能功能的 500mA 低压降稳压器
- 提供固定和可调节版本
- 高 PSRR（频率为 10kHz 时 50dB）
- 低噪声
  - 33μV_{RMS}（旧芯片）
  - 78μV_{RMS}（新芯片）
- 与 1µF 陶瓷电容器搭配使用时可保持稳定
- 出色的负载和线路瞬态响应
- 低压降：110mV（典型值）
- 6 引脚 SOT-223 封装和 3mm × 3mm VSON 封装
- 有关更新的器件产品组合，请参阅 TPS7A90

2 应用

- 电视应用
- 楼宇自动化
- 联网外设和打印机
- 家庭影院和娱乐应用



TPS795 波纹抑制与频率

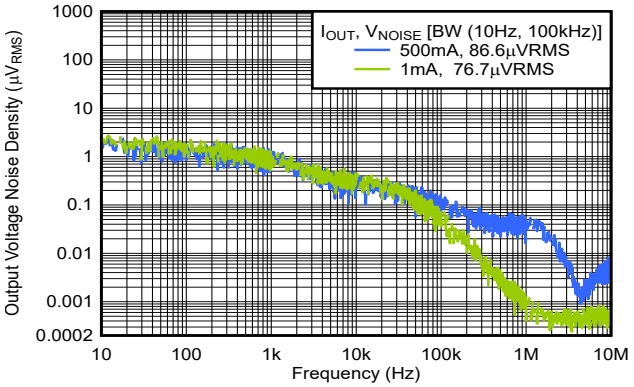
3 说明

TPS795 低压降 (LDO)、低功耗、线性稳压器具有高电源抑制比 (PSRR)、超低噪声、快速启动能力以及出色的线性和负载瞬态响应，采用 6 引脚 SOT-223 封装和 3mm × 3mm VSON 封装。TPS795 在输出端使用小型 1µF 陶瓷电容器实现稳定工作。TPS795 提供低压降电压（例如 500mA 时为 110mV）。对于诸如便携式射频电子器件等使用噪声敏感模拟组件的应用，它们将从高 PSRR、低噪声和快速响应时间等特性中受益。

封装信息

器件型号	封装(1)	封装尺寸(2)
TPS795	DCQ（SOT-223，6）	6.5mm × 7.06mm
	DRB（VSON，8）	3mm × 3mm

(1) 如需更多信息，请参阅*机械、封装和可订购信息*。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



TPS795 输出电压噪声

本资源的原文使用英文撰写。为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 引脚配置和功能.....3
5 规格.....4
5.1 绝对最大额定值.....4
5.2 ESD 等级.....4
5.3 建议运行条件.....5
5.4 热性能信息.....5
5.5 电气特性.....6
5.6 典型特性.....7
6 详细说明.....14
6.1 概述.....14
6.2 功能方框图.....14
6.3 特性说明.....15
6.4 器件功能模式.....18
7 应用和实施.....19
7.1 应用信息.....19
7.2 典型应用.....19
7.3 最佳设计实践.....22
7.4 电源相关建议.....22
7.5 布局.....23
8 器件和文档支持.....29
8.1 器件支持.....29
8.2 文档支持.....29
8.3 接收文档更新通知.....29
8.4 支持资源.....29
8.5 商标.....30
8.6 静电放电警告.....30
8.7 术语表.....30
9 修订历史记录.....30
10 机械、封装和可订购信息.....30

Copyright © 2026 Texas Instruments Incorporated

4 引脚配置和功能

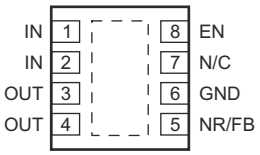


图 4-1. DRB 封装，8 引脚 VSON（顶视图，旧芯片）

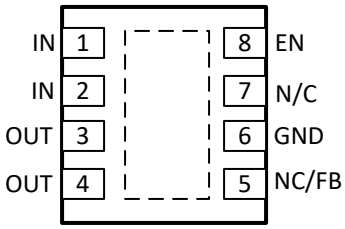


图 4-2. DRB 封装，8 引脚 VSON（顶视图，新芯片）

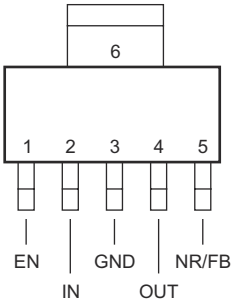


图 4-3. DCQ 封装，6 引脚 SOT-223（顶视图，旧芯片）

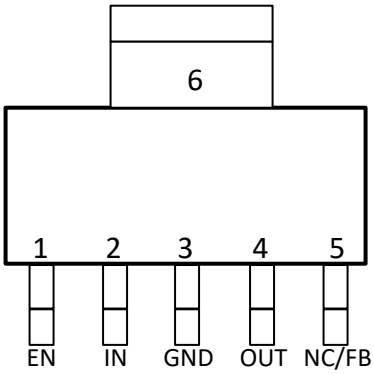


图 4-4. DCQ 封装，6 引脚 SOT-223（顶视图，新芯片）

表 4-1. 引脚功能

引脚			类型(1)	说明
名称	VSON	SOT-223		
EN	8	1	输入	驱动使能引脚 (EN) 为高电平打开稳压器。将这个引脚驱动为低电平来将稳压器置于关断模式。如未使用，EN 可被连接至 IN。
FB	5	5	输入	可调器件的反馈输入电压。
GND	6	3、6	—	稳压器接地
IN	1、2	2	输入	器件的输入。
N/C	5.7	5	—	无内部连接
NR	5	5	—	***旧芯片：*** 降噪引脚仅适用于固定版本。将一个外部电容器连接到这个引脚来绕开内部带隙生成的噪声，可改善电源抑制并降低输出噪声。 ***（可调版本上不提供。）*** 如需低噪声性能的器件，可考虑使用 TPS7A90。
OUT	3、4	4	输出	稳压器输出
散热焊盘	Pad	—	—	将散热焊盘连接到大面积接地平面。散热焊盘内部连接到 GND。

(1) I = 输入；O = 输出

Copyright © 2026 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
电压	电源，V_{IN}（新芯片）	-0.3	6.5	V
	电源，V_{IN}（旧芯片）	-0.3	6	
	使能，V_{EN}	-0.3	V_{IN} + 0.3	
	输出，V_{OUT}	-0.3	6	
电流	输出，I_{OUT}	受内部限制		
温度	工作结温，T_J	-40	150	°C
	贮存温度，T_{stg}	-65	150	

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。“绝对最大额定值”并不表示器件在这些条件下或在“建议运行条件”以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能，并缩短器件寿命

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚(1)	±2000	V
$V_{(ESD)}$	静电放电	充电器件模型 (CDM)，符合 JEDEC 规范 JESD22C101，V 所有引脚(2)	±500	V

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

Copyright © 2026 Texas Instruments Incorporated

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

			最小值	标称值	最大值	单位
V_{IN}	输入电源电压（旧芯片）		2.7		5.5	V
	输入电源电压（新芯片）		2.7		6.0	
C_{IN}	输入电容器		2.2			μF
C_{OUT}	输出电容器		1(1)		200	
C_{FF}	前馈电容器（新芯片）		0	10	100	nF
I_{OUT}	输出电流		0		500	mA
V_{EN}	使能电压（旧芯片）		0		5.5	V
	使能电压（新芯片）		0		6.0	
F_{EN}	启用切换频率（新芯片）				10	kHz
Tj	结温		-40		125	°C

(1) 最小有效电容为 0.47μF。

5.4 热性能信息

热指标 (1)		TPS795 DRB (VSON)		TPS795 DCQ (SOT223-6)		单位
		8 引脚 (2)	8 引脚 (3)	6 引脚 (2)	6 引脚 (3)	
$R_{\theta JA}$	结至环境热阻	46.8	54.7	74.0	71.1	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	45.1	76.1	44.5	41.6	°C/W
$R_{\theta JB}$	结至电路板热阻	18.4	30.1	8.6	8.8	°C/W
ψ_{JT}	结至顶部特征参数	0.7	6.6	3.2	3.5	°C/W
ψ_{JB}	结至电路板特征参数	18.4	30.2	8.5	8.5	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	5.3	16.7	不适用	6	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用手册。
(2) 旧芯片。
(3) 新芯片。

5.5 电气特性

在工作温度范围内测得，(T_J = –40°C 至 +125°C)，V_{EN} = V_{IN}，V_{IN} = $V_{OUT(nom)}$ + 1V (1)，I_{OUT} = 1mA，C_{OUT} = 10µF 和 C_{NR} = 0.01µF（仅限旧芯片），除非另有说明。所有典型值均在 T_J= 25°C 下测得。

参数		测试条件		最小值	典型值	最大值	单位
V_{FB}	内部基准 (TPS79501)			1.2	1.225	1.25	V
V_{OUT}	输出电压范围 (TPS79501)			1.225		5.5V_{DO}	V
V_{OUT}	输出精度	TPS79501（旧芯片）	0µA ≤ I_{OUT} ≤ 500mA，$V_{OUT(nom)}$ + 1V ≤ V_{IN} ≤ 5.5V (1)	0.98$V_{OUT(nom)}$		1.02$V_{OUT(nom)}$	%
		TPS79501（新芯片）	0µA ≤ I_{OUT} ≤ 500mA，$V_{OUT(nom)}$ + 1V ≤ V_{IN} ≤ 5.5V (1)	0.975$V_{OUT(nom)}$		1.02$V_{OUT(nom)}$	
		固定值 V_{OUT} < 5V	0µA ≤ I_{OUT} ≤ 500mA，$V_{OUT(nom)}$ + 1V ≤ V_{IN} ≤ 5.5V (1)	-2.0		2.0	
$\Delta V_{OUT}/\Delta VIN$	线路调整	V_{OUT} + 1V ≤ V_{IN} ≤ 5.5V			0.05	0.12	%/V
$\Delta V_{OUT}/\Delta I_{OUT}$	负载调整	0µA ≤ I_{OUT} ≤ 500mA			3		mV
V_{DO}	压降电压 TPS79530	V_{IN}= V_{OUT} - 0.1V	I_{OUT} = 500mA		110	170	mV
	压降电压 TPS79533		I_{OUT} = 500mA		105	160	
I_{CL}	输出电流限制	V_{OUT} = 0（旧芯片）		2.4	2.8	4.2	A
I_{CL}	输出电流限制	V_{IN} = $V_{OUT(nom)}$ + 1.25V 或 2.0V（以较大者为准），V_{OUT} = 0.9x $V_{OUT(nom)}$（仅限新芯片） (2)		1.04		1.65	A
I_{SC}	短路电流限制	V_{OUT} = 0（仅限新芯片）			550		mA
I_{GND}	接地电流	0µA ≤ I_{OUT} ≤ 500mA（旧芯片）			265	385	µA
I_{GND}	接地电流	0µA ≤ I_{OUT} ≤ 500mA（新芯片）			500	900	µA
I_{SHDN}	关断电流	V_{EN} = 0V，2.7V ≤ V_{IN} ≤ 5.5V			0.07	1	µA
I_{FB}	反馈引脚电流	V_{FB} = 1.225V				1	µA
PSRR	电源抑制比 (TPS79530)	f = 100Hz，I_{OUT} = 10mA（旧芯片）			59		dB
		f = 100Hz，I_{OUT} = 10mA（新芯片）			64		
		f = 100Hz，I_{OUT} = 500mA（旧芯片）			58		
		f = 100Hz，I_{OUT} = 500mA（新芯片）			76		
		f = 10kHz，I_{OUT} = 500mA（旧芯片）			50		
		f = 10kHz，I_{OUT} = 500mA（新芯片）			49		
		f = 100kHz，I_{OUT} = 500mA（旧芯片）			39		
		f = 100kHz，I_{OUT} = 500mA（新芯片）			39		
V_n	输出噪声电压 (TPS79530)	BW = 100Hz 至 100kHz，I_{OUT} = 500mA	C_{NR} = 0.001µF		46		μV_{RMS}
			C_{NR} = 0.0047µF		41		
			C_{NR} = 0.01µF		35		
			C_{NR} = 0.1µF		33		
		BW = 10Hz 至 100kHz，I_{OUT} = 500mA	新芯片		78		
t_{str}	启动时间	R_L = 6Ω，C_{OUT} = 1µF	C_{NR} = 0.001µF		50		µs
		R_L = 6Ω，C_{OUT} = 1µF	C_{NR} = 0.0047µF		75		
		R_L = 6Ω，C_{OUT} = 1µF	C_{NR} = 0.01µF		110		
t_{str}	启动时间	R_L = 6Ω，C_{OUT} = 1µF	新芯片		550		µs
I_{EN}	使能引脚电流	V_{EN} = 0V		-1		1	µA
$R_{PULLDOWN}$	下拉电阻	V_{IN} = 3.3V（仅限新芯片）			100		Ω
V_{UVLO}	UVLO 阈值	V_{IN} 上升（旧芯片）		2.25		2.65	V
		V_{IN} 上升（新芯片）		1.28		1.62	
$V_{UVLO(HYST)}$	UVLO 迟滞	V_{IN} 迟滞（旧芯片）			100		mV
		V_{IN} 迟滞（新芯片）			130		

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性（续）

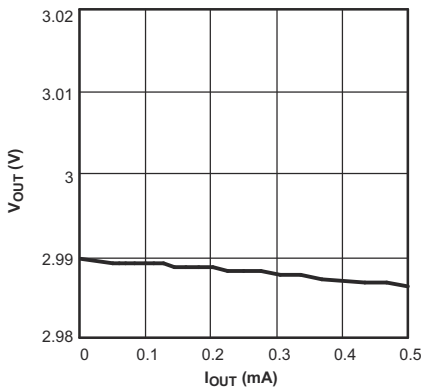
在工作温度范围内测得，(T_J = –40°C 至 +125°C)，V_{EN} = V_{IN}，V_{IN} = $V_{OUT(nom)}$ + 1V (1)，I_{OUT} = 1mA，C_{OUT} = 10µF 和 C_{NR} = 0.01µF（仅限旧芯片），除非另有说明。所有典型值均在 T_J= 25°C 下测得。

参数		测试条件		最小值	典型值	最大值	单位
$V_{EN(HI)}$	高电平使能输入电压	2.7V(1) ≤ V_{IN} ≤ 5.5V（旧芯片）		1.7		V_{IN}	V
		2.7V(1) ≤ V_{IN} ≤ 5.5V（新芯片）		0.85		V_{IN}	
$V_{EN(LOW)}$	低电平使能输入电压	2.7V(1) ≤ V_{IN} ≤ 5.5V（旧芯片）				0.7	
		2.7V(1) ≤ V_{IN} ≤ 5.5V（新芯片）				0.425	
T_{SD}	热关断温度	关断，温度升高	旧芯片		165		℃
T_{SD}	热关断温度	关断，温度升高	新芯片		170		℃
T_{SD}	热关断温度	复位，温度降低	旧芯片		140		℃
T_{SD}	热关断温度	复位，温度降低	新芯片		155		℃

(1) 最小 V_{IN} = V_{OUT} +1V 或 2.7V，以较大者为准。 时进行测试
(2) $V_{OUT(NOM)}$ =5V 是在 $V_{IN\ (NOM)}$ = $V_{OUT(NOM)}$ +1V 时进行测试

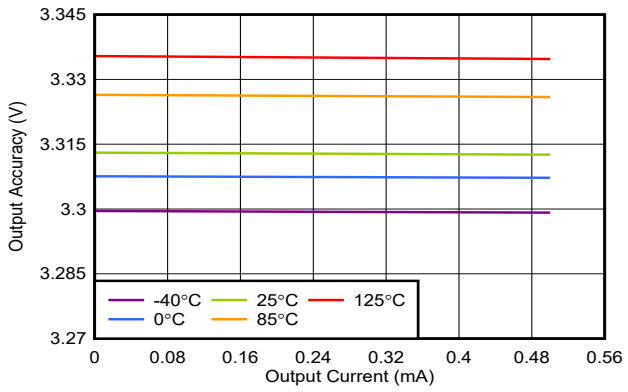
5.6 典型特性

在 V_{EN} = V_{IN}、V_{IN} = $V_{OUT(nom)}$ + 1V、I_{OUT} = 1mA、C_{OUT} = 10µF、C_{NR} = 0.01µF、C_{IN} = 2.2µF 和 T_J = 25°C 条件下（除非另有说明）



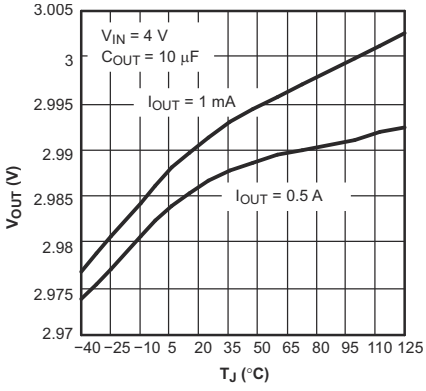
旧芯片

图 5-1. TPS795 输出电压与输出电流间的关系



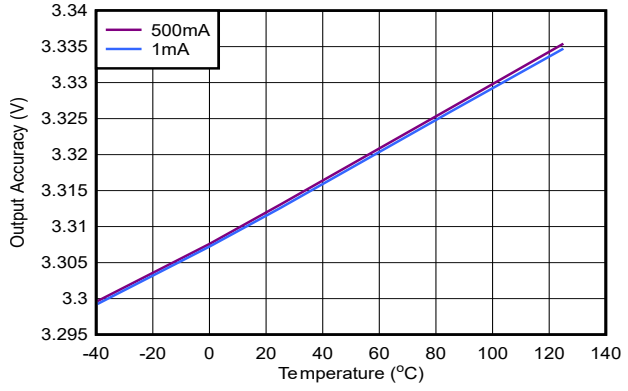
新芯片

图 5-2. TPS795 输出电压与输出电流间的关系



旧芯片

图 5-3. TPS795 输出电压与结温间的关系



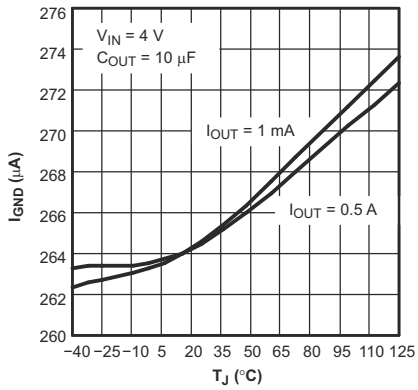
新芯片

图 5-4. TPS795 输出电压与结温间的关系

Copyright © 2026 Texas Instruments Incorporated

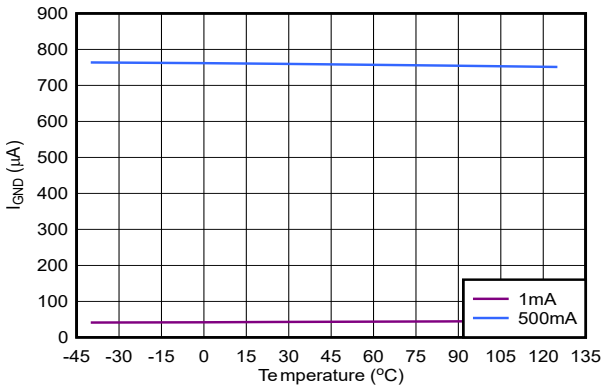
5.6 典型特性（续）

在 V_{EN} = V_{IN}、V_{IN} = $V_{OUT(nom)}$ + 1V、I_{OUT} = 1mA、C_{OUT} = 10µF、C_{NR} = 0.01µF、C_{IN} = 2.2µF 和 T_J = 25°C 条件下（除非另有说明）



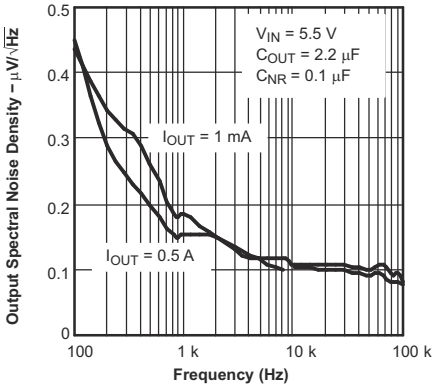
旧芯片

图 5-5. TPS795 接地电流与结温间的关系



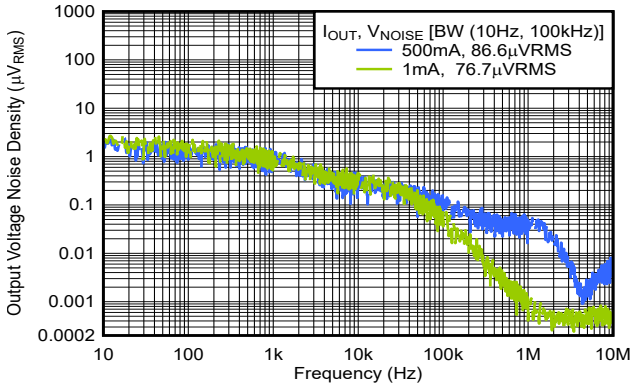
新芯片

图 5-6. TPS795 接地电流与结温间的关系



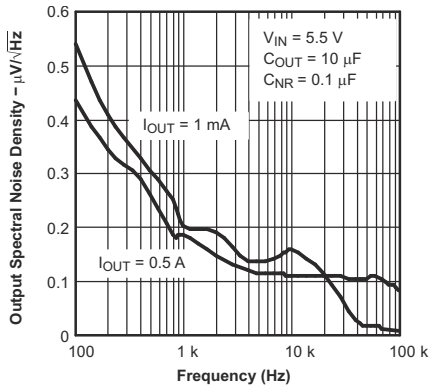
V_{OUT} = 3.0V（旧芯片）

图 5-7. TPS795 输出频谱噪声密度与频率间的关系



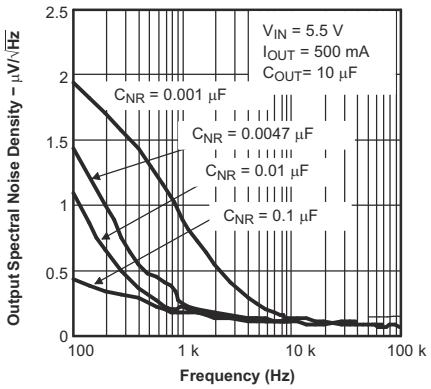
新芯片

图 5-8. TPS795 输出频谱噪声密度与频率间的关系



旧芯片

图 5-9. TPS79530 输出频谱噪声密度与频率间的关系



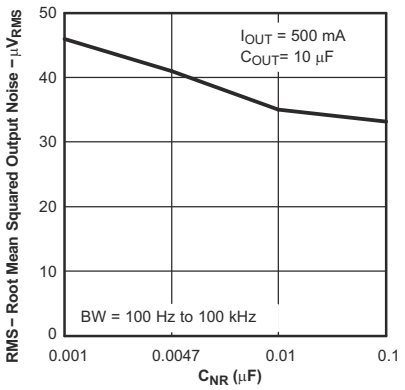
V_{OUT} = 3.0V（旧芯片）

图 5-10. TPS795 输出频谱噪声密度与频率间的关系

Copyright © 2026 Texas Instruments Incorporated

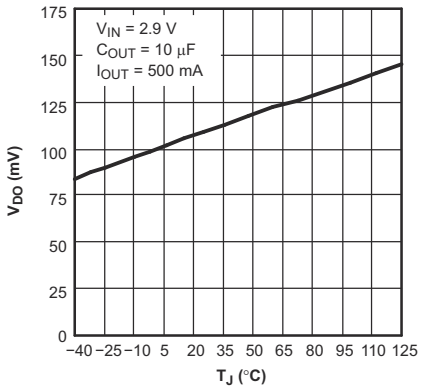
5.6 典型特性（续）

在 V_{EN} = V_{IN}、V_{IN} = $V_{OUT(nom)}$ + 1V、I_{OUT} = 1mA、C_{OUT} = 10µF、C_{NR} = 0.01µF、C_{IN} = 2.2µF 和 T_J = 25°C 条件下（除非另有说明）



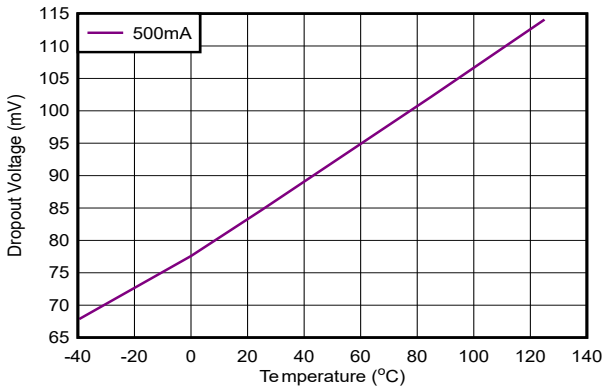
V_{OUT} = 3.0V（旧芯片）

图 5-11. TPS795 均方根输出噪声与 C_{NR} 间的关系



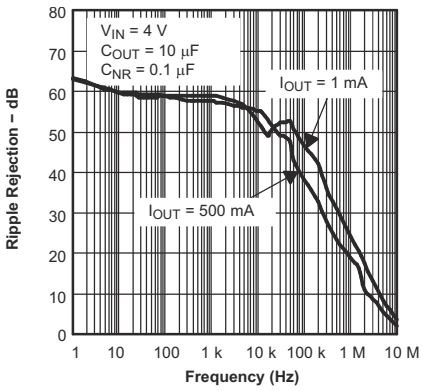
旧芯片

图 5-12. TPS795 压降电压与结温间的关系



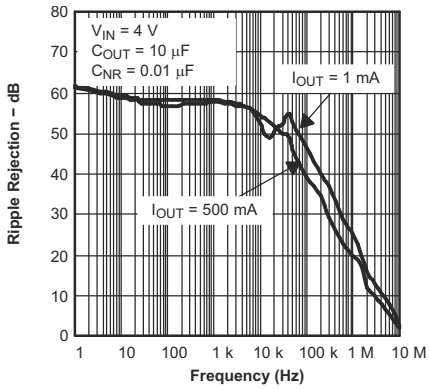
新芯片

图 5-13. TPS795 压降电压与结温间的关系



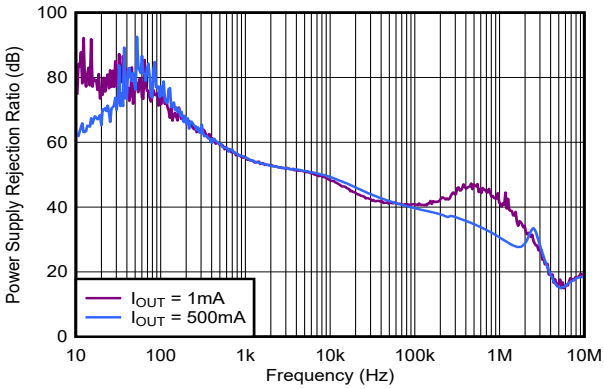
旧芯片

图 5-14. TPS795 波纹抑制与频率



旧芯片

图 5-15. TPS795 波纹抑制与频率

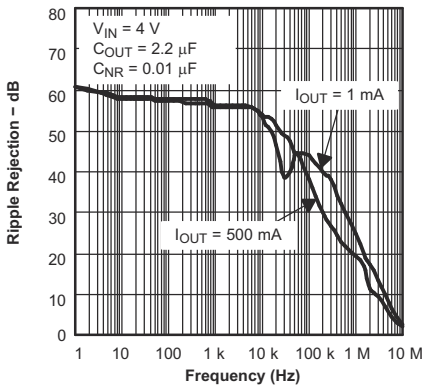


V_{OUT} = 3.3V（新芯片）

图 5-16. TPS795 波纹抑制与频率

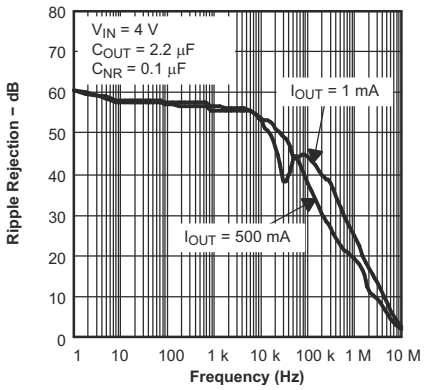
5.6 典型特性（续）

在 V_{EN} = V_{IN}、V_{IN} = $V_{OUT(nom)}$ + 1V、I_{OUT} = 1mA、C_{OUT} = 10µF、C_{NR} = 0.01µF、C_{IN} = 2.2µF 和 T_J = 25°C 条件下（除非另有说明）



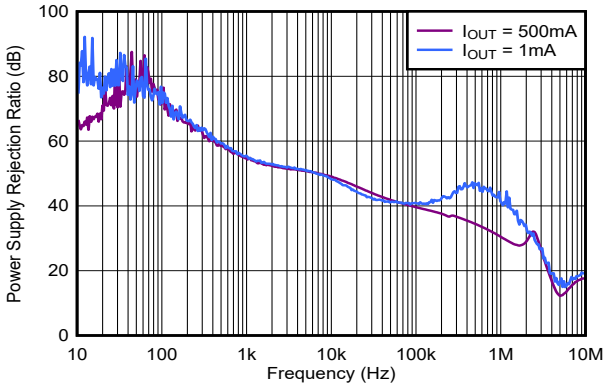
旧芯片

图 5-17. TPS795 波纹抑制与频率



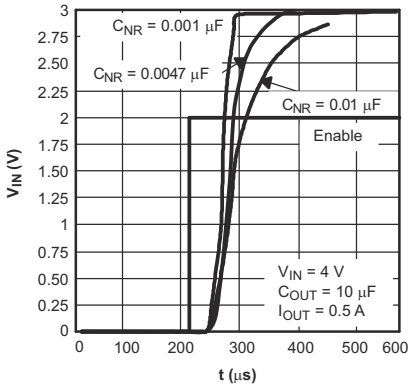
旧芯片

图 5-18. TPS795 波纹抑制与频率



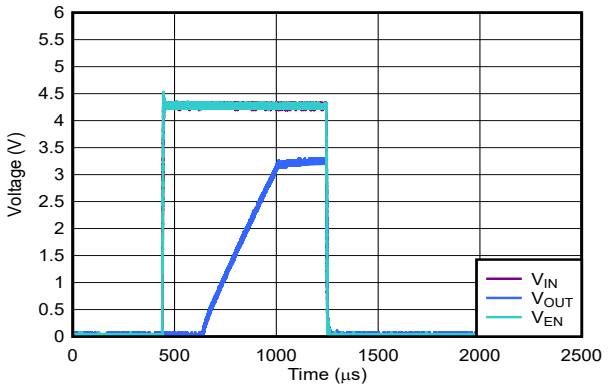
C_{OUT} = 2.2 µ F、V_{OUT} = 3.3V（新芯片）

图 5-19. TPS795 波纹抑制与频率



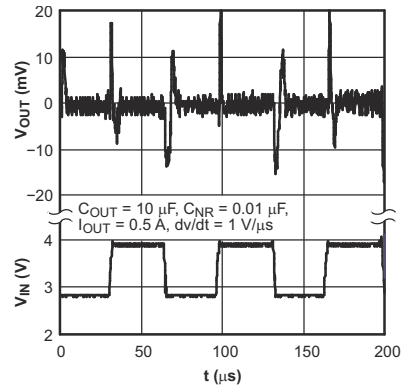
旧芯片

图 5-20. TPS795 启动时间



新芯片

图 5-21. TPS795 启动时间



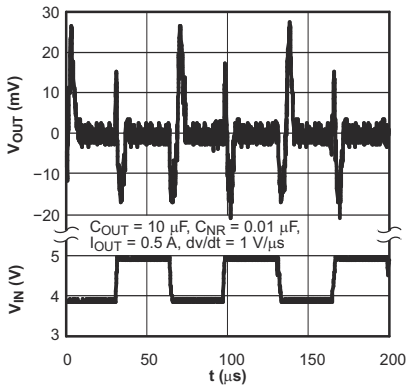
V_{OUT} = 1.8V（旧芯片）

图 5-22. TPS795 线路瞬态响应

Copyright © 2026 Texas Instruments Incorporated

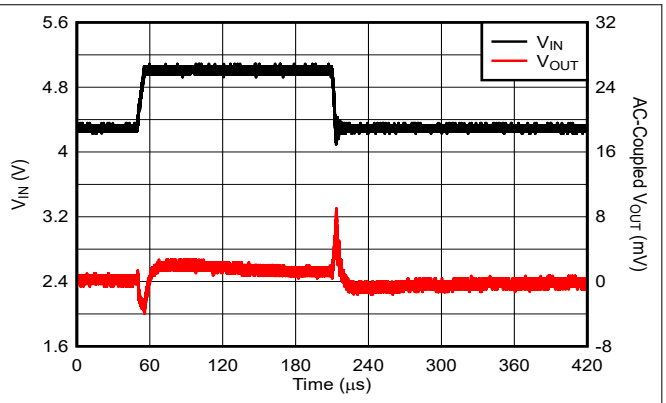
5.6 典型特性（续）

在 $V_{EN} = V_{IN}$、$V_{IN} = V_{OUT(nom)} + 1V$、$I_{OUT} = 1mA$、$C_{OUT} = 10\mu F$、$C_{NR} = 0.01\mu F$、$C_{IN} = 2.2\mu F$ 和 $T_J = 25°C$ 条件下（除非另有说明）



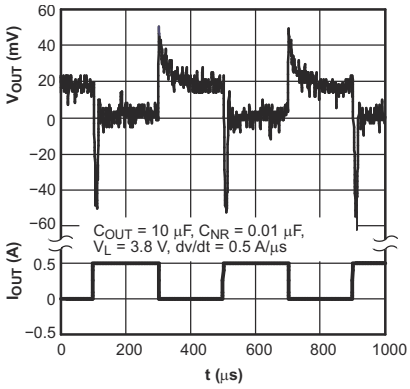
V_{OUT} = 3.0V（旧芯片）

图 5-23. TPS795 线路瞬态响应



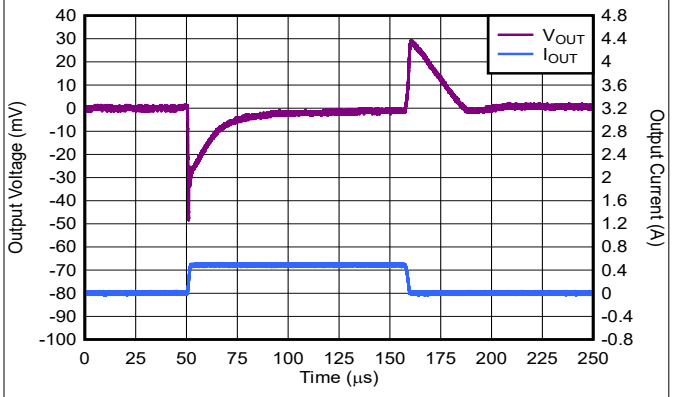
V_{OUT} = 3.3V、I_{OUT} = 500mA、dV/dt = 1V/µs（新芯片）

图 5-24. TPS795 线路瞬态响应



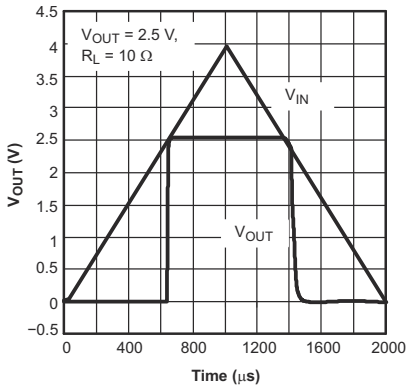
V_{OUT} = 3.0V（旧芯片）

图 5-25. TPS795 负载瞬态响应



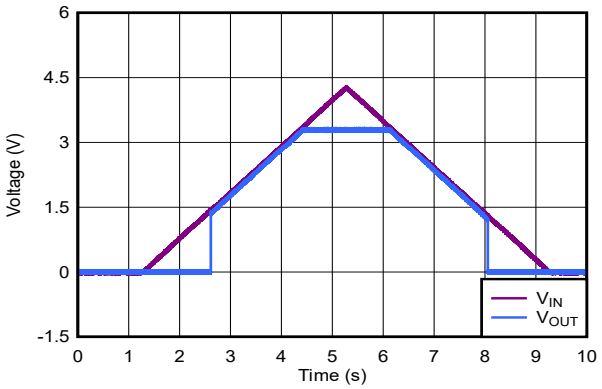
V_{OUT} = 3.3V（新芯片）

图 5-26. TPS795 负载瞬态响应



旧芯片

图 5-27. TPS795 上电和断电

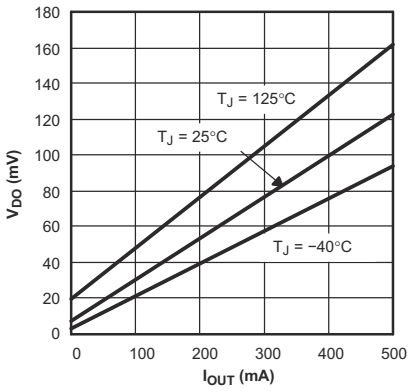


I_{OUT} = 500mA（新芯片）

图 5-28. TPS795 上电和断电

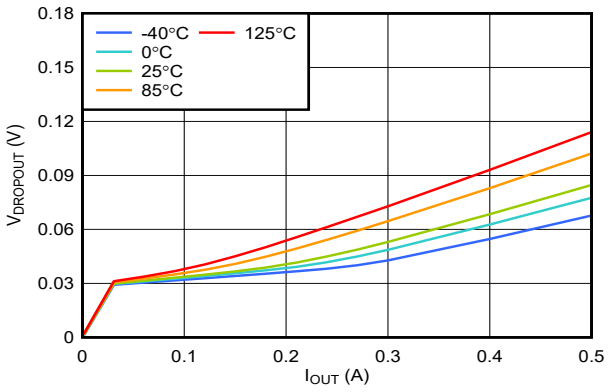
5.6 典型特性（续）

在 $V_{EN} = V_{IN}$、$V_{IN} = V_{OUT(nom)} + 1V$、$I_{OUT} = 1mA$、$C_{OUT} = 10\mu F$、$C_{NR} = 0.01\mu F$、$C_{IN} = 2.2\mu F$ 和 $T_J = 25°C$ 条件下（除非另有说明）



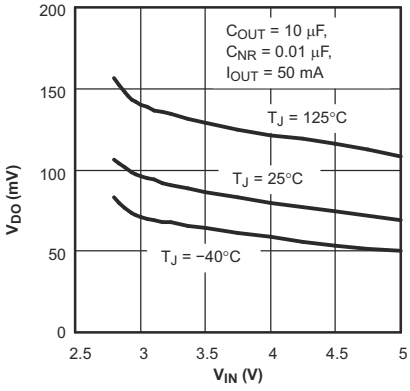
旧芯片

图 5-29. TPS795 压降电压与输出电流间的关系



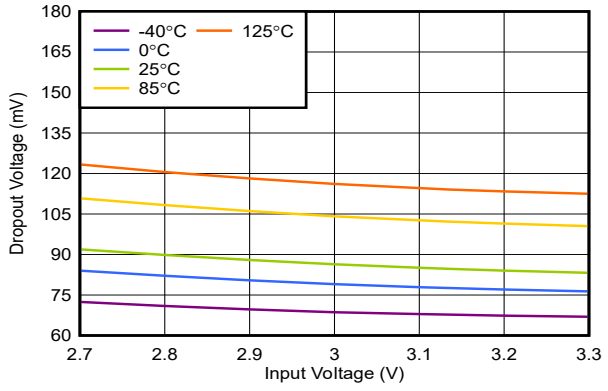
新芯片

图 5-30. TPS795 压降电压与输出电流间的关系



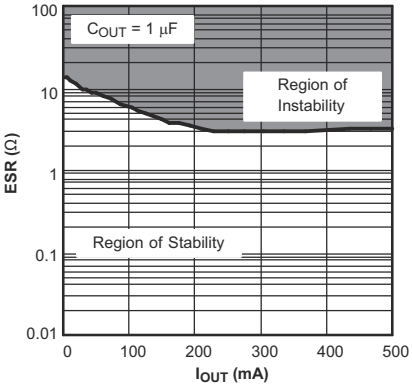
旧芯片

图 5-31. TPS795 压降电压与输入电压间的关系



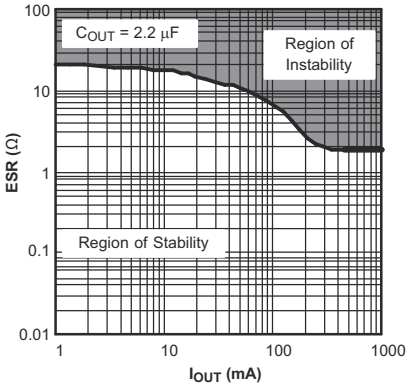
I_{OUT} = 500mA（新芯片）

图 5-32. TPS795 压降电压与输入电压间的关系



V_{OUT} = 3.0V（旧芯片）

图 5-33. TPS795 典型稳定性区域等效串联电阻 (ESR) 与输出电流间的关系



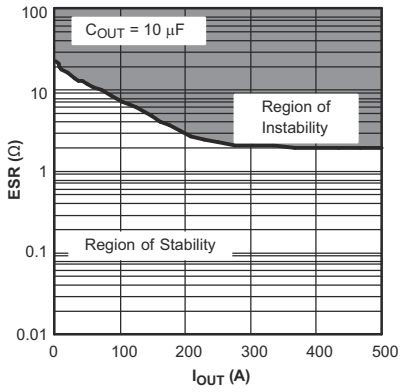
V_{OUT} = 3.0V（旧芯片）

图 5-34. TPS795 典型稳定性区域等效串联电阻 (ESR) 与输出电流间的关系

Copyright © 2026 Texas Instruments Incorporated

5.6 典型特性（续）

在 V_{EN} = V_{IN}、V_{IN} = $V_{OUT(nom)}$ + 1V、I_{OUT} = 1mA、C_{OUT} = 10µF、C_{NR} = 0.01µF、C_{IN} = 2.2µF 和 T_J = 25°C 条件下（除非另有说明）



V_{OUT} = 3.0V（旧芯片）

图 5-35. TPS795 典型稳定性区域等效串联电阻 (ESR) 与输出电流间的关系

6 详细说明

6.1 概述

TPS795 具有许多射频和精密模拟应用所需的高性能及低电流消耗特性。高增益、高带宽误差环路提供了高 PSRR，在极低的余量 (V_{IN} – V_{OUT}) 下具有良好的电源抑制能力。该稳压器提供限流保护、输出使能、有源放电、欠压锁定 (UVLO) 和热保护功能。

6.2 功能方框图

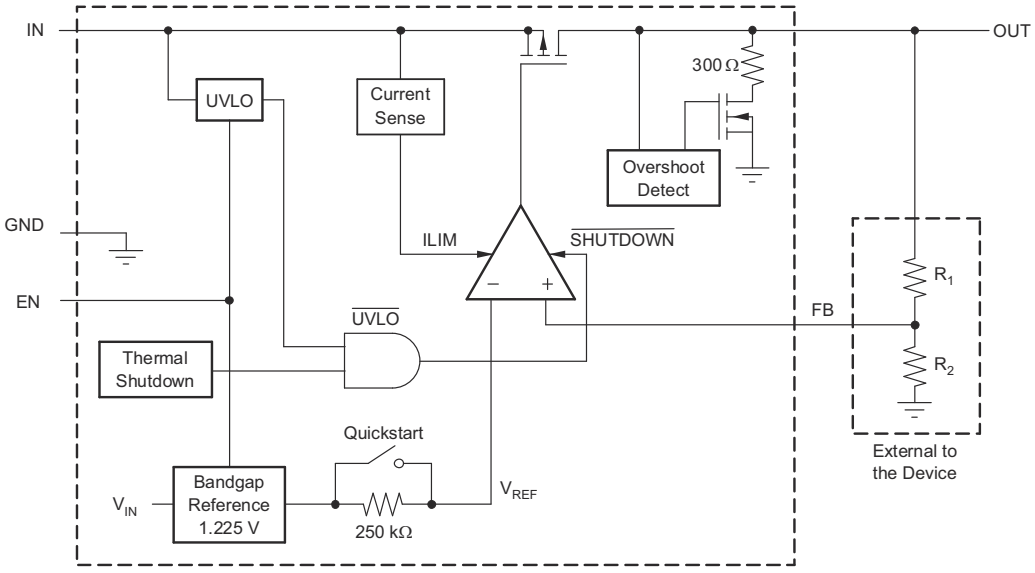


图 6-1. 功能方框图（可调节版本，旧芯片）

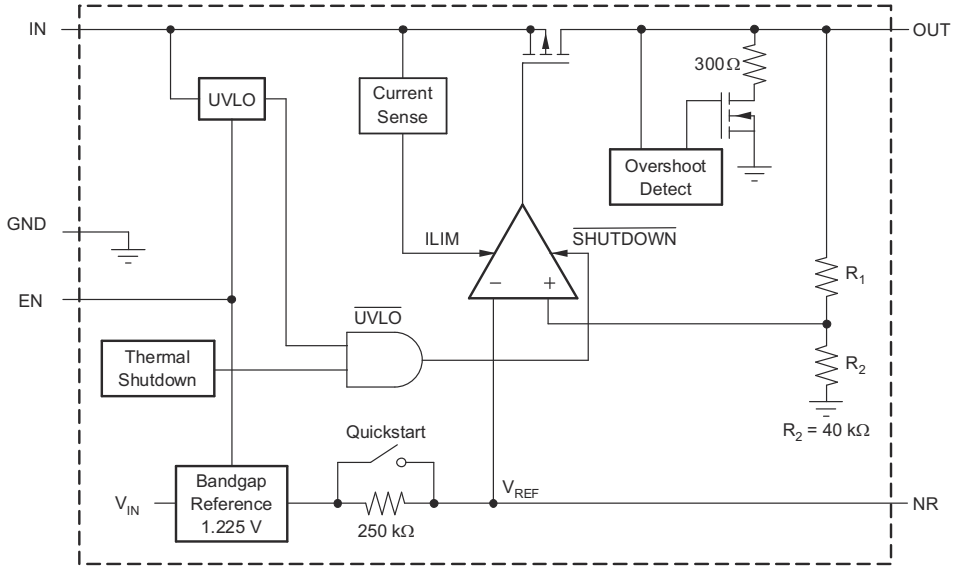


图 6-2. 功能方框图（固定版本，旧芯片）

Copyright © 2026 Texas Instruments Incorporated

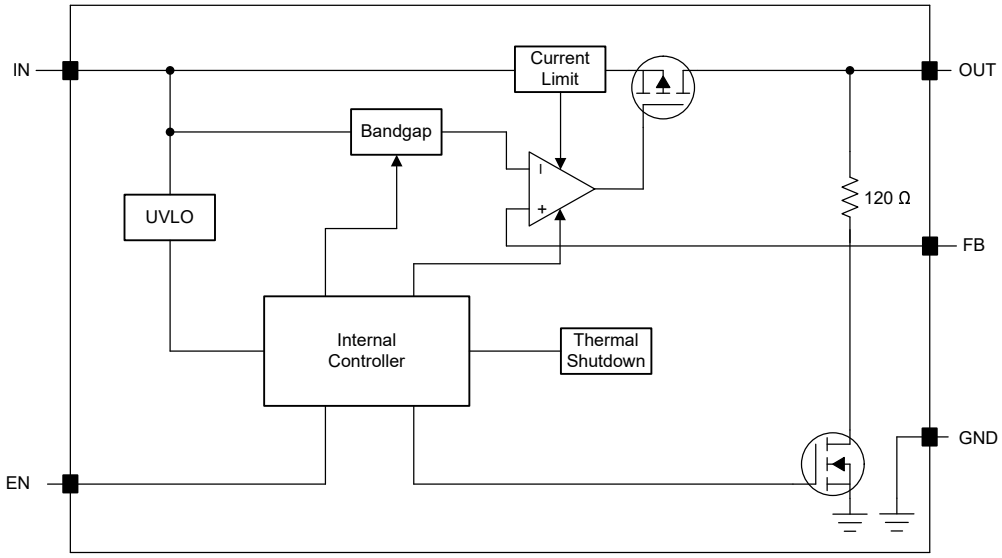


图 6-3. 功能方框图（可调节版本，新芯片）

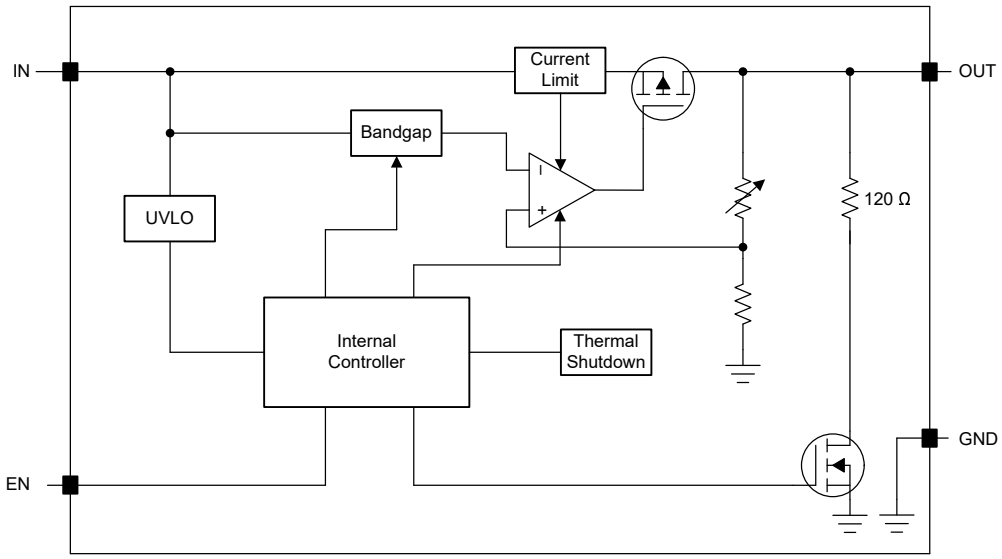


图 6-4. 功能方框图（固定版本，新芯片）

6.3 特性说明

6.3.1 关断

使能引脚 (EN) 高电平有效并且与标准和低电压 TTL-CMOS 电平兼容。当不需要关断功能时，EN 可连接至 IN。

6.3.2 启动

TPS795 使用启动电路为降噪电容器 C_{NR}（如果存在）快速充电（请参阅 *节 6.2*）。该电路可实现极低的输出噪声和快速启动时间。NR 引脚为高阻抗，因此必须使用低泄漏 C_{NR} 电容器；大多数陶瓷电容器都适合这种配置。

为了实现最快的启动，请先施加 V_{IN}，然后将使能引脚 (EN) 驱动为高电平 。如果 EN 连接到 IN，则启动会稍慢一些。为了确保 C_{NR} 在启动期间完全充电，应使用 0.1 µ F 或更小的电容器。

Copyright © 2026 Texas Instruments Incorporated

6.3.3 欠压锁定 (UVLO)

在内部电路正常工作之前，TPS795 使用欠压锁定电路使输出保持关断状态。UVLO 电路具有大约 100mV 的迟滞，有助于在稳压器首次开启时抑制输入电压下降。

6.3.4 稳压器保护

TPS795（旧芯片）PMOS 导通晶体管具有内置背二极管，能够在输入电压降至输出电压以下时（例如断电期间）导通反向电流。电流是从输出传导到输入，不受内部限制。如果预期会有较大反向电压工作，有时需要采用外部限流。

在正常运行期间，TPS795 将输出电流限制在大约 2.8A。当启用限流功能时，输出电压会线性缩减，直到过流情况结束。虽然电流限制旨在防止器件发生严重故障，但应注意不得超过封装的功率耗散额定值

对于新芯片该器件具有内部电流限制电路，可在瞬态高负载电流故障或短路事件期间保护稳压器。电流限制采用混合砖墙式折返方案。电流限制在折返电压 ($V_{FOLDBACK}$) 下从砖墙式方案转换为折返方案。在输出电压高于 $V_{FOLDBACK}$ 的高负载电流故障中，砖墙式方案将输出电流限制为电流限值 (I_{CL})。当电压降至 $V_{FOLDBACK}$ 以下时，将激活折返电流限制，在输出电压接近 GND 时按比例缩小电流。当输出短路时，该器件会提供一个被称为短路电流限制 (I_{SC}) 的典型电流。*电气特性* 表中列出了 I_{CL} 和 I_{SC}。

对于此器件，$V_{FOLDBACK} = 0.4 \times V_{OUT(NOM)}$。

当器件处于限流状态时，不会调节输出电压。当发生电流限制事件时，由于功率耗散增加，器件开始发热。当器件处于砖墙式电流限制时，导通晶体管会耗散功率 $[(V_{IN} - V_{OUT}) \times I_{CL}]$。当器件输出短路且输出低于 $V_{FOLDBACK}$ 时，导通晶体管将耗散功率 $[(V_{IN} - V_{OUT}) \times I_{SC}]$。如果触发热关断，器件将关闭。器件冷却后，内部热关断电路将器件重新接通。如果输出电流故障条件持续存在，器件会在电流限制状态和热关断状态之间循环。更多有关电流限制的信息，请参阅 *了解限制* 应用手册。

图 6-5 显示了折返电流限制图。

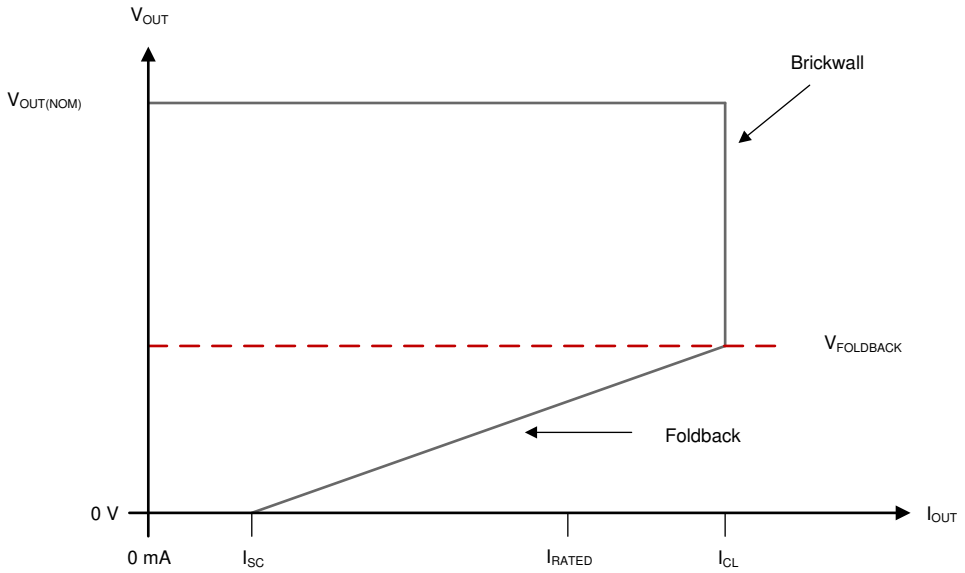


图 6-5. 折返电流限制

Copyright © 2026 Texas Instruments Incorporated

6.3.5 热关断

该器件包含一个热关断保护电路，用于在导通晶体管的结温 (T_J) 上升到 $T_{SD(shutdown)}$（典型值）时禁用器件。热关断迟滞可确认在温度降至 $T_{SD(reset)}$（典型值）时器件复位（导通）。

半导体芯片的热时间常数相当短，因此当达到热关断时，器件可以循环开关，直到功率耗散降低。由于器件上的 V_{IN} – V_{OUT} 压降较大，或为大型输出电容器充电的浪涌电流较高，启动期间的功率耗散可能较高。在某些情况下，热关断保护功能会在启动完成之前禁用器件。

为了实现可靠运行，请将结温限制在*建议运行条件*表中列出的最大值。在超过这个最高温度的情况下运行会导致器件超出运行规格。虽然器件的内部保护电路旨在防止总体发热情况，但此电路并不用于替代适当的散热。使器件持续进入热关断状态或在超过建议的最高结温下运行会降低长期可靠性。

Copyright © 2026 Texas Instruments Incorporated

6.4 器件功能模式

表 6-1 提供了正常模式、压降模式和禁用模式之间的快速比较情况。

表 6-1. 器件功能模式比较

工作模式	参数			
	V_{IN}	EN	I_{OUT}	T_J
正常	$V_{IN} > V_{OUT(nom)} + V_{DO}$	$V_{EN} > V_{EN(HI)}$	$I_{OUT} < I_{CL}$	$T_J < T_{sd}$
压降	$V_{IN} < V_{OUT(nom)} + V_{DO}$	$V_{EN} > V_{EN(HI)}$	$I_{OUT} < I_{CL}$	$T_J < T_{sd}$
禁用	—	$V_{EN} < V_{EN(LO)}$	—	$T_J > T_{sd}$

6.4.1 正常运行

在下列条件下，器件的输出电压会稳定在标称值：

- 输入电压大于标称输出电压加上压降电压 ($V_{OUT(nom)} + V_{DO}$)。
- 使能电压先前已超过使能上升阈值电压，但尚未降至低于使能下降阈值。
- 输出电流小于电流限制 ($I_{OUT} < I_{CL}$)。
- 器件结温低于热关断温度 ($T_J < T_{sd}$)。

6.4.2 压降运行

如果输入电压低于标称输出电压与指定压降电压之和，但仍满足正常工作模式的所有其他条件，则器件将工作在压降模式。在此模式下，输出电压会跟踪输入电压。在该模式下器件的瞬态性能会显著下降，因为导通晶体管处于线性区域，不再控制流过 LDO 的电流。压降过程中的线路或负载瞬态可能会导致输出电压偏差较大。

6.4.3 禁用

在下列情况下，该器件被禁用：

- 使能电压小于使能下降阈值电压或尚未超过使能上升阈值。
- 器件结温高于热关断温度 ($T_J > T_{sd}$)。

Copyright © 2026 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

TPS795 LDO 经过优化，适用于噪声敏感型应用。该器件具有极低压降电压、高 PSRR、低输出噪声、低静态电流和使能输入，可在稳压器关闭时降低电源电流。

7.2 典型应用

图 7-1 中显示了一个典型应用电路。

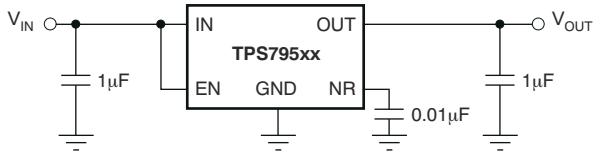


图 7-1. 典型应用电路

7.2.1 设计要求

表 7-1 列出了设计要求。

表 7-1. 设计参数

参数	设计要求
输入电压	3.3V
输出电压	2.5V
最大输出电流	500mA

7.2.2 详细设计过程

根据输出电压选择所需的器件。

针对压降和输出电流提供具有充足余量的输入电源，考虑到 GND 引脚电流并为负载供电。

7.2.2.1 输入和输出电容器要求

TPS795（旧芯片）不需要输入电容器，但是，良好的模拟设计实践是在稳压器的输入端附近连接一个 0.1µF 至 2.2µF 的电容器，以抵消无功输入源。TPS795（新芯片）需要在其输入端连接一个 1µF 的输入电容器。如果有可能出现较大、快速上升时间的负载瞬态且器件距离电源几英寸远的话，有可能需要一个更大电容值的输入电容器。

与大多数低压降稳压器一样，TPS795 需要在 OUT 和 GND 之间连接一个输出电容器，以稳定内部控制环路。建议的最小电容器为 1µF。任何 1µF 或更大的陶瓷电容器均适用。通过使用大于最小输出电容值的大电容器来提升器件的动态性能。

7.2.2.2 负载瞬态响应

负载阶跃瞬态响应是 LDO 对负载电流阶跃的输出电压响应，从而维持输出电压调节。负载瞬态响应期间有两个关键的转换：从轻负载向重负载的转换以及从重负载向轻负载的转换。图 7-2 中所示区域的细分如下。区域 A、E 和 H 是输出电压处于稳定状态的区域。

Copyright © 2026 Texas Instruments Incorporated

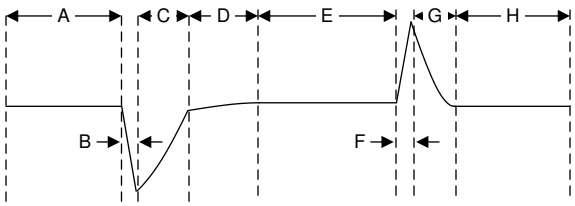


图 7-2. 负载瞬态波形

在从轻负载转换到重负载期间：

- 初始电压骤降是输出电容器电荷耗尽和输出电容器寄生阻抗所致（区域 B）
- 从骤降中恢复是由于 LDO 增加了拉电流，并实现输出电压调节（区域 C）
- LDO 提供大电流导致初始电压上升，并导致输出电容器电荷增加（区域 F）
- 从上升中恢复是由于 LDO 降低了拉电流，同时负载使输出电容放电（区域 G）

较大的输出电容可降低负载瞬态期间的峰值，但会减慢器件的响应速度。更大的直流负载也会降低峰值，因为转换振幅降低，并且为输出电容器提供了更高的电流放电路径。

7.2.2.3 输出噪声

内部电压基准是 LDO 稳压器中的主要噪声源。TPS795（旧芯片）具有 NR 引脚，通过 250kΩ 内部电阻器连接到电压基准。250kΩ 内部电阻器与连接到 NR 引脚的外部旁路电容器相结合，形成了一个低通滤波器，可降低电压基准噪声，从而降低稳压器输出的噪声。为了使稳压器正常运行，从 NR 引脚流出的电流必须最小，因为任何漏电流都会在内部电阻器上产生 IR 压降，从而产生输出误差。因此，旁路电容器必须具有最小的漏电流。旁路电容器不得超过 0.1μF，以确保电容是否在*功能方框图*部分中的内部开关提供的快速启动时间内充满电。

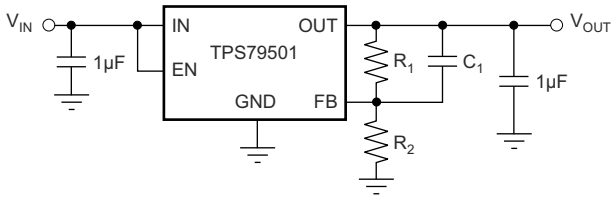
7.2.2.4 压降电压

TPS795 使用一个 PMOS 导通晶体管来实现低压降电压。当 (V_{IN} – V_{OUT}) 低于压降电压 (V_{DO}) 时，PMOS 导通晶体管处于其运行的线性区域并且输入到输出电阻是 PMOS 导通晶体管的 $r_{DS(on)}$。由于 PMOS 晶体管在压降时的行为类似于电阻器，因此 V_{DO} 大致与输出电流成比例。

与任何线性稳压器一样，当 (V_{IN} – V_{OUT}) 接近压降时，PSRR 性能下降。此影响如图 5-14 至图 5-18 所示。

7.2.2.5 编程 TPS79501 可调节 LDO 稳压器

如图 7-3 所示，使用外部电阻分压器对 TPS79501 可调节稳压器的输出电压进行编程。



OUTPUT VOLTAGE PROGRAMMING GUIDE

OUTPUT VOLTAGE	R_1	R_2	C_1
1.8 V	14.0 kΩ	30.1 kΩ	33 pF
3.6 V	57.9 kΩ	30.1 kΩ	15 pF

图 7-3. 典型应用，可调节输出

输出电压可根据方程式 1 计算得出。

$$V_{OUT} = V_{REF} \times \left(1 + \frac{R_1}{R_2}\right) \quad (1)$$

其中

- V_{REF} = 1.2246V 典型值（内部基准电压）

Copyright © 2026 Texas Instruments Incorporated

必须选择电阻 R_1 和 R_2，以获得大约 40 μA 分压器电流。较低值的电阻器可用于提高噪声性能，但该器件会耗费更多功率。必须避免使用较高的值，因为 FB 上的漏电流会增加输出电压误差。

Copyright © 2026 Texas Instruments Incorporated

推荐的设计过程是选择 R_2 = 30.1kΩ 来将分压器电流设置为 40 μA、C_1 = 15pF 以确保稳定性，然后使用 方程式 2 来计算 R_1。

$$R_1 = \left(\frac{V_{OUT}}{V_{REF}} - 1 \right) \times R_2 \tag{2}$$

为了提高可调节版本的稳定性，TI 建议在 OUT 和 FB 之间放置一个小型补偿电容器。

可以使用方程式 3 计算该电容器的近似值。

$$C_1 = \frac{\left(3 \times 10^{-7}\right) \times \left(R_1 + R_2\right)}{\left(R_1 \times R_2\right)} \tag{3}$$

图 7-3 中的表显示了该电容器在多个电阻比下的建议值。如果不使用此电容器（例如在单位增益配置中），则建议使用的最小输出电容器是 2.2μF 而非 1μF。

同样，对于 TPS795（新芯片），若要忽略 FB 引脚电流误差项的影响并实现出色的精度，应选择 R_2 等于或小于 550kΩ，使流经 R_1 和 R_2 的电流至少比*电气特性*表中列出的 I_{FB} 电流大五倍。降低 R_2 的值可提高抗噪声注入干扰的能力。提高 R_2 的值可降低静态电流，从而在低负载电流下实现更高的效率。方程式 4 计算提供最大反馈分压器串联电阻的设置。

$$(R_1 + R_2) \leqslant V_{OUT} / (I_{FB} \times 5) \tag{4}$$

7.2.3 应用曲线

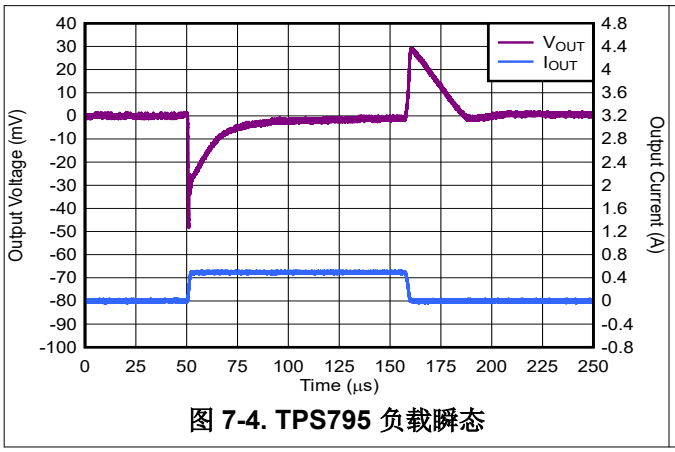


图 7-4. TPS795 负载瞬态

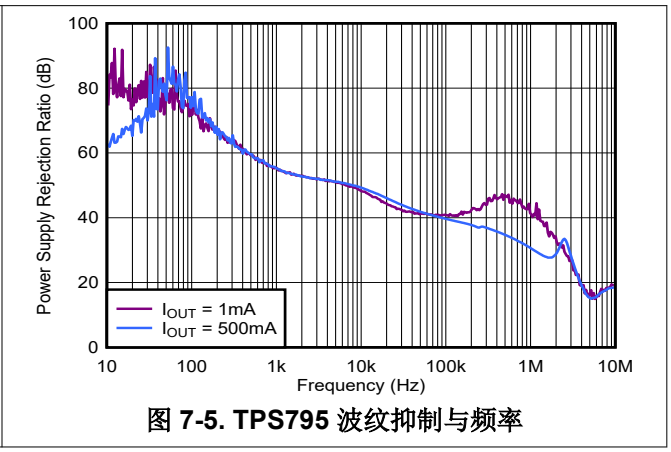


图 7-5. TPS795 波纹抑制与频率

7.3 最佳设计实践

将至少一个 1 μF 陶瓷电容器放置得尽可能靠近稳压器的 OUT 引脚。

请勿将输出电容器放置在距离稳压器超过 10mm 的位置。

在稳压器的 IN 引脚与 GND 输入之间连接 0.1 μF 或更大的低等效串联电阻 (ESR) 电容器。

请勿超出绝对最大额定值。

7.4 电源相关建议

这些器件设计为可在 2.7V 至 5.5V 的输入电源电压范围内运行。输入电压范围为器件提供了足够的余量，以实现稳定的输出。该输入电源经过良好调节并保持稳定。如果输入电源存在噪声，则附加具有低 ESR 的输入电容器有助于提高输出噪声性能。

Copyright © 2026 Texas Instruments Incorporated

7.5 布局

7.5.1 布局指南

7.5.1.1 对于改进 PSRR 和噪声性能的电路板布局布线建议

为改善 PSRR、输出噪声和瞬态响应等交流测量，TI 建议在设计电路板时应分别为 V_{IN} 和 V_{OUT} 提供独立的接地层，并且仅在器件的接地引脚上连接接地层。此外，针对旁路电容器的接地连接必须直接接至器件的接地引脚。

7.5.1.2 稳压器安装

6 引脚 SOT-223 封装接片以电气方式接地。为了尽可能提高热性能，将表面贴装版本的接片直接焊接到电路板覆铜区。增大铜面积可改善散热。

有关器件的焊盘占用空间建议，请参阅*表面贴装器件的焊盘建议* 应用手册，该手册可从 TI 网站 (www.ti.com) 获取。

7.5.1.3 散热注意事项

了解器件功率耗散并正确确定连接到接片或焊盘的热平面尺寸，对于避免热关断并提供可靠运行至关重要。

器件的功率耗散取决于输入电压和负载条件，可以使用 方程式 5 计算：

$$P_D = (V_{IN} - V_{OUT}) \times I_{OUT} \tag{5}$$

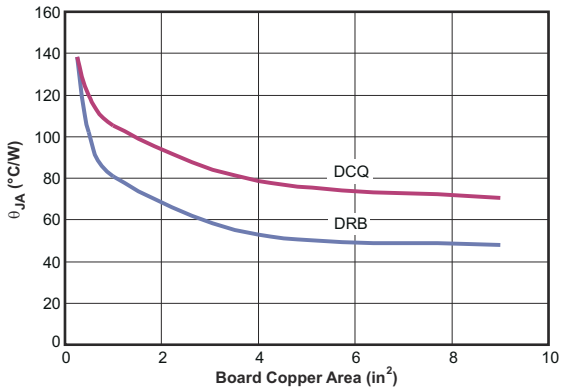
通过使用实现所需输出电压的最低可能输入电压可大大减小功率耗散并提高效率。

在 VSON (DRB) 封装上，主要的热传导路径是通过外露焊盘到达印刷电路板 (PCB)。焊盘可以接地或保持悬空；但必须将焊盘连接到适当大小的覆铜 PCB 区域，确保器件不会过热。在 SOT-223 (DCQ) 封装上，主要的热传导路径是通过接片到 PCB。将接片接地。最大结至环境热阻取决于最高环境温度、最高器件结温和器件的功率耗散，可以使用 方程式 6 计算：

$$R_{\theta JA} = \frac{(+125°C - T_A)}{P_D} \tag{6}$$

Copyright © 2026 Texas Instruments Incorporated

已知最大 $R_{\theta JA}$，可以使用图 7-6 估算适当散热所需的 PCB 铜面积最小值。



电路板尺寸为 9in² (即 3in × 3in) 时的 θ_{JA} 值是 JEDEC 标准。

图 7-6. Θ_{JA} 与电路板尺寸之间的关系

图 7-6 展示了 θ_{JA} 与电路板中接地平面覆铜区的函数关系。该图仅用作指南来演示接地平面中散热的影响，不用于估算实际应用环境中的热性能。

备注

器件安装在应用 PCB 上时，强烈建议使用 Ψ_{JT} 和 Ψ_{JB}，参见 *节 7.5.1.4* 中的说明。

7.5.1.4 估算结温

使用*热性能信息*中显示的热指标 ψ_{JT} 和 ψ_{JB}，可以用相应的公式 (在方程式 7 中给出) 估算结温。为了实现向后兼容性，还列出了较旧的 $\theta_{JC,Top}$ 参数。

$$\Psi_{JT}: \quad T_J = T_T + \Psi_{JT} \bullet P_D$$
$$\Psi_{JB}: \quad T_J = T_B + \Psi_{JB} \bullet P_D \tag{7}$$

其中

- P_D 是耗散功率，如 方程式 6 所示
- T_T 器件封装顶部中间位置的温度
- T_B 是在 *PCB 表面* 距器件封装 1mm 测得的 PCB 温度 (请参阅图 7-8)

备注

T_T 和 T_B 都可以使用实际测温仪 (红外温度计) 在实际应用板上进行测得。

有关测量 T_T 和 T_B 的详细信息，请参阅*使用新的热指标*应用手册 (可从 www.ti.com 下载)。

Copyright © 2026 Texas Instruments Incorporated

如图 7-7 所示，新的热指标（Ψ_{JT} 和 Ψ_{JB}）对电路板尺寸的依赖度很低。即使用 Ψ_{JT} 或 Ψ_{JB} 及 方程式 7 时，只需简单测量 T_T or T_B 即可估算 T_J，此时无需考虑应用板的尺寸。

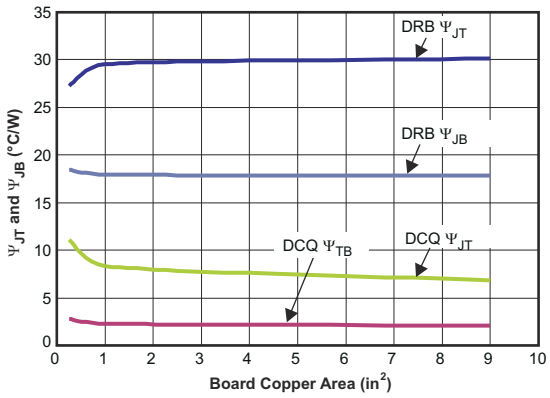
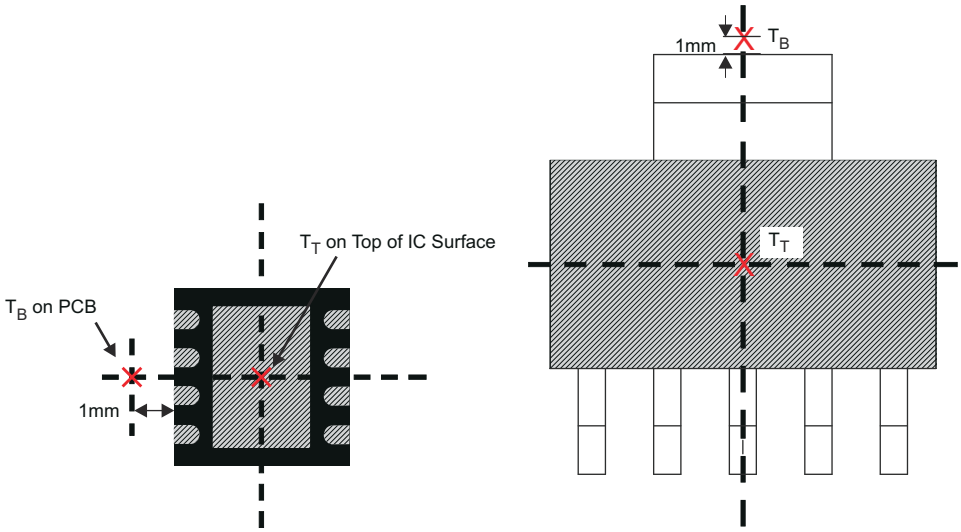


图 7-7. ψ_{JT} 和 ψ_{JB} 与电路板尺寸间的关系

有关 TI 为何不建议使用 $\theta_{JC(top)}$ 确定散热特性的更详细讨论，请参阅*使用新的热指标 应用手册*（可从 www.ti.com 获得）。

有关详细信息，请参阅 *IC 封装热指标* 应用手册（也可从 TI 网站获取）。



(a) Example DRB (SON) Package Measurement　　(b) Example DCQ (SOT-223) Package Measurement

图 7-8. T_T 和 T_B 的测量点

7.5.2 布局示例

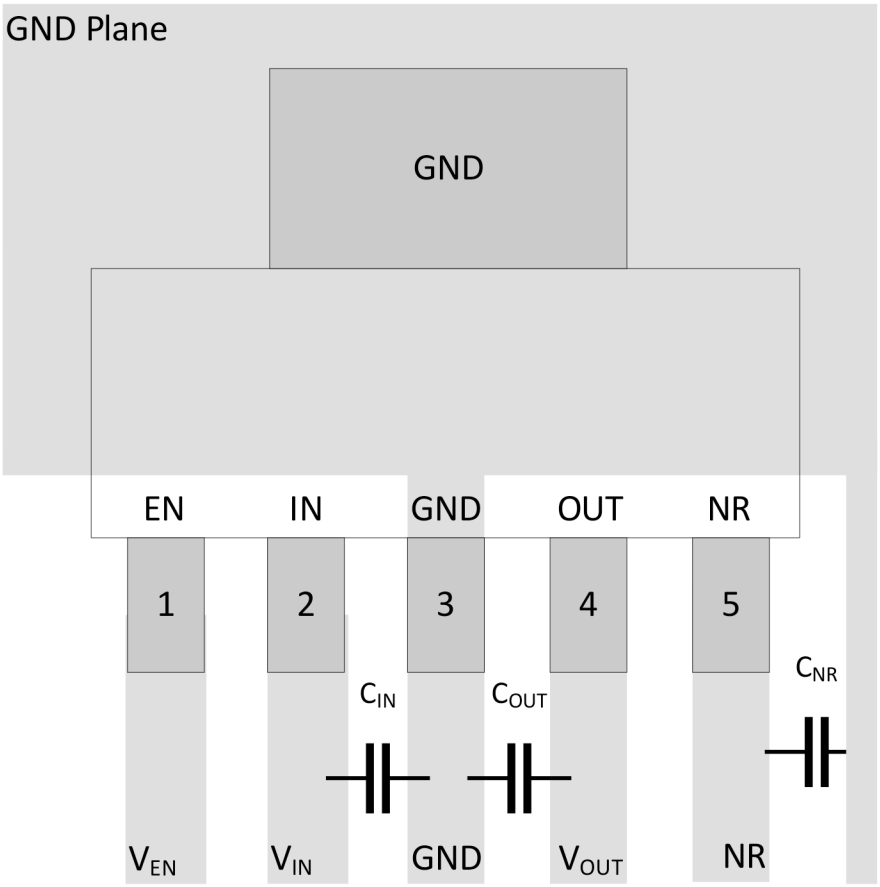


图 7-9. TPS795 DCQ 布局示例（旧芯片）

Copyright © 2026 Texas Instruments Incorporated

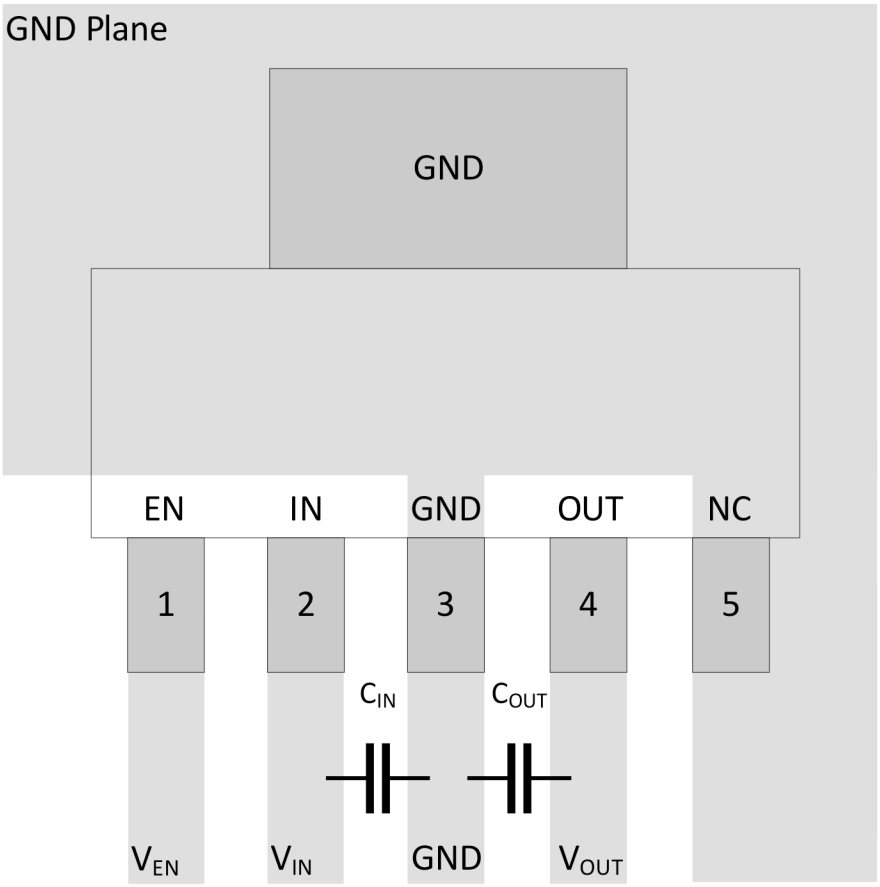


图 7-10. TPS795 DCQ 布局示例（新芯片）

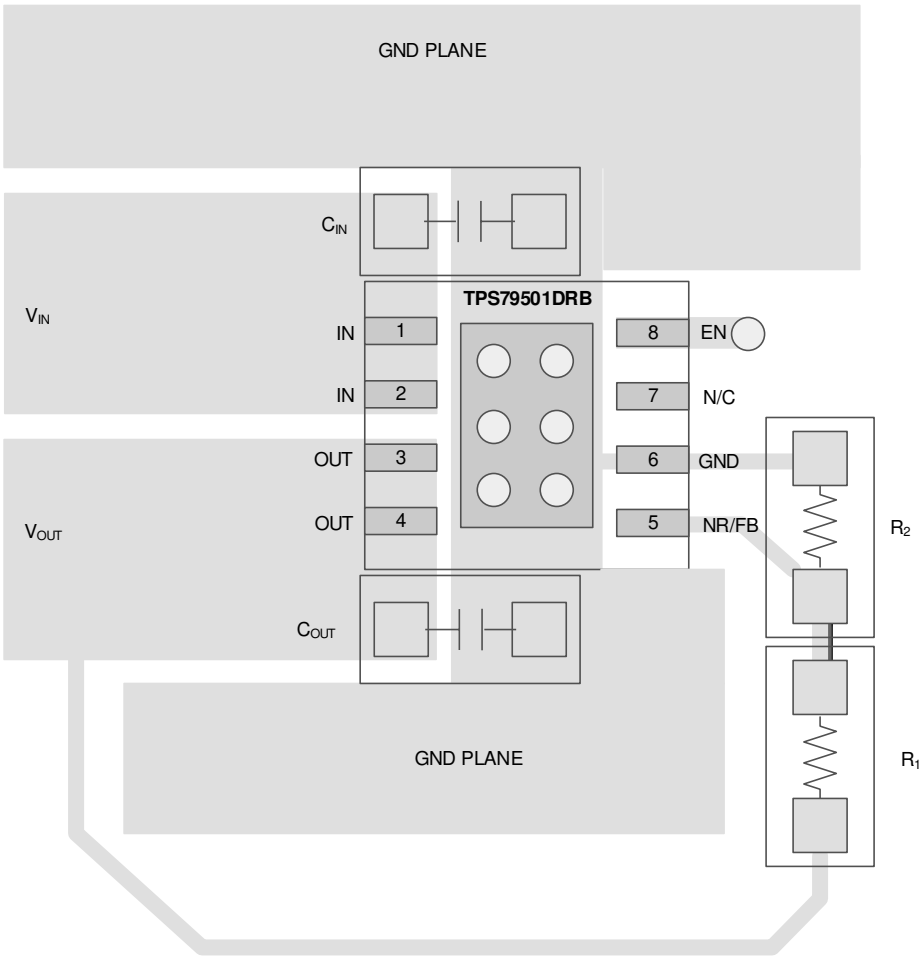


图 7-11. TPS795 DRB 布局示例

Copyright © 2026 Texas Instruments Incorporated

8 器件和文档支持

8.1 器件支持

8.1.1 开发支持

8.1.1.1 评估模块

评估模块 (EVM) 可与 TPS795 配套使用，帮助评估初始电路性能。相关 TPS79501DRBEVM 评估模块 (和用户指南) 可在 TI 网站上的产品文件夹中获取，也可直接从 TI 网上商店购买。

8.1.1.2 Spice 模型

分析模拟电路和系统的性能时，使用 SPICE 模型通常有利于对电路性能进行计算机仿真。您可以从产品文件夹中的*工具与软件*下获取 TPS795 的 SPICE 模型。

8.1.2 器件命名规则

表 8-1. 提供的选项

产品(1)	说明
TPS795**xx(x)***yyy* ***z*****M3**	**xx(x)** 为标称输出电压 (例如 28 = 2.8V，285 = 2.85V，01 = 可调节) 。 **yyy** 为封装指示符。 **z** 为封装数量。 **M3** 是仅使用新制造流程的器件的后缀指示符 (CSO:RFB)。没有这个后缀的器件可以随附旧芯片 (CSO:DLN) 或新芯片 (CSO:RFB)。卷带封装标签提供 CSO 信息以区分正在使用的芯片。

(1) 如需了解最新的封装及订购信息，请参阅本文档末尾的封装选项附录，或访问 www.ti.com 查看器件产品文件夹。

8.2 文档支持

8.2.1 相关文档

- 德州仪器 (TI)，*使用新的热指标* 应用手册
- 德州仪器 (TI)，*IC 封装热指标* 应用手册
- 德州仪器 (TI)，*TPS78601/TPS79501/TPS79601DRB 评估模块* 用户指南
- 德州仪器 (TI)，*使用新的热指标* 应用手册

8.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

Copyright © 2026 Texas Instruments Incorporated

8.5 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

8.6 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.7 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision K (June 2025) to Revision L (January 2026)	Page
• 为“新芯片”添加了 DRB 封装信息	5

Changes from Revision J (May 2019) to Revision K (June 2025)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式	1
• 向文档添加了新器件 (M3)	1
• 通篇添加了区分新芯片和旧芯片信息的命名规则	1
• 向 *特性* 部分添加了产品系列器件的要点	1
• 更改了 *应用*部分	1
• 更改了 *说明* 部分	1
• 更改了 *引脚配置和功能* 部分	3
• 向 *典型特性* 部分添加了新器件图表	7
• 更改了 *概述* 部分	14
• 在 *功能方框图* 部分添加了新的芯片图	14
• 更改了 *应用信息* 部分	19
• 更改了 *输入和输出电容器要求* 部分	19
• 更改了 *输出噪声* 部分	20
• 更改了 *应用曲线* 部分	22
• 更改了 *布局示例* 部分	26
• 添加了 *器件命名规则* 部分	29

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS79501DCQ	Active	Production	SOT-223 (DCQ) | 6	78 | TUBE	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	PS79501
TPS79501DCQ.A	Active	Production	SOT-223 (DCQ) | 6	78 | TUBE	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	PS79501
TPS79501DCQG4	Active	Production	SOT-223 (DCQ) | 6	78 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	PS79501
TPS79501DCQG4.A	Active	Production	SOT-223 (DCQ) | 6	78 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	PS79501
TPS79501DCQR	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	PS79501
TPS79501DCQR.A	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	PS79501
TPS79501DCQRM3	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	PS79501
TPS79501DRBR	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	BUH
TPS79501DRBR.A	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	BUH
TPS79501DRBRG4	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	BUH
TPS79501DRBRG4.A	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	BUH
TPS79501DRBT	Active	Production	SON (DRB) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	BUH
TPS79501DRBT.A	Active	Production	SON (DRB) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	BUH
TPS79501DRBTG4	Active	Production	SON (DRB) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	BUH
TPS79516DCQ	Obsolete	Production	SOT-223 (DCQ) | 6	-	-	Call TI	Call TI	-40 to 125	PS79516
TPS79516DCQR	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	PS79516
TPS79516DCQR.A	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	PS79516
TPS79518DCQ	Obsolete	Production	SOT-223 (DCQ) | 6	-	-	Call TI	Call TI	-40 to 125	PS79518
TPS79518DCQR	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	PS79518
TPS79518DCQR.A	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	PS79518
TPS79518DCQRM3	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	PS79518
TPS79525DCQR	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	PS79525
TPS79525DCQR.A	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	PS79525
TPS79525DCQRG4	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	PS79525
TPS79530DCQR	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	PS79530
TPS79530DCQR.A	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	PS79530
TPS79533DCQ	Active	Production	SOT-223 (DCQ) | 6	78 | TUBE	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	PS79533
TPS79533DCQ.A	Active	Production	SOT-223 (DCQ) | 6	78 | TUBE	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	PS79533
TPS79533DCQG4	Obsolete	Production	SOT-223 (DCQ) | 6	-	-	Call TI	Call TI	-40 to 125	PS79533

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS79533DCQR	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	PS79533
TPS79533DCQR.A	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	PS79533
TPS79533DCQRG4	Obsolete	Production	SOT-223 (DCQ) | 6	-	-	Call TI	Call TI	-40 to 125	PS79533
TPS79533DCQRM3	Active	Production	SOT-223 (DCQ) | 6	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	PS79533

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

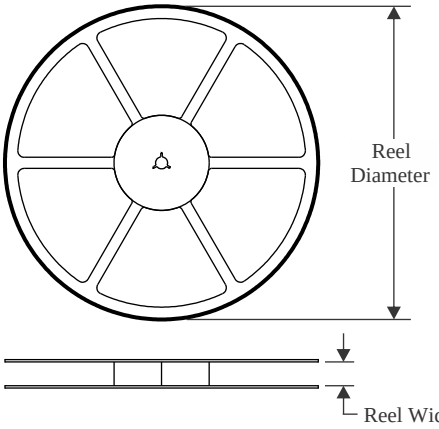
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

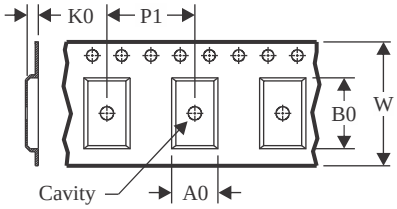
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

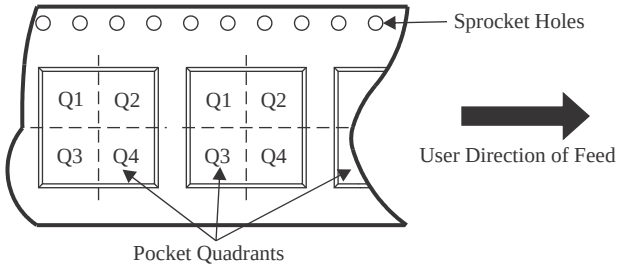


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

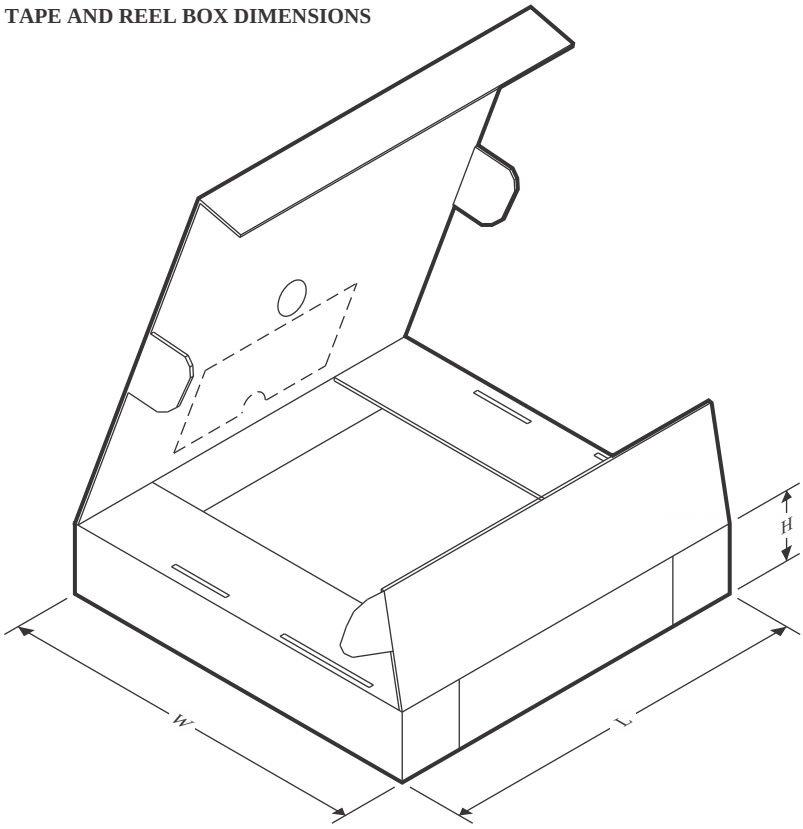
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS79501DCQR	SOT-223	DCQ	6	2500	330.0	12.4	6.85	7.3	1.88	8.0	12.0	Q3
TPS79501DCQRM3	SOT-223	DCQ	6	2500	330.0	12.4	7.05	7.4	1.9	8.0	12.0	Q3
TPS79501DRBR	SON	DRB	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS79501DRBRG4	SON	DRB	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS79501DRBT	SON	DRB	8	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS79516DCQR	SOT-223	DCQ	6	2500	330.0	12.4	7.1	7.45	1.88	8.0	12.0	Q3
TPS79518DCQR	SOT-223	DCQ	6	2500	330.0	12.4	7.1	7.45	1.88	8.0	12.0	Q3
TPS79518DCQRM3	SOT-223	DCQ	6	2500	330.0	12.4	7.05	7.4	1.9	8.0	12.0	Q3
TPS79525DCQR	SOT-223	DCQ	6	2500	330.0	12.4	7.1	7.45	1.88	8.0	12.0	Q3
TPS79530DCQR	SOT-223	DCQ	6	2500	330.0	12.4	7.1	7.45	1.88	8.0	12.0	Q3
TPS79533DCQR	SOT-223	DCQ	6	2500	330.0	12.4	6.85	7.3	1.88	8.0	12.0	Q3
TPS79533DCQRM3	SOT-223	DCQ	6	2500	330.0	12.4	7.05	7.4	1.9	8.0	12.0	Q3

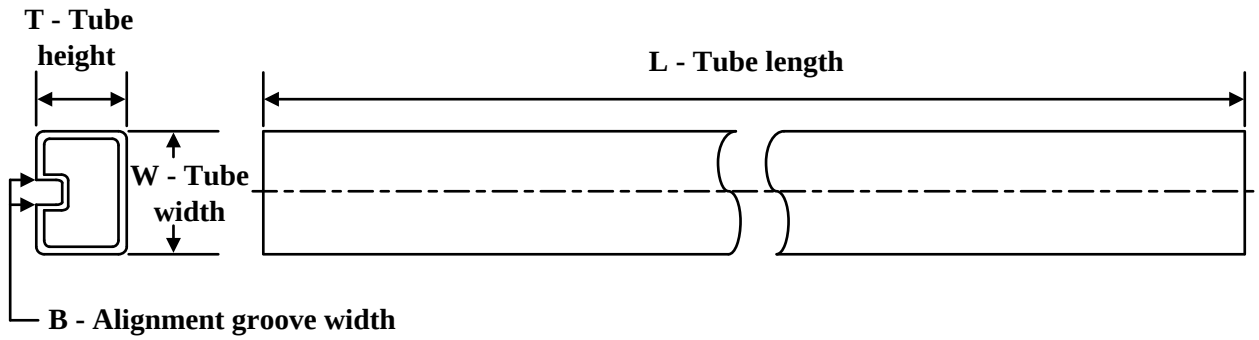
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS79501DCQR	SOT-223	DCQ	6	2500	356.0	356.0	36.0
TPS79501DCQRM3	SOT-223	DCQ	6	2500	366.0	364.0	50.0
TPS79501DRBR	SON	DRB	8	3000	353.0	353.0	32.0
TPS79501DRBRG4	SON	DRB	8	3000	353.0	353.0	32.0
TPS79501DRBT	SON	DRB	8	250	213.0	191.0	35.0
TPS79516DCQR	SOT-223	DCQ	6	2500	346.0	346.0	29.0
TPS79518DCQR	SOT-223	DCQ	6	2500	346.0	346.0	29.0
TPS79518DCQRM3	SOT-223	DCQ	6	2500	340.0	340.0	38.0
TPS79525DCQR	SOT-223	DCQ	6	2500	346.0	346.0	29.0
TPS79530DCQR	SOT-223	DCQ	6	2500	346.0	346.0	29.0
TPS79533DCQR	SOT-223	DCQ	6	2500	356.0	356.0	36.0
TPS79533DCQRM3	SOT-223	DCQ	6	2500	340.0	340.0	38.0

TUBE



*All dimensions are nominal

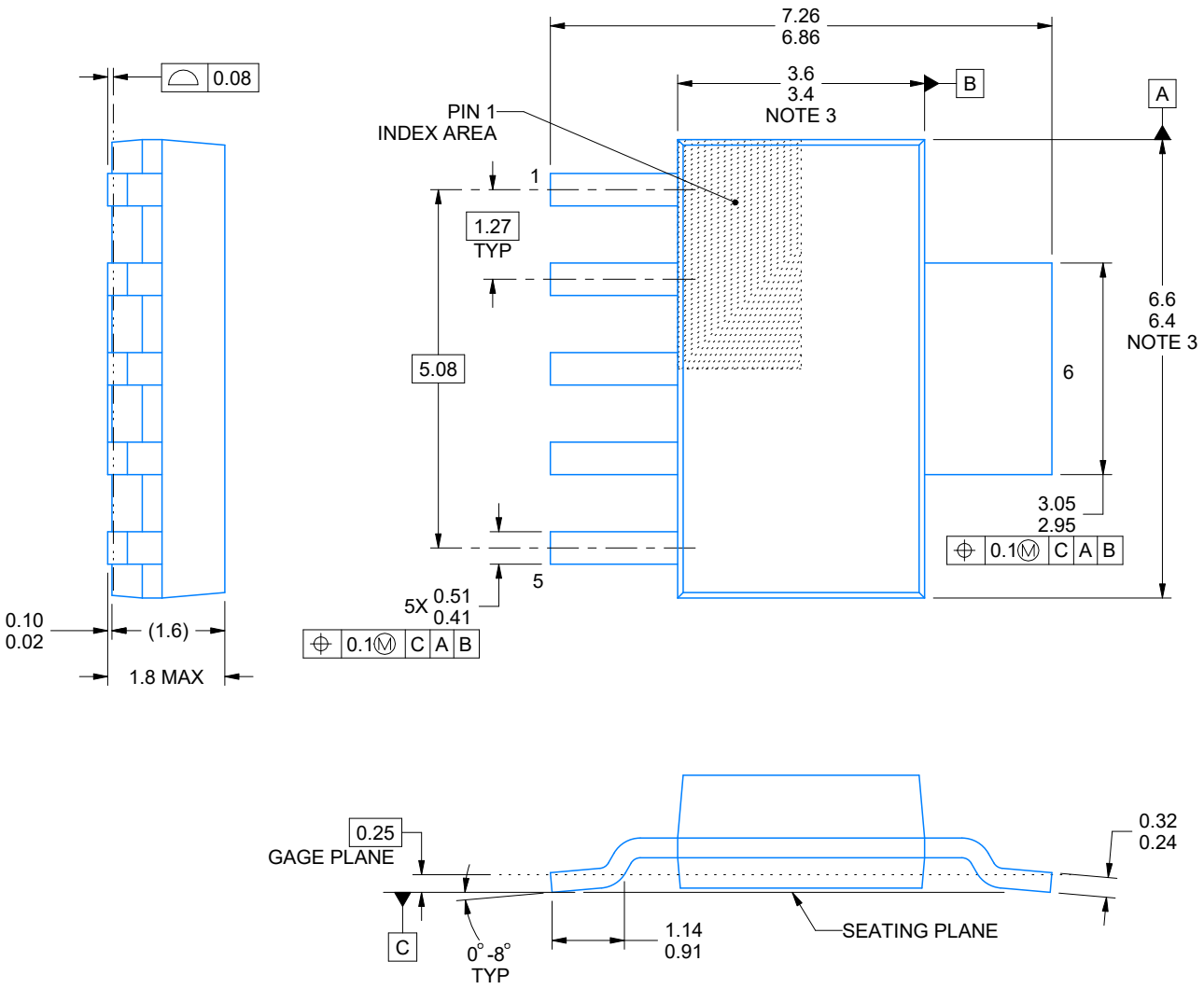
Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
TPS79501DCQ	DCQ	SOT-223	6	78	543	8.6	3606.8	2.67
TPS79501DCQ.A	DCQ	SOT-223	6	78	543	8.6	3606.8	2.67
TPS79501DCQG4	DCQ	SOT-223	6	78	532.13	8.63	3.6	3.68
TPS79501DCQG4.A	DCQ	SOT-223	6	78	532.13	8.63	3.6	3.68
TPS79533DCQ	DCQ	SOT-223	6	78	543	8.6	3606.8	2.67
TPS79533DCQ.A	DCQ	SOT-223	6	78	543	8.6	3606.8	2.67

PACKAGE OUTLINE

DCQ0006A

SOT - 1.8 mm max height

PLASTIC SMALL OUTLINE



4214845/C 11/2021

NOTES:

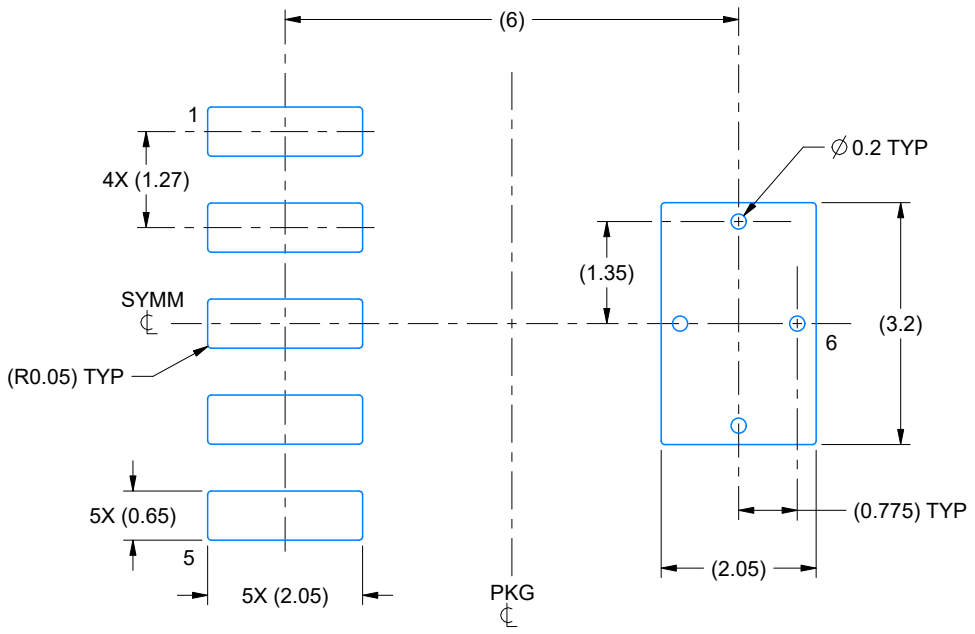
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.

EXAMPLE BOARD LAYOUT

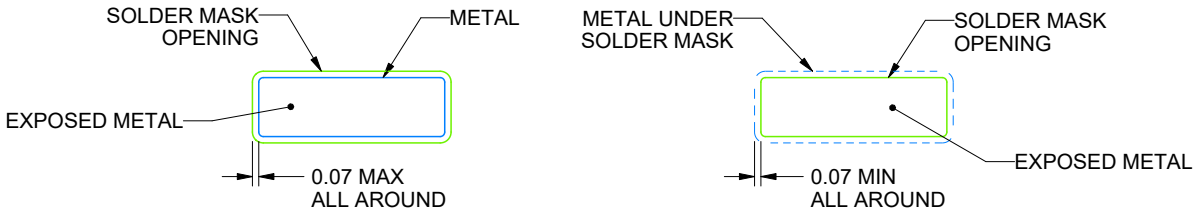
DCQ0006A

SOT - 1.8 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

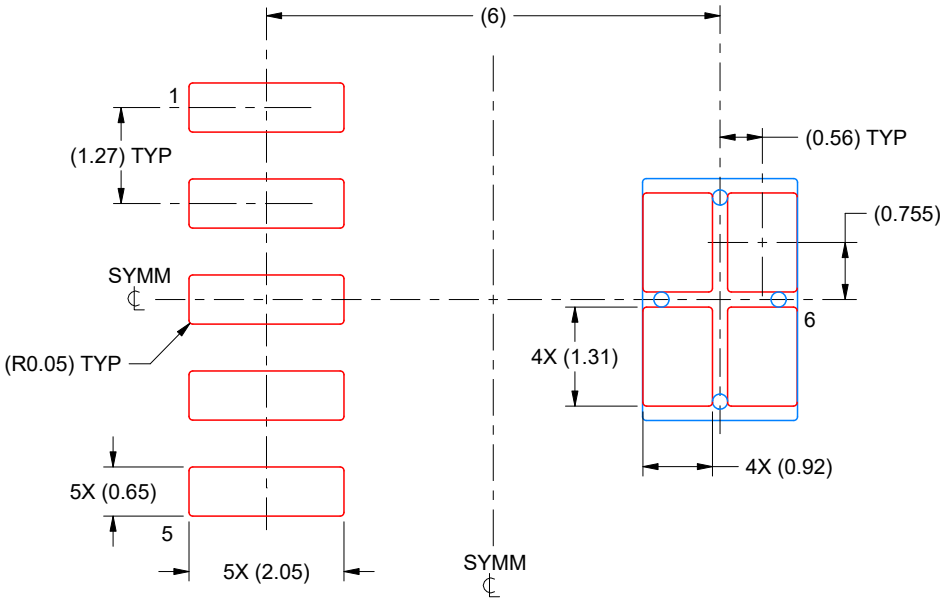


SOLDER MASK DETAILS

4214845/C 11/2021

NOTES: (continued)

4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
6. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4214845/C 11/2021

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

DRB 8 VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD

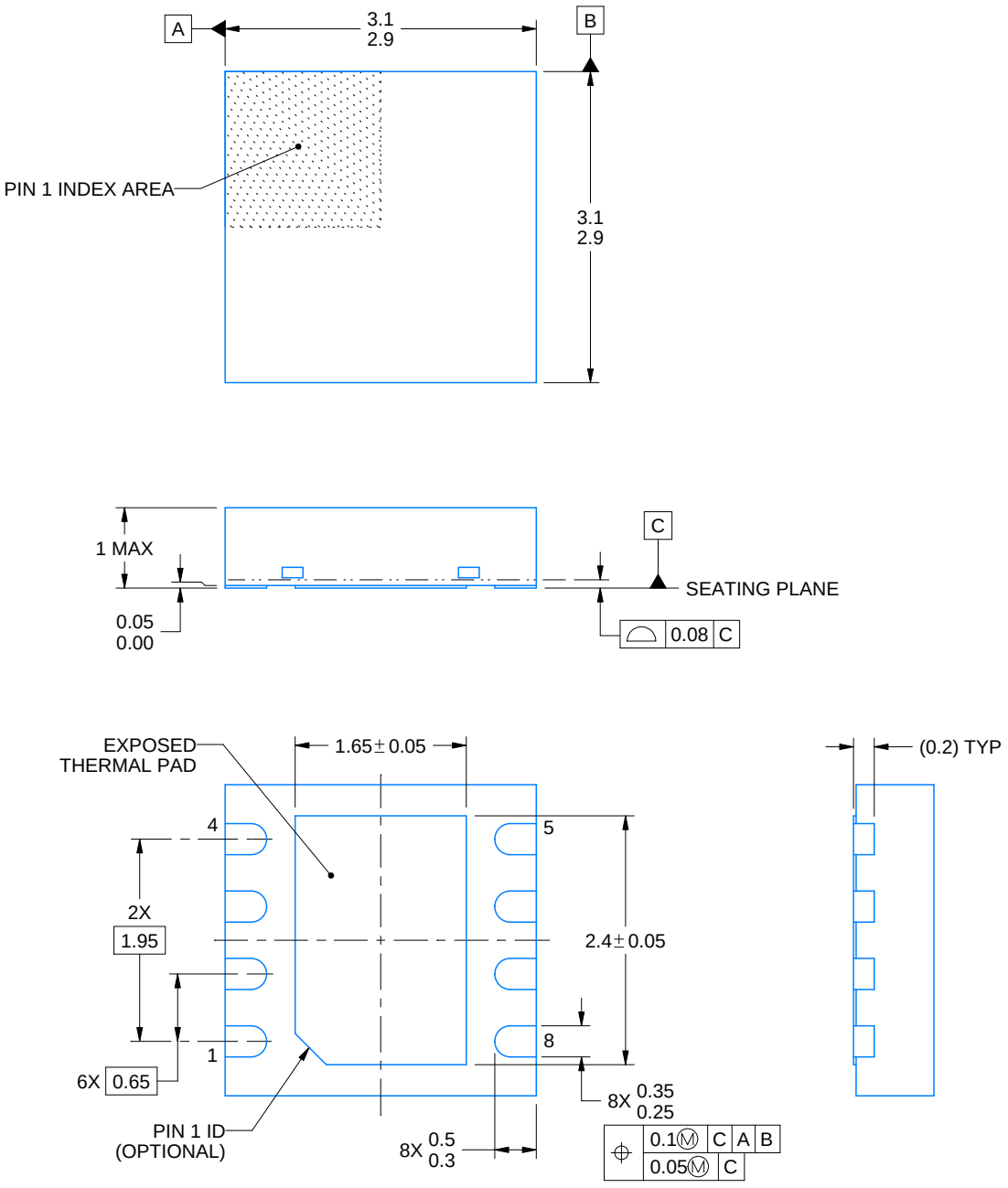
Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

DRB0008B

PACKAGE OUTLINE

VSON - 1 mm max height

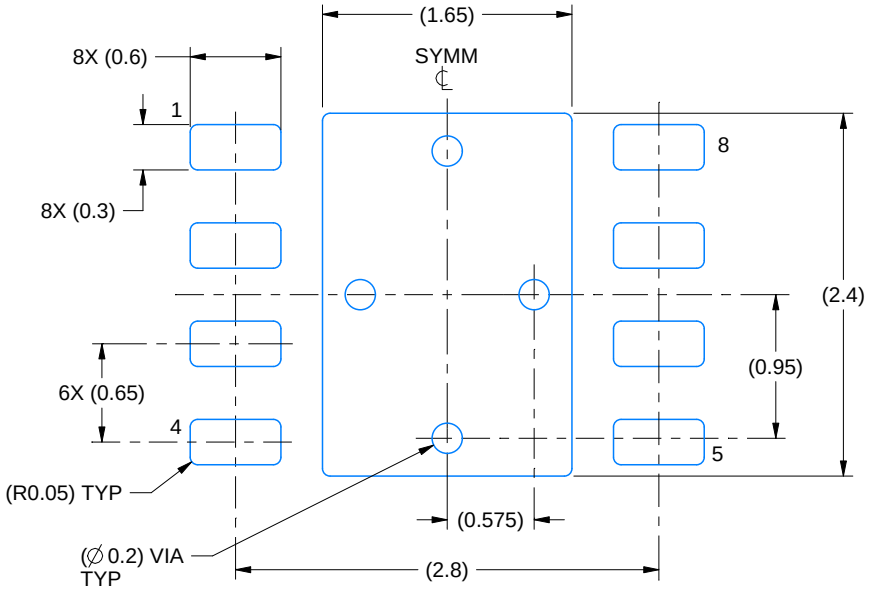
PLASTIC SMALL OUTLINE - NO LEAD



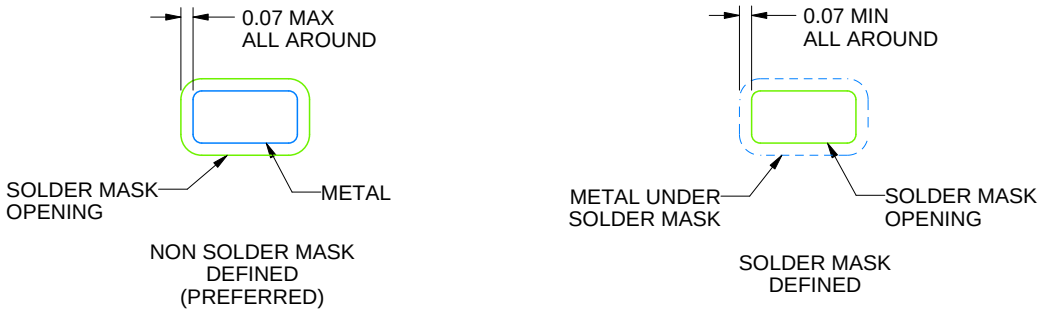
4218876/A 12/2017

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:20X



SOLDER MASK DETAILS

4218876/A 12/2017

NOTES: (continued)

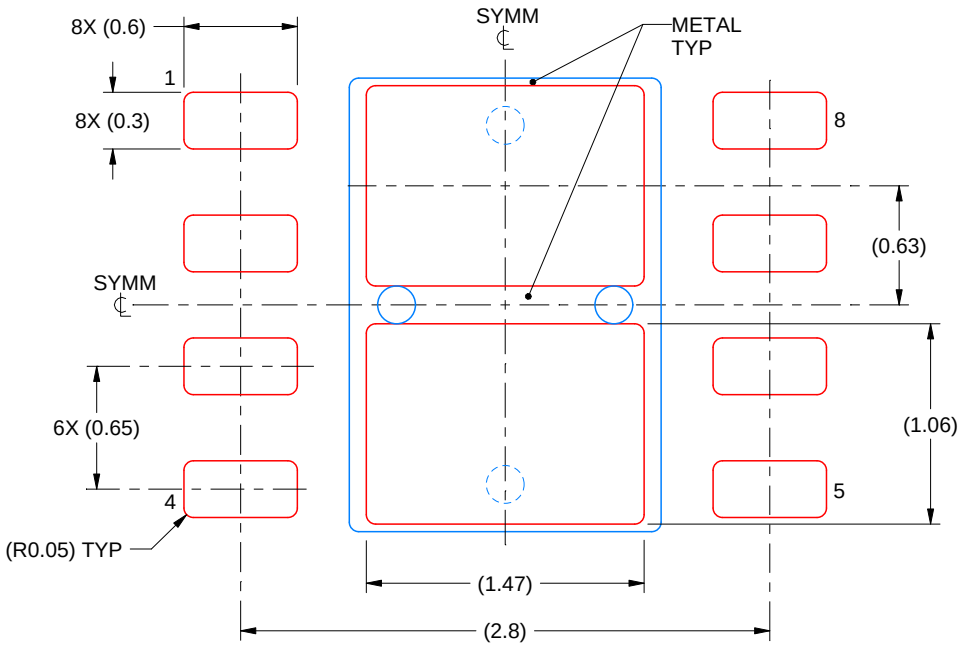
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DRB0008B

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
81% PRINTED SOLDER COVERAGE BY AREA
SCALE:25X

4218876/A 12/2017

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月