

DLPC3470 显示和光控制器

1 特性

- 适用于 **DLP2010LC** 和 **DLP2010NIR** (0.2 WVGA) DMD 的显示和光控制器
- 光控制功能：
 - 图形显示针对机器视觉和数字曝光进行了优化
 - 灵活的内部 (1D) 和外部 (2D) 图形流模式
 - 可编程曝光时间
 - 高达 2,500Hz (1 位) 和 360Hz (8 位) 的高速图形速率
 - 可编程 2D 静态图形
 - 内部图形流模式可简化系统设计
 - 不再需要视频接口
 - 通过闪存存储超过 1,000 个图形
 - 用于摄像头或传感器同步的灵活触发信号
 - 一个可配置输入触发器
 - 两个可配置输入触发器
- 显示特性
 - 支持高达 720p 的输入图像大小并可扩展至 WVGA
 - 输入帧速率高达 240Hz
 - 24 位输入像素接口支持：
 - 并行或 BT656, 接口协议
 - 高达 155MHz 的像素时钟
 - 图像处理 - IntelliBright™ 算法、图像大小调整、1D 梯形校正、可编程伽马转换 (degamma)
- 系统特性：
 - 器件配置的 I²C 控制
 - 可编程启动界面
 - 可编程 LED 电流控制
 - 断电时自动 DMD 停止

2 应用

- 移动投影仪
- 智能显示
- 智能手机
- 增强现实眼镜
- 智能家居显示
- Pico 投影仪

3 说明

DLPC3470 显示和光控制器为 **DLP2010LC** 或 **DLP2010NIR** 数字微镜器件 (DMD) 的可靠运行提供支持，适用于视频显示和光控制应用。**DLPC3470** 控制器提供了连接系统电子产品和 DMD 的便捷接口，以高速、精确且高效地显示视频和控制光图形。

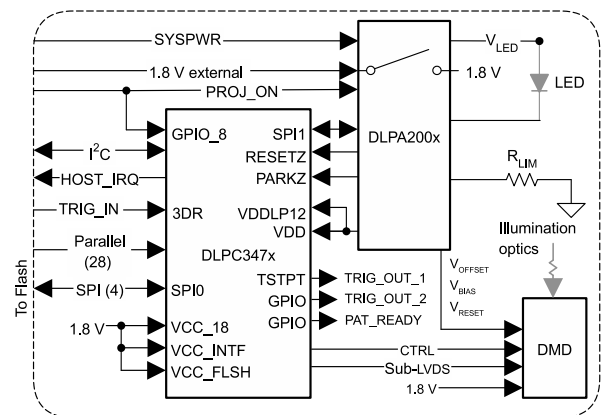
访问 **TI DLP®Pico™ 显示技术入门** 页面，并查看 **编程人员指南** 了解详情。

该芯片组提供现成的资源，可帮助用户加快设计周期。这些资源包括 **量产就绪型光学模块**、**光学模块制造商** 和 **设计公司**。

器件信息

器件型号	封装 ⁽¹⁾	封装尺寸
DLPC3470	NFBGA (201)	13.00mm × 13.00mm

(1) 如需更多信息，请参阅 **机械、封装和可订购信息** 附录。



典型的独立系统



内容

1 特性	1	6.2 功能方框图	27
2 应用	1	6.3 特性说明	28
3 说明	1	6.4 器件功能模式	50
4 引脚配置和功能	3	6.5 编程	51
5 规格	13	7 应用和实施	52
5.1 绝对最大额定值	13	7.1 应用信息	52
5.2 ESD 等级	13	7.2 典型应用	52
5.3 建议运行条件	14	8 电源相关建议	55
5.4 热性能信息	14	8.1 PLL 设计注意事项	55
5.5 电源电气特性	15	8.2 系统上电和断电序列	55
5.6 引脚电气特性	16	8.3 加电初始化序列	59
5.7 内部上拉和下拉电气特性	18	8.4 DMD 快速停止控制 (PARKZ)	59
5.8 DMD SubLVDS 接口电气特性	19	8.5 热插拔 I/O 的用途	60
5.9 DMD 低速接口电气特性	20	9 布局	61
5.10 系统振荡器时序要求	21	9.1 布局指南	61
5.11 电源和复位时序要求	21	9.2 布局示例	69
5.12 并行接口帧时序要求	22	10 器件和文档支持	70
5.13 并行接口一般时序要求	23	10.1 器件支持	70
5.14 BT656 接口一般时序要求	24	10.2 相关文档	74
5.15 闪存接口时序要求	25	10.3 接收文档更新通知	74
5.16 其他时序要求	26	10.4 支持资源	74
5.17 DMD Sub-LVDS 接口开关特性	26	10.5 商标	74
5.18 DMD 停止开关特性	26	10.6 静电放电警告	74
5.19 芯片组元件使用规格	26	10.7 术语表	74
6 详细说明	27	11 修订历史记录	74
6.1 概述	27	12 机械、封装和可订购信息	75

4 引脚配置和功能

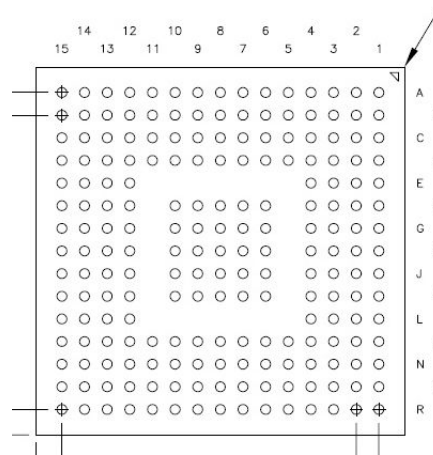


图 4-1. ZEZ 封装 201 引脚 NFBGA 底视图

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
A	DMD_LS_CLK	DMD_LS_WDATA	DMD_HS_WDATAH_P	DMD_HS_WDATAG_P	DMD_HS_WDATAF_P	DMD_HS_WDATAE_P	DMD_HS_CLK_P	DMD_HS_WDATAD_P	DMD_HS_WDATAC_P	DMD_HS_WDATAB_P	DMD_HS_WDATAA_P	CMP_OUT	SPI0_CLK	SPI0_CSZ0	CMP_PWM
B	DMD_DEN_ARSTZ	DMD_LS_RDATA	DMD_HS_WDATAH_N	DMD_HS_WDATAG_N	DMD_HS_WDATAF_N	DMD_HS_WDATAE_N	DMD_HS_CLK_N	DMD_HS_WDATAD_N	DMD_HS_WDATAC_N	DMD_HS_WDATAB_N	DMD_HS_WDATAA_N	SPI0_DIN	SPI0_DOUT	LED_SEL_1	LED_SEL_0
C	DD3P	DD3N	VDDL12	VSS	VDD	VSS	VCC	VSS	VCC	HWTEST_EN	RESETZ	SPI0_CSZ1	PARKZ	GPIO_00	GPIO_01
D	DD2P	DD2N	VDD	VCC	VDD	VSS	VDD	VSS	VDD	VSS	VCC_FLSH	VDD	VDD	GPIO_02	GPIO_03
E	DCLKP	DCLKN	VDD	VSS								VCC	VSS	GPIO_04	GPIO_05
F	DD1P	DD1N	RREF	VSS		VSS	VSS	VSS	VSS	VSS		VCC	VDD	GPIO_06	GPIO_07
G	DD0P	DD0N	VSS_PLLM	VSS		VSS	VSS	VSS	VSS	VSS		VSS	VSS	GPIO_08	GPIO_09
H	PLL_REFCLK_I	VDD_PLLM	VSS_PLLD	VSS		VSS	VSS	VSS	VSS	VSS		VSS	VDD	GPIO_10	GPIO_11
J	PLL_REFCLK_O	VDD_PLLD	VSS	VDD		VSS	VSS	VSS	VSS	VSS		VDD	VSS	GPIO_12	GPIO_13
K	PDATA_1	PDATA_0	VDD	VSS		VSS	VSS	VSS	VSS	VSS		VSS	VCC	GPIO_14	GPIO_15
L	PDATA_3	PDATA_2	VSS	VDD								VDD	VDD	GPIO_16	GPIO_17
M	PDATA_5	PDATA_4	VCC_INTF	VSS	VSS	VDD	VCC_INTF	VSS	VDD	VDD	VCC	VSS	JTAGTMS1	GPIO_18	GPIO_19
N	PDATA_7	PDATA_6	VCC_INTF	PDM_CVSTE	HSYNC_CS	3DR	VCC_INTF	HOST_IRQ	IIC0_SDA	IIC0_SCL	JTAGTMS2	JTAGTDO2	JTAGTDO1	TSTPT_6	TSTPT_7
P	VSYNC_WE	DATEN_CMD	PCLK	PDATA_11	PDATA_13	PDATA_15	PDATA_17	PDATA_19	PDATA_21	PDATA_23	JTAGTRSTZ	JTAGTCK	JTAGTDI	TSTPT_4	TSTPT_5
R	PDATA_8	PDATA_9	PDATA_10	PDATA_12	PDATA_14	PDATA_16	PDATA_18	PDATA_20	PDATA_22	IIC1_SDA	IIC1_SCL	TSTPT_0	TSTPT_1	TSTPT_2	TSTPT_3

表 4-1. 测试引脚和常规控制

引脚		I/O	类型 ⁽⁴⁾	说明
名称	编号			
HWTEST_EN	C10	I	6	制造测试使能信号。将该信号直接连接到 PCB 的接地端才能正常运行。
PARKZ	C13	I	6	DMD 快速停止控制 (低电平有效输入, 带有一个迟滞缓冲器)。该信号用于在即将发生断电时快速停止 DMD。如果执行快速停止操作, 则可能无法实现 DMD 的最长使用寿命; 因此, 仅当无法完成正常停止操作时, 才会将该信号置为有效。PARKZ 信号通常由 DLPAxxx 中断输出信号提供。
JTAGTCK	P12	I	6	TI 内部使用。请勿连接该引脚。
JTAGTDI	P13	I	6	TI 内部使用。请勿连接该引脚。
JTAGTDO ₁	N13 ⁽¹⁾	O	1	TI 内部使用。请勿连接该引脚。
JTAGTDO ₂	N12 ⁽¹⁾	O	1	TI 内部使用。请勿连接该引脚。
JTAGTMS ₁	M13	I	6	TI 内部使用。请勿连接该引脚。
JTAGTMS ₂	N11	I	6	TI 内部使用。请勿连接该引脚。
JTAGTRS_TZ	P11	I	6	TI 内部使用。 该引脚必须通过外部电阻器接地才能正常运行。若在正常运行期间未能将该引脚拉至低电平, 可能导致启动和初始化问题。 ⁽²⁾
RESETZ	C11	I	6	上电复位 (带有一个迟滞缓冲器的低电平有效输入)。当在 RESETZ 上检测到从低电平到高电平的转换时, 自配置启动。在该复位被置为无效之前, 所有控制器电源和时钟都必须保持稳定。当 RESETZ 被置为有效时, 没有信号处于有效状态。该引脚通常连接到 DLPA200x 的 RESETZ 引脚或 DLPA300X 的 RESET_Z 引脚。
TSTPT_0	R12	I/O	1	测试引脚 (包括弱内部下拉电阻)。引脚处于三态, 同时 RESETZ 被置为低电平。在 RESETZ 置为无效后约 1.5μs 时, 采样来用作输入测试模式选择控制信号, 随后被驱动为输出。 ^{(2) (3)} 正常使用: 保留用于测试输出。保持开路才能正常使用。 注意: 外部上拉电阻可能会将 DLPC34xx 置于测试模式。有关更多信息, 请参阅节 6.3.9。
TSTPT_1	R13	I/O	1	
TSTPT_2	R14	I/O	1	
TSTPT_3	R15	I/O	1	
TSTPT_4	P14	I/O	1	测试引脚 4 (包括弱内部下拉电阻) — 处于三态, 同时 RESETZ 被置为低电平。在 RESETZ 置为无效后约 1.5μs 时, 采样来用作输入测试模式选择控制信号, 随后被驱动为输出。保留用于 TRIG_OUT_1 信号 (输出)。
TSTPT_5	P15	I/O	1	测试引脚 (包括弱内部下拉电阻)。引脚处于三态, 同时 RESETZ 被置为低电平。在 RESETZ 置为无效后约 1.5μs 时, 采样来用作输入测试模式选择控制信号, 随后被驱动为输出。 ^{(2) (3)} 正常使用: 保留用于测试输出。保持开路才能正常使用。 注意: 外部上拉电阻可能会将 DLPC34xx 置于测试模式。有关更多信息, 请参阅节 6.3.9。
TSTPT_6	N14	I/O	1	
TSTPT_7	N15	I/O	1	

- (1) 如果应用设计不需要外部上拉电阻, 并且没有可克服弱内部下拉电阻的外部逻辑, 则该 I/O 可保持开路或不连接状态以实现正常运行。如果应用设计不需要外部上拉电阻, 但有外部逻辑可以克服弱内部下拉电阻, 则建议使用外部下拉电阻以确保逻辑低电平。
- (2) 外部电阻器的阻值必须为 8kΩ 或更小, 以补偿提供内部上拉或下拉电阻器的引脚。
- (3) 如果应用设计不需要外部上拉电阻, 并且没有可克服弱内部下拉电阻的外部逻辑, 则 TSTPT I/O 可保持开路 (不连接状态) 以实现正常运行。如果运行不需要外部上拉电阻, 但有外部逻辑可以克服弱内部下拉电阻, 则建议使用外部下拉电阻以确保逻辑低电平。
- (4) 有关类型定义, 请参阅表 4-10。

表 4-2. 并行端口输入

引脚 ^{(1) (2)}		I/O	类型 ⁽⁴⁾	说明	
名称	编号			并行 RGB 模式	BT656 接口模式
来获取 VOUT PCLK。	P3	I	11	像素时钟	像素时钟
PDM_CVS_TE	N4	I/O	5	并行数据掩码。可编程极性，默认为高电平有效。可选信号。	未使用
VSsync_WE	P1	I	11	Vsync ⁽³⁾	未使用
HSync_CS	N5	I	11	Hsync ⁽³⁾	未使用
DATAEN_CMD	P2	I	11	数据有效	未使用
PDATA_0 PDATA_1 PDATA_2 PDATA_3 PDATA_4 PDATA_5 PDATA_6 PDATA_7	K2 K1 L2 L1 M2 M1 N2 N1	I	11	(典型 RGB 888) 蓝色 (位权重 1) 蓝色 (位权重 2) 蓝色 (位权重 4) 蓝色 (位权重 8) 蓝色 (位权重 16) 蓝色 (位权重 32) 蓝色 (位权重 64) 蓝色 (位权重 128)	BT656_Data (0) BT656_Data (1) BT656_Data (2) BT656_Data (3) BT656_Data (4) BT656_Data (5) BT656_Data (6) BT656_Data (7)
PDATA_8 PDATA_9 PDATA_10 PDATA_11 PDATA_12 PDATA_13 PDATA_14 PDATA_15	R1 R2 R3 P4 R4 P5 R5 P6	I	11	(典型 RGB 888) 绿色 (位权重 1) 绿色 (位权重 2) 绿色 (位权重 4) 绿色 (位权重 8) 绿色 (位权重 16) 绿色 (位权重 32) 绿色 (位权重 64) 绿色 (位权重 128)	未使用
PDATA_16 PDATA_17 PDATA_18 PDATA_19 PDATA_20 PDATA_21 PDATA_22 PDATA_23	R6 P7 R7 P8 R8 P9 R9 P10	I	11	(典型 RGB 888) 红色 (位权重 1) 红色 (位权重 2) 红色 (位权重 4) 红色 (位权重 8) 红色 (位权重 16) 红色 (位权重 32) 红色 (位权重 64) 红色 (位权重 128)	未使用
3DR	N6	I	11	光控制 • 内部图形模式的外部输入触发信号 (输入) 3D 基准 • 对于 3D 应用: 左或右 3D 基准 (左 = 1, 右 = 0)。无法由主机提供。必须在每一帧的中间转换 (靠近 VSYNC 的有效边沿的时间不要小于 1ms) • 如果未使用 3D 应用, 则通过外部电阻器将该输入拉低。	

- (1) PDATA(23:0) 总线映射取决于像素格式和源模式。有关详细信息, 请参阅后续章节。
(2) 通过外部电阻器 (8kΩ 或更小) 将未使用的输入接地或下拉至接地。
(3) VSYNC 和 HSYNC 极性可通过软件调整。
(4) 有关类型定义, 请参阅表 4-10。

表 4-3. DSI 输入数据和时钟

引脚		I/O	类型 ⁽¹⁾	说明
名称	编号			
DCLKN DCLKP	E2 E1	---	---	未使用；保持未连接和悬空。
DD0N DD0P DD1N DD1P DD2N DD2P DD3N DD3P	G2 G1 F2 F1 D2 D1 C2 C1	---	---	未使用；保持未连接和悬空。
RREF	F3	—	---	请将该引脚保持未连接和悬空状态。

(1) 有关类型定义，请参阅表 4-10。

表 4-4. DMD 复位和偏置控制

引脚		I/O	类型 ⁽¹⁾	说明
名称	编号			
DMD_DEN_AR STZ	B1	O	2	DMD 驱动器使能（高电平有效）。DMD 复位（低电平有效）。在提供相应的 I/O 电源时，控制器会在 DMD 停止后且从 DMD 断电之前将该信号驱动为低电平。如果 DLPC34xx 的 1.8V 电源是与 DMD 的 1.8V 电源独立的，则 TI 建议包含一个弱外部下拉电阻器，以在施加 DMD 电源且 DLPC34xx 处于非活动状态时将信号保持为低电平。
DMD_LS_CLK	A1	O	3	DMD，低速 (LS) 接口时钟
DMD_LS_WDA TA	A2	O	3	DMD，低速 (LS) 串行写入数据
DMD_LS_RDA TA	B2	I	6	DMD，低速 (LS) 串行读取数据

(1) 有关类型定义，请参阅表 4-10。

表 4-5. DMD SubLVDS 接口

引脚		I/O	类型 ⁽¹⁾	说明
名称	编号			
DMD_HS_CLK_P	A7	O	4	DMD 高速 (HS) 接口时钟
DMD_HS_CLK_N	B7			
DMD_HS_WDATA_H_P	A3 B3 A4 B4 A5 B5 A6 B6 A8 B8 A9 B9 A10 B10 A11 B11	O	4	DMD SubLVDS 高速 (HS) 接口写入数据通道。DMD_HS_WDATA 引脚的真正编号和应用取决于软件配置。请参阅表 6-10。
DMD_HS_WDATA_H_N				
DMD_HS_WDATA_G_P				
DMD_HS_WDATA_G_N				
DMD_HS_WDATA_F_P				
DMD_HS_WDATA_F_N				
DMD_HS_WDATA_E_P				
DMD_HS_WDATA_E_N				
DMD_HS_WDATA_D_P				
DMD_HS_WDATA_D_N				
DMD_HS_WDATA_C_P				
DMD_HS_WDATA_C_N				
DMD_HS_WDATA_B_P				
DMD_HS_WDATA_B_N				
DMD_HS_WDATA_A_P				
DMD_HS_WDATA_A_N				

(1) 有关类型定义，请参阅表 4-10。

表 4-6. 外设接口

引脚 ⁽¹⁾		I/O	类型 ⁽³⁾	说明
名称	编号			
CMP_OUT	A12	I	6	逐次逼近型 ADC (模数转换器) 比较器输出 (DLPC34xx 输入)。要实现该功能, 请使用逐次逼近型 ADC, 并将热敏电阻连接到外部比较器的一个输入端, 同时将 DLPC34xx 控制器的 GPIO_10 (RC_CHARGE) 引脚连接到比较器的另一侧。建议使用 DLPxxxx 来实现该功能。如果不使用该功能, 则必须将 CMP_OUT 下拉至接地。(磁滞缓冲器)
CMP_PWM	A15	O	1	TI 内部使用。请勿连接该引脚。
HOST_IRQ ⁽²⁾	N8	O	9	主机中断 (输出) HOST_IRQ 指示 DLPC34xx 自动初始化何时进行, 最重要的是何时完成。这个引脚在复位期间处于三态。必须在该信号上包含一个外部上拉电阻器。
IIC0_SCL ⁽⁴⁾	N10	I/O	7	I ² C 从器件 (端口 0) SCL (具有输入磁滞的双向漏极开路信号): 该引脚需要使用一个外部上拉电阻器。从器件 I ² C I/O 可耐受 3.6V (耐受高压输入) 并由 VCC_INTF (可以是 1.8、2.5 或 3.3V) 供电。外部 I ² C 上拉电阻器必须连接到电源电压相等或更高、最大电压不超过 3.6V 的主机电源 (较低的上拉电源电压通常不满足从器件 I ² C 输入缓冲器的 V _{IH} 规格)。
IIC1_SCL	R11	I/O	8	TI 内部使用。TI 建议使用外部上拉电阻器。
IIC0_SDA ⁽⁴⁾	N9	I/O	7	I ² C 从器件 (端口 0) SDA。(具有输入磁滞的双向漏极开路信号): 该引脚需要使用一个外部上拉电阻器。从器件 I ² C 端口是控制器的控制端口。从器件 I ² C I/O 引脚可耐受 3.6V (耐受高压输入) 并由 VCC_INTF (可以是 1.8、2.5 或 3.3V) 供电。外部 I ² C 上拉电阻器必须连接到电源电压相等或更高、最大电压不超过 3.6V 的主机电源 (较低的上拉电源电压通常不满足从器件 I ² C 输入缓冲器的 V _{IH} 规格)。
IIC1_SDA	R10	I/O	8	TI 内部使用。TI 建议使用外部上拉电阻器。
LED_SEL_0	B15	O	1	LED 使能选择。由 DLPC34xx 可编程 DMD 序列自动控制 LED_SEL(1:0) 已启用的 LED 00 无 01 红色 10 绿色 11 蓝色
LED_SEL_1	B14	O	1	当 RESETZ 被置为有效并提供了相应的 I/O 电源时, 控制器会将这些信号驱动为低电平。在整个自动初始化过程中, 控制器继续将这些信号驱动为低电平。建议使用弱外部下拉电阻器, 以确保在未施加 I/O 电源时将 LED 禁用。
SPI0_CLK	A13	O	13	SPI (串行外设接口) 端口 0, 时钟。该引脚通常连接到闪存时钟。
SPI0_CSZ0	A14	O	13	SPI 端口 0, 片选 0 (低电平有效输出)。该引脚通常连接到闪存片选信号。TI 建议使用外部上拉电阻器, 以避免在控制器复位位置期间外部 SPI 器件出现悬空输入。
SPI0_CSZ1	C12	O	13	SPI 端口 0, 片选 1 (低电平有效输出)。该引脚通常保持未使用状态。TI 建议使用外部上拉电阻器, 以避免在控制器复位位置期间外部 SPI 器件出现悬空输入。
SPI0_DIN	B12	I	12	同步串行端口 0, 接收数据输入。该引脚通常连接到闪存数据输出。
SPI0_DOUT	B13	O	13	同步串行端口 0, 发送数据输出。该引脚通常连接到闪存数据输入。

(1) 外部上拉电阻器阻值必须为 8k Ω 或更小。

(2) 有关用法的更多信息, 请参阅 [节 6.3.3](#)。

(3) 有关类型定义, 请参阅 [表 4-10](#)。

(4) 当 VCC_INTF 已加电且 VDD 未加电时, 控制器可以将 IIC0_xxx 引脚驱动为低电平, 从而阻止该 I²C 总线上的通信。对于任何在该总线上具有其他从器件的系统, 在为 VDD 引脚加电之前, 请勿为 VCC_INTF 引脚加电。

表 4-7. GPIO 外设接口

引脚 ⁽¹⁾		I/O	类型 ⁽³⁾	说明 ⁽²⁾
名称	编号			
GPIO_19	M15	I/O	1	通用 I/O 19 (磁滞缓冲器)。可选 GPIO。如果未使用, TI 建议将该引脚配置为逻辑零 GPIO 输出并保持未连接状态。否则, 该引脚需要外部上拉或下拉电阻, 以避免 GPIO 输入悬空。

表 4-7. GPIO 外设接口 (续)

引脚 ⁽¹⁾		I/O	类型 ⁽³⁾	说明 ⁽²⁾
名称	编号			
GPIO_18	M14	I/O	1	通用 I/O 18 (磁滞缓冲器)。选项： 1. 可选 GPIO。如果未使用，TI 建议将该引脚配置为逻辑零 GPIO 输出并保持未连接状态。否则，该引脚需要外部上拉或下拉电阻，以避免 GPIO 输入悬空。 2. MTR_SENSE，电机检测（输入）：对于对焦电机控制应用，该 GPIO 必须配置为 DLPC34xx 的输入，并由对焦电机位置传感器提供。
GPIO_17	L15	I/O	1	通用 I/O 17 (磁滞缓冲器)。可选 GPIO。如果未使用，TI 建议将该引脚配置为逻辑零 GPIO 输出并保持未连接状态。否则，该引脚需要外部上拉或下拉电阻，以避免 GPIO 输入悬空。
GPIO_16	L14	I/O	1	通用 I/O 16 (磁滞缓冲器)。可选 GPIO。如果未使用，TI 建议将该引脚配置为逻辑零 GPIO 输出并保持未连接状态。否则，该引脚需要外部上拉或下拉电阻，以避免 GPIO 输入悬空。
GPIO_15	K15	I/O	1	通用 I/O 15 (磁滞缓冲器)。可选 GPIO。如果未使用，TI 建议将该引脚配置为逻辑零 GPIO 输出并保持未连接状态。否则，该引脚需要外部上拉或下拉电阻，以避免 GPIO 输入悬空。
GPIO_14	K14	I/O	1	通用 I/O 14 (磁滞缓冲器)。可选 GPIO。如果未使用，TI 建议将该引脚配置为逻辑零 GPIO 输出并保持未连接状态。否则，该引脚需要外部上拉或下拉电阻，以避免 GPIO 输入悬空。
GPIO_13	J15	I/O	1	通用 I/O 13 (磁滞缓冲器)。可选 GPIO。如果未使用，TI 建议将该引脚配置为逻辑零 GPIO 输出并保持未连接状态。否则，该引脚需要外部上拉或下拉电阻，以避免 GPIO 输入悬空。
GPIO_12	J14	I/O	1	通用 I/O 12 (磁滞缓冲器)。可选 GPIO。如果未使用，TI 建议将该引脚配置为逻辑零 GPIO 输出并保持未连接状态。否则，该引脚需要外部上拉或下拉电阻，以避免 GPIO 输入悬空。
GPIO_11	H15	I/O	1	通用 I/O 11 (磁滞缓冲器)。选项： 1. 热敏电阻电源使能（输出）。在使用和启用热敏电阻时打开其电源。 2. 可选 GPIO。如果未使用，TI 建议将该引脚配置为逻辑零 GPIO 输出并保持未连接状态。否则，该引脚需要外部上拉或下拉电阻，以避免 GPIO 输入悬空。
GPIO_10	H14	I/O	1	通用 I/O 10 (磁滞缓冲器)。选项： 1. RC_CHARGE（输出）：用于向热敏电阻接口的 RC 充电电路供电。 2. 可选 GPIO。如果未使用，TI 建议将该引脚配置为逻辑零 GPIO 输出并保持未连接状态。否则，该引脚需要外部上拉或下拉电阻，以避免 GPIO 输入悬空。
GPIO_09	G15	I/O	1	通用 I/O 09 (磁滞缓冲器)。可选 GPIO。如果未使用，TI 建议将该引脚配置为逻辑零 GPIO 输出并保持未连接状态。否则，该引脚需要外部上拉或下拉电阻，以避免 GPIO 输入悬空。
GPIO_08	G14	I/O	1	通用 I/O 08 (磁滞缓冲器)。正常微镜停止请求（低电平有效）：由主机的 PROJ_ON 输出驱动。该信号上的逻辑低电平会导致 DLPC34xx 停止 DMD，但不会使 DMD 断电（DLPxxxx 执行该操作）。最高电平时间为 200ms。最低电平时间为 200ms。
GPIO_07	F15	I/O	1	通用 I/O 07 (磁滞缓冲器)。选项： 1. 光控制：保留用于 TRIG_OUT_2 信号（输出）。 2. 可选 GPIO。应配置为逻辑零 GPIO 输出，如果不使用，应保持未连接状态（否则，它将需要外部上拉或下拉电阻，以避免 GPIO 输入悬空）。
GPIO_06	F14	I/O	1	通用 I/O 06 (磁滞缓冲器)。选项： 1. 光控制：保留用于图形就绪信号（输出）。仅适用于内部图形流模式。 2. 可选 GPIO。应配置为逻辑零 GPIO 输出，如果不使用，应保持未连接状态（否则，它将需要外部上拉或下拉电阻，以避免 GPIO 输入悬空）。
GPIO_05	E15	I/O	1	通用 I/O 05 (磁滞缓冲器)。可选 GPIO。如果未使用，TI 建议将该引脚配置为逻辑零 GPIO 输出并保持未连接状态。否则，该引脚需要外部上拉或下拉电阻，以避免 GPIO 输入悬空。

表 4-7. GPIO 外设接口 (续)

引脚 ⁽¹⁾		I/O	类型 ⁽³⁾	说明 ⁽²⁾
名称	编号			
GPIO_04	E14	I/O	1	通用 I/O 04 (磁滞缓冲器)。选项： 1. 3D 眼镜控制 (输出)：控制 3D 眼镜上的快门 (左 = 1、右 = 0)。 2. SPI1_CSZ1 (低电平有效输出)：可选的 SPI1 片选 1 信号。需要一个外部上拉电阻器，以在复位和自动初始化过程中停用该信号。 3. 可选 GPIO。如果未使用，TI 建议将该引脚配置为逻辑零 GPIO 输出并保持未连接状态。否则，该引脚需要外部上拉或下拉电阻，以避免 GPIO 输入悬空。
GPIO_03	D15	I/O	1	通用 I/O 03 (磁滞缓冲器)。SPI1_CSZ0 (低电平有效输出)：SPI1 片选 0 信号。该引脚通常连接到 DLPxxxx SPI_CSZ 引脚。需要一个外部上拉电阻器，以在复位和自动初始化过程中停用该信号。
GPIO_02	D14	I/O	1	通用 I/O 02 (磁滞缓冲器)。SPI1_DOUT (输出)：SPI1 数据输出信号。该引脚通常连接到 DLPxxxx SPI_DIN 引脚。
GPIO_01	C15	I/O	1	通用 I/O 01 (磁滞缓冲器)。SPI1_CLK (输出)：SPI1 时钟信号。该引脚通常连接到 DLPxxxx SPI_CLK 引脚。
GPIO_00	C14	I/O	1	通用 I/O 00 (磁滞缓冲器)。SPI1_DIN (输入)：SPI1 数据输入信号。该引脚通常连接到 DLPxxxx SPI_DOUT 引脚。

- (1) GPIO 引脚必须通过软件配置为输入、输出、双向或漏极开路运行模式。某些 GPIO 引脚具有一种或多种备用使用模式，这些模式也可通过软件进行配置。每个配置为漏极开路的信号都需要一个外部上拉电阻器。
- (2) 用于 DLPC3470 控制器的通用 I/O。这些 GPIO 引脚可通过软件配置。
- (3) 有关类型定义，请参阅表 4-10。

表 4-8. 时钟和 PLL 支持

引脚		I/O	类型 ⁽¹⁾	说明
名称	编号			
PLL_REFCLK_I	H1	I	11	基准时钟晶体输入。如果使用外部振荡器而不是晶体，则使用该引脚作为振荡器输入。
PLL_REFCLK_O	J1	O	5	基准时钟晶体回路。如果使用外部振荡器而不是晶体，则将该引脚保持未连接状态 (悬空，不会增加电容负载)。

- (1) 有关类型定义，请参阅表 4-10。

表 4-9. 电源和接地

引脚		I/O	类型	说明
名称	编号			
VDD	C5、D5、D7、D12、J4、J12、K3、L4、L12、M6、M9、D9、D13、F13、H13、L13、M10、D3、E3	—	PWR	内核 1.1V 电源 (市电 1.1V)
VDDL12	C3	—	---	未使用。建议将该引脚连接到外部 VDD。

表 4-9. 电源和接地 (续)

引脚		I/O	类型	说明
名称	编号			
VSS	C4、D6、D8、D10、E4、E13、F4、G4、G12、H4、H12、J3、J13、K4、K12、L3、M4、M5、M8、M12、G13、C6、C8、F6、F7、F8、F9、F10、G6、G7、G8、G9、G10、H6、H7、H8、H9、H10、J6、J7、J8、J9、J10、K6、K7、K8、K9、K10	—	GND	内核接地 (eDRAM、I/O 接地, 热接地)
VCC18	C7、C9、D4、E12、F12、K13、M11	—	PWR	所有 1.8V I/O 电源 : (用于除主机或并行接口以及 SPI 闪存接口之外的所有 I/O 引脚的 1.8V 电源。这些引脚包括 RESETZ、PARKZ LED_SEL、CMP_OUT、GPIO、IIC1、TSTPT 和 JTAG 引脚)
VCC_INTF	M3、M7、N3、N7	—	PWR	主机或并行接口 I/O 电源 : 1.8V 至 3.3V (包括 IIC0、PDATA、视频同步和 HOST_IRQ 引脚)
VCC_FLSH	D11	—	PWR	闪存接口 I/O 电源 : 1.8V 至 3.3V (专用 SPI0 电源引脚)
VDD_PLLM	H2	—	PWR	MCG PLL (主时钟发生器锁相环) 1.1V 电源
VSS_PLLM	G3	—	RTN	MCG PLL 回路
VDD_PLLD	J2	—	PWR	DCG PLL (DMD 时钟发生器锁相环) 1.1V 电源
VSS_PLLD	H3	—	RTN	DCG PLL 回路

表 4-10. I/O 类型下标定义

I/O		电源基准	ESD 结构
下标	说明		
1	具有 8mA 驱动的 1.8V LVCMOS I/O 缓冲器	V _{CC18}	ESD 二极管连接到 GND 和电源轨

表 4-10. I/O 类型下标定义 (续)

I/O		电源基准	ESD 结构
下标	说明		
2	具有 4mA 驱动的 1.8V LVCMOS I/O 缓冲器	V_{CC18}	ESD 二极管连接到 GND 和电源轨
3	具有 24mA 驱动的 1.8V LVCMOS I/O 缓冲器	V_{CC18}	ESD 二极管连接到 GND 和电源轨
4	1.8V SubLVDS 输出, 具有 4mA 驱动电流	V_{CC18}	ESD 二极管连接到 GND 和电源轨
5	1.8V、2.5V、3.3V LVCMOS, 具有 4mA 驱动电流	V_{CC_INTF}	ESD 二极管连接到 GND 和电源轨
6	1.8V LVCMOS 输入	V_{CC18}	ESD 二极管连接到 GND 和电源轨
7	1.8V、2.5V、3.3V I ² C, 具有 3mA 驱动电流	V_{CC_INTF}	ESD 二极管连接到 GND 和电源轨
8	1.8V I ² C, 具有 3mA 驱动电流	V_{CC18}	ESD 二极管连接到 GND 和电源轨
9	1.8V、2.5V、3.3V LVCMOS, 具有 8mA 驱动电流	V_{CC_INTF}	ESD 二极管连接到 GND 和电源轨
10	保留		
11	1.8V、2.5V、3.3V LVCMOS 输入	V_{CC_INTF}	ESD 二极管连接到 GND 和电源轨
12	1.8V、2.5V、3.3V LVCMOS 输入	V_{CC_FLSH}	ESD 二极管连接到 GND 和电源轨
13	1.8V、2.5V、3.3V LVCMOS, 具有 8mA 驱动电流	V_{CC_FLSH}	ESD 二极管连接到 GND 和电源轨

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

		最小值	最大值	单位
电源电压⁽²⁾				
V _(VDD)		-0.3	1.21	V
V _(VDDL12)		-0.3	1.32	V
V _(VCC18)		-0.3	1.96	V
DMD SubLVDS 接口 (DMD_HS_CLK_x 和 DMD_HS_WDATA_x_y)		-0.3	1.96	V
V _(VCC_INTF)		-0.3	3.60	V
V _(VCC_FLASH)		-0.3	3.60	V
V _(VDD_PLLM) (MCG PLL)		-0.3	1.21	V
V _(VDD_PLLD) (DCG PLL)		-0.3	1.21	V
V _{I2C buffer} (I/O 类型 7)		-0.3	请参阅 ⁽³⁾	V
通用				
T _J	工作结温	-30	125	°C
T _{stg}	贮存温度	-40	125	°C

- (1) 超出 [节 5.1](#) 下所列值的应力可能会对器件造成永久性损坏。这些仅仅是应力额定值，并不意味着器件在这些条件或超出 [节 5.3](#) 下的任何其它条件下能够正常工作。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
- (2) 所有电压值均以 VSS (GND) 为基准。
- (3) I/O 可耐受高压；也就是说，如果 VCC_INTF = 1.8V，则输入可耐受 3.3V，如果 VCC_INTF = 3.3V，则输入可耐受 5V。

5.2 ESD 等级

		值	单位
V _(ESD) 静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚 ⁽¹⁾	±2000	V
	充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101，所有引脚 ⁽²⁾	±500	

- (1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
- (2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

			最小值	标称值	最大值	单位
V _(VDD)	核心电源 1.1V (市电 1.1V)		1.045	1.10	1.155	V
V _(VDDL12)	未使用	请参阅 ⁽²⁾	1.045	1.10	1.155	V
V _(VCC18)	所有 1.8V I/O 电源： (用于除主机或并行接口以及 SPI 闪存接口之外的所有 I/O 引脚的 1.8V 电源。这些引脚包括 RESETZ、PARKZ LED_SEL、CMP_OUT、GPIO、IIC1、TSTPT 和 JTAG 引脚。)		1.64	1.80	1.96	V
V _(VCC_INTF)	主机或并行接口 I/O 电源：1.8 至 3.3V (包括 IIC0、PDATA、视频同步和 HOST_IRQ 引脚)	请参阅 ⁽¹⁾	1.64	1.80	1.96	V
			2.28	2.50	2.72	
			3.02	3.30	3.58	
V _(VCC_FLSH)	闪存接口 I/O 电源：1.8V 至 3.3V	请参阅 ⁽¹⁾	1.64	1.80	1.96	V
			2.28	2.50	2.72	
			3.02	3.30	3.58	
V _(VDD_PLLM)	MCG PLL 1.1V 电源	请参阅 ⁽³⁾	1.025	1.100	1.155	V
V _(VDD_PLLD)	DCG PLL 1.1V 电源	请参阅 ⁽³⁾	1.025	1.100	1.155	V
T _A	工作环境温度 ⁽⁴⁾		-30		85	°C
T _J	工作结温		-30		105	°C

(1) 这些电源具有多个有效范围。

(2) 建议将 VDDL12 连接至 VDD 电源轨。

(3) 最小电压低于其他 1.1V 电源最小值，以便实现额外滤波。这种滤波可能会导致滤波器上的 IR 下降。

(4) 工作环境温度范围基于以下假设：0 强制气流、在 0 强制气流条件下根据 JEDEC JESD51 标准测得的结到环境热阻值 (0m/s 时的 R_{θJA})、JEDEC JESD51 标准测试卡及环境，以及整个工艺、电压和温度范围内的最小和最大估算功率耗散。热条件因应用而异，而且将影响 R_{θJA}。因此，最高工作环境温度因应用而异。

- T_{A(min)} = T_{J(min)} - (P_{S(min)} × R_{θJA}) = -30°C - (0.0 W × 28.8°C/W) = -30°C
- T_{a_max} = T_{J_max} - (P_{d_max} × R_{θJA}) = +105°C - (0.348 W × 28.8°C/W) = +95.0°C

5.4 热性能信息

热指标 ⁽¹⁾		DLPC3470	单位
		ZEZ (NFBGA)	
		201 引脚	
R _{θJC}	结至外壳热阻	10.1	°C/W
R _{θJA}	结至空气热阻	强制气流为 0m/s ⁽²⁾	28.8
		强制气流为 1m/s ⁽²⁾	25.3
		强制气流为 2m/s ⁽²⁾	24.4
ψ _{JT}	每单位功率耗散的结到封装顶部中心温度变化 ⁽³⁾	0.23	°C/W

(1) 有关新旧热指标的更多信息，请参阅 IC 封装热指标应用报告 SPRA953。

(2) 热系数符合 JEDEC 标准 51。R_{θJA} 是使用 JEDEC 定义的标准测试 PCB 测得的封装热阻。该 JEDEC 测试 PCB 未必代表 DLPC34xx 控制器 PCB，因此所报告的热阻可能不是实际产品应用中的准确热阻。尽管实际热阻可能不同，但它是在设计阶段估算热性能的最可靠信息。

(3) 示例：(0.5W) × (0.2°C/W) ≈ 0.1°C 温升。

5.5 电源电气特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数 ^{(4) (5) (6) (7)}	测试条件	最小值	典型值 ⁽¹⁾	最大值 ⁽²⁾	单位
$I_{(VDD)+}$ $I_{(VDD_PLL M)+}$ 1.1V 电压轨 $I_{(VDD_PLL D)}$	帧速率 = 60Hz		111	160	mA
	帧速率 = 120Hz		132	196	
	帧速率 = 240Hz		179	295	
$I_{(VDD_PLL M)}$ MCG PLL 1.1V 电流 ⁽³⁾	帧速率 = 60Hz		6		mA
	帧速率 = 120Hz		6		
	帧速率 = 240Hz		6		
$I_{(VDD_PLL D)}$ DCG PLL 1.1V 电流 ⁽³⁾	帧速率 = 60Hz		6		mA
	帧速率 = 120Hz		6		
	帧速率 = 240Hz		6		
$I_{(VCC18)}$ 所有 1.8V I/O 电流：（用于除主机或并行接口以及 SPI 闪存接口之外的所有 I/O 的 1.8V 电源）	帧速率 = 60Hz		27	36	mA
	帧速率 = 120Hz		27	36	
	帧速率 = 240Hz		27	36	
$I_{(VCC_INTF)}$ 主机或并行接口 I/O 电流：1.8 至 3.3V（包括 IIC0、PDATA、视频同步和 HOST_IRQ 引脚） ⁽³⁾	帧速率 = 60Hz		2		mA
	帧速率 = 120Hz		2		
	帧速率 = 240Hz		2		
$I_{(VCC_FLSH)}$ 闪存接口 I/O 电流：1.8 至 3.3V ⁽³⁾	帧速率 = 60Hz		1		mA
	帧速率 = 120Hz		1		
	帧速率 = 240Hz		1		

- (1) 在系统上进行测量时，使用了典型的 PVT（工艺、电压和温度）条件（例如，标称工艺、典型电压和 25°C 标称环境温度）和各种输入图像。
- (2) 在具有最坏情况 PVT 条件（即转角工艺、高电压和 65°C 高温）和白噪声输入图像的系统上测得。
- (3) 由于电路板限制，未测量该电源轨。改用了仿真值。仿真假设有效系数为 12.5%，在适当的域上采用 30% 的时钟门控，以及混合 SVT（标准阈值电压）或 HVT（高阈值电压）电池。
- (4) 对于所测的用例，所有使用 1.1V 的引脚均连接在一起（包括 VDDL12），而且可编程主机和闪存 I/O 处于最低标称电压（即 1.8V）。
- (5) 输入图像为 854 × 480 (WVGA) 24 位，在并行接口上使用精简 VESA 时序，帧速率如图所示，搭配 0.2 英寸 WVGA (DLP2010LC) DMD。控制器关闭了 CAIC 和 LABB 算法。
- (6) 测得的值没有考虑可能影响电源性能的软件更新或客户更改。
- (7) 报告的数字仅在显示模式下运行 DLPC3470 时有效。

5.6 引脚电气特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数 ⁽³⁾		测试条件 ⁽⁴⁾	最小值	典型值	最大值	单位
V _{IH}	高电平输入阈值电压	I ² C 缓冲器 (I/O 类型 7)			0.7 × VCC_INTF 请参阅 ⁽¹⁾	V
		I/O 类型 1、2、3、6、8, ⁽²⁾ 中注明的引脚除外	VCC18 = 1.8V	1.17	3.6	
		I/O 类型 1、6 用于 ⁽²⁾ 中注明的引脚	VCC18 = 1.8V	1.3	3.6	
		I/O 类型 5、9、11	VCC_INTF = 1.8V	1.17	3.6	
		I/O 类型 12、13	VCC_FLSH = 1.8V	1.17	3.6	
		I/O 类型 5、9、11	VCC_INTF = 2.5V	1.7	3.6	
		I/O 类型 12、13	VCC_FLSH = 2.5V	1.7	3.6	
		I/O 类型 5、9、11	VCC_INTF = 3.3V	2.0	3.6	
		I/O 类型 12、13	VCC_FLSH = 3.3V	2.0	3.6	
V _{IL}	低电平输入阈值电压	I ² C 缓冲器 (I/O 类型 7)		-0.5	0.3 × VCC_INTF	V
		I/O 类型 1、2、3、6、8, ⁽²⁾ 中注明的引脚除外	VCC18 = 1.8V	-0.3	0.63	
		I/O 类型 1、6 用于 ⁽²⁾ 中注明的引脚	VCC18 = 1.8V	-0.3	0.5	
		I/O 类型 5、9、11	VCC_INTF = 1.8V	-0.3	0.63	
		I/O 类型 12、13	VCC_FLSH = 1.8V	-0.3	0.63	
		I/O 类型 5、9、11	VCC_INTF = 2.5V	-0.3	0.7	
		I/O 类型 12、13	VCC_FLSH = 2.5V	-0.3	0.7	
		I/O 类型 5、9、11	VCC_INTF = 3.3V	-0.3	0.8	
		I/O 类型 12、13	VCC_FLSH = 3.3V	-0.3	0.8	
V _{OH}	高电平输出电压	I/O 类型 1、2、3、6、8	VCC18 = 1.8V	1.35		V
		I/O 类型 5、9、11	VCC_INTF = 1.8V	1.35		
		I/O 类型 12、13	VCC_FLSH = 1.8V	1.35		
		I/O 类型 5、9、11	VCC_INTF = 2.5V	1.7		
		I/O 类型 12、13	VCC_FLSH = 2.5V	1.7		
		I/O 类型 5、9、11	VCC_INTF = 3.3V	2.4		
		I/O 类型 12、13	VCC_FLSH = 3.3V	2.4		

5.6 引脚电气特性 (续)

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数 ⁽³⁾		测试条件 ⁽⁴⁾	最小值	典型值	最大值	单位
V _{OL}	低电平输出电压	I ² C 缓冲器 (I/O 类型 7)	VCC_INTF > 2V		0.4	V
		I ² C 缓冲器 (I/O 类型 7)	VCC_INTF < 2V		0.2 × VCC_INTF	
		I/O 类型 1、2、3、6、8	VCC18 = 1.8V		0.45	
		I/O 类型 5、9、11	VCC_INTF = 1.8V		0.45	
		I/O 类型 12、13	VCC_FLSH = 1.8V		0.45	
		I/O 类型 5、9、11	VCC_INTF = 2.5V		0.7	
		I/O 类型 12、13	VCC_FLSH = 2.5V		0.7	
		I/O 类型 5、9、11	VCC_INTF = 3.3V		0.4	
		I/O 类型 12、13	VCC_FLSH = 3.3V		0.4	
I _{OH}	高电平输出电流 ⁽⁵⁾	I/O 类型 2、4	VCC18 = 1.8V	2		mA
		I/O 类型 5	VCC_INTF = 1.8V	2		
		I/O 类型 1	VCC18 = 1.8V	3.5		
		I/O 类型 9	VCC_INTF = 1.8V	3.5		
		I/O 类型 13	VCC_FLSH = 1.8V	3.5		
		I/O 类型 3	VCC18 = 1.8V	10.6		
		I/O 类型 5	VCC_INTF = 2.5V	5.4		
		I/O 类型 9、13	VCC_INTF = 2.5V	10.8		
		I/O 类型 13	VCC_FLSH = 2.5V	10.8		
		I/O 类型 5	VCC_INTF = 3.3V	7.8		
		I/O 类型 9	VCC_INTF = 3.3V	15		
		I/O 类型 13	VCC_FLSH = 3.3V	15		
I _{OL}	低电平输出电流 ⁽⁶⁾	I ² C 缓冲器 (I/O 类型 7)		3		mA
		I/O 类型 2、4	VCC18 = 1.8V	2.3		
		I/O 类型 5	VCC_INTF = 1.8V	2.3		
		I/O 类型 1	VCC18 = 1.8V	4.6		
		I/O 类型 9	VCC_INTF = 1.8V	4.6		
		I/O 类型 13	VCC_FLSH = 1.8V	4.6		
		I/O 类型 3	VCC18 = 1.8V	13.9		
		I/O 类型 5	VCC_INTF = 2.5V	5.2		
		I/O 类型 9	VCC_INTF = 2.5V	10.4		
		I/O 类型 13	VCC_FLSH = 2.5V	10.4		
		I/O 类型 5	VCC_INTF = 3.3V	4.4		
		I/O 类型 9	VCC_INTF = 3.3V	8.9		
		I/O 类型 13	VCC_FLSH = 3.3V	8.9		

5.6 引脚电气特性 (续)

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数 ⁽³⁾		测试条件 ⁽⁴⁾	最小值	典型值	最大值	单位	
I _{oz}	高阻抗漏电流	I ² C 缓冲器 (I/O 类型 7)	$V_{I2C\ buffer} < 0.1 \times VCC_INTF$ 或 $V_{I2C\ buffer} > 0.9 \times VCC_INTF$	-10		10	μA
		I/O 类型 1、2、3、6、8、	VCC18 = 1.8V	-10		10	
		I/O 类型 5、9、11	VCC_INTF = 1.8V	-10		10	
		I/O 类型 12、13	VCC_FLSH = 1.8V	-10		10	
		I/O 类型 5、9、11	VCC_INTF = 2.5V	-10		10	
		I/O 类型 12、13	VCC_FLSH = 2.5V	-10		10	
		I/O 类型 5、9、11	VCC_INTF = 3.3V	-10		10	
		I/O 类型 12、13	VCC_FLSH = 3.3V	-10		10	
C _i	输入电容 (包括封装)	I ² C 缓冲器 (I/O 类型 7)				5	pF
		I/O 类型 1、2、3、6、8	VCC18 = 1.8V	2.6		3.5	
		I/O 类型 5、9、11	VCC_INTF = 1.8V	2.6		3.5	
		I/O 类型 12、13	VCC_FLSH = 1.8V	2.6		3.5	
		I/O 类型 5、9、11	VCC_INTF = 2.5V	2.6		3.5	
		I/O 类型 12、13	VCC_FLSH = 2.5V	2.6		3.5	
		I/O 类型 5、9、11	VCC_INTF = 3.3V	2.6		3.5	
		I/O 类型 12、13	VCC_FLSH = 3.3V	2.6		3.5	
		SubLVDS - DMD 高速 (I/O 类型 4)	VCC18 = 1.8V				

- (1) I/O 可耐受高压；也就是说，如果 VCC_INTF = 1.8V，则输入可耐受 3.3V，如果 VCC_INTF = 3.3V，则输入可耐受 5V。
- (2) 控制器引脚 CMP_OUT、PARKZ、RESETZ 以及 GPIO_00 至 GPIO_19 的 V_{IH} 和 V_{IL} 范围与其他 1.8V I/O 略有不同。
- (3) I/O 类型指表 4-10 中定义的类型。
- (4) 定义 VCC18、VCC_INTF 或 VCC_FLSH 值的测试条件显示了指定 I/O 电源基准被设置为的标称电压。
- (5) 对于高电平输出信号，给定的 I/O 将至少能够输出指定的最小电流。
- (6) 对于低电平输出信号，给定的 I/O 将至少能够汲取指定的最小电流。

5.7 内部上拉和下拉电气特性

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽²⁾

内部电阻	测试条件 ⁽¹⁾	最小值	最大值	单位
弱上拉	VCCIO = 3.3V	29	63	kΩ
	VCCIO = 2.5V	38	90	
	VCCIO = 1.8V	56	148	
弱下拉	VCCIO = 3.3V	30	72	kΩ
	VCCIO = 2.5V	36	101	
	VCCIO = 1.8V	52	167	

- (1) 电阻取决于 VCCIO，即引脚电源基准 (请参阅表 4-10 中的特定引脚电源基准)。
- (2) 对于需要调整任何相关内部上拉或下拉电阻的电压条件，请使用外部 8kΩ 上拉或下拉电阻器。

5.8 DMD SubLVDS 接口电气特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
V_{CM} 共模电压		0.8	0.9	1.0	V
$V_{CM}(\Delta pp)^{(1)}$ V_{CM} 变化（峰值间）（开关期间）				75	mV
$V_{CM}(\Delta ss)^{(1)}$ V_{CM} 变化（稳定状态）		-10		10	mV
$ V_{OD} ^{(2)}$ 差分输出电压幅度		170	250	350	mV
$V_{OD}(\Delta)$ V_{OD} 变化（逻辑状态之间）		-10		10	mV
V_{OH} 单端高电平输出电压		0.825	1.025	1.175	V
V_{OL} 单端低电平输出电压		0.625	0.775	0.975	V
T_{Xterm} 内部差分端接		80	100	120	Ω
T_{Xload} 100 Ω 差分 PCB 走线 (50 Ω 传输线路)		0.5		6	英寸

(1) 请参阅图 5-1。

(2) V_{OD} 是直接连接在发送器差分引脚之间的 100 Ω 端接电阻器两端测得的差分电压。 $V_{OD} = V_P - V_N$ ，其中 P 和 N 是差分输出引脚。 $|V_{OD}|$ 是 P 和 N 输出引脚上的峰值间电压摆动幅度（请图 5-2 参阅）。当以差分方式测量时， V_{CM} 会在信号之间相互抵消，这就是 V_{OD} 相对于零点摆动的原因。

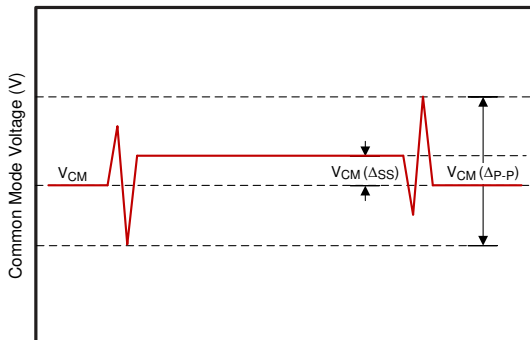
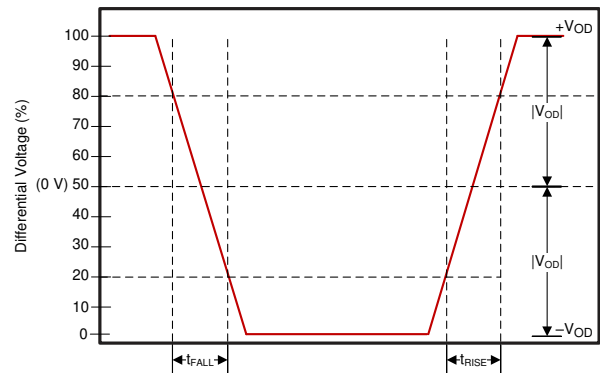


图 5-1. 共模电压



当以差分方式查看信号时， V_{CM} 将被移除。

图 5-2. 差分输出信号

5.9 DMD 低速接口电气特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数 ⁽³⁾	测试条件	最小值	典型值	最大值	单位
$V_{OH(DC)}$	DMD_LS_WDATA 和 DMD_LS_CLK 的直流输出高电压	$0.7 \times V_{CC18}$			V
$V_{OL(DC)}$	DMD_LS_WDATA 和 DMD_LS_CLK 的直流输出低电压			$0.3 \times V_{CC18}$	V
$V_{OH(AC)}$ ⁽¹⁾	DMD_LS_WDATA 和 DMD_LS_CLK 的交流输出高电压	$0.8 \times V_{CC18}$		$V_{CC18} + 0.5$	V
$V_{OL(AC)}$ ⁽²⁾	DMD_LS_WDATA 和 DMD_LS_CLK 的交流输出低电压	-0.5		$0.2 \times V_{CC18}$	V
压摆率	DMD_LS_WDATA 和 DMD_LS_CLK	$V_{OL(DC)}$ 至 $V_{OH(AC)}$ (上升沿) 和 $V_{OH(DC)}$ 至 $V_{OL(AC)}$ (下降沿)		1.0	V/ns
	DMD_DEN_ARSTZ	$V_{OL(AC)}$ 至 $V_{OH(AC)}$ (上升沿)		0.25	
	DMD_LS_RDATA			0.5	

- $V_{OH(AC)}$ 最大值适用于过冲。当 DMD_LS_WDATA 和 DMD_LS_CLK 线路包含适当的 $43\ \Omega$ 串联终端电阻器时，DMD 在 LPSDR 输入交流规格范围内运行。
- $V_{OL(AC)}$ 最小值适用于下冲。当 DMD_LS_WDATA 和 DMD_LS_CLK 线路包含适当的 $43\ \Omega$ 串联终端电阻器时，DMD 在 LPSDR 输入交流规格范围内运行。
- 有关 DMD_LS_CLK 和 DMD_LS_WDATA 上升和下降时间，请参阅图 5-3。有关 DMD_DEN_ARSTZ 上升和下降时间，请参阅图 5-4。

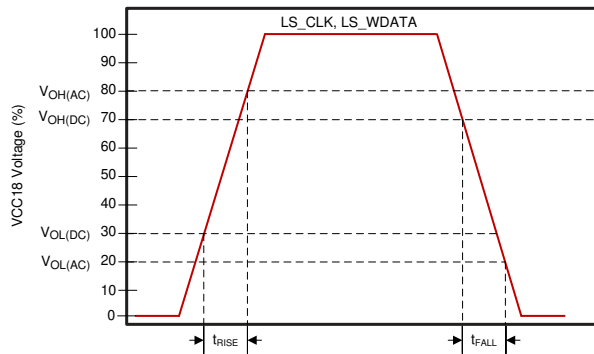


图 5-3. LS_CLK 和 LS_WDATA 转换率

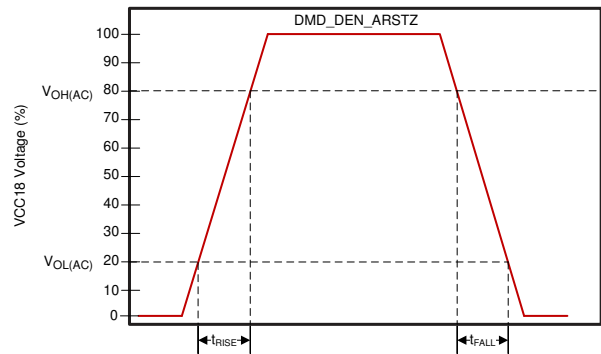


图 5-4. DMD_DEN_ARSTZ 转换率

5.10 系统振荡器时序要求

		最小值	标称值	最大值	单位
f_{clk}	时钟频率, MOSC (主振荡器时钟) ⁽¹⁾	23.998	24.000	24.002	MHz
t_c	周期时间, MOSC (时钟周期) ⁽¹⁾	41.663	41.667	41.670	ns
$t_{w(H)}$	脉冲持续时间占 t_c 的百分比 ⁽²⁾ , MOSC, 高电平	50% 至 50% 基准点 (信号)	40%	50%	
$t_{w(L)}$	脉冲持续时间占 t_c 的百分比 ⁽²⁾ , MOSC, 低电平	50% 至 50% 基准点 (信号)	40%	50%	
t_t	切换时间 ⁽²⁾ , MOSC	20% 至 80% 基准点 (上升信号) 80% 至 20% 基准点 (下降信号)		10	ns
t_{jp}	长期、峰值间周期抖动 ⁽²⁾ , MOSC (即, 仅由于高频抖动而在周期内偏离理想周期)			2%	

- (1) MOSC 的频率精度为 $\pm 200\text{PPM}$ 。(该值计入了因老化、温度和修整灵敏度而对精度产生的影响。)MOSC 输入无法支持展频时钟扩展。
 (2) 仅在通过外部数字振荡器驱动时适用

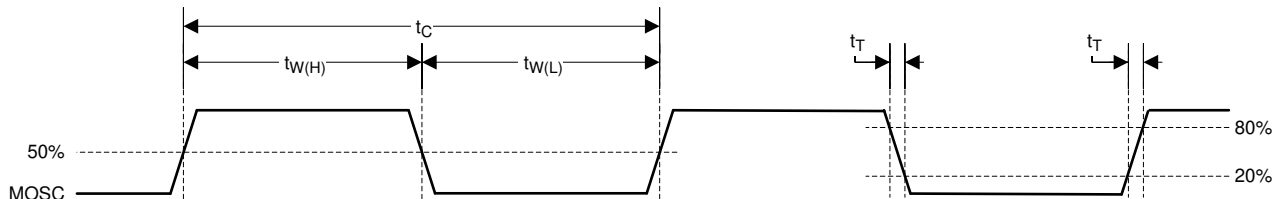


图 5-5. 系统振荡器

5.11 电源和复位时序要求

		最小值	最大值	单位
$t_{w(L)}$	脉冲持续时间, 低电平无效, RESETZ	50% 至 50% 基准点 (信号)	1.25	μs
t_r	上升时间, RESETZ ⁽¹⁾	20% 至 80% 基准点 (信号)	0.5	μs
t_f	下降时间, RESETZ ⁽¹⁾	80% 至 20% 基准点 (信号)	0.5	μs
t_{rise}	上升时间, VDD (VDD 导通时斜升期间)	0.3V 至 1.045V (VDD)	1	ms

- (1) 有关 RESETZ 的更多信息, 请参阅 节 4。

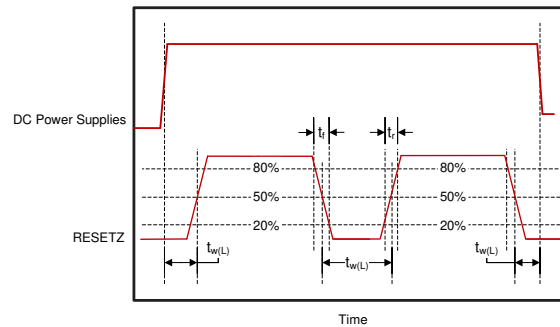


图 5-6. 加电和断电 RESETZ 时序

5.12 并行接口帧时序要求

有关更多信息，请参阅。

			最小值	最大值	单位
t_{p_vsw}	脉冲持续时间 — 默认 VSYNC_WE 高电平	50% 基准点	1		行
t_{p_vbp}	垂直后沿 (VBP) — 从 VSYNC_WE 有效边沿到第一个有效行的 HSYNC_CS 有效边沿的时间 ⁽¹⁾	50% 基准点	2		行
t_{p_vfp}	垂直前沿 (VFP) — 从帧中最后一个有效行之后的 HSYNC_CS 有效边沿到 VSYNC_WE 有效边沿的时间 ⁽¹⁾	50% 基准点	1		行
t_{p_tvb}	总垂直消隐 — VBP 和 VFP 之和 ($t_{p_vbp} + t_{p_vfp}$)	50% 基准点	请参阅 ⁽¹⁾		行
t_{p_hsw}	脉冲持续时间 — 默认 HSYNC_CS 高电平	50% 基准点	4	128	PCLK
t_{p_hbp}	水平后沿 (HBP) — 从 HSYNC_CS 有效边沿到 DATAEN_CMD 上升沿的时间	50% 基准点	4		PCLK
t_{p_hfp}	水平前沿 (HFP) — 从 DATAEN_CMD 下降沿到 HSYNC_CS 有效边沿的时间	50% 基准点	8		PCLK

(1) 最小总垂直消隐时间由以下公式定义： $t_{p_tvb}(\text{min}) = 6 + [8 \times \text{Max}(1, \text{Source_ALPF}/\text{DMD_ALPF})]$ lines

其中：

- SOURCE_ALPF = 输入源每帧有效行数
- DMD_ALPF = 支持每帧实际使用 DMD 行数

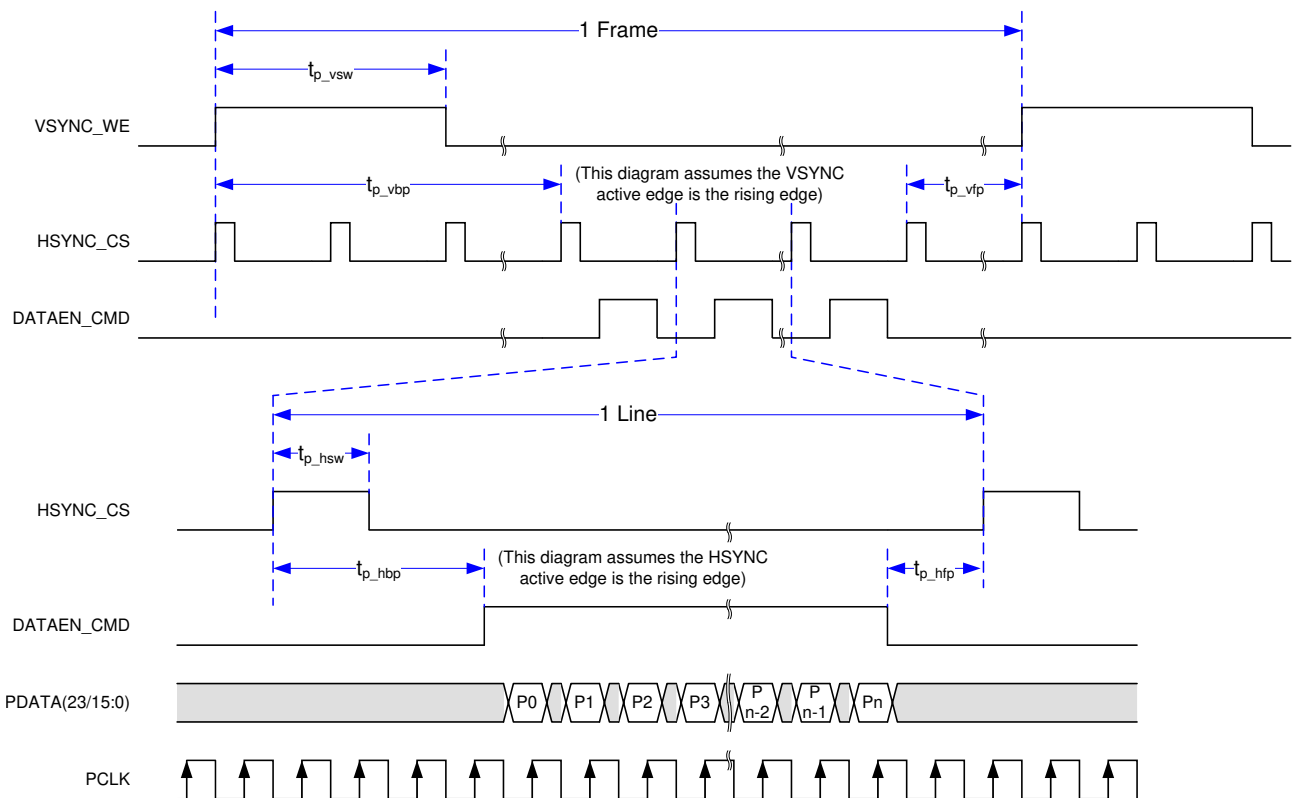


图 5-7. 并行接口帧时序

5.13 并行接口一般时序要求

			最小值	最大值	单位
f_{clock}	PCLK 频率		1.0	155.0	MHz
$t_{\text{p_clkper}}$	PCLK 周期	50% 基准点	6.45	1000	ns
$t_{\text{p_clkjit}}$	PCLK 抖动	最大 f_{clock}	请参阅(1)		
$t_{\text{p_wh}}$	PCLK 脉冲持续时间 (高电平)	50% 基准点	2.43		ns
$t_{\text{p_wl}}$	PCLK 脉冲持续时间 (低电平)	50% 基准点	2.43		ns
$t_{\text{p_su}}$	建立时间 — 在 PCLK 有效边沿之前 HSYNC_CS、DATAEN_CMD、PDATA(23:0) 保持有效	50% 基准点	0.9		ns
$t_{\text{p_h}}$	保持时间 — 在 PCLK 有效边沿之后 HSYNC_CS、DATAEN_CMD、PDATA(23:0) 保持有效	50% 基准点	0.9		ns
t_t	转换时间	所有信号; 20% 至 80% 基准点 (上升信号); 80% 至 20% 基准点 (下降信号)	0.2	2.0	ns
$t_{\text{setup, 3DR}}$	相对于 VSYNC 的建立时间(2)	50% 基准点	1.0		ms
$t_{\text{hold, 3DR}}$	相对于 VSYNC 的保持时间(3)	50% 基准点	1.0		ms

- (1) 使用以下公式计算时钟抖动 (以 ns 为单位): 抖动 = $[1 / f_{\text{clock}} - 5.76\text{ns}]$ 。即使存在时钟抖动, 也必须满足建立和保持时间。
 (2) 也就是说, 3DR 信号必须在 VSYNC 更改前至少 1.0ms 更改。
 (3) 也就是说, 3DR 信号在 VSYNC 更改后至少 1.0ms 内不得更改。

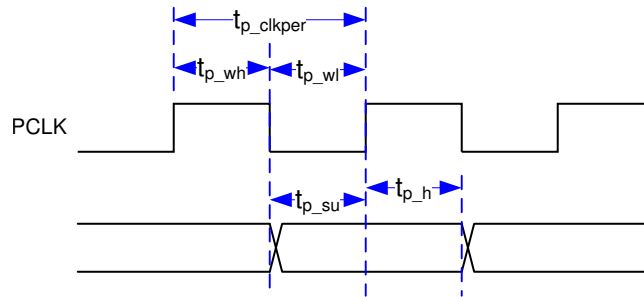


图 5-8. 并行接口像素时序

5.14 BT656 接口一般时序要求

DLPC34xx 控制器输入接口支持业界通用的 BT.656 并行视频接口。有关详细的接口时序要求，请参阅相应的 ITU-R BT.656 规范。(2)

			最小值	最大值	单位
f_{clk}	PCLK 频率		1.0	33.5	MHz
t_{p_clkper}	PCLK 周期	50% 基准点	29.85	1000	ns
t_{p_clkjit}	PCLK 抖动	最大 f_{clock}	请参阅(1)		
t_{p_wh}	PCLK 脉冲持续时间 (高电平)	50% 基准点	10.0		ns
t_{p_wl}	PCLK 脉冲持续时间 (低电平)	50% 基准点	10.0		ns
t_{p_su}	建立时间 — 在 PCLK 有效边沿之前 PDATA(7:0) 保持有效	50% 基准点	3.0		ns
t_{p_h}	保持时间 — 在 PCLK 有效边沿之后 PDATA(7:0) 保持有效	50% 基准点	0.9		ns
t_t	切换时间 — 所有信号	20% 至 80% 基准点 (上升信号) 80% 至 20% 基准点 (下降信号)	0.2	3.0	ns

- 使用以下公式计算时钟抖动 (以 ns 为单位) : 抖动 = $[1 / f_{clock} - 5.76ns]$ 。时钟抖动必须维持建立时间和保持时间。BT.656 数据位必须映射到 DLPC3470 PDATA 总线, 如图 5-9 所示, 该图展示了 BT.656 总线模式 YCbCr 4:2:2 源 PDATA (23:0) 映射。
- BT.656 接口接受每种颜色 8 位数据, 即按照行业标准编码的 4:2:2 YCbCr 数据, 这些数据通过 PDATA(7:0) 在 PCLK 的有效边沿上进行传输。请参阅图 5-9。

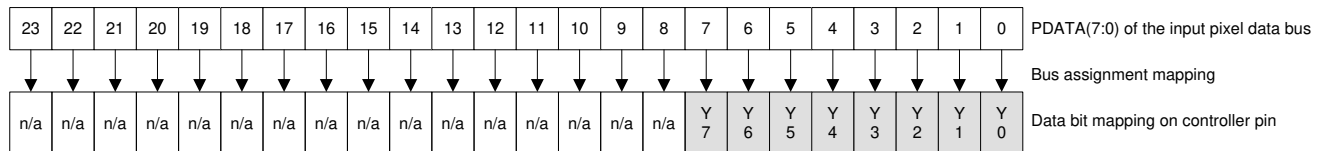


图 5-9. BT.656 接口模式位映射

5.15 闪存接口时序要求

DLPC34xx 闪存接口由 SPI 闪存串行接口组成。DLPC34xx 可支持 1 至 128Mb 闪存存储器。(2) (3) (4)

			最小值	最大值	单位
f_{clock}	SPI_CLK 频率	请参阅(1)	1.4	36.0	MHz
$t_{\text{p_clkper}}$	SPI_CLK 周期	50% 基准点	27.8	704	ns
$t_{\text{p_wh}}$	SPI_CLK 脉冲持续时间 (高电平)	50% 基准点	352		ns
$t_{\text{p_wl}}$	SPI_CLK 脉冲持续时间 (低电平)	50% 基准点	352		ns
t_t	切换时间 — 所有信号	20% 至 80% 基准点 (上升信号) 80% 至 20% 基准点 (下降信号)	0.2	3.0	ns
$t_{\text{p_su}}$	建立时间 — 在 SPI_CLK 下降沿之前 SPI_DIN 保持有效	50% 基准点	10.0		ns
$t_{\text{p_h}}$	保持时间 — 在 SPI_CLK 下降沿之后 SPI_DIN 保持有效	50% 基准点	0.0		ns
$t_{\text{p_clqv}}$	SPI_CLK 时钟下降沿到输出有效时间 — SPI_DOUT 和 SPI_CSZ	50% 基准点		1.0	ns
$t_{\text{p_clqx}}$	SPI_CLK 时钟下降沿输出保持时间 — SPI_DOUT 和 SPI_CSZ	50% 基准点	-3.0	3.0	ns

- (1) 该范围包括外部振荡器的 $\pm 200\text{ppm}$ (但无抖动)。
- (2) 标准 SPI 协议是在 SPI_CLK 的下降沿发送数据, 在上升沿采集数据。DLPC34xx 确实在下降沿传输数据, 但它也在下降沿而不是上升沿采集数据。该特性支持具有长时钟到 Q 时序的 SPI 器件。已设置 DLPC3470 保持采集时序, 以促进标准外部 SPI 协议器件的可靠运行。
- (3) 凭借上述输出时序, DLPC34xx 可为外部 SPI 器件提供相对于 SPI_CLK 上升沿的 8.2ns 输入建立时间和 8.2ns 输入保持时间。
- (4) 如需了解外部闪存器件的其他要求, 请参阅 [节 6.3.4](#) 部分。

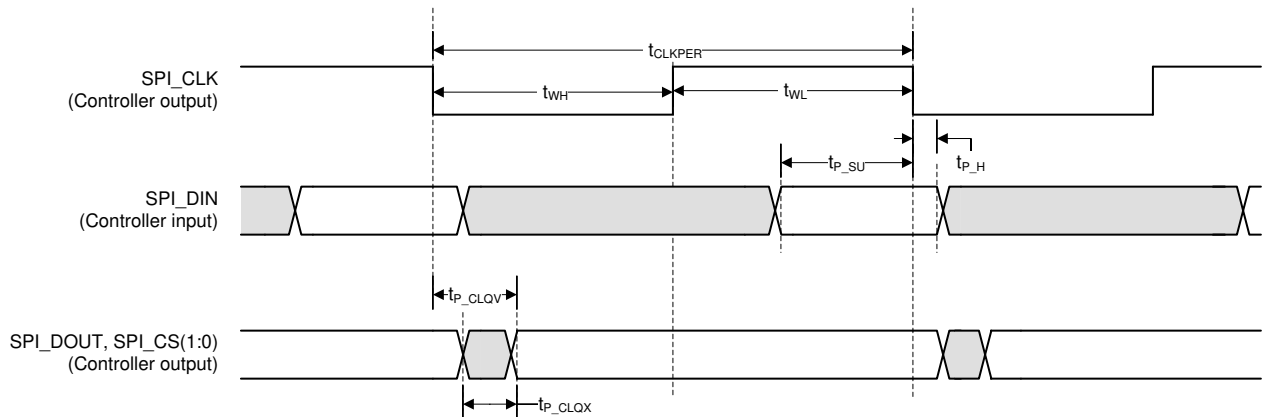


图 5-10. 闪存接口时序

5.16 其他时序要求

	最小值	最大值	单位
t_{rise} , 全部 ^{(1) (2)}	20% 至 80% 基准点	10	ns
t_{fall} , 全部 ^{(1) (2)}	80% 至 20% 基准点	10	ns
t_{rise} , PARKZ ⁽²⁾	20% 至 80% 基准点	150	ns
t_{fall} , PARKZ ⁽²⁾	80% 至 20% 基准点	150	ns
t_w , GPIO_08 (正常停止) 脉冲宽度 ⁽³⁾	200		ms
I ² C 波特率		100	kHz

- (1) 除非另有说明，否则以下信号切换时间适用于所有 DLPC34xx 信号。
(2) 这是避免输入缓冲器振荡的建议信号切换时间。
(3) 脉冲宽度包括该信号的最短高电平时间和最短低电平时间。

5.17 DMD Sub-LVDS 接口开关特性

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
t_R ⁽¹⁾	差分输出上升时间			250	ps
t_F ⁽¹⁾	差分输出下降时间			250	
t_{switch}	DMD HS 时钟开关速率		1200		Mbps
f_{clock}	DMD HS 时钟频率		600		MHz
DCout	DMD HS 时钟输出占空比	45%	50%	55%	

- (1) 上升和下降时间是针对差分 V_{OD} 信号定义的，如图 5-2 所示。

5.18 DMD 停止开关特性

请参阅 ⁽²⁾

参数	测试条件	最小值	典型值	最大值	单位
t_{park}	正常停止时间 ⁽¹⁾			20	ms
$t_{fast park}$	快速停止时间 ⁽³⁾			32	μ s

- (1) 正常停止时间定义为 DLPC34xx 控制器在接收到正常停止请求 (GPIO_08 变为低电平) 后完成 DMD 停止所需的时间。
(2) 振荡器和电源必须至少在停止时间内保持运行状态。完成停止后，电源还必须保持开启一段时间，以满足 DMD 要求。有关更多信息，请参阅 [节 8.2](#) 和相应的 DMD 或 PMIC 数据表。
(3) 快速停止时间定义为 DLPC34xx 控制器在接收到快速停止请求 (PARKZ 变为低电平) 后完成 DMD 停止所需的时间。

5.19 芯片组元件使用规格

DLPC3470 是 DLP 芯片组的一个元件。要实现 DLP 芯片组的可靠运行，需要将其与适用 DLP 芯片组的所有元件 (DMD、PMIC 和控制器) 配合使用。

表 5-1. DLPC3470 支持的 DMD 和 PMIC

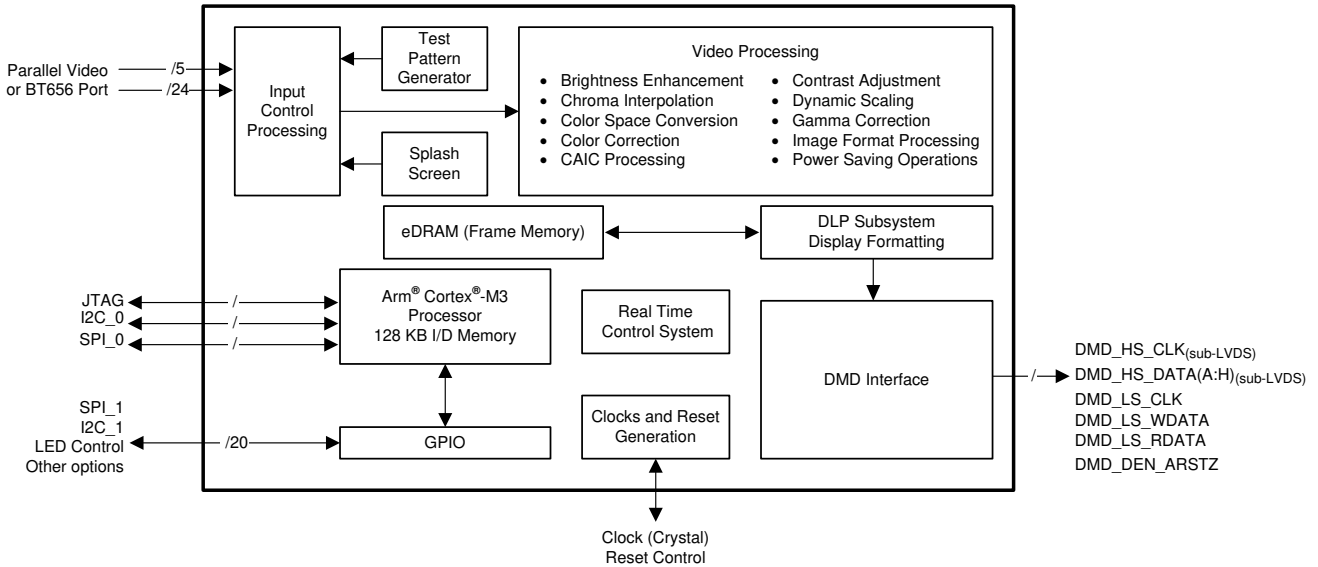
DLPC3470 DLP 芯片组	
DMD	DLP2010LC
	DLP2010NIR
PMIC	DLPA2000
	DLPA2005
	DLPA3000

6 详细说明

6.1 概述

DLPC3470 控制器是一个芯片组的一部分，该芯片组还包含 DLP2010LC 或 DLP2010NIR (.2 WVGA) DMD 以及 DLPxxxx PMIC (包含 LED 驱动器)。为确保 DLP 芯片组可靠运行，DLPC3470 必须始终搭配支持的器件使用，如表 5-1 所示。

6.2 功能方框图



6.3 特性说明

6.3.1 输入源

6.3.1.1 支持的分辨率和帧速率

表 6-1. 支持的输入源范围 (2) (3) (4)

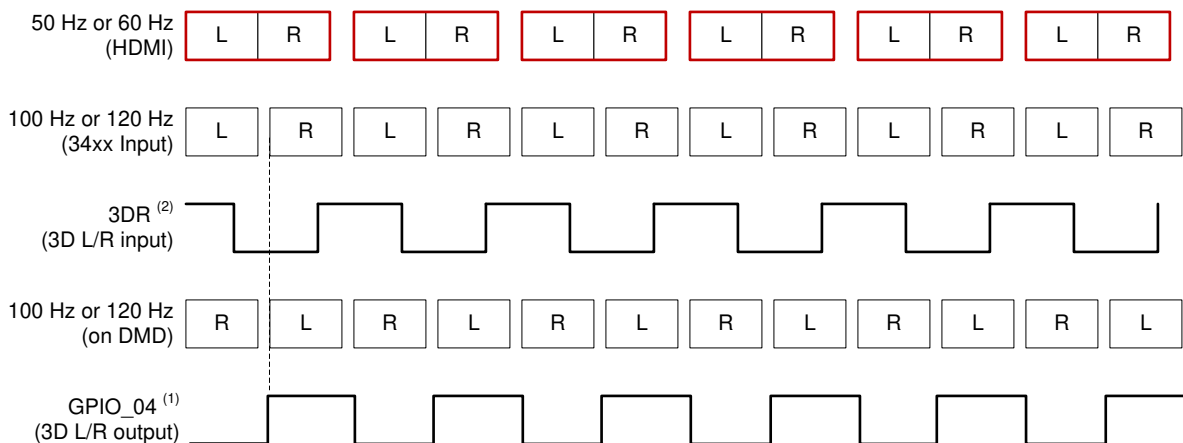
接口	位/像素 ⁽⁵⁾	图像类型	源分辨率范围 ⁽⁷⁾				帧速率范围
			水平		垂直		
			横向	纵向	横向	纵向	
并行	24 (最大值)	仅限 2D	320 至 1280	200 至 800	200 至 800	320 至 1280	10 至 242Hz
并行	24 (最大值)	仅限 3D	320 至 1280	200 至 720	200 至 720	320 至 1280	100 ±2Hz 120 ±2Hz
BT.656-NTSC (1)	请参阅 ⁽⁶⁾	仅限 2D	720	不适用	240	不适用	60 ±2Hz
BT.656-PAL (1)	请参阅 ⁽⁶⁾	仅限 2D	720	不适用	288	不适用	50 ±2Hz

- (1) 该行中的所有参数都遵循 BT.656 标准。图像格式始终为横向。
(2) 应用必须保持所有源接口参数 (例如最大时钟速率和最大线路速率) 的规格范围内。
(3) 表中所有行的最大 DMD 大小为 854 × 480 像素。
(4) 为了达到规定的范围, 固件必须支持源参数。请查阅固件版本说明或联系 TI, 以确定给定固件图像支持的最新可用帧速率和输入分辨率。
(5) 每像素位数不一定等于 DLPC34xx 控制器上使用的数据引脚数。
(6) BT.656 使用 16 位 4:2:2 YCr/Cb。
(7) 通过使用 I²C 命令, 可以在 DMD 上将纵向图像输入旋转 -90 度, 以便在不使用光控制模式时以横向格式显示图像。

6.3.1.2 3D 显示

对于视频输入接口上的 3D 源, 当输入到 DLPC34xx 控制器时, 图像必须是帧顺序输入 (L、R、L、...)。在将图像输入到控制器之前, 必须由外部电子元器件完成 3D 图像解包并将其转换为帧顺序输入所需的任何处理。每个 3D 源帧输入必须包含由 VSYNC 分隔的单个眼数据帧, 其中眼帧包含单个左眼或右眼的图像数据。控制器的信号 3DR 输入指示输入帧针对的是左眼还是右眼。

每个 DMD 帧的显示速率和输入接口帧速率相同。下面的图 6-1 显示了 50Hz 或 60Hz 3D HDMI 源帧、DLPC34xx 控制器输入接口和 DMD 的典型时序。通常, 通过 HDMI 接口发送的视频帧会将左右内容打包到同一视频帧中。可以选择将 GPIO_04 发送到系统 PCB 上的发送器, 以无线方式将同步信号传输到 3D 眼镜 (通常是 IR 同步信号)。然后, 眼镜与显示的 DMD 图像同相。或者, 3D 眼镜操作部分介绍了如何改用 DLP 链路脉冲。



(1) 左= 1、右= 0

(2) 3DR 必须在 VSYNC 之前至少 1ms 切换

图 6-1. 3D 显示左右帧时序

6.3.1.3 并行接口

并行接口符合标准图形接口协议，其中包括表 6-2 中列出的信号。

表 6-2. 并行接口信号

信号	说明
VSYNC_WE	垂直同步
HSYNC_CS	水平同步
DATAEN_CMD	数据有效
PDATA	24 位数据总线
PCLK	像素时钟
PDM_CVS_TE	并行数据掩码 (可选)

备注

使用并行 RGB 模式时，VSYNC_WE 必须始终保持活动状态。当此信号不再激活时，显示序列发生器停止并使 LED 熄灭。

两个同步信号的有效边沿是可变的。并行接口帧时序要求部分显示了这些信号的关系。

可选的并行数据屏蔽信号 (PDM_CVS_TE) 允许停止定期帧更新，而不会丢失显示的图像。处于活动状态时，PDM_CVS_TE 用作数据屏蔽，不允许将源图像传播到显示器。一个可编程 PDM 极性参数决定了它是高电平有效还是低电平有效。PDM_CVS_TE 默认为高电平有效。要禁用数据屏蔽功能，请将 PDM_CVS_TE 连接到逻辑低电平信号。PDM_CVS_TE 只能在垂直消隐期间更改。

并行接口支持六种数据传输格式：

- 24 数据线接口上的 24 位 RGB888 或 24 位 YCbCr888
- 18 数据线接口上的 18 位 RGB666 或 18 位 YCbCr666
- 16 数据线接口上的 16 位 RGB565 或 16 位 YCbCr565
- 16 位 YCbCr 4:2:2 (标准采样假设为 Y0Cb0、Y1Cr0、Y2Cb2、Y3Cr2、Y4Cb4、Y5Cr4、……)
- 8 数据线接口上的 8 位 RGB888 或 8 位 YCbCr888 串行接口 (每个时钟输入 1 种颜色；每个显示像素 3 个时钟)
- 8 数据线接口上的 8 位 YCbCr 4:2:2 串行接口 (每个时钟输入 1 种颜色；每个显示像素 2 个时钟)

节 6.3.1.3.1 部分显示了这六种数据传输格式所需的 PDATA(23:0) 总线映射。

6.3.1.3.1 PDATA 总线 — 并行接口位映射模式

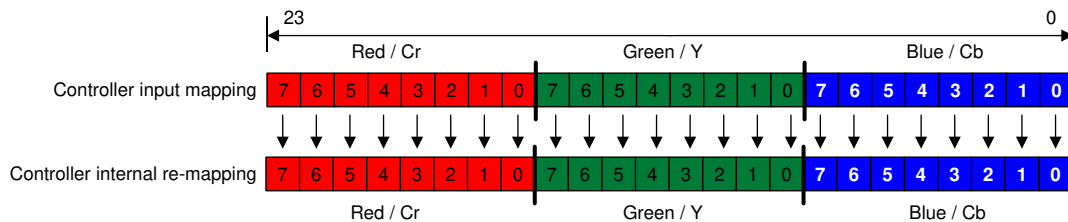


图 6-2. RGB-888 和 YCbCr-888 I/O 映射

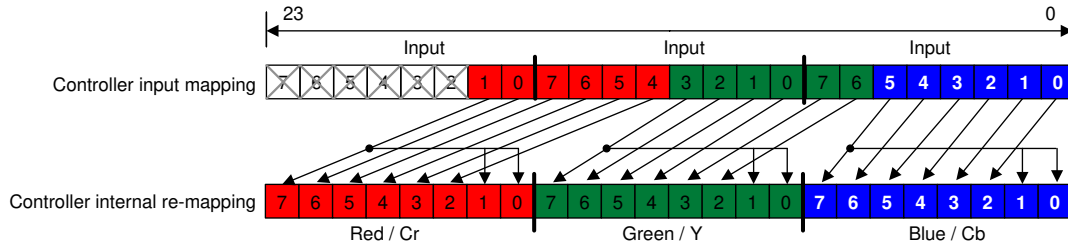


图 6-3. RGB-666 和 YCbCr-666 I/O 映射

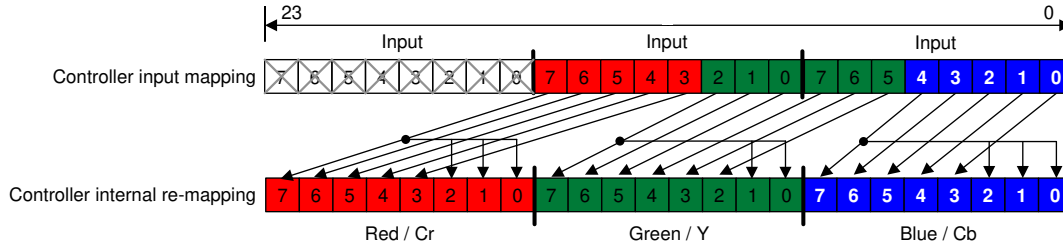


图 6-4. RGB-565 和 YCbCr-565 I/O 映射

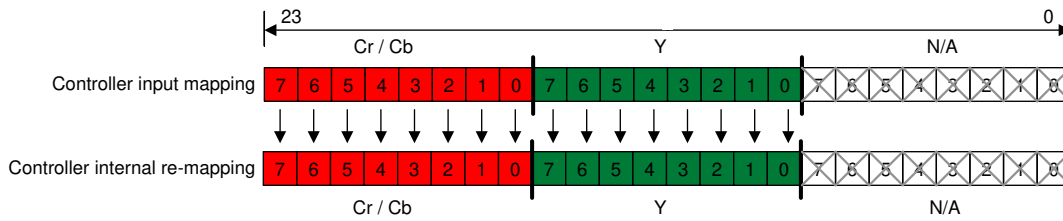


图 6-5. 16 位 YCbCr-880 I/O 映射

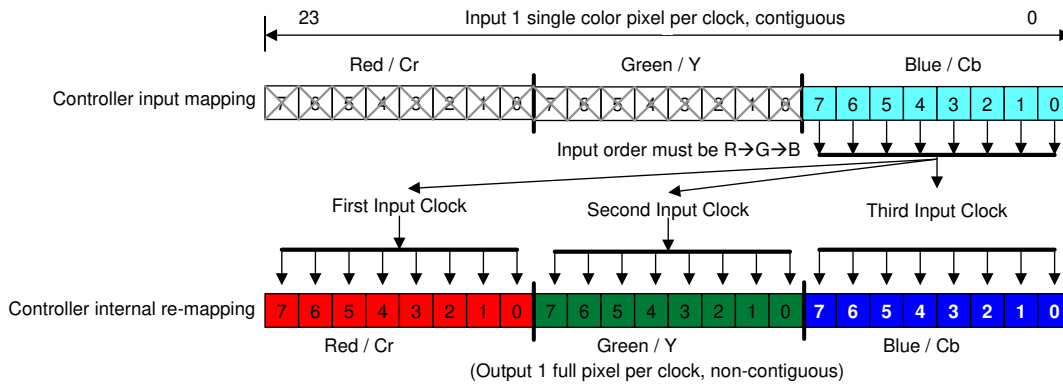


图 6-6. 8 位 RGB-888 或 YCbCr-888 I/O 映射

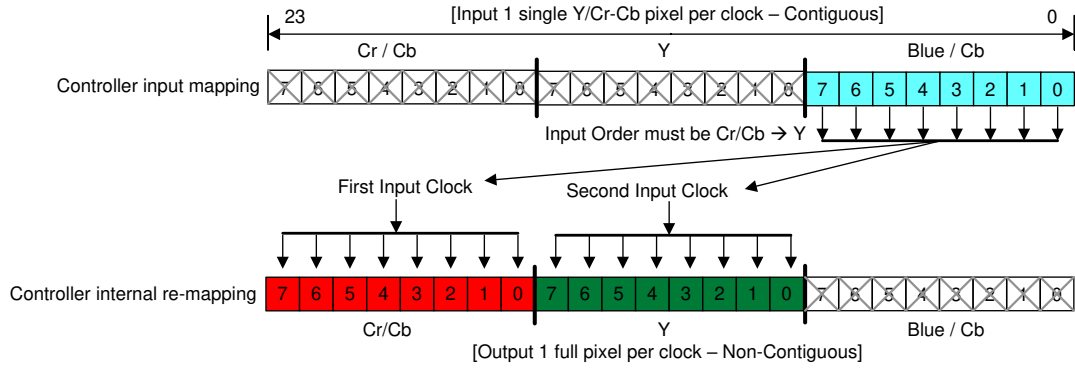


图 6-7. 8 位串行 YCbCr-422 I/O 映射

6.3.2 图形显示

图形显示是 DLPC3470 显示和光控制器的主要功能之一。当 DLPC3470 控制器配置为图形显示时，可以绕过大多数视频处理功能，以实现精确的图形显示。为了实现用户灵活性和简化系统设计，DLPC3470 控制器同时支持外部图形和内部图形流模式。在外部图形流模式下，图形通过并行接口发送到 DLPC3470 控制器。在内部图形流模式下，1D 图形会预加载到闪存中，并向 DLPC3470 控制器发送主机命令以显示这些图形。内部图形模式支持设计一个简单的系统，无需任何外部处理器来生成 1D 图形并发送到 DLPC3470 控制器。

DLPC3470 控制器具有两个可选的触发输出信号和一个可选的触发输入信号，用于将图形与摄像头、传感器或其他外设同步。

表 6-3. 图形显示信号

信号名称	说明
TRIG_OUT_1 (TSTPT_4)	外部图形模式：在每个输入帧开始时处于有效状态 内部图形模式：在预定义的图形组开始时处于有效状态
TRIG_OUT_2 (GPIO_07)	在显示每个图形期间处于有效状态。在外部图形模式下运行时，一个视频帧可以包含多个图形。
TRIG_IN (3DR)	仅在内部图形显示模式下有效。在内部图形模式下，使用外部输入触发信号前进到下一个图形。

6.3.2.1 外部图形模式

外部图形模式支持 8 位和 1 位单色或 RGB 图形。

6.3.2.1.1 8 位单色图形

在 8 位外部图形模式下，DLPC3470 控制器支持高达 120Hz 的输入帧速率 (VSYNC)。在该模式下，通过并行接口发送的 24 位输入数据可配置为 1 (8 位)、2 (16 位) 或 3 (24 位) 张 8 位图形的组合。方程式 1 计算 8 位图形的最大图形速率。

$$120\text{Hz} \times 3 = 360\text{Hz} \quad (1)$$

其中

- 允许的最大输入帧速率为 120Hz

DLPC3470 控制器固件支持用户编程以下属性。

- 曝光时间 (t_{Exposure})：图形显示且照明打开的时间。
- DarkPre 时间 (t_{DarkPre})：暗场时间 (图形曝光之前)，在此期间没有显示图形且照明关闭。
- DarkPost 时间 (t_{DarkPost})：暗场时间 (图形曝光之后)，在此期间没有显示图形且照明关闭。
- 一帧内的 8 位图形数量：每个帧周期内 1、2 或 3 个
- 选择为每个 8 位图形打开的照明器。
- TRIG_OUT_1 和 TRIG_OUT_2 信号配置和延迟。

图 6-8 展示了具有 3 个 8 位图形的配置。

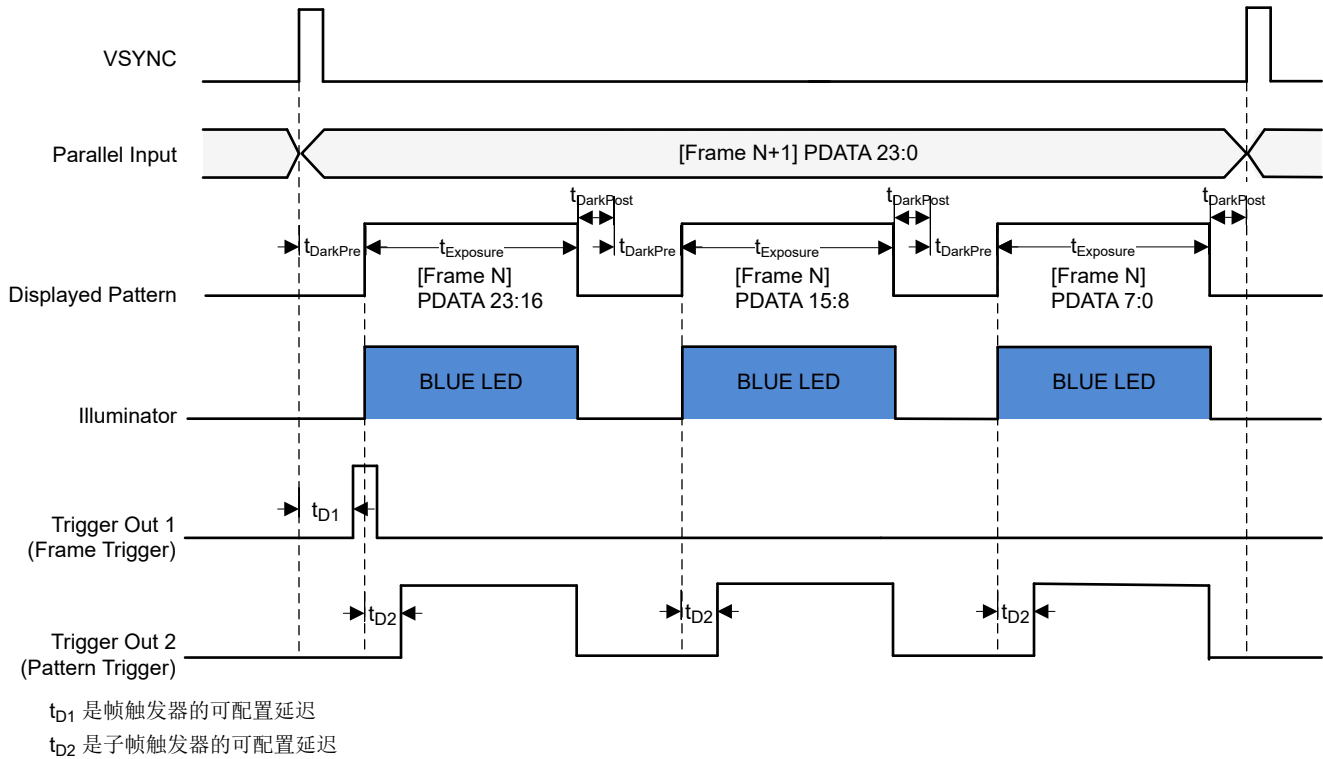


图 6-8. 3 个 8 位 (蓝色) 图形配置

- 每个输入 VSYNC 帧周期内显示 3 个 8 位图形。
- $t_{DarkPre}$ 、 $t_{Exposure}$ 和 $t_{DarkPost}$ 对于一个帧周期内的每个图形都是相同的。
- 这三个图形的暗场时间和曝光时间之和 ($t_{DarkPre} + t_{Exposure} + t_{DarkPost}$) 必须等于或小于整个帧周期。如果总和小于整个帧周期，则会在最后一个图形的末尾附加额外的暗场时间。
- 每个图形中，蓝色 LED 被配置为亮起。
- TRIG_OUT_1 (帧触发) 配置为高电平有效极性，最小脉冲宽度为 20 微秒。TRIG_OUT_1 延迟 (t_{D1}) 根据输入 VSYNC 进行配置。
- TRIG_OUT_2 (图形触发) 配置为高电平有效极性，并在图形曝光期间保持有效。TRIG_OUT_2 延迟 (t_{D2}) 根据图形的开始时刻进行配置，并为帧内的每个图形设置一次。

图 6-9 展示了具有 2 个 8 位图形的配置。

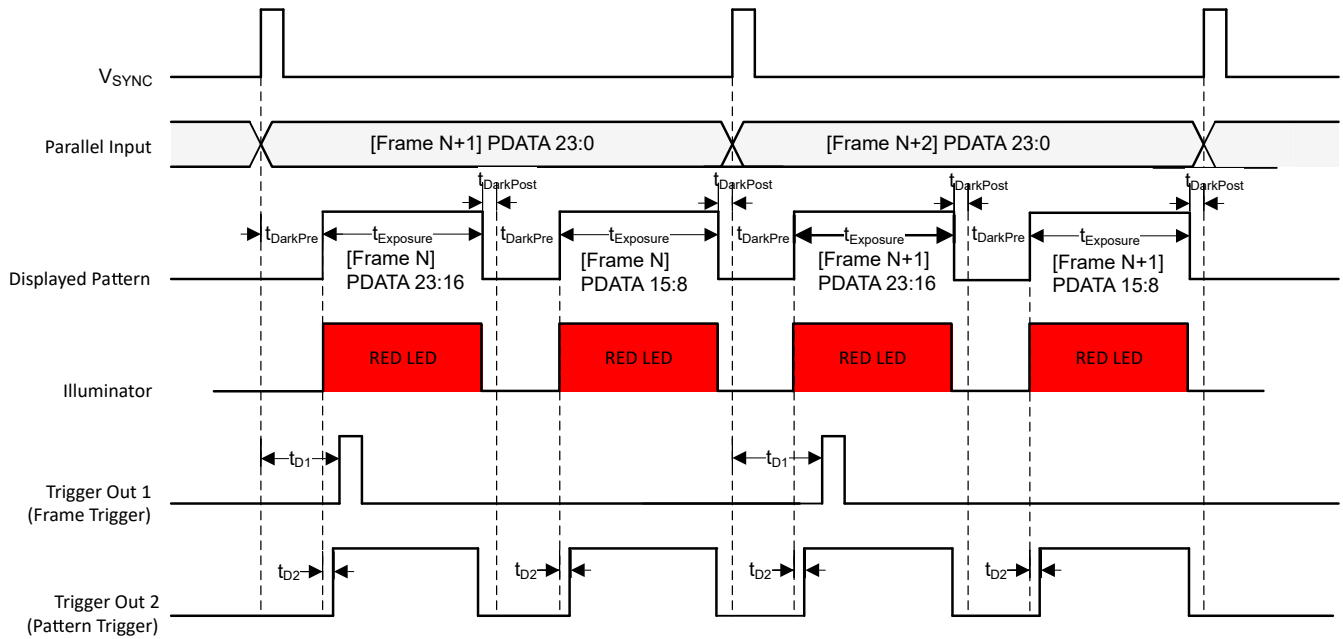


图 6-9. 2 个 8 位 (红色) 图形配置

- 每个输入 V_{SYNC} 帧周期内显示 2 个 8 位图形。
- $t_{DarkPre}$ 、 $t_{Exposure}$ 和 $t_{DarkPost}$ 对于一个帧周期内的每个图形都是相同的。
- 这三个图形的暗场时间和曝光时间之和 ($t_{DarkPre} + t_{Exposure} + t_{DarkPost}$) 必须等于或小于整个帧周期。如果总和小于整个帧周期，则会在最后一个图形的末尾附加额外的暗场时间。
- 每个图形中，红色 LED 被配置为亮起。
- TRIG_OUT_1 (帧触发) 配置为高电平有效极性，最小脉冲宽度为 20 微秒。TRIG_OUT_1 延迟 (t_{D1}) 根据输入 V_{SYNC} 进行配置。
- TRIG_OUT_2 (图形触发) 配置为高电平有效极性，并在图形曝光期间保持有效。TRIG_OUT_2 延迟 (t_{D2}) 根据图形的开始时刻进行配置，并为帧内的每个图形设置一次。

图 6-10 展示了具有 1 个 8 位图形的配置。

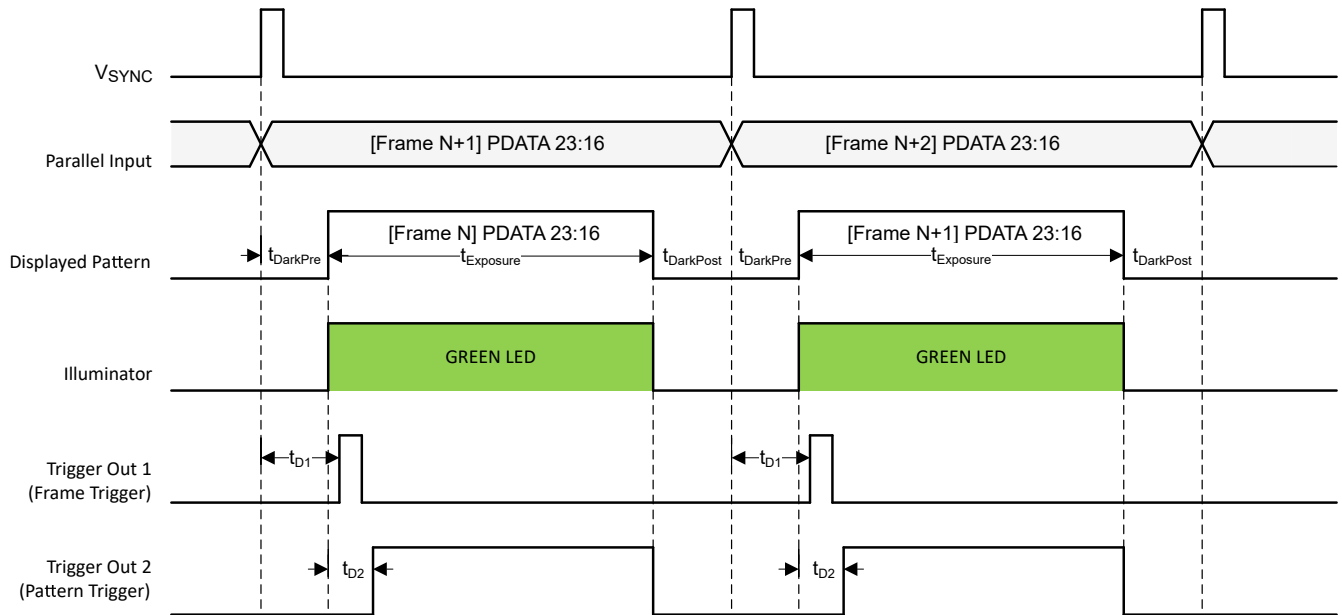


图 6-10. 1 个 8 位 (绿色) 图形配置

- 每个输入 VSYNC 帧周期内显示 1 个 8 位图形。
- t_{DarkPre} 、 t_{Exposure} 和 t_{DarkPost} 对于一个帧周期内的每个图形都是相同的。
- 这三个图形的暗场时间和曝光时间之和 ($t_{\text{DarkPre}} + t_{\text{Exposure}} + t_{\text{DarkPost}}$) 必须等于或小于整个帧周期。如果总和小于整个帧周期，则会在最后一个图形的末尾附加额外的暗场时间。
- 每个图形中，绿色 LED 被配置为亮起。
- TRIG_OUT_1 (帧触发) 配置了高电平有效极性，最小脉冲宽度为 20 微秒。TRIG_OUT_1 延迟 (t_{D1}) 根据输入 VSYNC 进行配置。
- TRIG_OUT_2 (图形触发) 配置了高电平有效极性，并在图形曝光期间保持有效。TRIG_OUT_2 延迟 (t_{D2}) 根据图形的开始时刻进行配置，并为一帧内的每个图形设置一次。

6.3.2.1.2 1 位单色图形

与 8 位外部图形模式类似，1 位外部图形模式支持的最大 24 位输入帧速率为 104.2Hz。在 1 位图形模式下，每个 24 位输入都被视为单独的二进制图形，因此最多可以产生 24 个图形。每个 1 位图形的最大图形速率为 2,500Hz。

DLPC3470 控制器固件支持用户编程以下属性：

- 曝光时间：显示图形的时间。
- 暗场时间：未显示图形且照明关闭的时间。
- 一个帧内的 1 位图形数量，最多 24 个。
- 照明器：为每个 1 位图形打开的照明器。会为帧内的所有图形自动选择用户自定义的照明器。用户无法为一帧内的不同 1 位图形选择不同的照明器。
- TRIG_OUT_1 和 TRIG_OUT_2 信号配置和延迟。

图 6-11 展示了具有 24 个 1 位图形的配置。

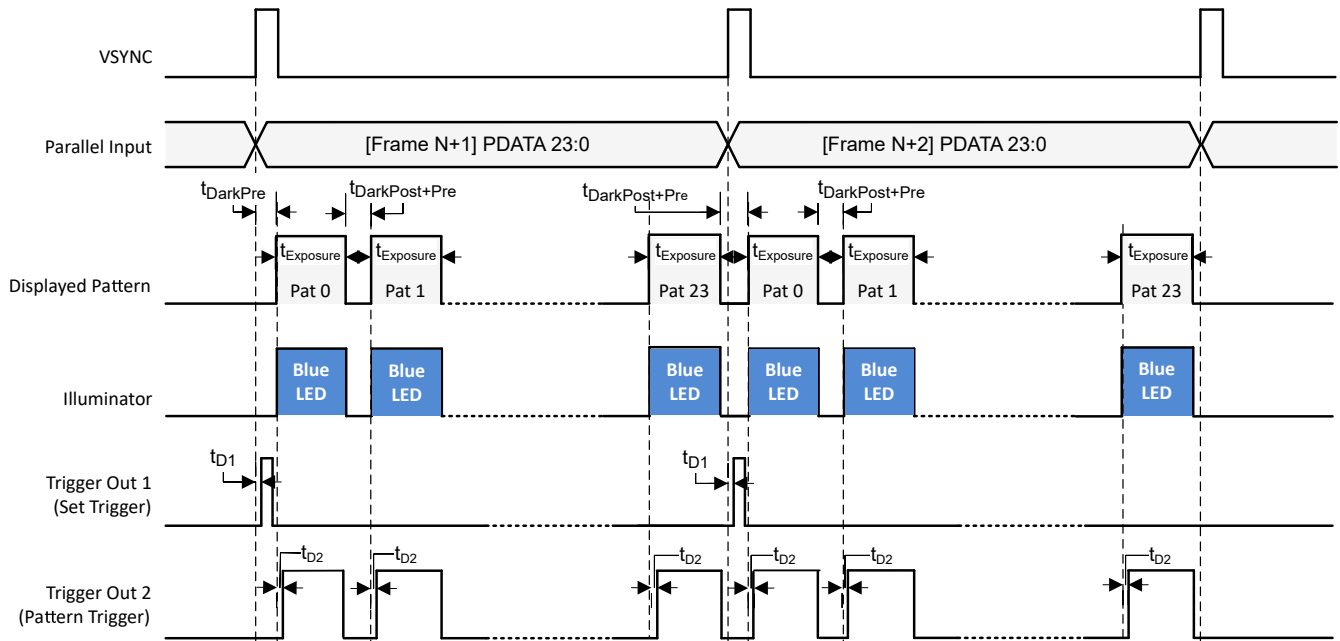


图 6-11. 24 个 1 位 (蓝色) 图形配置

- 每个输入 VSYNC 帧周期内显示 24 个 1 位图形。
- $t_{DarkPre}$ 、 $t_{Exposure}$ 和 $t_{DarkPost}$ 对于一个帧周期内的每个图形都是相同的。
- 所有 1 位图形的暗场时间和曝光时间之和 ($t_{DarkPre} + t_{Exposure} + t_{DarkPost}$) 必须等于或小于整个帧周期。如果总和小于整个帧周期，则会在最后一个图形的末尾附加额外的暗场时间。
- 每个图形中，蓝色 LED 被配置为亮起。
- TRIG_OUT_1 (帧触发) 配置了高电平有效极性，最小脉冲宽度为 20 微秒。TRIG_OUT_1 延迟 (t_{D1}) 根据输入 VSYNC 进行配置。
- TRIG_OUT_2 (图形触发) 配置了高电平有效极性，并在图形曝光期间保持有效。TRIG_OUT_2 延迟 (t_{D2}) 根据图形的开始时刻进行配置，并为一帧内的每个图形设置一次。

6.3.2.2 内部图形模式

内部和外部图形模式存在两个主要区别：

- 内部图形模式仅支持 1D 图形；也就是说，图形数据在 DMD 的整行或整列中是相同的（图 6-12、图 6-13）。
- 内部图形模式使用户能够设计一个简单的系统，无需外部处理器在每一帧生成和发送图形。在内部图形模式下，一行或一列图形会预加载到闪存中，并向 DLPC3470 控制器发送命令以显示这些图形。有关如何创建图形、将图形保存在闪存中以及将图形从闪存加载到 DLPC3470 控制器内部存储器的实现细节，请参阅《软件编程指南》。

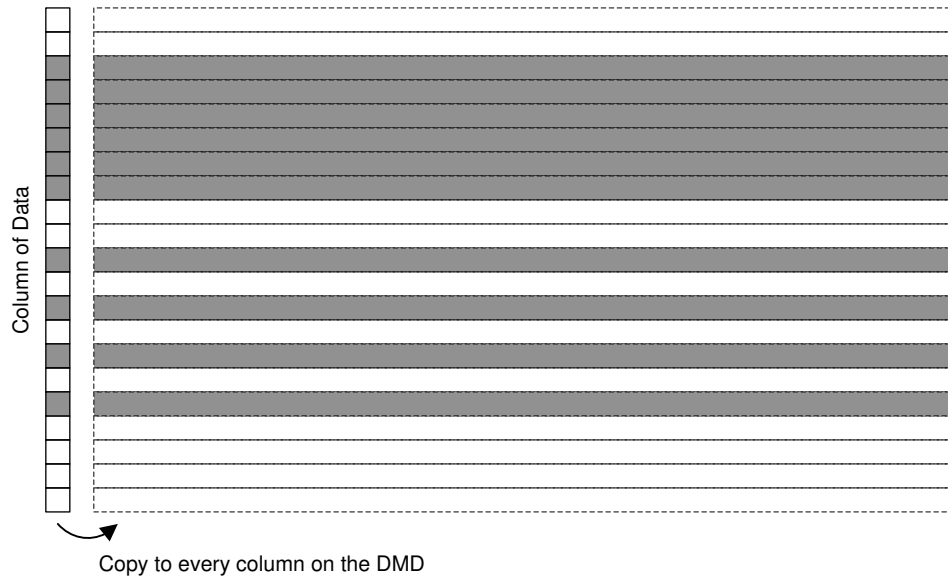


图 6-12. 列复制

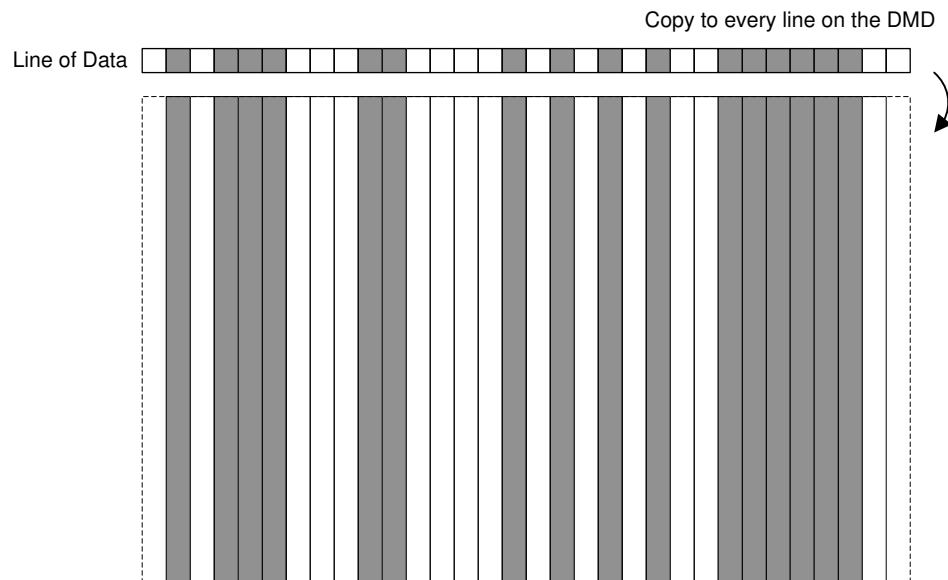


图 6-13. 行复制

内部图形模式还提供了两种配置来触发图形显示：自由运行模式（如图 6-14 所示）和触发模式（如图 6-15 所示）。

6.3.2.2.1 自由运行模式

在自由运行模式下，DLPC3470 控制器生成内部同步信号以显示预存储的图形。用户发送 I²C 命令，指示 DLPC3470 控制器将 1D 图形从闪存下载到 DLPC3470 控制器的内部存储器中，并开始显示 1D 图形。

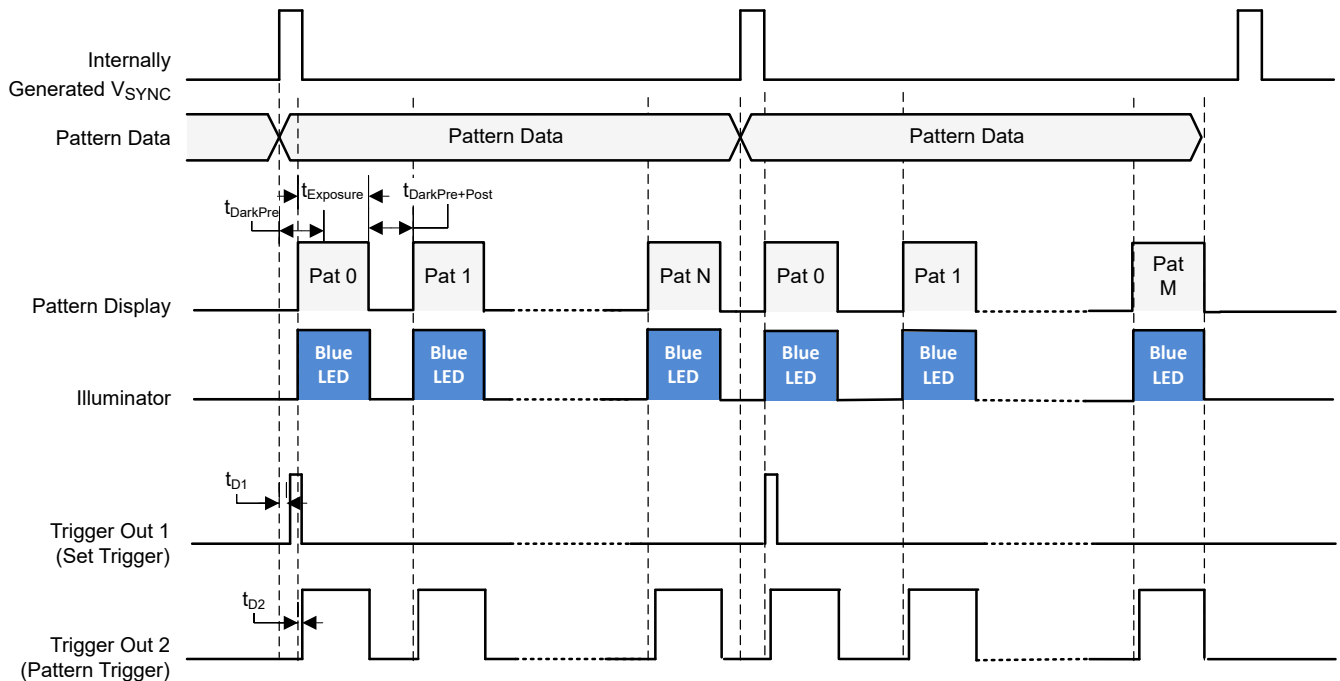


图 6-14. 自由运行模式

- 该器件在内部生成的 V_{SYNC} 周期内显示多个 1D 图形。对于一个内部生成的 V_{SYNC} 帧内的所有 1D 图形， $t_{Exposure}$ （曝光时间）、 $t_{DarkPre}$ 和 $t_{DarkPost}$ （暗场时间）是相等的。
- 每个图形中，蓝色 LED 被配置为亮起。
- TRIG_OUT_1（帧触发）配置为高电平有效极性，最小脉冲宽度为 20 微秒。TRIG_OUT_1 延迟 (t_{D1}) 根据内部生成的 V_{SYNC} 进行配置。
- TRIG_OUT_2（图形触发）配置了高电平有效极性，并在图形曝光期间保持有效。TRIG_OUT_2 延迟 (t_{D2}) 根据每个图形的开始时刻进行配置。
- V_{SYNC} 是根据 SPI 闪存中存储的不同图形集在内部生成的。

6.3.2.2.2 触发模式

触发模式为用户提供更高级别的图形显示控制。在该模式下，用户通过向 DLPC3470 控制器发送外部触发信号来决定何时显示图形。DLPC3470 控制器输出一个图形就绪信号，告知用户 DLPC3470 控制器已准备好接受外部触发信号。

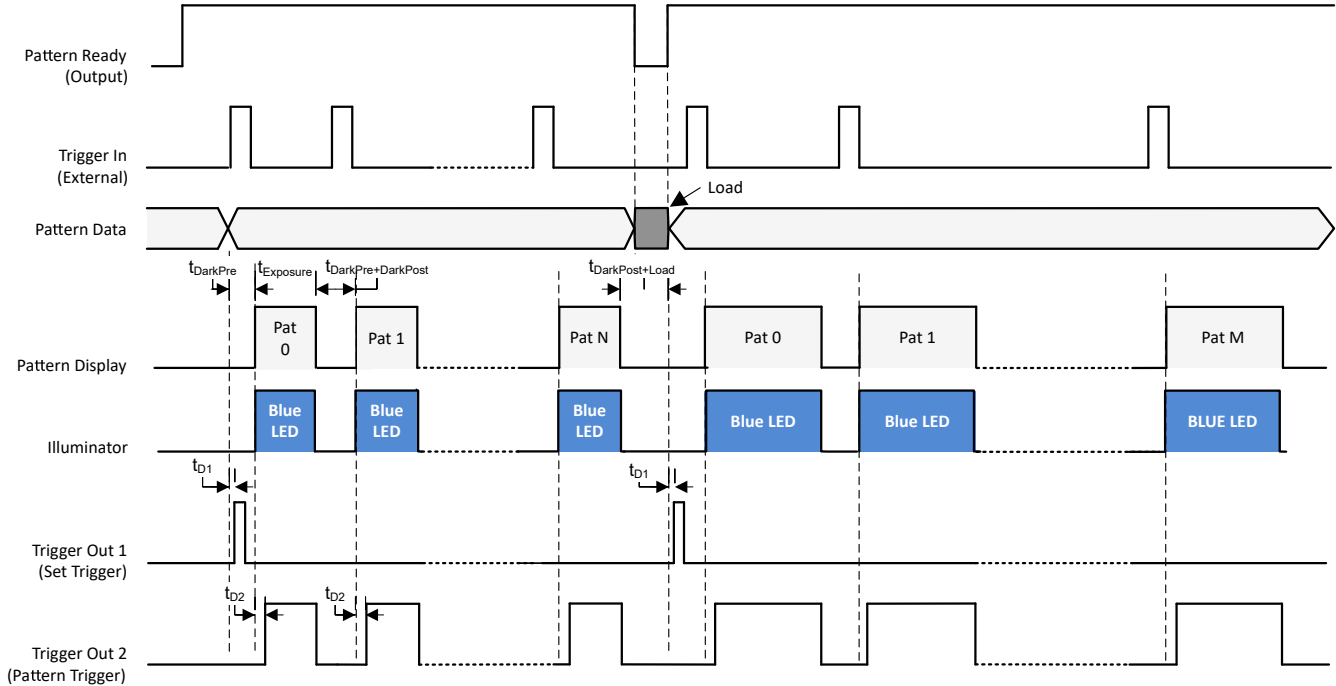
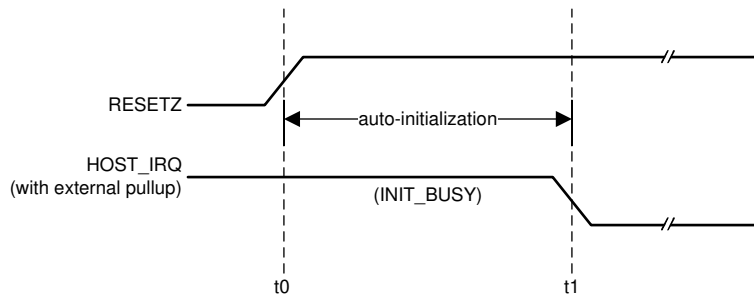


图 6-15. 触发模式

- DLPC3470 控制器将图形就绪信号置为高电平，以表示 DLPC3470 控制器已准备好接受触发输入信号。
- 用户将外部触发器输入信号发送到 DLPC3470 控制器，以开始按 t_{Exposure} (曝光时间)、 t_{DarkPre} 和 t_{DarkPost} (暗场时间) 显示下一个图形。
- 每个图形中，蓝色 LED 被配置为亮起。
- TRIG_OUT_1 (图形集触发) 配置为高电平有效极性，最小脉冲宽度为 20 微秒。TRIG_OUT_1 延迟 (t_{D1}) 根据外部触发输入 (TRIG_IN) 进行配置。
- TRIG_OUT_2 (图形触发) 配置了高电平有效极性，并在图形曝光期间保持有效。TRIG_OUT_2 延迟 (t_{D2}) 根据每个图形曝光的开始时刻进行配置。

6.3.3 器件启动

- HOST_IRQ 信号用于指示系统何时完成自动初始化。
- 应用复位时，HOST_IRQ 为三态（外部上拉电阻器将线路拉高）。
- HOST_IRQ 会保持三态（从外部拉高），直到启动过程完成。当该信号被拉高时，则指示控制器正在执行启动和自动初始化。
- 启动后，控制器会尽快将 HOST_IRQ 驱动至逻辑高电平状态，以指示控制器正在继续执行自动初始化（外部信号上不会发生实际状态变化）。
- 软件会在自动初始化过程完成时将 HOST_IRQ 设置为逻辑低电平状态。在该信号的下降沿，初始化完成。
- 只有在自动初始化完成后，DLPC34xx 控制器才会准备好通过 I²C 接收命令或通过视频接口接收视频。
- 控制器初始化通常会在 RESETZ 被置为有效后的 500ms 内完成（HOST_IRQ 变为低电平）。但是，此时间可能会因软件版本和用户可配置自动初始化文件的内容而异。



t0 : RESETZ 的上升沿；自动初始化开始。
t1 : HOST_IRQ 的下降沿；自动初始化完成。

图 6-16. HOST_IRQ 时序

6.3.4 SPI 闪存

6.3.4.1 SPI 闪存接口

DLPC34xx 控制器需要外部 SPI 串行闪存器件来存储固件。除了 *闪存接口时序要求* 部分中列出的要求外，还请遵循以下指南和要求。

控制器支持的最大闪存大小是 128MB (16MB)。请参阅 DLPC34xx 验证的 SPI 闪存器件选项表，了解兼容的闪存选项示例。所需的最小闪存大小取决于所用固件的大小。固件大小取决于多种因素，包括序列数、查询表和启动界面图像。

DLPC34xx 控制器使用符合业界通用 SPI 闪存协议的单个 SPI 接口。在以标称 1.42MHz 速率运行之前，该器件将开始以标称 30MHz 频率访问闪存。闪存器件必须支持这些速率。

控制器具有两条独立的 SPI 芯片选择 (CS) 控制线。确保从连接到芯片选择零的器件执行控制器引导例程时，闪存器件的芯片选择引脚连接到 SPI0_CSZ0。启动例程将程序代码从闪存上传到程序存储器，然后将控制传输到程序存储器中的自动初始化例程。

DLPC34xx 旨在支持兼容以下项目的任何闪存器件：表 6-4、表 6-5 和表 6-6 下面的其他 DLPC34xx SPI 闪存要求表中定义的操作模式、特性和性能。

表 6-4. 其他 DLPC34xx SPI 闪存要求

特性	DLPC34xx 要求
SPI 接口宽度	单通道
SPI 极性 & 相位设置	SPI 模式 0
快速读取寻址	自动递增
编程模式	页面模式
页面大小	256B
扇区大小	4KB 扇区
块大小	不限
块保护位	0 = 已禁用
状态寄存器位 (0)	正在进行写入 (WIP), 也称为闪存繁忙
状态寄存器位 (1)	写入使能锁存 (WEN)
状态寄存器位 (6:2)	值为 0 将禁用编程保护
状态寄存器位 (7)	状态寄存器写保护 (SRWP)
状态寄存器位 (15:8) (即扩展状态字节)	由于 DLPC34xx 控制器仅支持单字节状态寄存器 R/W 命令执行, 因此它可能与包含扩展状态字节的闪存器件不兼容。但是, 只要扩展状态字节在字节 3 位置被认为是可选的, 并且该扩展状态字节中的任何写保护控制默认为不受保护, 则闪存器件可能与 DLPC34xx 兼容。

DLPC34xx 控制器旨在支持程序保护默认为启用或者禁用的闪存器件。控制器假定默认值已启用, 并在引导过程中继续禁用任何程序保护。

DLPC34xx 在引导过程中发出以下命令:

- 用于请求写入使能的写入使能 (WREN) 指令, 后接
- 一个读取状态寄存器 (RDSR) 指令 (根据需要重复), 轮询写入使能锁存 (WEL) 位
- 设置写入使能锁存 (WEL) 位后, 一条写入状态寄存器 (WRSR) 指令将 0 写入全部 8 位 (这将禁用所有编程保护)

在每条程序或擦除指令之前, DLPC34xx 控制器会发出类似的命令:

- 用于请求写入使能的写入使能 (WREN) 指令, 后接
- 一个读取状态寄存器 (RDSR) 指令 (根据需要重复), 轮询写入使能锁存 (WEL) 位
- 设置写入使能锁存 (WEL) 位后, 将编程或擦除指令

请注意, 在每次编程和擦除指令后, 闪存器件都会自动清除写入使能状态。

下面的表 6-5 和表 6-6 列出了具体 OpCode 和时序兼容性要求。DLPC34xx 控制器不会根据所连接的闪存类型调整协议或者时钟速率。

表 6-5. SPI 闪存指令 OpCode 和访问配置文件兼容性要求

SPI 闪存命令	字节 1 (OPCODE)	BYTE 2	BYTE 3	BYTE 4	BYTE 5	BYTE 6
快速读取 (1 个输出)	0x0B	地址 (0)	地址 (1)	地址 (2)	虚拟	DATA(0) ⁽¹⁾
读取状态	0x05	不适用	不适用	状态 (0)		
写入状态	0x01	状态 (0)	请参阅 ⁽²⁾			
写入使能	0x06					
页面程序	0x02	地址 (0)	地址 (1)	地址 (2)	DATA(0) ⁽¹⁾	
扇区擦除 (4KB)	0x20	地址 (0)	地址 (1)	地址 (2)		
芯片擦除	0xC7					

- (1) 仅显示第一个数据字节。数据继续。
 (2) 对 DLPC34xx 控制器不支持的第二 (扩展) 写入状态字节的访问。

下面的表 6-6 和 闪存接口时序要求 部分列出了与 DLPC34xx 兼容的闪存器件的特定时序兼容性要求。

表 6-6. SPI 闪存关键时序参数兼容性要求

SPI 闪存时序参数 ^{(1) (2)}	符号	替代符号	最小值	最大值	单位
访问频率 (所有命令)	FR	f _C	≤ 1.4	≥ 30.1	MHz
芯片选择高电平时间 (也称作芯片选择取消选择时间)	t _{SHSL}	t _{CSH}	≤ 200		ns
输出保持时间	t _{CLQX}	t _{HO}	≥ 0		ns
时钟低到输出有效的时间	t _{CLQV}	t _V		≤ 11	ns
建立时间数据	t _{DVCH}	t _{DSU}	≤ 5		ns
数据输入保持时间	t _{CHDX}	t _{DH}	≤ 5		ns

- (1) 时序值适用于外设闪存器件的规格，而不是 DLPC34xx 控制器的规格。例如，闪存器件最小访问频率 (FR) 必须为 1.4MHz 或更低，最大访问频率必须为 30.1MHz 或更高。
 (2) DLPC34xx 不会驱动闪存器件上的 HOLD 或 WP (低电平有效写保护) 引脚，因此这些引脚必须通过外部上拉电阻连接到 PCB 上的逻辑高电平。

为了使 DLPC34xx 控制器支持 1.8V、2.5V 或 3.3V 串行闪存器件，必须为 VCC_FLSH 引脚提供相应的电压。DLPC34xx 验证的 SPI 闪存器件选项表包含 DLPC34xx 控制器支持的已验证 1.8V、2.5V 或 3.3V 兼容 SPI 串行闪存器件的列表。

表 6-7. DLPC34xx 经验证 SPI 闪存器件选项 ^{(1) (2) (3)}

密度 (Mb)	供应商	器件型号	封装尺寸
1.8V 兼容器件			
4Mb	Winbond	W25Q40BWUXIG	2 × 3mm USON
4Mb	Macronix	MX25U4033EBAI-12G	1.43 × 1.94mm WLCSP
8Mb	Macronix	MX25U8033EBAI-12G	1.68 × 1.99mm WLCSP
2.5V 或 3.3V 兼容器件			
16Mb	Winbond	W25Q16CLZPIG	5 × 6mm WSON

- (1) 闪存电源电压必须等于 DLPC34xx 控制器上的 VCC_FLSH 电源电压。务必订购支持正确电源电压的器件，因为通常会提供多种电压选项。
 (2) Numonyx (Micron) 串行闪存器件通常不支持 DLPC34xx 控制器的 4KB 扇区大小兼容性要求。
 (3) 该表中的闪存器件已经过 TI 正式验证。其他闪存选项可能与 DLPC34xx 控制器兼容，但它们尚未经过 TI 的正式验证。

6.3.4.2 SPI 闪存编程

可直接驱动闪存的 SPI 引脚以进行闪存编程，而 DLPC34xx 控制器 I/O 则为三态。SPI0_CLK、SPI0_DOUT 和 SPI0_CSZ0 I/O 可以通过在控制器通电时将 RESETZ 保持在逻辑低电平状态来设置为三态。SPI0_CSZ1 引脚的逻辑状态不会受此操作影响。或者，如果已加载有效的固件映像并且控制器可以运行，则当通过 I²C 发出命令时，DLPC34xx 控制器可以对 SPI 闪存进行编程。

6.3.5 I²C 接口

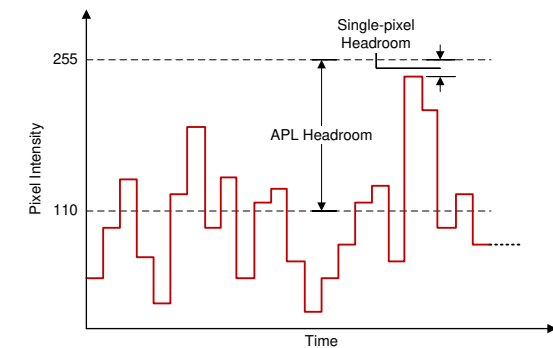
两个 DLPC34xx I²C 接口端口都支持 100kHz 波特率。因为 I²C 事务会以总线上最慢器件的速度运行，所以无需确保系统中的所有器件都具有匹配的速度。

6.3.6 内容自适应照明控制 (CAIC)

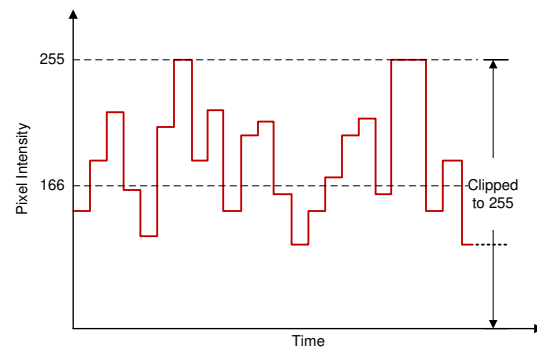
内容自适应照明控制 (CAIC) 是 IntelliBright[®] 高级图像处理算法套件的一部分，可自适应地提高亮度并降低功耗。在常见的实际图像内容中，图像中的大多数像素远低于 DLPC34xx 输入的 R (红色)、G (绿色) 和 B (蓝色) 数字通道的满量程。因此，整体图像的画面平均值 (APL) 也远低于满量程，并且并未完全使用集合像素值集的动态范围。CAIC 利用源图像 APL 与显示系统可用动态范围顶部之间的余量。

CAIC 可逐帧评估图像并推导出三个唯一的数字增益，分别用于 R、G 和 B 颜色通道。在图像处理期间，CAIC 将每个增益应用于相关颜色通道中的所有像素。计算出的增益应用于该通道中的所有像素，这样像素作为一个组集体向上移动并尽可能接近满量程。为了防止图像质量下降，增益设置在每个颜色通道中只有几个像素被裁剪的位置。下面的颜色通道的源像素和经过 CAIC 处理后的颜色通道的像素图展示了一个颜色通道应用 CAIC 的示例。

图 6-17.



(1) APL = 110



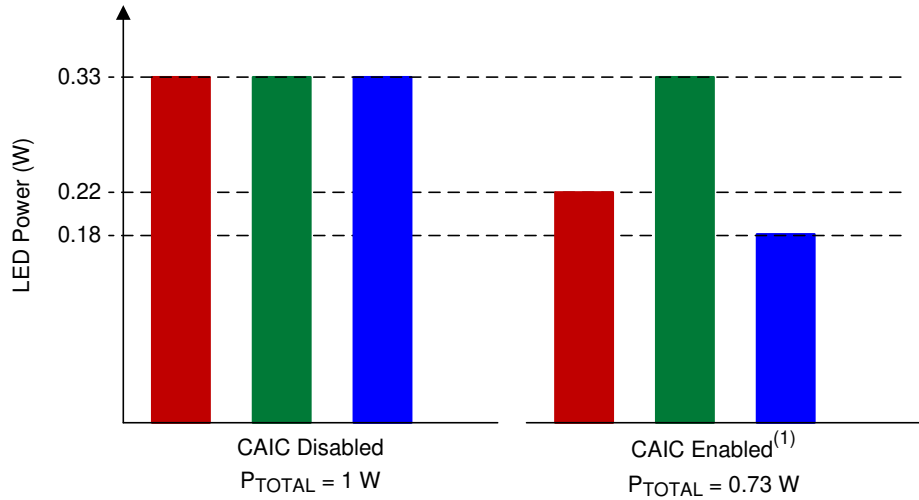
(1) APL = 166

(2) 通道增益 = $166/110 = 1.51$

图 6-17. 颜色通道的源像素

图 6-18. CAIC 处理后颜色通道的像素

上面的图 6-18 展示了应用于 DLPC34xx 内部颜色处理通道的增益。此外，CAIC 还可通过命令不同的 LED 电流来调整 R、G 和 B LED 的功率。对于单个帧的每个颜色通道，CAIC 都可以智能地确定数字增益和 LED 功率的理想组合。用户可配置的 CAIC 设置会严重影响应用于颜色通道的数字增益量及该颜色的 LED 功率。



(1) 在启用 CAIC 的情况下，如果对于给定的输入图像，红色和蓝色 LED 需要的功率小于标称功率，则红色和蓝色 LED 功率将降低。

图 6-19. CAIC 功率降低模式 (用于恒定亮度)

由于 CAIC 会对每个颜色通道应用数字增益并调整每个 LED 的功率，因此 CAIC 会保持最终图像中产生的颜色平衡与投影仪系统的目标颜色平衡相匹配。因此，CAIC 会在帧与帧之间保持恒定，从而使图像的有效显示白点保持不变。

CAIC 可用于在保持所有 LED 的总功率恒定的同时增加整体图像亮度，或者 CAIC 可用于在降低 LED 功率的同时保持整体图像亮度恒定。总之，CAIC 有两种主要的运行模式：

- 功耗降低模式可以在降低 LED 功率的同时保持整体图像亮度恒定
- 增强亮度模式可保持整体 LED 功率恒定，同时增强图像亮度

在功耗降低模式下，由于 R、G 和 B 通道可由 DLPC34xx 内部的 CAIC 放大，因此可以降低任何颜色通道的 LED 功率，直到屏幕上颜色的亮度不变。因此，CAIC 可以降低整体 LED 功率，同时保持与未使用 CAIC 相同的整体图像亮度。图 6-19 显示了一个通过 CAIC 降低 LED 功耗的示例，其中红色和蓝色 LED 的功耗较低。

在增强亮度模式下，R、G 和 B 通道可以通过 CAIC 放大，而 LED 功率通常保持恒定。这样就可提高亮度而不进行省电。

虽然本文介绍了两种主要的运行模式，但 DLPC34xx 实际上在纯功率降低模式和增强亮度模式这两种极端情况下运行。用户可以通过调整 CAIC 增益设置来配置 DLPC34xx 将遵循哪种工作模式，如软件编程人员指南中所述。

除了上述功能外，CAIC 还可用作一种用于提高投影系统 FOFO (全开全关) 对比度的工具。在功耗降低模式下运行时，DLPC34xx 会随着每个颜色通道的图像内容强度的降低而降低 LED 功率。这将导致 LED 在标称设置下以全开内容 (白屏) 工作，并降低功率输出，直至达到可能最暗的内容 (黑屏)。在后一种情况下，LED 将以最小功率输出容量运行，从而产生尽可能少的关闭状态光。CAIC 提供的这种优化将提高 FOFO 对比度。给定的对比度将随着标称 LED 电流 (全导通状态) 的增大而进一步增大。

6.3.7 局部亮度增强 (LABB)

局部亮度增强 (LABB) 是高级图像处理算法的 IntelliBright™ 套件的一部分，以自适应方式增益相对于平均画面水平较暗的图像区域。控制器会对图像的某些区域应用明显的增益，对其他区域应用很少增益或不应用增益。LABB 算法逐帧评估图像，并计算要用于每个图像的局部区域增益。由于许多图像的整体增益净增加，因此即使控制器对图像的某些部分没有应用增益，控制器也会提高图像的整体感知亮度。

图 6-20 显示了 LABB 算法对包括黑暗区域的图像的影响的分屏示例。

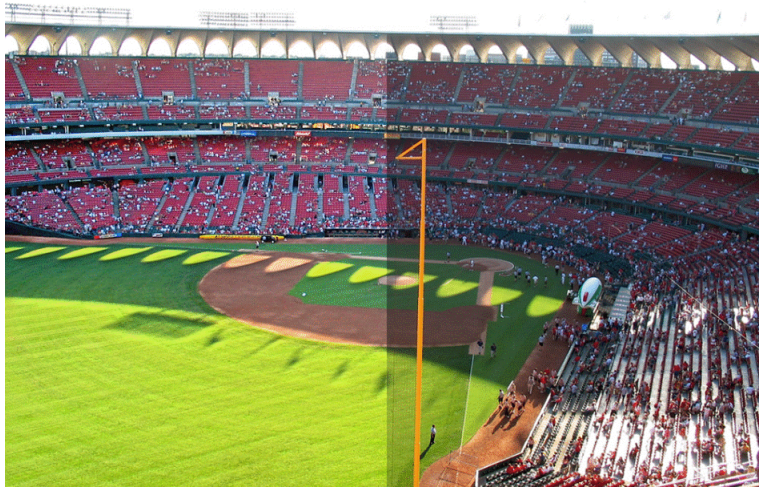


图 6-20. LABB 启用 (左侧) 及 LABB 禁用 (右侧)

当使用环境光照条件来帮助确定所用增益强度时，LABB 算法的工作效率最高。因此，在系统设计中包含环境光传感器可能会很有用，该传感器用于测量显示屏的反射环境光。该传感器可帮助动态控制 LABB 强度。为明亮的房间设置较高的 LABB 增益，以帮助克服图像发白的问题。将暗室中的 LABB 增益设置为较低值，以防止图像中的像素强度过驱动。

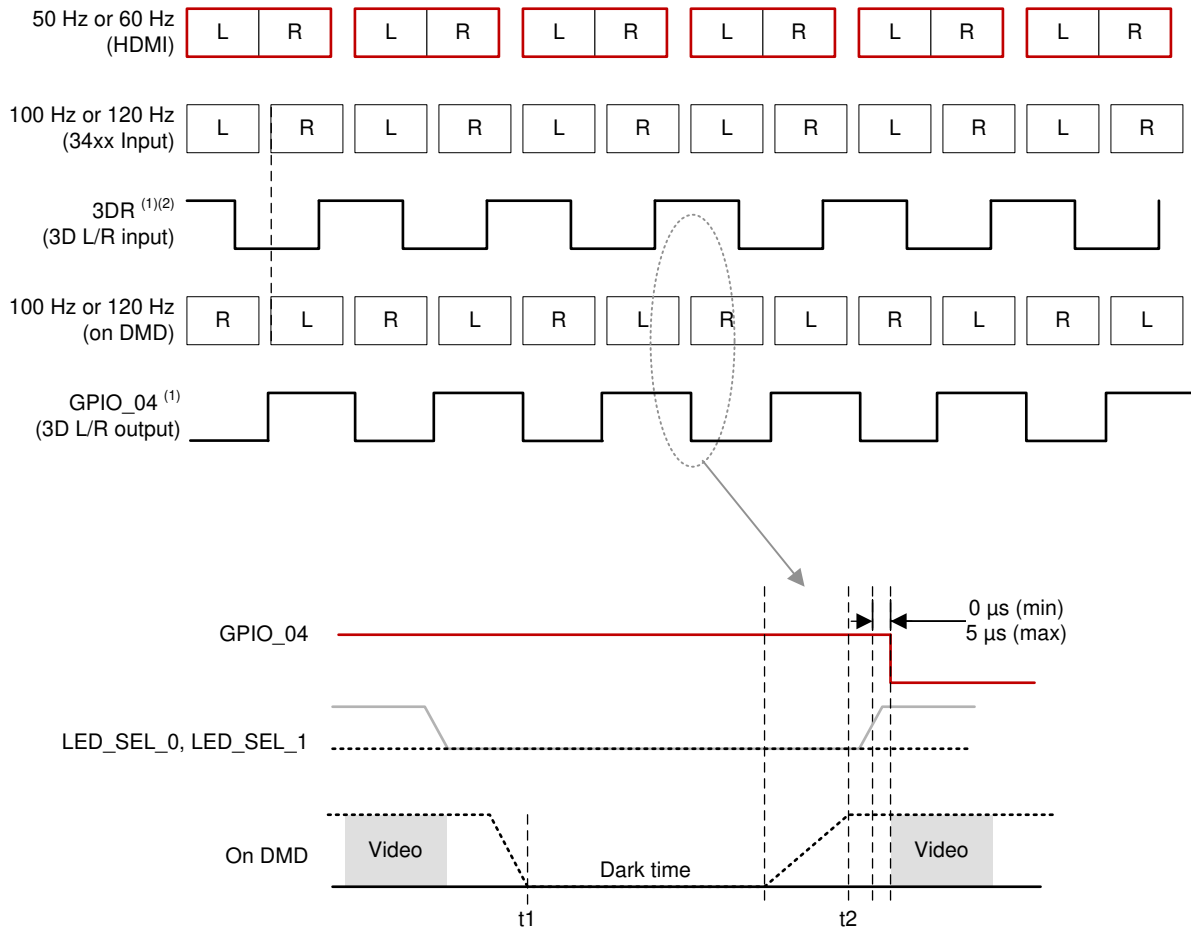
6.3.8 3D 眼镜操作

使用 3D 眼镜 (具有 3D 视频输入和适当的软件支持) 时，控制器输出同步信息，以将眼镜中的左眼和右眼快门与显示的 DMD 图像帧对齐。3D 眼镜通常利用红外 (IR) 传输或 DLP Link™ 技术来实现此同步。

一种眼镜类型使用系统 PCB 上的 IR 发送器向眼镜中的 IR 接收器发送 IR 同步信号。在这种情况下，DLPC34xx 控制器输出信号 GPIO_04 可用于使 IR 发送器向眼镜发送 IR 同步信号。图 6-21 显示了 GPIO_04 信号的时序。

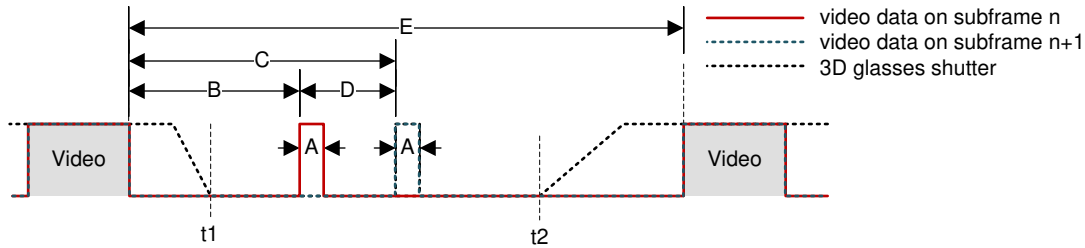
第二种眼镜依赖于同步信息，该同步信息被编码到从投影透镜输出的光中。此方法将 DLP Link 功能用于 3D 视频。不同供应商的许多 3D 眼镜均采用这种方法制造。使用 DLP Link 功能的优点是它利用现有投影仪硬件将同步信息传输到眼镜。这种方法可在投影仪的成本、尺寸和功耗节省方面发挥优势。

使用 DLP Link 技术时，每个 DMD 帧从投影透镜输出一个光脉冲，同时眼镜关闭了两个快门。为了实现这一点，DLPC34xx 会指示 DLPAxxxx 何时打开光源（通常为 LED 或激光），以便每个 DMD 帧输出一次编码光脉冲。由于发送脉冲时眼镜中的快门都关闭，因此除非发送光来产生脉冲，否则投影仪光源也会关闭。脉冲可以使用任何颜色；但是，由于眼镜 LCD 快门镜头的传输特性以及眼镜上使用的白光传感器的灵敏度，强烈建议不要将蓝色用于脉冲。建议使用红色脉冲。图 6-21 展示了 3D 时序信息。图 6-22 和表 6-8 显示了使用 DLP 链路特性时光脉冲的时序。



- (1) 左= 1、右= 0
- (2) 3DR 必须在 VSYNC 之前 1ms 切换。
- t1：两个快门都关闭。
- t2：下一个快门打开。

图 6-21. 3D 显示左右帧及信号时序



DLP 链路脉冲在子帧结束时的时间偏移在 B 和 B+D 之间交替，其中 D 是增量偏移。

图 6-22. 3D DLP 链路脉冲时序

表 6-8. 3D DLP 链路时序

HDMI 源帧速率 (Hz) ⁽¹⁾	DLPC34xx 输入帧速率 (Hz)	A (μs)	B (μs)	C (μs)	D (μs)	E (μs)
49.0	98	20 - 32 (标称值 31.8)	> 500	> 622	128 - 163 (标称值 161.6)	> 2000
50.0	100	20 - 32 (标称值 31.2)	> 500	> 658	128 - 163 (标称值 158.4)	> 2000
51.0	102	20 - 32 (标称值 30.6)	> 500	> 655	128 - 163 (标称值 155.3)	> 2000
59.0	118	20 - 32 (标称值 26.4)	> 500	> 634	128 - 163 (标称值 134.2)	> 2000
60.0	120	20 - 32 (标称值 26.0)	> 500	> 632	128 - 163 (标称值 132.0)	> 2000
61.0	122	20 - 32 (标称值 25.6)	> 500	> 630	128 - 163 (标称值 129.8)	> 2000

(1) 时序参数 C 始终为 B+D 的总和。

6.3.9 测试点支持

DLPC34xx 测试点输出端口 TSTPT_(7:0) 提供选定的系统校准和控制器调试支持。这些测试点是应用复位时的输入。这些测试点是释放复位时的输出。控制器在释放系统复位时对信号状态进行采样，然后使用捕获的值配置测试模式，直到下次应用复位。由于每个测试点都包含一个内部下拉电阻器，因此必须使用外部下拉来修改默认测试配置。

默认配置 (b000) 对应于将 TSTPT_(2:0) 输出保持在三态，以减少正常工作期间的开关活动。为了获得最大的灵活性，建议 TSTPT_(2:0) 使用跳线连接到外部上拉电阻器。TSTPT_(2:0) 上的上拉电阻器可用于将控制器配置为特定模式或选项。由于可能对正常运行产生不利影响，TI 不建议在 TSTPT_(7:3) 中添加上拉电阻器。在正常使用时，TSTPT_(7:3) 应保持未连接状态。仅在 RESETZ 输入上的 0 到 1 转换期间对测试点进行采样，因此在释放复位后如果更改配置，在下次复位生效和释放之前不会产生任何影响。表 6-9 描述了 TSTPT_(2:0) 定义的一个可编程场景的测试模式选择。

表 6-9. TSTPT_(2:0) 定义的测试模式选择场景

TSTPT 输出值 ⁽¹⁾	无开关活动	时钟调试输出
	TSTPT_(2:0) = 0b000	TSTPT_(2:0) = 0b010
TSTPT_0	高阻态	60MHz
TSTPT_1	高阻态	30MHz
TSTPT_2	高阻态	0.7 至 22.5 MHz
TSTPT_3	高阻态	高电平
TSTPT_4	高阻态	低电平
TSTPT_5	高阻态	高电平
TSTPT_6	高阻态	高电平
TSTPT_7	高阻态	7.5MHz

(1) 这些是默认的输出选择。软件可以随时对选择重新编程。

6.3.10 DMD 接口

DLPC34xx 控制器 DMD 接口包含一个高速 (HS)、1.8V SubLVDS、仅输出接口和一个低速 (LS)、1.8V LVCMOS SDR 接口，后者具有 120MHz 的典型固定时钟速度。

6.3.10.1 SubLVDS (HS) 接口

DLP2010LC 和 DLP2010NIR (.2 WVGA) DMD 不需要控制器的所有可用输出数据通道。内部软件选择使控制器能够支持多种 DMD 接口交换配置。通过这些选项，可以根据需要将 DMD 接口线路的特定组合重新映射到其他 DMD 接口线路，从而改善电路板布局。表 6-10 展示了 DLP2010LC DMD 的四个可用选项。在最终电路板设计中，将所有未使用的 DMD 信号对保持未连接状态。

表 6-10. DLP2010LC (.2 WVGA) DMD — 控制器到 4 通道 DMD 引脚映射选项

DLP2010LC 4 通道 DMD 布线选项				DMD 引脚
OPTION 1	OPTION 2	OPTION 3	OPTION 4	
HS_WDATA_D_P HS_WDATA_D_N	HS_WDATA_E_P HS_WDATA_E_N	HS_WDATA_H_P HS_WDATA_H_N	HS_WDATA_A_P HS_WDATA_A_N	输入 DATA_P_0 输入 DATA_N_0
HS_WDATA_C_P HS_WDATA_C_N	HS_WDATA_F_P HS_WDATA_F_N	HS_WDATA_G_P HS_WDATA_G_N	HS_WDATA_B_P HS_WDATA_B_N	输入 DATA_P_1 输入 DATA_N_1
HS_WDATA_F_P HS_WDATA_F_N	HS_WDATA_C_P HS_WDATA_C_N	HS_WDATA_B_P HS_WDATA_B_N	HS_WDATA_G_P HS_WDATA_G_N	输入 DATA_P_2 输入 DATA_N_2
HS_WDATA_E_P HS_WDATA_E_N	HS_WDATA_D_P HS_WDATA_D_N	HS_WDATA_A_P HS_WDATA_A_N	HS_WDATA_H_P HS_WDATA_H_N	输入 DATA_P_3 输入 DATA_N_3

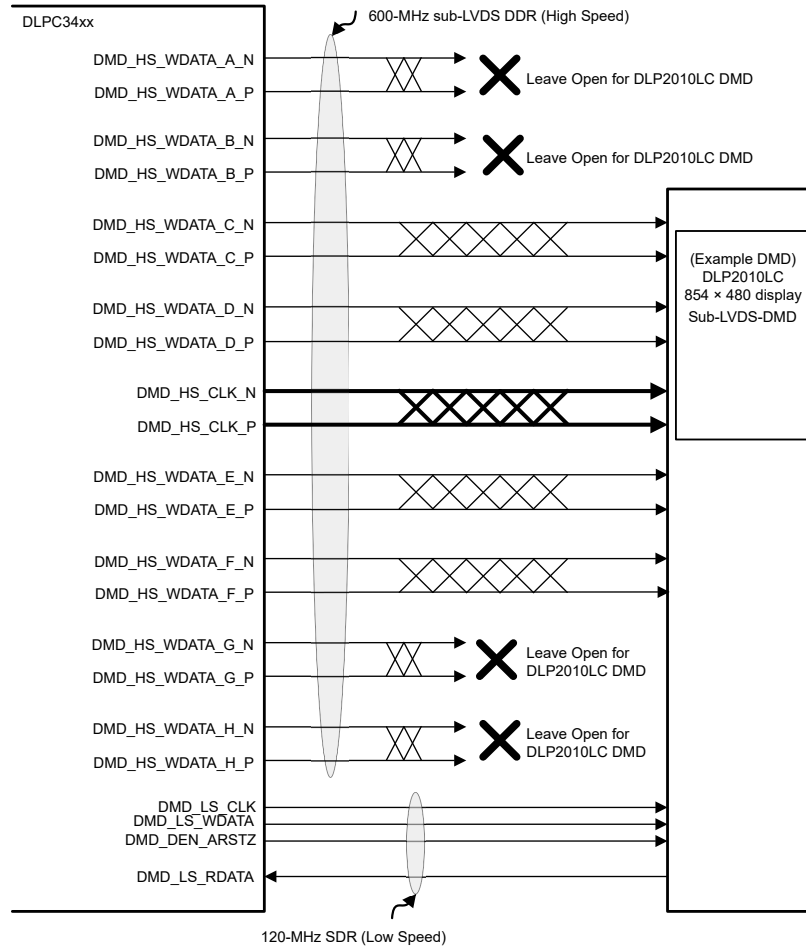


图 6-23. DLP2010LC (.2 WVGA) DMD 接口示例 (选项 1 和 2)

控制器上的 SubLVDS 高速接口波形质量和时序取决于互连系统的总长度、布线之间的间距、特征阻抗、蚀刻损耗以及与接口上长度的匹配程度。因此，确保正时序裕度需要注意许多因素。

为了尽量减少所需的信号完整性分析，提供 *DMD 控制* 和 *SubLVDS 信号* 布局部分作为满足波形质量和时序要求 (考虑 PCB 布线失配和 PCB 信号完整性) 的互连系统的基准。偏离这些建议的设计也可能可行，但应当通过 PCB 信号完整性分析或实验室测量加以确认。

6.4 器件功能模式

DLPC34xx 控制器有两种由单个引脚 PROJ_ON (GPIO_08) 控制的功能模式 (开启及关闭)。

- 当 PROJ_ON 引脚设置为高电平时，控制器上电，并且可以对其进行编程以将数据发送到 DMD。
- 当 PROJ_ON 引脚设置为低电平时，控制器会断电并且功耗极低。

6.5 编程

DLPC34xx 控制器包含一个 Arm® Cortex®-M3 处理器以及用于实现视频处理和控制的附加功能块。TI 以固件映像形式提供软件。客户需要将该固件映像刷写到 SPI 闪存中。DLPC34xx 控制器会在启动和正常运行期间加载该固件。控制器及其随附的 DLP 芯片组元件需要该专有软件才能运行。可用的控制器功能取决于安装的固件版本。不同的芯片组组合 (例如使用不同的 PMIC 器件时) 需要不同的固件。请参阅本文档末尾的 [文档支持](#)，或联系 TI 查看或下载最新发布的软件。

用户可以通过 I²C 接口命令修改软件行为。有关命令列表，请查看可通过 [文档支持](#) 页面访问的软件用户指南。

除了该芯片组中的三个 DLP 器件外，可能还需要其他元件才能组成完整的应用。至少需要一个闪存元件来存储图形、软件和固件，以便控制 DLPC3470 控制器。

DLPC3470 控制器支持任何光源，包括红外光源（LED 或垂直腔面发射激光器 - VCSEL）、紫外光源或可见光源（红色、绿色或蓝色 LED 或激光器）。

为了将 DLPC3470 控制器连接到主机处理器以接收图形或视频数据，使用了并行接口。将 I²C 接口连接到主机处理器，以便向 DLPC3470 控制器发送命令。

投影仪系统芯片组外部唯一需要的电源是电池 (SYSPWR)，可能还需要一个稳压 1.8V 电源（某些 TI PMIC 会生成 1.8V 电源，但 DLPA200x 不会）。

可以使用称为 PROJ_ON 的单个信号来打开和关闭整个微型投影仪。当 PROJ_ON 为高电平时，投影仪会开启并开始显示图像。当 PROJ_ON 设置为低电平时，投影仪关闭并且在 SYSPWR 上仅消耗微安级电流。如果 1.8V 电源与 PMIC 分开提供（DLPA200x 就属于这种情况），当 PROJ_ON 设置为低电平时，1.8V 电源可以继续保持 1.8V，并供产品中其他非投影仪部分使用。

7.2.1.2 详细设计过程

要连接 DLP2010LC 或 DLP2010NIR DMD、DLPC3470 控制器以及 DLPxxxx PMIC/LED 驱动器，请参阅参考设计原理图。参考设计数据库中包含一个电路板布局示例。请遵循节 9 中所示的布局指南，以获得可靠的 DLP 系统结果。

7.2.1.3 应用曲线

随着按时间顺序通过红色、绿色或蓝色 LED 驱动的 LED 电流增加，投影仪的亮度也会增加。这种增加在一定程度上是非线性的，典型白屏流明值随 LED 电流的变化曲线如图 7-2 所示。对于所示的 LED 电流，此处假设对红色、绿色和蓝色 LED 应用了相同的电流幅度。对于采用单个 LED 或不同光源的单色用例，该曲线会有所不同。如需了解类似信息，需要参考特定的光源文档。

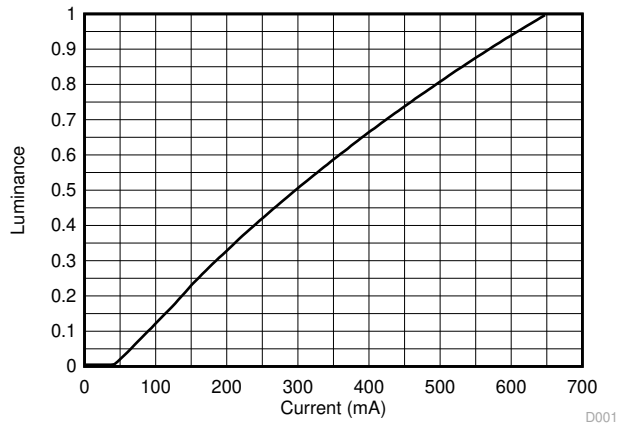
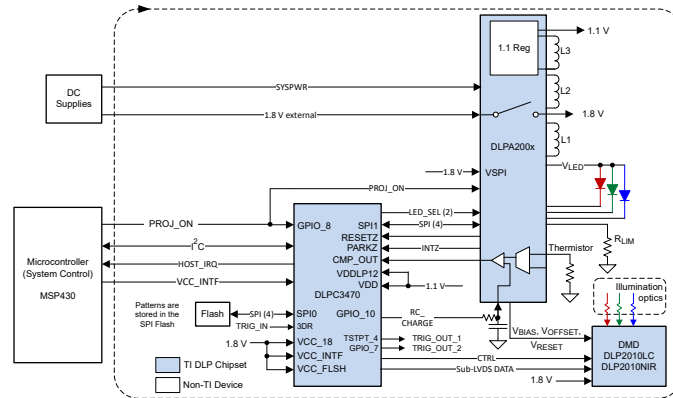


图 7-2. 亮度与电流之间的关系

7.2.2 具有内部流模式的图形投影仪

图 7-3 展示了使用内部图形流模式的典型 3D 深度扫描仪系统方框图。



- A. 可选择不同的 LED，但一次仅 1 个通道可用。
- B. SPI 闪存存储图形

图 7-3. 内部图形流模式

7.2.2.1 设计要求

对于采用内部图形流模式的 3D 深度扫描仪系统，设计与用于 3D 深度扫描的图形投影仪的设计过程相同。（请参阅节 7.2.1.1 部分。）

7.2.2.2 详细设计过程

对于具有内部图形流模式的图形投影仪，设计过程与用于 3D 深度扫描的图形投影仪相同。（请参阅节 7.2.1.2 部分。）

7.2.2.3 应用曲线

请参阅节 7.2.1.3，因为在外部和内部图形流模式下，亮度注意事项都是类似的。

8 电源相关建议

8.1 PLL 设计注意事项

VDD_PLLD 和 VDD_PLLM 与内核 VDD 都源自同一稳压器是可以接受的。但是，为了尽可能减少交流噪声分量，请按照 *PLL 电源布局* 部分中的建议应用滤波器。

8.2 系统上电和断电序列

尽管 DLPC34xx 控制器需要一系列电源电压引脚（例如 VDD、VDDL12、VDD_PLLM/D、VCC18、VCC_FLSH 和 VCC_INTF），如果 VDDL12 连接到 1.1V VDD 电源（假定为典型配置），则对于电源时序的相对顺序没有限制，以免损坏 DLPC34xx 控制器（对于上电和断电情况都是如此）。如果 VDDL12 连接到 1.1V VDD 电源，则控制器在上电和断电之间不需要最短延迟时间。

但是，如果 VDDL12 引脚未连接到 VDD 电源，则只有在 VDD 电源上电后才能为 VDDL12 引脚上电。按照类似的顺序，必须在 VDD 电源断电之前将 VDDL12 引脚断电。如果 VDDL12 引脚未连接到 VDD。则必须在 VDDL12 引脚和 VDD 电源引脚之间的 100ms 内通电或断电。

尽管在遵循上述电源时序规则时不存在损坏 DLPC34xx 控制器的风险，但必须考虑这些额外的电源时序建议以确保系统正常运行：

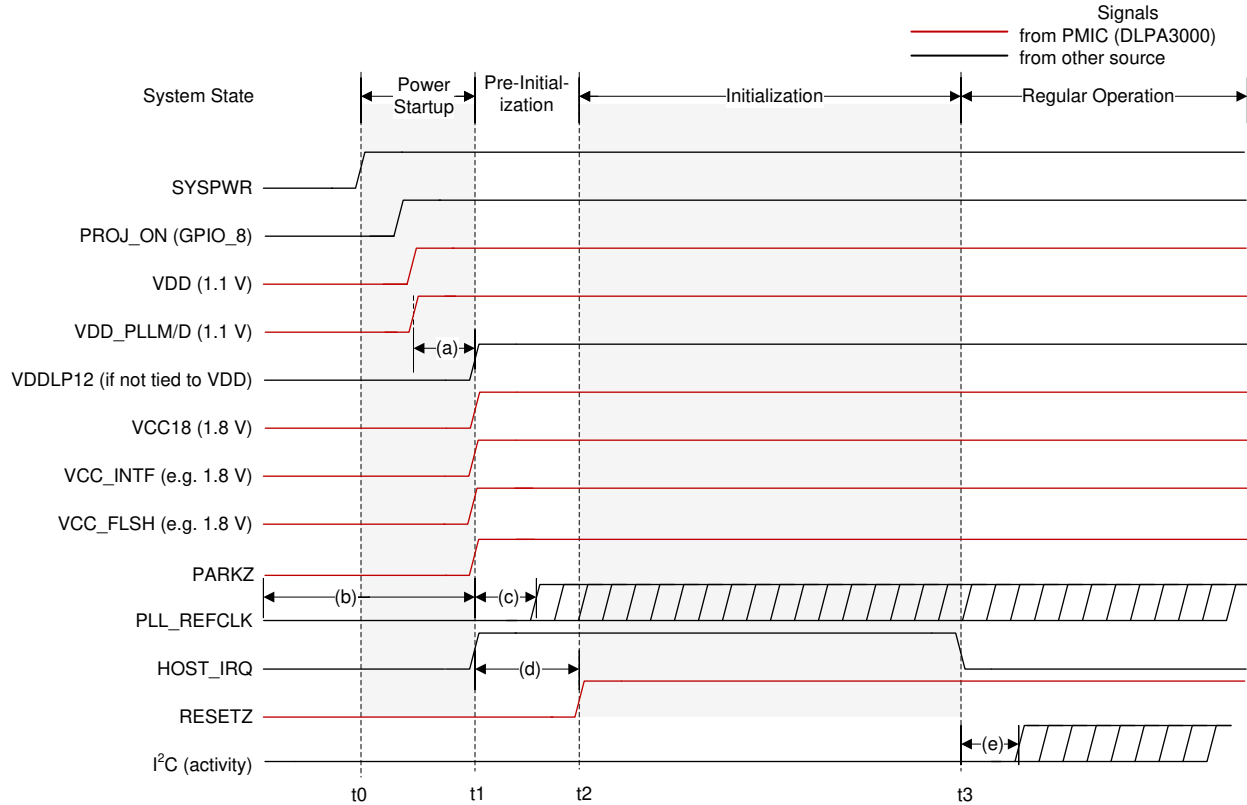
- 为了确保 DLPC34xx 控制器输出信号状态按预期运行，建议在施加 VDD 内核电源时保持施加所有控制器 I/O 电源。如果在施加 I/O 电源 (VCC_INTF) 时移除了 VDD 内核电源，则与无效 I/O 电源相关的输出信号状态将进入高阻抗状态。
- 由于与 DLPC34xx 控制器共用电源的器件（例如 PMIC 和 DMD）可能存在额外的电源时序规则，因此这些器件可能会强制要求额外的系统电源时序。

图 8-1、图 8-2 和图 8-3 显示了典型 DLPC34xx 系统的 DLPC34xx 上电序列、正常的停止断电序列和快速停止断电序列。

当施加 VDD 内核电源但未施加 I/O 电源时，控制器可能会消耗额外的漏电流。此漏电流不会影响 DLPC34xx 控制器的正常运行或可靠性。

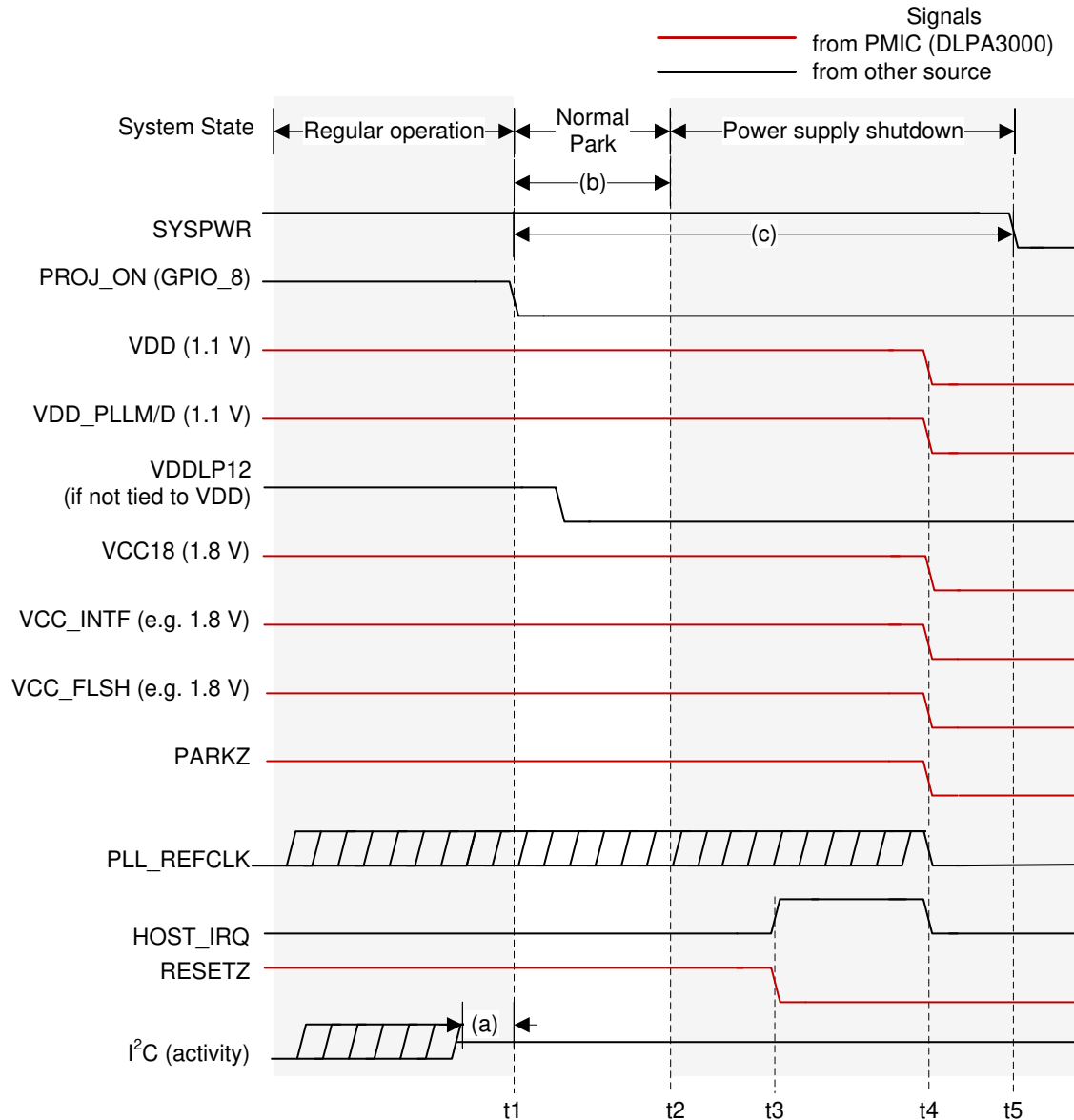
备注

在正常停止期间，建议在 PROJ_ON 变为低电平后将 SYSPWR 保持在规格范围内至少达 50ms。这是为了能够停止 DMD 并使电源轨安全断电。50ms 后，可关闭 SYSPWR。如果使用了 DLPA200x，还建议在 PROJ_ON 变为低电平后将馈入 DLPA200x 负载开关的 1.8V 电源保持在规格范围内至少达 50ms。



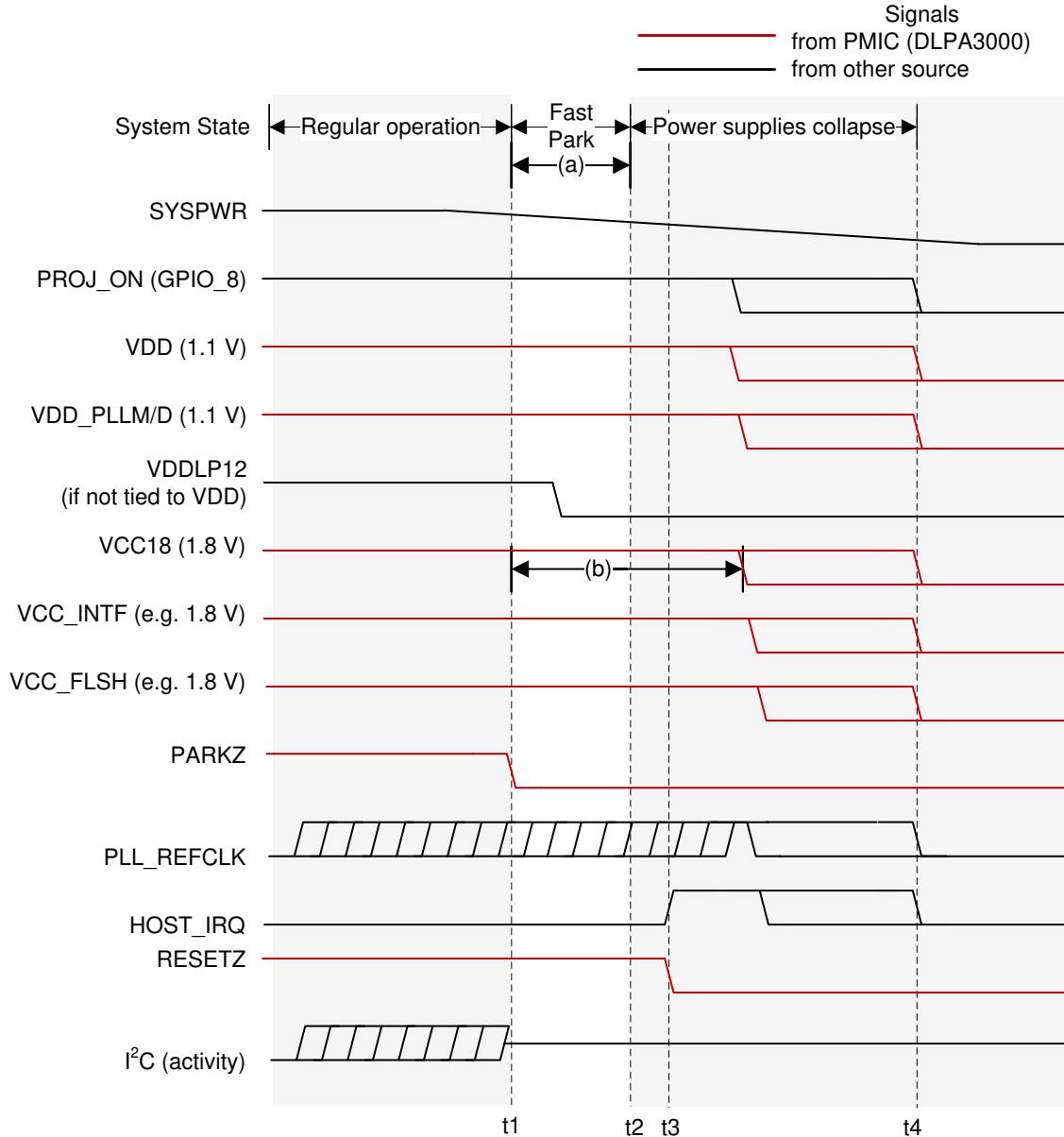
- t₀ : SYSPWR 施加到 PMIC。所有其他电压轨均来自 SYSPWR。
- t₁ : 所有电源均达到其规定标称值的 95%。请注意，如果 HOST_IRQ 被上拉至另一个外部电源，它可能会更快地变为高电平。
- t₂ : RESETZ 被置为无效（变为高电平）的点。这指示控制器自动初始化例程的开始。
- t₃ : HOST_IRQ 变为低电平，以指示初始化已完成。
- (a) : 如果 VDDL12 由单独的电源供电，则必须在 VDD 之后上电。
- (b) : 在上电之前，允许 PLL_REFCLK 处于有效状态。
- (c) : PLL_REFCLK 必须在施加全部电源后的 5ms 内保持稳定。对于外部振荡器应用，这取决于振荡器，而对于晶体应用，这取决于晶体和控制器振荡器单元。
- (d) : 在 RESETZ 释放之前，PARKZ 必须为高，以支持自动初始化。在电源符合规格后，RESETZ 也必须保持低电平至少 5ms。
- (e) : 在 HOST_IRQ 变为低电平以指示自动初始化完成之前，I²C 活动无法开始。

图 8-1. 系统上电波形 (采用 DLPA3000)



- t1 : PROJ_ON 变为低电平以开始断电序列。
- t2 : 控制器完成 DMD 停驻。
- t3 : RESETZ 被置为有效，导致 HOST_IRQ 被拉至高电平。
- t4 : 所有控制器电源都关闭。
- t5 : 现在已移除 SYSPWR，表明所有其他电源均已关闭。
- (a) : 必须在 PROJ_ON 被置为无效 (变成低电平) 之前停止 I²C 活动。
- (b) : 在 PROJ_ON 被置为无效 (变为低电平) 后的 20ms 内，DMD 将停止。VDD、VDD_PLLM/D、VCC18、VCC_INITF 和 VCC_FLSH 电源以及 PLL_REFCLK 必须在 PROJ_ON 被置为无效 (变成低电平) 后保持在规格范围内至少 20ms。然而，20ms 不满足整个芯片组的典型关断时序要求。因此，建议遵循附注 (c)。
- (c) : 建议在 PROJ_ON 被置为无效 (变成低电平) 后不要将 SYSPWR 关闭 50ms。这次可以停止 DMD、关闭控制器，并关闭 PMIC 电源。

图 8-2. 正常停止断电波形



- t1 : 检测到故障（在此示例中，PMIC 检测到 UVLO 情况），PARKZ 被置为有效（变为低电平），以指示控制器启动 DMD 快速停止。
- t2 : 控制器完成快速停止过程。
- t3 : RESETZ 被置为有效，使控制器处于复位状态，从而将 HOST_IRQ 拉至高电平。
- t4 : 最终，来自 SYSPWR 的所有电源都会崩溃。
- (a) : VDD、VDD_PLLM/D、VCC18、VCC_INTF 及 VCC_FLSH 电源以及 PLL_REFCLK 必须在 PARKZ 被置为有效（变为低电平）后保持在规格范围内至少达到 32 μ s。
- (b) : VCC18 必须保持在规格内足够长的时间，以满足 DMD 数据表中定义的 DMD 电源时序要求。有关更多信息，另请查阅 DLPAxxxx 数据表。

图 8-3. 快速停止断电波形

8.3 加电初始化序列

在上电序列期间，需要使用外部功率监测器将 **RESETZ** 驱动至逻辑低电平状态，从而将 **DLPC34xx** 控制器保持在系统复位状态。它应继续将 **RESETZ** 驱动为低电平，直到所有控制器电压达到最小额定电压电平，**PARKZ** 变为高电平并且输入时钟稳定。外部电源监控由 **DLPxxxx** PMIC 自动完成。

当 **RESETZ** 被置为有效时，**DLPC34xx** 控制器输出的任何信号都不会处于有效状态。当 **RESETZ** 被置为有效时，以下信号为三态：

- **SPIO_CLK**
- **SPIO_DOUT**
- **SPIO_CSZ0**
- **SPIO_CSZ1**
- **GPIO [19:00]**

向所有三态输出信号（包括要配置为输出的双向信号）添加外部上拉（或下拉）电阻器，以避免在复位期间控制器输出悬空（如果它们连接到 **PCB** 上可能发生故障的器件）。对于 **SPI**，至少包含一个连接到器件的任何芯片选择的上拉电阻器。未使用的双向信号可以配置为输出，以避免 **RESETZ** 设置为高电平后控制器输入悬空。

在 **RESETZ** 被置为有效并施加相应的 I/O 电源时，以下信号被强制进入逻辑低电平状态：

- **LED_SEL_0**
- **LED_SEL_1**
- **DMD_DEN_ARSTZ**

在电源稳定且 **DLPC34xx** 控制器的 **PLL_REFCLK_I** 时钟输入稳定后，应停用 **RESETZ**（设置为逻辑高电平）。然后，**DLPC34xx** 控制器执行上电初始化例程，首先锁定其 **PLL**，然后从外部闪存加载自配置数据。释放 **RESETZ** 后，所有 **DLPC34xx** I/O 都将变为有效状态。释放 **RESETZ** 后，**HOST_IRQ** 信号将立即被驱动为高电平，以指示自动初始化例程正在进行中。但是，由于上拉电阻器连接到信号 **HOST_IRQ**，因此在控制器主动将其驱动为高电平之前，该信号已经变为高电平。自动初始化例程完成后，**DLPC34xx** 控制器会将 **HOST_IRQ** 驱动为低电平，以指示已达到控制器的初始化完成状态。

为了实现可靠运行，在上电初始化序列期间，不得将 **GPIO_08 (PROJ_ON)** 置为无效。换言之，启动例程开始后（通过将 **PROJ_ON** 置为有效），必须完成启动例程（通过 **HOST_IRQ** 变为低电平来指示），然后才能命令控制器关闭（通过将 **PROJ_ON** 置为无效）。

备注

在 **HOST_IRQ** 变为低电平之前，不允许 **I²C** 或 **DSI**（如果适用）活动。

8.4 DMD 快速停止控制 (PARKZ)

PARKZ 是一种输入预警信号，必须在直流电源电压降至规格以下之前至少 **32μs** 向控制器发出警报。通常，**PARKZ** 信号由 **DLPxxxx** 中断输出信号提供。为了实现正常运行，必须在释放 **RESETZ** 之前（即在 **RESETZ** 输入上进行低电平到高电平转换之前）将 **PARKZ** 置为无效（设置为高电平）。当 **PARKZ** 被置为有效（设置为低电平）时，控制器会在 **DMD** 上执行快速停止操作，从而帮助维持 **DMD** 的使用寿命。基准时钟必须继续运行，并且在 **PARKZ** 被置为有效（设置为低电平）后 **RESETZ** 必须保持置为无效状态至少达 **32μs**，以便停止操作完成。

快速停止操作仅适用于即将断电，从而超出主处理器控制范围的情况（例如，当外部电源断开或电池电量降至最低水平以下时）。如果执行快速停止操作，则可能无法实现 **DMD** 的最长使用寿命。正常停止操作可实现最长使用寿命（通过 **GPIO_08** 启动）。因此，通常仅在没有足够的时间进行正常停止时使用 **PARKZ** 来代替正常停止请求。正常停止操作需要远大于 **32μs** 的时间来停止微镜。在正常停止操作期间，**DLPxxxx** 会持续开启所有电源，并使 **RESETZ** 保持高电平，直到完成较长的微镜停止操作。此外，**DLPxxxx** 可能会在停止操作完成后在一段时间内使电源保持开启状态。如需了解更多信息，请参阅相关的 **DLPxxxx** 数据表。微镜停止时间越长，就越能实现最长的 **DMD** 使用寿命和可靠性。**DMD 停驻开关特性** 部分指定了停驻时序。

8.5 热插拔 I/O 的用途

DLPC34xx 控制器在所有主机接口信号（由 VCC_INTF 供电的信号）上提供失效防护 I/O。这样，即使未施加 I/O 电源，也可以从外部驱动这些输入。在这种情况下，控制器不会加载输入信号，也不会消耗过大的电流，这可能会降低控制器的可靠性。例如，从主机到其他元件的 I²C 总线不会因为 DLPC34xx 控制器的 VCC_INTF 断电而受到影响。这样，即使控制器未通电，也可以使用 I²C 总线上的其他器件。TI 建议使用弱上拉或下拉电阻器，以避免反馈到主机的信号的输入悬空。

如果 I/O 电源 (VCC_INTF) 断电，但内核电源 (VDD) 保持开启状态，则相应的输入缓冲器可能会遇到更大的漏电流；但是，增加的漏电流不会损坏 DLPC34xx 控制器。

然而，如果 VCC_INTF 已上电且 VDD 未上电，控制器可能会将 IIC0_xx 引脚驱动为低电平，这会阻止该 I²C 总线上的通信。对于任何在此总线上具有其他目标器件的系统，在为 VDD 引脚上电之前，请勿为 VCC_INTF 引脚上电。

9 布局

9.1 布局指南

有关 DLPC34xx 控制器的 PCB 设计要求的摘要，请参阅 [TI DLP Pico TRP 数字微镜器件的 PCB 设计要求](#)。某些应用（如高帧速率视频）可能需要使用 1oz（或更大）的铜平面来对控制器封装的散热进行控制。

9.1.1 PLL 电源布局

请遵循这些建议的指导原则来实现内部 PLL 可接受的控制器性能。DLPC34xx 控制器包含两个内部 PLL，这两个器件具有专用模拟电源（VDD_PLLM、VSS_PLLM、VDD_PLLD 和 VSS_PLLD）。至少使用由两个串联铁氧体磁珠和两个分流电容器构成的简单无源滤波器来隔离 VDD_PLLx 电源和 VSS_PLLx 接地引脚（以扩大噪声吸收频谱）。建议一个电容器选择 0.1 μ F 规格，另一个电容器选择 0.01 μ F 规格。所有四个组件应尽量靠近控制器放置。高频电容器的引脚应尽可能短，这一点尤为重要。在铁氧体磁珠的控制器端上将这两个电容器从 VDD_PLLM 连接到 VSS_PLLM 并从 VDD_PLLD 连接到 VSS_PLLD。

选择具有以下特性的铁氧体磁珠：

- 直流电阻小于 0.40 Ω
- 10MHz 时的阻抗等于或大于 180 Ω
- 100MHz 时的阻抗等于或大于 600 Ω

PCB 布局对 PLL 性能至关重要。没有噪声的接地端和电源应被视为模拟信号，这一点非常重要。因此，VDD_PLLM 和 VDD_PLLD 都必须采用一根迹线以从 DLPC34xx 控制器连接到这两个电容器，然后通过串联铁氧体连接到电源。电源和接地迹线应尽可能短、彼此平行并尽可能相互靠近。

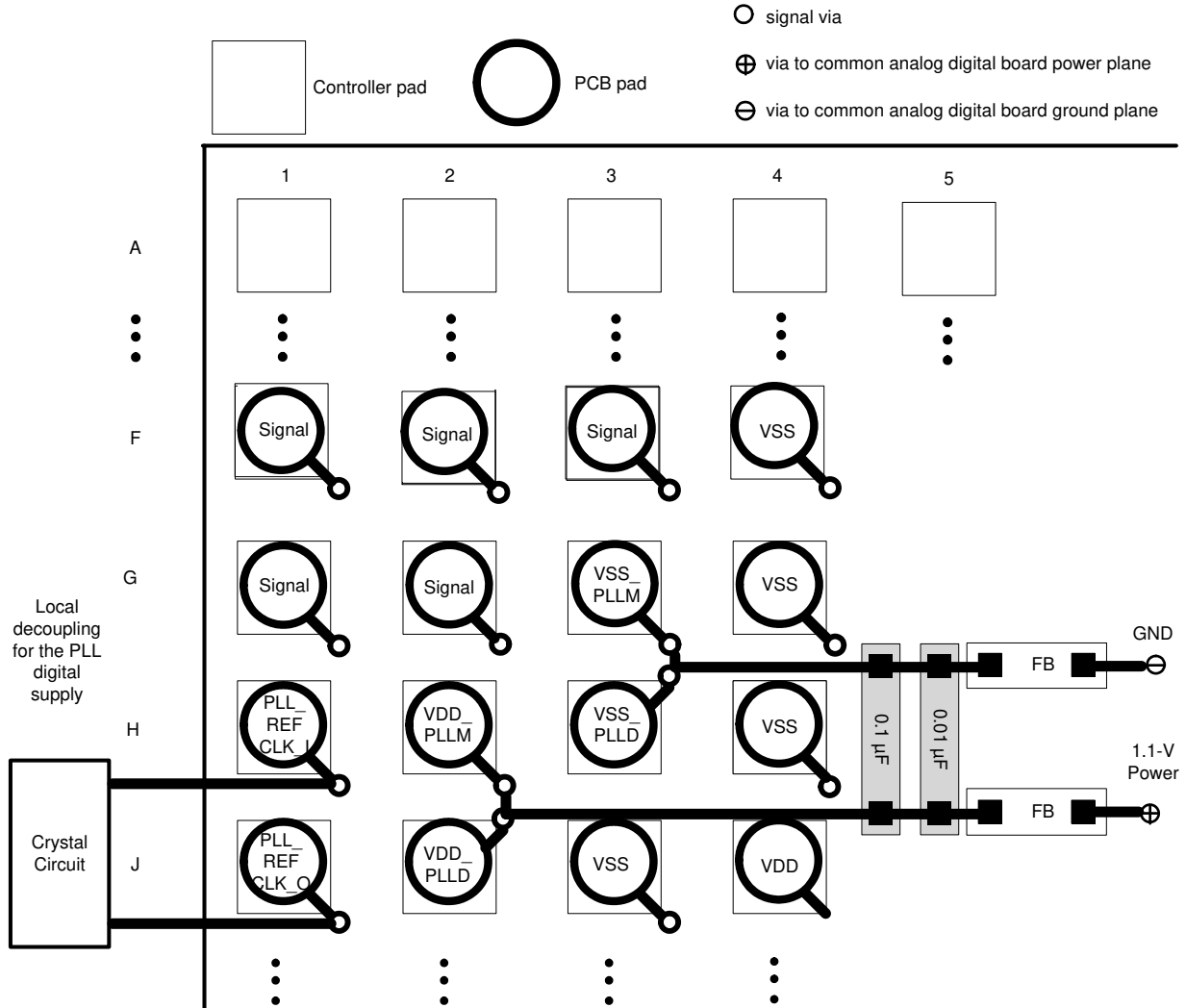
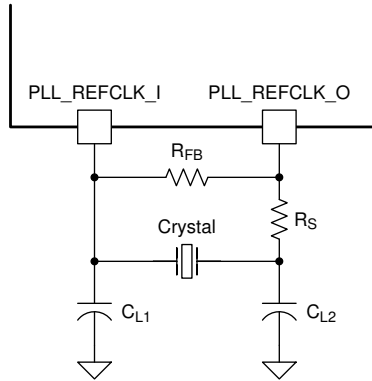


图 9-1. PLL 滤波器布局

9.1.2 参考时钟布局

DLPC34xx 控制器需要一个外部基准时钟向内部 PLL 提供信号。使用晶体或振荡器来提供此基准。DLPC34xx 基准时钟的频率变化不得超过 $\pm 200\text{ppm}$ (包括老化、温度和修整元件变化)。

图 9-2 显示了使用晶体时所需的分立式元件。



C_L = 晶体负载电容 (法拉)

$C_{L1} = 2 \times (C_L - C_{stray_pll_refclk_i})$

$C_{L2} = 2 \times (C_L - C_{stray_pll_refclk_o})$

其中：

- $C_{stray_pll_refclk_i}$ = 与控制器引脚 pll_refclk_i 相关的晶体引脚上的封装和 PCB 杂散电容之和
- $C_{stray_pll_refclk_o}$ = 与控制器引脚 pll_refclk_o 相关的晶体引脚上的封装和 PCB 杂散电容之和

图 9-2. 所需的分立式元件

9.1.2.1 建议的晶体振荡器配置

表 9-1. 晶体端口特性

参数	标称值	单位
PLL_REFCLK_I 到 GND 电容	1.5	pF
PLL_REFCLK_O 到 GND 电容	1.5	pF

表 9-2. 建议晶体配置

参数 ^{(1) (2)}	推荐	单位
晶体电路配置	并联谐振	
晶体类型	基波 (一次谐波)	
晶体标称频率	24	MHz
晶体频率容差 (包括精度、温度、老化和修整灵敏度)	±200	PPM
最大启动时间	1.0	ms
晶振等效串联电阻 (ESR)	120 (最大值)	Ω
晶体负载	6	pF
R_S 驱动电阻器 (标称值)	100	Ω
R_{FB} 反馈电阻 (标称值)	1	MΩ
C_{L1} 外部晶体负载电容器	请参阅“参考时钟布局”注释中的公式。	pF
C_{L2} 外部晶体负载电容器	请参阅“参考时钟布局”注释中的公式。	pF
PCB 布局	建议在晶体周围设置接地隔离环。	

(1) 温度范围为 -30°C 至 85°C。

(2) 晶体偏置取决于控制器 VCC_INTF 电压轨，该电压轨是可变的 (不是 VCC18 电压轨)。

如果使用外部振荡器，则振荡器输出必须驱动 DLPC34xx 控制器上的 PLL_REFCLK_I 引脚，并且 PLL_REFCLK_O 引脚必须保持未连接状态。

表 9-3. 推荐的晶体器件

制造商 ⁽¹⁾ ⁽²⁾	器件型号	速度 (MHz)	温度和老化 (ppm)	最大 ESR (Ω)	负载电容 (pF)	封装尺寸 (mm)
KDS	DSX211G-24.000M-8pF-50-50	24	± 50	120	8	2.0 × 1.6
Murata	XRCGB24M000F0L11R0	24	± 100	120	6	2.0 × 1.6
NDK	NX2016SA 24M EXS00A-CS05733	24	± 145	120	6	2.0 × 1.6

(1) 该表中的晶体器件已经过验证，可与 DLPC34xx 控制器配合使用。其他器件也可能兼容，但不一定经过 TI 验证。

(2) 工作温度范围：对于所有晶体，均为 -30°C 至 85°C 。

9.1.3 未使用的引脚

为了避免因仅 CMOS 输入引脚悬空而导致潜在的破坏性电流，TI 建议通过一个上拉电阻器将未使用的控制器输入引脚连接到其相关电源，或连接到一个下拉电阻器以接地。对于具有内部上拉或下拉电阻器的控制器输入，除非特别建议，否则不需要添加外部上拉或下拉电阻器。请注意，内部上拉和下拉电阻器较弱，不应期望其驱动外部器件。DLPC34xx 控制器实现了很少的内部电阻器，*引脚配置和功能* 部分的表格中列出了这些电阻器。当具有弱上拉或下拉电阻器的引脚需要外部上拉或下拉电阻器时，选择最大电阻 $8\text{k}\Omega$ 。

切勿将未使用的仅输出引脚直接连接到电源或接地。保持断开状态。

TI 建议尽可能将未使用的双向 I/O 引脚配置为其输出状态，以便该引脚可以保持断开。如果此控制不可用并且引脚可能成为输入，则添加适当的上拉 (或下拉) 电阻器。

9.1.4 DMD 控制和 Sub-LVDS 信号

表 9-4. 最大引脚对引脚 PCB 互连建议

DMD 总线信号 ^{(1) (2)}	信号互连拓扑		单位
	单板信号布线长度	多板信号布线长度	
DMD_HS_CLK_P DMD_HS_CLK_N	6.0 (152.4)	请参阅 ⁽³⁾	in (mm)
DMD_HS_WDATA_A_P DMD_HS_WDATA_A_N	6.0 (152.4)	请参阅 ⁽³⁾	in (mm)
DMD_HS_WDATA_B_P DMD_HS_WDATA_B_N			
DMD_HS_WDATA_C_P DMD_HS_WDATA_C_N			
DMD_HS_WDATA_D_P DMD_HS_WDATA_D_N			
DMD_HS_WDATA_E_P DMD_HS_WDATA_E_N			
DMD_HS_WDATA_F_P DMD_HS_WDATA_F_N			
DMD_HS_WDATA_G_P DMD_HS_WDATA_G_N			
DMD_HS_WDATA_H_P DMD_HS_WDATA_H_N			
DMD_LS_CLK	6.5 (165.1)	请参阅 ⁽³⁾	in (mm)
DMD_LS_WDATA	6.5 (165.1)	请参阅 ⁽³⁾	in (mm)
DMD_LS_RDATA	6.5 (165.1)	请参阅 ⁽³⁾	in (mm)
DMD_DEN_ARSTZ	7.0 (177.8)	请参阅 ⁽³⁾	in (mm)

- (1) 最大信号布线长度将迂回布线计算进来。
- (2) 由于连接器的影响，多板 DMD 布线长度存在更严格的限制。
- (3) 由于 PCB 之间存在差异，因此无法定义这些建议。任何电路板设计都应使用控制器 IBIS 模型 (可在控制器网页的工具和软件选项卡中找到) 进行 SPICE 仿真，以便布线长度不会违反信号要求。

表 9-5. 高速 PCB 信号布线匹配要求

信号组长度匹配 ^{(1) (2) (3)}				
接口	信号组	基准信号	最大失配 ⁽⁴⁾	单位
DMD ⁽⁵⁾	DMD_HS_WDATA_A_P DMD_HS_WDATA_A_N	DMD_HS_CLK_P DMD_HS_CLK_N	±1.0 (±25.4)	in (mm)
	DMD_HS_WDATA_B_P DMD_HS_WDATA_B_N			
	DMD_HS_WDATA_C_P DMD_HS_WDATA_C_N			
	DMD_HS_WDATA_D_P DMD_HS_WDATA_D_N			
	DMD_HS_WDATA_E_P DMD_HS_WDATA_E_N			
	DMD_HS_WDATA_F_P DMD_HS_WDATA_F_N			
	DMD_HS_WDATA_G_P DMD_HS_WDATA_G_N			
	DMD_HS_WDATA_H_P DMD_HS_WDATA_H_N			
DMD	DMD_HS_WDATA_x_P	DMD_HS_WDATA_x_N	±0.025 (±0.635)	in (mm)
DMD	DMD_HS_CLK_P	DMD_HS_CLK_N	±0.025 (±0.635)	in (mm)
DMD	DMD_LS_WDATA DMD_LS_RDATA	DMD_LS_CLK	±0.2 (±5.08)	in (mm)
DMD	DMD_DEN_ARSTZ	不适用	不适用	in (mm)

(1) 长度匹配值仅适用于 PCB 布线长度。无需额外考虑与 DLPC34xx 控制器或 DMD 相关的内部封装布线失配。

(2) 对 DMD HS 数据线进行训练。这就是为什么定义的匹配要求相较于 LS 数据线而言略显宽松。

(3) DMD LS 信号为单端信号。

(4) 信号组的失配变化始终与基准信号相关。

(5) DMD HS 数据线是差分数据线，因此这些规格是成对的。

表 9-6. 信号要求

参数	基准	要求
源串联端接	DMD_LS_WDATA	必需
	DMD_LS_CLK	必需
	DMD_DEN_ARSTZ	可接受
	DMD_LS_RDATA	必需
	DMD_HS_WDATA_x_y	不可接受
	DMD_HS_CLK_y	不可接受
终端端接	DMD_LS_WDATA	不可接受
	DMD_LS_CLK	不可接受
	DMD_DEN_ARSTZ	不可接受
	DMD_LS_RDATA	不可接受
	DMD_HS_WDATA_x_y	不可接受
	DMD_HS_CLK_y	不可接受
PCB 阻抗	DMD_LS_WDATA	68 Ω ±10%
	DMD_LS_CLK	68 Ω ±10%
	DMD_DEN_ARSTZ	68 Ω ±10%
	DMD_LS_RDATA	68 Ω ±10%
	DMD_HS_WDATA_x_y	100 Ω ±10%
	DMD_HS_CLK_y	100 Ω ±10%
信号类型	DMD_LS_WDATA	以 DMD_LS_DCLK 为基准的 SDR (单一数据速率)
	DMD_LS_CLK	以 DMD_LS_DCLK 为基准的 SDR
	DMD_DEN_ARSTZ	SDR
	DMD_LS_RDATA	以 DMD_LS_DCLK 为基准的 SDR
	DMD_HS_WDATA_x_y	SubLVDS
	DMD_HS_CLK_y	SubLVDS

9.1.5 层变更

- 单端信号：尽可能减少层变更次数。
- 差分信号：可在不同的层上路由各个差分对。理想情况下，应确保给定差分对的信号不会改变各层。

9.1.6 残桩

- 避免使用残桩。

9.1.7 端接

- DMD_HS 差分信号无需外部端接电阻器。
- 确保 DMD_LS_CLK 和 DMD_LS_WDATA 信号路径在尽可能靠近对应控制器引脚的位置包含 43 Ω 串联端接电阻器。
- 确保 DMD_LS_RDATA 信号路径在尽可能靠近对应 DMD 引脚的位置包含 43 Ω 串联端接电阻器。
- DMD_DEN_ARSTZ 引脚无需串联电阻器。

9.1.8 布线过孔

- DMD_HS 信号上的过孔数量必须尽可能少，理想情况下不应超过两个。
- DMD_HS 上的所有过孔必须尽可能靠近控制器。
- DMD_LS_CLK 和 DMD_LS_WDATA 信号上的过孔数量必须尽可能少，理想情况下不应超过两个。
- DMD_LS_CLK 和 DMD_LS_WDATA 信号上的所有过孔必须尽可能靠近控制器。

9.1.9 散热注意事项

DLPC34xx 控制器的基本热限制是不超过最大工作结温 (T_J) (在 *建议运行条件* 中对此进行了定义)。

影响 T_J 的一些因素如下：

- 工作环境温度
- 气流
- PCB 设计 (包括元件布局密度和使用的铜量)
- DLPC34xx 控制器的功率耗散
- 周围元件的功率耗散

控制器封装主要设计用来通过 PCB 的电源平面和接地平面来提取热量。因此，铜含量和 PCB 上的气流是重要因素。

建议的最高工作环境温度 (T_A) 主要作为设计目标提供，并基于强制气流为 0m/s 时的最大 DLPC34xx 控制器功率耗散和 $R_{\theta JA}$ ，其中 $R_{\theta JA}$ 是使用 JEDEC 所定义的标准测试 PCB 测得的封装热阻，具有两个 1oz 电源层。该 JEDEC 测试 PCB 未必代表 DLPC34xx 控制器 PCB，因此所报告的热阻可能不是实际产品应用中的准确热阻。尽管实际热阻可能不同，但它是在设计阶段估算热性能的最可靠信息。TI 强烈建议在设计 PCB 和构建应用后测量及验证热性能。

为了评估热性能，在最坏的产品情况下 (最大功耗、最大电压、最大环境温度) 测量顶部中心外壳温度，并验证控制器是否不超过最大推荐外壳温度 (T_C)。此规格基于为 DLPC34xx 控制器封装测得的 ϕ_{JT} ，能够相对准确地反映与结温的关系。

测量这个外壳温度时要小心，以防止封装表面意外冷却。TI 建议使用小型 (大约 40 规度) 热电偶。放置磁珠和热电偶线，使其与封装顶部接触。用最少量的导热环氧树脂覆盖磁珠和热电偶导线。沿着封装和电路板表面紧密布置导线，避免通过导线冷却磁珠。

9.2 布局示例

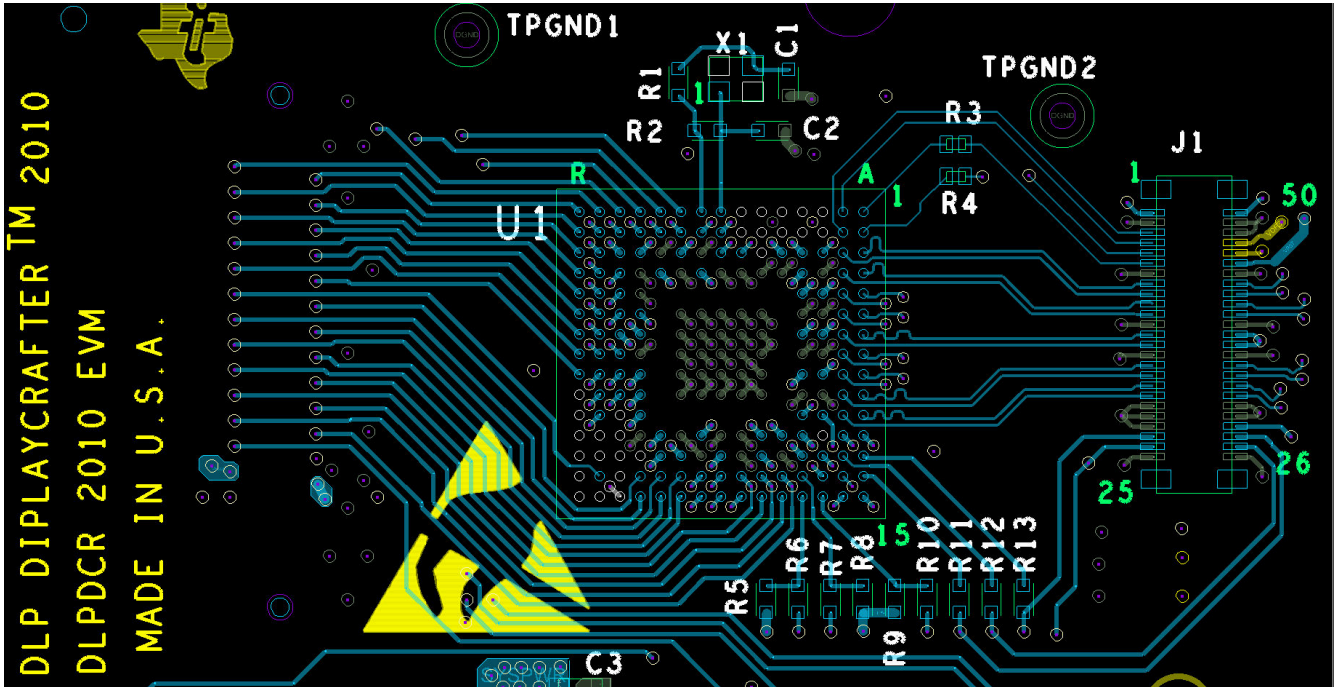


图 9-3. 布局建议

10 器件和文档支持

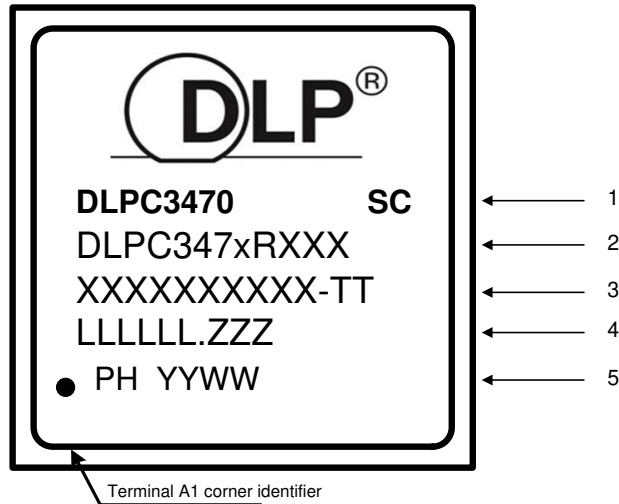
10.1 器件支持

10.1.1 第三方产品免责声明

TI 发布的与第三方产品或服务有关的信息，不能构成与此类产品或服务或保修的适用性有关的认可，不能构成此类产品或服务单独或与任何 TI 产品或服务一起的表示或认可。

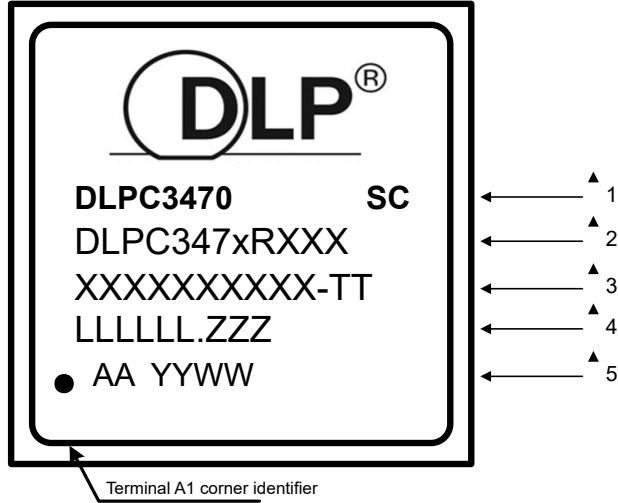
10.1.2 器件命名规则

10.1.2.1 器件标识



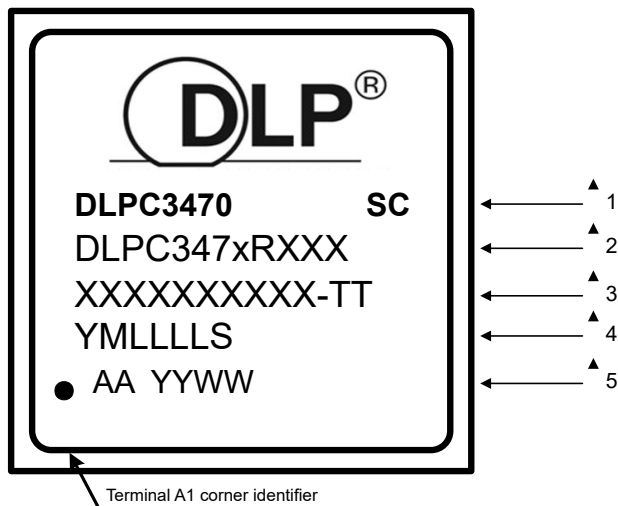
标识定义 A：

- 第 1 行： DLP® 器件名称：DLPC3470 器件名称 ID。
SC：焊球成分
e1：表示由 SnAgCu 组成的无铅焊球
G8：表示由银含量小于或等于 1.5% 的锡银铜 (SnAgCu) 组成的无铅焊球，并且塑封符合 TI 对绿色环保的定义。
- 第 2 行： TI 器件型号
DLP® 器件名称：DLPC347x = x 表示 0 器件名称 ID。
R 对应于 TI 器件修订版本号，例如 A、B 或 C。
XXX 对应于器件封装标识符。
- 第 3 行： XXXXXXXXXX-TT 制造商器件型号
- 第 4 行： LLLLLLLL.ZZZ 适用于半导体晶圆和无铅焊球标识的铸造批次代码
LLLLLLLL：晶圆厂批次号
ZZZ：批次拆分号
- 第 5 行： PH YYWW ES：封装组装信息
PH：制造工厂
YYWW：日期代码 (YY = 年 :: WW = 周)



标识定义 B :

- 第 1 行 : DLP® 器件名称 : DLPC3470 器件名称 ID。
SC : 焊球成分
e1 : 表示由 SnAgCu 组成的无铅焊球
G8 : 表示由银含量小于或等于 1.5% 的锡银铜 (SnAgCu) 组成的无铅焊球 , 并且塑封符合 TI 对绿色环保的定义。
- 第 2 行 : TI 器件型号
DLP® 器件名称 : DLPC347x = x 表示 0 器件名称 ID。
R 对应于 TI 器件修订版本号, 例如 A、B 或 C。
XXX 对应于器件封装标识符。
- 第 3 行 : XXXXXXXXXXXX-TT 制造商器件型号
- 第 4 行 : LLLLLLLL.ZZZ 适用于半导体晶圆和无铅焊球标识的铸造批次代码
LLLLLLLL : 晶圆厂批次号
ZZZ : 批次拆分号
- 第 5 行 : AA YYWW ES : 封装组信息
AA : 芯片原产国/地区
YYWW : 日期代码 (YY = 年 :: WW = 周)



标识定义 C :

DLPC3470

ZHCSI46D - APRIL 2018 - REVISED MARCH 2026

- 第 1 行 : DLP® 器件名称 : DLPC3470 器件名称 ID。
SC : 焊球成分
e1 : 表示由 SnAgCu 组成的无铅焊球
G8 : 表示由银含量小于或等于 1.5% 的锡银铜 (SnAgCu) 组成的无铅焊球 ,
并且塑封符合 TI 对绿色环保的定义。
- 第 2 行 : TI 器件型号
DLP® 器件名称 : DLPC347x = x 表示 0 器件名称 ID。
R 对应于 TI 器件修订版本号, 例如 A、B 或 C。
XXX 对应于器件封装标识符。
- 第 3 行 : XXXXXXXXXX-TT 制造商器件型号
- 第 4 行 : YMLLLLS 适用于半导体晶圆和无铅焊球标识的铸造批次代码
YM : 年月日代码
LLLLL : 晶圆厂批次号
- 第 5 行 : AA YYWW ES : 封装组装信息
AA : 芯片原产国/地区
YYWW : 日期代码 (YY = 年 :: WW = 周)

备注

- 工程原型样片在 TI 器件型号后标有 **X** 后缀。例如, 2512737-0001X。
 - 有关每个器件型号支持的 DMD 的 DLPC347x 分辨率, 请参阅。
-

10.1.3 视频时序参数定义

有关可视化描述，请参阅图 10-1。

每帧有效扫描行数 (ALPF)	定义包含可显示数据的一个帧中的线数量。ALPF 是 TLPF 的一个子集。
每行有效像素 (APPL)	定义包含可显示数据的一行中的像素时钟数量。APPL 是 TPPL 的一个子集。
水平后沿 (HBP) 消隐	定义水平同步活动边缘之后但第一个活动像素之前的空白像素时钟数。
水平前沿 (HFP) 消隐	定义最后一个活动像素之后但在水平同步之前的空白像素时钟数。
水平同步 (HS 或 Hsync)	定义水平间隔 (行) 开始的时序基准点。HS 信号的有效边沿定义绝对基准点。有效边沿 (源定义的上升沿或下降沿) 是测量所有水平消隐参数的基准。
每帧总行数 (TLPF)	每帧有效及无效行的总数; 定义垂直周期 (或帧时间)。
每行总像素 (TPPL)	每行有效和无效像素时钟的总数; 定义水平线周期, 以像素时钟为单位。
垂直同步 (VS 或 Vsync)	定义垂直间隔 (帧) 开始的时序基准点。这个绝对基准点由 VS 信号的有效边沿定义。有效边沿 (源定义的上升沿或下降沿) 是测量所有垂直消隐参数的基准。
垂直后沿 (VBP) 消隐	定义垂直同步有效边沿之后, 第一个有效行之前的消隐行数。
垂直前沿 (VFP) 消隐	定义最后一个有效行之后, 垂直同步有效边沿之前的消隐行数。

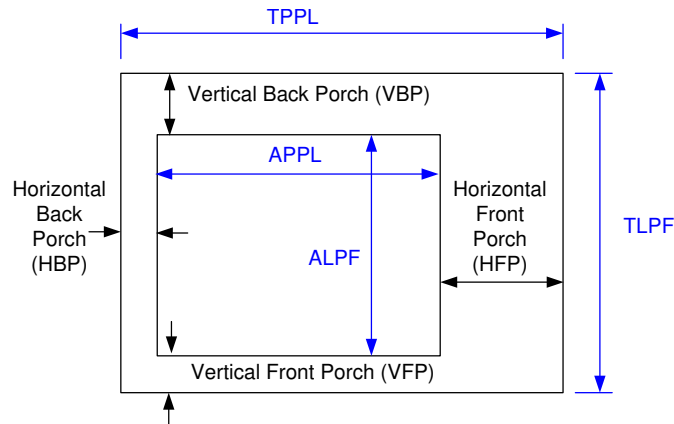


图 10-1. 参数定义

10.2 相关文档

下表列出了 DLP 芯片组相关器件的快速访问链接。

表 10-1. 芯片组文档

器件	产品文件夹	样片与购买	技术文档	工具和软件
DLPA2000	点击此处	点击此处	点击此处	点击此处
DLPA2005	点击此处	点击此处	点击此处	点击此处
DLPA3000	点击此处	点击此处	点击此处	点击此处
DLP2010LC	点击此处	点击此处	点击此处	点击此处
DLP2010NIR	点击此处	点击此处	点击此处	点击此处

10.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.4 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

10.5 商标

IntelliBright™, Pico™, and Link™ are trademarks of Texas Instruments.

TI E2E™ is a trademark of Texas Instruments.

DLP® and IntelliBright® are registered trademarks of Texas Instruments.

Arm® and Cortex® are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.

所有商标均为其各自所有者的财产。

10.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.7 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

11 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision C (December 2020) to Revision D (March 2026)	Page
• 添加了标识定义“B”和“C”	70

Changes from Revision B (June 2019) to Revision C (December 2020)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式	1
• 将输入帧速率更改为 240Hz	1
• 将像素时钟更改为 155MHz	1

• 更新了支持的 DMD.....	1
• 重新组织后的引脚功能说明.....	3
• 更新了绝对最大额定值.....	13
• 更新了“建议运行条件”.....	14
• 更新了电源电气特性.....	15
• 更新了节 5.6 表.....	16
• 更新了节 5.8 表.....	19
• 更新了节 5.9	20
• 更新了系统振荡器时序要求.....	21
• 更新了节 5.11 表.....	21
• 添加了图像“BT.656 接口模式位映射”.....	24
• 添加了闪存接口时序图.....	25
• 将最大 SPI 闪存大小更新为 128Mb.....	25
• 添加了 DMD Sub-LVDS 接口开关特性.....	26
• 添加了 DMD 停止开关特性.....	26
• 添加了芯片组元件使用规格.....	26
• 将“支持的分辨率和帧速率”中的帧速率范围更改为 242Hz.....	28

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DLPC3470CZEZ	Active	Production	NFBGA (ZEZ) 201	119 JEDEC TRAY (5+1)	Yes	SNAGCU	Level-3-260C-168Hrs	-30 to 85	(DLPC3470, DLPC3470 G8, DLPC3470 G8) DLPC3470CZEZ ECP292548C-10G
DLPC3470CZEZ.B	Active	Production	NFBGA (ZEZ) 201	119 JEDEC TRAY (5+1)	Yes	SNAGCU	Level-3-260C-168Hrs	-30 to 85	(DLPC3470, DLPC3470 G8, DLPC3470 G8) DLPC3470CZEZ ECP292548C-10G

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

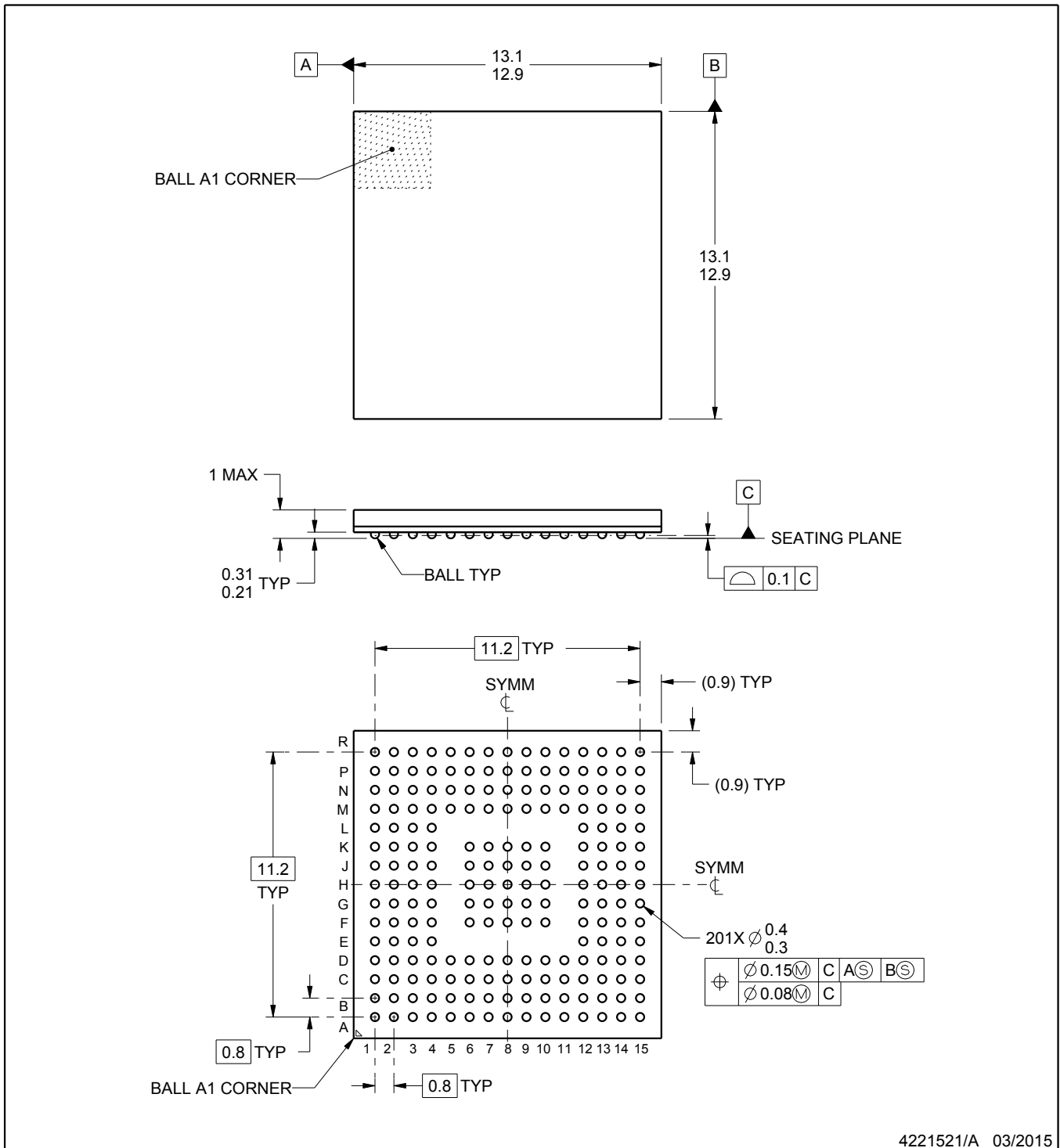
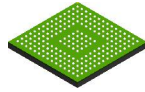
(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.



4221521/A 03/2015

NOTES:

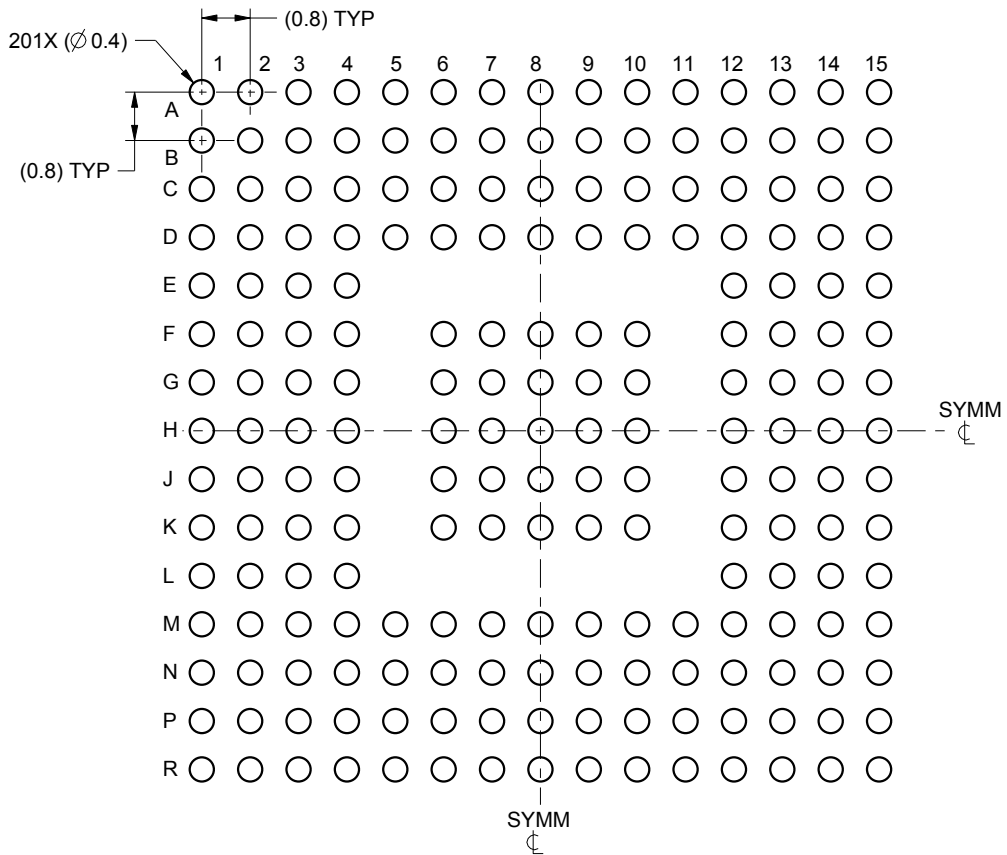
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

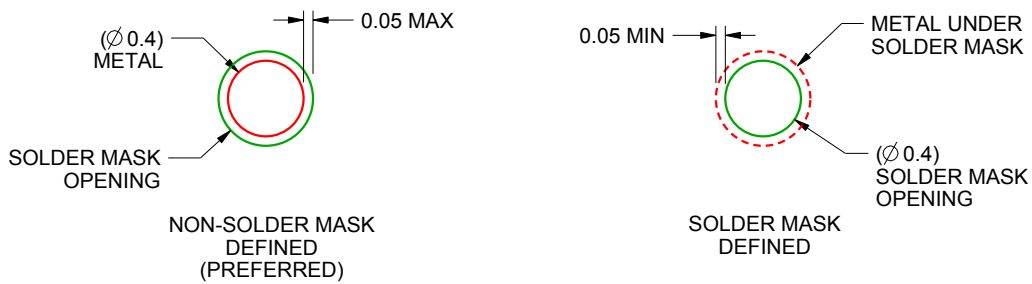
ZEZ0201A

NFBGA - 1 mm max height

PLASTIC BALL GRID ARRAY



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS
NOT TO SCALE

4221521/A 03/2015

NOTES: (continued)

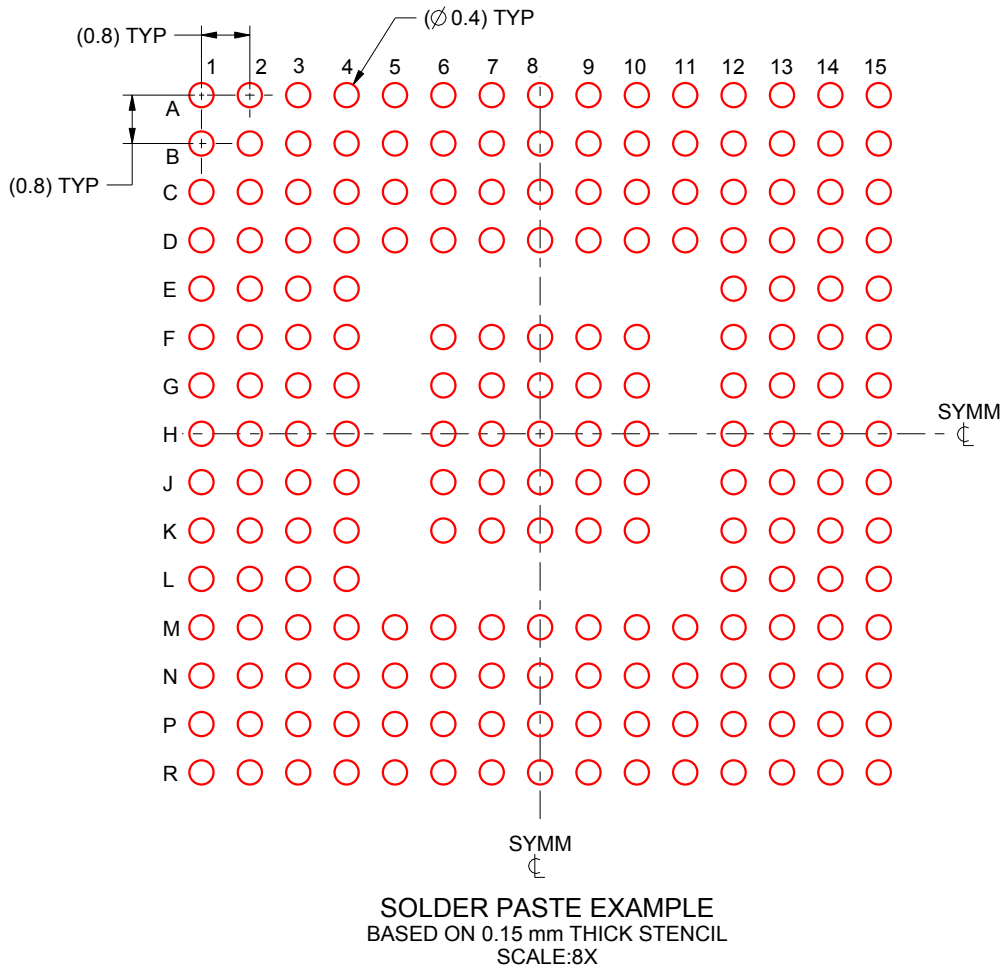
- Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. For information, see Texas Instruments literature number SPRAA99 (www.ti.com/lit/spraa99).

EXAMPLE STENCIL DESIGN

ZEZ0201A

NFBGA - 1 mm max height

PLASTIC BALL GRID ARRAY



4221521/A 03/2015

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月