

## DP83867IR/CR 稳健型高抗扰性 10/100/1000 以太网物理层收发器

### 1 特性

- 超低 RGMII 延迟, TX < 90ns, RX < 290ns
- 符合时间敏感网络 (TSN) 标准
- 低功耗: 457mW
- 超过 8000V IEC 61000-4-2 ESD 保护等级
- 符合 EN55011 B 类发射标准
- 在 RX/TX 上提供 16 种可编程 RGMII 延迟模式
- 集成 MDI 终端电阻器
- 可编程 MII/GMII/RGMII 端接阻抗
- WoL (局域网唤醒) 数据包检测
- 25MHz 或 125MHz 同步时钟输出
- IEEE 1588 时间戳帧起始检测
- RJ45 镜像模式
- 完全符合 IEEE 802.3 10BASE-Te、100BASE-TX 和 1000BASE-T 规范
- 电缆诊断
- MII、GMII 和 RGMII MAC 接口选项
- 可配置 I/O 电压 (3.3V、2.5V、1.8V)
- 快速链路断开模式
- JTAG 支持

### 2 应用

- 电机驱动器
- 工厂自动化
- 现场总线支持
- 工业嵌入式计算
- 有线和无线通信基础设施
- 测试和测量
- 消费类电子产品

### 3 说明

DP83867 器件是一款稳健型低功耗多功能物理层收发器, 它集成了 PMD 子层以支持 10BASE-Te、100BASE-TX 和 1000BASE-T 以太网协议。DP83867 经优化可提供 ESD 保护, 超过了 8kV IEC 61000-4-2 标准 (直接接触)。

DP83867 可轻松实现 10/100/1000Mbps 以太网 LAN。DP83867 通过外部变压器直接连接双绞线介质。该器件通过 IEEE 802.3 标准媒体独立接口 (MII)、IEEE 802.3 千兆位媒体独立接口 (GMII) 或简化 GMII (RGMII) 直接与 MAC 层相连。QFP 封装支持 MII/GMII/RGMII, 而 QFN 封装支持 RGMII。

DP83867 提供精确时钟同步, 其中包括同步以太网时钟输出。DP83867 具有低延迟, 并提供 IEEE 1588 帧起始检测。

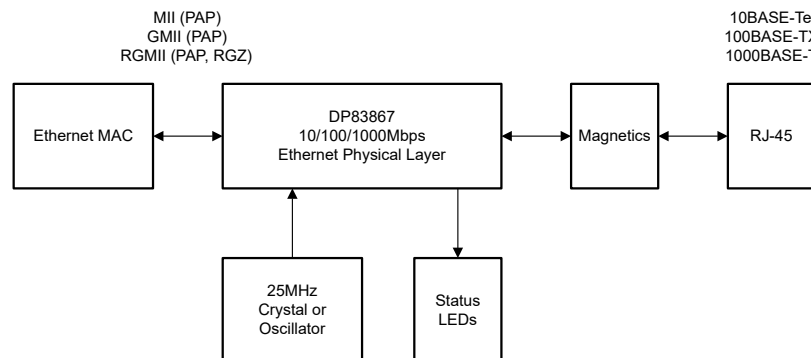
DP83867 满功率运行时仅消耗 490mW (PAP) 和 457mW (RGZ)。局域网唤醒可用于降低系统功耗。

#### 封装信息

器件型号	温度	封装 <sup>(1)</sup>	封装尺寸 <sup>(2)</sup>
DP83867IRPA P	-40°C 至 +85°C	PAP (HTQFP, 64)	12mm × 12mm
DP83867IRRG Z	-40°C 至 +85°C	RGZ (VQFN, 48)	7mm × 7mm
DP83867CRR GZ	0°C 至 +70°C	RGZ (VQFN, 48)	7mm × 7mm

(1) 有关所有可用封装, 请参阅节 12。

(2) 封装尺寸 (长 × 宽) 为标称值, 并包括引脚 (如适用)。



## 内容

<b>1 特性</b> .....	1	6.17 时序图	15
<b>2 应用</b> .....	1	6.18 典型特性	20
<b>3 说明</b> .....	1	<b>7 详细说明</b> .....	21
<b>4 器件比较</b> .....	3	7.1 概述	21
<b>5 引脚配置和功能</b> .....	4	7.2 功能方框图	22
5.1 未使用的引脚	8	7.3 特性说明	23
<b>6 规格</b> .....	9	7.4 器件功能模式	27
6.1 绝对最大额定值	9	7.5 编程	40
6.2 ESD 等级	9	<b>8 寄存器</b> .....	48
6.3 建议运行条件	9	<b>9 应用和实施</b> .....	112
6.4 热性能信息	10	9.1 应用信息	112
6.5 电气特性	10	9.2 典型应用	112
6.6 上电时序	12	9.3 电源相关建议	117
6.7 复位时序	12	9.4 布局	120
6.8 MII 串行管理时序	12	<b>10 器件和文档支持</b> .....	123
6.9 RGMII 时序	12	10.1 文档支持	123
6.10 GMII 发送时序	13	10.2 接收文档更新通知	123
6.11 GMII 接收时序	13	10.3 支持资源	123
6.12 100Mbps MII 传输时序	14	10.4 商标	123
6.13 100Mbps MII 接收时序	14	10.5 静电放电警告	123
6.14 10Mbps MII 传输时序	14	10.6 术语表	123
6.15 10Mbps MII 接收时序	14	<b>11 修订历史记录</b> .....	123
6.16 DP83867IR/CR 帧起始检测时序	15	<b>12 机械、封装和可订购信息</b> .....	124

## 4 器件比较

表 4-1. 器件特性比较

器件	MAC	温度范围		温度等级
DP83867CRRGZ	RGMII	0°C	70°C	商用级
DP83867IRRGZ	RGMII	-40°C	85°C	工业
DP83867IRPAP	MII/GMII/RGMII	-40°C	85°C	工业

## 5 引脚配置和功能

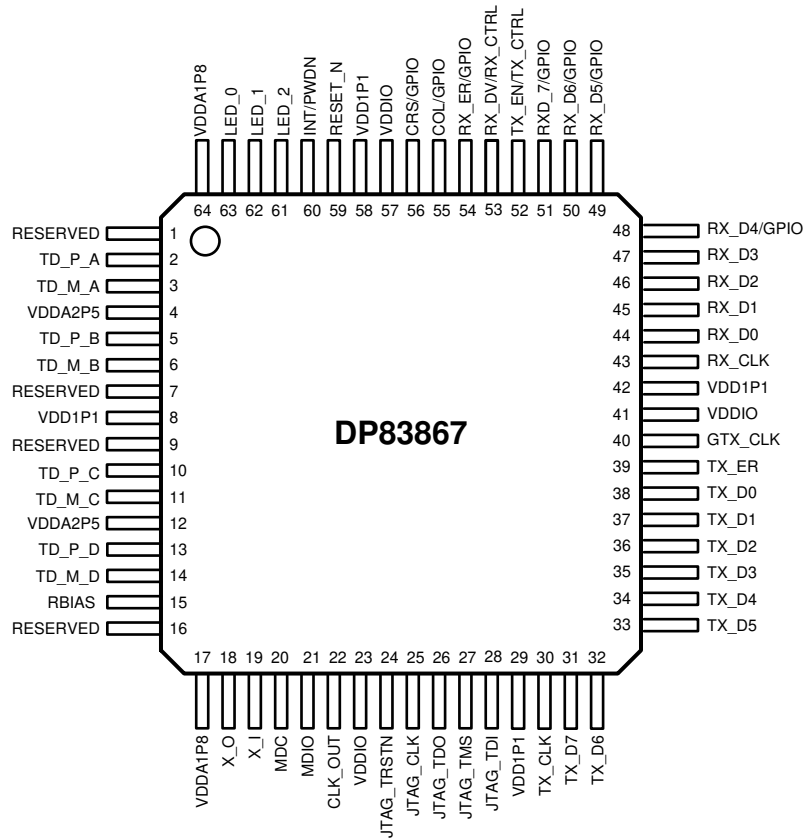


图 5-1. PAP 封装  
64 引脚 HTQFP  
俯视图

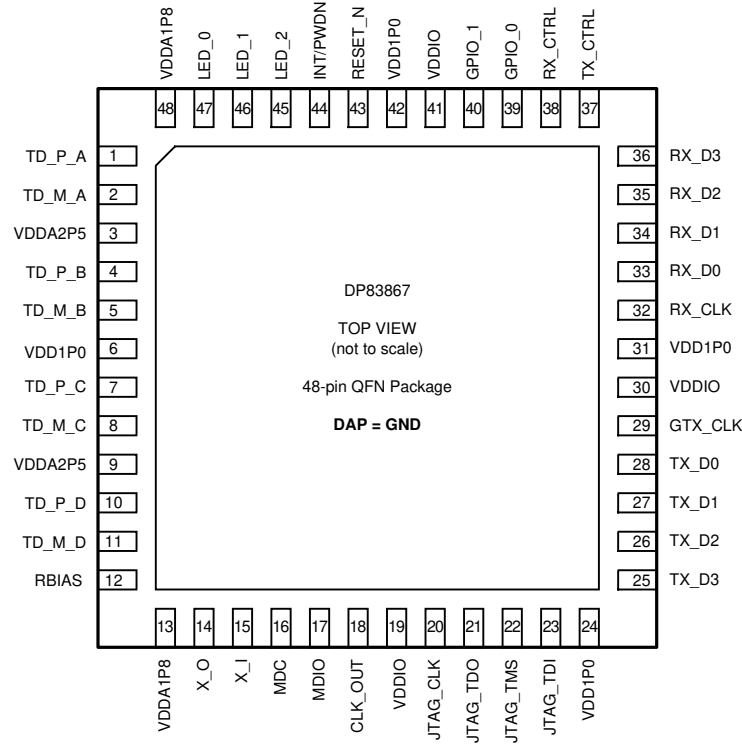


图 5-2. RGZ 封装  
48 引脚 QFN  
顶视图

表 5-1. 引脚功能

引脚		类型 <sup>(1)</sup>	说明	
名称	HTQFP			VQFN
<b>MAC 接口</b>				
TX_CLK	30		MII 发送时钟：TX_CLK 是 PHY 在 10Mbps 或 100Mbps MII 模式下驱动的不断时钟信号。TX_CLK 在时钟沿将数据或错误从 MAC 层发送到 PHY。在 10BASE-Te 模式下，TX_CLK 时钟频率为 2.5MHz，在 100BASE-TX 模式下为 25MHz。	
TX_D7	31	I, PD	GMII 发送数据位 7：该信号在 GMII 模式下将数据从 MAC 端传输至 PHY 端。该引脚同步到发送时钟 GTX_CLK。	
TX_D6	32	I, PD	GMII 发送数据位 6：该信号在 GMII 模式下将数据从 MAC 端传输至 PHY 端。该引脚同步到发送时钟 GTX_CLK。	
TX_D5	33	I, PD	GMII 发送数据位 5：该信号在 GMII 模式下将数据从 MAC 端传输至 PHY 端。该引脚同步到发送时钟 GTX_CLK。	
TX_D4	34	I, PD	GMII 发送数据位 4：该信号在 GMII 模式下将数据从 MAC 端传输至 PHY 端。该引脚同步到发送时钟 GTX_CLK。	
TX_D3	35	25	I, PD	发送数据位 3：该信号在 GMII、RGMII 和 MII 模式下将数据从 MAC 端传输至 PHY 端。在 GMII 和 RGMII 模式中，该引脚与发送时钟 GTX_CLK 同步。在 MII 模式下，该引脚与发送时钟 TX_CLK 同步。
TX_D2	36	26	I, PD	发送数据位 2：该信号在 GMII、RGMII 和 MII 模式下将数据从 MAC 端传输至 PHY 端。在 GMII 和 RGMII 模式中，该引脚与发送时钟 GTX_CLK 同步。在 MII 模式下，该引脚与发送时钟 TX_CLK 同步。
TX_D1	37	27	I, PD	发送数据位 1：该信号在 GMII、RGMII 和 MII 模式下将数据从 MAC 端传输至 PHY 端。在 GMII 和 RGMII 模式中，该引脚与发送时钟 GTX_CLK 同步。在 MII 模式下，该引脚与发送时钟 TX_CLK 同步。

表 5-1. 引脚功能 (续)

引脚			类型 <sup>(1)</sup>	说明
名称	HTQFP	VQFN		
TX_D0	38	28	I, PD	发送数据位 0：该信号在 GMII、RGMII 和 MII 模式下将数据从 MAC 端传输至 PHY 端。在 GMII 和 RGMII 模式中，该引脚与发送时钟 GTX_CLK 同步。在 MII 模式下，该引脚与发送时钟 TX_CLK 同步。
TX_ER	39		I, PD	GMII 发送错误：此信号在 GMII 模式中用于强制 PHY 发送无效符号。TX_ER 信号与 GMII 发送时钟 GTX_CLK 同步。 在 MII 4B 半字节模式下，控制器将发送错误置为有效会导致 PHY 发出无效符号，然后是停止 (H) 符号，直到发生置为无效。 在 GMII 模式下，置位会使 PHY 发出一个或多个代码组，这些代码组在发送的帧中是无效数据或定界符。
GTX_CLK	40	29	I, PD	GMII 和 RGMII 发送时钟：该连续时钟信号由 MAC 层提供给 PHY。标称频率为 125MHz。
RX_CLK	43	32	O	接收时钟：为不同工作模式提供恢复后的接收时钟： 10Mbps 模式下为 2.5MHz。 100Mbps 模式下为 25MHz。 1000Mbps GMII 和 RGMII 模式下为 125MHz。
RX_D0	44	33	S, O, PD	接收数据位 0：该信号在 GMII、RGMII 和 MII 模式下将数据从 PHY 端传输至 MAC 端。该引脚同步到接收时钟 RX_CLK。
RX_D1	45	34	O, PD	接收数据位 1：该信号在 GMII、RGMII 和 MII 模式下将数据从 PHY 端传输至 MAC 端。该引脚同步到接收时钟 RX_CLK。
RX_D2	46	35	S, O, PD	接收数据位 2：该信号在 GMII、RGMII 和 MII 模式下将数据从 PHY 端传输至 MAC 端。该引脚同步到接收时钟 RX_CLK。
RX_D3	47	36	O, PD	接收数据位 3：该信号在 GMII、RGMII 和 MII 模式下将数据从 PHY 端传输至 MAC 端。该引脚同步到接收时钟 RX_CLK。
RX_D4	48		S, O, PD	接收数据位 4：该信号在 GMII 模式下将数据从 PHY 端传输至 MAC 端。该引脚同步到接收时钟 RX_CLK。
RX_D5	49		S, O, PD	接收数据位 5：该信号在 GMII 模式下将数据从 PHY 端传输至 MAC 端。该引脚同步到接收时钟 RX_CLK。
RX_D6	50		S, O, PD	接收数据位 6：该信号在 GMII 模式下将数据从 PHY 端传输至 MAC 端。该引脚同步到接收时钟 RX_CLK。
RX_D7	51		S, O, PD	接收数据位 7：该信号在 GMII 模式下将数据从 PHY 端传输至 MAC 端。该引脚同步到接收时钟 RX_CLK。
TX_EN/TX_CTRL	52	37	I, PD	发送启用或发送控制：在 MII 或 GMII 模式下，它是来自 MAC 层的高电平有效输入，用于指示 TXD 上存在传输数据。 在 RGMII 模式下，该引脚使用时钟的双沿组合 GMII 模式的发送使能和发送错误信号。
RX_DV / RX_CTRL (需要 Strap 配置)	53	38	S, O, PD	接收数据有效或接收控制：在 MII 和 GMII 模式下，该引脚会置为高电平有效，表示 MII 模式下的相应 RXD[3:0] 和 GMII 模式下的 RXD[7:0] 上存在有效数据。 在 RGMII 模式下，接收数据有效信号和接收错误信号合并为 RXDV_ER，利用接收时钟 (RX_CLK) 的上升沿和下降沿进行双边沿传输。
RX_ER / GPIO	54		O, PD	接收错误：在 10Mbps、100Mbps 和 1000Mbps 模式下，此高电平有效输出表示 PHY 已检测到接收错误。RX_ER 信号与接收时钟 (RX_CLK) 同步。 在 RGMII 中，不使用 RX_ER 引脚。
COL / GPIO	55		O, PD	碰撞检测：置为高电平有效以指示在半双工模式下检测到冲突条件 (由于同时发送和接收活动而导致 CRS 置为有效)。该信号与 MII 时钟 (GTX_CLK、TX_CLK 或 RX_CLK) 不同步。 该信号未定义，在全双工模式下保持低电平。 在 RGMII 模式下，COL 不使用。

**表 5-1. 引脚功能 (续)**

引脚			类型 <sup>(1)</sup>	说明
名称	HTQFP	VQFN		
CRS	56		S, O, PD	载波侦听: CRS 被置为高电平有效, 以指示在半双工模式下由于接收或发送活动而存在载波。 对于 10BASE-T <sub>e</sub> 和 100BASE-TX 全双工操作, 当检测到接收到的数据包时, CRS 将置为有效。1000BASE-T 全双工模式未定义此信号。 在 RGMII 模式下, CRS 不使用。
<b>通用 I/O</b>				
GPIO_0		39	S, O, PD	通用 I/O: 该信号提供一个多功能可配置 I/O。有关详细信息, 另请参阅 GPIO_MUX_CTRL 寄存器。
GPIO_1		40	S, O, PD	通用 I/O: 该信号提供一个多功能可配置 I/O。有关详细信息, 另请参阅 GPIO_MUX_CTRL 寄存器。
<b>管理接口</b>				
MDC	20	16	I, PD	管理数据时钟: MDIO 串行管理输入/输出数据的同步时钟。该时钟可以与 MAC 发送与接收时钟异步。最大时钟速率为 25MHz, 无最小值。
MDIO	21	17	I/O	管理数据 I/O: 双向管理指令/数据信号, 可在通信期间由管理站或 PHY 发出。该引脚需要上拉电阻器。IEEE 指定的电阻值为 1.5k $\Omega$ , 但 2.2k $\Omega$ 是可以接受的。
INT / PWDN	60	44	I/O, PU	中断/断电: 该引脚的默认功能是断电。 断电: 将该信号置位为低电平可使器件进入断电工作模式。在此模式下, 器件会处于断电状态并消耗最小功率。可通过管理接口访问寄存器, 以配置器件并使其上电。 中断: 该引脚可以编程为中断输出而不是断电输入。在该模式下, 使用该引脚将中断置为低电平。将此引脚用作中断引脚时, 该引脚采用开漏架构。要将该引脚用作中断机制, 需要访问寄存器。将该引脚用作中断引脚时, 建议使用一个连接到 VDDIO 电源的外部 2.2k $\Omega$ 。
<b>复位</b>				
RESET_N	59	43	I, PU	复位: 低电平有效重置将初始化或重新初始化 DP83867。所有内部寄存器在 RESET 置为有效时重新初始化为默认状态。RESET 输入必须保持低电平至少 1 $\mu$ s。
<b>时钟接口</b>				
XI	19	15	I	晶体/振荡器输入: 25MHz 振荡器或晶体输入(50ppm)
XO	18	14	O	晶体输出: 25MHz 晶体的第二接线端。若使用时钟振荡器, 则须保持悬空。
CLK_OUT	22	18	O	时钟输出: 输出时钟
<b>JTAG 接口</b>				
JTAG_CLK	25	20	I, PU	JTAG 测试时钟: 符合 IEEE 1149.1 标准的测试时钟输入, 所有测试逻辑输入和输出的主时钟源, 由测试实体控制。支持最大时钟频率为 2.5MHz。
JTAG_TDO	26	21	O	JTAG 测试数据输出: 符合 IEEE 1149.1 标准的测试数据输出引脚, 最新测试结果通过 TDO 从器件中扫描输出。
JTAG_TMS	27	22	I, PU	JTAG 测试模式选择: 符合 IEEE 1149.1 标准的测试模式选择引脚, TMS 引脚为 TAP 控制器 (16 状态 FSM) 提供时序控制, 用以选择所需测试指令。
JTAG_TDI	28	23	I, PU	JTAG 测试数据输入: 符合 IEEE 1149.1 标准的测试数据输入引脚, 测试数据通过 TDI 扫描输入到器件中。
JTAG_TRSTN	24		I, PU	JTAG 测试复位: IEEE 1149.1 测试复位引脚, 低电平有效复位提供 Tap 控制器的异步复位。此复位对器件寄存器没有影响。
<b>LED 接口</b>				
LED_2	61	45	S, I/O, PD	LED_2: 默认情况下, 此引脚表示接收或发送活动。其他功能可通过 LEDCR1[11:8] 寄存器位配置。 注意: 此引脚是仅用于 RGZ 器件的 Strap 配置引脚。

表 5-1. 引脚功能 (续)

引脚			类型 <sup>(1)</sup>	说明
名称	HTQFP	VQFN		
LED_1	62	46	S, I/O, PD	LED_1: 默认情况下, 此引脚表示 1000BASE-T 链接已建立。其他功能可通过 LEDCR1[7:4] 寄存器位配置。
LED_0	63	47	S, I/O, PD	LED_0: 默认情况下, 此引脚指示链路已建立。其他功能可通过 LEDCR1[3:0] 寄存器位配置。
<b>媒体相关接口</b>				
TD_P_A	2	1	A	差分发送和接收信号
TD_M_A	3	2	A	差分发送和接收信号
TD_P_B	5	4	A	差分发送和接收信号
TD_M_B	6	5	A	差分发送和接收信号
TD_P_C	10	7	A	差分发送和接收信号
TD_M_C	11	8	A	差分发送和接收信号
TD_P_D	13	10	A	差分发送和接收信号
TD_M_D	14	11	A	差分发送和接收信号
<b>其他引脚</b>				
保留	1、7、9、16		A	保留
RBIAS	15	12	A	偏置电阻连接。可从 RBIAS 引脚对地连接一个 11k $\Omega$ $\pm$ 1% 的电阻。
<b>电源和接地引脚</b>				
VDDIO	23、41、57	19、30、41	P	I/O 电源: 1.8V ( $\pm$ 5%)、2.5V ( $\pm$ 5%) 或 3.3V ( $\pm$ 5%)。每个引脚均需对地连接 1 $\mu$ F 和 0.1 $\mu$ F 电容
VDDA1P8	17、64	13、48	P	1.8V 模拟电源 ( $\pm$ 5%)。 该引脚无需外部电源。不使用时, 该引脚不得连接任何电路。 为了进一步节能, 可将一个外部 1.8V 电源连接到这些引脚。使用外部电源时, 每个引脚均需对地连接 1 $\mu$ F 和 0.1 $\mu$ F 电容。
VDDA2P5	4、12	3、9	P	2.5V 模拟电源 ( $\pm$ 5%)。每个引脚均需对地连接 1 $\mu$ F 和 0.1 $\mu$ F 电容
VDD1P1	8、29、42、58		P	1.1V 模拟电源 ( $\pm$ 5%)。每个引脚均需对地连接 1 $\mu$ F 和 0.1 $\mu$ F 电容
VDD1P0		6、24、31、42	P	1.0V 模拟电源 (+15.5%, -5%)。每个引脚均需对地连接 1 $\mu$ F 和 0.1 $\mu$ F 电容
GND	裸片连接焊盘	裸片连接焊盘	P	接地

(1) 这些引脚的功能定义如下。

- 类型 I: 输入
- 类型 O: 输出
- 类型 I/O: 输入/输出
- 类型 PD 或 PU: 内部下拉或上拉
- 类型 S: 搭接配置引脚
- 类型 A: 模拟引脚

## 5.1 未使用的引脚

DP83867 在大多数引脚上都有内部上拉或下拉电阻。该数据表详细介绍了哪些引脚具有内部上拉或下拉电阻器, 哪些引脚需要外部拉电阻器。

尽管器件可能具有内部上拉或下拉电阻, 但一个好的做法是端接未使用的输入, 而不是允许输入悬空。悬空输入会导致不稳定的情况。此建议不适用于 VDD1P8 引脚。未使用时, 将这些引脚保持悬空状态。使用上拉或下拉电阻器将未使用的输入引脚拉高或拉低是种更安全的做法。另一种可能性是将相邻未使用的输入引脚组合在一起, 作为一个组, 使用单个电阻器将它们上拉或下拉。

## 6 规格

### 6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) <sup>(1)</sup>

		最小值	最大值	单位	
电源电压	VDDA2P5	-0.3	3	V	
	VDDA1P8	-0.3	2.1		
	(VDD1P1/VDD1P0)	-0.3	1.3		
	VDDIO	3.3V 选项	-0.3		3.8
		2.5V 选项	-0.3		3
1.8V 选项		-0.3	2.1		
引脚	MDI	-0.3	6.5	V	
	MAC 接口、MDIO、MDC、GPIO	-0.3	VDDIO + 0.3		
	INT/PWDN、RESET	-0.3	VDDIO + 0.3		
	JTAG	-0.3	VDDIO + 0.3		
	XI (振荡器时钟输入)	-0.3	2.1	V	
贮存温度, T <sub>stg</sub>		-60	150	°C	

(1) 超出绝对最大额定值运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议的工作条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用, 器件可能不会完全正常运行, 这可能影响器件的可靠性、功能和性能并缩短器件寿命。

### 6.2 ESD 等级

			值	单位
V <sub>(ESD)</sub> 静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/ JEDEC JS-001 标准 <sup>(1)</sup>	除媒体相关接口引脚外的所有引脚	±2500	V
		媒体相关接口引脚 (IRPAP/ IRRGZ) <sup>(2)</sup>	±8000	
		媒体相关接口引脚 (CRRGZ)	±6000	
	充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101 <sup>(3)</sup>		±1500 (RGZ) ±750 (PAP)	

(1) JEDEC 文档 JEP155 指出: 500V HBM 时能够在标准 ESD 控制流程下安全生产。若部署必要的预防措施, 不足 500V HBM 时也能进行生产。列为 ±8V 和/或 ±2V 的引脚实际上可能具有较高的性能。

(2) 按照 IEC 61000-4-2 标准测试 MDI 引脚。

(3) JEDEC 文档 JEP157 指出: 250V CDM 时能够在标准 ESD 控制流程下安全生产。若部署必要的预防措施, 不足 250V CDM 时也能进行生产。列为 ±500V 的引脚实际上可能具有更高的性能。

### 6.3 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明)

		最小值	典型值	最大值	单位	
电源电压	VDDA2P5	2.375	2.5	2.625	V	
	VDDA1P8	1.71	1.8	1.89		
	VDD1P1 (PAP)	1.045	1.1	1.155		
	VDD1P0 (RGZ)	0.95	1	1.155		
	VDDIO	3.3V 选项	3.15	3.3		3.45
		2.5V 选项	2.375	2.5		2.625
		1.8V 选项	1.71	1.8		1.89

### 6.3 建议运行条件 (续)

在自然通风条件下的工作温度范围内测得 (除非另有说明)

		最小值	典型值	最大值	单位
自然通风条件下的工作温度范围	商用 (DP83867CRRGZ)	0	25	70	°C
		-40	25	85	°C
工作结温	商用 (DP83867CRRGZ)	0		90	°C
	工业 (DP83867IRRGZ)	-40		105	°C
	工业 (DP83867IRPAP)				

### 6.4 热性能信息

热指标 <sup>(1)</sup>		DP83867IR	DP83867IR、 DP83867CR	单位
		PAP (HTQFP)	RGZ (QFN)	
		64 引脚	48 引脚	
$R_{\theta JA}$	结至环境热阻	30.9	30.8	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	13.6	18.7	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	0.9	1.4	°C/W
$R_{\theta JB}$	结至电路板热阻	15.6	7.5	°C/W
$\psi_{JT}$	结至顶部特征参数	0.4	0.3	°C/W
$\psi_{JB}$	结至电路板特征参数	15.5	7.5	°C/W

(1) 有关新旧热指标的更多信息, 请参阅 [半导体和 IC 封装热指标](#) 应用手册。

### 6.5 电气特性

除非另外注明, 否则本部分规定的电气额定值适用于本文档的所有规格。这些规格可解释为在器件的使用寿命范围内, 不会导致器件参数或功能规格下降的各项条件。

参数	测试条件	最小值	典型值	最大值	单位
<b>3.3V V<sub>DDIO</sub></b>					
V <sub>OH</sub>	高电平输出电压	I <sub>OH</sub> = -4mA	2		V
V <sub>OL</sub>	低电平输出电压	I <sub>OL</sub> = 4mA		0.6	V
V <sub>IH</sub>	高电平输入电压		1.7		V
V <sub>IL</sub>	低电平输入电压			0.7	V
<b>2.5V V<sub>DDIO</sub></b>					
V <sub>OH</sub>	高电平输出电压	I <sub>OH</sub> = -4mA	V <sub>DDIO</sub> × 0.8		V
V <sub>OL</sub>	低电平输出电压	I <sub>OL</sub> = 4mA		0.6	V
V <sub>IH</sub>	高电平输入电压		1.7		V
V <sub>IL</sub>	低电平输入电压			0.7	V
<b>1.8V V<sub>DDIO</sub></b>					
V <sub>OH</sub>	高电平输出电压	I <sub>OH</sub> = -1mA	V <sub>DDIO</sub> -0.2		V
V <sub>OL</sub>	低电平输出电压	I <sub>OL</sub> = 1mA		0.2	V
V <sub>IH</sub>	高电平输入电压		0.7 × V <sub>DDIO</sub>		V
V <sub>IL</sub>	低电平输入电压			0.2 × V <sub>DDIO</sub>	V
<b>XI 输入电压</b>					
V <sub>OSC</sub>	25MHz 振荡器的输入电压		1.5	1.9	V <sub>pp</sub>
V <sub>IH</sub>	高电平输入电压		1.4		V
V <sub>IL</sub>	低电平输入电压			0.45	V

## 6.5 电气特性 (续)

除非另外注明，否则本部分规定的电气额定值适用于本文档的所有规格。这些规格可解释为在器件的使用寿命范围内，不会导致器件参数或功能规格下降的各项条件。

参数	测试条件	最小值	典型值	最大值	单位	
<b>DC 特性</b>						
I <sub>IH</sub>	输入高电流	V <sub>IN</sub> = V <sub>DD</sub> 、T <sub>A</sub> = -40°C 至 +85°C	-10		10 μA	
I <sub>IL</sub>	输入低电流	V <sub>IN</sub> = GND、T <sub>A</sub> = -40°C 至 +85°C	-10		10 μA	
I <sub>OZ</sub>	三态输出电流	V <sub>OUT</sub> = V <sub>DD</sub> 、V <sub>OUT</sub> = GND、T <sub>A</sub> = -40°C 至 +85°C	-10		10 μA	
C <sub>IN</sub>	输入电容	请参阅 (1)		5	pF	
V <sub>OD</sub>	SGMII					
<b>PMD 输出</b>						
V <sub>OD-10</sub>	MDI	IRPAP/IRRGZ	1.54	1.75	1.96	V 峰值 差动
		CRRGZ		1.75		
V <sub>OD-100</sub>	MDI	IRPAP/IRRGZ	0.95	1	1.05	V 峰值 差动
		CRRGZ		1		
V <sub>OD-1000</sub>	MDI	IRPAP/IRRGZ	0.67	0.745	0.82	V 峰值 差动
		CRRGZ		0.745		
<b>功耗</b>						
<b>PAP</b>						
P1000	功耗，2 个电源 (2) (3)		530		mW	
P1000	功耗，可选的第 3 个电源 (2) (3)		490		mW	
IDD25	电源电流，2 个电源		141		mA	
IDD11			125		mA	
IDDIO (1.8V)			22		mA	
IDD25	电源电流，可选的第 3 个电源		90		mA	
IDD11			125		mA	
IDD18			51		mA	
IDDIO (1.8V)			19		mA	
<b>RGZ</b>						
P1000	功耗，2 个电源 (2) (3)		495		mW	
P1000	功耗，可选的第 3 个电源 (2) (3)		457		mW	
IDD25	电源电流，2 个电源		137		mA	
IDD10			108		mA	
IDDIO (1.8V)			24		mA	
IDD25	电源电流，可选的第 3 个电源		86		mA	
IDD10			108		mA	
IDD18			50		mA	
IDDIO (1.8V)			24		mA	

- (1) 由生产测试、特性或设计指定。  
(2) 功耗表示 1000BASE-T 的总运行功耗。  
(3) 有关双电源和三电源配置的详细信息，请参阅 节 9.3。

## 6.6 上电时序

请参阅图 6-1。

参数	测试条件 <sup>(1)</sup>	最小值	标称值	最大值	单位
T1	MDC 前导码之前的上电后稳定时间, 用于寄存器访问		200		ms
T2	上电后的硬件配置锁存时间		200		ms
T3	硬件配置引脚转换为输出驱动器		64		ns

(1) 由生产测试、特性或设计指定。

## 6.7 复位时序

请参阅图 6-2。

参数	测试条件 <sup>(1)</sup>	最小值	标称值	最大值	单位
T1	用于寄存器访问的 MDC 前导码前 RESET 后稳定时间		195		μs
T2	从 RESET 置为无效 (软复位或硬复位) 起的硬件配置锁存时间		120		ns
T3	硬件配置引脚转换为输出驱动器		64		ns
T4	RESET 脉冲宽度	1			μs

(1) 由生产测试、特性或设计指定。

## 6.8 MII 串行管理时序

请参阅图 6-3。

参数	测试条件 <sup>(1)</sup>	最小值	标称值	最大值	单位
T1	MDC 至 MDIO (输出) 延迟时间	0		10	ns
T2	MDIO (输入) 至 MDC 建立时间	10			ns
T3	MDIO (输入) 至 MDC 保持时间	10			ns
T4	MDC 频率		2.5	25	MHz

(1) 由生产测试、特性或设计指定。

## 6.9 RGMII 时序

请参阅图 6-4 和图 6-5

参数	测试条件 <sup>(1)</sup>	最小值	标称值	最大值	单位
T <sub>skewT</sub>	数据到时钟输出偏斜 (在变送器处)	-500	0	500	ps
T <sub>skewR</sub>	数据到时钟输入偏斜 (在接收器处)	1	1.8	2.6	ns
T <sub>setupT</sub>	数据到时钟输出设置 (在变送器处 - 内部延迟)	1.2	2		ns
T <sub>holdT</sub>	时钟到数据输出保持 (在变送器处 - 内部延迟)	1.2	2		ns
T <sub>setupR</sub>	数据到时钟输入设置 (在接收器处 - 内部延迟)	1	2		ns
T <sub>holdR</sub>	时钟到数据输入保持 (在接收器处 - 内部延迟)	1	2		ns

## 6.9 RGMII 时序 (续)

请参阅图 6-4 和图 6-5

参数	测试条件 <sup>(1)</sup>	最小值	标称值	最大值	单位
T <sub>cyc</sub> 时钟周期时长	请参阅 (4)	7.2	8	8.8	ns
Duty_G 千兆位的占空比	请参阅 (5) (6)	45	50	55%	
Duty_T 10/100T 的占空比	请参阅 (5) (6)	40	50	60%	
T <sub>R</sub> 上升时间 (20% 至 80%)				0.75	ns
T <sub>F</sub> 下降时间 (20% 至 80%)				0.75	ns
T <sub>TXLAT</sub> RGMII 至 MDI 延迟	请参阅 (7)		88		ns
T <sub>RXLAT</sub> MDI 至 RGMII 延迟	请参阅 (7)		288		ns

- (1) 由生产测试、特性或设计指定。
- (2) 在没有 RGMII 内部延迟的情况下运行时，PCB 设计要求路由时钟，以向相关时钟信号添加大于 1.5ns 的额外布线延迟。
- (3) 器件可在有或无内部延迟的情况下运行。
- (4) 对于 10Mbps 和 100Mbps，T<sub>cyc</sub> 可调整为 400ns ± 40ns 和 40ns ± 4ns。
- (5) 在速度变化期间或转换为接收的数据包时钟域时，可以拉长或缩短占空比：只要不违反最小占空比，且拉长时间不超过两次最低速度转换之间的三个 T<sub>cyc</sub>。
- (6) 占空比值以标称时钟速度的百分比定义。例如，最短千兆位 RGMII 时钟脉冲持续时间为 8ns 的 45%。
- (7) 在 1000Base-T 下运行。

## 6.10 GMII 发送时序

请参阅时序图。

参数	测试条件 <sup>(2)</sup>	最小值	标称值	最大值	单位
T1 GTX_CLK 占空比		40%		60%	
T2 GTX_CLK 上升/下降时间				1	ns
T3 从有效的 TXD、TX_EN 和 TX_ER 到 GTX_CLK 上升沿的建立时间		2			ns
T4 从 GTX_CLK 的上升沿到无效的 TXD、TX_EN 和 TX_ER 的保持时间		0.5			ns
T5 GTX_CLK 稳定性		-100		100	ppm
T6 GMII 到 MDI 延迟	请参阅 (1)		72		ns

- (1) 在 1000Base-T 下运行。
- (2) 由生产测试、特性或设计指定。

## 6.11 GMII 接收时序

请参阅时序图。

参数	测试条件 <sup>(2)</sup>	最小值	标称值	最大值	单位
T1 RX_CLK 至 RXD、RX_DV 和 RX_ER 延迟的上升沿		0.5		5.5	ns
T2 RX_CLK 占空比		40%		60%	
T3 RX_CLK 上升/下降时间				1	ns
T4 MDI 至 GMII 延迟	请参阅 (1)		264		ns

- (1) 在 1000Base-T 下运行。
- (2) 由生产测试、特性或设计指定。

## 6.12 100Mbps MII 传输时序

请参阅时序图。

参数	测试条件 <sup>(1)</sup>	最小值	标称值	最大值	单位
T1 TX_CLK 高电平/低电平时间		16	20	24	ns
T2 TXD[3:0]、TX_EN 数据设置相对于 TX_CLK		10			ns
T3 TXD[3:0]、TX_EN 数据保持相对于 TX_CLK		0			ns

(1) 由生产测试、特性或设计指定。

## 6.13 100Mbps MII 接收时序

请参阅时序图<sup>(1)</sup>

参数	测试条件	最小值	标称值	最大值	单位
T1 RX_CLK 高电平/低电平时间	请参阅 <sup>(2)</sup>	16	20	24	ns
T2 RX_CLK 相对于 RXD[3:0]、RX_DV、RX_ER 延迟		10		30	ns

(1) 由生产测试、特性或设计指定。

(2) 在基准时钟和恢复时钟之间转换期间，RX\_CLK 可以保持低电平或高电平更长时间。不违反最短高电平和低电平时间。

## 6.14 10Mbps MII 传输时序

请参阅时序图。

参数	测试条件 <sup>(2)</sup>	最小值	标称值	最大值	单位
T1 TX_CLK 高电平/低电平时间	请参阅 <sup>(1)</sup>	190	200	210	ns
T2 TXD[3:0]、TX_EN 数据设置相对于 TX_CLK 下降沿		25			ns
T3 TXD[3:0]、TX_EN 数据保持相对于 TX_CLK 上升沿		0			ns

(1) 连接的 MAC 可以使用 TX\_CLK 的正边沿驱动发送信号。如下所示，MII 信号均在 TX\_CLK 下降沿完成采样。

(2) 由生产测试、特性或设计指定。

## 6.15 10Mbps MII 接收时序

请参阅时序图。

参数	测试条件 <sup>(2)</sup>	最小值	标称值	最大值	单位
T1 RX_CLK 高电平/低电平时间	请参阅 <sup>(1)</sup>	160	200	240	ns
T2 相对于 RX_CLK 上升沿的 RXD[3:0]、RX_DV 转换延迟		100		300	ns
T3 相对于 RXD[3:0]、RX_DV 有效数据的 RX_CLK 上升沿延迟		100			

(1) 在基准时钟和恢复时钟之间的转换期间，RX\_CLK 可以保持低电平更长时间。不违反最短高电平和低电平时间。

(2) 由生产测试、特性或设计指定。

### 6.16 DP83867IR/CR 帧起始检测时序

请参阅时序图。

参数	测试条件	最小值	标称值	最大值	单位
T1 发送 SFD 变化 <sup>(1) (2)</sup>	1000Mb 引导器	0		0	ns
	1000Mb 跟随器	0		0	ns
	100Mb	0		16	ns
T2 接收 SFD 变化 <sup>(1) (2)</sup>	1000Mb 引导器	-8		8	ns
	1000Mb 跟随器	-8		8	ns
	100Mb	0		0	ns

- (1) SFD 脉冲的变化比此处指定的变化更大。要实现列出的确定性规格，请参阅 [节 7.3.2.1](#) 部分，了解补偿 SFD 脉冲变化的方法。  
 (2) SFD 脉冲在两次链路建立之间发生变化。使用 [节 7.3.2.1](#) 中的估计方法修复了数据包间的差异。

### 6.17 时序图

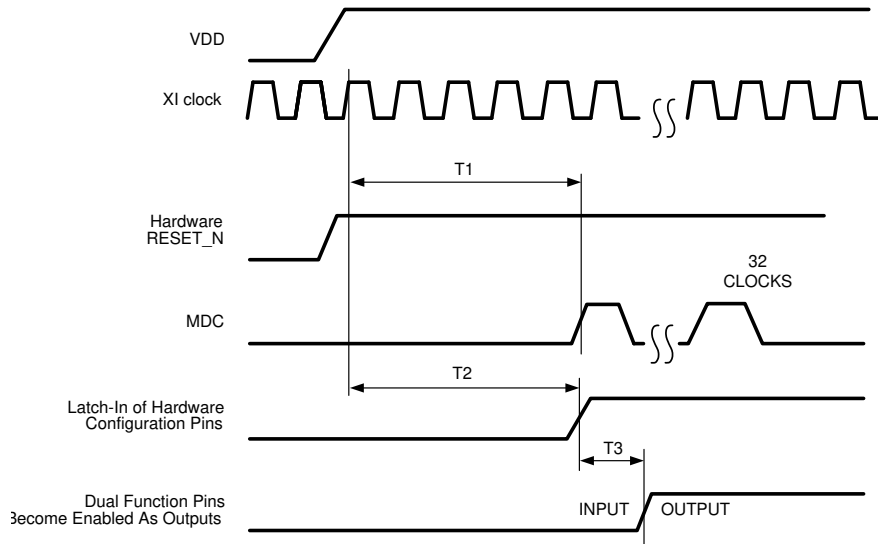


图 6-1. 上电时序

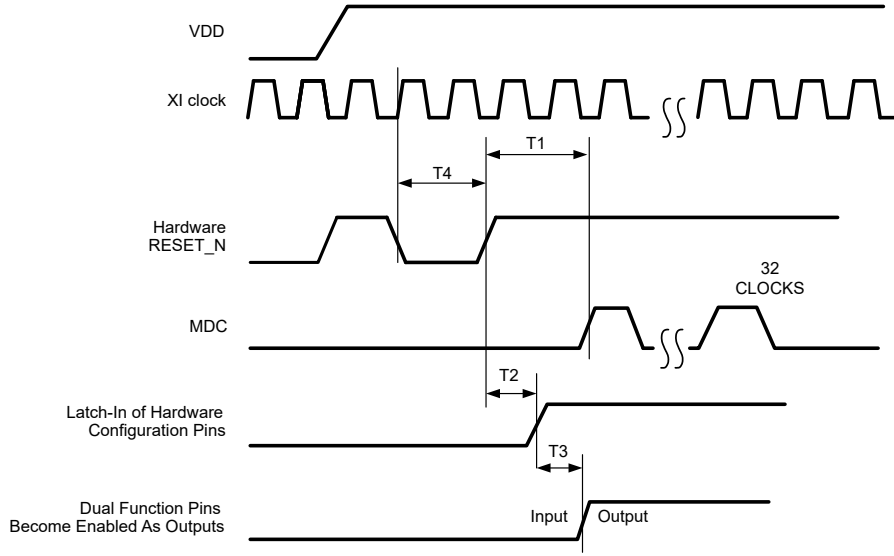


图 6-2. 复位时序

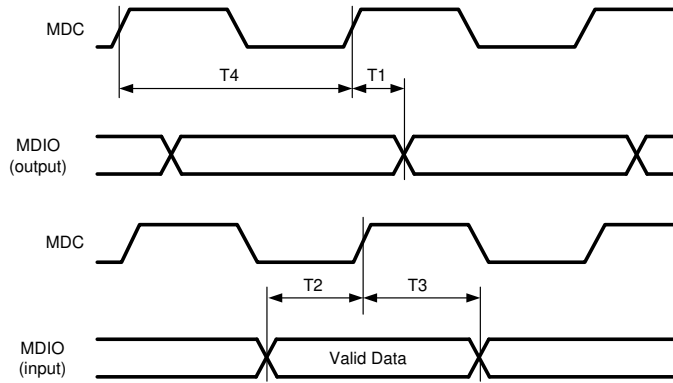


图 6-3. MII 串行管理时序

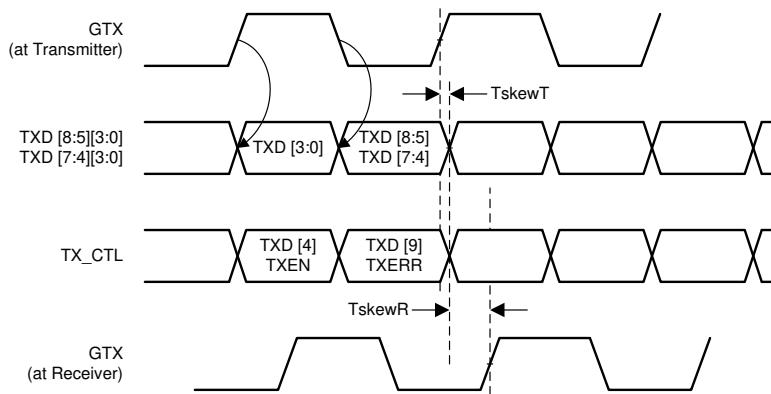


图 6-4. RGMII 传输多路复用和时序图

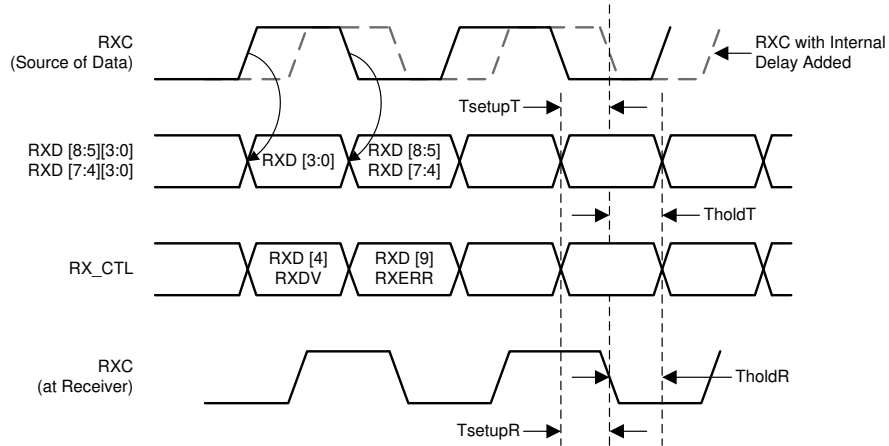


图 6-5. RGMII 接收多路复用和时序图

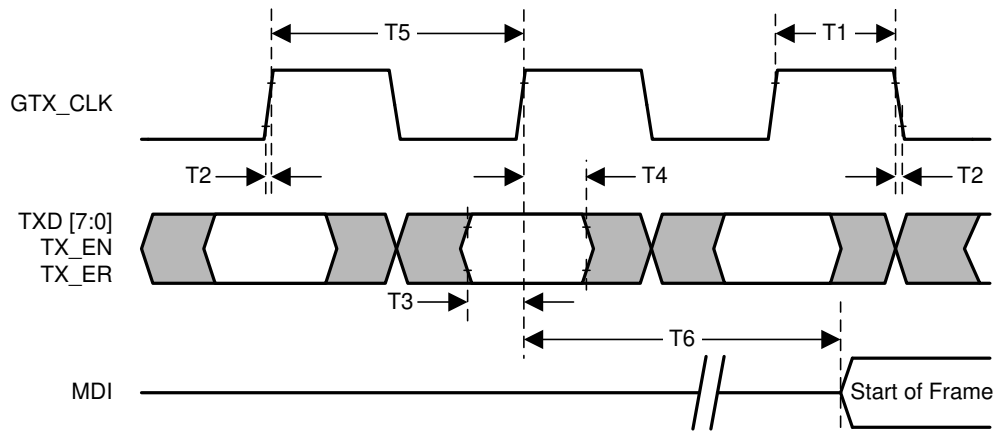


图 6-6. GMII 发送时序

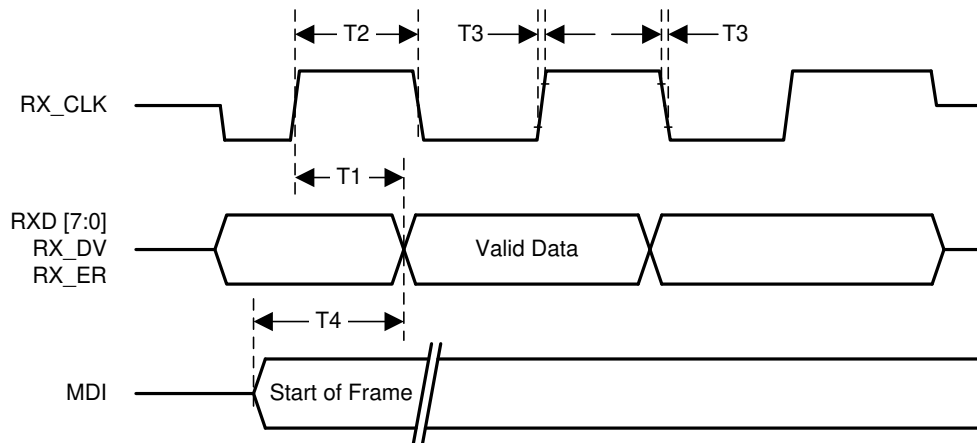


图 6-7. GMII 接收时序

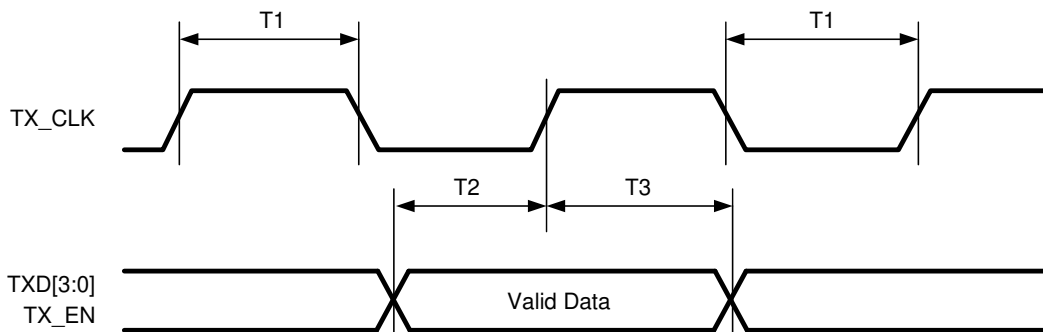


图 6-8. 100Mbps MII 传输时序

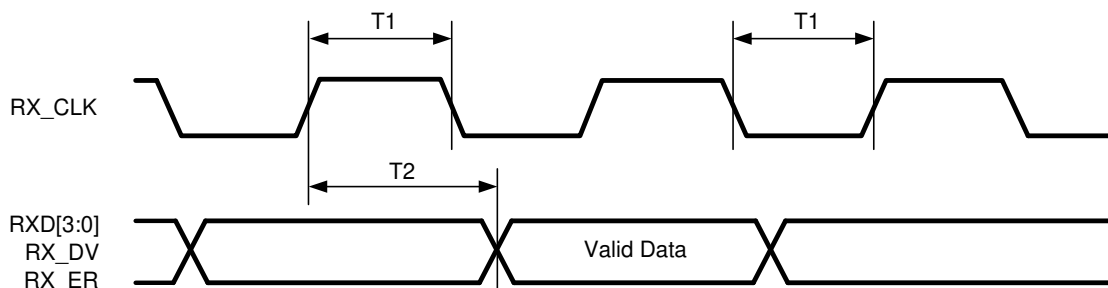


图 6-9. 100Mbps MII 接收时序

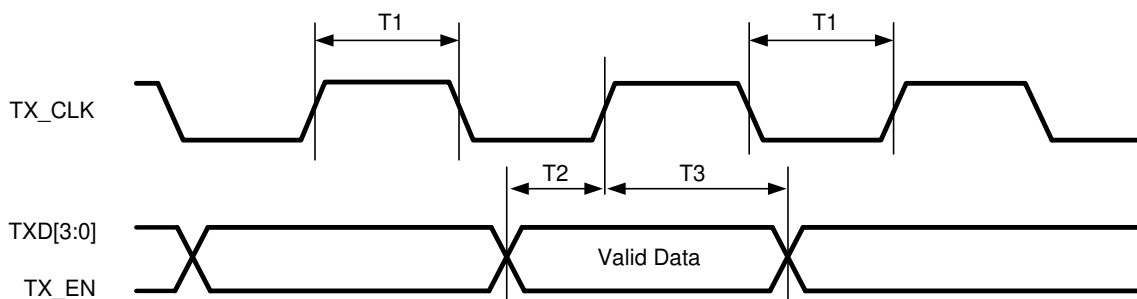


图 6-10. 10Mbps MII 传输时序

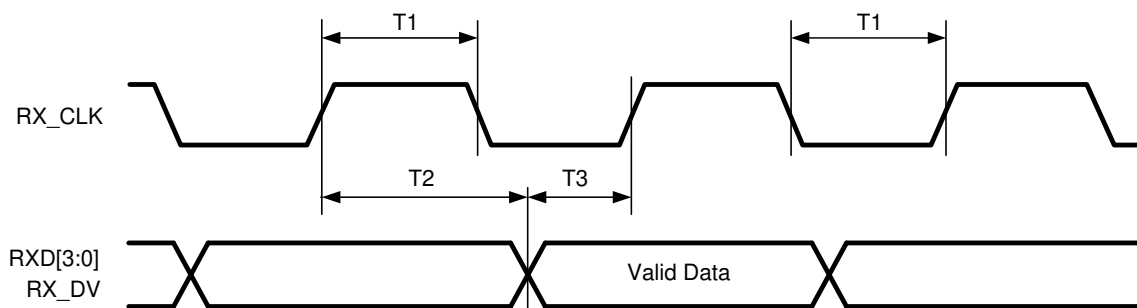


图 6-11. 10Mbps MII 接收时序

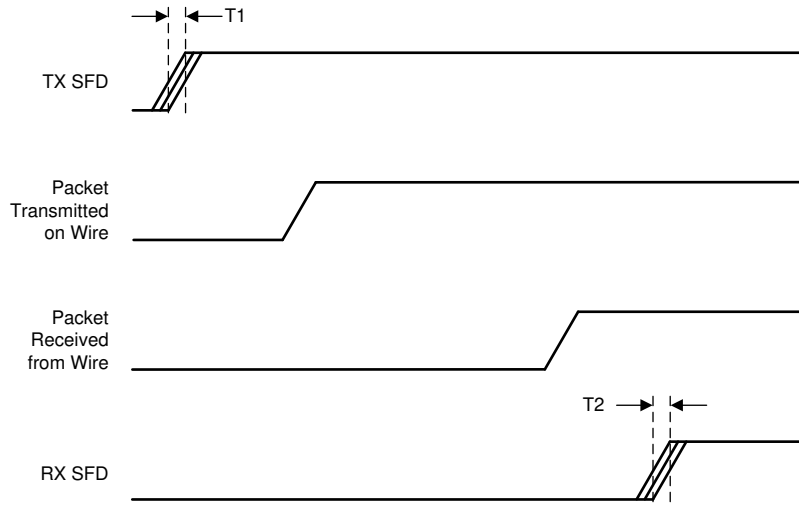
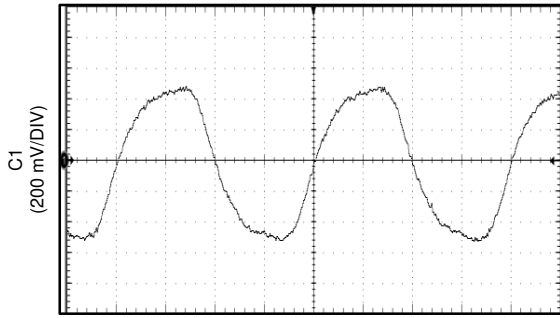


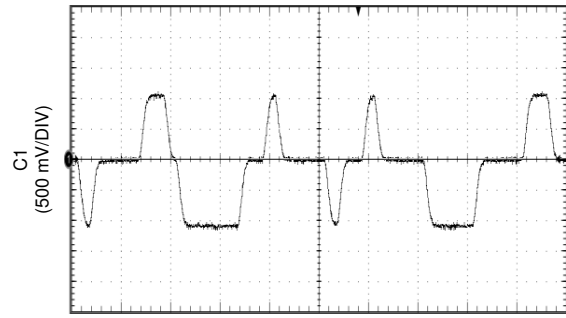
图 6-12. DP83867IR/CR 帧起始定界符时序

## 6.18 典型特性



1000Base-T 信号传输  
(测试模式 TM2 输出)

**图 6-13. 1000Base-T 信号传输**



100Base-TX 信号传输  
(扰码空闲信号)

**图 6-14. 100Base-TX 信号传输**

## 7 详细说明

### 7.1 概述

DP83867 是一款功能齐全的物理层收发器，集成了 PMD 子层，支持 10BASE-Te、100BASE-TX 和 1000BASE-T 以太网协议。

DP83867 可轻松实现 10/100/1000Mbps 以太网 LAN。DP83867 通过外部变压器直接连接双绞线介质。该设备通过 IEEE 802.3u 标准媒体独立接口 (MII)、IEEE 802.3z 千兆位媒体独立接口 (GMII) 或简化 GMII (RGMII) 直接连接到 MAC 层。

DP83867 提供精确时钟同步，包括同步以太网时钟输出。DP83867 具有低抖动、低延迟特性，可为时间敏感协议提供 IEEE 1588 帧开始检测。

DP83867 提供了出色的诊断功能，包括正常运行期间进行故障预测的动态链路质量监控。DP83867 支持长达 130m 的电缆。

## 7.2 功能方框图

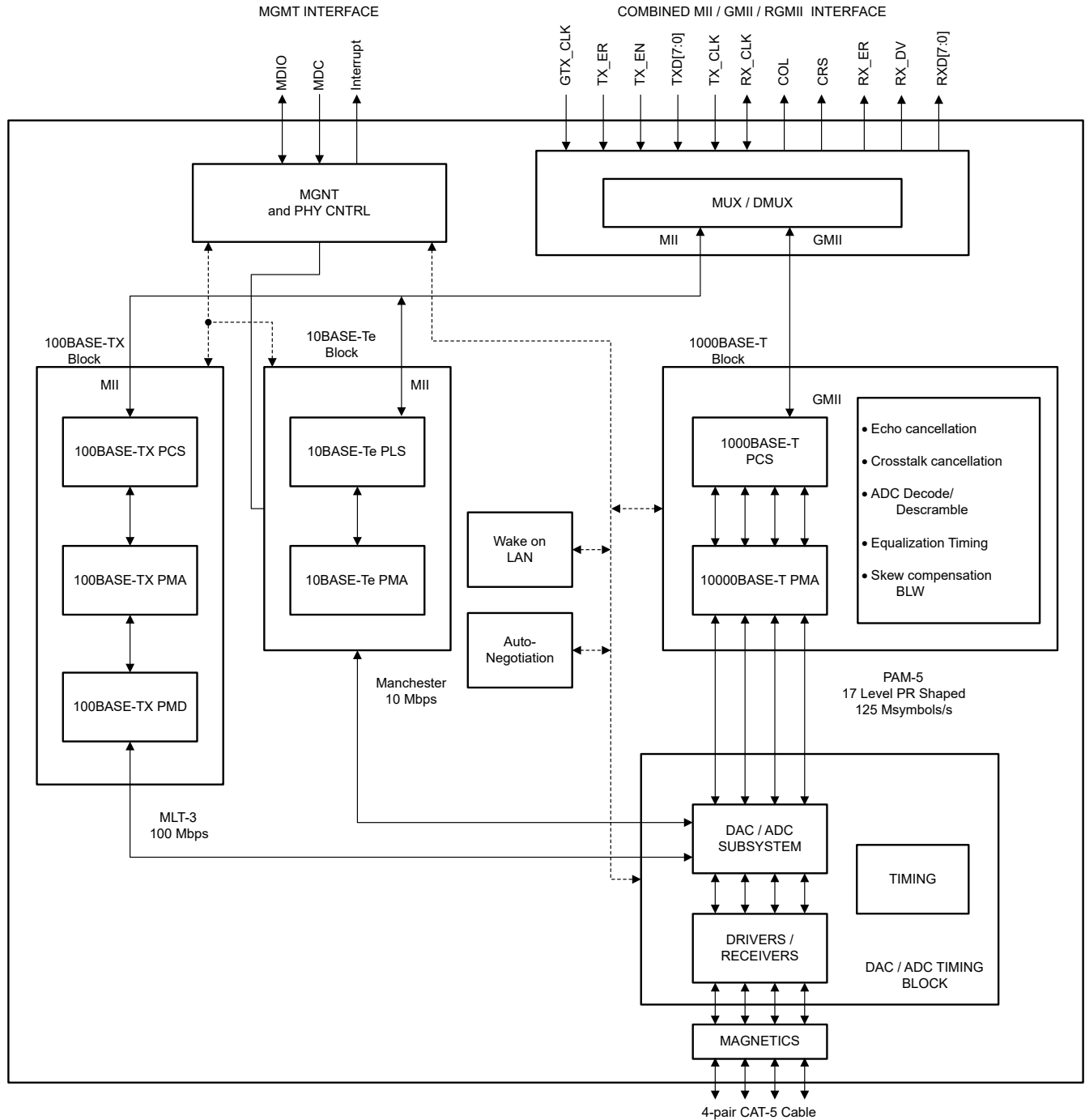


图 7-1. DP83867IRPAP

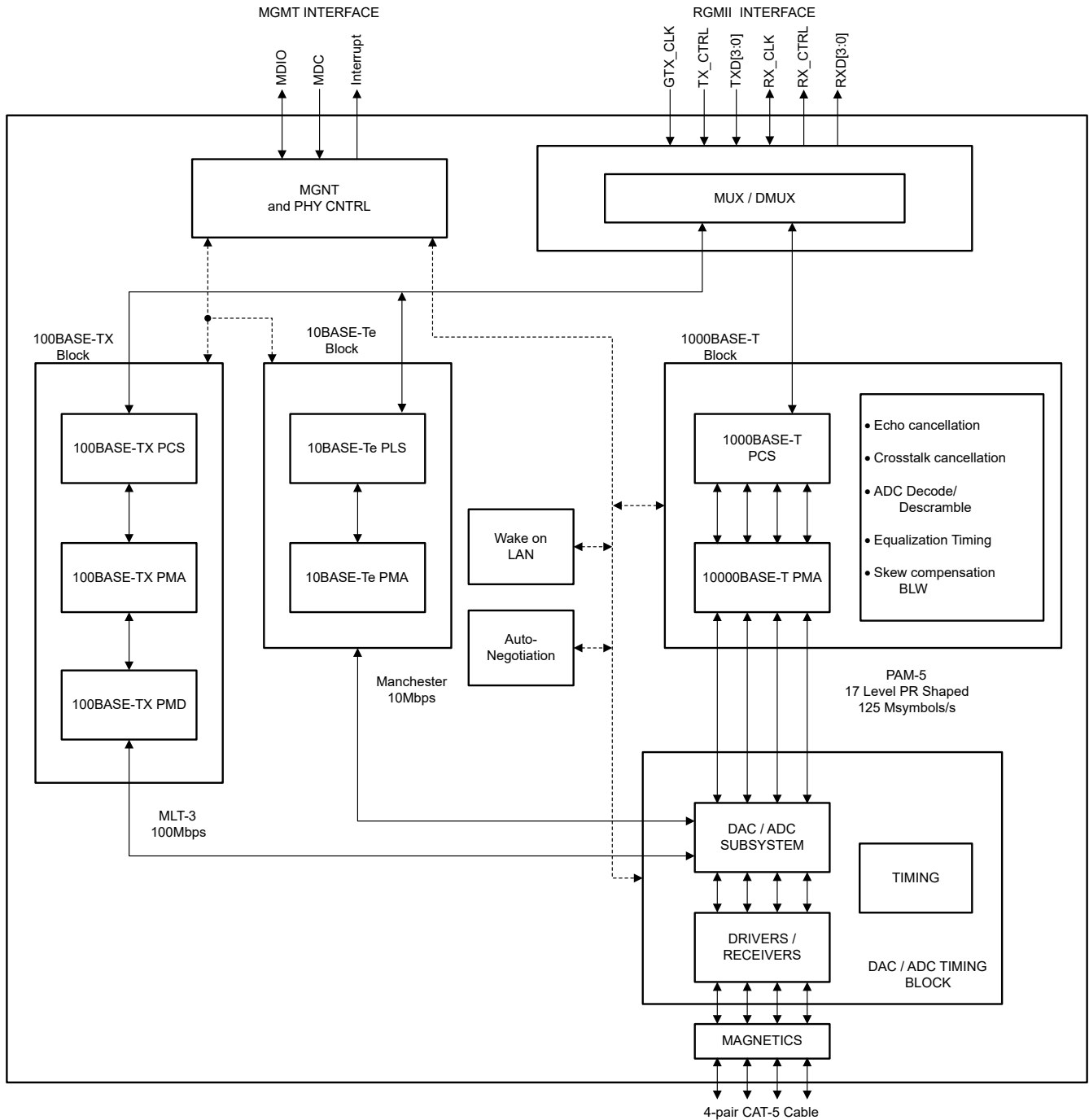


图 7-2. DP83867IRRGZ、DP83867CRRGZ

## 7.3 特性说明

### 7.3.1 WoL (局域网唤醒) 数据包检测

局域网唤醒提供了一种机制，可使用称为魔术包的特殊以太网数据包将 DP83867 从低功耗状态唤醒。DP83867 可配置为在接收到符合条件的数据包时生成中断以唤醒 MAC。还提供了一个选项，可在接收到符合条件的信号时在 GPIO 上生成信号。补充说明

备注

使用 WoL 功能时，请确认 BMCR ( 寄存器地址 0x0000 ) 位 [10] 已被禁用。该位支持用来禁用 PHY MAC 接口的 MII ISOLATE 功能，还会禁用该 PHY 的 WoL 中断。如果在支持 MII ISOLATE 时需要 WoL 功能，请改用 TI 的 DP83869HM PHY。

局域网唤醒功能包括以下功能：

- 以支持的所有速度 ( 1000BASE-T、100BASE-TX、10BASE-Te ) 识别魔术包
- 接收到有效魔术包后，唤醒中断生成
- 对魔术包进行 CRC 检查，避免无效包导致中断

除了基本的魔术包支持外，DP83867 还支持：

- 包含安全唤醒密码的魔术包
- 模式匹配 — 一种可配置的 64 字节模式，可唤醒 MAC，类似于魔术包

备注

[DP838xx 局域网唤醒应用手册](#)提供了局域网唤醒的更多详细信息

7.3.1.1 魔术包结构

当配置为进行魔术包模式时，DP83867 会扫描寻址到节点的所有传入帧，检查这些帧是否具有特定的数据序列。符合相应序列的帧即为魔术包帧。

备注

魔术包必须采用字节对齐方式。

魔术包帧还必须满足所选 LAN 技术的基本要求，例如源地址、目标地址 ( 可以是接收站的 IEEE 地址 )。DP83867PHY 仅支持用于魔术包检测的单播。

特定的魔术包序列包含 16 个不间断重复的节点 IEEE 地址，如果启用了安全功能，还需要输入安全密码。在数据包中的任意位置找到此序列；同步流必须继续执行该序列。同步流的定义是 6 字节的 FFh。

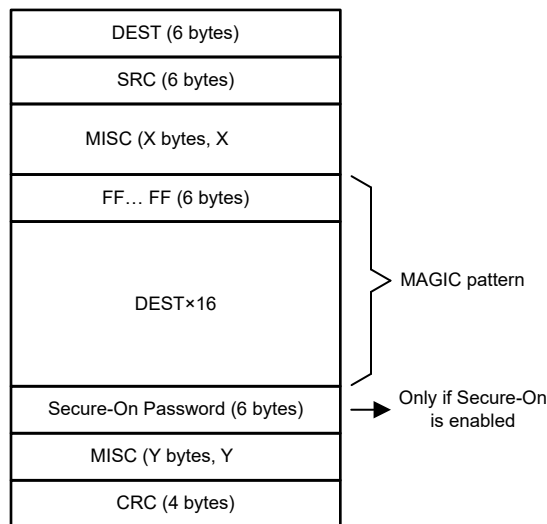


图 7-3. 魔术包结构

### 7.3.1.2 魔术包示例

以下是目标地址为 11h 22h 33h 44h 55h 66h、安全密码为 2Ah 2Bh 2Ch 2Dh 2Eh 2Fh 且 MAC 地址为 00:28:29:74:E2:F8 的魔术包示例。

```

DESTINATION SOURCE MISC 00 28 29 74 E2 F8 11 22 33 44 55 66 11 22 33 44 55 66 11 22 33 44 55 66 11
22 33 44 55 66 11 22 33 44 55 66 11 22 33 44 55 66 11 22 33 44 55 66 11 22 33 44 55 66 11 22 33 44
55 66 11 22 33 44 55 66 11 22 33 44 55 66 11 22 33 44 55 66 11 22 33 44 55 66 11 22 33 44 55 66 11
22 33 44 55 66 11 22 33 44 55 66 2A 2B 2C 2D 2E 2F MISC CRC
    
```

### 7.3.1.3 局域网唤醒配置和状态

表 7-1. 魔术包检测寄存器

寄存器名称	DP83867 地址
接收配置寄存器	Reg 0x134
接收状态寄存器	Reg 0x135
MAC 目标地址寄存器	Reg 0x136-0x138
接收安全唤醒密码寄存器	Reg 0x139 - 0x13B
字节掩码	Reg 0x15C - 0x15F

DP83867 的魔术包功能仅适用于单播数据包。

### 7.3.2 IEEE 1588 时间戳帧起始检测

DP83867 支持在 SFD ( 起始帧定界符 ) 上为接收和发送路径使用 IEEE 1588 指示脉冲。将脉冲传递到各个引脚。脉冲表示符号在线路 ( 用于发送 ) 或接收到的第一个符号 ( 用于接收 ) 上呈现的实际时间。

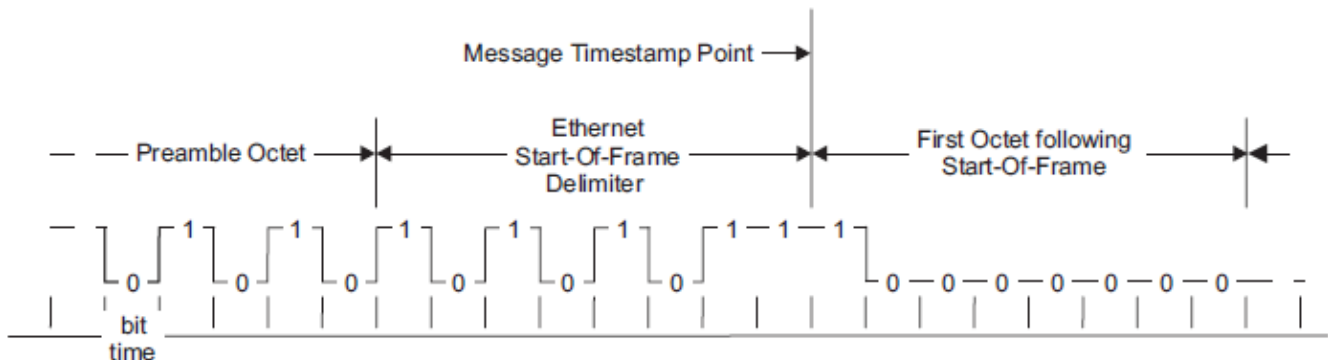


图 7-4. IEEE 1588 消息时间戳点

使用 GPIO 多路复用器控制寄存器 GPIO\_MUX\_CTRL1 ( 寄存器地址 0x0171 ) 和 GPIO\_MUX\_CTRL2 ( 寄存器地址 0x0172 ) 配置 SFD 脉冲输出。RGZ 器件仅支持寄存器 GPIO\_MUX\_CTRL2 ( 地址 0x172 )。

有关配置 DP83867 的 SFD 功能的更多信息，请参阅 [如何配置 DP83867 帧起始应用手册](#)。

#### 7.3.2.1 SFD 延迟差和确定性

对于延迟敏感协议而言，使用 RGMII 的 RX\_CTRL 和 TX\_CTRL 信号的时间戳数据包发送和接收不够精确。SFD 脉冲为系统设计人员提供了一种提高数据包时间戳准确性的方法。SFD 脉冲的变化虽然固有地小于 RGMII 信号，但由于 1000BASE-T 定义的架构，它仍然表现出延迟变化。本节提供了一种方法来确定何时发生 SFD 延迟变化。本节还包含如何补偿系统软件中的变化以提高时间戳精度。

下一节使用了基线延迟和 SFD 变化这两个术语。基线延迟是 TX\_SFD 脉冲到所连接链路伙伴的 RX\_SFD 脉冲之间测得的时间，其中假设以太网电缆的所有 4 对电缆的传播时间均匹配。在所有 4 对匹配的场景中，1000BASE-T PHY 不必在线路上对齐 4 个接收到的符号，也不必因对齐而引入额外延迟。

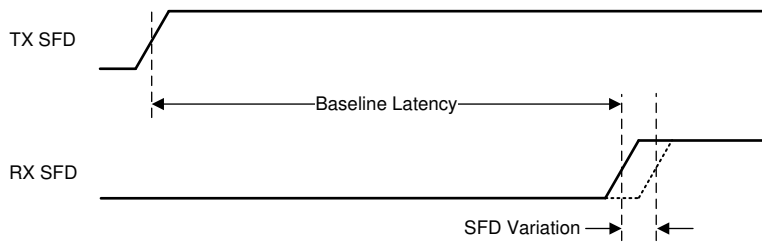


图 7-5. 延迟测量中的基线延迟和 SFD 变化

SFD 变化是当 PHY 必须引入延迟以使 4 个符号与以太网电缆对齐时，RX\_SFD 脉冲之前的基线延迟中增加的额外时间。当通过电缆连接、自动协商重新启动、PHY 复位或其他外部系统影响建立新的链路时，可能会发生变化。在单个不间断链路期间，SFD 变化保持不变。

DP83867 可以限制和报告在 1000Mb 工作模式下施加到 SFD 脉冲的变化。在 1000Mb 模式下建立链路之前，将同步 FIFO 控制寄存器（寄存器地址 0x00E9）设置为值 0xDF22。只有在同步 FIFO 控制寄存器初始化并建立新链路后，才应用以下 SFD 变化补偿方法。如果链路已经存在，则可接受的方法是通过设置控制寄存器（寄存器地址 0x001F）中的 SW\_RESTART 位 [14] 来设置同步 FIFO 控制寄存器值，然后执行软件重新启动。

#### 7.3.2.1.1 引导器模式下的 1000Mb SFD 变化

当 DP83867 在 1000Mb 引导器模式下运行时，使用偏移 FIFO 状态寄存器（寄存器地址 0x0055）位[7:4] 来估算 RX\_SFD 脉冲的变化。从偏斜 FIFO 状态寄存器位[7:4] 读取的值乘以 8ns，以估算增加到基线延迟的 RX\_SFD 变化。

示例：在引导器 1000Mb 模式下运行时，从偏移 FIFO 寄存器位[7:4] 读取值 0x2。

$$2 \times 8\text{ns} = 16\text{ns} \quad (1)$$

从 TX\_SFD 到 RX\_SFD 测量值中减去 方程式 1，以确定基线延迟。

#### 7.3.2.1.2 跟随器模式下的 1000Mb SFD 变化

当 DP83867 在 1000Mb 跟随器模式下运行时，使用偏移 FIFO 状态寄存器（寄存器地址 0x0055）位[3:0] 来确定 RX\_SFD 脉冲的变化。从偏斜 FIFO 状态寄存器位[3:0] 读取的值乘以 8ns，以估算增加到基线延迟的 RX\_SFD 变化。

示例：在跟随器 1000Mb 模式下运行时，从偏移 FIFO 寄存器位[3:0] 读取值 0x1。

$$1 \times 8\text{ns} = 8\text{ns} \quad (2)$$

从 TX\_SFD 到 RX\_SFD 测量值中减去 方程式 2，以确定基线延迟。

#### 7.3.2.1.3 100Mb SFD 变化

100Mb 运行模式下的延迟变化由随机过程决定，不需要对 SFD 脉冲进行任何寄存器读取或系统级补偿。

### 7.3.3 时钟输出

DP83867 有多个内部时钟，包括本地基准时钟、以太网发送时钟和以太网接收时钟。外部晶体或振荡器为本地基准时钟提供激励。本地基准时钟用作器件内所有时钟的中央时钟源。

本地基准时钟嵌入到发送网络数据包流量中，并从接收器节点的网络数据包流量中恢复。接收时钟从接收到的以太网数据包数据流中恢复，并锁定到伙伴中的发送时钟。

如果使用 I/O 配置寄存器（地址 0x0170），将 DP83867 配置为通过 CLK\_OUT 引脚输出这些内部时钟。默认情况下，输出时钟与 XI 振荡器/晶体输入同步。通过寄存器，将输出时钟配置为与 125MHz 数据速率或 25MHz 5 分频速率下的接收数据同步。配置时钟以输出线路驱动器发送时钟。在 1000Base-T 模式下运行时，为四个发送或接收通道中的任何一个配置输出时钟。

使用 I/O 配置寄存器的 CLK\_O\_DISABLE 位来禁用输出时钟。默认情况下，也可以使用时钟输出禁用 Strap 配置来禁用。该 Strap 配置仅适用于 PAP 器件。有关详细信息，请参阅 [节 7.5.1](#)。

## 7.4 器件功能模式

### 7.4.1 MAC 接口

DP83867 支持通过以下接口连接到以太网 MAC：RGMII、GMII 和 MII。

RGMII 禁用 Strap 配置 (RX\_D6) 决定了 MAC 接口的默认状态。RGMII 禁用 Strap 配置对应于 RGMIICTL 寄存器 (地址 0x0032) 中的 RGMII 启用 (位 7)。禁用 RGMII 模式时，DP83867 以 GMII 模式运行。

RGMII 启用 (寄存器 0x0032, 位 7)	器件功能模式
0x1	RGMII
0x0	GMII

Strap 配置状态寄存器 1 (STRAP\_STS1) 中也提供了 RGMII 禁用的初始 Strap 配置值。

#### 7.4.1.1 简化 GMII (RGMII)

简化千兆位媒体独立接口 (RGMII) 旨在减少互连 MAC 和 PHY 所需的引脚数 (RGMII 为 12 个引脚，GMII 为 24 个引脚)。为了实现这一目标，减少了数据路径和所有相关的控制信号并对其进行多路复用。时钟的上升沿和后沿都被使用。对于千兆位操作，GTX\_CLK 和 RX\_CLK 时钟均为 125MHz，对于 10Mbps 和 100Mbps 操作，时钟频率分别为 2.5MHz 和 25MHz。

有关 RGMII 时序的更多信息，请参阅 [RGMII 接口时序预算应用手册](#)。

##### 7.4.1.1.1 1000Mbps 模式运行

所有 RGMII 信号都是正逻辑。8 位数据通过利用两个时钟边沿进行多路复用。低 4 位在正时钟沿锁存，高 4 位在后时钟沿锁存。使用相同的技术将控制信号多路复用到单个时钟周期中。

为了降低 RGMII 接口的功耗，TXEN\_ER 和 RXDV\_ER 进行了编码，可在网络正常运行期间更大限度地减少转换。这可以通过以下编码方法来实现。请注意，GMII\_TX\_ER 和 GMII\_TX\_EN 的值在时钟的上升沿有效。在 RGMII 模式下，GMII\_TX\_ER 出现在 TX\_CTRL 上 GTX\_CLK 时钟的下降沿。RX\_CTRL 编码的实现方式相同。

当接收到没有错误的有效帧时，RX\_CTRL = True 在 RX\_CLK 上升沿生成为逻辑高电平，RX\_CTRL = False 在 RX\_CLK 下降沿生成为逻辑高电平。当未接收到帧时，RX\_CTRL = False 在 RX\_CLK 上升沿生成为逻辑低电平，RX\_CTRL = False 在 RX\_CLK 下降沿生成为逻辑低电平。

TX\_CTRL 以类似的方式处理。在正常帧发送期间，信号在 GTX\_CLK 的两个边沿都保持逻辑高电平，在没有指示错误的帧之间的期间，信号在两个边沿都保持低电平。

##### 7.4.1.1.2 1000Mbps 模式定时

DP83867 为 GTX\_CLK 和 RX\_CLK 提供可配置的时钟偏移，以优化整个接口的时序。发送路径与接收路径可独立进行优化。发送和接收路径均通过寄存器配置支持 16 种可编程 RGMII 延迟模式。

时序路径可配置为对齐模式或移位模式。在对齐模式下，不会引入时钟偏移。在移位模式下，可以按 0.25ns 的增量引入时钟偏移 (通过寄存器配置)。可通过 RGMII 控制寄存器 (RGMIICTL) (地址 0x0032) 完成对齐模式或移位模式的配置。在移位模式下，可以使用 RGMII 延迟控制寄存器 (RGMIIDCTL) 地址 0x0086 来调整时钟偏斜。

##### 7.4.1.1.3 10Mbps 和 100Mbps 模式

当 RGMII 接口在 100Mbps 模式下运行时，通过将时钟速率降低到 25MHz 来实现以太网媒体独立接口 (MII)。为了实现 10Mbps 运行，时钟会进一步降至 2.5MHz。在 RGMII 10/100 模式下，MAC 生成发送时钟 RGMII TX\_CLK，PHY 生成接收时钟 RGMII RX\_CLK。在数据包接收过程中，对 RGMII RX\_CLK 的正脉冲或负脉冲进行展宽，以适配从自由运行时钟域到数据同步时钟域的切换。当 PHY 的速度发生变化时，允许对正脉冲或负脉冲进行类似的展宽。时钟速度转换期间，时钟信号不允许出现干扰。

此接口的工作速度为 10Mbps 和 100Mbps，其速度与接口在 1000Mbps 模式下的速度相同，但数据可以在适当时钟的下降沿复制。

MAC 会将 RGMII TX\_CLK 保持在低电平，直到 MAC 确保 MAC 以与 PHY 相同的速度运行。

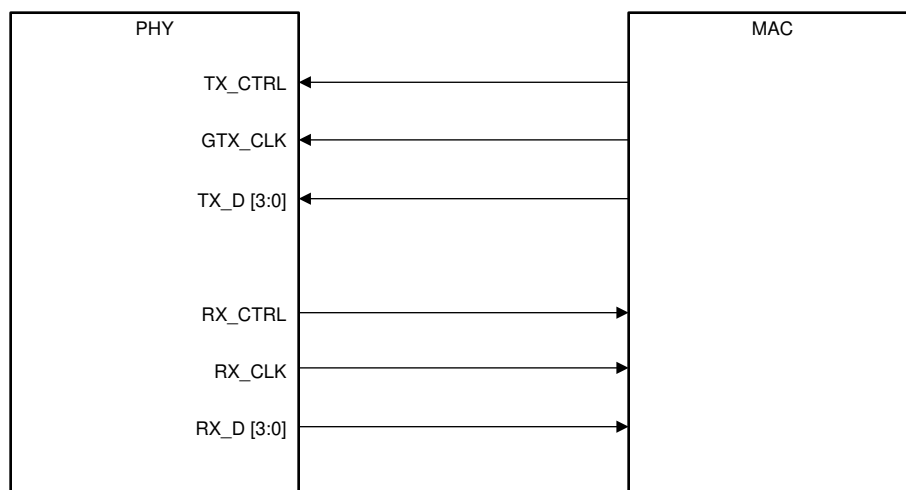


图 7-6. RGMII 连接

#### 7.4.1.2 千兆位 MII (GMII)

千兆位媒体独立接口 (GMII) 是 IEEE 定义的接口，用于以太网 PHY 和以太网 MAC。GMII 仅在 PAP 器件上可用。GMII 的目的是使各种物理介质对 MAC 层透明。GMII 接口接受 GMII 或 MII 数据以及控制和状态信号，并将其分别路由到 1000BASE-T、100BASE-TX 或 10BASE-Te 模块。

GMII 接口具有以下特性：

- 支持 10/100/1000Mbps 工作速率
- 数据和分隔符与时钟基准同步
- 提供独立的 8 位宽发送和接收数据路径
- 提供简单的管理界面
- 全双工操作

GMII 接口在 IEEE 802.3 第 35 条中定义。在数据传输的每个方向上，都有数据（8 位捆绑包）、分隔符、错误信号和时钟信号。定义 GMII 信号是为了使大多数 GMII 信号与 IEEE 802.3 第 22 条中定义的类似 PCS 服务接口复用。提供两个介质状态信号。一个表示存在载波 (CRS)，另一个表示发生冲突 (COL)。MII 信号名称已经保留，并且大多数信号的功能相同，但已经为 1000Mbps 运行速度定义了其他有效的信号组合。

图 7-7 展示了 GMII 的连接图

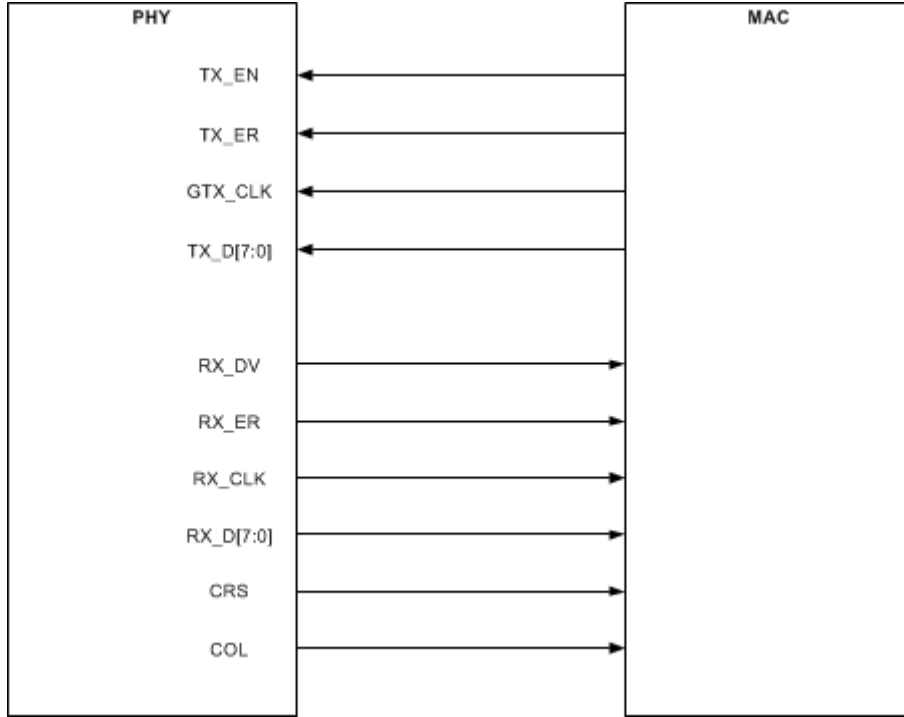


图 7-7. GMII 连接

#### 7.4.1.3 媒体独立接口 (MII)

MII 连接用于传输 10/100 数据。MII 与 GMII 兼容，当器件配置为 GMII 时用于 10/100 数据。MII 仅在 PAP 器件上可用。

DP83867 采用了 IEEE 802.3 标准 22 条款中指定的媒体独立接口 (MII)。该接口可在 10/100Mbps 系统中，将物理层器件连接至媒体访问控制器。该部分介绍半字节宽 MII 数据接口。

半字节宽 MII 数据接口由一个接收总线 and 一条发送总线组成，每个总线都有控制信号，有助于 PHY 与上层 (MAC) 之间的数据传输。

##### 7.4.1.3.1 半字节宽 MII 数据接口

IEEE 802.3 规范的第 22 条定义了媒体独立接口。该接口包括一个专用的接收总线和一个专用的发送总线。这两条数据总线以及各种控制和状态信号允许在 DP83867 和上层代理 (MAC) 之间同时交换数据。

接收接口包含半字节宽数据总线 RXD[3:0]、接收错误信号 RX\_ER、接收数据有效标志 RX\_DV 以及用于数据同步传输的接收时钟 RX\_CLK。接收时钟在 2.5MHz 或 25MHz 上运行以支持 10Mbps 运行模式，或在 100Mbps 工作模式下运行。

发送接口包含半字节宽数据总线 TXD[3:0]、发送使能控制信号 TX\_EN 以及在 2.5MHz 或 25MHz 上运行的发送时钟 TX\_CLK。此外，MII 接还包括载波侦听信号 (CRS) 以及冲突检测信号 (COL)。CRS 信号置为有效，以指示来自网络的数据接收或在半双工模式下作为发送数据的函数。COL 信号置位可指示在半双工模式中，当发送和接收操作同时发生时会发生冲突。

#### 7.4.1.3.2 碰撞检测

在半双工模式下，当接收通道和发送通道同时处于活动状态时，会检测到 10BASE-Te 或 100BASE-TX 冲突。冲突由 COL 信号在 MII 上报告。

COL 信号在冲突持续时间内保持设置状态。如果 PHY 在检测到冲突时接收到数据，则会立即报告事件（通过 COL 引脚）。

在全双工操作期间不指示碰撞。

#### 7.4.1.3.3 载波侦听

在 10Mbps 运行中，一旦通过静噪功能检测到有效数据，就会由于接收活动而将载波侦听 (CRS) 置为有效。在 100Mbps 操作期间，当在线路上检测到有效链路 (SD) 和两个非连续零时，CRS 将置为有效。

对于 10 或 100Mbps 半双工操作，CRS 在数据包发送或接收期间置为有效。

对于 10 或 100Mbps 全双工操作，CRS 仅由于接收活动而置为有效。

CRS 在数据包结束后置为无效。

图 7-8 所示为 MII 的连接图。

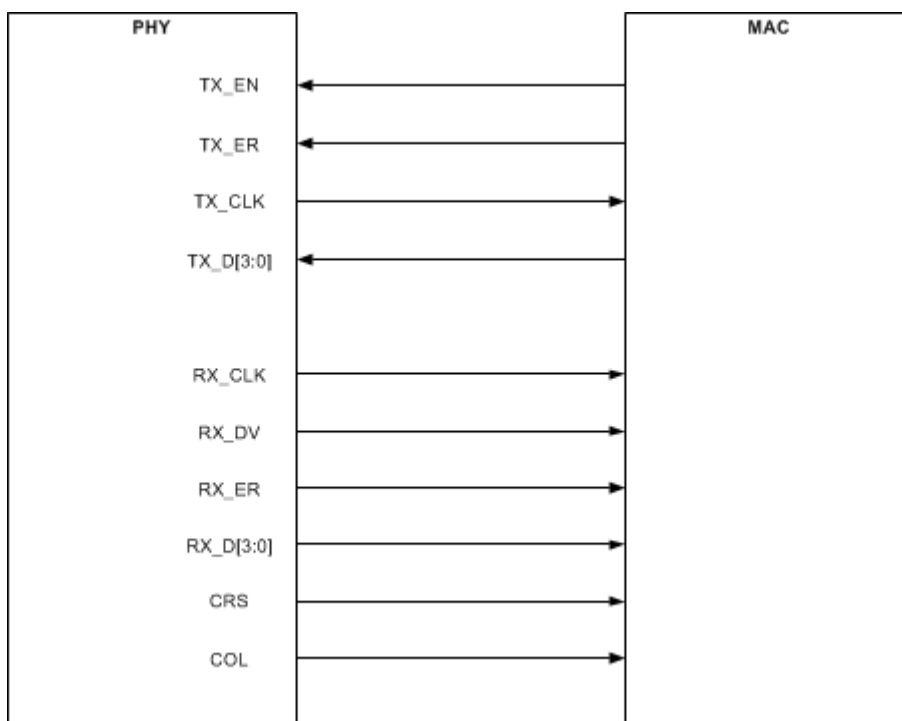


图 7-8. MII 连接

#### 7.4.2 串行管理接口

串行管理接口 (SMI) 支持访问 DP83867 内部寄存器空间，从而获得状态信息和配置。SMI 符合 IEEE 802.3-2002 第 22 条。实施的寄存器组包括 IEEE 802.3 标准所需的寄存器以及其他几个寄存器，能够提高 DP83867 器件的可见性与可控性。

SMI 包括 MDC 管理时钟输入和管理 MDIO 数据引脚。外部管理实体（也称为站 (STA)）提供 MDC 时钟，可在 25MHz 的最大时钟速率下运行。MDC 不应连续运行。当总线空闲时，由外部管理实体关闭 MDC。

外部管理实体并由 PHY 提供 MDIO。MDIO 引脚上的数据在 MDC 时钟的上升沿锁存。MDIO 引脚需要上拉电阻 (2.2k $\Omega$ )，可在 IDLE 和转换期间将 MDIO 拉高。

最多 16 个 PHY 可共用一条公共 SMI 总线。为区分 PHY，采用了 4 位地址。上电复位期间，DP83867 通过锁存 PHY\_ADD 配置引脚来确定地址。DP83867IRPAP 64 引脚型号最多可以支持 32 个 PHY 并使用 5 位地址。

在上电复位后的首个周期内，管理实体不得启动 SMI 事务。为维持有效运行，在硬复位取消置位之后，SMI 总线必须至少在一个 MDC 周期保持未激活状态。在正常 MDIO 事务中，寄存器地址直接取自管理帧 reg\_addr 字段，因此允许直接访问 32 个 16 位寄存器（包括 IEEE 802.3 定义的寄存器和特定于供应商的寄存器）。数据字段用于读取和写入操作。开始代码由 <01> 模式指示。该模式确保 MDIO 线路从默认空闲线路状态转换。转换定义为寄存器地址字段与数据字段之间所插入的空闲位时间。为避免读操作期间发生资源争用，在第一个比特周期间，没有器件能够主动驱动 MDIO 信号。定址 DP83867 在第二个转换位时以零驱动 MDIO，并在此之后以所需数据驱动。图 7-9 显示了 MDC 和 MDIO 之间的时序关系，该关系由站 (STA) 和 DP83867 (PHY) 驱动和接收，用于典型的寄存器读取访问。

对于写入事务，站管理实体会将数据写入定址 DP83867，因而无需 MDIO 转换。管理实体通过插入 <10> 来填充转换时间。图 7-9 展示了典型 MII 寄存器写入访问的时序关系。表 7-2、图 7-9 和图 7-10 显示了帧结构和一般读写事务。

表 7-2. 典型的 MDIO 帧格式

典型的 MDIO 帧格式	<idle><start><op code><device addr><reg addr><turnaround><data><idle>
读取操作	<idle><01><10><AAAA><RRRR><Z0><xxxx xxxx xxxx xxxx><idle>
写入操作	<idle><01<01><AAAA><RRRR><10><xxxx xxxx xxxx xxxx><idle>

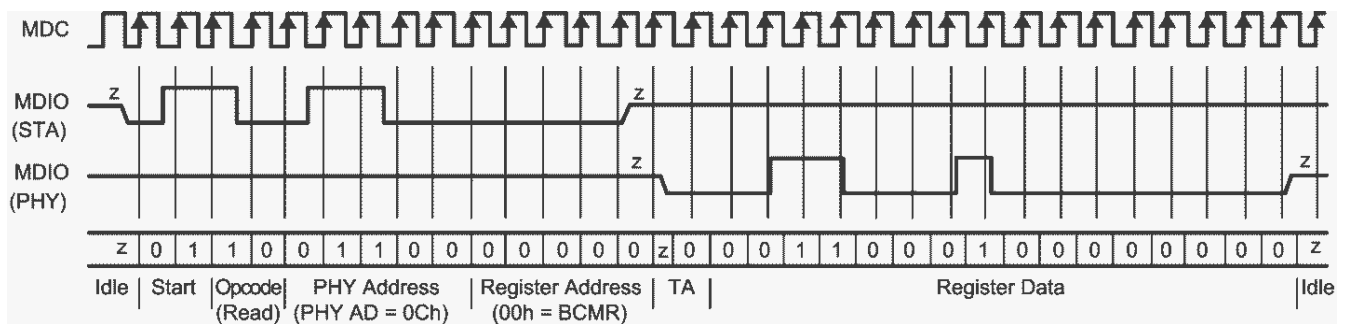


图 7-9. 典型的 MDC/MDIO 读取操作

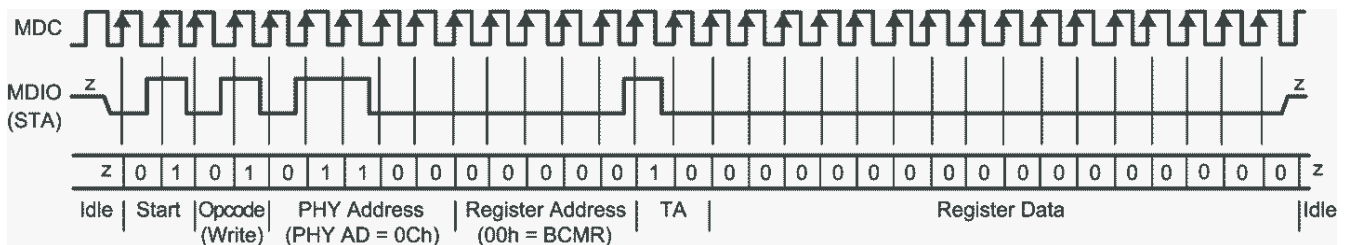


图 7-10. 典型的 MDC/MDIO 写入操作

#### 7.4.2.1 扩展地址空间访问

DP83867 的 SMI 功能支持使用寄存器 REGCR (0x0D) 和 ADDAR (0x0E) 以及 IEEE 802.3ah 草案第 22 条所定义的 MDIO 管理器件 (MMD) 间接方法对扩展寄存器组进行读写访问，从而访问第 45 条所定义的扩展寄存器组。

标准寄存器组 MDIO 寄存器 0 至 31 通过正常直接 MDIO 访问或间接方法访问，但寄存器 REGCR (0x0D) 和 ADDAR (0x0E) 除外，仅使用正常 MDIO 事务访问该寄存器。SMI 功能会忽略对这些寄存器的间接访问。

REGCR (0x0D) 是 MDIO 可管理的 MMD 访问控制。通常情况下，寄存器 REGCR(4:0) 为器件地址 DEVAD，可将 ADDAR (0x0E) 寄存器的任何访问引向适当的 MMD。

PHY 支持一个 MMD 器件地址。特定于供应商的器件地址  $DEVAD[4:0] = 11111$  用于常规 MMD 寄存器访问。

经由寄存器 REGCR 和 ADDAR 的所有访问都必须使用正确的 DEVAD。其他 DEVAD 的事务都会被忽略。REGCR[15:14] 保存访问功能：地址 (00)、无后增量的数据 (01)、读写时具有后增量的数据 (10) 和仅在写入时具有后增量的数据 (11)。

**表 7-3. REGCR DEVAD 函数**

REGCR[15:14]	功能
00	通过访问寄存器 ADDAR 可修改扩展寄存器“设置地址”寄存器。为访问扩展寄存器组中的任何寄存器，该地址寄存器应始终处于初始化状态。
01	通过访问寄存器 ADDAR 可访问由地址寄存器中值所选择的扩展寄存器组中的寄存器。
10	通过访问寄存器 ADDAR 可访问由地址寄存器中值所选择的扩展寄存器组中的寄存器。访问完成后，读取和写入操作都会使地址寄存器中的值递增。
11	通过访问寄存器 ADDAR 可访问由地址寄存器中值所选择的扩展寄存器组中的寄存器。访问完成后，仅写入访问会使地址寄存器中的值递增。对于读取访问，地址寄存器中的值保持不变。

以下小节介绍了如何使用寄存器 REGCR 和 ADDAR 对扩展寄存器组执行操作。这些描述使用器件地址进行常规 MMD 寄存器访问 ( $DEVAD[4:0] = 11111$ )。

#### 7.4.2.1.1 写入地址操作

1. 将值 0x001F (地址函数字段 = 00,  $DEVAD = 31$ ) 写入寄存器 REGCR。
2. 将所需寄存器地址写入寄存器 ADDAR。

随后写入寄存器 ADDAR (第 2 步)，继续写入地址寄存器。

#### 7.4.2.1.2 读取地址操作

如需读取地址寄存器：

1. 将值 0x001F (地址函数字段 = 00,  $DEVAD = 31$ ) 写入寄存器 REGCR。
2. 从寄存器 ADDAR 中读取寄存器地址。

#### 7.4.2.1.3 写入 (无后增量) 操作

如需在扩展寄存器组中写入寄存器：

指令	示例：设置寄存器 0x0170 = 0C50
1. 将值 0x001F (地址函数字段 = 00, $DEVAD = 31$ ) 写入寄存器 REGCR (0x0D)。	将寄存器 0x0D 写入值 0x001F
2. 将所需寄存器地址写入寄存器 ADDAR (0x0E)。	将寄存器 0x0E 写入值 0x0170
3. 将值 0x401F (数据, 无后增量函数字段 = 01, $DEVAD = 31$ ) 写入寄存器 REGCR。	将寄存器 0x0D 写入值 0x401F
4. 将所需扩展寄存器组寄存器的内容写入寄存器 ADDAR。	将寄存器 0x0E 写入值 0x0C50

随后写入寄存器 ADDAR (第 4 步)，继续重写由地址寄存器中的值选择的寄存器。

#### 备注

若之前已配置地址寄存器，则跳过步骤 1 和 2。

#### 7.4.2.1.4 读取 (无后增量) 操作

如需读取扩展寄存器组中的寄存器：

指令	示例：读取 0x0170
1.将值 0x001F (地址函数字段 = 00, DEVAD = 31) 写入寄存器 REGCR。	将寄存器 0x0D 写入值 0x001F
2.将所需寄存器地址写入寄存器 ADDAR。	将寄存器 0x0E 写入值 0x0170
3.将值 0x401F (数据, 无后增量函数字段 = 01, DEVAD = 31) 写入寄存器 REGCR。	将寄存器 0x0D 写入值 0x401F
4.将所需扩展寄存器组寄存器的内容读取到寄存器 ADDAR。	读取寄存器 0x0E

随后读取寄存器 ADDAR (第 4 步), 继续读取由地址寄存器中的值选择的寄存器。

#### 备注

若之前已配置地址寄存器, 则跳过步骤 1 和 2。

#### 7.4.2.1.5 写入 (有后增量) 操作

在写入操作之后, 若要写入扩展寄存器组中的寄存器并自动将地址寄存器递增到下一更高值:

指令	示例：设置寄存器 0x0170 = 0C50 和寄存器 0x0171 = 0x0011
1.将值 0x001F (地址函数字段 = 00, DEVAD = 31) 写入寄存器 REGCR。	将寄存器 0x0D 写入值 0x001F
2.从寄存器 ADDAR 中写入寄存器地址。	将寄存器 0x0E 写入值 0x0170
3.将值 0x801F (数据, 读取和写入时的后增量函数字段 = 10, DEVAD = 31) 或值 0xC01F (数据, 写入时的后增量函数字段 = 11, DEVAD = 31) 写入寄存器 REGCR。	将寄存器 0x0D 写入值 0x401F
4.将所需扩展寄存器组寄存器的内容写入寄存器 ADDAR。	将寄存器 0x0E 写入值 0x0C50
5.随后写入寄存器 ADDAR (第 4 步), 写入地址寄存器值选择的下一个更高地址的数据寄存器; 每次访问之后, 地址寄存器都会递增。	将寄存器 0x0E 写入值 0x0011

第 4 步写入寄存器 0x0170 至 0x0C50, 由于启用了后增量, 因此第 5 步写入寄存器 0x0171 至 0x0011。

#### 7.4.2.1.6 读取 (有后增量) 操作

在读取操作之后, 若要读取扩展寄存器组中的寄存器并自动将地址寄存器递增到下一更高值:

指令	示例：读取寄存器 0x0170 和 0x0171
1.将值 0x001F (地址函数字段 = 00, DEVAD = 31) 写入寄存器 REGCR。	将寄存器 0x0D 写入值 0x001F
2.将所需寄存器地址写入寄存器 ADDAR。	将寄存器 0x0E 写入值 0x0170
3.将值 0x801F (数据, 读取和写入时的后增量函数字段 = 10, DEVAD = 31) 写入寄存器 REGCR。	将寄存器 0x0D 写入值 0x801F
4.将所需扩展寄存器组寄存器的内容读取到寄存器 ADDAR。	读取寄存器 0x0E
5.随后读取寄存器 ADDAR (第 4 步), 读取由地址寄存器值所选择下一个更高地址的数据寄存器; 每次访问之后, 地址寄存器都会递增。	读取寄存器 0x0E

第 4 步读取寄存器 0x0170, 由于启用了后增量, 因此第 5 步读取寄存器 0x0171。

#### 7.4.2.1.7 使用间接寄存器访问的读取操作示例

读取寄存器 0x0170。

1. 将寄存器 0x0D 写入值 0x001F。
2. 将寄存器 0x0E 写入值 0x0170
3. 将寄存器 0x0D 写入值 0x401F。

#### 4. 读取寄存器 0x0E。

预期默认值为 0x0C10。

##### 7.4.2.1.8 使用间接寄存器访问的写入操作示例

将寄存器 0x0170 写入值 0x0C50。

1. 将寄存器 0x0D 写入值 0x001F。
2. 将寄存器 0x0E 写入值 0x0170
3. 将寄存器 0x0D 写入值 0x401F。
4. 将寄存器 0x0E 写入值 0x0C50。

该写入会禁用 CLK\_OUT 引脚上的输出时钟。

### 7.4.3 自动协商

所有 1000BASE-T PHY 都需要支持自动协商。1000BASE-T 中的自动协商功能主要用于实现以下三个目的：

- 速度和双工选择自动协商
- 引导器或跟随器分辨率自动协商
- 暂停或不对称暂停解析自动协商

#### 7.4.3.1 速度和双工选择 - 优先级分辨率

自动协商功能提供了一种在链路段两端之间交换配置信息的机制。该机制通过交换快速链路脉冲 (FLP) 实现。FLP 是用于在链路段两端两台器件之间提供交换能力信号的突发脉冲信号。如需了解自动协商更多相关详情，另请参阅 IEEE 802.3 规范第 28 条。DP83867 支持 10Base-Te、100BASE-TX 和 1000BASE-T 工作模式。自动协商过程根据链路伙伴与本地器件公布的能力，验证是否已选择最高性能协议（即优先级解析）。

#### 7.4.3.2 引导器和跟随器分辨率

如果在优先级分辨率期间选择了 1000BASE-T 模式，则自动协商的第二个目标是解析引导节点或跟随节点配置。引导器模式优先级指定给支持多端口节点的设备，如交换机和中继器。DTE 或 NIC 卡等单节点设备具有较低的引导器模式优先级。

#### 7.4.3.3 暂停和对称暂停分辨率

如果在优先级解析期间选择全双工操作，自动协商还将确定两个链路伙伴的流控制能力。流量控制机制的初衷，是在全双工模式下，迫使繁忙站点的链路伙伴停止传输数据。与半双工运行模式（该模式可以通过简单地生成冲突来强制链路伙伴关闭）不同，全双工操作需要一种机制，以便在接收站的缓冲区已满时，减慢来自链路伙伴的传输。添加了一个新的 MAC 控制层来处理暂停帧的生成和接收。每个 MAC 控制器必须广播控制器是否能够处理暂停帧。此外，MAC 控制器会广播是否在两个方向（即接收和传输方向）处理暂停帧。如果 MAC 控制器仅生成暂停帧但不响应链路伙伴生成的暂停帧，该事件称为非对称暂停。可以通过向 ANAR（寄存器地址 0x0004）的位 10 和位 11 写入 1 来启用暂停和对称暂停功能广播。链路伙伴的暂停功能存储在 ANLPAR（寄存器地址 0x0005）位 10 和 11 中。MAC 控制器必须从 ANLPAR 中读取数据以确定要运行的暂停模式。除了简单地广播和报告暂停功能之外，PHY 层不涉及暂停解析。

#### 7.4.3.4 下一页支持

DP83867 支持 IEEE 802.3 第 28.2.4.1.7 条要求的“自动协商下一页”协议。ANNPTR 0x07 允许配置和传输下一页。有关“自动协商下一页”功能的详细信息，请参阅 IEEE 802.3 标准的第 28 条。

#### 7.4.3.5 并行检测

DP83867 支持 IEEE 802.3 规范中定义的并行检测功能。并行检测需要 10/100Mbps 接收器监控接收信号，并向自动协商功能报告链路状态。如果链路伙伴不支持自动协商，但正在传输 10BASE-Te 或 100BASE-X PMA 可识别为有效链路信号的链路信号，则自动协商功能使用此信息来配置正确的技术。

如果 DP83867 由于没有下一页操作的并行检测而完成自动协商，则会设置 ANLPAR ( 寄存器地址 0x0005 ) 的位 5 和 7，以反映链路伙伴中存在的运行模式。请注意，ANLPAR 的位 4:0 也会根据成功的并行检测设置为 00001，以指示有效的 802.3 选择器字段。软件可以通过在设置自动协商完成 ( BMSR ( 寄存器地址 0x0001 ) 的位 5 ) 后在 ANER ( 寄存器地址 0x006 ) 的位 0 读取 0 来确定协商是否通过并行检测完成。如果 PHY 配置为并行检测模式，并且发生除正常链路以外的任何情况，则会设置并行检测故障位 ( ANER ( 寄存器地址 0x006 ) 的位 4 )。

#### 7.4.3.6 重启自动协商

如果自动协商成功建立了链路随后丢失，则自动协商过程将恢复以确定链路的配置。此功能确认在电缆断开并重新连接时可以重新建立链路。自动协商完成后，可通过向 BMCR ( 寄存器地址 0x0000 ) 的位 9 写入 1 来随时重新启动该过程。来自管理代理等任何实体的重新启动自动协商请求都会导致 DP83867 停止数据传输或链路脉冲活动，直到 break\_link\_timer 到期。因此，链路伙伴进入链路故障模式并恢复自动协商。DP83867 会在 break\_link\_timer 到期后通过发送 FLP ( 快速链路脉冲 ) 突发恢复自动协商。

#### 7.4.3.7 启用通过软件自动协商

如果 MDIO 访问禁用自动协商功能，则使用软件访问以重新启动自动协商功能。清除 BMCR ( 寄存器地址 0x00 ) 的位 12，并设置为发生自动协商操作。

如果通过 Strap 配置选项禁用了自动协商功能，则无法重新启用自动协商功能。

#### 7.4.3.8 自动协商完成时间

并行检测和自动协商通常需要 2-3 秒才能完成。此外，与下一页交换的自动协商大约需要 2-3 秒才能完成，具体取决于接下来交换的页数。有关与自动协商相关的各个计时器的完整说明，请参阅 IEEE 802.3 标准的第 28 条。

#### 7.4.3.9 自动 MDIX 分辨率

DP83867 能够确定是使用直通电缆还是交叉电缆来连接链路伙伴。PHY 可以自动重新分配通道 A 和 B，以与链路伙伴建立链路 ( 通道 C 和 D 处于 1000BASE-T 模式 )。自动 MDIX 解析先于实际的自动协商过程，该过程涉及快速链路脉冲交换与广播功能。在 IEEE 802.3 第 40 条第 40.8.2 节，介绍了自动 MDI/MDIX。对于 10BASE-Te 与 100BASE-TX，没有强制要求实现的功能。2022 年 8 月之后生产的 DP83867 器件，随机种子取值范围已扩容，现支持 255 种不同种子值，可加快与链路伙伴间自动 MDIX 的协商解析速度。

对于 10/100，自动 MDIX 不受自动协商影响。自动 MDIX 在自动协商模式和手动强制速度模式下都可以工作。

### 7.4.4 回送模式

提供了多个环回选项，可用于测试和验证 PHY 中的各种功能块。启用环回模式后，可以对数字和模拟数据路径进行电路内测试。通常，DP83867 可配置为任何一种近端回送模式，也可配置为远端 ( 反向 ) 回送模式。MII 环回是使用 BMCR ( 寄存器地址 0x0000 ) 进行配置的。所有其他环回模式均通过 BISR ( 寄存器地址 0x16 ) 启用。除非另有说明，否则所有速度 (10/100/1000) 和所有 MAC 接口 ( RGMII 和 GMII ) 都支持回送模式。

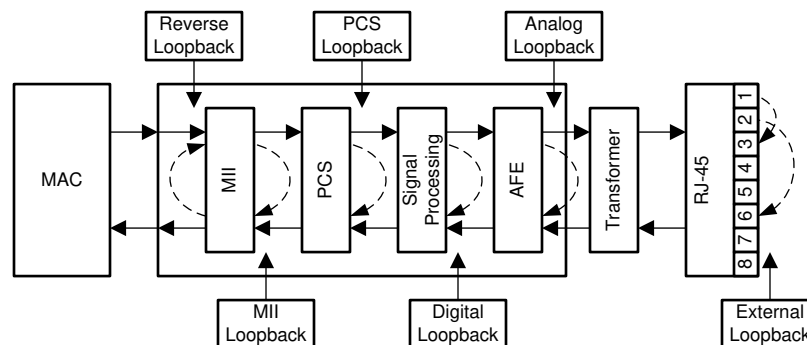


图 7-11. 环回

环回的可用性取决于 PHY 的工作模式。在这些回送模式下，运行模式还会影响链路状态。表 7-4 列出了回送模式的可用性和相应的链路状态指示。

表 7-4. 回送可用性

回送模式	MAC 接口	1000M		100M		10M	
		可用性	链路状态	可用性	链路状态	可用性	链路状态
MII	GMII/RGMII	是	否	是	否	是	否
PCS	GMII/RGMII	是	否	是	是	否	否
数字	GMII/RGMII	是	是	是	是	是	是
模拟	GMII/RGMII	是	是	是	是	是	是
外部	GMII/RGMII	否	否	是	是	是	是

#### 7.4.4.1 近端环回

近端环回提供了通过数字或模拟电路将传输的数据环回至接收器的能力。可通过环回控制位选择信号的环回点，提供了多种可选配置。

配置环回模式时，环回配置寄存器 (LOOPCR) 地址 0x00FE 可以设置为 0xE720。

为了保持所需的工作模式，在选择近端环回模式之前禁用自动协商功能。该限制不适用于外部环回模式。

在选择近端环回模式之前禁用自动 MDIX。可手动进行 MDI 或 MDIX 配置。

##### 7.4.4.1.1 MII 环回

MII 环回是穿过 PHY 的最浅环路。配置是一种用于验证 MAC 与 PHY 之间通信的测试模式。在 MII 环回模式下，数据被环回，并且可以通过寄存器配置为传输到介质。

##### 7.4.4.1.2 PCS 环回

PCS 环回发生在 PHY 的 PCS 层。使用 PCS 环回时不执行信号处理。

##### 7.4.4.1.3 数字环回

数字环回包括整个数字发送 - 接收路径。数据在模拟电路之前环回。

##### 7.4.4.1.4 模拟环回

模拟环回包括整个模拟发送和接收路径。

#### 7.4.4.2 外部环回

在 10BASE-Te 或 100Base-T 模式下运行时，通过将发送引脚连接到接收引脚，可以在 RJ-45 连接器上环回信号。由于 1000Base-T 模式下的信令性质，不支持这种类型的外部环回。模拟环回提供了一种在 1000Base-T 模式下运行时在模拟电路中环回数据的方法。为了在模拟回送模式下正常运行，请将 100 Ω 终端连接到 RJ45 连接器。

#### 7.4.4.3 远端 (反向) 环回

远端 (反向) 环回是一种特殊的测试模式，允许与链路伙伴进行 PHY 测试。在此模式下，从链路伙伴接收的数据通过 PHY 的接收器传递，在 MAC 接口上环回，然后发送回链路伙伴。在反向环回模式下，来自 MAC 的所有数据信号都将被忽略。通过寄存器配置，可以将数据传输到 MAC 接口上。

#### 7.4.5 BIST 配置

该器件包含内部 PRBS 内置自检 (BIST) 电路，可适应电路内测试或诊断。使用 BIST 电路测试发送和接收数据路径的完整性。使用两个内部回送 (数字或模拟) 执行 BIST，也可以通过利用电缆固定装置的外部回送执行。BIST 采用真实数据包和数据包间间隙 (IPG) 格式来模拟线路上的假随机数据传输场景。

BIST 采用独立的发送和接收路径，且发送时钟能够生成假随机序列的连续流。该器件为 BIST 生成一个 15 位假随机序列。接收到的数据将与 BIST 线性反馈移位寄存器 (LFSR) 生成的假随机数据进行比较，以确定 BIST 通过或失败状态。PRBS 校验器接收到的错误字节数存储在 BICSR2 寄存器 (0x0072)。可以从 STS2 寄存器 (0x0017h) 读取状态：PRBS 校验器是否锁定到传入接收位流、PRBS 是否失去同步，以及数据包发生器是否处于繁忙状态。若要识别适当数据接收的起始位置，需要锁定和同步指示，而对于任何链路故障或数据损坏，最能起到指示作用的是 BICSR2 寄存器 (0x0072) 中错误计数器的内容。接收到的字节数存储在 BICSR1 (0x0071) 中。

使用 BICSR 寄存器 (0x0016h) 的位 14 将 PRBS 测试置于连续模式。在连续模式下，当其中一个 PRBS 计数器达到最大值时，此计数器再次从零开始计数。通过 BICSR 寄存器 (0x0016) 的寄存器位 13，将数据包配置为两种类型之一 (64 个字节和 1518 个字节)。

#### 7.4.6 电缆诊断

随着以太网设备的大量部署，对可靠、全面和用户友好型电缆诊断工具的需求比以往任何时候都更加强烈。所部署的电缆、拓扑结构和连接器种类繁多，因此需要以非侵入的方式识别和报告电缆故障。TI 电缆诊断单元提供了有关电缆完整性的大量信息。DP83867 在电缆诊断工具套件中提供时间域反射法 (TDR) 功能。

##### 7.4.6.1 TDR

DP83867 使用时域反射法 (TDR) 来确定电缆、连接器和端接电阻的质量，还可以估算电缆长度。能够诊断的部分潜在问题包括开路、短路、电缆阻抗不匹配、连接器不良、端接不匹配、跨接故障、交叉短路以及任何其他电缆不连续性。

DP83867 沿着所连接电缆的两个线对中的每一个线对发送已知幅度 (1V 或 2.5V) 的测试脉冲。发送的信号沿电缆传输时，会通过每个电缆缺陷、故障、连接器不良以及电缆末端进行反射。发送脉冲后，DP83867 会测量所有这些反射脉冲的返回时间和幅度。该技术能够以  $\pm 1\text{m}$  的精度，测量非端接电缆 (开路或短路)、不连续电缆 (连接器不良)、端接不当电缆以及交叉对线的距离与幅度 (阻抗)。

DP83867 还使用数据平均来降低噪声并提高精度。DP83867 可以记录所测试对内最多五次反射。如果记录的反射超过 5 次，DP83867 会保存前 5 次反射。如果检测到交叉故障，TDR 会在测试通道中保存第一个交叉故障位置以及最多 4 次反射。DP83867 TDR 可测量长度超过 100m 的电缆。

对于所有的 TDR 测量，到达时间和物理距离之间的转换由外部主机通过少量计算 (例如乘法、加法和查询表) 来完成。主机必须知道电缆的预期传播延迟，该延迟取决于电缆的类别 (例如 CAT5、CAT5e 或 CAT6) 等因素。有关 TDR 计算的更多信息，请参阅德州仪器 (TI) [DP83867](#) 和 [DP83869](#) *时域反射法应用手册*。

以下情况下允许在 DP83867 进行 TDR 测量：

- 当链路伙伴断开时 - 在另一侧拔下电缆
- 链路伙伴已连接但保持静默 (例如，在断电模式下)
- 通过设置寄存器 0x0009 (CFG1) 的位 7，可使链路失效或断开。链路故障后 TDR 运行的结果保存在 TDR 寄存器中。

软件可随时读取这些寄存器，对 TDR 结果进行后处理。此模式适用于链路由于电缆断开而断开的情况。例如，在链路发生故障后，线路保持静默，以便 TDR 能够正常运行。

##### 7.4.6.2 能量检测

能量检测器模块可在各种情况下提供信号强度指示。由于检测基于 IIR 滤波器，因此这款稳健的能量检测器具有出色的反应时间和可靠性。将滤波器输出与预定义的阈值进行比较，以确定是否存在传入信号。能量检测器还实现了磁滞，以避免信号检测指示抖动。此外，PHY 具有完全可编程的阈值和侦听时间周期，从而能够在需要时缩短反应时间。

##### 7.4.6.3 快速链路丢弃 (FLD)

DP83867 包括高级链路丢失功能，可支持各种实时应用。链路丢失机制是可配置的，并包含可实现极快链路丢失反应时间的增强模式。

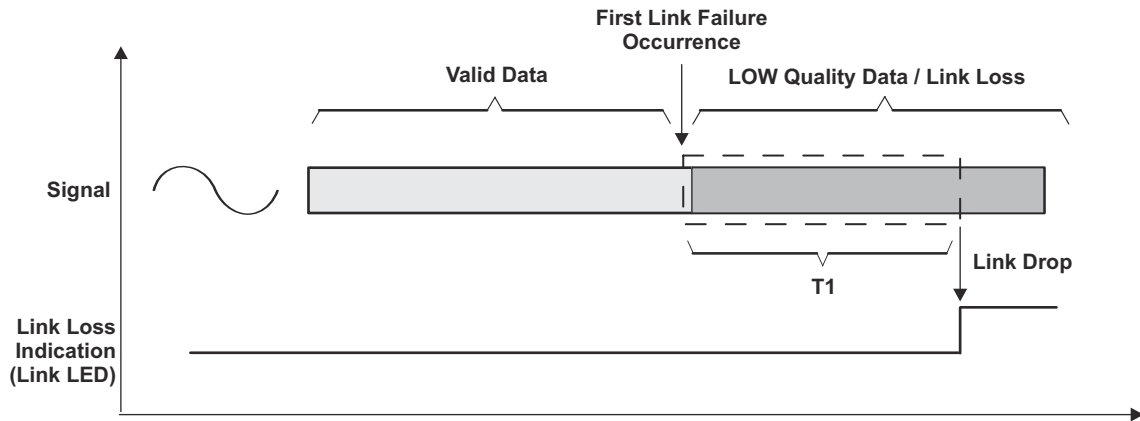


图 7-12. 快速链路丢弃机制

如图 7-12 中所述，链路中断机制基于监控信号行为的时间窗口搜索周期。默认情况下会设置 T1 窗口，将 100M 模式下的典型链路压降减少到 1ms 以下，在 1000M 模式下减少到 0.5ms 以下。

DP83867 支持缩短称为“快速链路丢弃”模式的窗口的增强模式。在此模式下（可以使用 FLD\_CFG 寄存器（地址 0x002C）T1 窗口会显著缩短，在大多数情况下小于 10  $\mu$ s。在这段时间内，允许使用多个标准来生成链路丢失事件并丢弃链路：

1. 解码器同步丢失
2. 接收错误
3. MLT3 错误
4. 均方误差 (MSE)
5. 能量损耗

对于快速链路丢弃功能，允许单独使用或以任意组合方式使用该等选项。请注意，由于这种模式可以实现极快的反应时间，因此 PHY 更容易遇到临时链路质量较差的情况。

#### 备注

当在 DUT 和 LP（链路伙伴）上启用快速链路丢弃功能，并且检测到链路丢弃功能时，必须有机会使用 FLD\_CFG 寄存器（地址 0x002D）的位 14 禁用 FLD 才能重新建立链路。链路接通后，使用相同的位（FLD\_CFG 位[14]）再次启用 FLD。

如上所述，可以将 PHY 的 FLD 源配置为进行评估的五种模式。这些模式可以通过 FLD\_CFG 寄存器（地址 0x002D）位[4:0] 进行配置。除了寄存器配置外，64 引脚 PAP 封装型号还可以通过引脚搭接在能量损失模式下实现快速链路中断。引脚 Strap 配置将寄存器 FLD\_CFG（地址 0x002D）位[0] 设置为高电平。使用引脚搭接时，寄存器 FLD\_THR\_CFG（地址 0x002E）设置为 0x0222，必须将该寄存器重新配置为 0x0221。

#### 7.4.6.4 快速链路检测

有几种高级模式可用于快速链路建立。与 IEEE 802.3 规范定义的自动协商和自动 MDIX 机制不同，这些模式特定于 DP83867。实现这些模式时要小心。为获得更佳运行效果，TI 建议在链路两端使用 DP83867 实现这些模式。

这些高级链路和交叉模式取决于为链路选择的速度。有些模式用于 1000Base-T 运行。其他模式旨在用于 100Base-TX 运行。

使用配置寄存器 3 (CFG3) 地址 0x001E 配置快速链路检测功能。

#### 7.4.6.5 速度优化

速度优化也称为链路降档，可在千兆位链路建立多次连续尝试失败后，回退到 100M 操作。如果仅使用四根导线（两根双绞线）布线而不是使用八根导线（四根双绞线）的标准布线，则可能会出现这种情况。

在回退到 100M 操作之前，失败的链路尝试次数是可配置的。默认情况下，在回退到 100M 之前需要四次失败的链路尝试。

在增强模式下，如果在 C 和 D 通道上未检测到能量，则在一次链路尝试失败后可能会回退到 100M。如果在千兆和 100M 模式下链路建立失败，速度优化还支持回退到 10M。

可以通过 Strap 配置或通过寄存器配置来支持速度优化。

#### 7.4.6.6 镜像模式

在某些多端口应用中，RJ-45 端口相互镜像。这种镜像可能需要跨板布线。DP83867 可以通过实现器件内部端口的镜像来解决该问题。

在 10/100 操作中，端口镜像的映射是：

MDI 模式	镜像端口配置
MDI	A → D
	B → C
MDIX	A → D
	B → C

在千兆操作中，端口镜像的映射是：

MDI 模式	镜像端口配置
MDI 或 MDIX	A → D
	B → C
	C → B
	D → A

通过 Strap 配置或使用 CFG4 寄存器（地址 0x0031）中的端口镜像启用位通过寄存器配置来启用镜像模式。在镜像模式下，信号的极性也会反转。

#### 7.4.6.7 中断

将 DP83867 配置为在发生内部状态变化时生成中断。该中断允许 MAC 根据 PHY 中的状态运行，而无需轮询 PHY 寄存器。通过中断寄存器 MICR（寄存器地址 0x0012）和 ISR（寄存器地址 0x0013）选择中断源。

#### 7.4.6.8 IEEE 802.3 测试模式

适用于 1000BASE-T 的 IEEE 802.3 规范要求 PHY 层能够在 TX 输出上生成某些定义明确的测试模式。第 40 条第 40.6.1.1.2 节 *测试模式* 详细介绍了这些测试。共有四种测试模式以及正常工作模式。可以通过写入 CFG1 寄存器（地址 0x0009）来选择这些模式。

有关测试模式性质的更多信息，请参阅 IEEE 802.3 第 40.6.1.1.2 节 *测试模式*。DP83867 提供与 IEEE 测试模式同步的测试时钟。测试图形在器件的 MDI 引脚上输出，发送时钟在 CLK\_OUT 引脚上输出。

如需详细了解如何配置 DP83867 进行 IEEE 802.3 合规性测试，请参阅 [如何配置 DP838XX 进行以太网合规性测试应用手册](#)。

## 7.5 编程

### 7.5.1 搭接配置

DP83867 使用很多功能引脚作为 Strap 配置选项，以便将器件置于特定的运行模式。上电或硬复位时会对这些引脚的值进行采样。在软件复位期间，内部将根据上电或硬复位时采样的值重新加载配置 (strap) 选项。配置 (strap) 选项引脚分配定义如下。功能引脚名称在括号内标明。

Strap 配置引脚支持 4 电平 Strap 配置，下面将进一步详细介绍。

#### 备注

由于 Strap 配置引脚可能在复位取消后具有替代功能，因此这些引脚无法直接连接到 VDD 或 GND。

可通过 4 电平 Strap 配置引脚或通过管理寄存器接口配置器件。利用上拉电阻器和下拉电阻器的建议值，设置 4 电平 Strap 配置引脚输入与电源的电压比，以便选择其中一种可选模式。

MAC 接口引脚必须支持 3.3V、2.5V 与 1.8V 的 I/O 电压。由于 Strap 配置输入是在这些引脚上实现的，因此 Strap 配置也必须支持在 3.3V、2.5V 和 1.8V 电源下运行。

有关配置 4 电平 Strap 配置的更多信息，请参阅 [使用 4 电平 Strap 配置以太网器件应用手册](#)。

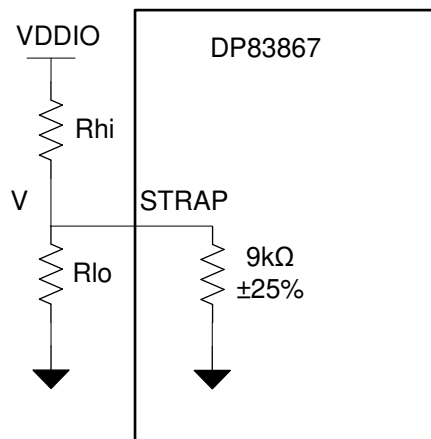


图 7-13. 配置 (Strap) 电路

表 7-5. 4 级 Strap 配置电阻比

模式	目标电压			建议 Rhi (kΩ)	建议 Rlo (kΩ)
	Vmin (V)	Vtyp (V)	Vmax (V)		
1	0	0	$0.098 \times VDDIO$	断开	断开
2	$0.140 \times VDDIO$	$0.165 \times VDDIO$	$0.191 \times VDDIO$	10	2.49
3	$0.225 \times VDDIO$	$0.255 \times VDDIO$	$0.284 \times VDDIO$	5.76	2.49
4	$0.694 \times VDDIO$	$0.783 \times VDDIO$	$0.888 \times VDDIO$	2.49	断开

所有 Strap 配置都有一个  $9k\Omega \pm 25\%$  内部下拉电阻器。Strap 配置引脚处的电压可以介于表 7-5 中目标电压列提及的 Vmin 和 Vmax 之间。建议使用容差为 1% 的自举电阻器。

下表介绍了 DP83867 配置 Strap 配置：

**表 7-6. 4 电平 Strap 配置引脚**

引脚名称	64 HTQFP 引脚编号	48 QFN 引脚编号	默认值	自举功能		
				模式	PHY_ADD1	PHY_ADD0
RX_D0	44	33	[00]	模式	PHY_ADD1	PHY_ADD0
				1	0	0
				2	0	1
				3	1	0
				4	1	1
RX_D2	46	35	[00]	模式	PHY_ADD3	PHY_ADD2
				1	0	0
				2	0	1
				3	1	0
				4	1	1
RX_D4	48		[00]	模式	ANEG_SEL1	PHY_ADD4
				1	0	0
				2	0	1
				3	1	0
				4	1	1
RX_D5	49		[00]	模式	强制 MDI/X	半双工使能 (FD/HD)
				1	0	0
				2	0	1
				3	1	0
				4	1	1
RX_D6	50		[00]	模式	RGMII 禁用	AMDIX 禁用
				1	0	0
				2	0	1
				3	1	0
				4	1	1
RX_D7	51		[00]	模式	速度优化使能	时钟输出禁用
				1	0	0
				2	0	1
				3	1	0
				4	1	1
RX_DV/ RX_CTRL <sup>(1)</sup>  (需要 Strap 配置)	53	38	[0]	模式		自动协商禁用
				1		不适用
				2		不适用
				3		0
				4		1
CRS <sup>(2)</sup>	56		[0]	模式		快速链路丢弃 (FLD)
				1		0
				2		1
				3		不适用

表 7-6. 4 电平 Strap 配置引脚 (续)

引脚名称	64 HTQFP 引脚编号	48 QFN 引脚编号	默认值	自举功能		
				4		不适用

表 7-6. 4 电平 Strap 配置引脚 (续)

引脚名称	64 HTQFP 引脚编号	48 QFN 引脚编号	默认值	自举功能		
				模式	RGMII 时钟偏差 TX[1]	RGMII 时钟偏差 TX[0]
LED_2		45	[00]	模式	RGMII 时钟偏差 TX[1]	RGMII 时钟偏差 TX[0]
				1	0	0
				2	0	1
				3	1	0
				4	1	1
LED_1	62	46	[00]	模式	ANEG_SEL	RGMII 时钟偏差 TX[2]
				1	0	0
				2	0	1
				3	1	0
				4	1	1
LED_0 <sup>(3)</sup>	63	47	[0]	模式	镜像启用	
				1	0	
				2	不适用	
				3	1	
				4	不适用	
GPIO_0		39	[00]	模式	RGMII 时钟偏差 RX[0]	
				1	0	
				2	不适用	
				3	1	
				4	不适用	
GPIO_1		40	[00]	模式	RGMII 时钟偏差 RX[2]	RGMII 时钟偏差 RX[1]
				1	0	0
				2	0	1
				3	1	0
				4	1	1

- (1) Strap 配置模式 1 和 2 不适用于 RX\_DV/RX\_CTRL。RX\_DV/RX\_CTRL Strap 配置必须配置为 Strap 配置模式 3 或 Strap 配置模式 4。如果 RX\_CTRL 引脚无法 Strap 配置为模式 3 或模式 4，则必须将配置寄存器 4 (地址 0x0031) 的位 [7] 清除为 0。使用千兆位以太网时，“自动协商禁用”始终可以设置为 0。
- (2) Strap 配置模式 3 和 4 不适用于 CRS。CRS Strap 配置必须配置为 Strap 配置模式 1 或 Strap 配置模式 2。
- (3) Strap 配置模式 2 和 4 不适用于 LED\_0。LED\_0 Strap 配置必须配置为 Strap 配置模式 1 或 Strap 配置模式 3。

表 7-7. PAP 自动协商选择 Strap 配置详细信息

模式	ANEG_SELO	ANEG_SEL1	注释
10/100/1000	0	0	通告能力 10/100/1000
100/1000	1	0	通告能力仅 100/1000
1000	0	1	通告能力仅 1000
10/100	1	1	通告能力仅 10/100

表 7-8. RGZ 自动协商选择 Strap 配置详细信息

模式	ANEG_SEL	注释
10/100/1000	0	通告能力 10/100/1000
100/1000	1	通告能力仅 100/1000

表 7-9. RGMII 发送时钟偏斜详细信息

模式	RGMII 时钟偏差 TX[2]	RGMII 时钟偏差 TX[1]	RGMII 时钟偏差 TX[0]	RGMII TX 时钟偏差
1	0	0	0	2.0ns
2	0	0	1	1.5ns
3	0	1	0	1.0ns
4	0	1	1	0.5ns
5	1	0	0	0ns
6	1	0	1	3.5ns
7	1	1	0	3.0ns
8	1	1	1	2.5ns

表 7-10. RGMII 接收时钟偏斜详细信息

模式	RGMII 时钟偏差 RX[2]	RGMII 时钟偏差 RX[1]	RGMII 时钟偏差 RX[0]	RGMII RX 时钟偏差
1	0	0	0	2.0ns
2	0	0	1	1.5ns
3	0	1	0	1.0ns
4	0	1	1	0.5ns
5	1	0	0	0ns
6	1	0	1	3.5ns
7	1	1	0	3.0ns
8	1	1	1	2.5ns

### 7.5.2 LED 配置

DP83867 支持四个可配置发光二极管 (LED) 引脚：LED\_0、LED\_1、LED\_2 和 RXD7/GPIO。LED 上可多路复用若干功能，用于不同工作模式。可使用 LEDCR1 寄存器 (地址 0x0018) 选择 LED 工作模式。

LED 输出引脚也用作 Strap 配置引脚，考虑实现 Strap 配置和 LED 使用所需的外部元件，以避免出现资源争用。具体来说，当 LED 输出用于直接驱动 LED 时，每个输出驱动器的活动状态取决于相应 AN 输入在上电或复位时所采样的逻辑电平。

如果给定的 Strap 输入被电阻拉至低电平，则相应的输出被配置为高电平有效驱动器。在 4 级 Strap 配置环境中，模式 1、2 和 3 会发生这种情况。相反，如果给定的 Strap 输入被电阻拉高电平，则相应的输出被配置为低电平有效驱动器。在 4 级 Strap 配置环境中，模式 4 会发生这种情况。

有关外部元件的 Strap 配置连接示例，请参阅图 7-14。在此示例中，Strap 配置会导致 LED\_0 的模式 1 和 LED\_1 的模式 4。

LED 输出的自适应特性有助于简化这些双用途引脚的潜在实施问题。

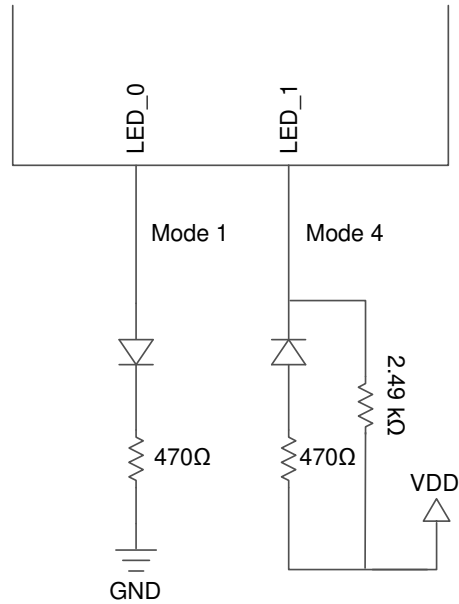


图 7-14. Strap 配置连接示例

### 7.5.3 LED 由 1.8V I/O VDD 电源供电

LED 由 1.8V 电源供电会导致 LED 照明变暗。为获得更佳效果，建议在更高的电源电压 ( 2.5V 或 3.3V ) 下运行。对于此功能的可能实现，请参阅 图 7-15。

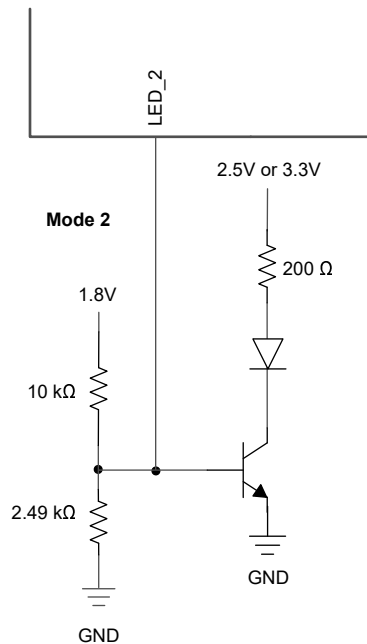


图 7-15. LED 由 1.8V I/O VDD 电源供电

### 7.5.4 PHY 地址配置

DP83867IRPAP 可通过 Strap 配置引脚，设置为响应 32 个可能的 PHY 地址中的任何一个。DP83867IRRGZ/ CRRGZ 支持 16 个地址。器件上电或硬件复位时，该信息锁存在器件中。每个 DP83867 或系统中共享 MDIO 总线的端口都必须有唯一的物理地址。DP83867IRPAP 支持 PHY 地址 Strap 配置值 0 (<00000>) 至 31 (<11111>)。DP83867IRRGZ/CRRGZ 支持从 0 (<0000>) 至 15 (<1111>) 的 PHY 地址。

有关 PHY 地址引脚以及其他硬件配置引脚的锁存时序要求的更多详细信息，另请参阅 [节 7.5.5](#)。

根据 PHY\_ADD[4:0] 的默认 Strap 配置，DP83867 PHY 地址初始化为 0x00，无需任何外部 Strap 配置。

有关外部元件的 PHY 地址连接示例，另请参阅 [图 7-16](#)。在该示例中，引脚配置如下：RX\_D4 = Strap 配置模式 4，RX\_D2 = Strap 配置模式 3 和 RX\_D0 = Strap 配置模式 2。因此，PHY 地址 Strap 配置产生地址 11001 (19h)。

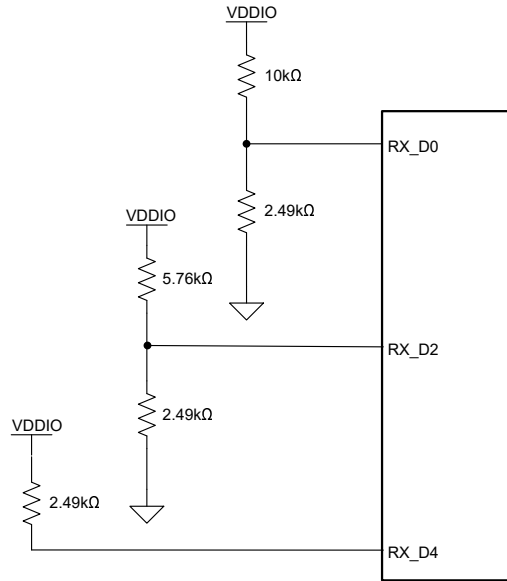


图 7-16. IRPAP PHY 地址 Strap 配置示例

有关外部元件的 PHY 地址连接示例，请参阅 [图 7-17](#)。在该示例中，引脚配置如下：RX\_D2 = Strap 配置模式 3 和 RX\_D0 = Strap 配置模式 2。因此，PHY 地址 Strap 配置产生地址 1001 (09h)。

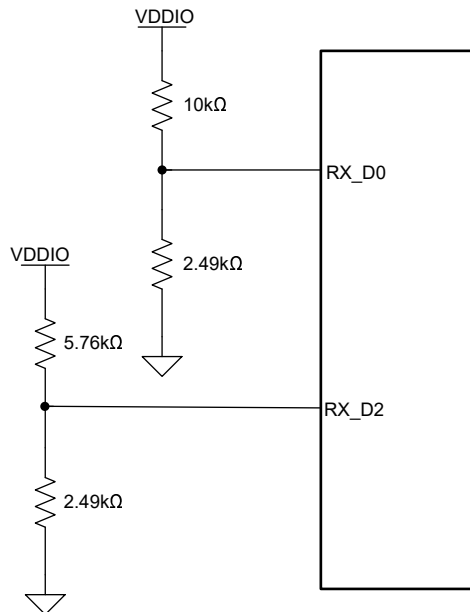


图 7-17. RGZ PHY 地址 Strap 配置示例

### 7.5.5 复位操作

DP83867 包含内部上电复位 (POR) 功能, 因此上电后不需要显式复位即可正常运行。如果正常运行期间需要, 可通过硬件或软件复位来复位器件。

#### 7.5.5.1 硬件复位

对 RESET\_N 引脚施加一个持续时间至少 1  $\mu$ s 的低脉冲, 以实现硬件复位。这将复位器件, 以便将所有寄存器都重新初始化为默认值, 并将硬件配置值重新锁存到器件中 (类似于上电或复位操作)。

#### 7.5.5.2 IEEE 软件复位

IEEE 寄存器软件复位是通过设置 BMCR 寄存器 (地址 0x0000) 的 RESET 位 (位 15) 来实现。该位复位 IEEE 定义的标准寄存器。

#### 7.5.5.3 全局软件复位

通过将寄存器 CTRL (地址 0x001F) 的位 15 设置为 1, 可实现全局软件复位。该位会复位 PHY 中的所有内部电路, 包括 IEEE 定义的寄存器和所有扩展寄存器。全局软件复位会将器件复位, 使所有寄存器恢复默认值, 同时保留硬件配置参数值。

#### 7.5.5.4 全局软件重启

通过将寄存器 CTRL (0x001F) 的位 14 设置为 1, 可实现全局软件重新启动。此操作会复位除寄存器文件中的寄存器之外的所有 PHY 电路。

### 7.5.6 节能模式

DP83867 支持 4 种节能模式。详细信息如下所示。

#### 7.5.6.1 IEEE 断电

PHY 会断电, 但通过 MDIO-MDC 引脚访问 PHY 的情况会保留。通过将外部 PWDN 引脚置为有效或设置 BMCR (寄存器 0x00) 的位 11 来激活此模式。

通过下电上电、软件复位或清空 BMCR 寄存器中的位 11, 使 PHY 退出此模式。但是, 可以将外部 PWDN 引脚置为无效。如果 PWDN 引脚保持有效, 则 PHY 将保持断电状态。

#### 7.5.6.2 深度省电模式

深度省电模式与 IEEE 省电相同, 但 XI 焊盘也将被关闭。通过将外部 PWDN 引脚置为有效或设置 BMCR (寄存器 0x00) 的位 11 来激活此模式。在激活此模式之前, 需要通过配置为 PHYCR (寄存器 0x10) 设置位 7。

通过下电上电、软件复位或清空 BMCR 寄存器中的位 11, 使 PHY 退出此模式。但是, 可将外部 PWDN 引脚置为无效。如果 PWDN 引脚保持有效, 则 PHY 将保持断电状态。

#### 7.5.6.3 主动睡眠

在此模式下, 所有数字和模拟块都断电。检测到链路伙伴后, PHY 会自动上电。当链路伙伴关闭或未激活但 PHY 无法断电时, 此模式对于节能非常有用。在主动睡眠模式下, PHY 仍会例行向链路伙伴发送 NLP。通过向 PHYCR (寄存器 0x10) 的位 [9:8] 写入二进制 10, 可以激活此模式。

#### 7.5.6.4 被动睡眠

这就像主动睡眠一样, 只是 PHY 不发送 NLP。通过向 PHYCR (寄存器 0x10) 的位 [9:8] 写入二进制 11, 可以激活此模式。

## 8 寄存器

在“默认”标题下的寄存器定义中，以下定义均有效：

<b>RW</b>	读写访问
<b>SC</b>	在发生事件时设置寄存器并在事件结束时自清除
<b>RW/SC</b>	读写访问/自清除位
<b>RO</b>	只读访问
<b>COR</b>	COR = 读取时清除
<b>RO/COR</b>	只读，读取时清除
<b>RO/P</b>	只读，永久设置为默认值
<b>LL</b>	根据相应事件的发生情况锁存为低电平并在读取前一直保持
<b>LH</b>	根据相应事件的发生情况锁存为高电平并在读取前一直保持
<b>Strap</b>	复位后从自举引脚加载的默认值

### 8.1 基本模式控制寄存器 (BMCR)

表 8-1. 基本模式控制寄存器 (BMCR)，地址 0x0000

位	位名称	默认值	说明
15	复位	0, RW/SC	重置： 1 = 启动软件复位/复位进行中。 0 = 正常运行。 该位将自行清除，在复位过程完成之前返回 1。配置受到限制。
14	环回	0, RW	回送： 1 = 启用回送。 0 = 正常运行。 回送功能使 MII 发送数据能够路由到 MII 接收数据路径。 设置该位可能会导致解扰器丢失同步，并在 MII 接收输出中出现任何有效数据之前生成 500µs 死区时间。
13	速度选择 LSB	0, RW	引脚选择 (位 6、13)： 禁用自动协商功能后，可通过写入该位的方式，选择端口速度。 11 = 保留 10 = 1000Mbps 1 = 100Mbps 0 = 10Mbps
12	自动协商启用	Strap, RW	自动协商启用： Strap 配置控制复位时的初始值。 1 = 启用自动协商 - 设置该位后，会忽略寄存器第 8 位与第 13 位。 0 = 禁用自动协商 - 第 8 位与第 13 位确定端口速度与双工模式。
11	断电	0, RW	断电： 1 = 断电。 0 = 正常运行。 设置该位会使 PHY 断电。在断电条件下，仅启用寄存器块。该位用 PWRDOWN_INT 引脚的输入进行或运算。当低电平有效 PWRDOWN_INT 引脚置位时，会设置该位。

**表 8-1. 基本模式控制寄存器 (BMCR), 地址 0x0000 (续)**

位	位名称	默认值	说明
10	隔离	0, RW	隔离： 1 = 将端口与 MII 隔离 (串行管理接口除外)。 0 = 正常运行。
9	重启自动协商	0, RW/SC	重启自动协商： 1 = 重启自动协商。重新发起自动协商过程。如果禁用自动协商功能 (第 12 位 = 0)，则忽略该位。该位为自清零位，启动自动协商以前，该位返回值为 1，使能后，该位自动清除。管理实体清除该位不会影响自动协商过程运行。 0 = 正常运行。
8	双工模式	Strap, RW	双工模式： 禁用自动协商功能后，可通过写入该位的方式，选择端口双工能力。 1 = 全双工操作。 0 = 半双工操作。
7	碰撞测试	0, RW	碰撞测试： 1 = 启用冲突测试。 0 = 正常运行。 设置该位后，COL 信号会在 512 位时间内响应 TX_EN 置位。COL 信号在 4 个比特时间内取消置位，以响应 TX_EN 取消置位。
6	速度选择 MSB	1, RW	速度选择：请参阅位 13 的说明。
5:0	RESERVED	0 0000, RO	RESERVED：写入忽略，读取为 0。

## 8.2 基本模式状态寄存器 (BMSR)

表 8-2. 基本模式状态寄存器 (BMSR), 地址 0x0001

位	位名称	默认值	说明
15	100BASE-T4	0, RO/P	支持 100BASE-T4 : 0 = 器件无法执行 100BASE-T4 模式。
14	100BASE-TX 全双工	1, RO/P	支持 100BASE-TX 全双工 : 1 = 器件能够在全双工模式下执行 100BASE-TX。
13	100BASE-TX 半双工	1, RO/P	支持 100BASE-TX 半双工 : 1 = 器件能够在半双工模式下执行 100BASE-TX。
12	10BASE-Te 全双工	1, RO/P	支持 10BASE-Te 全双工 : 1 = 器件能够在全双工模式下执行 10BASE-Te。
11	10BASE-Te 半双工	1, RO/P	支持 10BASE-Te 半双工 : 1 = 器件能够在半双工模式下执行 10BASE-Te。
10	100BASE-T2 全双工	0, RO/P	支持 100BASE-T2 全双工 : 0 = 器件无法在全双工模式下执行 100BASE-T2。
9	100BASE-T2 半双工	0, RO/P	支持 100BASE-T2 半双工 : 0 = 器件无法在半双工模式下执行 100BASE-T2。
8	扩展状态	1, RO/P	100BASE-T 扩展状态寄存器 : 1 = 器件支持扩展状态寄存器 0x0F。
7	RESERVED	0, RO	RESERVED : 写入为 0, 读取为 0。
6	MF 前导码抑制	1, RO/P	支持前导码抑制 : 1 = 器件可在无前导码抑制的情况下执行管理事务, 仅在复位、检测到无效操作码或无效换向时序后, 需要发送一次 32 位前导码。 0 = 正常管理运行。 在开始下一个事务之前, 该器件要求两个事务之间至少有 500ns 的间隔, 然后是 MDC 的一个正边沿和 MDIO=1。
5	自动协商完成	0, RO	自动协商完成 : 1 = 自动协商过程完成。 0 = 自动协商过程未完成。
4	远程故障	0, RO/LH	远程故障 : 1 = 检测到远程故障条件 ( 在读取时或通过复位清除 )。故障标准 : 远端故障指示或链路伙伴发送的远程故障通知。 0 = 未检测到远程故障情况。
3	自动协商能力	1, RO/P	自动协商能力 : 1 = 器件能够执行自动协商。 0 = 器件无法执行自动协商。
2	链路状态	0, RO/LL	链路状态 : 1 = 已建立有效链路。 0 = 未建立链路。 链路有效性的标准是特定于实现的。发生链路故障情况会导致链路状态位被清除。清除后, 只能通过建立良好的链路条件和通过管理接口读取来设置该位。

**表 8-2. 基本模式状态寄存器 (BMSR), 地址 0x0001 (续)**

位	位名称	默认值	说明
1	JABBER 检测	0, RO/LH	Jabber 检测：该位仅在 10Mbps-T 模式下有意义。 1 = 检测到 Jabber 条件。 0 = 无 Jabber。 该位通过锁存功能实现，这样发生 Jabber 条件会导致该位被置位，直到管理接口通过读取该寄存器或通过复位来清除该位。
0	扩展功能	1, RO/P	扩展功能： 1 = 扩展寄存器功能。 0 = 仅基本寄存器组功能。

### 8.3 PHY 标识符寄存器 #1 (PHYIDR1)

PHY 标识符寄存器 #1 和 #2 共同构成 DP83867 的唯一标识符。该标识符由组织唯一标识符 (OUI)、供应商型号和型号版本号拼接组成。PHY 可根据需要将 PHY 标识符的 32 位中的每一位返回零值。PHY 标识符旨在支持网络管理。德州仪器 (TI) 由 IEEE 分配的 OUI 为 080028h。

**表 8-3. PHY 标识符寄存器 #1 (PHYIDR1), 地址 0x0002**

位	位名称	默认值	说明
15:0	OUI_MSB	0010 0000 0000 0000, RO/P	OUI 最高有效位：OUI (080028h) 的位 3 至 18 存储于此寄存器的位 15 至 0 中。OUI 的最高有效两位忽略不计 (IEEE 标准将其称为位 1 和位 2)。

### 8.4 PHY 标识符寄存器 #2 (PHYIDR2)

**表 8-4. PHY 标识符寄存器 #2 (PHYIDR2), 地址 0x0003**

位	位名称	默认值	说明
15:10	OUI_LSB	1010 00, RO/P	OUI 最低有效位： OUI (080028h) 的第 19 至 24 位分别映射自此寄存器的第 15 至 10 位。
9:4	VNDR_MDL	10 0011, RO/P	供应商型号： 六位供应商型号映射自第 9 至 4 位 (最高有效位对应第 9 位)。
3:0	MDL_REV	0001, RO/P	型号版本号： 四位供应商型号版本号映射自第 3 至 0 位 (最高有效位对应第 3 位)。对于所有主要器件更改，该字段都会递增。

## 8.5 自协商通告寄存器 (ANAR)

此寄存器包含该器件的通告能力，这些设置会在自动协商期间发送至链路伙伴。自动协商完成之前（如基本模式状态寄存器（地址 01h）中的自动协商完成位 BMSR[5] 所示）对此寄存器的任何写入，之后都可以重新进行协商。这可确保能在自动协商中正确使用新值。

**表 8-5. 自动协商通告寄存器 (ANAR)，地址 0x0004**

位	位名称	默认值	说明
15	NP	0, RW	下一页指示： 0 = 不需要进行下一页传送。 1 = 需要进行下一页传送。
14	RESERVED	0, RO/P	由 IEEE 保留：写入忽略，读取为 0。
13	RF	0, RW	远程故障： 1 = 广播该器件检测到远程故障。 0 = 未检测到远程故障。
12	RESERVED	0, RW	保留供将来 IEEE 使用：写入为 0，读取为 0
11	ASM_DIR	0, RW	全双工链路的非对称暂停支持： ASM_DIR 位指示支持非对称暂停。 暂停位的编码和解析分别在 IEEE 802.3 附件 28B 的表 28B-2 和 28B-3 中定义。在 PHYCR[13:12] 中报告暂停解析状态。 1 = 广播 DTE (MAC) 已实现 802.3u 第 31 条和附件 31B 中指定的可选 MAC 控制子层和暂停功能。 0 = 无基于 MAC 的全双工流控制。
10	PAUSE	0, RW	暂停全双工链路支持： 暂停位指示器件能够提供附件 31B 中定义的对称暂停功能。 暂停位的编码和解析分别在 IEEE 802.3 附件 28B 的表 28B-2 和 28B-3 中定义。在 PHYCR[13:12] 中报告暂停解析状态。 1 = 广播 DTE (MAC) 已实现 802.3u 第 31 条和附件 31B 中指定的可选 MAC 控制子层和暂停功能。 0 = 无基于 MAC 的全双工流控制。
9	T4	0, RO/P	100BASE-T4 支持： 1 = 本地器件支持 100BASE-T4。 0 = 不支持 100BASE-T4。
8	TX_FD	Strap, RW	100BASE-TX 全双工支持： 1 = 本地器件支持 100BASE-TX 全双工。 0 = 不支持 100BASE-TX 全双工。
7	TX_HD	Strap, RW	100BASE-TX 半双工支持： 1 = 本地器件支持 100BASE-TX 半双工。 0 = 不支持 100BASE-TX 半双工。
6	Te_FD	Strap, RW	10BASE-Te 全双工支持： 1 = 本地器件支持 10BASE-Te 全双工。 0 = 不支持 10BASE-Te 全双工。

**表 8-5. 自动协商通告寄存器 (ANAR), 地址 0x0004 (续)**

位	位名称	默认值	说明
5	Te_HD	Strap, RW	10BASE-Te 半双工支持： 1 = 本地器件支持 10BASE-Te 半双工。 0 = 不支持 10BASE-Te 半双工。
4:0	选择器	0 0001, RW	协议选择位： 这些位包含该端口支持的二进制编码协议选择器。<00001> 表示此设备支持 IEEE 802.3u。

## 8.6 自协商链路伙伴能力寄存器 (ANLPAR) (基础页)

该寄存器包含自动协商期间接收到的链路伙伴的通告能力。若支持后续页，则自动协商成功后内容会改变。

**表 8-6. 自协商链路伙伴能力寄存器 (ANLPAR), 地址 0x0005**

位	位名称	默认值	说明
15	NP	0, RO	下一页指示： 0 = 链路伙伴不需要进行下一页传送。 1 = 链路伙伴需要进行下一页传送。
14	ACK	0, RO	应答： 1 = 链路伙伴确认接收到能力数据字。 0 = 未应答。 自动协商状态机会根据传入的 FLP 突发自动控制该位。
13	RF	0, RO	远程故障： 1 = 链路伙伴指示有远程故障。 0 = 链路伙伴指示无远程故障。
12	RESERVED	0, RO	保留供将来 IEEE 使用：写入为 0，读取为 0。
11	ASM_DIR	0, RO	非对称暂停： 1 = 链路伙伴支持非对称暂停。 0 = 链路伙伴不支持非对称暂停。
10	PAUSE	0, RO	暂停： 1 = 链路伙伴支持暂停功能。 0 = 链路伙伴不支持暂停功能。
9	T4	0, RO	100BASE-T4 支持： 1 = 链路伙伴支持 100BASE-T4。 0 = 链路伙伴不支持 100BASE-T4。
8	TX_FD	0, RO	100BASE-TX 全双工支持： 1 = 链路伙伴支持 100BASE-TX 全双工。 0 = 链路伙伴不支持 100BASE-TX 全双工。
7	TX	0, RO	100BASE-TX 支持： 1 = 链路伙伴支持 100BASE-TX。 0 = 链路伙伴不支持 100BASE-TX。
6	10_FD	0, RO	10BASE-Te 全双工支持： 1 = 链路伙伴支持 10BASE-Te 全双工。 0 = 链路伙伴不支持 10BASE-Te 全双工。
5	10	0, RO	10BASE-Te 支持： 1 = 链路伙伴支持 10BASE-Te。 0 = 链路伙伴不支持 10BASE-Te。
4:0	选择器	0 0000, RO	协议选择位： 链路伙伴的二进制编码协议选择器。

## 8.7 自动协商扩展寄存器 (ANER)

此寄存器包含其他本地器件和链路伙伴状态信息。

**表 8-7. 自动协商扩展寄存器 (ANER), 地址 0x0006**

位	位名称	默认值	说明
15:7	RESERVED	0, RO	RESERVED: 写入忽略, 读取为 0。
6	RX_NEXT_PAGE_LOC_ABLE	1, RO	能够接收下一页位置: 1 = 所接收下一页的存储位置由第 6.5 位指定。 0 = 所接收下一页的存储位置不由第 6.5 位指定。
5	RX_NEXT_PAGE_STOR_LOC	1, RO	接收下一页存储位置: 1 = 链路伙伴后续页存储于寄存器 8 中。 0 = 链路伙伴后续页存储于寄存器 5 中。
4	PDF	0, RO	并行检测故障: 1 = 通过并行检测功能检测到故障。 0 = 未检测到故障。
3	LP_NP_ABLE	0, RO	链接伙伴下一页能力: 1 = 链路伙伴支持下一页。 0 = 链路伙伴不支持下一页。
2	NP_ABLE	1, RO/P	下一页能力: 1 = 指示本地设备能够发送其他下一页。
1	PAGE_RX	0, RO/COR	接收链路码字页: 1 = 链路码字已收到, 读取时清除。 0 = 尚未收到链路码字页。
0	LP_AN_ABLE	0, RO	链路伙伴自动协商能力: 1 = 指示链路伙伴支持自动协商。 0 = 指示链路伙伴不支持自动协商。

## 8.8 自协商下一页发送寄存器 (ANNPTR)

此寄存器包含该器件在自动协商期间发送给链路伙伴的下一页信息。

**表 8-8. 自协商下一页发送寄存器 (ANNPTR), 地址 0x0007**

位	位名称	默认值	说明
15	NP	0, RW	下一页指示： 0 = 不需要进行其他下一页传送。 1 = 需要另一个下一页。
14	ACK	0, RO	应答： 1 = 确认接收链路代码字 0 = 不确认链路代码字。
13	MP	1, RW	消息页： 1 = 当前页为消息页面。 0 = 当前页为非格式化页面。
12	ACK2	0, RW	Acknowledge2： 1 = 遵守消息。 0 = 无法遵守消息。 下一页功能利用 Acknowledge2 表示本地器件有能力接收消息。
11	TOG_TX	0, RO	切换： 1 = 先前传输的链路码字中的切换位的值为 0。 0 = 先前传输的链路码字中的切换位的值为 1。 切换用于自动协商中的仲裁功能，以便在下一页交换期间验证与链路伙伴的同步。该位数值始终与之前交换的链路码字中的切换位相反。
10:0	代码	000 0000 0001, RW	代码： 该字段表示下一页传输的代码字段。如果设置了 MP 位（该寄存器的 13 位），则按照 IEEE 802.3u 附件 28C 的定义，应将代码解释为“消息页面”。反之，应将代码解释为非格式化页面，具体解释视应用而定。 该代码默认值表示 IEEE 802.3u 附件 28C 中定义的空页面。

### 8.9 自协商下一页接收寄存器 (ANNPRR)

此寄存器包含链路伙伴在自动协商期间发送的下一页信息。

**表 8-9. 自协商下一页发送寄存器 (ANNPTR), 地址 0x0008**

位	位名称	默认值	说明
15	NP	0, RW	下一页指示： 0 = 链路伙伴不需要进行其他下一页传送。 1 = 链路伙伴所需的另一个下一页。
14	ACK	0, RO	应答： 1 = 确认链路伙伴接收到链路码字。 0 = 链路伙伴未应答接收链路码字。
13	MP	1, RW	消息页： 1 = 接收到的页面为消息页面。 0 = 接收到的页面为非格式化页面。
12	ACK2	0, RW	Acknowledge2： 1 = 链路伙伴设置 ACK2 位。 0 = 链路伙伴不设置 ACK2 位。 下一页功能利用 Acknowledge2 表示链路伙伴有能力遵守接收的消息。
11	TOG_TX	0, RO	切换： 1 = 先前传输的链路码字中的切换位的值为 0。 0 = 先前传输的链路码字中的切换位的值为 1。 切换用于自动协商中的仲裁功能，以便在下一页交换期间确认与链路伙伴的同步。该位数值应始终与之前交换的链路码字中的切换位相反。
10:0	代码	000 0000 0001, RW	代码： 该字段表示下一页传输的代码字段。如果设置了 MP 位（该寄存器的 13 位），则按照 IEEE 802.3u 附件 28C 的定义，应将代码解释为“消息页面”。反之，应将代码解释为非格式化页面，具体解释视应用而定。 该代码默认值表示 IEEE 802.3u 附件 28C 中定义的空页面。

## 8.10 1000BASE-T 配置寄存器 (CFG1)

表 8-10. 配置寄存器 1 (CFG1), 地址 0x0009

位	位名称	默认值	说明
15:13	测试模式	000, RW	测试模式选择： 111 = 测试模式 7 - 重复 { 脉冲, 63 个零 } 110 = 测试模式 6 - 重复 0001 序列 101 = 测试模式 5 - 扰频 MLT3 空闲 100 = 测试模式 4 - 发送失真测试 011 = 测试模式 3 - 发送抖动测试 ( 跟随器模式 ) 010 = 测试模式 2 - 发送抖动测试 ( 引导器模式 ) 001 = 测试模式 1 - 发送波形测试 000 = 正常模式
12	引导器/跟随器手动配置	0, RW	启用手动引导器/跟随器配置： 1 = 启用手动引导器/跟随器配置控制。 0 = 禁用手动引导器/跟随器配置控制。 如果与链路伙伴的设置存在冲突，使用手动配置功能可以防止 PHY 在 1000Base-T 模式下建立链路。
11	引导器/跟随器配置值	0, RW	手动引导器/跟随器配置值： 1 = 当寄存器 09h 第 12 位 = 1 时，将 PHY 设置为引导器。 0 = 当寄存器 09h 第 12 位 = 1 时，将 PHY 设置为跟随器。 如果与链路伙伴的设置存在冲突，使用手动配置功能可以防止 PHY 在 1000Base-T 模式下建立链路。
10	端口类型	0, RW	广播器件类型：多端口或单端口： 1 = 多端口器件。 0 = 单端口器件。
9	1000BASE-T 全双工	RGZ : 1, RW PAP : Strap , RW	通告 1000BASE-T 全双工能力： 1 = 通告 1000Base-T 全双工能力。 0 = 不通告 1000Base-T 全双工能力。
8	1000BASE-T 半双工	1, RW	通告 1000BASE-T 半双工能力： 1 = 通告 1000Base-T 半双工能力。 0 = 不通告 1000Base-T 半双工能力。
7	TDR 自动运行	0, RW	链路断开时自动 TDR： 1 = 启用在链路断开事件以后执行 TDR 程序。 0 = 禁用自动执行 TDR。
6:0	RESERVED	000 0000, RO	RESERVED : 写入忽略，读取为 0。

## 8.11 状态寄存器 1 (STS1)

表 8-11. 状态寄存器 1 (STS1) 地址 0x000A

位	位名称	默认值	说明
15	引导器/跟随器配置故障	0, RO, LH, COR	引导器/跟随器手动配置故障检测： 1 = 检测到手动引导器/跟随器配置故障。 0 = 未检测到手动引导器/跟随器配置故障。
14	引导器/跟随器配置解析	0, RO	引导器/跟随器配置结果： 1 = 配置解析为引导器。 0 = 配置解析为跟随器。
13	本地接收器状态	0, RO	本地接收器状态： 1 = 本地接收器正常。 0 = 本地接收器不正常。
12	远程接收器状态	0, RO	远程接收器状态： 1 = 远程接收器正常。 0 = 远程接收器不正常。
11	1000BASE-T 全双工	0, RO	支持链路伙伴 1000BASE-T 全双工： 1 = 链路伙伴支持 1000Base-T 全双工。 0 = 链路伙伴不支持 1000Base-T 全双工。
10	1000BASE-T 半双工	0, RO	支持链路伙伴 1000BASE-T 半双工： 1 = 链路伙伴支持 1000Base-T 半双工。 0 = 链路伙伴不支持 1000Base-T 半双工。
9:8	RESERVED	00, RO	由 IEEE 保留：写入忽略，读取为 0。
7:0	空闲错误计数器	0000 0000, RO, COR	1000BASE-T 空闲错误计数器

## 8.12 扩展寄存器寻址

REGCR (0x000D) 和 ADDAR (0x000E) 允许使用间接寻址对扩展寄存器组 (0x001F 以上的地址) 进行读取/写入访问。

- **REGCR [15:14] = 00:** 写入 ADDAR 可修改扩展寄存器设置地址寄存器。为访问扩展寄存器组中的任何寄存器，该地址寄存器应处于初始化状态。
- **REGCR [15:14] = 01:** 读取或写入 ADDAR 将作用于地址寄存器中的值所选定 (指向) 的扩展寄存器组内的寄存器。地址寄存器内容 (指针) 保持不变。
- **REGCR [15:14] = 10:** 读取或写入 ADDAR 将作用于地址寄存器中的值所选定 (指向) 的扩展寄存器组内的寄存器。访问完成后，读取和写入操作都会使地址寄存器中的值递增。
- **REGCR [15:14] = 11:** 读取或写入 ADDAR 将作用于地址寄存器中的值所选定 (指向) 的扩展寄存器组内的寄存器。访问完成后，仅写入访问会使地址寄存器中的值递增。对于读取访问，地址寄存器中的值保持不变。

### 8.12.1 寄存器控制寄存器 (REGCR)

此寄存器为 MDIO 可管理 MMD 访问控制寄存器。通常情况下，寄存器 REGCR (4:0) 为器件地址 DEVAD，可将 ADDAR (0x000E) 寄存器的任何访问引向适当的 MMD。REGCR 还包含数据寄存器自动递增的选择位。此寄存器包含用于访问扩展寄存器的待写入器件地址。向此寄存器的位 4:0 写入 0x1F。REGCR 还包含用于 ADDAR 地址自动递增模式的选择位 (15:14)。

表 8-12. 寄存器控制寄存器 (REGCR)，地址 0x000D

位	位名称	默认值	说明
15:14	功能	0, RW	00 = 地址 01 = 数据，无后增量 10 = 数据，读取和写入后增量 11 = 数据，仅写入后增量
13:5	RESERVED	0, RO	RESERVED：写入忽略，读取为 0。
4:0	DEVAD	0, RW	器件地址：通常，这些位 [4:0] 为器件地址 DEVAD，可将 ADDAR 寄存器 (0x000E) 的任何访问指向适当的 MMD。具体来说，DP83867 在访问时采用供应商特定 DEVAD [4:0] = 11111。经由寄存器 REGCR 和 ADDAR 的所有访问均可使用此 DEVAD。其他 DEVAD 的事务都会被忽略。

### 8.12.2 地址或数据寄存器 (ADDAR)

此寄存器为地址/数据 MMD 寄存器。ADDAR 与 REGCR 寄存器 (0x000D) 配合使用，通过间接读/写机制实现对扩展寄存器组的访问。

表 8-13. 地址或数据寄存器 (ADDAR)，地址 0x000E

位	位名称	默认值	说明
15:0	地址/数据	0, RW	如果 REGCR 寄存器 15:14 = 00，则保存 MMD DEVAD 的地址寄存器，否则保存 MMD DEVAD 的数据寄存器

### 8.13 1000BASE-T 状态寄存器 (1KSCR)

表 8-14. 1000BASE-T 状态寄存器 (1KSCR) 地址 0x000F

位	位名称	默认值	说明
15	1000BASE-X 全双工	0, RO/P	1000BASE-X 全双工支持： 1 = 本地器件支持 1000BASE-X 全双工。 0 = 本地器件不支持 1000BASE-X 全双工。
14	1000BASE-X 半双工	0, RO/P	1000BASE-X 半双工支持： 1 = 本地器件支持 1000BASE-X 半双工。 0 = 本地器件不支持 1000BASE-X 半双工。
13	1000BASE-T 全双工	1, RO/P	1000BASE-T 全双工支持： 1 = 本地器件支持 1000BASE-T 全双工。 0 = 本地器件不支持 1000BASE-T 全双工。
12	1000BASE-T 半双工	1, RO/P	1000BASE-T 半双工支持： 1 = 本地器件支持 1000BASE-T 半双工。 0 = 本地器件不支持 1000BASE-T 半双工。
11:0	RESERVED	00, RO	由 IEEE 保留：写入忽略，读取为 0。

## 8.14 PHY 控制寄存器 (PHYCR)

**表 8-15. PHY 控制寄存器 (PHYCR), 地址 0x0010**

位	位名称	默认值	说明
15:14	TX FIFO 深度	1, RW	TX FIFO 深度： 11 = 8 字节/半字节 (1000Mbps/其他速度) 10 = 6 字节/半字节 (1000Mbps/其他速度) 01 = 4 字节/半字节 (1000Mbps/其他速度) 00 = 3 字节/半字节 (1000Mbps/其他速度) 注意：FIFO 仅在以下模式下使能： 1000BaseT + GMII
13:11	RESERVED	010, RO	RESERVED
10	FORCE_LINK_GOOD	0, RW	强制链路正常： 1 = 根据所选速度强制链路正常。 0 = 正常运行
9:8	POWER_SAVE_MODE	0, RW	节能模式： 11 = 被动休眠模式：将所有数字和模拟块断电。 10 = 主动休眠模式：将所有数字和模拟块断电。检测到链路伙伴时，执行自动上电。在该模式下，链路脉冲大约每 1.4 秒发送一次，以唤醒任何潜在的链路伙伴。 01 = IEEE 模式：将所有数字和模拟块断电。 注意：如果 DISABLE_CLK_125 (该寄存器的位 [4]) 设置为零，则 PLL 也会断电。 00 = 正常模式
7	DEEP_POWER_DOWN_EN	0, RW	深度省电模式启用 1 = 当通过置位外部断电引脚或通过 BMCR 中的 POWER_DOWN 位启动断电时，器件进入深度省电模式。 0 = 正常运行。
6:5	MDI_CROSSOVER	RGZ : 10, RW PAP : Strap, RW	MDI 交叉模式： 1x = 使能自动交叉 01 = 手动 MDI-X 配置 00 = 手动 MDI 配置
4	DISABLE_CLK_125	0, RW	禁用 125MHz 时钟： 该位可与 POWER_SAVE_MODE (该寄存器的位 9:8) 结合使用。 1 = 禁用 CLK125。 0 = 使能 CLK125。
3	RESERVED	1, RO	RESERVED：写入忽略，读取为 1。
2	STANDBY_MODE	0, RW	待机模式： 1 = 使能待机模式。数字和模拟电路已上电，但无法建立链路。 0 = 正常运行。
1	LINE_DRIVER_INV_EN	0, RW	线路驱动器反转使能： 1 = 反转线路驱动器传输。 0 = 正常运行。
0	DISABLE_JABBER	0, RW	禁用 Jabber 1 = 禁用 Jabber 功能。 0 = 使能 Jabber 功能。

## 8.15 PHY 状态寄存器 (PHYSTS)

该寄存器在寄存器组中提供一个位置，用于快速访问常用信息。

**表 8-16. PHY 状态寄存器 (PHYSTS)，地址 0x0011**

位	位名称	默认值	说明
15:14	速度选择	0, RO	速度选择状态： 这两个位指示由自动协商确定还是由手动配置设置运行速度。 11 = 保留 10 = 1000Mbps 01 = 100Mbps 00 = 10Mbps
13	双工模式	0, RO	双工模式状态： 1 = 全双工 0 = 半双工。
12	页面接收	0, RO, LH, COR	页面接收： 该位被锁存为高电平，并在读取时清除。 1 = 已接收页面。 0 = 未接收页面。
11	速度双工已解析	0, RO	速度双工解析状态： 1 = 自动协商已完成或已禁用。 0 = 自动协商已使能但未完成。
10	LINK_STATUS	0, RO	链路状态： 1 = 链路已建立。 0 = 链路断开。
9	MDI_X_MODE_CD	0, RO	C 和 D 线路驱动器对的 MDI/MDIX 解析状态： 1 = 解析为 MDIX 0 = 解析为 MDI。
8	MDI_X_MODE_AB	0, RO	A 和 B 线路驱动器对的 MDI/MDIX 解析状态： 1 = 解析为 MDIX 0 = 解析为 MDI。
7	SPEED_OPT_STATUS	0, RO	速度优化状态： 1 = 当前正在执行自动协商，启用速率优化（屏蔽 1000BaseT 能力） （仅在自动协商期间有效）。 0 = 当前正在执行自动协商，未启用速率优化。
6	SLEEP_MODE	0, RO	睡眠模式状态： 1 = 器件当前处于睡眠模式。 0 = 器件当前处于激活模式。
5:2	WIRE_CROSS	0, RO	交叉导线指示： 指示 1000BASE-T 链路状态下的通道极性。位 [5:2] 分别对应通道 [D,C,B,A]。 1 = 通道极性已反转。 0 = 通道极性正常。

**表 8-16. PHY 状态寄存器 (PHYSTS), 地址 0x0011 (续)**

位	位名称	默认值	说明
1	极性状态	1, RO	10BASE-Te 极性状态： 1 = 检测到正向极性。 0 = 检测到反向极性。
0	JABBER 检测	0, RO	Jabber 检测：该位仅在 10Mbps-T 模式下有意义。 该位与 BMSR 寄存器中的 Jabber 检测位相同，除了读取 PHYSTS 寄存器时不会清零。 1 = 检测到 Jabber 条件。 0 = 无 Jabber。

## 8.16 MII 中断控制寄存器 (MICR)

此寄存器可实现中断 PHY 特定控制寄存器。必须通过设置 MII 中断控制寄存器 (MICR) 中的相应位来使能各个中断事件。若设置了该寄存器中的对应使能位，则事件发生时会产生中断。

**表 8-17. MII 中断控制寄存器 (MICR)，地址 0x0012**

位	位名称	默认值	说明
15	AUTONEG_ERR_INT_EN	0, RW	启用自动协商错误中断： 1 = 启用自动协商错误中断。 0 = 禁用自动协商错误中断。
14	SPEED_CHNG_INT_EN	0, RW	启用速度更改中断： 1 = 启用速度更改中断。 0 = 禁用速度更改中断。
13	DUPLEX_MODE_CHNG_INT_EN	0, RW	启用双工模式更改中断： 1 = 启用双工模式更改中断。 0 = 禁用双工模式更改中断。
12	PAGE_RECEIVED_INT_EN	0, RW	启用页接收中断： 1 = 启用页接收中断。 0 = 禁用页接收中断。
11	AUTONEG_COMP_INT_EN	0, RW	启用自动协商完成中断： 1 = 启用自动协商完成中断。 0 = 禁用自动协商完成中断。
10	LINK_STATUS_CHNG_INT_EN	0, RW	启用链路状态更改中断： 1 = 启用链路状态更改中断。 0 = 禁用链路状态更改中断。
9	RESERVED	0, RO	RESERVED
8	FALSE_CARRIER_INT_EN	0, RW	启用虚假载波中断： 1 = 启用虚假载波中断。 0 = 禁用虚假载波中断。
7	RESERVED	0, RO	RESERVED
6	MDI_CROSSOVER_CHNG_INT_EN	0, RW	启用 MDI 交叉更改中断： 1 = 启用 MDI 交叉更改中断。 0 = 禁用 MDI 交叉更改中断。
5	SPEED_OPT_EVENT_INT_EN	0, RW	启用速度优化事件中断： 1 = 启用速度优化事件中断。 0 = 禁用速度优化事件中断。
4	SLEEP_MODE_CHNG_INT_EN	0, RW	启用睡眠模式更改中断： 1 = 启用睡眠模式更改中断。 0 = 禁用睡眠模式更改中断。
3	WOL_INT_EN	0, RW	启用局域网唤醒中断： 1 = 启用局域网唤醒中断。 0 = 禁用局域网唤醒中断。

**表 8-17. MII 中断控制寄存器 (MICR), 地址 0x0012 (续)**

位	位名称	默认值	说明
2	XGMII_ERR_INT_EN	0, RW	启用 xGMII 错误中断： 1 = 启用 xGMII 错误中断。 0 = 禁用 xGMII 错误中断。
1	POLARITY_CHNG_INT_EN	0, RW	启用极性更改中断： 1 = 启用极性更改中断。 0 = 禁用极性更改中断。
0	JABBER_INT_EN	0, RW	启用 Jabber 中断： 1 = 启用 Jabber 中断。 0 = 禁用 Jabber 中断。

## 8.17 中断状态寄存器 (ISR)

此寄存器包含中断功能的事件状态。如果自上次读取该寄存器以来发生了某个事件，则相应的状态位将会置位。即使中断未被使能，该寄存器中的状态指示也会置位。

**表 8-18. 中断状态寄存器 (ISR)，地址 0x0013**

位	位名称	默认值	说明
15	AUTONEG_ERR_INT	0, RO, LH, COR	自动协商错误中断： 1 = 自动协商错误中断正在挂起，并被当前读取清零。 0 = 无自动协商错误中断。
14	SPEED_CHNG_INT	0, RO, LH, COR	速度更改中断： 1 = 速度更改中断正在挂起，并被当前读取清零。 0 = 无速度更改中断。
13	DUPLEX_MODE_CHNG_INT	0, RO, LH, COR	双工模式更改中断： 1 = 双工模式更改中断正在挂起，并被当前读取清零。 0 = 无双工模式更改中断。
12	PAGE_RECEIVED_INT	0, RO, LH, COR	页接收中断： 1 = 页接收中断正在挂起，并被当前读取清零。 0 = 无页接收中断挂起。
11	AUTONEG_COMP_INT	0, RO, LH, COR	自动协商完成中断： 1 = 自动协商完成中断正在挂起，并被当前读取清零。 0 = 无自动协商完成中断挂起。
10	LINK_STATUS_CHNG_INT	0, RO, LH, COR	链路状态更改中断： 1 = 链路状态更改中断正在挂起，并被当前读取清零。 0 = 无链路状态更改中断挂起。
9	RESERVED	0, RO	RESERVED
8	FALSE_CARRIER_INT	0, RO, LH, COR	虚假载波中断： 1 = 虚假载波中断正在挂起，并被当前读取清零。 0 = 没有虚假载波中断挂起。
7	RESERVED	0, RO	RESERVED
6	MDI_CROSSOVER_CHNG_INT	0, RO, LH, COR	MDI 交叉更改中断： 1 = MDI 交叉更改中断正在挂起，并被当前读取清零。 0 = 无 MDI 交叉更改中断挂起。

**表 8-18. 中断状态寄存器 (ISR)，地址 0x0013 (续)**

位	位名称	默认值	说明
5	SPEED_OPT_EVENT_INT	0, RO, LH, COR	速度优化事件中断： 1 = 速度优化事件中断正在挂起，并被当前读取清零。 0 = 无速度优化事件中断挂起。
4	SLEEP_MODE_CHNG_INT	0, RO, LH, COR	睡眠模式更改中断： 1 = 睡眠模式更改中断正在挂起，并被当前读取清零。 0 = 无睡眠模式更改中断挂起。
3	WOL_INT	0, RO, LH, COR	局域网唤醒中断： 1 = 局域网唤醒中断正在挂起。 0 = 无局域网唤醒中断挂起。
2	XGMII_ERR_INT	0, RO, LH, COR	xGMII 错误中断： 1 = xGMII 错误中断正在挂起，并被当前读取清零。 0 = 无 xGMII 错误中断挂起。
1	POLARITY_CHNG_INT	0, RO, LH, COR	极性更改中断： 1 = 极性更改中断正在挂起，并被当前读取清零。 0 = 无极性更改中断挂起。
0	JABBER_INT	0, RO, LH, COR	Jabber 中断： 1 = Jabber 中断正在挂起，并被当前读取清零。 0 = 无 Jabber 中断挂起。

## 8.18 配置寄存器 2 (CFG2)

表 8-19. 配置寄存器 2 (CFG2), 地址 0x0014

位	位名称	默认值	说明
15:14	RESERVED	0, RO	RESERVED: 写入忽略, 读取为 0。
13	INTERRUPT_POLARITY	1, RW	配置中断极性: 1 = 中断引脚为低电平有效。 0 = 中断引脚为高电平有效。
12	RESERVED	0, RO	RESERVED
11:10	SPEED_OPT_ATTEMPT_CNT	10, RW	速度优化尝试计数: 选择执行速度优化前的 1000BASE-T 链路建立尝试失败次数。 11 = 8 10 = 4 01 = 2 00 = 1
9	SPEED_OPT_EN	RGZ: 0, RW	启用速度优化: 1 = 启用速度优化。 0 = 禁用速度优化。
		PAP: Strap, RW	
8	SPEED_OPT_ENHANCED_EN	1, RW	速度优化增强模式启用: 在增强模式下, 如果在通道 C 和 D 上未检测到能量, 则会执行速度优化。 1 = 启用速度优化增强模式。 0 = 禁用速度优化增强模式。
7	RESERVED	0, RO	RESERVED
6	SPEED_OPT_10M_EN	1, RW	启用向 10BASE-Te 的速度优化: 1 = 启用向 10BASE-Te 的速度优化 (如果 1000BASE-T 和 100BASE-TX 链路建立失败)。 0 = 禁用向 10BASE-Te 的速度优化。
5:0	RESERVED	0 0111, RO	RESERVED

## 8.19 接收错误计数器寄存器 (RECR)

表 8-20. 接收错误计数器寄存器 (RECR), 地址 0x0015

位	位名称	默认值	说明
15:0	RXERCNT[15:0]	0, RO, WSC	RX_ER 计数器: 接收错误计数器。该寄存器在最大值 0xFFFF 处饱和。通过对该寄存器进行虚拟写入可清除计数器。

## 8.20 BIST 控制寄存器 (BISCR)

该寄存器用于内置自测 (BIST) 配置。BIST 功能提供假随机比特流 (PRBS) 机制，包括数据包生成器和校验器。信号链中确切环回点的选择也在该寄存器中完成。

**表 8-21. BIST 控制寄存器 (BISCR)，地址 0x0016**

位	位名称	默认值	说明
15	PRBS_COUNT_MODE	0, RW	PRBS 连续模式： 1 = 启用连续模式。当其中一个 PRBS 计数器达到最大值时，产生脉冲且计数器再次从零开始计数。必须设置此位，PRBS 才能正常运行。 0 = 禁用 PRBS 连续模式。此设置不支持 PRBS 操作。
14	GEN_PRBS_PACKET	0, RW	生成的 PRBS 数据包： 1 = 启用数据包生成器后，PHY 会生成带有 PRBS 数据的连续数据包。禁用数据包生成器后，PRBS 校验器仍处于启用状态。 0 = 启用数据包生成器后，PHY 会生成包含常量数据的单个数据包。禁用 PRBS 生成和检查。
13	PACKET_GEN_64BIT_MODE	0, RW	BIST 数据包大小： 1 = 在数据包生成模式下发送 64 字节数据包。 0 = 在数据包生成模式下发送 1518 字节数据包
12	PACKET_GEN_EN	0, RW	数据包 BIST 启用： 1 = 启用数据包/PRBS 生成器 0 = 禁用数据包/PRBS 生成器
11:8	RESERVED	0, RO	RESERVED：写入忽略，读取为 0。
7	REV_LOOP_RX_DATA_CTRL	0, RW	反向回送接收数据控制： 此位仅可在反向回送模式下设置。 1 = 在反向环路中向 MAC 发送 RX 数据包 0 = 在反向环路中抑制向 MAC 发送 RX 数据包
6	MII_LOOP_TX_DATA_CTRL	0, RW	MII 回送发送数据控制： 此位仅可在 MII 回送模式下设置。 1 = 发送数据到 MII 环路中的 MDI 0 = 抑制发送数据到 MII 环路中的 MDI
5:2	LOOPBACK_MODE	0, RW	回送模式选择： 在选择回送模式之前，必须禁用 PCS 回送 (位 [1:0] = 00)。 1000：反向环路 0100：外部环路 0010：模拟环路 0001：数字环路

表 8-21. BIST 控制寄存器 (BISCR), 地址 0x0016 (续)

位	位名称	默认值	说明
1:0	PCS_LOOPBACK	0, RW	PCS 回送选择： 当为 100Base-TX 配置时： 11：MLT3 编码器之后的环路 (完整 TX/RX 路径) 10：扰频器之后、MLT3 编码器之前的环路 01：扰频器之后的环路 为 1000Base-T 配置时： x1：1000Base-T 信号处理之前的环路。

## 8.21 状态寄存器 2 (STS2)

表 8-22. 状态寄存器 2 (STS2), 地址 0x0017

位	位名称	默认值	说明
15:12	RESERVED	0, RO	RESERVED：写入忽略，读取为 0。
11	PRBS_LOCK	0, RO	PRBS 锁定状态： 1 = PRBS 校验器锁定至接收到的字节流。 0 = PRBS 校验器未锁定。
10	PRBS_LOCK_LOST	0, RO, LH, COR	PRBS 锁定丢失： 1 = PRBS 校验器已失锁。 0 = PRBS 校验器未失锁。
9	PKT_GEN_BUSY	0, RO	数据包生成器忙： 1 = 正在生成数据包。 0 = 未在生成数据包。
8	SCR_MODE_MASTER_1G	0, RO	千兆位主器件扰码模式： 1 = 1G PCS (主器件) 处于传统编码模式。 0 = 1G PCS (主器件) 处于正常编码模式。
7	SCR_MODE_MASTER_1G	0, RO	千兆位从器件扰码模式： 1 = 1G PCS (从器件) 处于传统编码模式。 0 = 1G PCS (从器件) 处于正常编码模式。
6	CORE_PWR_MODE	0, RO	内核电源模式： 1 = 内核处于正常电源模式。 0 = 内核为断电或处于睡眠模式。
5:0	RESERVED	0, RO	RESERVED：写入忽略，读取为 0。

## 8.22 LED 配置寄存器 1 (LEDCR1)

该寄存器将 LED 功能映射到相应的引脚。

**表 8-23. LED 配置寄存器 1 (LEDCR1)，地址 0x0018**

位	位名称	默认值	说明
15:12	LED_GPIO_SEL	RW, 0110	GPIO LED_3 的源： 1111：保留 1110：接收错误 1101：接收错误或传输错误 1100：RESERVED 1011：链路已建立，闪烁以进行传输或接收活动 1010：全双工 1001：100/1000BT 链路已建立 1000：10/100BT 链路已建立 0111：10BT 链路已建立 0110：100 BTX 链路已建立 0101：1000BT 链路已建立 0100：检测到碰撞 0011：接收活动 0010：传输活动 0001：接收或传输活动 0000：链路已建立
11:8	LED_2_SEL	RW, 0001	LED_2 的源： 1111：保留 1110：接收错误 1101：接收错误或传输错误 1100：RESERVED 1011：链路已建立，闪烁以进行传输或接收活动 1010：全双工 1001：100/1000BT 链路已建立 1000：10/100BT 链路已建立 0111：10BT 链路已建立 0110：100 BTX 链路已建立 0101：1000BT 链路已建立 0100：检测到碰撞 0011：接收活动 0010：传输活动 0001：接收或传输活动 0000：链路已建立

表 8-23. LED 配置寄存器 1 (LEDCR1), 地址 0x0018 (续)

位	位名称	默认值	说明
7:4	LED_1_SEL	RW, 0101	LED_1 的源： 1111：保留 1110：接收错误 1101：接收错误或传输错误 1100：RESERVED 1011：链路已建立，闪烁以进行传输或接收活动 1010：全双工 1001：100/1000BT 链路已建立 1000：10/100BT 链路已建立 0111：10BT 链路已建立 0110：100 BTX 链路已建立 0101：1000BT 链路已建立 0100：检测到碰撞 0011：接收活动 0010：传输活动 0001：接收或传输活动 0000：链路已建立
3:0	LED_0_SEL	RW, 0000	LED_0 的源： 1111：保留 1110：接收错误 1101：接收错误或传输错误 1100：RESERVED 1011：链路已建立，闪烁以进行传输或接收活动 1010：全双工 1001：100/1000BT 链路已建立 1000：10/100BT 链路已建立 0111：10BT 链路已建立 0110：100 BTX 链路已建立 0101：1000BT 链路已建立 0100：检测到碰撞 0011：接收活动 0010：传输活动 0001：接收或传输活动 0000：链路已建立

### 8.23 LED 配置寄存器 2 (LEDCR2)

该寄存器能够直接控制任何或所有 LED 输出。

**表 8-24. LED 配置寄存器 2 (LEDCR2)，地址 0x0019**

位	位名称	默认值	说明
15	RESERVED	0, RO	RESERVED：写入忽略，读取为 0。
14	LED_GPIO_POLARITY	1, RW	GPIO LED 极性： 1 = 高电平有效 0 = 低电平有效
13	LED_GPIO_DRV_VAL	0, RW	GPIO LED 驱动值： 在 GPIO LED 上强制设置的值 仅当通过 LED_GPIO_DRV_EN 启用时该位才有效。
12	LED_GPIO_DRV_EN	0, RW	GPIO LED 驱动启用： 1 = 强制将 LED_GPIO_DRV_VAL 位的值加至 GPIO LED。 0 = 正常运行
11	RESERVED	0, RO	RESERVED：写入忽略，读取为 0。
10	LED_2_POLARITY	1, RW	LED_2 极性： 1 = 高电平有效 0 = 低电平有效
9	LED_2_DRV_VAL	0, RW	LED_2 驱动值： 要强制对 LED_2 执行的值 仅当通过 LED_2_DRV_EN 启用时，该位才有效。
8	LED_2_DRV_EN	0, RW	LED_2 驱动启用： 1 = 将 LED_2_DRV_VAL 位的值强制到 LED_2 上。 0 = 正常运行
7	RESERVED	0, RO	RESERVED：写入忽略，读取为 0。
6	LED_1_POLARITY	1, RW	LED_1 极性： 1 = 高电平有效 0 = 低电平有效
5	LED_1_DRV_VAL	0, RW	LED_1 驱动值： 要强制对 LED_1 执行的值 仅当通过 LED_1_DRV_EN 启用时，该位才有效。
4	LED_1_DRV_EN	0, RW	LED_1 驱动启用： 1 = 将 LED_1_DRV_VAL 位的值强制到 LED_1 上。 0 = 正常运行
3	RESERVED	0, RO	RESERVED：写入忽略，读取为 0。
2	LED_0_POLARITY	1, RW	LED_0 极性： 1 = 高电平有效 0 = 低电平有效
1	LED_0_DRV_VAL	0, RW	LED_0 驱动值： 要强制对 LED_0 执行的值 仅当通过 LED_0_DRV_EN 启用时，该位才有效。
0	LED_0_DRV_EN	0, RW	LED_0 驱动启用： 1 = 将 LED_0_DRV_VAL 位的值强制到 LED_0 上。 0 = 正常运行

### 8.24 LED 配置寄存器 (LEDCR3)

该寄存器控制 LED 闪烁速率和延展。

**表 8-25. LED 配置寄存器 3 (LEDCR3)，地址 0x001A**

位	位名称	默认值	说明
15:3	RESERVED	0, RO	RESERVED：写入忽略，读取为 0。

表 8-25. LED 配置寄存器 3 (LEDCR3)，地址 0x001A (续)

位	位名称	默认值	说明
2	LEDS_BYPASS_STRETCHING	0, RW	旁路 LED 延展： 1 = 旁路 LED 延展 0 = 正常运行
1:0	LEDS_BLINK_RATE	10, RW	LED 闪烁速率： 11 : 2Hz (500ms) 10 : 5Hz (200ms) 01 : 10Hz (100ms) 00 = 20Hz (50ms)

## 8.25 配置寄存器 3 (CFG3)

表 8-26. 配置寄存器 3 (CFG3)，地址 0x001E

位	位名称	默认值	说明																				
15	并行检测中的快速链路建立	0, RW	并行检测模式下的快速链路建立： 1 = 启用并行检测期间的快速链路建立时间 0 = 正常并行检测链路建立 在快速自动 MDI-X 中，该位自动设置。																				
14	快速 AN 启用	0, RW	快速自动协商启用： 1 = 启用快速自动协商模式 - PHY 根据快速 AN Sel 位使用计时器进行自动协商 0 = 禁用快速自动协商模式 - PHY 使用正常计时器设置自动协商 调整这些位会缩短 PHY 在两个 PHY 之间进行自动协商所需的时间。 注意：使用此选项时，必须注意保持系统正常运行。虽然缩短这些计时器间隔不会在正常运行时引起问题，但在某些情况下，这可能会导致问题。																				
13:12	快速 AN Sel	0, RW	快速自动协商选择位： <table border="1" data-bbox="812 1039 1474 1276"> <thead> <tr> <th>快速 AN 选择</th> <th>中断链路计时器 (ms)</th> <th>链路下降抑制计时器 (ms)</th> <th>自动协商等待计时器 (ms)</th> </tr> </thead> <tbody> <tr> <td>&lt;00&gt;</td> <td>80</td> <td>50</td> <td>35</td> </tr> <tr> <td>&lt;01&gt;</td> <td>120</td> <td>75</td> <td>50</td> </tr> <tr> <td>&lt;10&gt;</td> <td>240</td> <td>150</td> <td>100</td> </tr> <tr> <td>&lt;11&gt;</td> <td>不适用</td> <td>不适用</td> <td>不适用</td> </tr> </tbody> </table> <p>调整这些位可缩短在两个 PHY 之间进行自动协商所需的时间。在快速 AN 模式下，两个 PHY 可以配置为相同的配置。这两个位根据上表定义自动协商过程每个状态的持续时间。必须通过设置该寄存器的快速 AN En - 位 4 来启用新的持续时间。注意：在两个链路伙伴未配置为相同的快速自动协商配置的情况下，使用此模式可能会出现意外行为。</p>	快速 AN 选择	中断链路计时器 (ms)	链路下降抑制计时器 (ms)	自动协商等待计时器 (ms)	<00>	80	50	35	<01>	120	75	50	<10>	240	150	100	<11>	不适用	不适用	不适用
快速 AN 选择	中断链路计时器 (ms)	链路下降抑制计时器 (ms)	自动协商等待计时器 (ms)																				
<00>	80	50	35																				
<01>	120	75	50																				
<10>	240	150	100																				
<11>	不适用	不适用	不适用																				

表 8-26. 配置寄存器 3 (CFG3)，地址 0x001E (续)

位	位名称	默认值	说明
11	扩展 FD 能力	0, RW	扩展全双工能力： 1 = 在强制 100B-TX 下与链路伙伴一起工作时，强制启用全双工。当 PHY 设置为“自动协商”或“强制 100B-TX”，并且链路伙伴在“强制 100B-TX”模式下运行时，链路始终为全双工模式 0 = 禁用扩展全双工能力。根据 IEEE 规范，确定在全双工模式下工作还是在半双工模式下工作。
10	RESERVED	0, RO	RESERVED
9	强大的自动 MDIX	0, RW	强大的自动 MDIX： 1 = 启用强大的自动 MDI/MDIX 解析 0 = 正常自动 MDI/MDIX 模式 如果链路伙伴配置为正常自动 MDI/MDIX 模式不支持的运行模式（例如自动协商与强制 100Base-TX 或强制 100Base-TX 与强制 100Base-TX），则这种强大的自动 MDI/MDIX 模式允许 MDI/MDIX 解析并防止死锁。
8	快速自动 MDIX	0, RW	快速自动 MDI/MDIX： 1 = 启用快速自动 MDI/MDIX 模式 0 = 正常自动 MDI/MDIX 模式 如果两个链路伙伴都配置为在强制 100Base-TX 模式下工作（禁用自动协商），则该模式会在短时间内启用自动 MDI/MDIX 解析。
7	INT_OE	0, RW	中断输出使能： 1 = INTN/PWDNN 引脚配置为中断输出引脚。 0 = INTN/PWDNN 引脚配置为断电输入引脚。
6	FORCE_INTERRUPT	0, RW	强制中断： 1 = 强制置位中断引脚。 0 = 正常中断模式。
5:3	RESERVED	0, RO	RESERVED：写入忽略，读取为 0。
2	TDR_FAIL	0, RO	TDR 故障： 1 = TDR 失败。 0 = 正常 TDR 运行。
1	TDR_DONE	1, RO	TDR 完成： 1 = TDR 已完成。 0 = TDR 尚未完成。
0	TDR_START	0, RW	TDR 启动： 1 = 启动 TDR。 0 = 正常运行

## 8.26 控制寄存器 (CTRL)

表 8-27. 控制寄存器 (CTRL), 地址 0x001F

位	位名称	默认值	说明
15	SW_RESET	0, RW, SC	软件复位： 1 = 执行完全复位，包括寄存器。 0 = 正常运行。
14	SW_RESTART	0, RW, SC	软件重启： 1 = 执行完全复位，不包括寄存器。 0 = 正常运行。
13:0	RESERVED	0, RO	RESERVED：写入忽略，读取为 0。

## 8.27 测试模式通道控制 (TMCH\_CTRL)

表 8-28. 测试模式通道控制 (TMCH\_CTRL), 地址 0x0025

位	位名称	默认值	说明
15:8	RESERVED	0x04	RESERVED
7:5	TM_CH_SEL	0x0	测试模式通道选择。
			如果位 7 置位，则在所有 4 条通道上驱动测试模式。如果清除位 7，则根据位 6:5 驱动测试模式，如下所示：
			00：通道 A
			01：通道 B
			10：通道 C
			11：通道 D
4:0	RESERVED	0x00	RESERVED

## 8.28 强大的自动 MDIX 计时器配置寄存器 (AMDIX\_TMR\_CFG)

要使用该寄存器，必须使能强大的 AMDIX 功能。

**表 8-29. 强大的自动 MDIX 计时器配置寄存器 (RAMDIX\_TMR\_CFG)，地址 0x002C**

位	位名称	默认值	说明
15:4	RESERVED	0x141, RW	RESERVED
3:0	RAMDIX_TMR	0xF, RW	强大的自动 MDIX 计时器 0000 : 32ms 0001 : 64ms 0010 : 96ms . 。 1111 : 480ms

## 8.29 快速链路丢弃配置寄存器 (FLD\_CFG)

表 8-30. 快速链路丢弃配置寄存器 (FLD\_CFG)，地址 0x002D

位	位名称	默认值	说明
15	FORCE_DROP	0, RW	强制丢弃链路 在没有收到信号时，强制链路伙伴丢弃链路。 1 = 丢弃链路 0 = 正常运行
14	FLD_EN	0, RW	1000BASE-T 快速链路丢失： 在链路建立过程中，该位必须设置为 0。建立链路后，将该位设置为 1 以启用 FLD。 1 = 启用 FLD 0 = 正常运行
13	RESERVED	0, RO	RESERVED
12:8	FLD_STS	0, RO, LH	快速链路丢弃状态： 如果每次激活给定的快速链路中断模式并且导致链路中断（假设已启用该标准），则将状态寄存器锁存为高电平： 位 12：解码器丢失同步 位 11：RX 错误 位 10：MLT3 错误 位 9：SNR 电平 位 8：信号/能量损失
7:5	RESERVED	0, RO	RESERVED
4:0	FLD_SRC_CFG	0, RW	快速链路丢弃源配置： 以下 FLD 源可以独立配置： 位 4：解码器丢失同步 位 3：RX 错误 位 2：MLT3 错误 位 1：SNR 电平 位 0：信号/能量损失

### 8.30 快速链路丢弃阈值配置寄存器 (FLD\_THR\_CFG)

表 8-31. 快速链路丢弃阈值配置寄存器 (FLD\_THR\_CFG), 地址 0x002E

位	位名称	默认值	说明
15:11	RESERVED	0, RO	RESERVED
10:8	RESERVED	0x2, RW	RESERVED
7	RESERVED	0, RO	RESERVED
6:4	RESERVED	0x2, RW	RESERVED
3	RESERVED	0, RO	RESERVED
2:0	ENERGY_LOST_FLD_THR	0x1, RW	FLD 能量丢失模式下的能量丢失阈值 若能量检测累加器低于此阈值, 则 ENERGY_LOST_FLD_THR 指示会置为有效。当使用 Strap 配置来启用 FLD 功能时, 该位默认为 0x2。需要写入寄存器才能将值更改为 0x1。不建议将字段更改为其他值。

### 8.31 配置寄存器 4 (CFG4)

表 8-32. 配置寄存器 4 (CFG4), 地址 0x0031

位	位名称	默认值	说明
15:13	RESERVED	000, RO	RESERVED
12	RESERVED	1, RO	RESERVED
11:9	RESERVED	000, RO	RESERVED
8	RESERVED	0, RW	RESERVED
7	INT_TST_MODE_1	1, RW	如果 RX_CTRL 已搭接至 mode1/mode2, 则 PHY 进入内部测试模式。寄存器 0x6F[8] 指示 RX_CTRL Strap 配置的测试模式条目。要覆盖该测试模式条目, 可以将 INT_TST_MODE_1 设置为 0。
6:1	RESERVED	001 000, RO	RESERVED
0	PORT_MIRROR_EN	Strap, RW	端口镜像启用: 1 = 启用端口镜像。 0 = 正常运行

### 8.32 RGMII 控制寄存器 (RGMIICTL)

该寄存器提供对 RGMII 控制的访问。

表 8-33. RGMII 控制寄存器 (RGMIICTL), 地址 0x0032

位	位名称	默认值	说明
15:8	RESERVED	0, RO	RESERVED: 写入忽略, 读取为 0。
7	RGMII_EN	RGZ: 1, RW PAP: Strap, RW	RGMII 使能: 1 = 使能 RGMII 接口。 0 = 禁用 RGMII 接口。
6:5	RGMII_RX_HALF_FULL_THR	10, RW	RGMII 接收 FIFO 半满阈值: 该字段控制 RGMII 接收 FIFO 半满阈值。
4:3	RGMII_TX_HALF_FULL_THR	10, RW	RGMII 发送 FIFO 半满阈值: 该字段控制 RGMII 发送 FIFO 半满阈值。
2	RESERVED	0, RO	RESERVED: 写入忽略, 读取为 0。
1	RGMII_TX_CLK_DELAY	1, RW	RGMII 发送时钟延迟: 1 = RGMII 发送时钟相对于发送数据有偏移。 0 = RGMII 发送时钟与发送数据对齐。
0	RGMII_RX_CLK_DELAY	1, RW	RGMII 接收时钟延迟: 1 = RGMII 接收时钟相对于接收数据有偏移。 0 = RGMII 接收时钟与接收数据对齐。

### 8.33 RGMII 控制寄存器 2 (RGMIICTL2)

表 8-34. RGMII 控制寄存器 2 (RGMIICTL2), 地址 0x0033

位	位名称	默认值	说明
15:5	RESERVED	0, RO	RESERVED
4	RGMII_AF_BYPASS_EN	0, RW	RGMII 异步 FIFO 旁路使能： 1 = 使能 RGMII 异步 FIFO 旁路。 0 = 正常运行。
3:0	RESERVED	0, RO	RESERVED

### 8.34 100BASE-TX 配置 (100CR)

**表 8-35. 100BASE-TX 配置寄存器 (100CR), 地址 0x0043**

位	位名称	默认值	说明
15:12	RESERVED	0, RO	RESERVED
11	DESCRAM_TIMEOUT_DIS	0, RW	禁用 100Base-TX 解码器超时： 1 = 当接收到的数据包违反解码器超时规则时，禁用数据包接收。当数据包超过 1.5ms 时，会发生这种情况。 0 = 当接收到的数据包违反解码器超时规则时，停止数据包接收。当数据包超过 1.5ms 时，会发生这种情况。
10:7	DESCRAM_TIMEOUT	1111, RW	解码器超时： 调整解码器超时值。此值是指解码器解锁导致的恢复时间。计时器以 ms 为单位。
6	FORCE_100_OK	0, RW	强制 100Mbps 良好链路： 1 = 强制 100Mbps 良好链路。 0 = 正常运行。
5	ENH_MLT3_DET_EN	1, RW	增强型 MLT-3 检测使能： 1 = 启用增强型 MLT-3 检测。 0 = 正常运行。
4	ENH_IPG_DET_EN	0, RW	增强型数据包间隙检测启用： 1 = 启用增强型数据包间隙检测。 0 = 正常运行。
3	BYPASS_4B5B_RX	0, RW	旁路 4B/5B 接收解码器： 1 = 在接收路径中旁路 4B/5B 解码器。 0 = 正常运行。
2	SCR_DIS	0, RW	禁用扰频器： 1 = 禁用扰频器。 0 = 正常运行。
1	ODD_NIBBLE_DETECT	0, RW	启用奇半字节检测： 1 = 检测何时接收到奇数个半字节。 0 = 正常运行。
0	FAST_RX_DV	0, RW	快速 RX_DV 启用： 1 = 启用快速 RX_DV。 0 = 正常运行。

### 8.35 Viterbi 模块配置 (VTM\_CFG)

表 8-36. Viterbi 模块配置 (VTM\_CFG), 地址 0x0053

位	位名称	默认值	说明
15:4	RESERVED	0x205, RO	RESERVED
3:0	VTM_IDLE_CHECK_CNT_THR	0x5, RW	Viterbi 检测器空闲计数阈值 将 Viterbi 空闲检测器置为空闲模式所需的连续空闲符号数量阈值。 默认值 0x5 适用于 IPG >= 12。对于 IPG < 12, 请将此字段设置为 0x4 或 0x3。如更改此字段, 请通过系统级测试验证新的寄存器设置。

### 8.36 偏移 FIFO 状态 (SKEW\_FIFO)

表 8-37. 偏移 FIFO 状态 (SKEW\_FIFO), 地址 0x0055

位	位名称	默认值	说明
15:8	RESERVED	0, RO	RESERVED
7:4	CH_B_SKEW	0, RO	RX 通道 B 到对齐符号的偏斜, 以时钟周期数表示。
3:0	CH_A_SKEW	0, RO	RX 通道 A 到对齐符号的偏斜, 以时钟周期数表示。

### 8.37 Strap 配置状态寄存器 1 (STRAP\_STS1)

Strap 配置状态寄存器 1 (STRAP\_STS1), 地址 0x006E

**表 8-38. Strap 配置状态寄存器 1 (STRAP\_STS1), 地址 0x006E**

位	位名称	默认值	说明
15	STRAP_MIRROR_EN	Strap 配置、RO	镜像使能 Strap 配置： 1 = 端口镜像 Strap 配置使能。 0 = 端口镜像 Strap 配置禁用。
14	STRAP_LINK_DOWNSHIFT_EN	Strap 配置、RO	链路下移使能 Strap 配置： 1 = 链路下移 Strap 配置使能。 0 = 链路下移 Strap 配置禁用。
13	STRAP_CLK_OUT_DIS (仅限 PAP)	Strap 配置、RO	时钟输出禁用 Strap 配置： 1 = 时钟输出 Strap 配置禁用。 0 = 时钟输出 Strap 配置使能。
12	STRAP_RGMII_DIS	Strap 配置、RO	RGMII 禁用 Strap 配置： 1 = RGMII Strap 配置禁用。 0 = RGMII Strap 配置使能。
11	RESERVED	0, RO	RESERVED
10	STRAP_AMDIX_DIS	Strap 配置、RO	自动 MDIX 禁用 Strap 配置： 1 = 自动 MDIX Strap 配置禁用。 0 = 自动 MDIX Strap 配置使能。
9	STRAP_FORCE_MDI_X	Strap 配置、RO	强制 MDI/X Strap 配置： 1 = 强制 MDIX Strap 配置使能。 0 = 强制 MDI Strap 配置使能。
8	STRAP_HD_EN	Strap 配置、RO	半双工使能 Strap 配置： 1 = 半双工 Strap 配置使能。 0 = 全双工 Strap 配置使能。
7	STRAP_ANEG_DIS	Strap 配置、RO	自动协商禁用 Strap 配置： 1 = 自动协商 Strap 配置禁用。 0 = 自动协商 Strap 配置使能。
6:5	STRAP_ANEG_SEL (PAP)	Strap 配置、RO	速度选择 Strap 配置： PAP 器件 Strap 配置中的 SPEED_SEL[1:0] 值 请参阅“速度选择 Strap 配置详细信息”表。
4:0	STRAP_PHY_ADD (PAP)	Strap 配置、RO	PAP 的 PHY 地址 Strap 配置： 来自 Strap 配置的 PHY 地址值。
6	RESERVED (RGZ)	0, RO	RESERVED
5	STRAP_SPEED_SEL (RGZ)	Strap 配置、RO	RGZ 器件 Strap 配置中的 SPEED_SEL 值 请参阅“速度选择 Strap 配置详细信息”表。
4	RESERVED	0, RO	RESERVED
3:0	STRAP_PHY_ADD (RGZ)	Strap 配置、RO	RGZ 的 PHY 地址 Strap 配置： 来自 Strap 配置的 PHY 地址值。

### 8.38 Strap 配置状态寄存器 2 (STRAP\_STS2)

表 8-39. Strap 配置状态寄存器 2 (STRAP\_STS2)，地址 0x006F

位	位名称	默认值	说明
15:11	RESERVED	0, RO	RESERVED
10	STRAP_FLD (PAP)	Strap 配置、RO	快速链路丢弃 (FLD) 使能 Strap 配置： 1 = FLD Strap 配置使能。 0 = FLD Strap 配置禁用。
10	RESERVED	0, RO	RESERVED
9	RESERVED	0, RO	RESERVED
8	INT_TST_MODE	Strap 配置、RO	内部测试模式指示器： 1 = 正常运行。 0 = 内部测试模式。
7	RESERVED	0, RO	RESERVED
6:4	STRAP_RGMII_CLK_SKEW_TX	Strap 配置、RO	RGMII 发送时钟偏斜 Strap 配置： 来自 Strap 配置的 RGMII_TX_DELAY_CTRL[2:0] 值。 有关更多信息，请参阅“RGMII 发送时钟偏斜详细信息”表。
3	RESERVED	0, RO	RESERVED
2:0	STRAP_RGMII_CLK_SKEW_RX	Strap 配置、RO	RGMII 接收时钟偏斜 Strap 配置： 来自 Strap 配置的 RGMII_RX_DELAY_CTRL[2:0] 值。 有关更多信息，请参阅“RGMII 发送时钟偏斜详细信息”表。

### 8.39 BIST 控制和状态寄存器 1 (BICSR1)

表 8-40. BIST 控制和状态寄存器 1 (BICSR1)，地址 0x0071

位	位名称	默认值	说明
15:0	PRBS_BYTE_CNT	0x0000, RO	保存 PRBS 校验器收到的总字节数。当写入寄存器 BICSR2 位 [0] 或位 [1] 后，此寄存器中的值被锁定。 当 BICSR 寄存器 (0x0016) 中的 PRBS_COUNT_MODE 设置为 0 时，计数在 0xFFFF 停止。

### 8.40 BIST 控制和状态寄存器 2 (BICSR2)

表 8-41. BIST 控制和状态寄存器 2 (BICSR2)，地址 0x0072

位	位名称	默认值	说明
15:11	保留	0x00, RO	读取时忽略
10	PRBS_PKT_CNT_OVF	0, RO	PRBS 校验器数据包计数溢出 如果设置，则 PRBS 数据包计数器已达到溢出。通过设置此寄存器的位 1 清除 PRBS 计数器后，溢出也会随之清除。
9	PRBS_BYTE_CNT_OVF	0, RO	PRBS 字节计数溢出 如果设置，则 PRBS 字节计数器已达到溢出。通过设置此寄存器的位 1 清除 PRBS 计数器后，溢出也会随之清除。
8	保留	0,RO	读取时忽略
7:0	PRBS_ERR_CNT	0x00, RO	保存 PRBS 校验器接收的错误字节数。 当写入位 [0] 或位 [1] 时，此寄存器中的值被锁定 当 PRBS 计数模式设置为零时，计数在 0xFF 停止 ( 见寄存器 0x0016 ) 注意：写入位 0 会为 PRBS 计数器生成锁定信号。 写入位 1 会为 PRBS 计数器生成锁定和清除信号

### 8.41 BIST 控制和状态寄存器 3 (BICSR3)

**表 8-42. BIST 控制和状态寄存器 3 (BICSR3), 地址 0x007B**

位	位名称	默认值	说明
15:0	PKT_LEN_PRBS	0x05DC, RW	生成的 BIST 数据包的长度。该寄存器的数值确定了由 BIST 生成的每个数据包的大小 (单位: 字节)。默认值为 0x05DC, 等于 1500 字节。每个数据包都会附加 0x5 的 13 个半字节, 然后附加 0xD5 (SFD)。

### 8.42 BIST 控制和状态寄存器 4 (BICSR4)

**表 8-43. BIST 控制和状态寄存器 4 (BICSR4), 地址 0x007C**

位	位名称	默认值	说明
15:8	RESERVED	0x00, RO	RESERVED
7:0	IPG_LEN	0x7D, RW	数据包间间隙 (IPG) 长度定义 BIST 生成的任意 2 个连续数据包之间的间隙大小 (单位: 字节)。默认值为 0x7D (等于 500 字节)。此字段的增量值对应于 IPG 长度增加 4 个字节。

### 8.43 接收器均衡器配置 (CRE)

**表 8-44. 接收器均衡器配置 (CRE), 地址 0x008A**

位	位名称	默认值	说明
15:0	CONFIG_REC_EQ	0x0000, RW	接收器均衡器配置。值 0x010F 可进一步提高 EMC 测试期间的抗扰度裕度。

## 8.44 RGMII 延迟控制寄存器 (RGMIIIDCTL)

该寄存器提供对 RGMII 延迟控制的访问。

**表 8-45. RGMII 延迟控制寄存器 (RGMIIIDCTL), 地址 0x0086**

位	位名称	默认值	说明
15:8	RESERVED	0, RO	RESERVED : 写入忽略, 读取为 0。
7:4	RGMII_TX_DELAY_CTRL	[7:5] Strap, [4] 0, RW	RGMII 发送时钟延迟 : 1111 : 4.00ns 1110 : 3.75ns 1101 : 3.50ns 1100 : 3.25ns 1011 : 3.00ns 1010 : 2.75ns 1001 : 2.50ns 1000 : 2.25ns 0111 : 2.00ns 0110 : 1.75ns 0101 : 1.50ns 0100 : 1.25ns 0011 : 1.00ns 0010 : 0.75ns 0001 : 0.50ns 0000 : 0.25ns
3:0	RGMII_RX_DELAY_CTRL	[3:1] Strap, [0] 0, RW	RGMII 接收时钟延迟 : 1111 : 4.00ns 1110 : 3.75ns 1101 : 3.50ns 1100 : 3.25ns 1011 : 3.00ns 1010 : 2.75ns 1001 : 2.50ns 1000 : 2.25ns 0111 : 2.00ns 0110 : 1.75ns 0101 : 1.50ns 0100 : 1.25ns 0011 : 1.00ns 0010 : 0.75ns 0001 : 0.50ns 0000 : 0.25ns

## 8.45 ANA\_LD\_TXG\_FINE\_GAINSEL\_AB (ALTFGAB)

**表 8-46. ANA\_LD\_TXG\_FINE\_GAINSEL\_AB (ALTFGAB), 地址 0x00A0**

位	位名称	默认值	说明
15:12	保留	0000,RO	RESERVED
11:8	TXG_GAINSEL_FINE_B	trim,RW	增益控制通道 B。 有关详细信息, 请参阅位 [3:0]
7:4	保留	0000,RO	RESERVED

**表 8-46. ANA\_LD\_TXG\_FINE\_GAINSEL\_AB (ALTFGAB), 地址 0x00A0 (续)**

位	位名称	默认值	说明
3:0	TXG_GAINSEL_FINE_A	trim,RW	增益控制通道 A。 默认值由 TRIM 设置。 可能的值： x0000 = 增益变化 -16% x0001 = 增益变化 -14% x1000 = 增益无变化 x1001 = 增益变化 +2% x1111 = 增益变化 +14%

#### 8.46 ANA\_LD\_TXG\_FINE\_GAINSEL\_CD (ALTFGCD)

**表 8-47. ANA\_LD\_TXG\_FINE\_GAINSEL\_CD (ALTFGCD), 地址 0x00A1**

位	位名称	默认值	说明
15:12	保留	0000,RO	RESERVED
11:8	TXG_GAINSEL_FINE_D	trim,RW	增益控制通道 D 有关详细信息, 请参阅 0x00A0 的位 [3:0]
7:4	保留	0000,RO	RESERVED
3:0	TXG_GAINSEL_FINE_C	trim,RW	增益控制通道 C 有关详细信息, 请参阅 0x00A0 的位 [3:0]

#### 8.47 ANA\_LD\_FILTER\_TUNE\_AB (ALFTAB)

**表 8-48. ANA\_LD\_FILTER\_TUNE\_AB (ALFTAB), 地址 0x00A2**

位	位名称	默认值	说明
15:14	保留	00, RO	RESERVED
13	LD_FILTER_TUNE_B_FORCE_CTRL	0, RW	通道 B LD_FILTER_TUNE 启用
12:8	LD_FILTER_TUNE_B	1000, RW	启用 LD_FILTER_TUNE_B_FORCE_CTRL 时通道 B 的线路驱动器摆幅
7:6	保留	0, RO	RESERVED
5	LD_FILTER_TUNE_A_FORCE_CTRL	0, RW	通道 A LD_FILTER_TUNE_A 启用
4:0	LD_FILTER_TUNE_A	10000, RW	启用 LD_FILTER_TUNE_A_FORCE_CTRL 时通道 A 的线路驱动器摆幅

#### 8.48 ANA\_LD\_FILTER\_TUNE\_CD (ALFTCD)

**表 8-49. ANA\_LD\_FILTER\_TUNE\_CD (ALFTCD), 地址 0x00A3**

位	位名称	默认值	说明
15:14	保留	00,RO	RESERVED
13	LD_FILTER_TUNE_D_FORCE_CTRL	0,RW	通道 D LD_FILTER_TUNE 启用
12:8	LD_FILTER_TUNE_D	10000,RW	启用 LD_FILTER_TUNE_D_FORCE_CTRL 时通道 D 的线路驱动器摆幅

表 8-49. ANA\_LD\_FILTER\_TUNE\_CD (ALFTCD), 地址 0x00A3 (续)

位	位名称	默认值	说明
7:6	保留	00,RO	RESERVED
5	LD_FILTER_TUNE_C_FORCE_CTRL	0,RW	通道 C LD_FILTER_TUNE 启用
4:0	LD_FILTER_TUNE_C	10000,RW	启用 LD_FILTER_TUNE_C_FORCE_CTRL 时通道 C 的线路驱动器摆幅

## 8.49 接收器 LPF 配置 (CRLPF)

表 8-50. 接收器 LPF 配置 (CRLPF), 地址 0x00B3

位	位名称	默认值	说明
15:0	CONFIG_REC_LPF	0x0088, RW	接收器 LPF 配置。值 0x000C 可进一步提高 EMC 测试期间的抗扰度裕度。

## 8.50 启用接收器均衡器控制 (ECRE)

表 8-51. 启用接收器均衡器控制 (ECRE), 地址 0x00C0

位	位名称	默认值	说明
15:0	EN_CTRL_REC_EQ	0x0000, RW	启用接收器均衡器控制。值 0x0000 可进一步提高 EMC 测试期间的抗扰度裕度。

## 8.51 PLL 时钟输出控制寄存器 (PLLCTL)

表 8-52. PLL 时钟输出控制寄存器 (PLLCTL), 地址 0x00C6

位	位名称	默认值	说明
15:5	RESERVED	0, RO	RESERVED: 写入忽略, 读取为 0。
4	CLK_MUX	0, RW	内部时钟 MUX 控制: 1 = 将模拟 CLK_OUT 配置为 TX_TCLK 以进行合规性测试。 0 = 正常运行。
3:0	RESERVED	0, RO	RESERVED: 写入忽略, 读取为 0。

## 8.52 发送器控制寄存器 (ANA\_LD\_DATA\_CTRL)

表 8-53. 发送器控制寄存器 (ANA\_LD\_DATA\_CTRL), 地址 0x00DD

位	位名称	默认值	说明
15:0	RESERVED	0x0200, RW	0x0200: 启用 MDI 发送器 (默认) 0x000F: 禁用 MDI 发送器

## 8.53 DSP 配置寄存器 3 (DSP\_CFG3)

表 8-54. DSP 配置寄存器 3 (DSP\_CFG3), 地址 0x00E4

位	位名称	默认值	说明
15:0	RESERVED	0x0000, RW	与 DP83867 故障排除指南脚本配合使用。

## 8.54 同步 FIFO 控制 (SYNC\_FIFO\_CTRL)

表 8-55. 同步 FIFO 控制 (SYNC\_FIFO\_CTRL), 地址 0x00E9

位	位名称	默认值	说明
15:0	RESERVED	0x9F22, RW	RESERVED

### 8.55 DSP 混合配置寄存器 2 (DSP\_HYBRID\_CFG2)

表 8-56. DSP 混合配置寄存器 2 (DSP\_HYBRID\_CFG2), 地址 0x00EF

位	位名称	默认值	说明
15:0	RESERVED	0x0000, RW	与 DP83867 故障排除指南脚本配合使用。

### 8.56 环回配置寄存器 (LOOPCR)

表 8-57. 回送配置寄存器 (LOOPCR), 地址 0x00FE

位	位名称	默认值	说明
15:0	LOOP_CFG_VAL	1110 0111 0010 0001, RW	回送配置值： 1110 0111 0010 000：回送模式的配置。 更改此寄存器值后，需要通过控制寄存器 (CTRL) 地址 0x001F 的位 14 进行软件复位。 不建议针对该寄存器使用其他值。

### 8.57 DSP 配置 (DSP\_CONFIG)

表 8-58. DSP 配置 (DSP\_CONFIG), 地址 0x0100

位	位名称	默认值	说明
15:0	DSP_CONFIG	0x051C, RW	DSP 配置。值 0x1027 可进一步提高 EMC 测试期间的抗扰度裕度。

### 8.58 DSP 选择寄存器 0 (DSP\_SEL0)

表 8-59. DSP 选择寄存器 0 (DSP\_SEL0), 地址 0x0102

位	位名称	默认值	说明
15:0	RESERVED	0x6333, RW	与 DP83867 故障排除指南脚本配合使用。

### 8.59 DSP 选择寄存器 1 (DSP\_SEL1)

表 8-60. DSP 选择寄存器 1 (DSP\_SEL1), 地址 0x0103

位	位名称	默认值	说明
15:0	RESERVED	0x4454, RW	与 DP83867 故障排除指南脚本配合使用。

### 8.60 DSP 选择寄存器 2 (DSP\_SEL2)

表 8-61. DSP 选择寄存器 2 (DSP\_SEL2), 地址 0x0104

位	位名称	默认值	说明
15:0	RESERVED	0x2447, RW	与 DP83867 故障排除指南脚本配合使用。

### 8.61 DSP 跟随器选择寄存器 0 (DSP\_FLR\_SEL0)

表 8-62. DSP 跟随器选择寄存器 0 (DSP\_FLR\_SEL0), 地址 0x0115

位	位名称	默认值	说明
15:0	RESERVED	0x3033, RW	与 DP83867 故障排除指南脚本配合使用。

## 8.62 DSP 跟随器选择寄存器 3 (DSP\_FLR\_SEL3)

表 8-63. DSP 跟随器选择寄存器 3 (DSP\_FLR\_SEL3), 地址 0x0118

位	位名称	默认值	说明
15:0	RESERVED	0x0371, RW	与 <a href="#">DP83867 故障排除指南</a> 脚本配合使用。

## 8.63 DSP 跟随器时序环路寄存器 1 (DSP\_FLR\_TLOOP1)

表 8-64. DSP 跟随器时序环路寄存器 1 (DSP\_FLR\_TLOOP1), 地址 0x011D

位	位名称	默认值	说明
15:0	RESERVED	0x6B6A, RW	与 <a href="#">DP83867 故障排除指南</a> 脚本配合使用。

## 8.64 DSP 跟随器时序环路寄存器 2 (DSP\_FLR\_TLOOP2)

表 8-65. DSP 跟随器时序环路寄存器 2 (DSP\_FLR\_TLOOP2), 地址 0x011E

位	位名称	默认值	说明
15:0	RESERVED	0x2FF8, RW	与 <a href="#">DP83867 故障排除指南</a> 脚本配合使用。

## 8.65 DSP 前馈均衡器配置 (DSP\_FFE\_CFG)

某些应用可能需要将该寄存器配置为 0x0E81 以提高短电缆性能。将该寄存器更改为 0x0E81 时，不会影响长电缆性能。

表 8-66. DSP 前馈均衡器配置 (DSP\_FFE\_CFG), 地址 0x012C

位	位名称	默认值	说明
15:10	RESERVED	0000 11, RO	RESERVED
9:0	FFE_EQ	00 0010 1101, RW	FFE 均衡器配置 当使用长度 <= 1m 的电缆时，将该字段设置为 10 1000 0001。

## 8.66 接收配置寄存器 (RXFCFG)

该寄存器提供局域网唤醒 (WoL) 的接收配置。

**表 8-67. 接收配置寄存器 (RXFCFG), 地址 0x0134**

位	位名称	默认值	说明
15:12	RESERVED	0, RO	RESERVED
11	WOL_OUT_CLEAR	0, RW, SC	清除局域网唤醒输出： 该位仅在配置为电平模式时适用。 1 = 清除局域网唤醒输出
10:9	WOL_OUT_STRETCH	00, RW	局域网唤醒输出延展： 如果 WoL 输出配置为脉冲模式，则脉冲长度定义为以下 125MHz 时钟周期数： 11 = 64 个时钟周期 10 = 32 个时钟周期 01 = 16 个时钟周期 00 = 8 个时钟周期
8	WOL_OUT_MODE	0, RW	局域网唤醒输出模式： 1 = 电平模式。WoL 通过写入 WOL_OUT_CLEAR (位 11) 清除。 0 = 脉冲模式。脉冲宽度通过 WOL_OUT_STRETCH (位 10:9) 进行配置。
7	ENHANCED_MAC_SUPPORT	0, RW	使能增强型接收特性： 1 = 使能局域网唤醒、CRC 校验和接收 1588 指示。 0 = 正常运行。
6	RESERVED	0, RO	RESERVED
5	SCRON_EN	0, RW	使能安全唤醒密码： 1 = 安全唤醒密码已使能。 0 = 安全唤醒密码已禁用。
4	WAKE_ON_UCAST	0, RW	单播数据包唤醒： 1 = 收到单播数据包时发出中断。 0 = 收到单播数据包时不发出中断。
3	RESERVED	0, RO	RESERVED
2	WAKE_ON_BCAST	1, RW	广播数据包唤醒： 1 = 收到广播数据包时发出中断。 0 = 收到广播数据包时不发出中断。
1	WAKE_ON_PATTERN	0, RW	模式唤醒匹配： 1 = 在模式匹配时发出中断。 0 = 在模式匹配时不发出中断。
0	WAKE_ON_MAGIC	0, RW	魔术包唤醒： 1 = 收到魔术包时发出中断。 0 = 收到魔术包时不发出中断。

## 8.67 接收状态寄存器 (RXFSTS)

该寄存器提供接收功能的状态。

**表 8-68. 接收状态寄存器 (RXFSTS), 地址 0x0135**

位	位名称	默认值	说明
15:8	RESERVED	0, RO	RESERVED
7	SFD_ERR	0, R0, LH, SC	SFD 错误： 1 = 收到包含 SFD 错误 (没有 0x5D SFD 字节) 的数据包。 0 = 未检测到 SFD 错误。
6	BAD_CRC	0, R0, LH, SC	CRC 错误： 1 = 收到包含 CRC 错误的数据包。 0 = 未检测到 CRC 错误。
5	SCRON_HACK	0, R0, LH, SC	安全唤醒破解尝试标志： 1 = 检测到安全唤醒破解尝试。 0 = 未检测到安全唤醒破解尝试。
4	UCAST_RCVD	0, R0, LH, SC	单播数据包接收： 1 = 收到有效的单播数据包。 0 = 未收到有效的单播数据包。
3	RESERVED	0, RO	RESERVED
2	BCAST_RCVD	0, R0, LH, SC	广播数据包接收： 1 = 收到有效的广播数据包。 0 = 未收到有效的广播数据包。
1	PATTERN_RCVD	0, R0, LH, SC	模式匹配接收： 1 = 收到具有所配置模式的有效数据包。 0 = 未收到具有所配置模式的有效数据包。
0	MAGIC_RCVD	0, R0, LH, SC	魔术包接收： 1 = 收到有效的魔术包。 0 = 未收到有效的魔术包。

### 8.68 图形匹配数据寄存器 1 (RXFPMD1)

表 8-69. 图形匹配数据寄存器 1 (RXFPMD1), 地址 0x0136

位	位名称	默认值	说明
15:0	PMATCH_DATA_15_0	0, RW	完全匹配数据的位 15:0 - 用于 DA (目标地址) 匹配

### 8.69 图形匹配数据寄存器 2 (RXFPMD2)

表 8-70. 图形匹配数据寄存器 2 (RXFPMD2), 地址 0x0137

位	位名称	默认值	说明
15:0	PMATCH_DATA_31_16	0, RW	完全匹配数据的位 31:16 - 用于 DA (目标地址) 匹配

### 8.70 图形匹配数据寄存器 3 (RXFPMD3)

表 8-71. 图形匹配数据寄存器 3 (RXFPMD3), 地址 0x0138

位	位名称	默认值	说明
15:0	PMATCH_DATA_47_32	0, RW	完全匹配数据的位 47:32 - 用于 DA (目标地址) 匹配

### 8.71 SecureOn Pass 寄存器 2 (RXFSOP1)

表 8-72. SecureOn Pass 寄存器 1 (RXFSOP1), 地址 0x0139

位	位名称	默认值	说明
15:0	SCRON_PASSWORD_15_0	0, RW	魔术包安全唤醒密码的位 15:0

### 8.72 SecureOn Pass 寄存器 2 (RXFSOP2)

表 8-73. SecureOn Pass 寄存器 2 (RXFSOP2), 地址 0x013A

位	位名称	默认值	说明
15:0	SCRON_PASSWORD_31_16	0, RW	魔术包安全唤醒密码的位 31:16

### 8.73 SecureOn Pass 寄存器 3 (RXFSOP3)

表 8-74. SecureOn Pass 寄存器 3 (RXFSOP3), 地址 0x013B

位	位名称	默认值	说明
15:0	SCRON_PASSWORD_47_32	0, RW	魔术包安全唤醒密码的位 47:32

### 8.74 接收图形寄存器 1 (RXFPAT1)

表 8-75. 接收图形寄存器 1 (RXFPAT1), 地址 0x013C

位	位名称	默认值	说明
15:0	PATTERN_BYTES_0_1	0, RW	所配置模式的字节 0 (最低有效字节) 和字节 1。每个字节均可通过 RXF_PATTERN_BYTE_MASK 寄存器单独掩码。

### 8.75 接收图形寄存器 2 (RXFPAT2)

表 8-76. 接收图形寄存器 2 (RXFPAT2), 地址 0x013D

位	位名称	默认值	说明
15:0	PATTERN_BYTES_2_3	0, RW	所配置模式的第 2 字节和第 3 字节。每个字节均可通过 RXF_PATTERN_BYTE_MASK 寄存器单独掩码。

## 8.76 接收图形寄存器 3 (RXFPAT3)

表 8-77. 接收图形寄存器 3 (RXFPAT3), 地址 0x013E

位	位名称	默认值	说明
15:0	PATTERN_BYTES_4_5	0, RW	所配置模式的第 4 字节和第 5 字节。每个字节均可通过 RXF_PATTERN_BYTE_MASK 寄存器单独掩码。

## 8.77 接收图形寄存器 4 (RXFPAT4)

表 8-78. 接收图形寄存器 4 (RXFPAT4), 地址 0x013F

位	位名称	默认值	说明
15:0	PATTERN_BYTES_6_7	0, RW	所配置模式的第 6 字节和第 7 字节。每个字节均可通过 RXF_PATTERN_BYTE_MASK 寄存器单独掩码。

## 8.78 接收图形寄存器 5 (RXFPAT5)

表 8-79. 接收图形寄存器 5 (RXFPAT5), 地址 0x0140

位	位名称	默认值	说明
15:0	PATTERN_BYTES_8_9	0, RW	所配置模式的第 8 字节和第 9 字节。每个字节均可通过 RXF_PATTERN_BYTE_MASK 寄存器单独掩码。

## 8.79 接收图形寄存器 6 (RXFPAT6)

表 8-80. 接收图形寄存器 6 (RXFPAT6), 地址 0x0141

位	位名称	默认值	说明
15:0	PATTERN_BYTES_10_11	0, RW	所配置模式的第 10 字节和第 11 字节。每个字节均可通过 RXF_PATTERN_BYTE_MASK 寄存器单独掩码。

## 8.80 接收图形寄存器 7 (RXFPAT7)

表 8-81. 接收图形寄存器 7 (RXFPAT7), 地址 0x0142

位	位名称	默认值	说明
15:0	PATTERN_BYTES_12_13	0, RW	所配置模式的第 12 字节和第 13 字节。每个字节均可通过 RXF_PATTERN_BYTE_MASK 寄存器单独掩码。

## 8.81 接收图形寄存器 8 (RXFPAT8)

表 8-82. 接收图形寄存器 8 (RXFPAT8), 地址 0x0143

位	位名称	默认值	说明
15:0	PATTERN_BYTES_14_15	0, RW	所配置模式的字节 0 14 和字节 15。每个字节均可通过 RXF_PATTERN_BYTE_MASK 寄存器单独掩码。

## 8.82 接收图形寄存器 9 (RXFPAT9)

表 8-83. 接收图形寄存器 9 (RXFPAT9), 地址 0x0144

位	位名称	默认值	说明
15:0	PATTERN_BYTES_16_17	0, RW.	所配置模式的第 16 字节和第 17 字节。每个字节均可通过 RXF_PATTERN_BYTE_MASK 寄存器单独掩码。

### 8.83 接收图形寄存器 10 (RXFPAT10)

表 8-84. 接收图形寄存器 10 (RXFPAT10), 地址 0x0145

位	位名称	默认值	说明
15:0	PATTERN_BYTES_18_19	0, RW	所配置模式的第 18 字节和第 19 字节。每个字节均可通过 RXF_PATTERN_BYTE_MASK 寄存器单独掩码。

### 8.84 接收图形寄存器 11 (RXFPAT11)

表 8-85. 接收图形寄存器 11 (RXFPAT11), 地址 0x0146

位	位名称	默认值	说明
15:0	PATTERN_BYTES_20_21	0, RW	所配置模式的第 20 字节和第 21 字节。每个字节均可通过 RXF_PATTERN_BYTE_MASK 寄存器单独掩码。

### 8.85 接收图形寄存器 12 (RXFPAT12)

表 8-86. 接收图形寄存器 12 (RXFPAT12), 地址 0x0147

位	位名称	默认值	说明
15:0	PATTERN_BYTES_22_23	0, RW	所配置模式的第 22 字节和第 23 字节。每个字节均可通过 RXF_PATTERN_BYTE_MASK 寄存器单独掩码。

### 8.86 接收图形寄存器 13 (RXFPAT13)

表 8-87. 接收图形寄存器 13 (RXFPAT13), 地址 0x0148

位	位名称	默认值	说明
15:0	PATTERN_BYTES_24_25	0, RW	所配置模式的第 24 字节和第 25 字节。每个字节均可通过 RXF_PATTERN_BYTE_MASK 寄存器单独掩码。

### 8.87 接收图形寄存器 14 (RXFPAT14)

表 8-88. 接收图形寄存器 14 (RXFPAT14), 地址 0x0149

位	位名称	默认值	说明
15:0	PATTERN_BYTES_26_27	0, RW	所配置模式的第 26 字节和第 27 字节。每个字节均可通过 RXF_PATTERN_BYTE_MASK 寄存器单独掩码。

### 8.88 接收图形寄存器 15 (RXFPAT15)

表 8-89. 接收图形寄存器 15 (RXFPAT15), 地址 0x014A

位	位名称	默认值	说明
15:0	PATTERN_BYTES_28_29	0, RW	所配置模式的第 28 字节和第 29 字节。每个字节均可通过 RXF_PATTERN_BYTE_MASK 寄存器单独掩码。

### 8.89 接收图形寄存器 16 (RXFPAT16)

表 8-90. 接收图形寄存器 16 (RXFPAT16), 地址 0x014B

位	位名称	默认值	说明
15:0	PATTERN_BYTES_30_31	0, RW	所配置模式的第 30 字节和第 31 字节。每个字节均可通过 RXF_PATTERN_BYTE_MASK 寄存器单独掩码。

**8.90 接收图形寄存器 17 (RXFPAT17)****表 8-91. 接收图形寄存器 17 (RXFPAT17), 地址 0x014C**

位	位名称	默认值	说明
15:0	PATTERN_BYTES_32_33	0, RW	所配置模式的第 32 字节和第 33 字节。每个字节均可通过 RXF_PATTERN_BYTE_MASK 寄存器单独掩码。

**8.91 接收图形寄存器 18 (RXFPAT18)****表 8-92. 接收图形寄存器 18 (RXFPAT18), 地址 0x014D**

位	位名称	默认值	说明
15:0	PATTERN_BYTES_34_35	0, RW	所配置模式的第 34 字节和第 35 字节。每个字节均可通过 RXF_PATTERN_BYTE_MASK 寄存器单独掩码。

**8.92 接收图形寄存器 19 (RXFPAT19)****表 8-93. 接收图形寄存器 19 (RXFPAT19), 地址 0x014E**

位	位名称	默认值	说明
15:0	PATTERN_BYTES_36_37	0, RW	所配置模式的第 36 字节和第 37 字节。每个字节均可通过 RXF_PATTERN_BYTE_MASK 寄存器单独掩码。

**8.93 接收图形寄存器 20 (RXFPAT20)****表 8-94. 接收图形寄存器 20 (RXFPAT20), 地址 0x014F**

位	位名称	默认值	说明
15:0	PATTERN_BYTES_38_39	0, RW	所配置模式的第 38 字节和第 39 字节。每个字节均可通过 RXF_PATTERN_BYTE_MASK 寄存器单独掩码。

**8.94 接收图形寄存器 21 (RXFPAT21)****表 8-95. 接收图形寄存器 21 (RXFPAT21), 地址 0x0150**

位	位名称	默认值	说明
15:0	PATTERN_BYTES_38_39	0, RW	所配置模式的第 38 字节和第 39 字节。每个字节均可通过 RXF_PATTERN_BYTE_MASK 寄存器单独掩码。

**8.95 接收图形寄存器 22 (RXFPAT22)****表 8-96. 接收图形寄存器 22 (RXFPAT22), 地址 0x0151**

位	位名称	默认值	说明
15:0	PATTERN_BYTES_42_43	0, RW	所配置模式的第 42 字节和第 43 字节。每个字节均可通过 RXF_PATTERN_BYTE_MASK 寄存器单独掩码。

**8.96 接收图形寄存器 23 (RXFPAT23)****表 8-97. 接收图形寄存器 23 (RXFPAT23), 地址 0x0152**

位	位名称	默认值	说明
15:0	PATTERN_BYTES_44_45	0, RW	所配置模式的第 44 字节和第 45 字节。每个字节均可通过 RXF_PATTERN_BYTE_MASK 寄存器单独掩码。

### 8.97 接收图形寄存器 24 (RXFPAT24)

表 8-98. 接收图形寄存器 24 (RXFPAT24), 地址 0x0153

位	位名称	默认值	说明
15:0	PATTERN_BYTES_46_47	0, RW	所配置模式的第 46 字节和第 47 字节。每个字节均可通过 RXF_PATTERN_BYTE_MASK 寄存器单独掩码。

### 8.98 接收图形寄存器 25 (RXFPAT25)

表 8-99. 接收图形寄存器 25 (RXFPAT25), 地址 0x0154

位	位名称	默认值	说明
15:0	PATTERN_BYTES_48_49	0, RW	所配置模式的第 48 字节和第 49 字节。每个字节均可通过 RXF_PATTERN_BYTE_MASK 寄存器单独掩码。

### 8.99 接收图形寄存器 26 (RXFPAT26)

表 8-100. 接收图形寄存器 26 (RXFPAT26), 地址 0x0155

位	位名称	默认值	说明
15:0	PATTERN_BYTES_50_51	0, RW	所配置模式的第 50 字节和第 51 字节。每个字节均可通过 RXF_PATTERN_BYTE_MASK 寄存器单独掩码。

### 8.100 接收图形寄存器 27 (RXFPAT27)

表 8-101. 接收图形寄存器 27 (RXFPAT27), 地址 0x0156

位	位名称	默认值	说明
15:0	PATTERN_BYTES_52_53	0, RW	所配置模式的第 52 字节和第 53 字节。每个字节均可通过 RXF_PATTERN_BYTE_MASK 寄存器单独掩码。

### 8.101 接收图形寄存器 28 (RXFPAT28)

表 8-102. 接收图形寄存器 28 (RXFPAT28), 地址 0x0157

位	位名称	默认值	说明
15:0	PATTERN_BYTES_54_55	0, RW	所配置模式的第 54 字节和第 55 字节。每个字节均可通过 RXF_PATTERN_BYTE_MASK 寄存器单独掩码。

### 8.102 接收图形寄存器 29 (RXFPAT29)

表 8-103. 接收图形寄存器 29 (RXFPAT29), 地址 0x0158

位	位名称	默认值	说明
15:0	PATTERN_BYTES_56_57	0, RW	所配置模式的第 56 字节和第 57 字节。每个字节均可通过 RXF_PATTERN_BYTE_MASK 寄存器单独掩码。

### 8.103 接收图形寄存器 30 (RXFPAT30)

表 8-104. 接收图形寄存器 30 (RXFPAT30), 地址 0x0159

位	位名称	默认值	说明
15:0	PATTERN_BYTES_58_59	0, RW	所配置模式的第 58 字节和第 59 字节。每个字节均可通过 RXF_PATTERN_BYTE_MASK 寄存器单独掩码。

### 8.104 接收图形寄存器 31 (RXFPAT31)

表 8-105. 接收图形寄存器 31 (RXFPAT31), 地址 0x015A

位	位名称	默认值	说明
15:0	PATTERN_BYTES_0_1	0, RW	所配置模式的第 60 字节和第 61 字节。每个字节均可通过 RXF_PATTERN_BYTE_MASK 寄存器单独掩码。

### 8.105 接收图形寄存器 32 (RXFPAT32)

表 8-106. 接收图形寄存器 32 (RXFPAT32), 地址 0x015B

位	位名称	默认值	说明
15:0	PATTERN_BYTES_62_63	0, RW	所配置模式的第 62 字节和第 63 字节。每个字节均可通过 RXF_PATTERN_BYTE_MASK 寄存器单独掩码。

### 8.106 接收图形字节掩码寄存器 1 (RXFPBM1)

表 8-107. 接收模式字节掩码寄存器 1 (RXFPBM1), 地址 0x015C

位	位名称	默认值	说明
15:0	PATTERN_BYTES_MASK_0_15	0, RW	模式第 0 至 15 字节的掩码。1 表示关联字节的掩码。

### 8.107 接收图形字节掩码寄存器 2 (RXFPBM2)

表 8-108. 接收模式字节掩码寄存器 2 (RXFPBM2), 地址 0x015D

位	位名称	默认值	说明
15:0	PATTERN_BYTES_MASK_16_31	0, RW	模式第 16 至 31 字节的掩码。1 表示关联字节的掩码。

### 8.108 接收图形字节掩码寄存器 3 (RXFPBM3)

表 8-109. 接收模式字节掩码寄存器 3 (RXFPBM3), 地址 0x015E

位	位名称	默认值	说明
15:0	PATTERN_BYTES_MASK_32_47	0, RW	模式第 32 至 47 字节的掩码。1 表示关联字节的掩码。

### 8.109 接收图形字节掩码寄存器 4 (RXFPBM4)

表 8-110. 接收模式字节掩码寄存器 4 (RXFPBM4), 地址 0x015F

位	位名称	默认值	说明
15:0	PATTERN_BYTES_MASK_48_63	0, RW	模式第 48 至 63 字节的掩码。1 表示关联字节的掩码。

### 8.110 接收图形控制 (RXFPATC)

表 8-111. 接收状态寄存器 (RXFSTS), 地址 0x0161

位	位名称	默认值	说明
15:6	RESERVED	0, RO	RESERVED: 写入忽略, 读取为 0。
5:0	PATTERN_START_POINT	0, RW	SFD 之后的字节数 (RX 数据包开始与配置的模式进行比较的位置): 111111 — 从 SFD 之后的第 64 个字节开始比较 000000 — 从 SFD 之后的第 1 个字节中开始比较

### 8.111 I/O 配置 (IO\_MUX\_CFG)

**表 8-112. I/O 配置 (IO\_MUX\_CFG), 地址 0x0170**

位	位名称	默认值	说明
15:13	RESERVED	0, RO	RESERVED
12:8	CLK_O_SEL	0 1100, RW	时钟输出选择： 01101 - 11111 : RESERVED 01100 : 基准时钟 (与 XI 输入时钟同步) 01011 : 通道 D 传输时钟 01010 : 通道 C 传输时钟 01001 : 通道 B 传输时钟 01000 : 通道 A 传输时钟 00111 : 通道 D 接收时钟除以 5 00110 : 通道 C 接收时钟除以 5 00101 : 通道 B 接收时钟除以 5 00100 : 通道 A 接收时钟除以 5 00011 : 通道 D 接收时钟 00010 : 通道 C 接收时钟 00001 : 通道 B 接收时钟 00000 : 通道 A 接收时钟
7	RESERVED	0, RO	RESERVED
6	CLK_O_DISABLE	PAP : Strap, RW RGZ : 0,RW	时钟输出禁用： 1 = 在 CLK_OUT 引脚上禁用时钟输出。 0 = 在 CLK_OUT 引脚上启用时钟输出。
5	RESERVED	0, RO	RESERVED
4:0	IO_IMPEDANCE_CTRL	TRIM, RW	MAC I/O 的阻抗控制： 输出阻抗近似范围为 35 Ω 至 70 Ω，共 32 个步进。最低为 11111，最高为 00000。范围和步长会随工艺变化。 默认通过 TRIM 设置为 50 Ω。但默认寄存器值可能会因工艺而异。可根据走线阻抗使用非默认的 MAC I/O 阻抗值。器件与走线阻抗间不匹配可能导致电压过冲和下冲。

### 8.112 GPIO 多路复用器控制寄存器 1 (GPIO\_MUX\_CTRL1)

该寄存器仅适用于 PAP 器件。该寄存器不适用于 RGZ 器件。

**表 8-113. GPIO 多路复用器控制寄存器 1 (GPIO\_MUX\_CTRL1), 地址 0x0171**

位	位名称	默认值	说明
15:12	RX_D7_GPIO_CTRL	RW, 0000	RX_D7 GPIO 控制： 1010 - 1111 : RESERVED 1001 : 常量 '1' 1000: 常量 '0' 0111: PRBS 错误/同步丢失 0110 : LED_3 0101 : RESERVED 0100 : 能量检测 ( 仅限 1000Base-T 和 100Base-TX ) 0011 : WOL 0010 : 1588 RX SFD 0001: 1588 TX SFD 0000: RX_D7
11:8	RX_D6_GPIO_CTRL	RW, 0000	RX_D6 GPIO 控制： 1010 - 1111 : RESERVED 1001 : 常量 '1' 1000: 常量 '0' 0111: PRBS 错误/同步丢失 0110 : LED_3 0101 : RESERVED 0100 : 能量检测 ( 仅限 1000Base-T 和 100Base-TX ) 0011 : WOL 0010 : 1588 RX SFD 0001: 1588 TX SFD 0000: RX_D6
7:4	RX_D5_GPIO_CTRL	RW, 0000	RX_D5 GPIO 控制： 1010 - 1111 : RESERVED 1001 : 常量 '1' 1000: 常量 '0' 0111: PRBS 错误/同步丢失 0110 : LED_3 0101 : RESERVED 0100 : 能量检测 ( 仅限 1000Base-T 和 100Base-TX ) 0011 : WOL 0010 : 1588 RX SFD 0001: 1588 TX SFD 0000: RX_D5

**表 8-113. GPIO 多路复用器控制寄存器 1 (GPIO\_MUX\_CTRL1), 地址 0x0171 (续)**

位	位名称	默认值	说明
3:0	RX_D4_GPIO_CTRL	RW, 0000	RX_D4 GPIO 控制： 1010 - 1111 : RESERVED 1001 : 常量 '1' 1000: 常量 '0' 0111: PRBS 错误/同步丢失 0110 : LED_3 0101 : RESERVED 0100 : 能量检测 ( 仅限 1000Base-T 和 100Base-TX ) 0011 : WOL 0010 : 1588 RX SFD 0001: 1588 TX SFD 0000: RX_D4

### 8.113 GPIO 多路复用器控制寄存器 2 (GPIO\_MUX\_CTRL2)

此说明仅适用于 PAP 器件。对于 RGZ 器件，请参阅 [节 8.1.114](#)

**表 8-114. GPIO 多路复用器控制寄存器 2 (GPIO\_MUX\_CTRL2)，地址 0x0172**

位	位名称	默认值	说明
15:12	RESERVED	0, RO	RESERVED
11:8	CRS_GPIO_CTRL	RW, 0000	CRS GPIO 控制： 1010 - 1111 : RESERVED 1001 : 常量 '1' 1000: 常量 '0' 0111: PRBS 错误/同步丢失 0110 : LED_3 0101 : RESERVED 0100 : 能量检测 ( 仅限 1000Base-T 和 100Base-TX ) 0011 : WOL 0010 : 1588 RX SFD 0001: 1588 TX SFD 0000: CRS
7:4	COL_GPIO_CTRL	RW, 0000	COL GPIO 控制： 1010 - 1111 : RESERVED 1001 : 常量 '1' 1000: 常量 '0' 0111: PRBS 错误/同步丢失 0110 : LED_3 0101 : RESERVED 0100 : 能量检测 ( 仅限 1000Base-T 和 100Base-TX ) 0011 : WOL 0010 : 1588 RX SFD 0001: 1588 TX SFD 0000: COL
3:0	RX_ER_GPIO_CTRL	RW, 0000	RX_ER GPIO 控制： 1010 - 1111 : RESERVED 1001 : 常量 '1' 1000: 常量 '0' 0111: PRBS 错误/同步丢失 0110 : LED_3 0101 : RESERVED 0100 : 能量检测 ( 仅限 1000Base-T 和 100Base-TX ) 0011 : WOL 0010 : 1588 RX SFD 0001: 1588 TX SFD 0000: RX_ER

### 8.114 GPIO 多路复用器控制寄存器 (GPIO\_MUX\_CTRL)

此说明仅适用于 RGZ 器件。对于 PAP 器件，请参阅 [节 8.1.113](#)

**表 8-115. GPIO 多路复用器控制寄存器 (GPIO\_MUX\_CTRL)，地址 0x0172**

位	位名称	默认值	说明
15:8	RESERVED	0, RO	RESERVED
7:4	GPIO_1_CTRL	RW, 0000	GPIO_1 控制： 1010 - 1111 : RESERVED 1001 : 常量 1 1000 : 常量 0 0111 : PRBS 错误/同步丢失 0110 : LED_3 0101 : RESERVED 0100 : 能量检测 ( 仅限 1000Base-T 和 100Base-TX ) 0011 : WOL 0010 : 1588 RX SFD 0001 : 1588 TX SFD 0000 : COL
3:0	GPIO_0_CTRL	RW, 0000	GPIO_0 控制： 1010 - 1111 : RESERVED 1001 : 常量 1 1000 : 常量 0 0111 : PRBS 错误/同步丢失 0110 : LED_3 0101 : RESERVED 0100 : 能量检测 ( 仅限 1000Base-T 和 100Base-TX ) 0011 : WOL 0010 : 1588 RX SFD 0001 : 1588 TX SFD 0000 : RX_ER

### 8.115 TDR 通用配置寄存器 1 (TDR\_GEN\_CFG1)

表 8-116. TDR 通用配置寄存器 1 (TDR\_GEN\_CFG1), 地址 0x0180

位	位名称	默认值	说明
15:13	RESERVED	0, RO	RESERVED
12	TDR_CH_CD_BYPASS	0, RW	通道 C 和 D 的 TDR 旁路： 1 = 在 TDR 测试中旁路通道 C 和 D。 0 = 正常运行。
11	TDR_CROSS_MODE_DIS	0, RW	禁用 TDR 交叉模式： 1 = 禁用交叉模式选项。不检查交叉通道。仅侦听用于传输的通道。 0 = 正常运行。
10	TDR_NLP_CHECK	1, RW	TDR NLP 检查： 1 = 在静默期间检查 NLP。 0 = 正常运行。
9:7	TDR_AVG_NUM	110, RW	平均 TDR 周期数： 111: RESERVED: 写入忽略, 读取为 0。 110: 64 个 TDR 周期 101: 32 个 TDR 周期 100: 16 个 TDR 周期 011: 8 个 TDR 周期 010: 4 个 TDR 周期 001: 2 个 TDR 周期 000: 1 个 TDR 周期
6:4	TDR_SEG_NUM	101, RW	设置要检查的 TDR 段数。
3:0	TDR_CYCLE_TIME	010, RW	设置每个 TDR 周期的时间。测得的值以微秒为单位。

### 8.116 TDR 阈值配置寄存器 1 (TDR\_THR\_CFG1)

表 8-117. TDR 阈值配置寄存器 1 (TDR\_THR\_CFG1), 地址 0x0186

位	位名称	默认值	说明
15:0	RESERVED	0x31D7, RW	与时域反射法应用手册脚本一起使用。

### 8.117 TDR 阈值配置寄存器 2 (TDR\_THR\_CFG2)

表 8-118. TDR 阈值配置寄存器 2 (TDR\_THR\_CFG2), 地址 0x0187

位	位名称	默认值	说明
15:0	RESERVED	0x0D9B, RW	与时域反射法应用手册脚本一起使用。

### 8.118 TDR 通用配置寄存器 5 (TDR\_GEN\_CFG5)

表 8-119. TDR 通用配置寄存器 5 (TDR\_GEN\_CFG5), 地址 0x0189

位	位名称	默认值	说明
15:0	RESERVED	0x0014, RW	与时域反射法应用手册脚本一起使用。

### 8.119 TDR 峰值位置寄存器 1 (TDR\_PEAKS\_LOC\_1)

表 8-120. TDR 峰值位置寄存器 1 (TDR\_PEAKS\_LOC\_1), 地址 0x0190

位	位名称	默认值	说明
15:8	TDR_PEAKS_LOC_A_1	0, RO	TDR 机制在通道 A 上发现的第二个峰值的位置。这些位的值会转换为与 PHY 的距离。
7:0	TDR_PEAKS_LOC_A_0	0, RO	TDR 机制在通道 A 上发现的第一个峰值的位置。这些位的值会转换为与 PHY 的距离。

### 8.120 TDR 峰值位置寄存器 2 (TDR\_PEAKS\_LOC\_2)

表 8-121. TDR 峰值位置寄存器 2 (TDR\_PEAKS\_LOC\_2), 地址 0x0191

位	位名称	默认值	说明
15:8	TDR_PEAKS_LOC_A_3	0, RO	TDR 机制在通道 A 上发现的第四个峰值的位置。这些位的值会转换为与 PHY 的距离。
7:0	TDR_PEAKS_LOC_A_2	0, RO	TDR 机制在通道 A 上发现的第三个峰值的位置。这些位的值会转换为与 PHY 的距离。

### 8.121 TDR 峰值位置寄存器 3 (TDR\_PEAKS\_LOC\_3)

表 8-122. TDR 峰值位置寄存器 3 (TDR\_PEAKS\_LOC\_3), 地址 0x0192

位	位名称	默认值	说明
15:8	TDR_PEAKS_LOC_B_0	0, RO	TDR 机制在通道 B 上发现的第一个峰值的位置。这些位的值会转换为与 PHY 的距离。
7:0	TDR_PEAKS_LOC_A_4	0, RO	TDR 机制在通道 A 上发现的第五个峰值的位置。这些位的值会转换为与 PHY 的距离。

### 8.122 TDR 峰值位置寄存器 4 (TDR\_PEAKS\_LOC\_4)

表 8-123. TDR 峰值位置寄存器 4 (TDR\_PEAKS\_LOC\_4), 地址 0x0193

位	位名称	默认值	说明
15:8	TDR_PEAKS_LOC_B_2	0, RO	TDR 机制在通道 B 上发现的第三个峰值的位置。这些位的值会转换为与 PHY 的距离。
7:0	TDR_PEAKS_LOC_B_1	0, RO	TDR 机制在通道 B 上发现的第二个峰值的位置。这些位的值会转换为与 PHY 的距离。

### 8.123 TDR 峰值位置寄存器 5 (TDR\_PEAKS\_LOC\_5)

表 8-124. TDR 峰值位置寄存器 5 (TDR\_PEAKS\_LOC\_5), 地址 0x0194

位	位名称	默认值	说明
15:8	TDR_PEAKS_LOC_B_4	0, RO	TDR 机制在通道 B 上发现的第五个峰值的位置。这些位的值会转换为与 PHY 的距离。
7:0	TDR_PEAKS_LOC_B_3	0, RO	TDR 机制在通道 B 上发现的第四个峰值的位置。这些位的值会转换为与 PHY 的距离。

### 8.124 TDR 峰值位置寄存器 6 (TDR\_PEAKS\_LOC\_6)

表 8-125. TDR 峰值位置寄存器 6 (TDR\_PEAKS\_LOC\_6), 地址 0x0195

位	位名称	默认值	说明
15:8	TDR_PEAKS_LOC_C_1	0, RO	TDR 机制在通道 C 上发现的第二个峰值的位置。这些位的值会转换为与 PHY 的距离。
7:0	TDR_PEAKS_LOC_C_0	0, RO	TDR 机制在通道 C 上发现的第一个峰值的位置。这些位的值会转换为与 PHY 的距离。

### 8.125 TDR 峰值位置寄存器 7 (TDR\_PEAKS\_LOC\_7)

表 8-126. TDR 峰值位置寄存器 7 (TDR\_PEAKS\_LOC\_7), 地址 0x0196

位	位名称	默认值	说明
15:8	TDR_PEAKS_LOC_C_3	0, RO	TDR 机制在通道 C 上发现的第四个峰值的位置。这些位的值会转换为与 PHY 的距离。
7:0	TDR_PEAKS_LOC_C_2	0, RO	TDR 机制在通道 C 上发现的第三个峰值的位置。这些位的值会转换为与 PHY 的距离。

### 8.126 TDR 峰值位置寄存器 8 (TDR\_PEAKS\_LOC\_8)

表 8-127. TDR 峰值位置寄存器 8 (TDR\_PEAKS\_LOC\_8)，地址 0x0197

位	位名称	默认值	说明
15:8	TDR_PEAKS_LOC_D_0	0, RO	TDR 机制在通道 D 上发现的第一个峰值的位置。这些位的值会转换为与 PHY 的距离。
7:0	TDR_PEAKS_LOC_C_4	0, RO	TDR 机制在通道 C 上发现的第五个峰值的位置。这些位的值会转换为与 PHY 的距离。

### 8.127 TDR 峰值位置寄存器 9 (TDR\_PEAKS\_LOC\_9)

表 8-128. TDR 峰值位置寄存器 9 (TDR\_PEAKS\_LOC\_9)，地址 0x0198

位	位名称	默认值	说明
15:8	TDR_PEAKS_LOC_D_2	0, RO	TDR 机制在通道 D 上发现的第三个峰值的位置。这些位的值会转换为与 PHY 的距离。
7:0	TDR_PEAKS_LOC_D_1	0, RO	TDR 机制在通道 D 上发现的第二个峰值的位置。这些位的值会转换为与 PHY 的距离。

### 8.128 TDR 峰值位置寄存器 10 (TDR\_PEAKS\_LOC\_10)

表 8-129. TDR 峰值位置寄存器 10 (TDR\_PEAKS\_LOC\_10)，地址 0x0199

位	位名称	默认值	说明
15:8	TDR_PEAKS_LOC_D_4	0, RO	TDR 机制在通道 D 上发现的第五个峰值的位置。这些位的值会转换为与 PHY 的距离。
7:0	TDR_PEAKS_LOC_D_3	0, RO	TDR 机制在通道 D 上发现的第四个峰值的位置。这些位的值会转换为与 PHY 的距离。

### 8.129 TDR 峰值幅度寄存器 1 (TDR\_PEAKS\_AMP\_1)

表 8-130. TDR 峰值幅度寄存器 1 (TDR\_PEAKS\_AMP\_1)，地址 0x019A

位	位名称	默认值	说明
15	RESERVED	0, RO	RESERVED
14:8	TDR_PEAKS_AMP_A_1	0, RO	TDR 机制在通道 A 上发现的第二个峰值的幅值。这些位的值会转换为电缆故障类型和/或干扰类型。
7	RESERVED	0, RO	RESERVED
6:0	TDR_PEAKS_AMP_A_0	0, RO	TDR 机制在通道 A 上发现的第一个峰值的幅值。这些位的值会转换为电缆故障类型和/或干扰类型。

### 8.130 TDR 峰值幅度寄存器 2 (TDR\_PEAKS\_AMP\_2)

表 8-131. TDR 峰值幅度寄存器 2 (TDR\_PEAKS\_AMP\_2)，地址 0x019B

位	位名称	默认值	说明
15	RESERVED	0, RO	RESERVED
14:8	TDR_PEAKS_AMP_A_3	0, RO	TDR 机制在通道 A 上发现的第四个峰值的幅值。这些位的值会转换为电缆故障类型和/或干扰类型。
7	RESERVED	0, RO	RESERVED
6:0	TDR_PEAKS_AMP_A_2	0, RO	TDR 机制在通道 A 上发现的第三个峰值的幅值。这些位的值会转换为电缆故障类型和/或干扰类型。

### 8.131 TDR 峰值幅度寄存器 3 (TDR\_PEAKS\_AMP\_3)

表 8-132. TDR 峰值幅度寄存器 3 (TDR\_PEAKS\_AMP\_3), 地址 0x019C

位	位名称	默认值	说明
15	RESERVED	0, RO	RESERVED
14:8	TDR_PEAKS_AMP_B_0	0, RO	TDR 机制在通道 B 上发现的第一个峰值的幅值。这些位的值被转换为电缆故障类型和/或干扰类型。
7	RESERVED	0, RO	RESERVED
6:0	TDR_PEAKS_AMP_A_4	0, RO	TDR 机制在通道 A 上发现的第五个峰值的幅值。这些位的值会转换为电缆故障类型和/或干扰类型。

### 8.132 TDR 峰值幅度寄存器 4 (TDR\_PEAKS\_AMP\_4)

表 8-133. TDR 峰值幅度寄存器 4 (TDR\_PEAKS\_AMP\_4), 地址 0x019D

位	位名称	默认值	说明
15	RESERVED	0, RO	RESERVED
14:8	TDR_PEAKS_AMP_B_2	0, RO	TDR 机制在通道 B 上发现的第三个峰值的幅值。这些位的值被转换为电缆故障类型和/或干扰类型。
7	RESERVED	0, RO	RESERVED
6:0	TDR_PEAKS_AMP_B_1	0, RO	TDR 机制在通道 B 上发现的第二个峰值的幅值。这些位的值被转换为电缆故障类型和/或干扰类型。

### 8.133 TDR 峰值幅度寄存器 5 (TDR\_PEAKS\_AMP\_5)

表 8-134. TDR 峰值幅度寄存器 5 (TDR\_PEAKS\_AMP\_5), 地址 0x019E

位	位名称	默认值	说明
15	RESERVED	0, RO	RESERVED
14:8	TDR_PEAKS_AMP_B_4	0, RO	TDR 机制在通道 B 上发现的第五个峰值的幅值。这些位的值会转换为电缆故障类型和/或干扰类型。
7	RESERVED	0, RO	RESERVED
6:0	TDR_PEAKS_AMP_B_3	0, RO	TDR 机制在通道 B 上发现的第四个峰值的幅值。这些位的值会转换为电缆故障类型和/或干扰类型。

### 8.134 TDR 峰值幅度寄存器 6 (TDR\_PEAKS\_AMP\_6)

表 8-135. TDR 峰值幅度寄存器 6 (TDR\_PEAKS\_AMP\_6), 地址 0x019F

位	位名称	默认值	说明
15	RESERVED	0, RO	RESERVED
14:8	TDR_PEAKS_AMP_C_1	0, RO	TDR 机制在通道 C 上发现的第二个峰值的幅值。这些位的值会转换为电缆故障类型和/或干扰类型。
7	RESERVED	0, RO	RESERVED
6:0	TDR_PEAKS_AMP_C_0	0, RO	TDR 机制在通道 C 上发现的第一个峰值的幅值。这些位的值会转换为电缆故障类型和/或干扰类型。

### 8.135 TDR 峰值幅度寄存器 7 (TDR\_PEAKS\_AMP\_7)

表 8-136. TDR 峰值幅度寄存器 7 (TDR\_PEAKS\_AMP\_7), 地址 0x01A0

位	位名称	默认值	说明
15	RESERVED	0, RO	RESERVED
14:8	TDR_PEAKS_AMP_C_3	0, RO	TDR 机制在通道 C 上发现的第四个峰值的幅值。这些位的值会转换为电缆故障类型和/或干扰类型。
7	RESERVED	0, RO	RESERVED

表 8-136. TDR 峰值幅度寄存器 7 (TDR\_PEAKS\_AMP\_7), 地址 0x01A0 (续)

位	位名称	默认值	说明
6:0	TDR_PEAKS_AMP_C_2	0, RO	TDR 机制在通道 C 上发现的第三个峰值的幅值。这些位的值会转换为电缆故障类型和/或干扰类型。

## 8.136 TDR 峰值幅度寄存器 8 (TDR\_PEAKS\_AMP\_8)

表 8-137. TDR 峰值幅度寄存器 8 (TDR\_PEAKS\_AMP\_8), 地址 0x01A1

位	位名称	默认值	说明
15	RESERVED	0, RO	RESERVED
14:8	TDR_PEAKS_AMP_D_0	0, RO	TDR 机制在通道 D 上发现的第一个峰值的幅值。这些位的值会转换为电缆故障类型和/或干扰类型。
7	RESERVED	0, RO	RESERVED
6:0	TDR_PEAKS_AMP_C_4	0, RO	TDR 机制在通道 C 上发现的第五个峰值的幅值。这些位的值会转换为电缆故障类型和/或干扰类型。

## 8.137 TDR 峰值幅度寄存器 9 (TDR\_PEAKS\_AMP\_9)

表 8-138. TDR 峰值幅度寄存器 9 (TDR\_PEAKS\_AMP\_9), 地址 0x01A2

位	位名称	默认值	说明
15	RESERVED	0, RO	RESERVED
14:8	TDR_PEAKS_AMP_D_2	0, RO	TDR 机制在通道 D 上发现的第三个峰值的幅值。这些位的值会转换为电缆故障类型和/或干扰类型。
7	RESERVED	0, RO	RESERVED
6:0	TDR_PEAKS_AMP_D_1	0, RO	TDR 机制在通道 D 上发现的第二个峰值的幅值。这些位的值会转换为电缆故障类型和/或干扰类型。

## 8.138 TDR 峰值幅度寄存器 10 (TDR\_PEAKS\_AMP\_10)

表 8-139. TDR 峰值幅度寄存器 10 (TDR\_PEAKS\_AMP\_10), 地址 0x01A3

位	位名称	默认值	说明
15	RESERVED	0, RO	RESERVED
14:8	TDR_PEAKS_AMP_D_4	0, RO	TDR 机制在通道 D 上发现的第五个峰值的幅值。这些位的值会转换为电缆故障类型和/或干扰类型。
7	RESERVED	0, RO	RESERVED
6:0	TDR_PEAKS_AMP_D_3	0, RO	TDR 机制在通道 D 上发现的第四个峰值的幅值。这些位的值会转换为电缆故障类型和/或干扰类型。

## 8.139 TDR 一般状态 (TDR\_GEN\_STATUS)

表 8-140. TDR 一般状态 (TDR\_GEN\_STATUS), 地址 0x01A4

位	位名称	默认值	说明
15:12	RESERVED	0, RO	RESERVED
11	TDR_P_LOC_CROSS_MODE_D	0, RO	通道 D 上的交叉检测： 1 = 在通道 D 上检测到交叉反射。表示通道之间短路。 0 = 未检测到交叉反射。
10	TDR_P_LOC_CROSS_MODE_C	0, RO	通道 C 上的交叉检测： 1 = 在通道 C 上检测到交叉反射。表示通道之间短路。 0 = 未检测到交叉反射。
9	TDR_P_LOC_CROSS_MODE_B	0, RO	通道 B 上的交叉检测： 1 = 在通道 B 上检测到交叉反射。表示通道之间短路。 0 = 未检测到交叉反射。

**表 8-140. TDR 一般状态 (TDR\_GEN\_STATUS), 地址 0x01A4 (续)**

位	位名称	默认值	说明
8	TDR_P_LOC_CROSS_MODE_A	0, RO	通道 A 上的交叉检测： 1 = 在通道 A 上检测到交叉反射。表示通道之间短路。 0 = 未检测到交叉反射。
7	TDR_P_LOC_OVERFLOW_D	0, RO	通道 D 上的峰值溢出： 1 = 在通道 D 上检测到超过 5 次反射。 0 = 正常运行。
6	TDR_P_LOC_OVERFLOW_C	0, RO	通道 C 上的峰值溢出： 1 = 在通道 C 上检测到超过 5 次反射。 0 = 正常运行。
5	TDR_P_LOC_OVERFLOW_B	0, RO	通道 B 上的峰值溢出： 1 = 在通道 B 上检测到超过 5 次反射。 0 = 正常运行。
4	TDR_P_LOC_OVERFLOW_A	0, RO	通道 A 上的峰值溢出： 1 = 在通道 A 上检测到超过 5 次反射。 0 = 正常运行。
3:0	RESERVED	0, RO	RESERVED

### 8.140 TDR 峰值标记 AB (TDR\_PEAK\_SIGN\_A\_B)

**表 8-141. TDR 峰值标记 AB (TDR\_PEAKS\_SIGN\_A\_B), 地址 0x01A5**

位	位名称	默认值	说明
15:10	RESERVED	0, RO	RESERVED
9	TDR_PEAKS_SIGN_B_4	0, RO	B 通道检测到峰值标记 4
8	TDR_PEAKS_SIGN_B_3	0, RO	B 通道检测到峰值标记 3
7	TDR_PEAKS_SIGN_B_2	0, RO	B 通道检测到峰值标记 2
6	TDR_PEAKS_SIGN_B_1	0, RO	B 通道检测到峰值标记 1
5	TDR_PEAKS_SIGN_B_0	0, RO	B 通道检测到峰值标记 0
4	TDR_PEAKS_SIGN_A_4	0, RO	A 通道检测到峰值标记 4
3	TDR_PEAKS_SIGN_A_3	0, RO	A 通道检测到峰值标记 3
2	TDR_PEAKS_SIGN_A_2	0, RO	A 通道检测到峰值标记 2
1	TDR_PEAKS_SIGN_A_1	0, RO	A 通道检测到峰值标记 1
0	TDR_PEAKS_SIGN_A_0	0, RO	A 通道检测到峰值标记 0

### 8.141 TDR 峰值标记 CD (TDR\_PEAK\_SIGN\_C\_D)

**表 8-142. TDR 峰值标记 CD (TDR\_PEAKS\_SIGN\_C\_D), 地址 0x01A6**

位	位名称	默认值	说明
15:10	RESERVED	0, RO	RESERVED
9	TDR_PEAKS_SIGN_D_4	0, RO	D 通道检测到峰值标记 4
8	TDR_PEAKS_SIGN_D_3	0, RO	D 通道检测到峰值标记 3
7	TDR_PEAKS_SIGN_D_2	0, RO	D 通道检测到峰值标记 2
6	TDR_PEAKS_SIGN_D_1	0, RO	D 通道检测到峰值标记 1
5	TDR_PEAKS_SIGN_D_0	0, RO	D 通道检测到峰值标记 0
4	TDR_PEAKS_SIGN_C_4	0, RO	C 通道检测到峰值标记 4
3	TDR_PEAKS_SIGN_C_3	0, RO	C 通道检测到峰值标记 3
2	TDR_PEAKS_SIGN_C_2	0, RO	C 通道检测到峰值标记 2
1	TDR_PEAKS_SIGN_C_1	0, RO	C 通道检测到峰值标记 1

表 8-142. TDR 峰值标记 CD (TDR\_PEAKS\_SIGN\_C\_D), 地址 0x01A6 (续)

位	位名称	默认值	说明
0	TDR_PEAKS_SIGN_C_0	0, RO	C 通道检测到峰值标记 0

## 8.142 DSP 引导器步骤 4 寄存器 (DSP\_LDR\_STEP4)

表 8-143. DSP 引导器步骤 4 寄存器 (DSP\_LDR\_STEP4), 地址 0x01C2

位	位名称	默认值	说明
15:0	RESERVED	0x7E9E, RW	与 DP83867 故障排除指南脚本配合使用。

## 8.143 DSP 跟随器步骤 4 寄存器 (DSP\_FLR\_STEP4)

表 8-144. DSP 跟随器步骤 4 寄存器 (DSP\_FLR\_STEP4), 地址 0x01C3

位	位名称	默认值	说明
15:0	RESERVED	0xF3C6, RW	与 DP83867 故障排除指南脚本配合使用。

## 8.144 DSP 跟随器步骤 5 寄存器 (DSP\_FLR\_STEP5)

表 8-145. DSP 跟随器步骤 5 寄存器 (DSP\_FLR\_STEP5), 地址 0x01C4

位	位名称	默认值	说明
15:0	RESERVED	0x01C2, RW	与 DP83867 故障排除指南脚本配合使用。

## 8.145 DSP 跟随器步骤 6 和 7 寄存器 (DSP\_FLR\_STEP67)

表 8-146. DSP 跟随器步骤 6 和 7 寄存器 (DSP\_FLR\_STEP67), 地址 0x01C5

位	位名称	默认值	说明
15:0	RESERVED	0x1c70, RW	与 DP83867 故障排除指南脚本配合使用。

## 8.146 可编程增益寄存器 (PROG\_GAIN)

表 8-147. 可编程增益 (PROG\_GAIN), 地址 0x01D5

位	位名称	默认值	说明
15:4	RESERVED	1111 0101 0000, RW	RESERVED
3	UNF_FUNC_MODE	0, RW	1 = 设置合规性测试所需的摆幅电平。 0 = 正常运行。
2	RESERVED	0, RW	RESERVED
1	RESERVED	0, RW	RESERVED
0	RESERVED	0, RW	RESERVED

## 8.147 均方误差通道 A 寄存器 (MSE\_A)

可通过间接寄存器访问来访问该寄存器。有关详细信息, 请参阅 [节 7.4.2.1](#)

表 8-148. 均方误差通道 A 寄存器 (MSE\_A), 地址 0x0225

位	位名称	默认值	说明
15:0	通道 A MSE	0, RO	通道 A 的均方误差值。此寄存器不适用于 10Mbps 链路。

### 8.148 均方误差通道 B 寄存器 (MSE\_B)

可通过间接寄存器访问来访问该寄存器。有关详细信息，请参阅 [节 7.4.2.1](#)

**表 8-149. 均方误差通道 B 寄存器 (MSE\_B)，地址 0x0265**

位	位名称	默认值	说明
15:0	通道 B MSE	0, RO	通道 B 的均方误差值。此寄存器仅适用于 1000Mbps 链路。

### 8.149 均方误差通道 C 寄存器 (MSE\_C)

可通过间接寄存器访问来访问该寄存器。有关详细信息，请参阅 [节 7.4.2.1](#)

**表 8-150. 均方误差通道 C 寄存器 (MSE\_C)，地址 0x02A5**

位	位名称	默认值	说明
15:0	通道 C MSE	0, RO	通道 C 的均方误差值。此寄存器仅适用于 1000Mbps 链路。

### 8.150 均方误差通道 D 寄存器 (MSE\_D)

可通过间接寄存器访问来访问该寄存器。有关详细信息，请参阅 [节 7.4.2.1](#)

**表 8-151. 均方误差通道 D 寄存器 (MSE\_D)，地址 0x02E5**

位	位名称	默认值	说明
15:0	通道 D MSE	0, RO	通道 D 的均方误差值。此寄存器仅适用于 1000Mbps 链路。

## 9 应用和实施

### 备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

### 9.1 应用信息

DP83867 是一个单端口 10/100/1000 以太网 PHY，支持通过 RGMII 或 GMII 连接到以太网 MAC。对于与以太网介质的连接，通过 IEEE 802.3 定义的介质相关接口进行。DP83867IRRGZ/CRRGZ 仅支持 RGMII。

在以太网应用中使用该器件时，可能必须满足某些要求，才能实现器件的正常运行。以下典型应用和设计要求可用于为 DP83867 选择相应的元件值。

### 9.2 典型应用

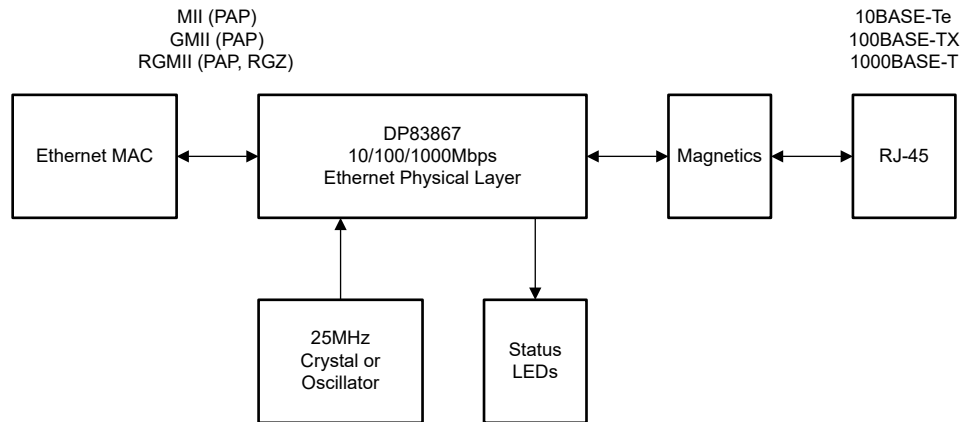


图 9-1. DP83867 典型应用

#### 9.2.1 设计要求

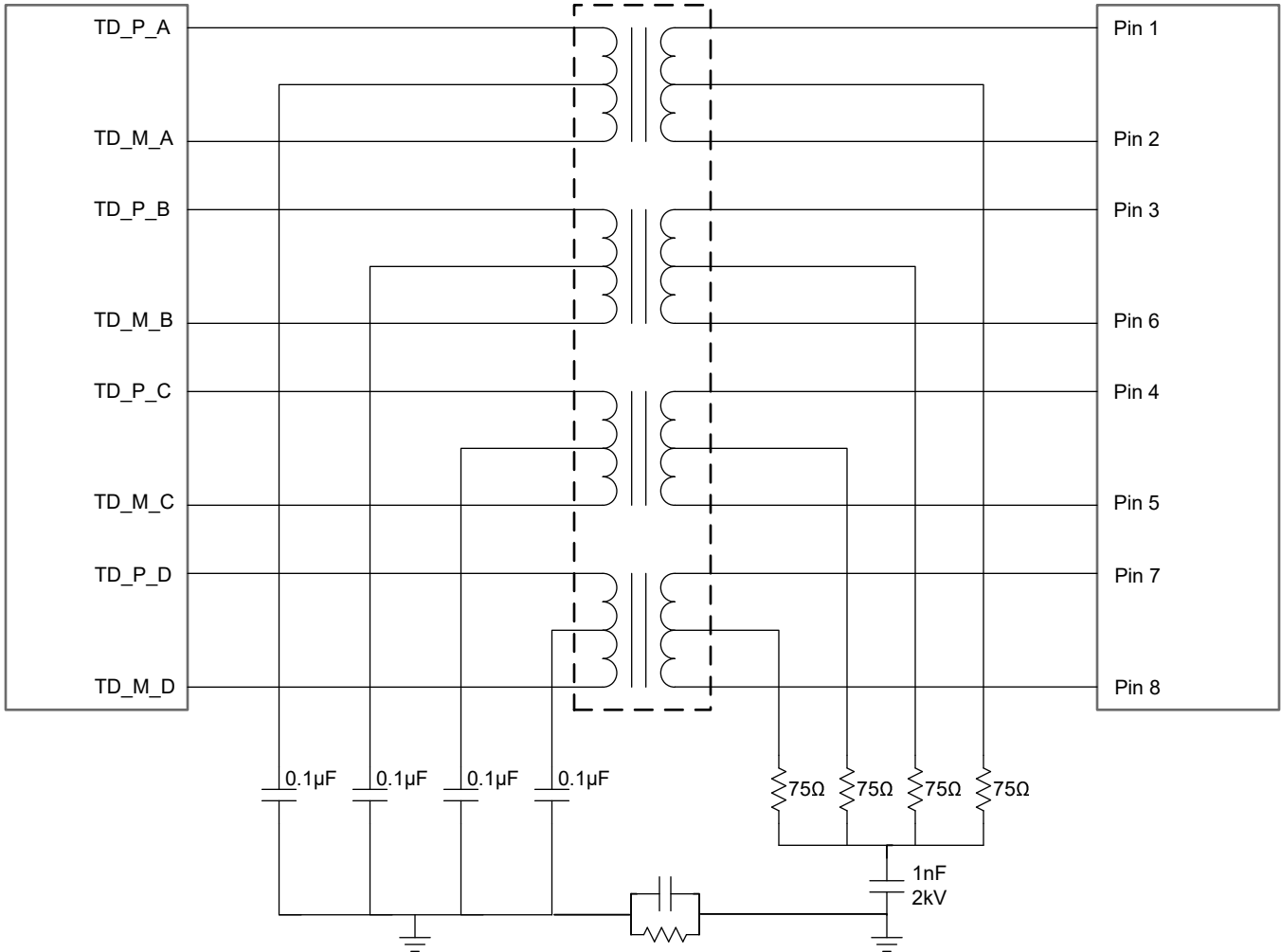
DP83867 的设计要求如下：

- $VDDA2P5 = 2.5V$
- $VDD1P1 (PAP) = 1.1V$
- $VDD1P0 (RGZ) = 1.0V$
- $VDDIO = 3.3V、2.5V$  或  $1.8V$
- 时钟输入 = 25MHz

##### 9.2.1.1 电缆线路驱动器

线路驱动器方案旨在支持与变压器和连接器的简单连接。DP83867 包含集成终端，因此不需要外部端接电阻。

图 9-2 展示了电缆线路驱动器的连接图。



- A. 连接到 PHY 一侧的每个中心抽头必须相互隔离，并使用去耦电容器（建议使用  $0.1\mu\text{F}$ ）接地。
- B. 为了获得更好的 EMC/EMI 性能，建议使用分立式变压器。
- C. 100Mbps/10Mbps 通信只需要通道 A 和 B
- D. 为改善 EMI，建议在接地连接之间使用 R/C。有关推荐的值，另请参阅 [DP83867 原理图检查清单](#)

图 9-2. 磁性元件连接

与 DP83867 配合使用的磁隔离可以是分立式元件，也可以与 RJ-45 连接器集成。有关电气要求，请参阅 [表 9-1](#)。

表 9-1. 磁隔离要求

参数	测试条件	典型值	单位
匝数比	$\pm 2\%$ 容差	1:1	-
开路电感	-	320 至 350	$\mu\text{H}$
插入损耗	1MHz-100MHz	-1	dB
回波损耗	1MHz-30MHz	-16	dB
	30MHz-60MHz	-12	dB
	60MHz-100MHz	-10	dB
差分至共模抑制比	1MHz-50MHz	-30	dB
	50MHz-150MHz	-20	dB
串扰	30MHz	-35	dB
	60MHz	-30	dB
隔离	HPOT	1500	Vrms

## 9.2.1.2 时钟输入 (XI) 建议

如果使用外部时钟源，XO 可以保持悬空。对于 1.8V 时钟源，XI 可连接至时钟源。对于 3.3V 或 2.5V 时钟源，建议使用电容分频器，如图 9-3 所示。对于 3.3V 时钟源，建议使用的 CD1 和 CD2 电容器为 27pF。如果使用 2.5V 时钟源，请咨询供应商以了解建议的电容器负载。CD1 和 CD2 的值调整以满足节 6.5 中定义的 XI 输入引脚规格。

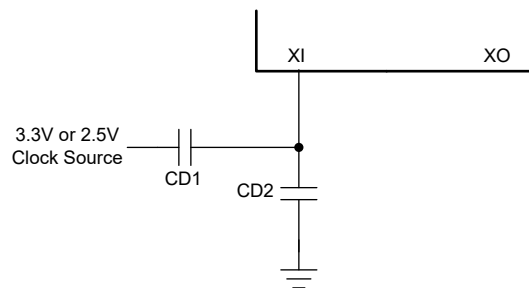


图 9-3. 时钟分频器

表 9-2 中列出了 CMOS 25MHz 振荡器规格。此外，图 9-4 显示了 PHY 能够承受的最大振荡器相位噪声。

表 9-2. 25MHz 振荡器规格

参数	测试条件	最小值	典型值	最大值	单位
频率			25		MHz
频率容差	工作温度			$\pm 50$	ppm
频率稳定性	1 年老化			$\pm 50$	ppm
上升/下降时间	20% - 80%			5	ns
对称性	占空比	40%		60%	
抖动 RMS	集成频带：12kHz 至 5MHz			11	ps

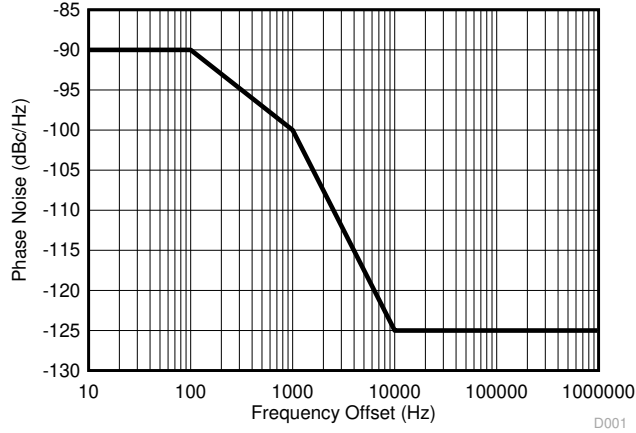


图 9-4. 25MHz 振荡器相位噪声

### 9.2.1.3 晶体建议

如果需要晶体源，请使用 25MHz 并联 18pF 负载晶体谐振器。图 9-5 显示晶体谐振器电路的典型连接图。负载电容值因晶体供应商而异；请咨询供应商以了解建议的负载。

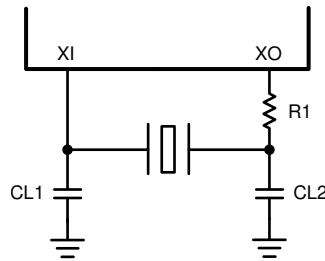


图 9-5. 晶体振荡器电路

作为评估振荡器电路的起点，如果不知道晶体的要求，请将 CL1 和 CL2 设置为 27pF，并将 R1 设置为 0Ω。

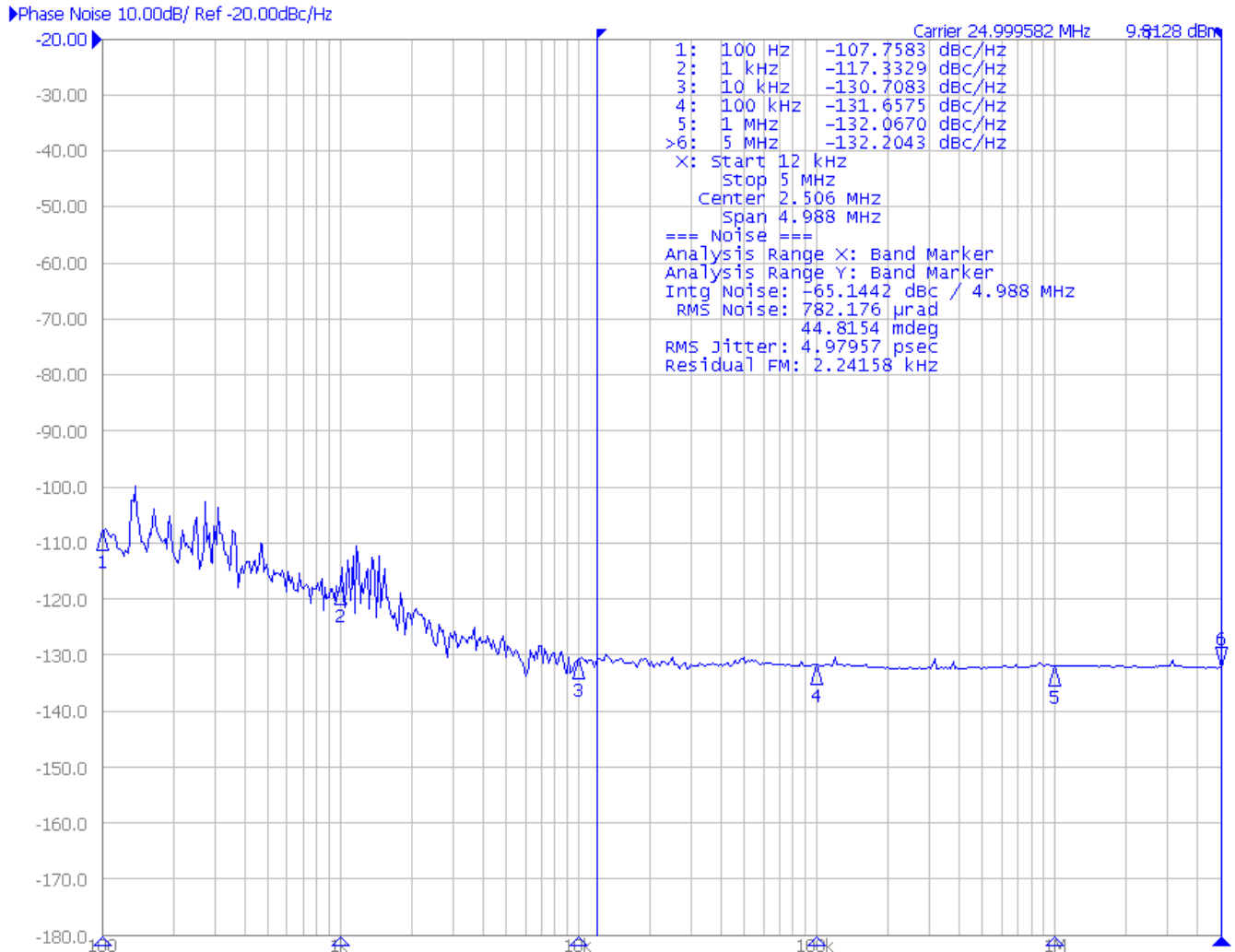
表 9-3 中列出了 25MHz 晶体的规格。

表 9-3. 25MHz 晶体规格

参数	测试条件	最小值	典型值	最大值	单位
频率			25		MHz
频率容差	工作温度			±50	ppm
频率稳定性	1 年老化			±50	ppm

### 9.2.1.4 时钟输出 (CLK\_OUT) 相位噪声

图 9-6 提供了器件的 25MHz 时钟输出的相位噪声图。



- A. 此测量在配置为跟随器的 DP83867 上进行。PHY 链接到另一个配置为引导器的 DP83867。两个器件都启用了 PRBS ( BICSR、寄存器 0x0016, 配置为 0xD000 )。
- B. 建立链路之前和建立链路后且未生成数据包的 CLK\_OUT 引脚上的相位噪声预计会低于图中所示的值。

图 9-6. 25MHz 时钟输出相位噪声

## 9.2.2 详细设计过程

### 9.2.2.1 MAC 接口

媒体独立接口 (RGMII / GMII) 能够将 DP83867 与媒体访问控制器 (MAC) 连接起来。实际上, MAC 可以是一个分立器件, 集成到微处理器、CPU 或 FPGA 之中。

#### 9.2.2.1.1 RGMII 布局指南

- RGMII 信号为单端信号。
- 使用 50  $\Omega$  阻抗布线接地。
- TXD[3:0] 线之间的偏移必须小于 11ps, 对于标准 FR4, 该偏移与 60mil 相关。
- RXD[3:0] 线之间的偏移必须小于 11ps, 对于标准 FR4, 该偏移与 60mil 相关。
- 应尽量缩短布线长度; 建议长度小于 2 英寸, 最大长度小于 6 英寸。

- GTX\_CLK 和 RX\_CLK 的可配置时钟偏移。
  - RX 和 TX 路径的时钟偏移可独立优化。
  - 时钟偏移可按 0.25ns 增量调节 ( 通过寄存器 ) 。

#### 9.2.2.1.2 GMII 布局指南

- GMII 信号为单端信号。
- 布线必须以 50 Ω 阻抗接地。
- 应尽量缩短布线长度；建议长度小于 2 英寸，最大长度小于 6 英寸。

#### 9.2.2.2 媒体相关接口 ( MDI )

媒体相关接口 (MDI) 将 DP83867 连接到变压器和以太网网络。

##### 9.2.2.2.1 MDI 布局指南

- 必须使用 50 Ω 接地和 100 Ω 差动控制阻抗进行 MDI 布线。
- 将 MDI 布线至同一层的变压器上。
- 使用金属屏蔽 RJ-45 连接器，并将屏蔽层连接至机箱接地。
- 使用具有集成共模扼流圈的磁性元件。
- 磁性元件下方的区域禁止布线电源与地。
- 请勿使电路和机箱接地平面重叠，请将它们隔离。相反，应使机箱接地成为一个隔离岛，并在机箱和电路接地之间形成空隙。在连接器的任一侧使用 1206 尺寸电阻器和电容器连接电路和机箱平面是一种很好的做法。

#### 9.2.3 应用曲线

表 9-4 列出了此应用的应用曲线。

表 9-4. 图形表

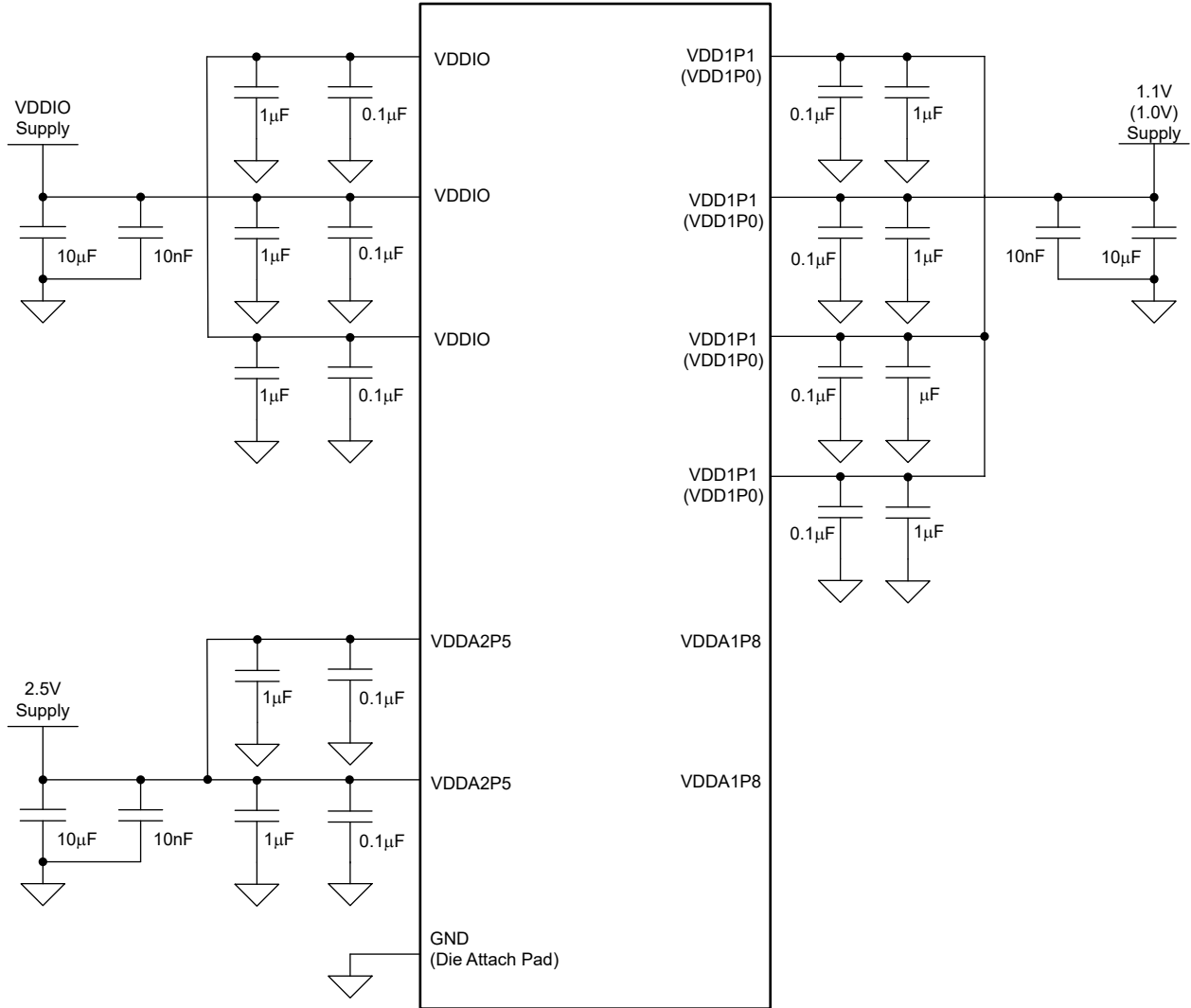
标题	图表
1000Base-T 信号传输	<a href="#">图 6-13</a>
100Base-TX 信号传输	<a href="#">图 6-14</a>

### 9.3 电源相关建议

DP83867 能够在只使用两个或三个电源的情况下运行。I/O 电源还可以独立于主器件电源运行，为 MAC 接口提供灵活性。

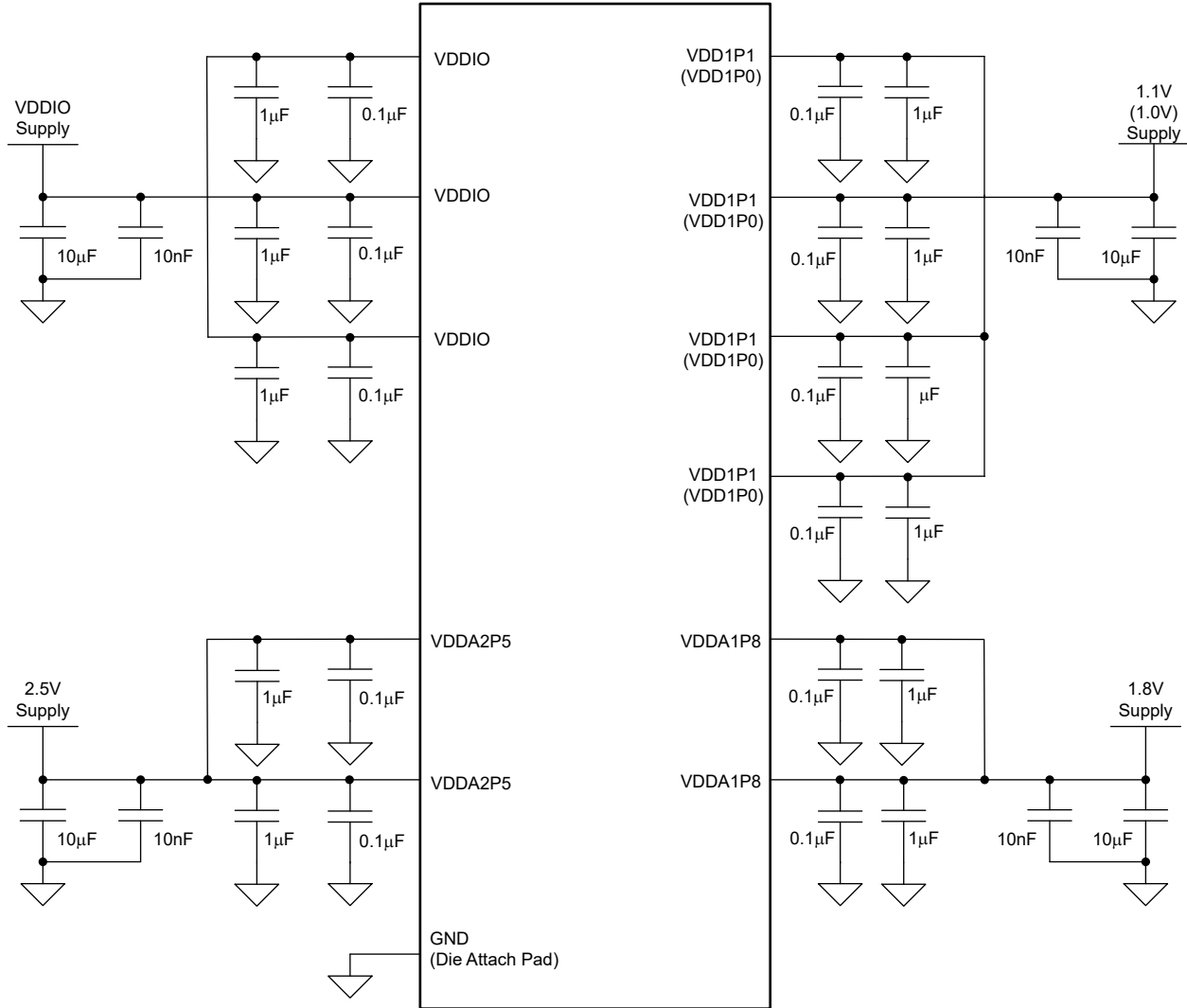
有关在各种条件下特定电源的 DP83867 功耗的详细信息，请参阅 [DP83867E/IS/CS/IR/CR RGZ 功耗数据 应用手册](#)。

双电源和三电源配置的连接图如 [图 9-7](#) 和 [图 9-8](#) 所示。



- A. 对于双电源配置，两个 VDDA1P8 引脚都必须保持未连接状态。
- B. RGZ 器件在 VDD1P0 引脚上支持 1.0V。PAP 器件在 VDD1P1 引脚上支持 1.1V
- C. 将 1µF 和 0.1µF 去耦电容器尽可能靠近元件 VDD 引脚放置，并将 0.1µF 电容器最靠近该引脚放置。
- D. VDDIO 可以为 3.3V、2.5V 或 1.8V。
- E. 在双电源配置中，请勿将任何元件连接至 VDDA1P8 引脚。

图 9-7. 双电源配置



- A. 将  $1\mu\text{F}$  和  $0.1\mu\text{F}$  去耦电容器尽可能靠近元件 VDD 引脚放置，并将  $0.1\mu\text{F}$  电容器最靠近该引脚放置。
- B. RGZ 器件在 VDD1P0 引脚上支持 1.0V。PAP 器件在 VDD1P1 引脚上支持 1.1V
- C. VDDIO 可以为 3.3V、2.5V 或 1.8V。

图 9-8. 三电源配置

在三电源模式下运行时，1.8V VDDA1P8 电源必须在 2.5V VDDA2P5 电源斜升的 25ms 内保持稳定。在三电源模式下运行时，其他电源不需要时序控制。

将 DP83867 断电时，在 2.5V 电源之前先关断 1.8V 电源。

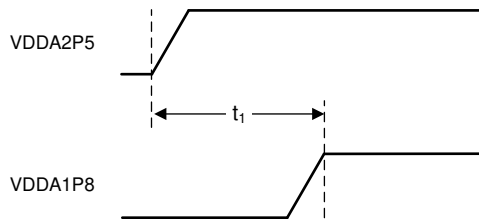


图 9-9. 三电源模式电源序列图

表 9-5. 三电源模式电源序列

参数	测试条件	最小值	标称值	最大值	单位
T1	VDDA2P5 开始斜升至 VDDA1P8 稳定	0		25	ms

## 备注

如果 2.5V 电源仅为 DP83867 器件供电，则 1.8V 电源可在 2.5V 之前随时斜升。

在双电源模式下运行时，不需要电源序列。

## 9.4 布局

### 9.4.1 布局指南

#### 9.4.1.1 信号布线

PCB 布线存在损耗，长布线会降低信号质量。布线必须尽可能短。除非另有说明，否则所有信号布线必须为  $50\ \Omega$  单端阻抗。差分布线必须为  $50\ \Omega$  单端和  $100\ \Omega$  差分。注意阻抗始终保持恒定。阻抗不连续性会产生反射，从而导致 EMI 和信号完整性问题。对于所有信号布线（特别是差分信号对），应避免出现残桩。请参阅图 9-10

在差分对内，布线必须相互平行且长度匹配。长度匹配能够最大限度减小延迟差异，避免增加共模噪声和增加 EMI。

长度匹配对 MAC 接口也很重要。对于所有发送信号布线，长度必须相互匹配，对于所有接收信号布线，长度也必须相互匹配。

信号路径不得存在交叉或过孔情形。过孔会导致阻抗不连续情形发生；应尽可能减少过孔情形。如果可能，在单个层上布线整个布线对。

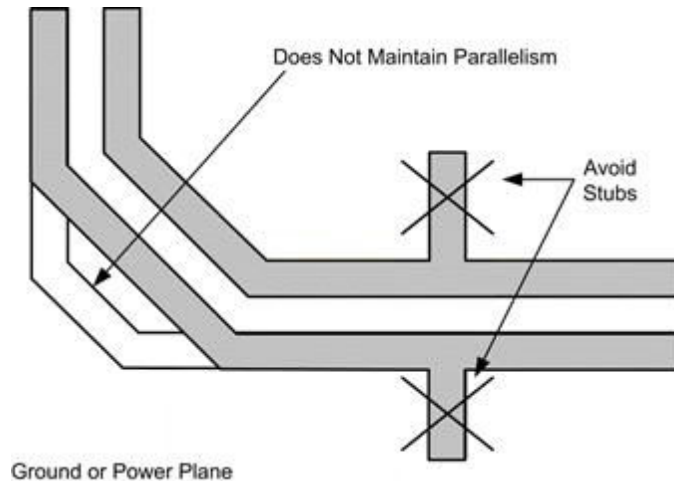


图 9-10. 在差分信号对中避免残桩

不同层的信号之间至少要有一个返回路径平面，否则不得存在交叉情形。

布线之间的耦合也是一个重要因素。不必要的耦合会导致串扰问题。差分对之间必须保持恒定的耦合距离。

为了实现便利和高效的布局过程，首先对关键信号进行布线。

#### 9.4.1.2 返回路径

一般情况下，在所有信号布线下都设置实心返回路径是可取的做法。该返回路径可以是连续接地平面或直流电源平面。减小返回路径宽度可能会影响信号布线阻抗。如果返回路径宽度与信号布线宽度相当，这种影响就更加

明显。无论如何，避免信号布线下方的返回路径中断。穿过平面分割点的信号会导致返回路径电流不可预测，并且也可能会影响信号质量，从而可能产生 EMI 问题。请参阅 图 9-11。

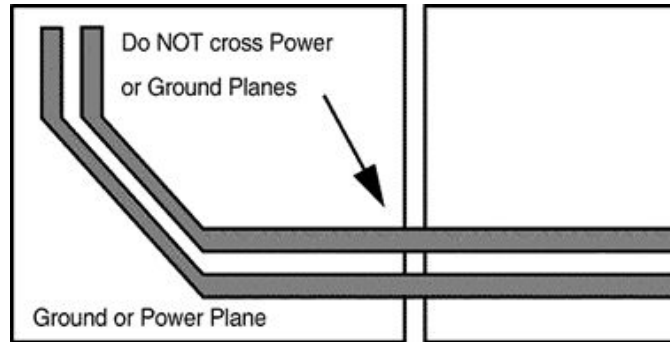


图 9-11. 差分信号对平面交叉

#### 9.4.1.3 变压器布局

变压器下方不得有金属层。变压器会将噪声注入下方金属，从而影响系统的性能。

#### 9.4.1.4 金属浇注

所有非信号或电源的金属浇注都可以接地。系统上不能有浮动金属。差分走线之间不能有金属。

#### 9.4.1.5 PCB 层堆叠

为满足信号完整性和性能要求，至少使用四层 PCB。但建议使用六层电路板。有关四层、六层和八层电路板的建议层堆叠，请参阅 图 9-12。这些是建议而不是要求，可根据系统要求使用其他配置。

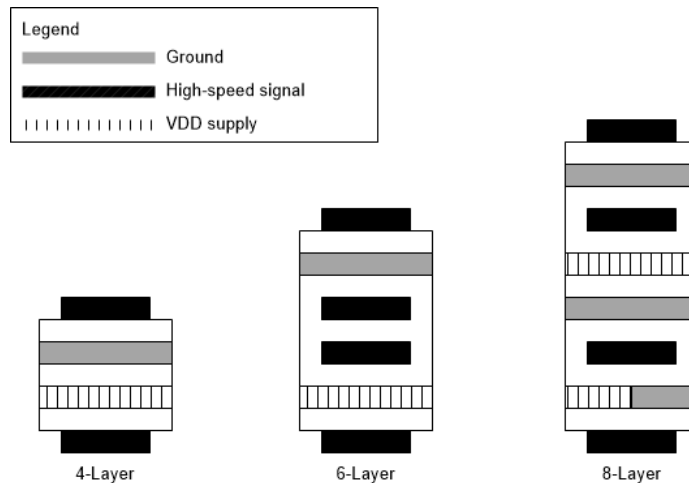


图 9-12. 建议的层堆叠

在 PCB 内，根据 PCB 上信号的位置，可使用不同的方法（微带线和带状线）布线。例如，可以在使用隔离式机箱接地平面的位置更改层堆叠。图 9-13 显示了可选择的 PCB 堆叠选项。

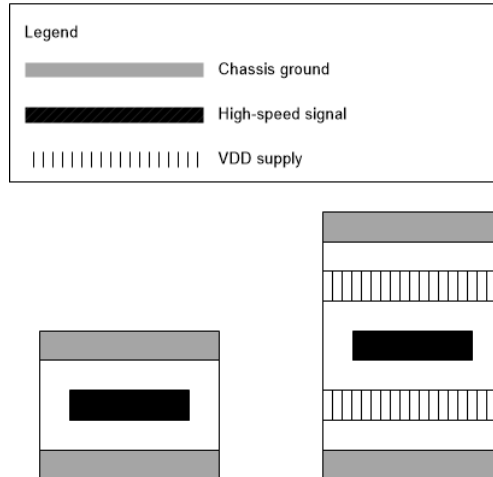


图 9-13. 可选层堆叠

9.4.2 布局示例

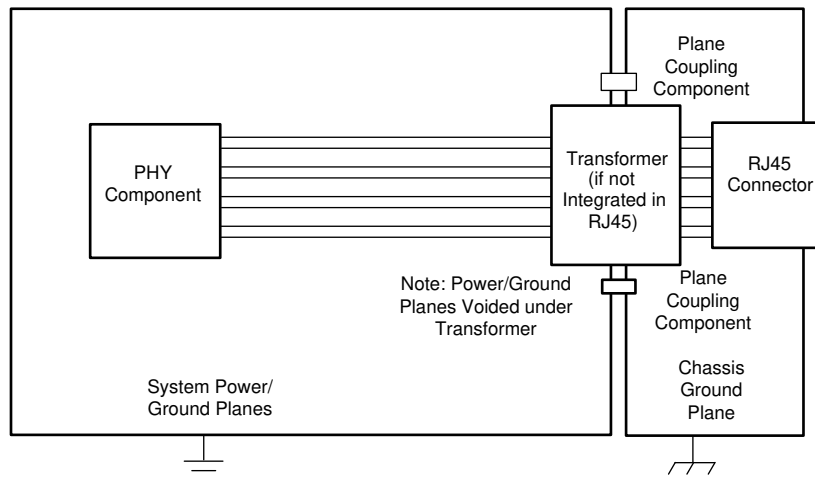


图 9-14. 布局示例

## 10 器件和文档支持

### 10.1 文档支持

#### 10.1.1 相关文档

如要查看相关文件，请参阅以下内容：

- 德州仪器 (TI), [DP83867 故障排除指南](#)
- 德州仪器 (TI), [如何配置 DP838XX 进行以太网合规性测试 应用手册](#)
- 德州仪器 (TI), [采用 4 级 Strap 配置以太网器件 应用手册](#)
- 德州仪器 (TI), [RGMII 接口时序预算 应用手册](#)
- 德州仪器 (TI), [DP83867E/IS/CS/RGZ/CR IR 功耗数据 应用手册](#)
- 德州仪器 (TI), [如何配置 DP83867 帧起始 应用手册](#)

### 10.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

### 10.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

### 10.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

### 10.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

### 10.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

## 11 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision I (January 2025) to Revision J (June 2026)	Page
更新了整个文档中的表格、图和交叉参考的编号格式.....	1
将出现的所有旧术语更改为引导器和跟随器.....	1
将 TX_D6 HTQFP 引脚编号从 30 更改为 32.....	4
向 RX_ER/GPIO 添加了引脚 54 HTQFP 的数量.....	4
向 COL/GPIO 添加了引脚 55 HTQFP 的数量.....	4
更新了“IEEE 1588 时间戳的帧起始检测”部分.....	25
向“速度和双工 - 优先级判定”一节中添加了 10Base-Te.....	34
向“DP83867 和 DP83869 时域反射法”应用手册添加了链接.....	37
添加了“快速链路丢弃 (FLD)”一节.....	37
从 4 电平 Strap 引脚中删除了 LED_1 (PAP).....	40

• 从 RGZ RGMII 传输时钟偏差详细信息中删除了 RGZ.....	40
• 从 RGZ RGMII 接收时钟偏差详细信息中删除了 RGZ.....	40
• 将支持的最大 PHY 地址从 16 (<1111>) 更新为 15 (<1111>).....	45
• 更新了自动协商通告寄存器 (ANAR) 寄存器.....	52
• 更新了 INT_TST_MODE_1 默认值和说明.....	79
• 添加了 Viterbi 位 3 字段, 设置为 0x3.....	82
• 向位 10 添加了 (PAP).....	84
• 删除了位 6:4 RESERVED (PAP).....	84
• 删除了位 2:0 RESERVED (PAP).....	84
• 从位 6:4 STRAP_RGMII_CLK_SKEW_TX 和位 2:0 STRAP_RGMII_CLK_SKEW_RX 中删除了 (RGZ).....	84
• 更新了位 8 的描述.....	84
• 将 RGMII 延迟控制寄存器 (RGMIIIDCTL) 地址 0x0086 位 7:4 的默认值从 “RGZ : Strap , RQ 和 PAP : 0111 , RW” 改为 “[7:5] Strap , [4] 0 , RW” .....	86
• 将 RGMII 延迟控制寄存器 (RGMIIIDCTL) 地址 0x0086 位 3:0 的默认值从 “RGZ : Strap , RQ 和 PAP : 0111 , RW” 改为 “[3:1] Strap , [0] 0 , RW” .....	86
• 添加了发送器控制寄存器 (ANA_LD_DATA_CTRL).....	88
• 添加了 DSP 配置寄存器 3 (DSP_CFG3).....	88
• 添加了 DSP 混合配置寄存器 2 (DSP_HYBRID_CFG2).....	89
• 添加了 DSP 选择寄存器 0 (DSP_SEL0).....	89
• 添加了 DSP 选择寄存器 1 (DSP_SEL1).....	89
• 添加了 DSP 选择寄存器 2 (DSP_SEL2).....	89
• 添加了 DSP 跟随器选择寄存器 0 (DSP_FLR_SEL0).....	89
• 添加了 DSP 跟随器选择寄存器 3 (DSP_FLR_SEL3).....	90
• 添加了 DSP 跟随器时序环路寄存器 1 (DSP_FLR_TLOOP1).....	90
• 添加了 DSP 跟随器时序环路寄存器 2 (DSP_FLR_TLOOP2).....	90
• 添加了 TDR 阈值配置寄存器 1 (TDR_THR_CFG1).....	104
• 添加了 TDR 阈值配置寄存器 2 (TDR_THR_CFG2).....	104
• 添加了 TDR 通用配置寄存器 5 (TDR_GEN_CFG5).....	104
• 添加了 DSP 引导器步骤 4 寄存器 (DSP_LDR_STEP4).....	110
• 添加了 DSP 跟随器步骤 4 寄存器 (DSP_FLR_STEP4).....	110
• 添加了 DSP 跟随器步骤 5 寄存器 (DSP_FLR_STEP5).....	110
• 添加了 DSP 跟随器步骤 6 和 7 寄存器 (DSP_FLR_STEP6/7).....	110
• 添加了均方误差通道 A 寄存器 (MSE_A).....	110
• 添加了均方误差通道 B 寄存器 (MSE_B).....	111
• 添加了均方误差通道 C 寄存器 (MSE_C).....	111
• 添加了均方误差通道 D 寄存器 (MSE_D).....	111
• 从表注 B 中删除了磁性元件建议 (NRND).....	112

### Changes from Revision H (June 2024) to Revision I (January 2025)

**Page**

• 更新了 JTAG_CLK 说明。.....	5
• 添加了 BMSR 寄存器的 MF 前导码抑制说明的澄清.....	48

## 12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更, 恕不另行通知, 且不会对此文档进行修订。有关此数据表的浏览器版本, 请查阅左侧的导航栏。

**PACKAGING INFORMATION**

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
<a href="#">DP83867CRRGZR</a>	Active	Production	VQFN (RGZ)   48	2500   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	0 to 70	DP83867CR
DP83867CRRGZR.A	Active	Production	VQFN (RGZ)   48	2500   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	0 to 70	DP83867CR
<a href="#">DP83867CRRGZT</a>	Active	Production	VQFN (RGZ)   48	250   SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	0 to 70	DP83867CR
DP83867CRRGZT.A	Active	Production	VQFN (RGZ)   48	250   SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	0 to 70	DP83867CR
<a href="#">DP83867IRPAPR</a>	Active	Production	HTQFP (PAP)   64	1000   LARGE T&R	Yes	Call TI   Nipdau	Level-3-260C-168 HR	-40 to 85	DP83867IR
DP83867IRPAPR.A	Active	Production	HTQFP (PAP)   64	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	DP83867IR
<a href="#">DP83867IRPAPRG4</a>	Active	Production	HTQFP (PAP)   64	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	DP83867IR
DP83867IRPAPRG4.A	Active	Production	HTQFP (PAP)   64	1000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	DP83867IR
<a href="#">DP83867IRPAPT</a>	Active	Production	HTQFP (PAP)   64	250   SMALL T&R	Yes	Call TI   Nipdau	Level-3-260C-168 HR	-40 to 85	DP83867IR
DP83867IRPAPT.A	Active	Production	HTQFP (PAP)   64	250   SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	DP83867IR
<a href="#">DP83867IRPAPTG4</a>	Active	Production	HTQFP (PAP)   64	250   SMALL T&R	Yes	Call TI   Nipdau	Level-3-260C-168 HR	-40 to 85	DP83867IR
DP83867IRPAPTG4.A	Active	Production	HTQFP (PAP)   64	250   SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	DP83867IR
<a href="#">DP83867IRRGZR</a>	Active	Production	VQFN (RGZ)   48	2500   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	DP83867IR
DP83867IRRGZR.A	Active	Production	VQFN (RGZ)   48	2500   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	DP83867IR
<a href="#">DP83867IRRGZT</a>	Active	Production	VQFN (RGZ)   48	250   SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	DP83867IR
DP83867IRRGZT.A	Active	Production	VQFN (RGZ)   48	250   SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	DP83867IR
DP83867IRRGZTG4	Active	Production	VQFN (RGZ)   48	250   SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	DP83867IR
DP83867IRRGZTG4.A	Active	Production	VQFN (RGZ)   48	250   SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	DP83867IR

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

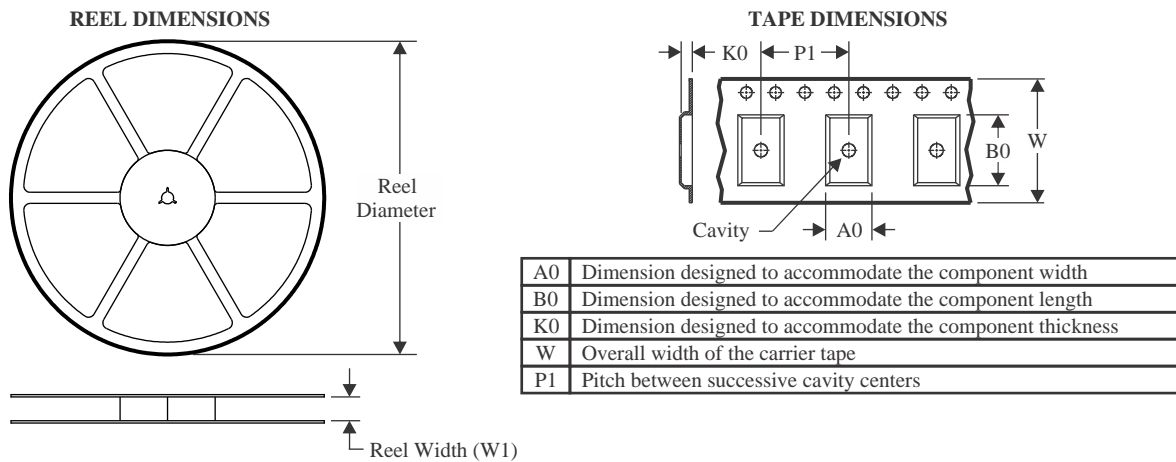
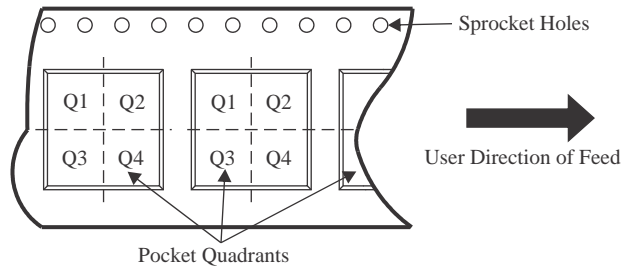
(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

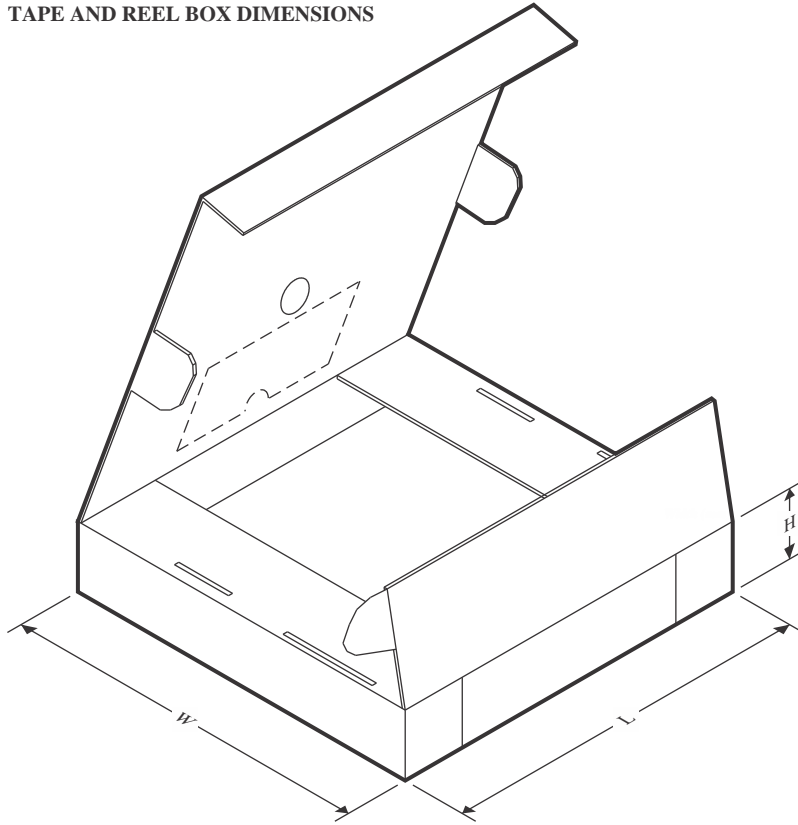
**Important Information and Disclaimer:**The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

**TAPE AND REEL INFORMATION**

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**


\*All dimensions are nominal

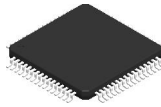
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DP83867CRRGZR	VQFN	RGZ	48	2500	330.0	16.4	7.3	7.3	1.1	12.0	16.0	Q1
DP83867CRRGZT	VQFN	RGZ	48	250	180.0	16.4	7.3	7.3	1.1	12.0	16.0	Q1
DP83867IRPAPRG4	HTQFP	PAP	64	1000	330.0	24.4	13.0	13.0	1.5	16.0	24.0	Q2
DP83867IRRGZTG4	VQFN	RGZ	48	250	180.0	16.4	7.3	7.3	1.1	12.0	16.0	Q1

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DP83867CRRGZR	VQFN	RGZ	48	2500	367.0	367.0	38.0
DP83867CRRGZT	VQFN	RGZ	48	250	210.0	185.0	35.0
DP83867IRPAPRG4	HTQFP	PAP	64	1000	356.0	356.0	45.0
DP83867IRRGZTG4	VQFN	RGZ	48	250	210.0	185.0	35.0

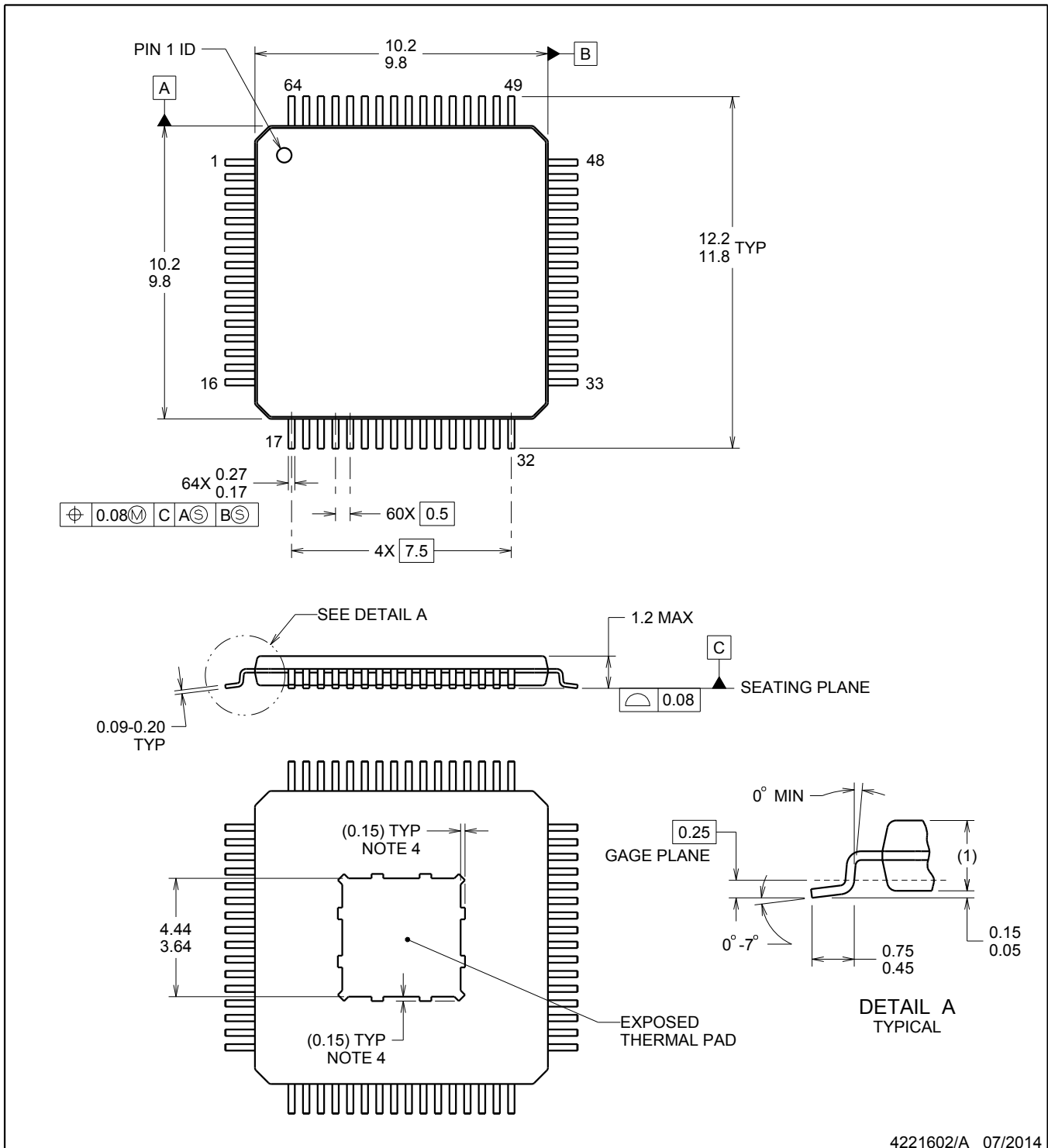
# PAP0064M



## PACKAGE OUTLINE

PowerPAD™ - 1.2 mm max height

PLASTIC QUAD FLATPACK

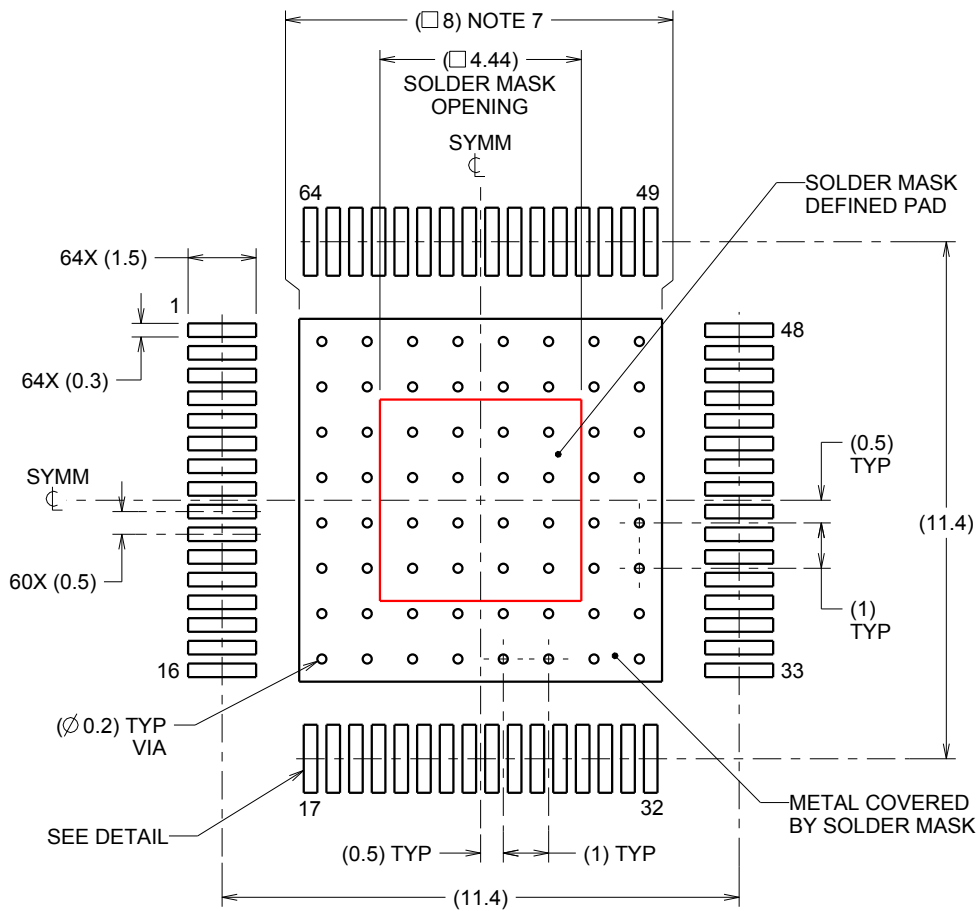


4221602/A 07/2014

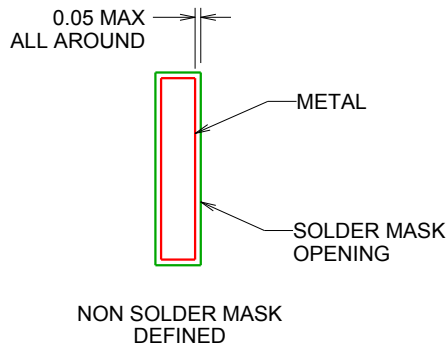
### NOTES:

PowerPAD is a trademark of Texas Instruments.

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC registration MS-026, variation ACD.
4. Strap features may not be present.



LAND PATTERN EXAMPLE  
SCALE:6X



4221602/A 07/2014

NOTES: (continued)

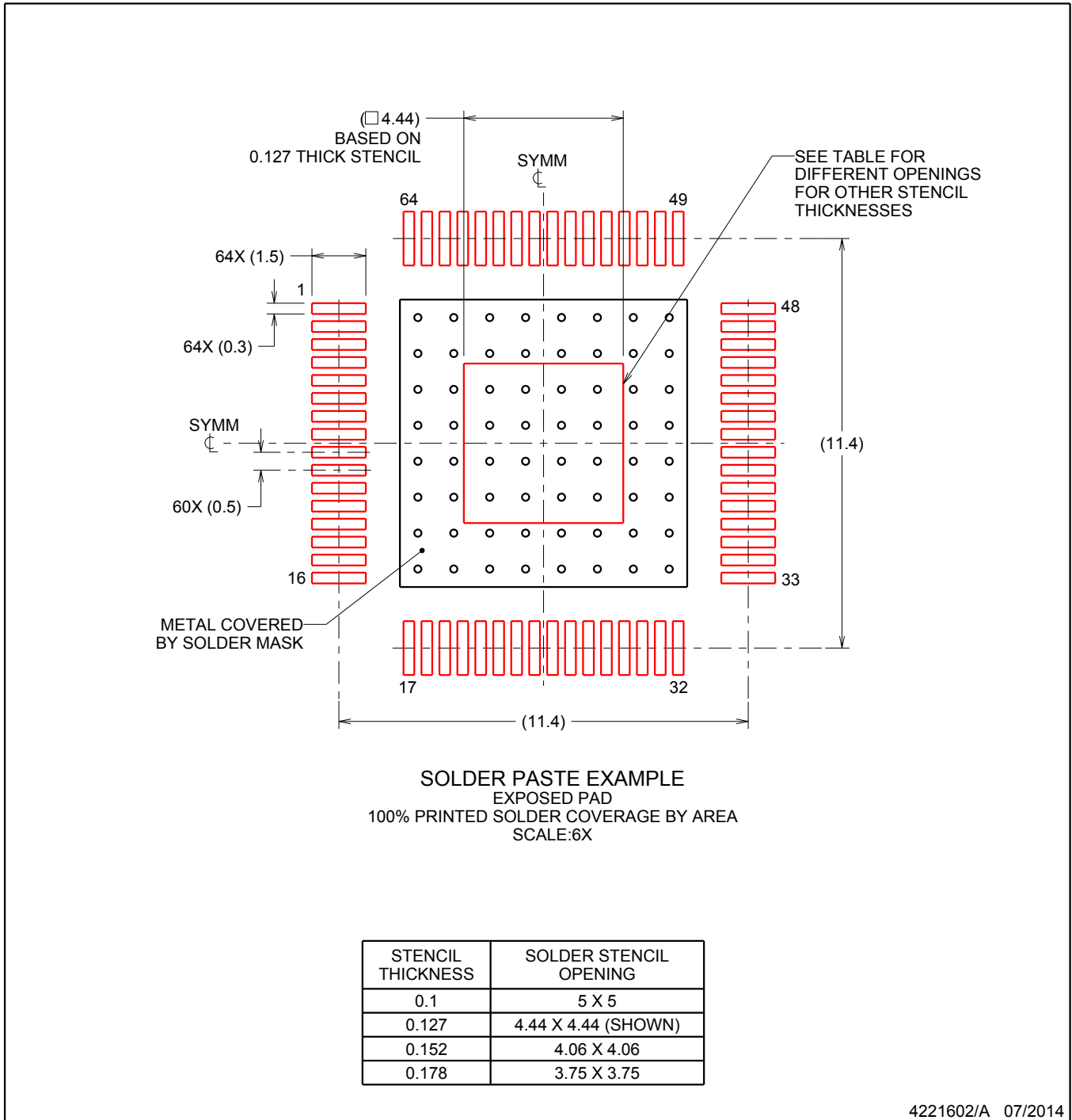
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 ([www.ti.com/lit/slma002](http://www.ti.com/lit/slma002)) and SLMA004 ([www.ti.com/lit/slma004](http://www.ti.com/lit/slma004)).
8. Size of metal pad may vary due to creepage requirement.

# EXAMPLE STENCIL DESIGN

PAP0064M

PowerPAD™ - 1.2 mm max height

PLASTIC QUAD FLATPACK



NOTES: (continued)

9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

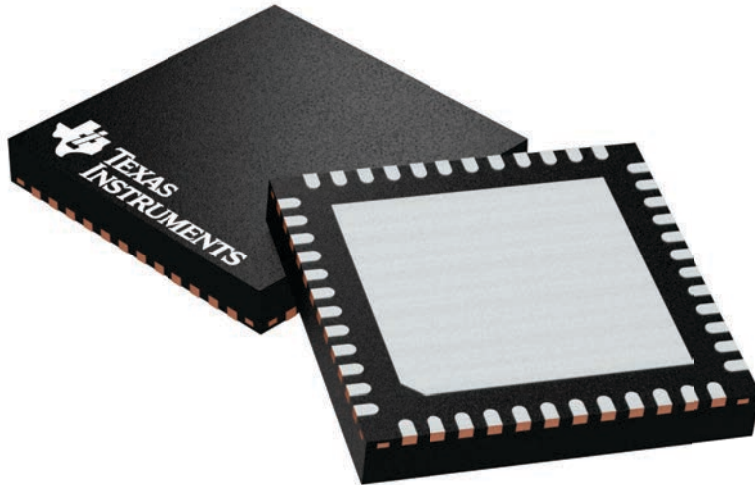
## GENERIC PACKAGE VIEW

**RGZ 48**

**VQFN - 1 mm max height**

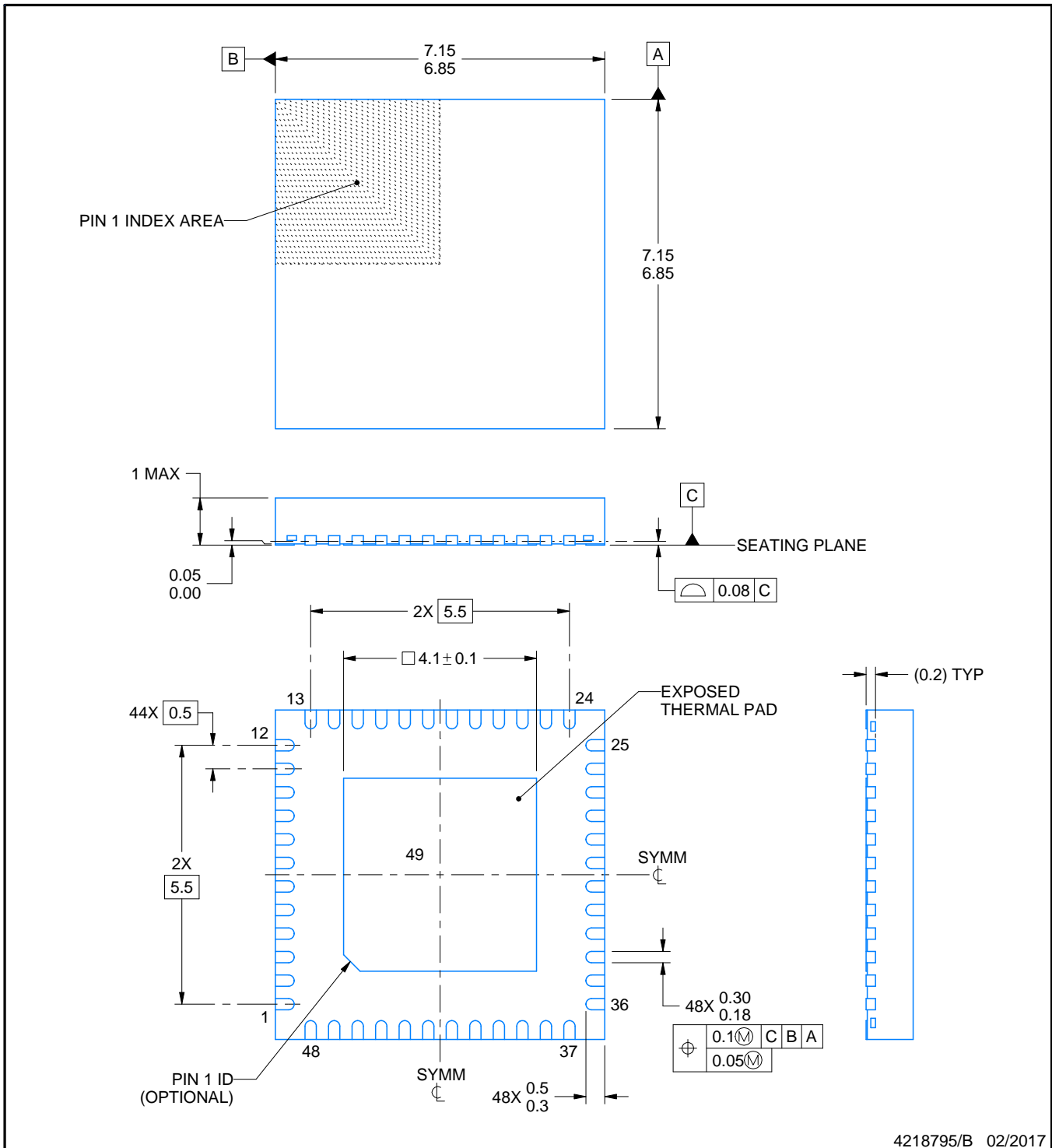
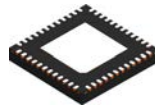
7 x 7, 0.5 mm pitch

PLASTIC QUADFLAT PACK- NO LEAD



Images above are just a representation of the package family, actual package may vary.  
Refer to the product data sheet for package details.

4224671/A



4218795/B 02/2017

NOTES:

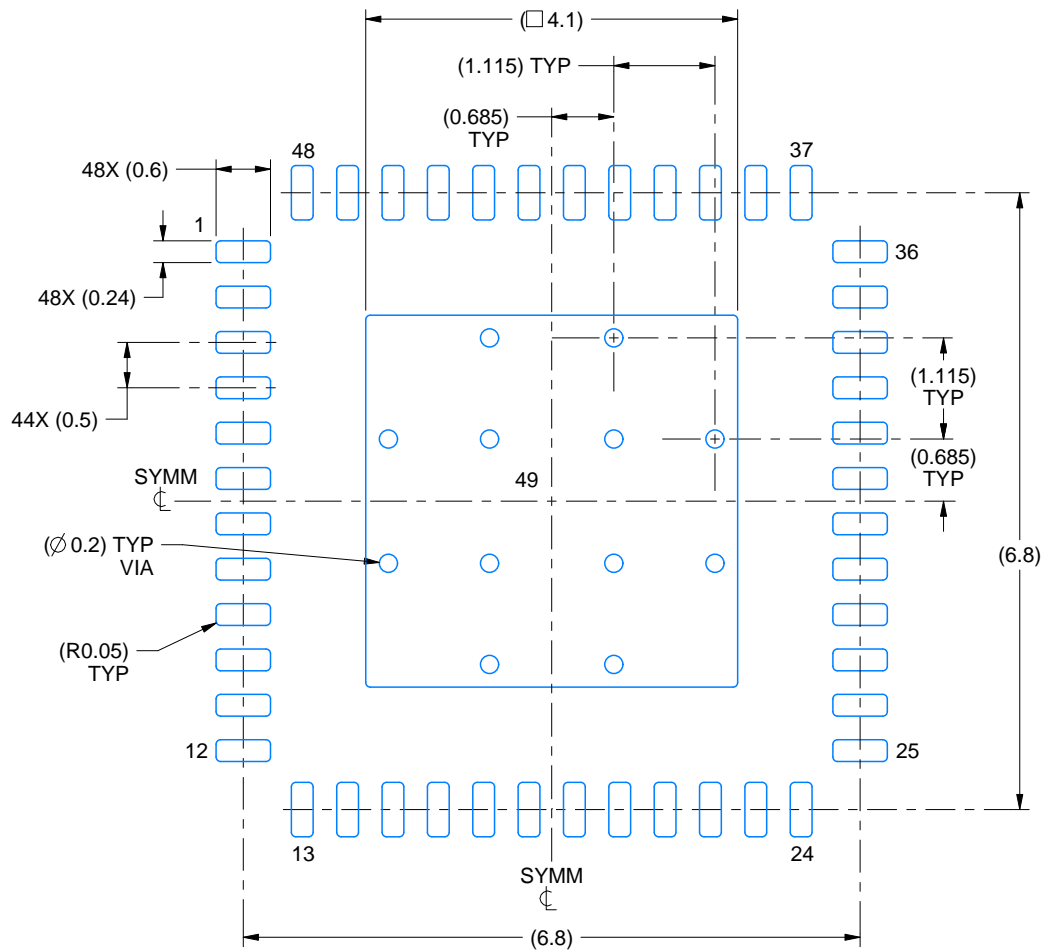
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

# EXAMPLE BOARD LAYOUT

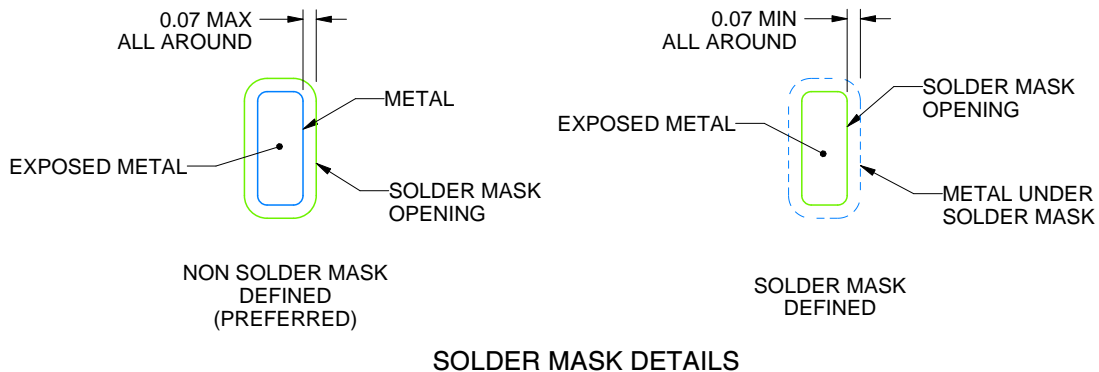
**RGZ0048B**

**VQFN - 1 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



**LAND PATTERN EXAMPLE**  
EXPOSED METAL SHOWN  
SCALE:12X



**SOLDER MASK DETAILS**

4218795/B 02/2017

NOTES: (continued)

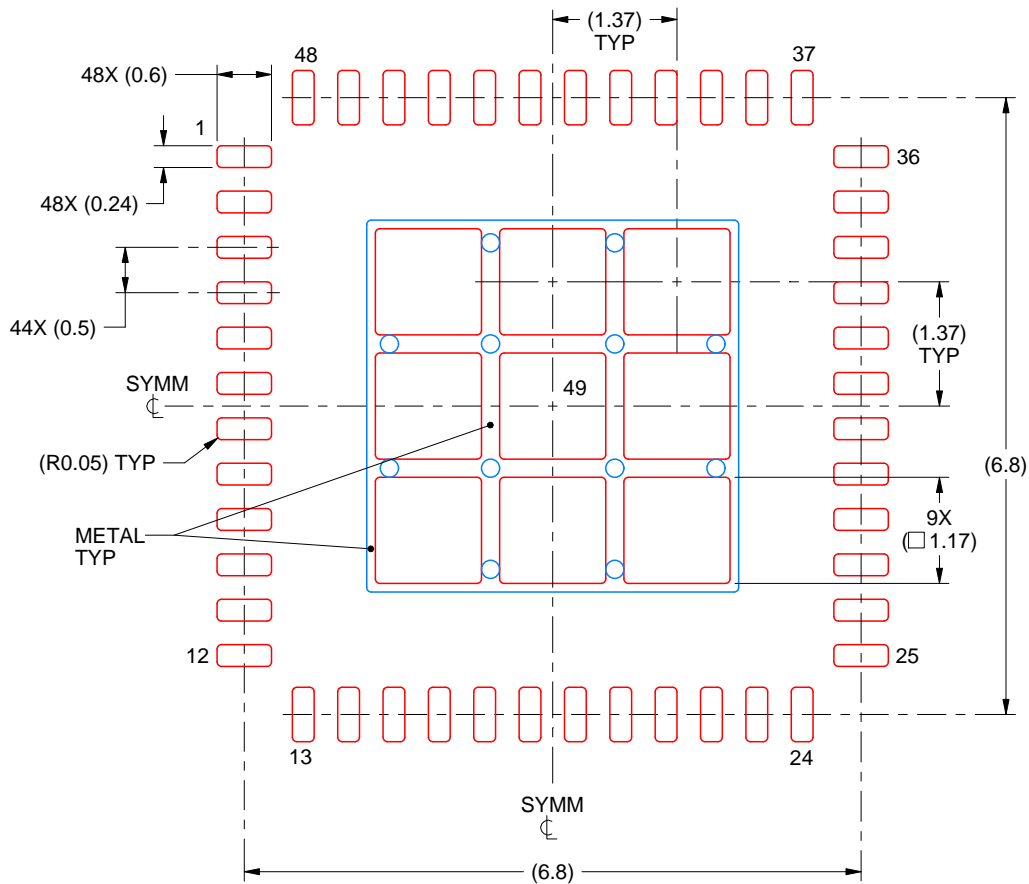
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 ([www.ti.com/lit/slua271](http://www.ti.com/lit/slua271)).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

# EXAMPLE STENCIL DESIGN

RGZ0048B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



**SOLDER PASTE EXAMPLE**  
 BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 49  
 73% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE  
 SCALE:12X

4218795/B 02/2017

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

## 重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月