

User's Guide

AM625、AM623、AM620-Q1、AM625-Q1、AM625SIP 处理器系列原理图设计指南和审阅检查清单

摘要

AM62x (AM625、AM623、AM620-Q1、AM625-Q1、AM625SIP) 处理器系列用户指南包括定制电路板、原理图设计指南、处理器外设电路实现建议，以及使用任何处理器系列中的处理器的定制电路板设计人员使用该处理器时的原理图审阅检查清单。本用户指南包括与处理器电源、外部时钟、GPIO 配置、支持的处理器外设以及将处理器外设连接到附加 (外部) 器件有关的信息。原理图审阅检查清单 (包含在每个部分的末尾) 提供特定部分中所述外设的完整审阅点列表。定制电路板设计人员的建议是使用提供的审阅检查清单 (要点) 检查定制电路板原理图设计实现，并验证是否已实现 (遵循) 检查清单中的建议或指南。

此外，还提供了处理器产品页面的链接 (包括 TI.com 上的产品页面)：处理器产品页面、处理器相关配套资料、E2E 上发布的与处理器和处理器外设相关的常见问题解答，以及定制电路板设计期间常用的参考文档。对于定制电路板设计人员的建议是，可在定制电路板设计过程中参考这些添加的链接，以更大限度地减少设计错误、优化设计工作，并可能减少电路板制造迭代并优化项目时间安排。

内容

1 引言	2
1.1 用户指南使用指南.....	2
1.2 AM62x 处理器系列的处理器列表.....	3
1.3 对原理图设计指南及原理图审查清单的更新.....	4
2 相关配套资料	4
2.1 定制电路板原理图设计期间的常用参考配套资料链接.....	4
2.2 定制电路板设计的硬件设计注意事项用户指南.....	4
3 特定于处理器的信息	4
3.1 选择处理器 OPN (可订购器件型号)	5
3.2 处理器特定数据表用例及用户指南编辑所引用的版本.....	5
3.3 外设实例命名约定 — 数据表及 TRM.....	5
3.4 不使用 (未使用) 时的处理器外设和 IO 连接.....	6
3.5 AM62x 处理器系列订购和质量信息.....	6
3.6 选择所需处理器 GPN (通用器件型号) 和 OPN (订购器件型号) 的清单.....	6
4 处理器电源架构	6
4.1 生成处理器特定和外设 (所连器件) 电源轨.....	6
4.2 处理器电源轨电源控制、时序控制及电源过载保护.....	10
5 一般建议	11
5.1 处理器性能评估模块 (SK - 入门套件)	11
5.2 处理器特定 SK 与数据表.....	12
5.3 特定于处理器的 SDK.....	15
5.4 开始定制电路板设计之前的一般设计建议 (须知)	15
6 针对电源、时钟、复位、引导和调试的特定于处理器建议	19
6.1 通用 (处理器启动) 连接.....	19
6.2 使用 JTAG 和 EMU 的自定义电路板调试.....	36
7 处理器外设电源、接口和连接	38
7.1 支持的处理器内核和 MCU 内核.....	38
7.2 IO 组的 IO 电源的电源连接.....	38
7.3 存储器接口 (DDRSS (DDR4/LPDDR4)、MMCSD (eMMC/SD 卡/SDIO) 、OSPI/QSPI 和 GPMC)	40
7.4 外部通信接口 (以太网 (CPSW3G0)、USB2.0、PRUSS、UART 和 MCAN)	57

7.5 板载同步通信接口 (MCSPi、MCASP 和 I2C)	68
7.6 用户接口 (CSiRX0、DPI、OLDI0)、GPIO 和硬件诊断.....	74
7.7 SK 特定电路实现 (重复使用)	84
7.8 在定制电路板启动期间执行电路板级测试.....	84
8 定制电路板原理图设计的自我审查	86
9 定制电路板布局注释 (在原理图部分附近添加) 及通用指南	86
9.1 布局布线注意事项.....	87
10 定制电路板设计仿真	87
10.1 DDR-MARGIN-FW.....	87
11 其他参考内容	88
11.1 关于 AM64x、AM243x、AM62x、AM62Ax、AM62D-Q1、AM62Px、AM62Lx 处理器系列的常见问题解答.....	88
11.2 常见问题解答 - 处理器产品系列和 Sitara 处理器系列.....	88
11.3 原理图审阅 (自检) 和原理图审阅申请 (供应商)	89
11.4 处理器连接器件检查清单.....	89
12 用户指南内容及使用情况摘要	89
13 参考资料	89
13.1 AM625、AM623、AM620-Q1、AM625-Q1、AM625SIP.....	89
13.2 AM62L.....	90
13.3 AM62P、AM62P-Q1.....	90
13.4 AM62A7、AM62A3、AM62A7-Q1、AM62A3-Q1、AM62A1-Q1.....	90
13.5 AM62D-Q1.....	91
13.6 所有处理器系列通用.....	91
13.7 可用常见问题解答主列表 - 按处理器系列.....	91
13.8 可用常见问题解答主列表 - Sitara 处理器系列.....	92
13.9 常见问题解答, 包括相关软件.....	92
13.10 有关连接器件的常见问题解答.....	92
14 术语	92
15 修订历史记录	94

商标

WEBENCH® is a registered trademark of Texas Instruments.

USB Type-C® is a registered trademark of USB Implementers Forum.

所有商标均为其各自所有者的财产。

1 引言

1.1 用户指南使用指南

AM62x (AM625、AM623、AM625SIP、AM620-Q1、AM625-Q1) 处理器系列专用的用户指南 *原理图设计指南* 和 *原理图审阅检查清单* 包括定制电路板设计人员可在定制电路板原理图设计阶段使用的原理图设计指南。每个部分的末尾都包含原理图审阅清单, 定制电路板设计人员可在设计完成后、布局开始之前, 使用该清单来审阅定制电路板原理图。

1.1.1 定制电路板原理图设计指南 - 用户指南中使用的参考文献

用户指南中包含了原理图设计指南和原理图审查清单, 这些内容可供定制电路板设计人员在针对选定处理器及所实现的外设 (包括板载或载体 (或附加)) 进行定制电路板原理图设计时使用, 这些外设涵盖内存 (DDR、闪存)、电源、通信接口、输入输出以及其他电路部分。

在用户指南中, 提及 *处理器* 意味着所选的 AM62x 处理器 OPN, 提及 *连接器件* 意味着与处理器连接的外部 (板载或载体 (或附加)) 外设 (基于所设计的目标终端设备 and 应用用例) 。

1.1.2 特定处理器系列用户指南

本用户指南涵盖了 AM625、AM623、AM620-Q1、AM625-Q1 和 AM625SIP 处理器 (GPN)。每个处理器 GPN 可以有多个 OPN。用户指南包括可在定制电路板设计期间使用的原理图设计指南和原理图审阅清单。处理器系列的特定用户指南提供了以处理器为中心的指南和检查清单, 并供定制电路板设计人员为特定处理器系列设计电路板时使用, 为其提供帮助。本用户指南更简单, 且易于用于所选的处理器和处理器系列 (本例中为 AM62x) 。

1.1.3 原理图设计指南

本用户指南提供了原理图设计指南，可在定制电路板原理图设计阶段使用这些指南来实现所选处理器支持的处理器和外设之间的电路连接。除了设计指南之外，还添加了指向相关常见问题解答的链接（作为每节指南的一部分）。常见问题解答（添加了链接）提供有关特定外设或接口主题的附加信息，包括有关实现/用例的说明和详细信息以及从客户交互中收获的知识。

建议定制电路板设计人员遵循原理图设计指南，以更大限度地减少可能影响电路板功能和性能的设计错误，并优化定制电路板设计/构建/测试工作。

1.1.4 原理图审阅检查清单

在用户指南的每个部分、子部分的末尾添加了可供定制电路板设计人员用于查看涵盖特定外设的定制电路板原理图的原理图审阅清单。本用户指南中介绍的一般建议、处理器电源和处理器外设部分、子部分末尾含有清单。原理图审阅检查清单分为一般、原理图审阅和附加。定制电路板设计人员可使用原理图审阅清单对定制电路板原理图设计进行自我审查。自我审查可最大限度地减少可能导致功能或性能相关问题的原理图错误，同时减少正式审阅（内部或外部）期间的审阅工作。原理图审阅可更大限度地减少定制电路板启动或性能测试期间所需的工作量，从而提高电路板设计质量并遵守计划的时间线。

有关可用清单及格式的相关信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L/AM64x/AM243x \(ALV\)/AM335x 设计建议/定制电路板硬件设计 - 原理图审阅检查清单](#)

1.1.4.1 与所有原理图设计指南和原理图审阅部分结合使用的通用检查清单

1. 已查看上述部分，包括 TI.com 上的常见问题解答链接和相关应用手册。
2. 已查看处理器特定数据表中的引脚属性和信号说明部分。
3. 已查看时序和开关特性部分，以及处理器特定数据表中提供的任何其他信息。

1.1.4.1.1 定制电路板原理图设计实现检查清单子部分说明

原理图实现审查检查清单包含 3 个子部分：

常规：

通用部分以要点列出（汇总）了电路实现，这些实现是为了支持检查清单部分（设计指南部分）上方所述外设部分的功能而需要（预期）的。该部分还涵盖了在该部分与另一部分进行接合或连接时的相关考虑因素，以实现所需的外设或模块功能（可能需要电路设计）。建议在继续进行原理图审阅之前，先查看并关闭所提供的实施检查列表。

原理图审阅：

原理图审阅部分以要点列出（预计）了定制电路板设计人员将在电路部分添加的电路实现，以支持功能，包括实现外设或模块时应遵循的值、连接和其他实现。建议将定制电路板原理图设计实现方案与原理图检查清单进行比较，以确保在布局开始之前实现方案遵循设计指南。

其他：

在考虑优化电路设计之前，其他部分在要点中列出了实现和用例说明（详细信息），定制电路板设计人员可以使用这些说明以及原理图审阅部分，以便了解电路实现的原理图（需要实现）。

1.1.5 原理图自检期间有关用户指南使用的常见问题解答参考

以下常见问题解答包括定制电路板设计人员使用特定于处理器的可用配套资料进行自我审查的指南：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62A/AM62D-Q1/AM62P/AM62L/AM64x/AM243x 设计建议/定制电路板硬件设计 - 定制电路板原理图自检](#)

1.2 AM62x 处理器系列的处理器列表

本用户指南适用于以下列出的所有处理器。所选处理器的所有相关文档可在 TI.com 的产品页面上找到。建议点击下方列出的产品页面链接，查看相关的产品页面。

请参阅以下产品页面上的 [订购和质量](#) 部分，了解有关 OPN 的信息：

AM62x [ALW]

- [AM625](#)
- [AM623](#)

AM62x [AMC]

- [AM620-Q1](#)
- [AM625-Q1](#)

AM62x [AMK]

- [AM625SIP](#)

1.3 对原理图设计指南及原理图审查清单的更新

作为持续改进配套资料的一部分，在 [原理图设计指南](#) 和 [原理图审阅检查清单](#) 用户指南中针对当前 TI.com 修订版本（基于客户反馈，学习内容，添加/增强部分、错误或改进）进行了更改或新增了部分，并在下一个文档修订期间进行更新。

以下常见问题解答列出了在 TI.com 上发布修订版用户指南之前，定制电路板设计人员在定制电路板设计期间需要遵循的更改：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM62A/AM62P/AM62D-Q1/AM64x/AM243x 定制电路板硬件设计 — 硬件设计注意事项和原理图设计指南配套资料更新](#)

建议查看常见问题解答，以了解在定制电路板设计的所有阶段可能会频繁进行的更新。

2 相关配套资料

2.1 定制电路板原理图设计期间的常用参考配套资料链接

TI.com 上的处理器特定产品页面提供了许多与所选处理器（系列）相关的文档。建议定制电路板设计人员在开始定制电路板设计之前，阅读相关配套资料（列于以下常见问题解答）。

以下常见问题解答汇总了在开始进行定制电路板设计时可以参考的一些关键配套资料：

[\[常见问题解答\] AM625 定制电路板硬件设计 - 入门配套资料](#)

[\[常见问题解答\] AM623 定制电路板硬件设计 - 入门配套资料](#)

[\[常见问题解答\] AM620-Q1/AM625-Q1 定制电路板硬件设计 - 入门配套资料](#)

[\[常见问题解答\] AM625SIP 定制电路板硬件设计 - 入门配套资料](#)

2.2 定制电路板设计的硬件设计注意事项用户指南

在自定义电路板设计阶段期间，建议阅读、检查并遵守下方链接的处理器特定 [定制电路板硬件设计注意事项](#) 用户指南中的适用建议：

使用 [AM625](#)、[AM623](#)、[AM620-Q1](#)、[AM625-Q1](#) 和 [AM625SIP](#) 处理器系列的 [定制电路板设计硬件设计注意事项](#)

3 特定于处理器的信息

备注

在定制电路板设计周期中，建议遵循 [使用 AM625、AM623、AM620-Q1、AM625-Q1 和 AM625SIP 处理器系列的定制电路板设计硬件设计注意事项](#) 用户指南以及 [原理图设计指南](#) 和 [原理图审阅检查清单](#) 用户指南。

3.1 选择处理器 OPN (可订购器件型号)

根据所需特性选择处理器 OPN 是定制电路板设计期间关键且重要的阶段。如要简要了解处理器系列 (AM625、AM623、AM620-Q1、AM625-Q1、AM625SIP) 架构以及根据所需功能和特性、封装 (ALW (AM625、AM623))、AMC (AM620-Q1、AM625-Q1)、AMK (AM625SIP) 和速度等级选择可用于定制电路板中的所需处理器 OPN，请参阅器件特定数据表的功能方框图、器件比较、器件命名规则、器件速度等级和封装信息部分。

建议使用选定的处理器 OPN 对电路图进行更新。

有关 AM62x 处理器系列所支持 (可用) 的软件包的相关信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP/AM62A/AM62D-Q1/AM62P/AM62L 定制电路板硬件设计 - 可用器件封装](#)

3.2 处理器特定数据表用例及用户指南编辑所引用的版本

处理器特定的数据表包括：

1. 引脚属性 (焊球编号、引脚到多路复用功能映射)。
2. 信号说明。
3. 引脚连接要求。
4. 适用处理器外设的电气特性、时序和开关特性及时序图。
5. 处理器电源轨的建议运行条件。
6. 处理器电源轨的时序控制 (上电及断电)。
7. 最大运行条件和建议运行条件。
8. 处理器内部结构详细说明。
9. 应用、实施和布局。
10. 器件和文档支持，包括器件命名规则 (器件命名约定)、工具和软件。
11. 修订历史记录。
12. 机械、封装和可订购信息。

带有修订号标识的特定处理器数据表 (在用户指南编辑过程中引用)：

AM625、AM623、AM620-Q1、AM625-Q1 处理器系列

SPRSP58B - 2022 年 6 月 - 2023 年 6 月修订 (AM62x Sitara 处理器数据表 (修订版 B))

AM625SIP 处理器系列

SPRSP98A - 2023 年 11 月 - 2024 年 6 月修订 (AM625SIP - 具有集成 LPDDR4 SDRAM 的 AM6254 Sitara 处理器数据表 (修订版 A))

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM62A/AM62P/AM62D-Q1/AM64x/AM243x 设计建议/定制电路板硬件设计 - 当前数据表的修订版本、更新、修订版备份和使用说明](#)

3.3 外设实例命名约定 — 数据表及 TRM

对于外设命名和可用的外设实例数量，处理器特定 TRM 往往是通用的，而处理器特定数据表是特定的 (包括支持的实例数)。建议始终参阅处理器特定数据表，了解支持的外设和外设实例。

在处理器特定数据表的信号命名中，外设名称会分配后缀编号，即使存在单个外设实例也是如此。后缀以 0 开头。

对于通用平台以太网交换机 3 端口千兆位 (CPSW3G0) 端口名称，端口 0 是交换机的内部 (通信端口编程接口 (CPPI) 主机) 端口。

3.4 不使用 (未使用) 时的处理器外设和 IO 连接

在定制电路板设计期间，一些处理器外设未获使用 (未使用)。处理器外围设备 (包括具有专用功能的外设) 在未使用时也有特定的连接要求。有关连接不使用时的外设的信息，请参阅处理器特定数据表的 [引脚连接要求](#) 一节。“连接性要求”部分包含了关于连接电源轨和接口信号的相关建议。

处理器 GPIO (与外设、SDIO 或 LVCMOS 缓冲器类型进行多路复用) 支持替代功能的配置 (多路复用)，在不使用时可保持未连接状态 (如果未指定连接要求)。外设和 IO 的焊盘配置可为复位状态。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM62A/AM62P/AM62D-Q1/AM64x/AM243x 设计建议/定制电路板硬件设计 - 数据表引脚属性及引脚连接相关问题](#)

3.5 AM62x 处理器系列订购和质量信息

有关所选处理器的订购和质量的信息，请访问以下链接：

[AM625 - 订购和质量](#)

[AM623 - 订购和质量](#)

[AM620-Q1 - 订购和质量](#)

[AM625-Q1 - 订购和质量](#)

[AM625SIP - 订购和质量](#)

3.6 选择所需处理器 GPN (通用器件型号) 和 OPN (订购器件型号) 的清单

通用

在定制电路板原理图设计过程中，查看和验证以下配套资料和信息：

1. 提供常用的存储器接口、高速通信、板载同步和异步通信接口、摄像头及显示接口。
2. 板载调试和诊断支持 (JTAG、UART、OBSCCLK0 和 CLKOUT0)。
3. 所需的电源轨数量、电源轨的建议工作条件、内核、存储器接口、模拟和 IO 电源的上电及断电序列。
4. 所选外设的电气特性和时序信息。
5. 提供应用手册、外设接口电路实现建议或示例及布局指南。
6. 器件勘误表与处理器运行、引导模式 (支持和注意事项，所配置引导模式的权变措施) 和相关的外设相关。
7. SK 的可用性用于评估和设计文件，以供参考和/或重复使用。

4 处理器电源架构

备注

在定制电路板设计周期中，建议遵循 [使用 AM625、AM623、AM620-Q1、AM625-Q1 和 AM625SIP 处理器系列的定制电路板设计硬件设计注意事项](#) 用户指南以及 [原理图设计指南](#) 和 [原理图审阅检查清单](#) 用户指南。

有关 TI 电源管理产品组合的概述，请参阅 TI [电源管理](#) 页面。

[WEBENCH® 电路设计器工具](#) 提供一个可视界面，可用于创建定制电源架构。

4.1 生成处理器特定和外设 (所连器件) 电源轨

可使用集成式 (使用 PMIC、分立式直流/直流电源、分立式 LDO) 或者分立式 (使用直流/直流转换器、分立式 LDO) 电源架构生成所选处理器和所连器件所需的电源轨。

PMIC (集成电源架构) 专为特定处理器或处理器系列设计。使用 PMIC 可以简化电源架构 (电源轨) 设计。

PMIC 可生成通常所需 (使用的) 处理器和连接器件电源。PMIC 在内部管理上电时序、断电时序、电源压摆率控

制、可选残余电压 (电压衰减) 检测, 并满足处理器特定电源 (PDN) 要求。其他的分立式直流/直流转换器和分立式 LDO 可用于生成根据用例所需的其他板载电源 (基于用例) 。

使用分立式电源架构可以让您在选择电源器件和电源架构设计时具有灵活性。由于定制电路板设计人员负责选择分立式直流/直流转换器和 LDO (提供所需负载电流)、直流/直流转换器和 LDO (可进行调整或配置以生成所需电源电压)、直流/直流转换器和 LDO (可支持所需负载电流瞬态)、控件、电源压摆率, 并支持所需电源时序的配置, 因此设计工作量可能会增加。

处理器电源轨指定了压摆率要求。对于电源导轨 (生成或开关) , 建议遵循处理器特定数据表的 *电源压摆率要求* 部分。

以下各部分总结了可用于使用 PMIC 或分立式电源架构实现板载电源的电源转换器系列 (直流/直流和 LDO) 产品和相关配套资料 :

4.1.1 AM625、AM623、AM620-Q1、AM625-Q1、AM625SIP 处理器系列电源架构

4.1.1.1 基于电源架构的电源管理 IC (PMIC)

推荐用于集成式电源架构的 PMIC 包括 [TPS65219](#)。这种经过空间、性能和 BOM (物料清单) 优化的电源架构使用 PMIC, 旨在为处理器和所连器件供电。

TPS65219 PMIC 系列支持 x3 (三个) 降压输出和 x4 (四个) LDO 输出 (基于处理器内核的电源轨和存储器 (DDR) 类型) 配置 (PMIC 版本, 固定输出 (NVM 编程), 可编程)。建议根据所选处理器配置和连接器件选择所需 PMIC 配置 (版本)。要选择所需 PMIC OPN, 请参阅 [TPS65219](#) 产品页面。PMIC *原理图和布局* 清单可供定制电路板设计人员在定制电路板原理图设计过程中使用。

有关可用 OPN 和建议连接的输出电压配置的应用手册和信息, 请参阅以下链接 :

[使用 TPS65219 PMIC 为 AM62x 供电](#)

[使用 TPS65219 PMIC 为 AM625SIP 供电](#)

请参阅以下常见问题解答 :

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP 设计建议/定制电路板硬件设计 - PMIC TPS65219 和 PDN 的常见问题](#)

请参阅 TPS65219 OPN 特定技术参考手册 (例如 : [TPS6521901 技术参考手册](#)), 了解有关 NVM (输出电压和 IO) 配置的信息。

根据应用和定制电路板设计架构, 可选择 PMIC OPN。每个 OPN 都有特定的 NVM 配置 (输出电压)。有关所选 OPN NVM 配置 TRM 和完整寄存器映射, 以及 PMIC 数据表, 请参阅 [TPS65219](#) 产品页面。

此外, 请参阅以下应用手册 :

[使用 TPS65219 PMIC 为 AM62 处理器供电相对于分立式电源设计的优势](#)

有关残余电压和检测的信息, 请参阅以下常见问题解答 :

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM62A/AM62P/AM62D-Q1/AM64x/AM243x 设计建议/定制电路板硬件设计 - 与残余电压、检测及电源衰减相关的问题](#)

4.1.1.1.1 TPS65219 基于 PMIC 的电源架构检查清单

通用

检查并验证定制原理图设计的以下内容 :

1. 已查看上述用户指南的“所有部分的通用检查清单”部分
2. 基于输入电源和输出电压 (内核电压、IO 电压和 DDR 电压配置) 的 PMIC 选择 (OPN)
3. 有关添加所需输入和输出电容器 (包括值、反馈连接和引脚连接) 的 PMIC 检查清单
4. 考虑降额时所选择电容器的额定电压

5. 建议的 PMIC 控制和 IO 信号配置
6. 连接处理器 IO 电源时序和压摆率控制所需要的控制信号
7. 用于连接 PMIC 的处理器 I2C 实例
8. 处理器到 PMIC 以及 PMIC 到处理器 IO 接口连接
9. 电源导轨的命名 (指示配置的输出电压电平)
10. 处理器和连接器件 IO 电源的网络名称匹配 (同名)
11. 连接用于 PMIC IO 的中断、MODE/RESET 和 EN/PB/VSENSE 信号和所需拉电阻连接

原理图审阅

定制原理图设计请遵循以下列表：

1. 根据定制电路板要求，配置 PMIC 输出，以匹配处理器和连接器件的 IO 电源工作电压
2. 带有 SK 原理图实现的定制电路板 PMIC 实现方案，包括电容器数量、尺寸和值以及 IO 连接
3. 连接 PMIC 降压输出反馈 (将反馈连接至输出大容量电容器之后)
4. SD 卡 IO 电压控制 (VSEL_SD) 引脚连接 (在处理器启动或电路板复位期间为 3.3V，并切换到 1.8V 以支持 UHS-I SD 卡)
5. 直接连接到处理器 MCU_PORz 输入时的 PMIC nRSTOUT0 压摆 (上拉值) (建议使用分立式推挽输出类型缓冲器)
6. 连接处理器 IO 电源时序所需的控制信号 (处理器和所连器件 IO 电源电压的负载开关 EN，以及使用外部电容器控制负载开关输出电压压摆率的配置)
7. 考虑降额时所选电容器的额定电压 (常用指南为最坏情况下施加电压的两倍)
8. PMIC 输出电压电平与处理器和连接器件的电源要求相匹配 (基于 OPN)
9. 用于连接至 PMIC 的处理器 I2C 实例 (遵循 SK 或根据用例查看所需的 I2C 实例)
10. 分立式直流/直流输出和 LDO 的配置与 PMIC 搭配使用以生成额外的电源轨
11. 用于生成 VPP 电源的外部 LDO 实现 (电子保险丝编程)、LDO 输出启用 (EN) 控制、考虑负载电流瞬态的情况下添加大容量和去耦电容器，并提供隔离电阻器来测试 VPP 电源输出启用定时

其他

1. 如果定制板设计电源架构基于 TI PMIC，建议与 PMIC 团队 (业务部门或产品线) 一起对实施情况进行详细审查。
2. 建议在 PMIC 和分立式直流/直流 LDO 的输出端使用 0Ω 电阻器或跳线，用于初始电路板构建的隔离或电流测量。建议添加 TP 来进行测量。建议遵循开尔文电流检测连接，将 TP 连接到 0Ω 电阻器或跳线。
3. 建议在大容量电容器之后，连接 PMIC 降压输出的反馈。建议连接反馈，以确保移除 0Ω 电阻不会影响 PMIC 运行 (连接在电阻器的 PMIC 侧)。
4. 由于 PMIC 会执行热复位，因此将处理器的 RESETSTATz 输出连接到 PMIC 的 MODE/RESET 输入可能是可选项。建议添加一个 0Ω 电阻器并将电阻器标记为 DNI。PMIC 内部上拉电阻已启用。
5. 建议分别显示降压 (直流/直流) 输入和 VSYS 的 PMIC 输入大容量电容器，并靠近各引脚，以便于放置和布线。
6. 建议查看并遵循和残余电压相关的常见问题解答。
7. 如果使用非 TI PMIC，建议定制电路板设计师审查并遵循相关的处理器配套资料，包括处理器特定数据表和最大额定电流应用手册。建议查看处理器特定数据表的推荐运行条件、电源压摆率要求、MCU_PORz 定时要求、加电排序和断电排序部分，并确认所选的基于 PMIC 的电源架构支持上述要求和残余电压 (RV) 检查。

4.1.1.1.2 其他参考内容

如需相关信息，请参阅处理器特定数据表的以下章节。

- 器件连接和布局基本准则
- 电源
- 电源设计

4.1.1.2 基于分立式电源器件 (DC/DC、LDO) 的电源架构

要生成处理器和连接的器件电源轨，可以考虑使用分立式电源架构。

电源架构可以基于分立式[直流/直流转换器](#)和 [LDO](#)。

有关器件选择和电源架构实现的信息，请参阅 [AM62x 的分立式电源解决方案](#) 应用手册。

当实现定制 (TI 或非 TI) 分立式电源架构时，请在所有电源斜升后注意电源尺寸 (电流额定值)、电源时序、电源转换率控制和 MCU_PORz 输入 L->H 延迟 (保持时间) (用于振荡器启动和稳定) 要求。建议根据处理器特定数据表验证，是否遵循了上述要求。

在电源轨断电期间 (关断)，建议 MCU_PORz 输入在电源开始斜降之前达到有效的逻辑低电平。建议将分立式电源架构预计设计为在任何电源轨降至 [建议运行条件](#) 中定义的最小值以下时，在启动新的上电序列之前关闭所有电源轨并监控电源轨衰减到 300mV 以下。

建议在上电期间将 MCU_PORz 输入 (必需) 保持为低电平 (有效)，直到所有处理器电源斜升并有效 (稳定) 加最短延迟 9.5ms (处理器特定数据表中称为 9500000ns)，以便内部振荡器启动并稳定 (使用外部晶体加内部振荡器时，请参阅处理器特定数据表) 或 MCU_PORz 输入保持低电平 (有效)，直到所有处理器电源上升并有效，并且外部振荡器时钟输出稳定 (当使用外部 LVCMOS 数字时钟源 (振荡器) 时)，加上最小延迟 1.2 μ s (在处理器特定数据表中称为 1200ns) (请参阅处理器特定数据手册)。

建议考虑[最大电流额定值](#)应用手册来确定电源尺寸。

请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62Ax/AM62D-Q1/AM62Px/AM62L/AM64x/AM243x 设计建议/定制电路板硬件设计 — 与分立式电源架构相关的疑问](#)

4.1.1.2.1 分立式直流/直流稳压器

建议考虑分立式直流/直流稳压器，例如 [TPS62826](#) 或 [LM61460-Q1](#) 或类似开关电源器件。

有关可用离散直流/直流 (降压) 转换器件的概述，请参阅 [交流/直流和直流/直流转换器 \(集成 FET \)](#) 页面。

此外，请参阅以下文档和视频库：

[TI 降压开关直流/直流转换器快速参考指南应用手册](#)

[电源设计培训资源 - 视频库](#)

4.1.1.2.2 分立式 LDO

建议考虑使用分立式 LDO 器件，例如 [TPS74518](#)、[TLV7103318](#)、[TLV75518](#) 或类似 LDO。

要了解可用的离散 LDO 的概览，请参阅 TI [线性和低压降 \(LDO\) 稳压器](#) 页面。

此外，请参阅以下应用手册：

[低压降稳压器快速参考指南](#)

[LDO 线性稳压器设计指南](#)

[TI LDO 应用手册的主题索引](#)

4.1.1.2.3 基于分立式电源器件 (直流/直流、LDO) 的电源架构检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已查看上述用户指南的“所有部分的通用检查清单”部分。
2. 电源轨的配置输出电压电平和电流大小 (额定值)。
3. 输出电压反馈连接和反馈电阻分压器容差。
4. 精选的分立式直流/直流支持有源放电。

5. 分立式直流/直流输出压摆率符合处理器要求。
6. 根据处理器要求来进行电源轨时序控制。
7. MCU_PORz 输入 (直流/直流 PG 输出) 压摆率。
8. 考虑降额时所选择电容器的额定电压。
9. SD 卡接口 IO 电源的实现支持 UHS-I SD 卡。
10. 实现 VPP (电子保险丝编程) 电源。
11. 电源轨命名。
12. 分立式直流/直流或分立式 LDO 电压电平匹配。
13. 处理器和连接器件 IO 电源的网络名称匹配 (同名) 。

原理图审阅

定制原理图设计请遵循以下列表：

1. 电阻分压器值 (包括连接到反馈以生成所需输出电源电压的容差) 与分立式直流/直流或 LDO 计算值匹配。
2. 直流/直流或 LDO 输出电流大小。
3. 分立式直流/直流或 LDO PG 输出具有所需的上拉电阻，并连接到另一个直流/直流或 LDO EN 以进行电源时序。
4. 直流/直流或 LDO 输出压摆率符合处理器压摆率要求。
5. 所有处理器电源斜升后的 MCU_PORz 输入 (直流/直流 PG 输出) 转换率 (通过分立式推挽输出式缓冲器进行连接) 和 L 至 H 延迟 (用于时钟启动和稳定的 MCU_PORz 输入低保持时间) 实现。
6. 电源斜坡后的 MCU_PORz 输入低保持时间，如果直流/直流 PG 输出直接连接到处理器 MCU_PORz 输入。
7. 实现 VPP (电子保险丝编程) 电源 (包括电容器)，以支持负载电流瞬态和输出使能 (EN)。
8. SD 卡接口 IO 电源的 LDO 实现支持 UHS-I SD 卡。
9. 电源导轨的命名 (指示配置的输出电压) 。
10. 分立式直流/直流或分立式 LDO 电压电平与处理器和连接器件的电源要求相匹配。
11. 考虑降额时所选电容器的额定电压 (大于常用指南为最坏情况下施加电压的两倍) 。
12. 分离式电源器件选择，包括输出电源电压轨 (工作电压/振幅) 和额定电流、有源放电、启用配置、压摆率控制、残余电压检测 (仅当电源电压在断电后 <300mV 时才允许通电) 。

其他

1. 如果定制板设计电源架构基于 TI 电源，建议与相关业务部门或产品线一起对实施情况进行详细审查。
2. 建议在分立式直流/直流 LDO 的输出端使用 0Ω 电阻器或跳线，用于初始电路板构建的隔离或电流测量。建议添加 TP 来进行测量。建议遵循开尔文电流检测连接，将 TP 连接到 0Ω 电阻器或跳线。
3. 建议在使用可调输出型分立式直流/直流或分立式 LDO 时，在分立式直流/直流或分立式 LDO 的输出端添加齐纳二极管。

4.2 处理器电源轨电源控制、时序控制及电源过载保护

4.2.1 负载开关 (处理器电源轨电源开关)

负载开关用于对处理器及连接的器件电源轨进行开关和时序控制。负载开关用于控制 (打开和关闭) 流向特定外设或子系统 (由同一输入电源轨供电) 的电力，而非通过使用多个独立的直流/直流转换器或低压差稳压器来生成电源。在某些应用中，建议遵循建议的上电和下电序列。负载开关简化了实现电源时序控制，以满足上电和下电时序要求。负载开关使能可由 PMIC 或分立式直流/直流 PG 输出控制，以满足处理器电源时序要求。

考虑 [TPS22965](#)、[TPS22918](#)、[TPS22902](#) 和 [TPS22946](#) 等负载开关。

有关可用负载开关系列的概述，请参阅 TI [负载开关](#) 页面。

4.2.1.1 负载开关 (处理器电源轨电源开关) 清单

通用

检查并验证定制原理图设计的以下内容：

1. 已查看上述用户指南的“所有部分的通用检查清单”部分。
2. 负载开关电流额定值。
3. 负载开关使能的连接及时序控制。
4. 输出电压压摆率控制配置。
5. 考虑降额时所选择电容器的额定电压。

原理图审阅

定制原理图设计请遵循以下列表：

1. 输入和输出电容器值，比率符合数据表和电容器额定电压。
2. 根据处理器 IO 电源压摆率要求配置输出电压压摆率 (电容器值选择)。

4.2.2 电子保险丝 IC (电源开关和保护)

在定制电路板设计中，可以在电源输入端使用电子保险丝进行保护。电子保险丝电源开关和保护 IC 是集成的电源路径保护器件，用于在故障情况下将电路电流和电压限制在安全电平。电子保险丝为设计提供了许多优势，并且包含通常难以使用分立元件实现的保护功能。要了解可用的电子保险丝系列，请参阅 TI [电子保险丝和热插拔控制器](#) 页面。

5 一般建议

备注

在定制电路板设计周期中，建议遵循[使用 AM625、AM623、AM620-Q1、AM625-Q1 和 AM625SIP 处理器系列的定制电路板设计硬件设计注意事项](#) 用户指南以及[原理图设计指南和原理图审阅检查清单](#) 用户指南。

以下各部分包括在开始定制设计之前建议遵循的一般建议。该部分还包括在使用 SK 配套资料作为参考 (包括原理图) 和设计定制电路板原理图期间的一般建议。

请参阅以下常见问题解答：

[\[常见问题解答\] AM625 / AM623 / AM620-Q1 / AM62L / AM64x/ AM243x \(ALV\) / AM62Ax / AM62D-Q1 / AM62Px 设计建议/定制板硬件设计 - 有关处理器核心、VDD_CORE、VDDR_CORE、VPP 以及其他内核电源的信息](#)

5.1 处理器性能评估模块 (SK - 入门套件)

处理器 (硬件) 性能评估模块和平台 (简称 SK) 并非参考设计。这些模块与平台并不代表正确或完整的电路板或终端设备功能实现。在某些情况下，SK 在处理器设计完成之前便已进行了部分或完全设计并发布进行制造。设置时间表是为了在首批器件可用后便可使用硬件平台。在处理器启动和基准测试期间会出现新的 (额外) 处理器要求。SK (硬件评估平台) 可能并未考虑到所有这些新要求。因此，TI 希望定制板设计人员在设计定制板时仔细审查并遵循处理器特定数据表、器件勘误表、硬件设计考虑事项用户指南、原理图设计指南和 TRM 中定义的所有要求。

处理器 (硬件) 性能评估平台并非旨在涵盖任何定制电路板或特定终端设备的特殊要求，例如电磁干扰或电磁兼容性 (包括辐射敏感性、辐射发射、静电放电等) 测试、噪声敏感性、散热管理等等。

有关定制电路板设计人员可参考的更新设计说明以及与 SK 电路图一同提供的内容，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L 定制电路板硬件设计过程中的设计建议/常见错误-SK 原理图设计更新说明](#)

5.1.1 评估模块 (入门套件) 检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已查看上述用户指南的“所有部分的通用检查清单”部分。
2. 作为基准的 (遵循的) SK 与所选处理器系列和 OPN 相匹配。
3. 基准 SK 板上的处理器封装与为定制电路板设计选择的处理器相匹配。
4. 基准 SK 原理图修订版本包括设计说明 (D-Note)、修订说明 (R-Note) 和 CAD 说明 (CAD Note)。

5.2 处理器特定 SK 与数据表

在定制电路板设计的设计阶段，如果在处理器评估或定制电路板设计期间处理器特定 SK 和处理器特定数据表之间存在任何差异，建议遵循处理器特定数据表。尽管 SK 设计人员已经尽了很大努力，但 SK 原理图还是包含仍然起作用但不完全符合特定于处理器数据表规范的错误。

5.2.1 有关元件选择的注意事项

备注

SK 原理图中提供的元件值、封装尺寸和电压额定值用作定制电路板设计人员的起点，并非始终优化。定制电路板设计人员的建议是验证值、尺寸和电压额定值是否适用于特定的定制电路板实现，并进行所需的更新。

建议查看有关定制电路板设计要求的 SK BOM，并根据处理器特定数据表建议、应用要求、遵循的定制电路板设计方法以及可用 (公司特定或通用) 设计或元件选择指南来优化元件。

建议在最终确定元件 (值、封装、额定电压和额定功率) 之前执行电路设计计算，执行板级测试和测量，进行内部设计审查。

5.2.1.1 串联电阻

建议根据用例在处理器 IO 接口上配置一个串联电阻 ($0\ \Omega$)。SK 原理图中使用的串联电阻值可用做定制电路板设计的起点。对于定制电路板设计人员的建议是验证定制电路板上的数值，并且根据需要进行调整 (引脚上出现的阶跃函数不接近中点电压)。建议根据需要进行仿真，以最终确定值。

5.2.1.2 并联拉电阻

备注

除非行业标准中定义了拉电阻要求，否则对于外部拉电阻没有明确的规则或要求。拉电阻的业界通用定义是我们可针对 eMMC 和 SD 卡信号上的外部拉电阻提出确定建议的主要原因。对于其他外设，建议客户评估连接到定制电路板上每个处理器信号的所连器件的功能，并运用适当的技术/工程判断来确定是否需要使用外部拉电阻，以防止在打开附加器件输入缓冲器时任何输入悬空。设计指南中提供的建议是通用的，客户应在实施之前检查设计要求和所连器件内部拉电阻的可用性。确保不会提供与内部拉电阻争用的外部拉电阻。示例：一个示例是添加一个与内部拉电阻 (连接的器件内部) 争用的外部拉电阻，这样该争用会在信号 (输入) 上产生中点电位。

建议为连接了布线且未被主动驱动的处理器的 IO 提供并联拉电阻配置，或为连接到可悬空的所连器件输入的 IO 提供并联拉电阻配置 (以防止所连器件输入悬空，直到主机软件配置 IO)。并联拉电阻极性和拉电阻值取决于特定的外设连接建议、提高处理器性能和可靠性的建议以及相关的接口或接口标准要求。此外，还提供了上拉电阻建议。

处理器特定 SK 中使用的拉电阻值可用作起点，定制电路板设计人员可根据处理器和所连器件或特定电路板设计要求的建议选择适当的拉电阻值。10k Ω 或 47k Ω (允许选择上拉电阻以实现元件选择和 BOM 的标准化)，建议为没有特定建议的 IO 或接口选择适当的拉电阻值。可根据电路板设计选择拉电阻值，以优化元件的使用，或降低电流或提高噪声性能。

当布线连接到处理器引脚 (IO 焊盘) 并且 IO 没有被主动驱动 (悬空) 时, 建议使用并联拉电阻 ($47k\Omega$)。在复位期间和复位后, 处理器 IO 缓冲器 (TX (输出) 和 RX (输入) 被禁用, 在复位期间和复位后关闭内部拉电阻 (上拉和下拉)。IO 处于高阻抗状态, 实际上相当于会拾取噪声的天线。没有并联拉电阻的情况下, IO 处于高阻抗状态。高阻抗使得噪声可以轻松地将能量耦合到悬空信号布线上, 并产生可能超出 IO 建议工作条件的电势。这种电势可在 IO 上产生电过应力 (EOS)。处理器内部的静电放电 (ESD) 保护电路仅用于在将器件安装在 PCB 上之前的处理过程中保护器件免受 ESD 的影响。

5.2.1.3 驱动强度配置

AM625、AM623、AM625SIP、AM620-Q1、AM625-Q1 处理器系列当前不支持配置除标称 (默认) 值 (例如 : SDIO 或 LVC MOS 缓冲器的驱动强度) 之外的驱动强度 (任何其他可用的配置)。标称 (SDIO 的 40Ω 和 LVC MOS 的 60Ω) 值是关闭处理器级 STA (静态时序分析) 时的唯一配置。IBIS 模型目前已更新为仅包含已在内部关闭时序的驱动强度。

有关驱动强度配置支持的信息, 请参阅以下常见问题解答 :

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L/AM64x/AM243x 设计建议/定制电路板硬件设计 — SDIO 和 LVC MOS 的 I/O 驱动强度配置](#)

5.2.1.4 处理器特定数据表建议

定制电路板设计人员负责实现所需或推荐的电路, 以确保定制电路板设计符合处理器特定数据表引脚连接要求。示例 : I2C 开漏电气特性的要求 - 拉至 3.3V 电源时的输入压摆率限制要求。

如果没有处理器特定的数据表建议, 则建议先遵循原理图设计指南或遵循 SK 原理图实现作为起点。

5.2.1.5 处理器 IO 保护 - 提供外部 ESD 保护器件

建议为直接连接至外部输入或连接到外部连接器的处理器 IO 提供外部 ESD 保护。内部 ESD 保护不能满足板级 ESD 要求。要了解 ESD 保护器件, 请参阅 TI [ESD 保护](#) 页面。

5.2.1.6 外设时钟输出串联电阻器

由于时钟也用于重定时, 因此建议在处理器时钟输出 (对于 MCSPI、MCASP) 引脚附近添加时钟输出上的串联电阻器 (22Ω)。该串联电阻器还能支持可能的反射控制 (信号失真)。

对于 MMC0、MMC1、MMC2、OSPI0、GPMC0 接口, 使用未绑定的焊盘 (内部) 进行重定时 (环回)。我们使用通过 PCB 发送到所连器件的时钟作为捕获时钟。我们将输出时钟分支到器件内部的两条路径, 其中时钟发送到两个单独的 IO 单元。一个 IO 单元连接到一个封装焊球, 用于为所连器件提供时钟。另一个 IO 单元无界 (未连接任何封装焊球)。用作接收捕获时钟的时钟通过未绑定 IO 单元发出, 并在用作捕获时钟之前环回到器件。我们这样做是为了使时钟上插入的延迟与发送至所连接器件的时钟延迟相同, 同时也要与从所连接器件返回的数据上插入的延迟相同。未绑定的 IO 焊盘永远不会经历 PCB 信号布线源端所产生的电压阶跃。建议使用低值串联电阻器 (0Ω 至启动) 来控制可能的信号反射 (信号完整性目的)。

5.2.1.7 外设时钟输出下拉电阻器

建议对连接到靠近所连接器件时钟输入的所连接器件的外设时钟输出 (eMMC、SDIO、SD 卡、OSPI0、MCSPI、MCASP、GPMC0) 使用下拉电阻。可选择配置电容器 (8 至 $10pF$), 并将其配置为不组装。如果观察到与电路板级信号完整性相关的问题, 可以安装电容器。建议使用最短桩线, 将电容器连接到所连接器件时钟输入。

5.2.1.8 元件选型检查清单

通用

检查并验证定制原理图设计的以下内容 :

1. 已查看上述用户指南的“所有部分的通用检查清单”部分。
2. 选择电阻值、容差、尺寸和功率。
3. 某些特定电阻器存在 $\pm 1\%$ 的容差要求 (请参阅处理器或附加器件数据表、SK 原理图或 EVM)。
4. 标准容差电阻器可用于其他用例, 例如 : 上拉、下拉、LED 电流限制, 所连器件地址配置或串联电阻器。

5. 建议将定制电路板上的拉电阻值实现与 SK 原理图进行比较。
6. 所用电容器的额定电压包括降额 (对于非极化电容器, > x2 的最坏情况下施加电压是常用的指导方针)。
7. 在选择 CAP_VDDSn 电容器的额定电压 (处于建议值内) 时, 考虑直流偏置效应。
8. 封装选择 (取决于应用和用例, 考虑电压和温度范围)。
9. 选择兼容的连接器件 (DDR 和闪存、EPHY)。
10. 选择所需的存储器大小 (DDR) 并根据需要提供扩展存储器的配置。
11. 查看与无源器件参数值、容差和额定电压相关的常见问题解答。

有关 EVM 和 SK 所用关键元件、元件值和公差的信息, 请参阅以下常见问题解答:

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L/AM64x 设计建议/定制电路板硬件设计 - 入门套件/EVM 型号 \(版本\) 和关键器件 \(元件\) 列表](#)

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM62A/AM62P/AM62D-Q1/AM64x/AM243x 设计建议/定制电路板硬件设计 - 与无源元件参数值、容差和额定电压相关的问题](#)

5.2.2 有关 SK 设计 (原理图、电路板) 和重复使用的额外信息

5.2.2.1 更新了 SK 原理图 (添加了设计、审核和 CAD 注解)

在定制电路板设计流程中, 作为设计流程的一部分, 定制电路板设计人员可 (倾向于) 重复使用 SK 设计 (CAD 文件) 并进行必要修改。或者, 定制电路板设计人员可以重复使用常见电路实现 (部分), 包括处理器、存储器、电源和高速通信接口。由于 SK 设计应纳入其他功能, 因此定制电路板设计人员往往会根据定制电路板相关要求优化 SK 原理图设计。在对 SK 原理图进行优化时, 会在定制电路板设计中引入误差, 这类误差可能会影响定制电路板的功能、性能或可靠性。在对 SK 电路图进行优化时, 定制电路板设计人员可能会遇到与 SK 电路实现相关的问题。在原理图审阅期间和定制电路板调试期间, 观察了多个定制电路板设计的常见设计和优化错误。根据客户问题、客户意见、内部建议, 以及数据表中的引脚连接建议, 我们在 SK 原理图的各部分附近添加了全面的设计注解 (D-Note)、审阅注解 (R-Note) 和 CAD 注解 (CAD-Note), 供定制电路板设计人查阅并遵循 (实现建议以便更大限度减少电路板设计误差)。

以下产品概述文档列出了可下载的设计文档:

5.2.2.1.1 AM625、AM623 处理器系列

[SK-AM62B 设计包文件夹和文件列表产品概述](#)

[SK-AM62B-P1 设计包内容概述产品概述](#)

5.2.2.1.2 AM620-Q1、AM625-Q1 处理器系列

[SK-AM62-LP 设计包内容概述产品概述](#)

5.2.2.1.3 AM625SIP 处理器系列

[SK-AM62-SIP 设计包文件夹和文件列表产品概述](#)

5.2.2.2 SK 设计文件重复地用于定制电路板设计

根据在定制电路板设计过程中所采用的设计方法以及项目时间表, SK 设计文件可以作为起点, 用于进行必要的更新 (根据定制电路板的要求进行更改)。建议在实施之前检查 SK 原理图的设计。建议根据定制电路板功能和性能要求, 检查元件选择的尺寸、容差和额定电压。

以下常见问题解答涵盖 PDF 原理图以及与入门套件相关的其他信息:

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP 定制电路板硬件设计 - 重复使用 TI SK \(EVM\) 设计文件。](#)

5.2.2.2.1 SK 设计文件重复用于定制电路板设计 - 清单

通用

检查并验证定制原理图设计的以下内容:

1. 已查看上述用户指南的“所有部分的通用检查清单”部分。
2. 目前引用的是所选或必需的 SK 设计文件 (相关资料) 的最新版本。
3. 我们审核并且考虑了靠近原理图部分添加的 D-Note 和 R-Note。
4. 当另存为不同的项目或重新排列原理图页面或电路部分时，可重置电路元件安装选项配置 (DNI 配置被复位，所有元件都显示为已填充)。
5. 在将原理图设计转换至其他 CAD 工具时，可能会出现电路连接的变化 (包括连接缺失的情况)，例如页面之外的连接也会受到影响。

5.2.3 SK 原理图页面时序控制 (基于函数，重复使用) 以及 SK 电路板布局布线

对于当前正在发布或正在处理 (将在未来发布) 的 SK 原理图修订版，TI 正在以模块化格式排列 (时序控制) 原理图页面，以便于重复使用。原理图页面流程从所需的页面开始，包括处理器电源生成、处理器电源和外设连接、附加器件电路实现。在所需的页面之后，添加了可选的调试和监控部分。该安排有助于定制电路板设计人员删除定制电路板设计期间未被使用的原理图部分。

SK 板设计实现采用一种平面架构，在同一板上集成了处理器和附加器件。定制电路板设计人员在设计扁平架构定制电路板时，可以遵循 SK 实现。如果客户电路板架构是 SOM (模块上系统) 和载板、电路板布局方法 (信号布线要求)，建议可能会发生变化。建议客户验证以下指南，并遵循一般 SOM 设计和布局指南，以解决电路板级信号完整性问题：

1. SOM 与载板之间的信号连接 (高速，差分信号) (包括极性)
2. 选择高速连接器 (较低接触电阻和电感) 时，不会影响电路板功能或性能 (当高速信号在电路板之间转换时)
3. 在连接器上的信号之间提供足够数量的接地焊盘，以屏蔽信号，从而优化电路板性能 (更最大限度地减少与信号完整性相关的问题)
4. 提供了存储器及其他高速或低速外设的建议或所需端接
5. 可以满足 SOM 和载板信号之间的失效防护运行要求
6. 在 SOM 和载板之间连接的电路实现的完整性
7. 在 SOM 和载板信号之间的 IO 电平兼容性
8. 连接到处理器且可悬空的任何处理器 IO 或所连器件 IO 都提供了并联拉电阻，并且极性已经过验证
9. 已在电路板构建开始之前执行所需仿真 (SOM 和载波)

有关高速设计的其他输入 (包括基于 SOM 的设计)，请参阅以下常见问题解答：

[\[常见问题解答\] AM625 / AM623 / AM620-Q1 / AM62L / AM64x/ AM243x \(ALV\) / AM62Ax / AM62D-Q1 / AM62Px 电路板布局 - 链接至有关通用高速布局指南的相关文档](#)

5.3 特定于处理器的 SDK

如果针对新平台进行定制电路板设计或针对平台进行更新，建议使用 TI.com 上软件开发工具的最新版本/修订版。

请参阅以下链接，下载所需的 SDK 版本：

[PROCESSOR-SDK-AM62x](#)

1. **MCU-PLUS-SDK-AM62x** : 适用于 AM62x 的 MCU+ SDK - RTOS、No-RTOS
2. **PROCESSOR-SDK-LINUX-AM62x** : Processor SDK Linux for AM62x

请参阅 [AM62x 软件构建表](#) (AM62x 处理器系列支持功能的构建表)。

如果使用较旧的版本/修订版本，建议使用版本说明验证兼容性，或联系 TI (通过 E2E)。

5.4 开始定制电路板设计之前的一般设计建议 (须知)

5.4.1 处理器文档

在定制板设计阶段中，建议参考或使用最新版本的文档，示例包括处理器特定数据表、器件勘误表、TRM 和其他常用参考设计资料。请定期查看 TI.com 上的处理器特定产品页面，查找最新的可用文档版本或添加的新文档。

文档搜索提示：在文档中搜索 *recommended*、*Required*、*do not*、*note*、*pin connectivity* 等字词。处理器的重要条件通常包含其中一个或多个词语。

获取更新信息的技巧：在 TI.com 的处理器产品页面上，有一个 **Notifications** 按钮。在此按钮处注册便可启用关于处理器文档更改的自动通知。

TI.com 上提供处理器特定数据表的最新修订版或其他配套资料。建议在内部存档较旧版本以供将来使用。

5.4.2 处理器引脚属性 (引脚排列) 验证

验证定制电路板设计中所使用的处理器引脚的以下属性：

- 处理器引脚编号标签和命名 (与处理器符号部分关联的引脚编号) 对应于处理器特定数据表的 *引脚属性* 部分中列出的正确引脚编号。建议是：将处理器特定的数据表名称保留在符号内部，而将功能 (网络) 名称根据应用使用情况进行更改。
- 连接到处理器电源引脚的电源电压遵循 *建议运行条件*。
- 原理图中显示了处理器的所有引脚 (按功能分组并具有单独的符号块，包括保留的引脚)，以更大程度地减少工具相关错误和功能错误。
- 在复位期间和复位后，许多处理器 IO TX (输出) 和 RX (输入) 缓冲器被禁用，并且内部上拉电阻 (上拉和下拉电阻) 被关闭。建议使用外部拉电阻 (10k Ω 或 47k Ω) 将任何所连器件的输入保持在有效逻辑状态，直到软件在连接了布线并且未主动驱动 IO 时初始化 IO。当 TP 连接到处理器 IO 时，建议使用并联拉电阻 (47k Ω)。当添加拉电阻不可行时，建议让迹线路由远离高频信号。
- 为了提高定制电路板性能，可以考虑为处理器电源轨 (电压) 配置外部测量、电源轨的电流消耗以及热点处的板载温度测量配置。

如需了解与特定处理器数据表引脚属性相关的问题，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM62A/AM62P/AM62D-Q1/AM64x/AM243x 设计建议/定制电路板硬件设计 - 与 SOC 数据表引脚属性相关的问题 Excel 格式](#)

5.4.3 器件比较、IOSET 和电压冲突

比较表中所列特性的可用性是共享 IO 引脚的函数，在函数中，与许多特性相关的 IO 信号会多路复用有限数量的引脚。建议使用 SysConfig-PinMux 工具为引脚分配信号功能。SysConfig-PinMux 工具将帮助您更好地理解与引脚多路复用相关的限制。

处理器外设使用分组为 IOSET 的 IO 实现时序闭合。IOSET 是特定于某个接口的信号分组，这些信号作为一个集合实现时序闭合。建议任何具有 IOSET 的接口都从同一 IOSET 中选择所有接口信号。某些接口信号可以通过多个 IOSET 共享。SysConfig-PinMux 工具中详细地介绍了支持特定外设的 IOSET 引脚的有效组合。

电压冲突：

信号按功能 IO 域而非按电源域分组。使用某些外设 IO 配置时，可能会遇到电压冲突警告。警告内容是突出显示 IO 的首选电压与配置电压之间的差异，以便定制电路板设计人员可以在实际发生电压冲突时采取必要的措施。该警告在对来自不同电压域的 GPIO 信号进行分组时非常有用，因为当前工具配置仅允许每个外设一个首选电压。任何包含带不同电压电平 IO (引脚) 的外设都会显示警告。之所以显示警告，是因为首选电压与 IO (引脚) 电压不同 (例如：引脚电压为 1.8V 时，首选电压为 3.3V)。只要 1.8V 是所选 IO (引脚) 的预期电压，就可以抑制该警告。冲突指示不是硬件问题或工具错误，而是发出的首选电压与配置的 IO (引脚) 电压不同的通知。该警告仅用来突出显示首选工作电压与选定 (配置的) 工作电压之间的冲突。只要您了解冲突的原因，就可以抑制警告。

有关电压冲突和 IOSET 的信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM62A/AM62P/AM62D-Q1/AM64x/AM243x 设计建议/定制电路板硬件设计-与 SysConfig-PinMux IOSET 和电压冲突相关的问题](#)

5.4.4 RSVD 预留引脚 (信号)

名为 RSVD 的引脚被预留。建议按照处理器特定数据表中的建议，将 RSVD 引脚保持未连接状态 (无测试点 (TP))。

建议将 RSVD 引脚保持未连接状态 (请勿连接任何 PCB 布线或测试点) 。

有关更多信息, 请参阅以下常见问题解答:

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP: 定制电路板硬件设计 — RSVD 引脚的连接建议](#)

5.4.5 PADCONFIG 寄存器注意事项

许多处理器 IO (LVCMOS 或 SDIO 缓冲器类型) 支持在同一个引脚上多种 (不同) 功能的多路复用。可以从支持的多种功能中选择所需 IO 功能。处理器特定数据表的 *引脚属性表* 的 *信号名称* 列中列举了每个 IO (焊盘) 上可用的功能列表。

使用相关 (关联) 焊盘配置寄存器的 MUXMODE 字段配置所需功能。PADCFG_CTRL0_CFG0_PADCONFIG0 至 PADCFG_CTRL0_CFG0_PADCONFIG150 寄存器支持 (可以使用) 处理器 MAIN 域 IO 模块的信号多路复用, MCU_PADCFG_CTRL0_CFG0_PADCONFIG0 至 MCU_PADCFG_CTRL0_CFG0_PADCONFIG33 寄存器支持 (可以使用) 处理器 MCU 域 IO 模块的信号多路复用。

处理器特定 TRM 的 *焊盘配置寄存器* 部分的 *焊盘配置寄存器功能说明* 子部分的 *焊盘配置寄存器位说明* 表中, 汇总了 *位字段说明*、支持的配置和 PADCONFIG 寄存器的 *复位值*。建议在配置 PADCONFIG 寄存器时, 查看并遵循表末尾列出的注释。建议在与相应 PADCONFIG 寄存器关联的引脚没有有效逻辑输入的情况下, 切勿设置 RXACTIVE 位。悬空输入可能会损坏处理器 IO, 或者影响处理器的可靠性。默认设置 ST_EN 位。建议验证 ST_EN 位, 并在该位值复位为 0 的情况下将该位设置为 1。建议不要改动该位的默认值。所有 PADCONFIG 寄存器默认配置的摘要列在处理器特定 TRM 的 *焊盘配置寄存器* 部分中 *焊盘配置 PADCONFIG 寄存器* 子部分的 *焊盘配置 PADCONFIG 寄存器* 表中。

有关更多信息, 请参阅以下常见问题解答:

[\[常见问题解答\] AM625 / AM623 / AM620-Q1 / AM62L / AM64x/ AM243x \(ALV\) / AM62Ax / AM62D-Q1 / AM62Px 设计建议/定制板硬件设计 - 有关 PADCONFIG 位和 PADCONFIG 寄存器默认值摘要的信息](#)

5.4.6 针对失效防护操作的处理器 IO (信号) 隔离

建议用同一电源为 IO 组的处理器 IO 电源和所连接器件 (或者 FPGA、MCU 或处理器) IO 电源供电, 以确保不存在与失效防护运行相关的违规情况。当处理器与所连接器件或额外处理器连接至不同的电源 (由其供电) 时, 建议进行信号隔离, 因为大多数处理器 IO 都不具备失效防护功能。建议采用一种通过 FET 总线开关电路来连接信号的方式。该电路的设计目的是, 在输入设备的 IO 电源无效时, 能够随时将两个设备隔离开来。建议 FET 总线开关和控制逻辑由常开电源供电, 并且仅由多个 (不同) 电源的电源正常信号的 “与” 函数启用。

5.4.7 引脚连接要求和特定于处理器 SK 的参考

特定于处理器数据表的 *信号说明* 和 *引脚连接要求* 部分包括特定于处理器系列的外设、IO 和引脚 (功能) 的连接建议。

当特定于处理器数据表不包含特定连接要求时, 可以参考特定于处理器 SK。

5.4.8 定制电路板高速接口设计指南

有关 USB2.0 和 CSI-RX 信号连接和布线的建议, 请参阅 [高速接口布局布线指南](#)。建议包含与定制电路板设计期间应遵循的布线要求有关的适当约束或注释。

对于 USB 接口, 当定制电路板预计将在恶劣的工业环境中运行时, 可以选择添加共模来提高定制电路板的 USB 接口抗噪性能。添加共模扼流圈会降低信号振幅并降低 USB 接口性能 (速度、数据吞吐量、通信错误)。建议为使用 0 Ω 电阻绕过共模扼流圈添加配置。建议根据应用要求, 为 USB 接口和 USB 电源添加外部 ESD 保护配置。

有关更多信息, 请参阅以下常见问题解答:

[\[常见问题解答\] AM625 / AM623 / AM620-Q1 / AM62L / AM64x/ AM243x \(ALV\) / AM62Ax / AM62D-Q1 / AM62Px 电路板布局 - 链接至有关通用高速布局指南的相关文档](#)

5.4.9 针对 LVCMOS (GPIO) 输出拉电流或者灌电流的建议

配置为输出的处理器 IO 拉出的直流电流输出需要保持小于定义的最大 I_{OH} 和 I_{OL} 值，以实现电气特性表中定义的 V_{OL} 最大值和 V_{OH} 最小值。处理器特定数据表中定义的输出电流不应当用作稳态电流的限制。仅当对信号电容进行充电或放电以将信号从低电平转换为高电平或从高电平转换为低电平时，才应达到数据表输出电流限值。一旦信号达到有效逻辑状态，稳态电流预计会远低于数据表中的电流限制值。输出可以承受过驱典型拉电阻器所需的一定水平的稳态电流，但我们预计稳态电流不会像连续驱动 LED 或类似负载所需的那样大。建议使用由处理器 IO 控制的外部 FET 或晶体管开关，驱动 LED 或可能消耗连续电流的类似负载。

5.4.10 将慢速斜坡信号 (输入) 或电容器负载 (输出) 连接至处理器 IO

LVCMOS (SDIO) 输入具有指定压摆率要求 (作为电气规格的一部分)。不建议将慢速斜升输入 (信号) 直接连接到 LVCMOS (SDIO) 输入。如果所施加的输入 (信号) 在 V_{IHSS} 和 V_{ILSS} 之间的电压区域花费更多时间，那么输入缓冲器可能存在长期可靠性问题 (关注点)。允许的转换时间 (建议) 小于 $<1000ns$ 。压摆率与频率存在相关性。当信号切换速率不高 (与频率无关的限制) 时，建议使用 $1000ns$ 的最大压摆率。当 IO 在 $1.8V$ 电压下工作时 (示例)，如果信号切换速率 $< 100kHz$ ， $1.8E+6V/s$ 的非频率相关限值将成为较大的值。当信号切换速率 $>100kHz$ 时， $18fV/s$ ($f =$ 输入信号的切换频率，以 Hz 为单位) 的频率相关限值会变为较大的值。当施加慢速斜升输入时 (如果输入为中点电压)，击穿电流将从 VDD 通过部分导通的 P 沟道晶体管和部分导通的 N 沟道晶体管流向 VSS。慢速斜升输入的累积暴露会导致 IO 性能、电路板性能或处理器可靠性问题。

不建议将大电容器直接连接至 LVCMOS (SDIO) 输出端。LVCMOS (SDIO) 输出缓冲器不适用于驱动大型容性负载。当 LVCMOS (SDIO) 型 IO 配置为输出，并在输出端连接电容器时，建议遵循处理器特定的数据表建议，以获得允许的电容器值，或添加串联电阻器以限制 IO 电流消耗。建议执行仿真，以便最终确定电容器值。

5.4.11 定制电路板设计期间与处理器和处理器外设设计相关的疑问

在定制电路板设计过程中，会出现与处理器和处理器外设相关的问题 (疑问)。建议发起 E2E 查询，询问有关处理器和处理器外设的问题，以便器件专家提供支持。建议在 E2E 查询中输入与设计、外设或特定主题等特定章节相关的查询内容，以尽量缩短问题分配和响应延迟。

5.4.12 开始定制电路板设计之前的一般设计建议 (须知) 清单

通用

检查并验证定制原理图设计的以下内容：

1. 已查看上述用户指南的“所有部分的通用检查清单”部分。
2. 所选 SK 设计的最新版本被引用。
3. 请参阅 TI.com 上的相关配套资料，更大限度地减少设计误差设计工作量。
4. 定制电路板原理图上使用的处理器原理图符号遵循处理器特定数据表 *引脚属性* 部分中针对特定外设的焊球名称、引脚编号和 IOSET 分组建议。
5. 考虑了所需的 IO 功能和 PADCONFIG 配置。
6. 缓冲处理器 IO (输出，根据用例) 以驱动更高的负载。
7. 考虑了处理器 IO 的失效防护运行输出电容器和负载要求。
8. 建议经常查看 TI.com 网页产品页面，了解 (感兴趣文档的) 最新文档版本。
9. 建议使用 E2E (寻求解释，而不是做出假设)。

5.4.13 连接的器件建议

TI 不会针对定制电路板设计而推荐附加器件。

建议参考处理器特定数据表的 *DDR 电气特性* 部分选择 LPDDR4 存储器。

MMCSD 主机控制器以及与 MMC0 相关联的 PHY 设计符合相关标准，详情见处理器特定数据表 (以及 TRM)。选择 eMMC 时，建议参考处理器特定数据表 *MMC0 - eMMC/SD/SDIO 接口* 部分。

定制电路板设计器件，有关 EVM 和 SK 所用关键器件 (元件) 的信息，请参阅以下常见问题解答：

[常见问题解答] [AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L/AM64x/AM243x 设计建议/定制电路板硬件设计 — 入门套件/EVM 型号 \(版本\) 和关键器件 \(元件\) 列表](#)

6 针对电源、时钟、复位、引导和调试的特定于处理器建议

备注

在定制电路板设计周期中，建议遵循 [使用 AM625、AM623、AM620-Q1、AM625-Q1 和 AM625SIP 处理器系列的定制电路板设计硬件设计注意事项](#) 用户指南以及 [原理图设计指南](#) 和 [原理图审阅检查清单](#) 用户指南。

6.1 通用 (处理器启动) 连接

6.1.1 电源

在选择或设计处理器电源架构时，建议考虑以下列出的指南：

- 每个电源轨的电流 (电源) 要求因使用的接口和工作环境而异。
- 处理器电源轨的电流消耗可以通过 [功耗估算工具 \(PET\)](#) 针对特定用例进行估算。
- 如果电源轨为其他板载连接 (外围) 器件供电，请包括所连器件的最大电流消耗，以确定电源轨的尺寸。
- 有关处理器电源轨的电源尺寸和最大额定电流的信息，请参阅 [AM62x 最大电流额定值](#)。建议经常查看相关处理器产品页面，了解更新文档的可用性。
- 建议验证所选电源架构 (包括 PMIC、分立式直流/直流和分立式 LDO) 的输出电流额定值是否符合所选处理器和所连器件的最大电流额定值。建议针对设计或制造差异添加额外的裕度。
- 建议验证电源序列 (加电和断电) 和电源压摆率是否符合处理器特定的数据表。有关建议的电源时序要求，请参阅处理器特定数据表的 [电源时序](#) 一节。

有关处理器 [建议运行条件 \(ROC\)](#) 的更多信息，请参阅以下常见问题解答：

[常见问题解答] [AM625/AM623/AM620-Q1/AM62Ax/AM62D-Q1/AM62Px/AM62L/AM64x/AM243x 设计建议/定制电路板硬件设计 — SOC ROC 建议运行条件](#)

以下是选择或设计处理器电源架构时需要考虑的一些准则：

1. 电源轨配置为所需的工作电压电平，电源输出在处理器 ROC 内。
2. 电源架构遵循处理器特定数据表规定的加电与断电序列。
3. 电源架构符合处理器特定数据表规定的电源轨的转换率要求。
4. 在释放 MCU_PORz 输入 (置为无效) 之前，所有电源都斜升并保持稳定。
5. 处理器电源斜升和 MCU_PORz 输入高电平之间的延迟遵循处理器特定的数据表建议 (至少 9.5ms)。
6. 建议确保仅在冷复位期间电源电压降至 300mV 以下 (无残余电压) 之时启用电源。
7. 在允许任何电源轨在下电上电后斜升之前，所有电源轨都会衰减至 300mV 以下 (没有与要求相关的时间或衰减电压容差)。
8. MCU_PORz 输入转换率应尽可能小，以避免内部复位电路干扰 (建议通过分立式推挽输出型缓冲器以最小压摆率连接 MCU_PORz 输入)。

关于残余电压和检测的信息，请参阅以下常见问题解答：

[常见问题解答] [AM625/AM623/AM620-Q1/AM62L/AM62A/AM62P/AM62D-Q1/AM64x/AM243x 设计建议/定制电路板硬件设计 — 与残余电压、检测及电源衰减相关的问题](#)

备注

请阅读处理器特定数据表的 [引脚连接要求](#) 部分中的注释，了解如何连接名为 RSVD 的电源轨和处理器信号。

6.1.1.1 内核及外设电源

为确保正常运行，建议将所有电源引脚（焊球）连接到处理器特定数据表 *建议运行条件* 部分中建议的电源电压。处理器特定数据表的 *引脚连接要求* 部分列出了具有特定连接要求的电源引脚。

备注

不支持单独为 MCU 域与 MAIN 域供电。处理器系列不支持（实现）单独的 MCU 与 MAIN 电源域。所有电源引脚（电源轨）都需要通电，并且建议遵循处理器特定数据表中定义的电源序列。MCU 域与 MAIN 域的概念适用于内部功能与处理器域。

备注

对于 VDD_CANUART 电源连接，请参阅用户指南的 *部分 IO（低功耗）模式配置的电源连接* 部分。

建议使用同一电源为处理器内核电源 VDD_CORE 和外设内核电源 VDDA_CORE_CSIRX0、VDDA_CORE_USB 和 VDDA_DDR_PLL0（仅适用于 AMC 封装）供电，这些电源可配置成在 0.75V 或 0.85V 电压下工作（*建议运行条件* (ROC) 中定义的指定标称工作电压）。当处理器内核和外设内核电源在 0.75V 电压下工作时，建议在 0.85V 电源之前斜升 0.75V 电源。

VDDR_CORE 的额定工作电压为 0.85V。当 VDD_CORE 在 0.85V 下运行时，建议将 VDD_CORE 和 VDDR_CORE 一起斜升（由同一电源供电）。

建议始终连接 VDDS_OSC0 和 VDDA_MCU 电源。

该处理器系列支持多个模拟电源引脚，这些引脚可为 VDDA_MCU、VDDA_PLLx [x = 0..2]、VDDA_1P8_CSIRX0、VDDA_1P8_OLDI0 和 VDDA_1P8_USB 等敏感模拟电路供电。建议使用滤波（铁氧体）电源。

建议将 VDDA_3P3_USB 连接到 3.3V 模拟电源，以支持 USB2.0 接口。

更多信息，请参阅处理器特定数据表的 *建议运行条件* 部分和 *电源时序* 部分。

6.1.1.1.1 电源斜升（压摆率）要求和动态电压调节

对于所有处理器电源，建议允许受控的电源斜升（遵循电源压摆要求）。有关更多信息，请参阅处理器特定数据表的 *电源转换率要求* 部分。

处理器（系列）不支持处理器内核、外设内核和外设模拟电源动态电压调节（更改）。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L/AM64x/AM243x 设计建议/定制电路板硬件设计 — SOC 内核\(VDD_CORE\)、外设内核和模拟电源的动态电压调节](#)

6.1.1.1.2 其他信息

有关处理器电源时序要求的信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP：定制电路板硬件设计 — 上电和下电的处理器电源时序要求](#)

有关使用铁氧体进行处理器电源轨滤波的信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP 定制电路板硬件设计 — 针对 SoC 电源轨的铁氧体（电源滤波器）建议](#)

6.1.1.1.3 处理器内核和外设内核电源检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已查看上述用户指南的“所有部分的通用检查清单”部分。
2. 连接处理器内核 VDD_CORE 及外设内核 VDDA_CORE_CSIRX0、VDDA_CORE_USB 和 VDDA_DDR_PLL0 电源轨。
3. 处理器内核及外设内核电源轨的 ROC、压摆率和电压序列要求。
4. 当 VDD_CORE 电源为 0.75V 或 0.85V 时，连接 VDD_CORE 和 VDDR_CORE。
5. 外设内核电源滤波器。
6. 未使用特定外设时的内核电源连接。
7. 当不使用外设但需要边界扫描功能时，连接外设内核电源 VDDA_CORE_CSIRX0 (CSIRX0)。

原理图审阅

定制原理图设计请遵循以下列表：

1. 建议将电源轨的大容量和去耦电容器的实现与 SK 原理图实现进行比较，或参考 PDN 应用说明。
2. 连接至处理器内核电源的电源轨工作电压遵循 ROC。
3. 建议将 0.75V 或 0.85V 电源电压施加至处理器内核 VDD_CORE 和外设内核 VDDA_CORE_CSIRX0、VDDA_CORE_USB 和 VDDA_DDR_PLL0 (仅 AMC 封装上支持) 电源轨工作电压。
4. 连接至相关电源引脚的处理器内核和外设内核电源轨遵循建议的电压序列。请参阅处理器特定数据表的上电时序 - 电源/信号分配部分，了解使用部分 IO 低功耗模式和未使用部分 IO 低功耗模式时内核电源的时序。
5. 电源轨的压摆率遵循数据表要求。
6. 在上电或断电期间，施加到 VDDR_CORE 的电势不得超过施加到 VDD_CORE 的电势 +0.18V。当 VDD_CORE 工作电压为 0.75V 时，该时序要求 VDD_CORE 在 VDDR_CORE 之前斜升并在 VDDR_CORE 之后斜降。
7. 建议在 VDD_CORE 以 0.85V 电压运行时，使用同一电源为 VDD_CORE 和 VDDR_CORE 供电。
8. 根据 SK 原理图实现，为外设内核电源 (CSI、USB、CANUART) 提供了铁氧体滤波器。
9. 根据引脚连接要求，当未使用特定外设时的内核电源连接。
10. 当不使用外设但需要边界扫描功能时，连接内核电源 (CSIRX0 的 VDDA_CORE_CSIRX0)，并遵循数据表引脚连接要求。铁氧体及大容量电容器对于外设内核电源是可选的。

其他

1. VDDA_DDR_PLL0 电源轨仅 AMC 封装支持。该电源轨在内部连接到 ALW 封装中的 VDD_CORE。
2. 建议添加一个 0Ω 电阻器或跳线，以便在内核电源的 PMIC 直流/直流或 LDO 输出端进行隔离或电流测量。建议添加 TP 来进行测量。建议依照开尔文电流检测连接来连接 TP。根据电源轨电流和电阻器载流能力选择电阻器封装。
3. 不支持 (不建议或不允许) 内核电源动态电压调节 (DVS)。
4. 器件从复位状态释放后，不允许更改内核电压。如果内核电源关闭，则建议根据断电序列斜降所有电源轨，并等待所有电源轨衰减至 300mV 以下，然后接通电源。
5. 当 USB 驱动程序未初始化且 USB 校准过程未发生时，连接电源并保留所有 USB 引脚对于 USB0 和/或 USB1 是可以接受的。当两个 USB 接口都未使用时，根据引脚连接要求将 USB 电源接地可减少功耗 (如果低功耗是一项关键要求)。

6.1.1.1.4 外设模拟电源检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已查看上述用户指南的“所有部分的通用检查清单”部分。
2. 建议的电源电压连接到外设模拟电源轨 VDDS_OSC0、VDDA_MCU、VDDA_PLL0、VDDA_PLL1、VDDA_PLL2、VDDA_1P8_CSIRX0、VDDA_1P8_OLDI0、VDDA_1P8_USB、VDDA_TEMP0、VDDA_TEMP1。
3. 连接 3.3V USB 模拟电源 VDDA_3P3_USB。
4. 外设模拟电源轨的 ROC、压摆率和电压序列要求。

5. 外设模拟电源滤波器。
6. 不使用特定外设时连接外设模拟电源。
7. 当不使用特定外设但需要边界扫描功能时，连接外设模拟电源（用于 CSIRX0）。

原理图审阅

定制原理图设计请遵循以下列表：

1. 建议将电源轨的大容量电容器及去耦电容器的实现与 SK 原理图的实现进行比较。
2. 连接至外设电源的电源轨工作电压遵循 ROC。
3. 建议的电源电压 1.8V 连接至外设模拟电源轨 VDD5_OSC0、VDDA_MCU、VDDA_PLL0、VDDA_PLL1、VDDA_PLL2、VDDA_1P8_CSIRX0、VDDA_1P8_OLDI0、VDDA_1P8_USB、VDDA_TEMP0、VDDA_TEMP1。
4. 建议将电源轨 VDDA_3P3_USB 连接至 3.3V 模拟电源，以支持 USB2.0 接口。
5. 连接到相关电源引脚的处理器模拟电源轨遵照建议的电压序列。有关模拟电源时序控制，请参阅处理器特定数据表的上电时序 - 电源/信号分配部分。
6. 模拟电源轨的压摆率遵循数据表要求。
7. 根据 SK 原理图实现，为外设模拟电源（CSI、PLL、USB (1.8V)、MCU_OSC0）提供了滤波器（铁氧体）。
8. 根据引脚连接要求，当未使用特定外设时的外设模拟电源连接。
9. 根据引脚连接要求，当未使用特定外设但需要边界扫描功能时，连接外设模拟电源（VDDA_1P8_CSIRX0 和 CSIRX0）。铁氧体和大容量电容器是可选项。

其他

1. 建议添加一个 0 Ω 电阻器或跳线，以便在模拟电源的 PMIC 直流/直流或 LDO 输出端进行隔离或电流测量。建议添加 TP 来进行测量。建议依照开尔文电流检测连接来连接 TP。根据电源轨电流和电阻器载流能力选择电阻器封装。
2. 不支持（不建议或不允许）模拟电源动态电压调节（DVS）。
3. 当 USB 驱动程序未初始化且 USB 校准过程未发生时，连接电源并保留所有 USB 引脚对于 USB0 和/或 USB1 是可以接受的。当两个 USB 接口都未使用时，根据引脚连接要求将 USB 电源接地可以节省电力。

6.1.1.2 IO 组的 IO 电源

以下常见问题解答包括关于 CAP_VDDSn 电容器值的建议，以及电容器组件（安装或短路）的影响：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM62Ax/AM62D-Q1/AM62Px/AM64x/AM243x 设计建议/定制电路板硬件设计 - 与 CAP_VDDSn CAP_VDDSn 相关的问题](#)

备注

对于 VDDSHV_CANUART 电源连接，请参阅用户指南的 *部分 IO (低功耗) 模式配置的电源连接部分*。

该处理器系列支持 IO 组的 x9（九个）双电压 IO 电源（VDDSHVx [x = 0-6]）、IO 组 CANUART 的 IO 电源（VDDSHV_CANUART）和 IO 组 MCU 的 IO 电源（VDDSHV_MCU）。每个 IO 组的 IO 电源均连接（对应）至一组固定的 IO。IO 组的每组 IO 电源均可独立连接至固定的（VDDSHV4、VDDSHV5、VDDSHV6 支持动态电源切换）3.3V 或 1.8V 电源。IO 组的 IO 电源定义了整组（一组固定）IO 的通用工作电压。

指定为 CAP_VDDSn [n = 0-6]、CAP_VDDSn_CANUART 和 CAP_VDDSn_MCU 的处理器焊盘（引脚）在 IO 组的 IO 电源连接到 3.3V 电源时，将外部电容器连接到内部 IO 组的 IO 电源稳压器（当 IO 组电源的 IO 电源连接到 1.8V 时为可选）。建议在引脚和 VSS 之间连接一个 1 μF 的电容器（详见处理器特定的数据表）。有关建议的电容器额定电压和允许的电容范围，请参阅处理器特定数据表。当 IO 组的 IO 电源连接到 3.3V 时，稳态直流输出 VDDSHVx/2 是在考虑直流偏置效应的情况下选择电容器额定电压时需要考虑的电压。

为了最小化 PCB 环路电感，请将电容器放置在 BGA 阵列 PCB 背面。电容器额定电压的选择会影响电容器封装（尺寸）的选择。

建议选择 $ESR < 1 \Omega$ 的电容器，将布线环路电感保持在 $< 2.5nH$ 。

6.1.1.2.1 其他信息

许多处理器的 IO 并不具备故障防护功能。有关可用失效防护 IO 的信息，请参阅处理器特定数据表。建议将附加器件的 IO 电源连接至接入 IO 组相应处理器双电压 IO 电源 (VDDSHVx) 的同一电源，以确保定制电路板设计不会向未供电的任何处理器 IO 施加电位。若在 IO 组 IO 电源不可用时向没有失效防护功能的 IO 施加外部输入，可能会影响处理器功能、性能和可靠性。

有关处理器和连接器件之间的电源时序的更多要求，包括用于失效防护操作的信号隔离的信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP：定制电路板硬件设计 - SOC \(处理器 \) 和附加器件 \(失效防护 \) 之间的电源时序](#)

备注

建议是确保在将输入施加到相关处理器 IO 或外设之前，VDDSHVx 存在有效的电源电压。

建议是无论处理器 IO 或外设如何使用，都连接 VDDSHVx 电源和相关的 CAP_VDDSn (连接的 IO 电源为 3.3V 时，可选 1.8V) 电容器。

6.1.1.2.2 IO 组的 IO 电源检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已查看上述用户指南的“所有部分的通用检查清单”部分。
2. IO 组的 IO 电源的连接。
3. IO 组的处理器 IO 电源的 ROC、电压序列及压摆率要求。
4. 对 IO 组引脚建议的外部电容器的连接。CAP_VDDSn 电容器额定电压的选择。

原理图审阅

定制原理图设计请遵循以下列表：

1. 建议将电源轨的大容量电容器及去耦电容器的实现与 SK 原理图的实现进行比较。
2. 根据 ROC，有效的固定 1.8V/3.3V 电源连接到 IO 组的所有 IO 电源 (VDDSHV_CANUART、VDDSHV_MCU、VDDSHV0、VDDSHV1、VDDSHV2、VDDSHV3)。
3. 有效电源 1.8V/3.3V (可动态更改) 根据 ROC 连接至 VDDSHV4、VDDSHV5、VDDSHV6。
4. IO 组 VDDSHVx 的所有 IO 电源都连接了有效的电源，而不管是否使用了以 IO 组的 IO 电源为基准的 IO。
5. 连接到 IO 组 IO 电源 VDDSHVx 的电源轨遵循 ROC。
6. IO 组的处理器 IO 电源遵循的压摆率要求。请参阅处理器特定数据表。
7. 将建议电容器连接到 CAP_VDDSn 引脚和 VSS。每个 CAP_VDDSn 引脚都需要一个相对于 VSS (接地) 连接的单独 $1 \mu F$ 电容器 (对于内部 LDO，在 CAP_VDDSn 引脚和 VSS 之间)。
8. CAP_VDDSn 电容器封装 (建议使用尽可能小的 (0201 或最接近 0201 的封装)，以最大限度地减小环路电感)。
9. 电容值在 $0.8 \mu F$ 至 $1.5 \mu F$ 范围内所选 CAP_VDDSn 电容器的额定电压 (包括：老化、温度以及直流偏置效应)。使用 10V 或更高电压。
10. 选择 $< 1 \Omega$ ESR 的 CAP_VDDSn 电容器，将布线环路电感保持在 $2.5nH$ 以下。
11. IO 电源电压顺序遵循处理器特定数据表中的加电和断电顺序。

其他

1. 建议添加一个 0Ω 电阻器或跳线，以便在 IO 电源轨的 PMIC 直流/直流或 LDO 输出端进行隔离或电流测量。建议添加 TP 来进行测量。建议依照开尔文电流检测连接来连接 TP。根据电源轨电流和电阻器载流能力选择电阻器封装。

- 当 VDDSHVx IO 电源轨以 3.3V 电源为基准 (供电) 时, 所有以 VDDSHVx 为基准 (供电) 的 IO 必须在 3.3V IO 电平下运行。如果 VDDSHVx 电源轨由 1.8V 电源供电, 则所有以 VDDSHVx 为基准 (供电) 的 IO 必须在 1.8V IO 电平下运行。
- 一些接口涵盖多个 VDDSHVx, 例如 MMC2 和 GPMC0。使用任何接口时, 支持特定接口 (外设) 的所有 VDDSHVx 域都需要由同一电源供电。
- 许多处理器的 IO 并不具备故障防护功能。不建议也不允许在相应的 VDDSHVx 电源关闭时向 IO 施加输入电压。
- 建议验证每个 VDDSHVx (或 VDDSHV_MCU) 电源上的所有 IO 引脚连接单个电压电平。
- 不建议将 VDDSHVx 电源轨保持未连接状态。建议根据用例将 IO 组引脚的 IO 电源连接至 1.8V 或 3.3V。

6.1.1.3 VPP 电源 (电子保险丝 ROM 编程)

建议使用用来对处理器电子保险丝进行编程的 VPP (电子保险丝 ROM 编程) 电源, 其由单独的 LDO 为电源 (供电), 该 LDO 可支持所需的 (请参阅处理器特定数据表) 负载电流、负载电流瞬态和有源 (快速) 输出放电。建议仅可在电子保险丝编程期间启用 LDO。在电子保险丝编程期间, VPP 工作电压必须在 ROC 范围内。建议采用通过更高输入电压 (2.5V 或 3.3V) 供电的 LDO, 通过串联导通晶体管补偿压降, 并且在高负载电流瞬态期间保持正确的工作电压。建议在处理器 VPP 引脚附近使用本地大容量电容器来支持 LDO 瞬态响应。

由于高负载电流瞬变和 VPP 电源轨在处理器电源 ROC 内的要求, 从变化在 ROC 之外 ($\pm 5\%$) 的电源轨为 VPP 电源轨道供电, 或者使用负载开关或基于 FET 的开关可能是一个问题。负载开关或基于 FET 的开关拓扑未考虑通过负载开关的压降。如果定制电路板设计人员使用变化较小的电源 (与 ROC 相比), 则可以选择负载开关, 以便确保电源变化加上通过负载开关的压降不会超过 VPP 的建议工作范围。作为另一种方法, 可使用外部电源对电子保险丝进行编程。电源要求与板载 LDO 类似, 建议使用其中一个处理器 IO 对外部电源 EN (使能) 计时。使用外部 VPP 电源时, 建议在处理器板上靠近 VPP 电源引脚的位置配置大容量电容器和去耦电容器。

有关更多信息, 请参阅以下常见问题解答:

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP : 定制电路板硬件设计 — 有关 VPP eFuse 编程电源选择和应用的问](#)

6.1.1.3.1 VPP 检查清单电源

通用

检查并验证定制原理图设计的以下内容:

- 已查看上述用户指南的“所有部分的通用检查清单”部分。
- VPP 电源及电源隔离的实现方法。
- OTP 电子保险丝编程的推荐操作条件。
- 控制 VPP 电源 (LDO EN)。
- 建议的大容量和滤波电容器。
- 外部电源的连接建议。
- 外部 VPP 电源的时序控制。
- VPP 电源序列。
- 不建议、不允许也不支持将 VPP 电源连接至 1.8V 连续电源轨。

原理图审阅

定制原理图设计请遵循以下列表:

- 提供推荐的大容量和滤波电容器 (遵循 SK 原理图实施)。
- 连接到 VPP 电源的处理器电源轨 (用于电子保险丝编程) 遵循处理器 ROC。
- 实现板载电源或连接外部电源与处理器板上添加的大容量和去耦电容器的配置。
- 建议使用固定输出 LDO 或 PMIC 输出 (400mA 的最大电流) (不建议也不允许使用基于 FET 的开关或负载开关)。

5. 选择标称电压为 1.8V、支持最小 400mA 电流、具有良好负载电流瞬态响应和快速输出放电（主动放电）能力的板载 LDO。遵循 SK 原理图中所使用的 LDO 规格。
6. 使用可调 LDO 时，建议验证输出电压配置、输出电压精度、输出电压压摆率和输出过压保护（齐纳二极管）的使用。
7. 处理器 IO 用于控制 LDO 的 EN，并提供建议的拉电阻。
8. 建议验证 EN 拉电阻是否在电源循环期间和之后将 LDO 保持在关闭状态。
9. 连接外部电源后，建议在处理器板上靠近处理器 VPP 引脚处添加大容量电容器和去耦电容器配置，并提供一个 TP 以连接外部电源。
10. 外部 VPP 电源（如果使用）遵循处理器特定数据表中建议的电源序列和压摆率要求。

其他

1. 建议始终在处理器板上提供配置来连接 VPP 电源（板载或外部电源）。
2. 建议使用低回路电感路径将 LDO 输出连接到处理器 VPP 引脚，以产生高负载电流瞬变，其中 VPP 引脚上的电源永远不会降至最低工作电压以下。
3. 该器件配有一个用于将处理器 VPP 电源与 LDO 输出隔开，以便测试时序或 LDO 输出的串联电阻器或跳线。电阻器封装的额定电流应大于 400mA。
4. 使用可调输出 LDO 时，考虑在 LDO 输出端添加一个基于外部齐纳二极管的过压保护，并提供隔离 LDO 输出连接的 VPP 电源引脚以测试 LDO 输出的配置。
5. 由于电子保险丝编程期间的负载电流瞬态要求，不建议使用负载开关或基于 FET 的开关。负载开关或基于 FET 的开关可能会有更高的电压降，但不会得到补偿。
6. 如果用例需要使用负载开关或 FET 型开关，建议在编程期间测量处理器 VPP 引脚上的电压来表征电路板性能，并验证 VPP 电源是否不会低于 ROC 最小值。VPP 电源路径中的多个变量可能会导致电源超出 ROC，这些变量在实施前需要进行特性分析。检查负载开关或基于 FET 的开关是否违反了处理器特定数据表中定义的最大 VPP 电源压摆率要求。
7. 建议在上电序列、断电序列和器件正常运行期间，使处理器 VPP 电源引脚悬空 (HiZ) 或接地。

6.1.1.4 部分 IO（低功耗）模式配置的电源连接

6.1.1.4.1 部分 IO 模式功能

当处理器上电时（首次进行冷复位），与部分 IO 功能相关的处理器电路部分被禁用。禁用部分 IO 电路后，MCU_PORz 输入信号会传播到实现部分 IO 功能的电路。在软件启用部分 IO 功能（电路）并将处理器配置为监测唤醒输入后，MCU_PORz 输入信号会在实现部分 IO 功能的电路中被阻止。这样是必要的，因为当信号开始与其他处理器电源轨相关的断电序列时，PMIC 会将 MCU_PORz 输入信号置为有效。

6.1.1.4.2 使用时的部分 IO 低功耗模式

建议将 VDD_CANUART 和 VDDSHV_CANUART 连接到常开型电源，以支持部分 IO 低功耗模式。

VDD_CANUART 可在 0.75V 或 0.85V 电压下工作，正常运行期间与 VDD_CORE 没有电压相关性。只有在加电和断电排序期间才存在电压相关性。

有关部分 IO 低功耗模式实现，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP/AM62A/AM62D-Q1/AM62P 定制电路板硬件设计 - 部分 IO LPM 支持](#)

6.1.1.4.3 不使用时的部分 IO 低功耗模式

建议将 VDD_CANUART 连接到与 VDD_CORE 相同的电源，并将 VDDSHV_CANUART 连接到任何有效的 IO 电源。

6.1.1.4.4 电源序列的处理器特定数据表参考

建议参阅处理器特定数据表的上电时序、断电时序和部分 IO 电源时序部分中与部分 IO 低功耗模式相关的注释。

6.1.1.4.5 部分 IO (低功耗) 模式检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已查看上述用户指南的“所有部分的通用检查清单”部分。
2. 连接 VDD_CANUART 与 VDDSHV_CANUART 电源以实现部分 IO 低功耗模式功能。
3. 如果未实现部分 IO 低功耗模式功能，则连接 VDD_CANUART 和 VDDSHV_CANUART。
4. 相对于 VDD_CORE 的 VDD_CANUART 工作电压要求。
5. VDDSHV_CANUART 与 VDD_CANUART 的 ROC、压摆率和电压序列要求。

原理图审阅

定制原理图设计请遵循以下列表：

1. 在实现部分 IO 低功耗模式功能时，在其他处理器电源可用之前，VDDSHV_CANUART 和 VDD_CANUART 电源可用。
2. 当实现部分 IO 低功耗模式时，建议将 VDD_CANUART 和 VDDSHV_CANUART 连接到常开型电源。
3. 连接至 VDDSHV_CANUART 和 VDD_CANUART 的电压轨 (电平) 遵循处理器特定数据表中的 ROC 和压摆率要求。
4. 当 VDD_CANUART 连接到常开型电源时，建议向 VDD_CORE 施加的电位切勿大于在上电或断电期间施加到 VDD_CANUART + 0.18V 的电位。
5. 部分 IO 低功耗模式要求 VDD_CANUART 在 VDD_CORE 之前斜升并在 VDD_CORE 之后斜降。
6. VDD_CANUART 及 VDD_CORE 工作电压没有任何相关性 (可在不同的内核电压下运行)。
7. 建议将 VDDSHV_CANUART 连接到有效的 1.8V 或 3.3V IO 电源，以防未实现部分 IO 低功耗模式。
8. 不使用部分 IO 低功耗模式功能时，VDDSHV_CANUART 和 VDD_CANUART 遵循建议的电源序列。
9. 建议在未实现部分 IO 低功耗模式时，将 VDD_CANUART 连接到与 VDD_CORE、VDDA_CORE_CSIRX0、VDDA_CORE_USB 和 VDDA_DDR_PLL0 相同的电源。

其他

1. 建议验证处理器输入与从所连器件 (唤醒源) 连接的输入之间的 IO 电平兼容性。
2. **部分 IO 模式功能：**当处理器上电时 (首次进行冷复位)，与部分 IO 功能相关的处理器电路部分被禁用。禁用部分 IO 电路后，MCU_PORz 输入信号会传播到实现部分 IO 功能的电路。在软件启用部分 IO 功能 (电路) 并将处理器配置为监测唤醒输入后，MCU_PORz 输入信号会在实现部分 IO 功能的电路中被阻止。这样是必要的，因为当信号开始与其他处理器电源轨相关的断电序列时，PMIC 会将 MCU_PORz 输入信号置为有效。

6.1.1.5 其他信息

对于初始电路板构建，建议放置与内核电源及其他电源导轨一致的 $0\ \Omega$ 电阻 (分流器) 或跳线。在电路板的启动和调试过程中，可以使用 $0\ \Omega$ 的电阻 (分流电阻) 或跳线来隔离电源或进行电流测量。建议添加 TP 来进行测量。建议遵循开尔文电流检测连接，将 TP 连接到电阻器或跳线。

通过开尔文检测连接，将分流电阻器连接到 INA (仪表放大器)，用于测量 SK 中的电源轨电流。

建议是需验证在定制电路板上添加 $0\ \Omega$ 电阻 (分流器) 装置对电路板性能的影响 (在使用毫欧 ($m\ \Omega$) 作为分流器 (电阻) 值进行测量的情况下，分析压降情况)。

6.1.2 电源轨的电容器

6.1.2.1 AM625、AM623、AM620-Q1、AM625-Q1、AM625SIP 处理器系列

建议是确保已为包括 IO 组电源轨的双电压 IO 电源在内的所有电源轨提供了所需数量的去耦电容器和大容量电容器 (包括值)。

建议将去耦电容放置在靠近处理器电源引脚的位置。较大的大容量电容器可以放置在更远的位置。

建议使用低介电常数电容，并且建议将电容通过尽可能短的线路进行连接，以使回路电感保持最小值。更多信息，请参阅 [Sitara 处理器配电网络：实现与分析](#) 应用手册。

作为起点，建议按照 SK 方案中的实施方式来配置电容，包括大容量电容和隔离电容。建议执行仿真 (PDN 分析) 来优化电容器的使用。要实现滤波 (铁氧体) 电源，请遵循处理器特定 SK。此外，请遵照 [Sitara 处理器配电网络：实现与分析](#) 应用手册。

建议使用馈通 (3 端子) 电容器 (在 SK-AM62-LP 入门套件上使用) 来优化所用电容器的数量。使用 3 端子电容器可很大限度地减少环路电感，并有助于优化处理器性能 (主要是 DDR 性能)。

6.1.2.2 其他信息

当不使用处理器外设 (CSI-2 (摄像头串行接口 2 (CSIRX0)、DDR 子系统 (DDRSS0) 和 USB2.0 (USB0 和 USB1)) 时，与这些外设相关的电源 (外设内核、模拟) 有特定的连接要求。有关更多信息，请参阅处理器特定数据表的 [引脚连接要求](#) 一节。可以选配电源滤波器 (铁氧体) 和电容器 (大容量)。

6.1.2.3 电源轨电容器检查清单

通用

检查节 [1.1.4.1](#) 并验证定制原理图设计的以下内容：

1. 查看用户指南
2. 使用大容量电容器和高频电容器。
3. 所用电容器的数量、封装和值。
4. 所用电容器的额定电压。

原理图审阅

定制原理图设计请遵循以下列表：

1. 所有处理器电源轨都使用大容量和高频去耦电容器。需要引起注意的关键电源域是低电压、高电流域 (VDD_CORE、VDDR_CORE)。
2. 作为起点，建议遵循经过验证的 SK 或 PDN 应用手册。当 SK 和 PDN 之间存在差异时，建议遵循 PDN。当 PDN 中没有可用的信息时，请遵循 SK 实现。
3. 建议使用通过短布线连接的低 ESL 电容器，从而尽可能减小 PCB 布线环路电感。
4. 建议验证每个电源轨引脚都有一个去耦电容器，每个电源轨组都有一个大容量电容器。
5. 所用电容器的额定电压 (常用准则是最坏情况下施加电压的两倍以上)。

其他

1. 如果 SK 和 PDN 应用手册之间在电容器编号建议和值方面存在差异，建议考虑 PDN 应用手册中的建议
2. 在优化电容器时，建议进行静态和动态 PDN 分析，以验证是否满足 R_{eff} 、Cap LL 和阻抗目标
3. 由于低电感封装，SK 在某些情况下使用 3 端电容器。确保 3 端电容器未作为直列式或滤波器元件实现
4. 建议显示电容器靠近相关引脚的连接，以便于放置和布线

6.1.3 处理器时钟 (输入/输出)

6.1.3.1 时钟输入

6.1.3.1.1 MCU_OSC0 (高频) 时钟 (内部振荡器) 或者 LVCMOS 数字时钟 (外部振荡器)

运行处理器需要 MCU_OSC0 25MHz (强制) 基准时钟。该时钟在内部用于生成处理器运行所需要的多个时钟。其他时钟输入取决于特定的终端设备或者实现的电路板功能。支持的时钟选项包括外部晶体 + 内部振荡器或外部 1.8V LVCMOS 方波数字时钟源。展频时钟 (时钟输入) 并非受支持的时钟选项。

如果连接到内部高频振荡器 (MCU_HFOSC0) 的 25MHz 外部晶体是内部处理器运行的时钟源，建议将用于实现振荡器电路的分立式负载电容器放置在靠近 MCU_OSC0_XI 和 MCU_OSC0_XO 引脚的位置。当实施基于晶体的振

荡器时，建议遵循处理器特定数据表的 **MCU_OSC0 晶体电路要求** 表来选择负载电容器。负载电容器的电容值包括 PCB 电容。有关晶体和负载电容器的放置和布线，建议参阅处理器特定数据表的 **时钟布线指南**、**振荡器布线** 部分。**时钟路由指南“振荡器路由”** 将添加到处理器特定数据表的下个修订版中。

1.8V LVCMOS 时钟源可以用作处理器时钟源。当外部振荡器的时钟输出连接到 XI 输入（通过串联电阻）时，建议根据处理器特定数据表中的建议将 XO 接地。（处理器特定数据表中 **图 1.8V LVCMOS- 兼容时钟输入**）中显示的逆变器旨在表示 LVCMOS 输出，其中 LVCMOS 输出可以是振荡器输出缓冲器，也可以是来自某些时钟分配器件的 LVCMOS 输出。不需要针对时钟源进行反相。下一版处理器特定数据表中添加了 **MCU_OSC0 LVCMOS 数字时钟源要求**。

有关 LVCMOS 时钟源（包括规格）的更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP/AM62A7/AM62A3/AM62A1-Q1/AM62D-Q1/AM62P/AM62P-Q1/AM62L 定制电路板硬件设计-有关 MCU_OSC0 \(WKUP_OSC\) 或 WKUP_LFOSC0 \(LFOSC0\) 的 LVCMOS 数字时钟源的疑问](#)

在 XI 和 XO 信号路径上都实现了内部交流耦合电容，这些路径连接到形成方波的内部比较器。XI 引脚上相对于 XO 引脚的直流稳态条件允许比较器在器件的内部时钟树上产生干扰，并导致时钟电路执行不可预测的操作。建议或不允许将直流输入连接到 XI。

有关时钟选择和时钟规格的信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP/AM62A7/AM62A3/AM62A1-Q1/AM62D-Q1/AM62P/AM62P-Q1/AM62L 定制电路板硬件设计 - 有关晶体选型和时钟规格的问题](#)

有关晶体 (MCU_OSC0) 启动时间的信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP 定制电路板硬件设计 — 有关晶体 \(MCU_OSC0\) 启动时间的问题](#)

备注

25MHz 是当前唯一所支持的晶体频率。有关支持的晶体频率和推荐的晶体参数的信息，请参阅处理器特定的数据表。

处理器特定数据表中包含 25MHz 晶体选型规格。当前数据表未定义 **MCU_OSC0 LVCMOS 数字时钟源要求**。这些要求可添加到下一版数据表中。目前请参阅 AM62Dx 或 AM62Px 数据表的 **MCU_OSC0 LVCMOS 数字时钟源** 部分。AM62x 的要求与之相同。

使用外部时钟 (LVCMOS) 振荡器作为处理器和 EPHY 的时钟源时，可以使用单个振荡器，也可以使用分离的（单独的）振荡器。如果使用单个振荡器，建议在连接到处理器和 EPHY 之前对时钟输出进行缓冲。

用于处理器和 EPHY 的单输出缓冲器（单 IC）或者用于处理器和 EPHY 的双输出或多输出缓冲器（单 IC），可用于将振荡器的时钟输出连接到处理器和 EPHY。

对于特定用例（使用时间敏感网络 (TSN) 的某些工业应用的要求），建议将单个输入和两个或更多输出（根据所使用的 EPHY 数量）缓冲器用于处理器和 EPHY。

6.1.3.1.2 WKUP_LFOSC0 (低频) 时钟 (内部振荡器) 或者 LVCMOS 数字时钟 (外部振荡器)

该处理器系列支持低频 (32.768kHz) WKUP_LFOSC0。根据用例，32.768kHz 外部晶体 + 内部振荡器可用作时钟源，也可以使用外部 1.8V LVCMOS 方波数字时钟源。

WKUP_LFOSC0 的用例有限，并且可以是可选的。如果未使用 WKUP_LFOSC0，建议将 WKUP_LFOSC0_XI 直接连接到 VSS，并使 WKUP_LFOSC0_XO 保持未连接状态。有关连接未使用的 WKUP_LFOSC0 的有关更多信息，请参阅处理器特定数据表的 **未使用 WKUP_LFOSC0** 一节。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP : LFOSC 在处理器中的使用](#)

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP/AM62A7/AM62A3/AM62A1-Q1/AM62D-Q1/AM62P/AM62P-Q1/AM62L 定制电路板硬件设计-有关 MCU_OSC0 \(WKUP_OSC\) 或 WKUP_LFOSC0 \(LFOSC0\) 的 LVCMOS 数字时钟源的疑问](#)

建议将用于实现外部基于晶体的振荡器的离散组件放置在靠近 WKUP_LFOSC0_XI and WKUP_LFOSC0_XO 引脚的位置。对于晶振，建议所选的负载电容处于处理器特定数据表的 WKUP_LFOSC0 晶振电气特性表中指定的范围内。不需要将 PCB 电容与负载电容相加。

处理器特定数据表中的 WKUP_LFOSC0 晶体实现图显示了建议的晶体电路。TI 建议预量产印刷电路板 (PCB) 设计包含两个可选电阻器 Rbias 和 Rd，因为在与量产晶体电路元件结合使用时，需要使用这些电阻器来确保振荡器正常运行。在许多用例中，DNI 或删除 Rbias、Rd 是 0Ω 电阻器。在使用安装在预量产 PCB 上的量产晶体电路元件评估振荡器性能后，可以从量产 PCB 设计中移除电阻器选项。

6.1.3.1.3 EXT_REFCLK1 (主域的外部时钟输入)

EXT_REFCLK1 输入通过布线连接至时钟多路复用器，作为计时器模块 (DMTIMER/WDT)、安全子系统中的 DMTIMER (SMS)、MCAN 和 CPTS (时间戳模块) 的可选时钟源。当终端设备/应用程序需要向定时器模块馈送特定时钟频率时，EXT_REFCLK1 是一个选项。一个示例应用是时间同步。当 EXT_REFCLK1 用作时钟源时，根据外部时钟的可用性，建议在处理器时钟输入引脚附近连接下拉电阻 (10kΩ)。

6.1.3.1.4 时钟输入检查清单 - MCU_OSC0

通用

检查并验证定制原理图设计的以下内容：

1. 已查看上述用户指南的“所有部分的通用检查清单”部分。
2. 配置处理器时钟输入源、晶体 + 内部振荡器或外部振荡器。
3. 选择晶体、晶体频率及晶体负载电容器。
4. MCU_OSC0 外部晶体负载电容器的选择。
5. 使用晶体 + 内部振荡器或外部振荡器时的连接建议。
6. 当外部振荡器输出连接到 XI 时，连接 XO。

原理图审阅

定制原理图设计请遵循以下列表：

1. 必须连接 25MHz MCU_OSC0 时钟。
2. 根据数据表要求选择外部晶体或者外部时钟振荡器。
3. 验证所选晶体、晶体频率和晶体负载电容器是否遵循处理器特定数据表中的建议。
4. 25MHz 是当前支持的时钟输入频率。有关支持的时钟输入频率，请参阅处理器特定数据表。
5. 根据处理器特定数据表，直接连接晶体 (不使用串联或并联电阻) 和连接晶体负载电容电路 (MCU_OSC0)。
6. 建议外部晶体负载电容器为晶体负载的 2 倍，包括 PCB 电容 (约 4pF)。
7. 建议选择晶体负载值，以便为负载电容器选择标准值电容器。
8. 建议将 HFOSC0 寄存器保留为默认状态。
9. 使用外部振荡器时，建议在振荡器电源引脚附近添加去耦电容器和大容量电容器，并在时钟输出引脚上添加串联电阻器。
10. 当外部振荡器 (LVCMOS 时钟) 输出与 XI 相连时，建议将 XO 连接到 VSS。
11. 在振荡器附近的时钟输出引脚上添加串联电阻器 (22Ω)。

其他

1. 有关时钟布线指南，请参阅处理器特定数据表的应用、实施和布局部分。
2. 建议将 25MHz (性能仅在 25MHz 频率下验证) 晶体直接连接至处理器 XI 和 XO 引脚，不建议串联或并联电阻。内部振荡器实现自动增益控制 (AGC) 以进行振幅控制。
3. 处理器特定数据表显示，MCU_OSC0 不会在内核电压斜坡之前启动，因为在某些情况下，振荡器可能不会启动，直到 VDD_CORE 斜坡。大多数使用情况下，振荡器在 VDDS_OSC0 电源斜坡时启动 (尽管振荡器并不

总是在 VDDS_OSC0 斜坡时启动)。处理器特定数据表中的振荡器启动图显示了最大启动时间，其中包括基于 VDD_CORE 有效的延迟情况。

4. MCU_OSC0_XI 上不允许出现直流稳态情况，因为 MCU_OSC0_XI 在内部交流耦合到可能进入未知状态的比较器。
5. 为 MCU_OSC0_XI 输入提供时钟源的 LVCMOS 时钟需要具有单调转换，并通过放置在时钟源附近的串联电阻器以点对点连接方式连接到 MCU_OSC0_XI。串联端接电阻值使时钟源输出阻抗与传输线路阻抗相匹配。例如，当时钟源具有 $30\ \Omega$ 输出阻抗且 PCB 信号布线具有 $50\ \Omega$ 特征阻抗时，使用 $20\ \Omega$ 。这样的电阻可以完全吸收从未端接传输线路的远端返回的反射，从而避免引入任何非单调事件。
6. 建议尽量缩短将外部时钟源同 MCU_OSC0_XI 相连的 PCB 布线长度。这样可以最大限度减小容性负载并降低外部噪声源耦合到时钟信号中的可能性。减小容性负载可优化时钟信号的上升/下降时间，从而降低（时钟源或定制电路板）出现抖动的可能性。
7. 建议与晶体供应商或制造商核实晶体选择。

6.1.3.1.5 时钟输入检查清单 - WKUP_LFOSC0

通用

检查并验证定制原理图设计的以下内容：

1. 已查看上述用户指南的“所有部分的通用检查清单”部分。
2. 选择 WKUP_LFOSC0 时钟源 - 外部晶振 + 内部振荡器或外部振荡器。
3. 选择 WKUP_LFOSC0 外部晶体频率。
4. 选择晶体负载电容器。
5. 将串联和并联的电阻连接到晶体基极振荡器电路。
6. 选择外部振荡器及电容器和串联电阻的连接。
7. 当外部振荡器输出连接到 XI 时，连接 XO。
8. 未使用 WKUP_LFOSC0 时连接 XI 和 XO。

原理图审阅

定制原理图设计请遵循以下内容：

1. 所支持的 WKUP_LFOSC0 时钟输入频率为 32.768kHz。
2. 时钟电路 (WKUP_LFOSC0) 的连接，符合处理器特定数据表的建议。
3. 选择晶体负载和负载电容值（请遵循处理器特定的数据表），负载电容为晶体负载的 2 倍（不包括 PCB 电容）。
4. 使用外部振荡器时，建议在振荡器电源引脚附近添加去耦电容器和大容量电容器，并在时钟输出引脚上添加串联电阻器。
5. 使用外部振荡器时（XO 接地）XO 的连接。
6. 未使用 WKUP_LFOSC0（XI 接地）时的 XI 输入连接。
7. 根据处理器特定数据表要求，为初始原型（预量产）和生产板（可移除）连接串联和并联电阻。

其他

1. 晶体负载电容与 LFOSC0 寄存器。定制电路板设计人员更改的唯一 LFOSC0 寄存器位是 BP_C、PD_C 和 CTRLMMR_WKUP_LFXOSC_TRIM[18:16]，其中 PD_C 复位 (0) 以启用振荡器，并且仅设置 (1) BP_C 位以在使用 LVCMOS 时钟源时将振荡器置于旁路模式。CTRLMMR_WKUP_LFXOSC_TRIM[18:16] 位是根据施加到晶体上的实际电容负载设置的，由负载电容公式定义。
2. 有关预量产 PCB 和量产 PCB 期间的建议电路配置（无源），请参阅处理器特定数据表。
3. WKUP_LFOSC0 的用例有限，当不使用时钟选项时，建议提供将 XI 输入接地的配置。

6.1.3.2 时钟输出

名为 CLKOUT0 和 WKUP_CLKOUT0 的处理器 IO（引脚）可配置为时钟输出。时钟输出可以用作附加器件（外部外设 - 例如：EPHY）的时钟源。

WKUP_CLKOUT0 是 AM625、AM623、AM625SIP、AM620-Q1、AM625-Q1 处理器系列复位后可用的高频振荡器 (HFOSC0) 的缓冲输出。

建议将时钟做为点对点连接进行连接。当 CLKOUT0 和 WKUP_CLKOUT0 用于为多个附加器件供电时，建议对其进行缓冲。

处理器特定的数据表中未定义 CLKOUT0 和 WKUP_CLKOUT0 时钟输出性能，因为许多特定于电路板或终端设备的依赖项可能会影响时钟性能。建议检查实际电路板性能（时钟输出满足电路板或终端设备的特定要求）。

6.1.3.2.1 时钟输出检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已查看上述用户指南的“所有部分的通用检查清单”部分。
2. CLKOUT0 及 WKUP_CLKOUT0 时钟输出的配置。

原理图审阅

定制原理图设计请遵循以下列表：

1. 默认情况下，WKUP_CLKOUT0 为 XO 的缓冲输出。添加了 TP 进行测试。
2. 当 WKUP_CLKOUT0 用作 IO 或 32.768kHz 时钟源时，定制电路板设计人员应考虑复位期间输出 25MHz 作为输出的影响。
3. 提供了串联电阻 0Ω 配置，以控制可能的信号反射。
4. 将时钟输出连接到单个或多个负载。当与多个负载（输入端）相连时，建议将每个连接的器件输入端都连接到一个缓冲输出端。
5. 在所连器件时钟输入附近提供了可悬空的拉电阻（以防止所连器件输入悬空，直到主机软件配置时钟输出）。

其他

1. EXT_REFCLK1 可以被设置为 CLKOUT0。建议将时钟信号以点对点的方式进行连接，且不允许有分支连接。将 CLKOUT0 连接到多个时钟输入时，请使用缓冲器（具有一个输入和多个输出或单独缓冲器（基于应用用例））。
2. 处理器特定的数据表中未定义 CLKOUT0 和 WKUP_CLKOUT0 时钟输出性能，因为许多特定于电路板或终端设备的依赖项可能会影响时钟性能。

6.1.4 处理器复位

处理器复位模块包括冷、热复位输入，以及冷、热复位状态输出。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM62Ax/AM62D-Q1/AM62Px/AM64x/AM243x \(ALV、ALX\) 设计建议/定制电路板硬件设计 - 处理器复位输入、复位状态输出和连接建议](#)

6.1.4.1 外部复位输入

该处理器系列支持 3（三）个外部复位输入（引脚），包括 MCU 域和主域冷复位输入 (MCU_PORz)、MCU 域和主域热复位请求输入 (MCU_RESETz) 和主域热复位请求输入 (RESET_REQz)。

MCU_PORz 是外部 MCU 和 MAIN 域冷复位输入。建议在电源斜坡、晶体/振荡器启动和时钟稳定期间将 MCU_PORz 输入保持在低电平。请遵循处理器特定数据表的上电时序图中建议的 MCU_PORz 输入时序。

MCU_PORz 输入为 3.3V 容差、失效防护输入类型 IO。尽管可以施加 3.3V 输入，但输入阈值遵循 1.8V IO 电平并以 VDD5_OSC0 为基准。

使用基于 PMIC 的电源架构时，建议通过推挽输出型逻辑门或分立式缓冲器（具有快速上升时间）将 PMIC 的开漏输出型复位信号（nRSTOUT0）连接至处理器作为 MCU_PORz 输入（而不是连接可能干扰内部复位电路的缓慢上升开漏输出）。如果直接使用 nRSTOUT0，建议调整上拉电阻以尽可能缩短转换时间（< 100ns）。

建议提供在 MCU_PORz 输入端上连接 22pF 干扰滤波器的配置。建议始终将有效输入连接到 MCU_PORz。不允许将有效输入连接至 MCU_PORz 输入。如果未连接 MCU_PORz 输入，则处理器在上电期间不会完成复位序列，并可能导致不可预测或随机的行为。当处理器内部电路没有经过有效的复位时，内部电路可能处于随机（未定义）状态。

建议在 MCU_PORz 输入端提供连接滤波器（干扰）电容器的配置。电容器值和电容器安装取决于用例。建议选择的电容器值应确保所使用的电容器不会导致 LVCMOS 输入违反压摆率要求，或在内部导致复位出现干扰。

外部热复位输入 MCU_RESETz 及 RESET_REQz 可用于执行外部热复位。可以实施外部按钮或复位电路来执行处理器热复位。一些寄存器在热复位期间保持状态（例如，引导模式输入捕获寄存器 Devstat）。有关复位和功能的信息，请参阅处理器特定 TRM。

如需连接热复位输入，请按照处理器特定数据表中 *引脚连接要求* 部分的说明操作。

冷复位输入（LVCMOS IO）具有指定的压摆率要求。不允许或不建议将慢速斜坡输入连接至 MCU_PORz 复位输入。缓慢的斜坡输入可能会导致内部复位电路出现故障。建议使用快速上升时间分立式推挽输出型缓冲器输出出来作为 MCU_PORz 输入。

热复位输入（LVCMOS IO）有指定的输入压摆率要求。不建议直接在输入端连接电容器（缓慢斜坡）。建议使用基于施密特触发的去抖逻辑（电路）。有关实现去抖逻辑的信息，请遵照处理器特定 SK 原理图。连接按钮以控制 RESET_REQz 或 MCU_RESETz 热复位输入时，建议添加外部 ESD 保护配置。

请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP：MCU_PORz 输入压摆率](#)

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM62Ax/AM62D-Q1/AM62Px/AM64x/AM243x \(ALV、ALX\) 设计建议/定制电路板硬件设计 - 处理器复位输入、复位状态输出和连接建议](#)

MCU_RESETz 复位输入及 MCU_RESETSTATz 复位状态输出的使用说明

MCU_RESETz 输入和 MCU_RESETSTATz 有特定的用例建议。请参阅公告文章 *i2407-RESET*。如果处理器特定勘误表的 MCU_RESETz 被置位为低电平，MCU_RESETSTATz 不可靠。

6.1.4.2 复位状态输出

该处理器系列支持 x3（三个）复位状态输出（引脚），包括 MAIN 域 POR（冷复位）状态（PORz_OUT）输出、MCU 域热复位状态（MCU_RESETSTATz）输出和 MAIN 域热复位状态（RESETSTATz）输出。

当复位状态输出 PORz_OUT、MCU_RESETSTATz 以及 RESETSTATz 用于驱动所连器件的复位输入（/reset）时，建议为处理器复位状态输出采用下拉电阻器（10k Ω ），以便在上电与处理器复位期间将所连器件置为复位有效（保持所连器件处于复位状态）。

备注

在所连器件均不具有内部上拉电阻的使用情况下，在复位状态输出端连接的外部下拉电阻器将保持所连接器复位输入在低电平。如果任何所连器件启用了内部上拉电阻，则复位信号会被拉至中点电压。建议在连接复位状态输出之前验证特定用例。

MAIN 域热复位状态输出 RESETSTATz 可以用于复位支持外部复位输入功能（eMMC、OSPI 或 EPHY）或 SD 卡电源开关 EN 的板载存储器或外设。PORz_OUT 可用于在复位期间锁存硬件搭接配置（示例：锁存以太网 PHY 搭接配置或引导模式配置）。

如果不使用复位状态输出，建议将复位状态输出连接到测试点以进行测试或未来增强。可选地，也可提供一个下拉式开关（10k Ω ），使用时可对其进行设置。

备注

MCU_RESETz 输入和 MCU_RESETSTATz 有特定的用例建议。请参阅公告文章 *i2407-RESET*。如果处理器特定勘误表的 MCU_RESETz 被置位为低电平，MCU_RESETSTATz 不可靠。

6.1.4.3 其他信息

建议将用于配置处理器引导模式的 BOOTMODE[15:00] 输入需要保持在已知状态，以便选择处理器特定 TRM 中定义的合适引导模式配置，直至在 PORz_OUT 的上升沿期间锁存引导模式配置。

6.1.4.4 处理器复位输入检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已查看用户指南的节 1.1.4.1。
2. MCU_PORz 输入连接，电源斜升后 L->H 延迟。
3. MCU_PORz 输入 IO 电平及失效防护功能。
4. 处理器电源斜升期间的 MCU_PORz 输入状态。
5. 复位输入遵循处理器特定数据表中的压摆率要求 (FS RESET、LVCMOS)。
6. 来自 PMIC 或分立式直流/直流或分立式 LDO 的开漏输出类型复位信号 (nRSTOUT0) 连接到 MCU_PORz 输入时的压摆率。
7. RESET_REQz 输入及 MCU_RESETz 输入电压电平和连接。
8. 不使用时的热复位输入连接。

原理图审阅

定制原理图设计请遵循以下列表：

1. 在电源斜升或斜降期间，MCU_PORz 输入保持低电平。
2. 根据处理器特定数据表要求提供所有电源斜坡后，冷复位输入 (MCU_PORz) 取消置位保持时间 (最小 9.5ms (950000ns))。
3. 考虑了冷复位和热复位输入压摆率要求，并添加了所需的缓冲器。较慢的压摆率可能会在内部妨碍复位。
4. 来自 PMIC 或分立式直流/直流或分立式 LDO 的开漏输出类型复位信号 (nRSTOUT0) 直接连接到复位输入。更小的压摆效果更好 (< 100ns)。建议通过快速上升时间离散推挽输出型缓冲器连接。
5. MCU_PORz (POR) 输入可耐受 3.3V 电压且具有失效防护功能。阈值遵循 1.8V IO 电平 (VDDS_OSC0)。
6. 在 MCU_PORz 复位输入端提供干扰滤波器 (电容器) (添加 22pF (占位值) 电容器配置)。
7. MCU 和 MAIN 域的 IO 级别热复位输入 RESET_REQz 遵循 VDDSHV0 电源 (1.8V 或 3.3V)，而 MCU 域复位输入 MCU_RESETz 遵循 VDDSHV_MCU 电源 (1.8V 或 3.3V)。
8. 通过去抖电路连接按钮热复位输入 (施密特触发缓冲器输出)。
9. 当不根据引脚连接要求使用时，建议连接热复位输入 (建议使用上拉电阻)。

其他

1. MCU_PORz 输入指定了转换率要求。将 PMIC_POWERGOOD (开漏输出类型信号) 连接到 MCU_PORz 是唯一可用的选项时，请调整上拉电阻以优化上升时间 (大约 100ns)。
2. 仅当断电后电压斜降至低于 300mV 时，处理器才需要重新启动 (释放复位) (没有与斜降要求相关的时间或范围。在允许任何电源导轨斜升前，建议每个电源轨降至 300mV 以下)。
3. 未连接有效的 MCU_PORz 输入会导致不可预测的随机行为，因为处理器未获得有效复位输入，且内部电路处于随机状态。慢速斜升复位输入会导致内部处理器复位电路出现干扰。
4. LVCMOS 输入指定了压摆率要求。建议为连接到处理器热复位输入的慢速斜坡按钮输出信号使用基于施密特触发的去抖电路。建议在使用按钮或 RC 复位输入时使用基于施密特触发的去抖电路。
5. 为靠近复位信号添加的手动 (按钮) 复位输入提供外部 ESD 保护。
6. 连接到外部复位输入时失效防护运行情况 (MCU_RESETz 输入和 RESET_REQz 输入)。在处理器供电上升之前，将外部输入信号施加到处理器的重设输入端，可能会导致电压馈送，并影响主板性能。
7. 已查看 MCU_RESETz 输入相关器件勘误表。

8. 考虑使用非 TI 电源架构时，建议遵循电源斜升后的复位要求，包括转换率和 MCU_PORz 输入保持时间。

6.1.4.5 处理器复位状态输出检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已查看上述用户指南的“所有部分的通用检查清单”部分。
2. PORz_OUT、RESETSTATz 及 MCU_RESETSTATz 状态输出的连接（端接）。
3. 已查看 MCU_RESETSTATz 相关器件勘误表。
4. 处理器复位状态输出和所连器件复位输入之间的 IO 级兼容性。
5. 复位状态输出端的电容器负载连接。
6. 不使用时的复位状态输出。
7. 当连接到载板或外部连接器时，为复位状态输出提供外部 ESD 保护。

原理图审阅

定制原理图设计请遵循以下列表：

1. PORz_OUT 用作输入，以在处理器冷复位期间锁存处理器引导模式配置或所连器件配置 (strap)。
2. RESETSTATz、MCU_RESETSTATz 用于在处理器进行任何类型的全局复位（冷复位或热复位）时复位所连接的器件。
3. PORz_OUT、MCU_RESETSTATz 和 RESETSTATz 增加了下拉功能，以便在电源斜升以及靠近处理器引脚处对处理器进行复位操作时，确保所连接器件处于复位状态。
4. 将电容器直接连接到靠近所连接器件复位输入的复位输出端（电容器 > 22pF）。执行仿真。
5. 处理器复位状态输出和所连器件复位输入之间的 IO 级兼容性（可能会导致影响自定义电路板性能的残余电压）。
6. 当未使用任何复位状态输出时，提供 TP。
7. 建议匹配处理器复位输出 IO 电平与所连器件输入 IO 电平，以避免漏电压。

6.1.5 引导模式的配置（针对处理器）

该处理器系列支持 x16 引导模式输入引脚，可由定制电路板设计人员将其配置为从所需（设计的）存储器接口或外设引导。

有关支持的引导模式配置，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM64x/AM243x/AM62Ax/AM62Px/AM62D-Q1/AM62L — 支持的引导模式配置](#)

在冷复位期间，不为处理器引导模式输入启用内部拉电阻（上拉或下拉电阻）。建议连接外部拉电阻（10k Ω 或 47k Ω ）（上拉或下拉）以配置所需的启动模式。建议不要将任何引导模式输入（包括保留引脚）保持未连接状态。

在使用 DIP 开关来配置所需引导模式的用例中，建议使用 1k Ω （上拉电阻）和 47k Ω （下拉电阻）的电阻分压器值来提高噪声性能。

如果仅使用电阻器（不使用 DIP 开关）配置引导模式，可以使用标准电阻值（上拉和下拉电阻的值相同）。例如，可以使用 10k Ω 或 47k Ω ，因为填充了上拉或下拉电阻。建议提供将上拉或下拉电阻连接到所有启动模式引脚的规定，包括保留引脚或未使用的引脚。

目前，BOOTMODE14 和 BOOTMODE15 引脚保留。

建议为具有测试/调试配置功能的引导模式输入（引脚）添加上拉和下拉电阻配置（包括配置 USB0 DFU、UART0 引导模式配置）、设计灵活性及未来增强功能。建议为每个引导模式引脚安装上拉或下拉电阻。不建议或不允许将引导模式引脚直接连接到接地或 IO 电源轨，因为 IO 具有其他功能，可以在引导后配置，也可以无意中配置为软件的输出。

引导模式输入（引脚）不具有失效防护功能。建议在处理器 IO 电源斜坡之前不要应用任何外部输入。当使用上拉/下拉电阻在不使用引导模式缓冲器的情况下连接引导模式时，建议连接到由处理器 IO 作为基准的 IO 组的 IO 电源。使用引导模式缓冲器时，建议将连接处理器 IO 的 IO 电源连接到缓冲区的 B 端口电源引脚（处理器侧）。当连接载板的外部输入以配置引导模式输入时，建议在处理器电源斜坡后驱动输入，并在 MCU_PORz 输入被拉至高电平之前要求输入稳定。

根据应用需求，仅在复位状态输出（PORz_OUT 或可选的 RESETSTATz 为低）时驱动的缓冲器可用于驱动处理器的引导配置输入。

建议在缓冲器的输出端使用串联电阻（1kΩ）（以便限制输出电流，以防在缓冲器 OE 置为无效之前，将引导模式引脚配置为输出）。如需实现的更多信息，请参阅处理器特定 SK。

6.1.5.1 处理器引导模式输入隔离缓冲器用例和优化

在 SK 中，启动模式输入“BOOTMODE[15:00]”是通过 2 个缓冲器（用于隔离）进行配置的。这些缓冲器的作用是确保在启动模式输入被锁存（在 PORz_OUT 上升沿期间）时，SYSBOOT（上拉和/或下拉）（启动模式配置电阻）能够控制信号的输入电平。引导模式配置电阻器与连接的其他外设隔离（因为引导模式输入引脚具有替代功能），以便其他连接的外设不会与预期的引导模式配置（IO 电平）相冲突。

当 PORz_OUT 为低电平时，缓冲器就会启用。PORz_OUT 被置为无效（变为高电平）后，缓冲器输出将处于 Hi-Z 状态。

为了优化定制电路板设计（包括 BOM），可以优化或删除引导模式缓冲器（取决于用例，进行定制电路板设计人员验证）。建议选择合适的拉力电阻值，以确保电阻不会影响连接器件的正常运行。

6.1.5.2 启动模式配置

如需配置所需处理器引导模式，请参阅处理器特定 TRM 的 *初始化* 一章中的 *ROM 代码引导模式表*。

6.1.5.2.1 USB 引导模式注意事项

USB0 接口支持 DFU（器件固件升级）引导。当将 USB0 配置为 DFU 启动模式时，不建议将 3.3V 恒定电源（直接供电或通过分压器供电）连接到 USB0_VBUS 输入端口。不允许连接等效于 USB0_VBUS 分压器输入的永久电源。在没有 *USB VBUS 检测分压器/钳位电路* 的情况下连接电源会违反失效防护操作。

建议将来自主机的 5V 电源（通过开关连接）通过 USB 接口连接器接入，然后通过电阻分压器连接到 USB0_VBUS 输入端，具体操作应遵循处理器特定的数据表建议。如果定制电路板的设计未施加高于 5.5V 的 VBUS 电压，并且有内置电源连接，则可以移除齐纳二极管，将两个电阻（16.5kΩ 和 3.48kΩ）合并为一个 20kΩ 的电阻，用于 *USB VBUS 检测电压分压器/钳位电路*。

6.1.5.3 引导模式实现方法

有关实现引导模式的信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM64x/AM243x/AM62A/AM62P/AM62D-Q1/AM62L — 使用隔离缓冲器的引导模式实现](#)

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM64x/AM243x/AM62A/AM62P/AM62D-Q1/AM62L — 无隔离缓冲器的引导模式实现](#)

6.1.5.4 其他信息

连接外部输入以配置引导模式输入时，建议在释放处理器 MCU_PORz（冷复位）（L->H）之前使引导模式配置输入保持稳定。

在使用以太网启动和简化的千兆媒体独立接口（RGMII）接口时，建议使用支持 RGMII_ID 的 EPHY（在 EPHY 的 RDx 数据路径上支持 RGMII_ID，而在 TDx 数据路径上禁用 RGMII_ID，即处理器在 TDx 输出端实现固定的 RGMII_ID）。处理器 ROM 无法对所连接的 EPHY 的 RGMII_ID 模式进行启用或禁用操作。RGMII_ID 的设置是通过为 EPHY 进行引脚绑定来实现的。

建议选择一个可以通过引脚配置 (strap) 设置 RGMII_ID 的 EPHY。请参考处理器特定的 SK，以了解如何使用 TI EPHY 进行实现。有关更多信息，请参阅器件特定勘误表的公告文章 [i2329 MDIO：处理器特定器件勘误表的 MDIO 接口损坏 \(CPSW 和 PRU-ICSS\)](#)。

6.1.5.5 引导模式的配置 (针对处理器) 检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已查看上述用户指南的“所有部分的通用检查清单”部分。
2. 连接处理器引导模式输入。
3. 引导模式配置 (使用双列直插式开关和电阻分压器或电阻器)。
4. 锁存期间建议的引导模式输入状态。
5. 备选功能的建议引导模式输入连接。
6. 引导模式输入的失效防护功能。

原理图审阅

定制原理图设计请遵循以下列表：

1. 根据 SK 实现，引导模式配置输入使用电阻器、开关 + 电阻分压器和缓冲器连接到处理器。
2. 建议验证引导模式输入配置设置是否遵循 PLL 时钟输入、主引导和次级引导的处理器特定 TRM 建议。
3. 引导模式输入 IO 兼容性 (VDDSHV3 以 1.8V 或 3.3V 为基准 (供电))。
4. 建议在使用拨码开关配置启动时使用 1k Ω 和 47k Ω 值电阻器。
5. 如果不使用 DIP 开关，可使用标准 10k Ω 电阻器做为上拉和下拉电阻，以配置引导模式。建议填充上拉或下拉电阻来配置所需的引导模式。如果不使用 DIP 开关，电阻分压器是可选的。
6. 所有引导模式配置输入引脚都具有外部拉电阻或电路，用于在处理器冷复位期间驱动所需的引导模式输入 (请勿将任何引导模式配置输入引脚保持未连接状态)。
7. 在处理器冷复位输入 (MCU_PORz) 被解除 (从 0 变为 1) 之前，建议先确保施加的外部启动模式输入是稳定的。
8. 当使用缓冲器实现引导模式或由外部控制信号驱动时，串联电阻器 1k Ω 用于缓冲器的输出。
9. 建议通过 0 Ω 将引导模式输入信号连接到备选功能，以隔离或测试引导模式功能。
10. 引导模式输入不具有失效防护功能 (建议在处理器电源斜升之前，不应用任何外部引导模式输入)。

其他

1. 处理器 BOOTMODE 输入引脚在复位期间 (锁存引导模式输入配置时)，不会启用内部上拉或下拉电阻。
2. 对于初始 (早期或第一个原型) 设计，建议为引导模式输入 (引脚) 连接外部 PU/PD 电阻器。有关支持的信息，请参阅特定于处理器的 TRM。
3. 当 PORz_OUT 变为高电平时，会锁存引导模式输入。如果在运行期间将引导模式输入重新配置为备用功能，则需要释放引导模式输入/将其设置回所需的配置，以便在处理器复位 (冷复位) 时选择引导模式。如果信号由外部外设驱动，引导模式配置值得关注。
4. 不建议将引导模式输入直接连接到 IO 电源或 VSS。不建议将多个引导模式输入短接在一起并连接一个公共电阻器。(定制电路板设计可能存在固件配置问题，其中原本作为输入的 LVCMOS IO 意外配置为输出，从而驱动逻辑高信号而不是保持高阻抗状态)。
5. 建议为引导模式输入添加外部 ESD 保护，以防引导模式开关配置在不受控制的环境中。
6. 引导模式输入不具有失效防护功能。不建议或不允许在处理器 IO 电源斜升以前施加外部输入。在处理器供电上升之前，将外部输入信号施加到处理器的引导模式输入端，可能会导致电压馈送，并可能影响定制电路板功能。
7. 引导模式输入缓冲器是可选的，在 SK 上提供，用于支持测试自动化。
8. 当使用缓冲区或逻辑门配置引导模式输入时，建议验证所使用的器件是否支持 OE (输出启用功能)。

6.2 使用 JTAG 和 EMU 的自定义电路板调试

6.2.1 使用时的 JTAG 接口和 EMU 信号

当实现了 JTAG 接口时，建议使用 TI 建议、定义和支持的 20 引脚连接器，而不是 10 引脚 ARM 连接器。10 引脚 JTAG 连接器不包含 TRSTn 信号或 EMU0、EMU1 信号。建议根据处理器特定数据表的 [引脚连接要求](#) 一节的说明连接 JTAG (TDI、TCK、TMS 和 TRSTn) 和 EMU (EMU0 和 EMU1) 信号。建议将上拉和下拉电阻 (10kΩ) 放置在处理器 JTAG 接口引脚的附近。

建议为所有 JTAG 接口以及靠近外部接口连接器的 EMU0 和 EMU1 信号添加外部 ESD 保护。EMU0 和 EMU1 信号支持冷复位 (MCU_PORz 输入高电平) 之后的引导序列和调试。TDO 的上拉为可选项，取决于所选的调试器。或者，建议在 TDO (靠近处理器) 信号上连接串联电阻 (0Ω) ，以匹配 JTAG 工具缓冲器阻抗。

有关更多信息，请参阅处理器特定 TRM 的 [片上调试](#) 一章。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP/AM62L/AM62Ax/AM62D-Q1/AM62Px/ AM64x/AM243x \(ALV、ALX\) 定制电路板硬件设计 — JTAG](#)

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP 定制电路板硬件设计 - JTAG 下拉/上拉](#)

6.2.2 不使用时的 JTAG 接口和 EMU 信号

当未使用 JTAG 接口时，若要连接 JTAG 接口信号和 EMU 信号，请参考处理器特定数据表中的 [引脚连接要求](#) 部分。

在定制电路板设计过程中，建议预留最少的 JTAG 接口信号，包括 EMU0 和 EMU1，将其连接至测试点或预留一个接口脚位，以便在早期原型阶段进行调试。JTAG 接口相关组件可以是 DNI 生产版本的电路板。建议根据 [引脚连接要求](#) 部分提供配置来组装建议的拉电阻，并在 JTAG 连接器或 TP 附近提供外部 ESD 保护配置。

6.2.3 其他信息

当 JTAG 接口连接到不止一个附加器件时，建议对时钟和 JTAG 接口信号进行缓冲。即使对于单个器件的实现，也建议进行时钟缓冲。有关实现的信息，请参阅处理器特定 SK。

使用跟踪接口时，建议将 TRC_DATAn 信号连接到仿真连接器。所有 TRC_DATAn 信号都与其他信号进行引脚多路复用。建议使用跟踪功能或 GPMC 接口。TRC_DATAn 信号的短连接和偏差匹配连接 (电路板引线) 用于跟踪功能。跟踪信号以 VDDSHV3 为基准 (供电) ，并且可能具有与其他 JTAG 信号不同的电源电压。更多有关 TRC/EMU 设计和布局的建议，请参阅 [仿真和跟踪接头技术参考手册](#)。 [XDS 目标连接指南](#) 中提供了摘要。

当使用边界扫描技术时，建议将 EMU0 和 EMU1 引脚连接到 JTAG 连接器上。

有关 JTAG 接口的实现，请参阅 [仿真和跟踪接头技术参考手册](#)。

6.2.4 使用 JTAG 和 EMU 检查清单进行定制电路板调试

通用

检查并验证定制原理图设计的以下内容：

1. 已查看上述用户指南的 [“所有部分的通用检查清单”](#) 部分。
2. JTAG 接口信号的连接。
3. 所需拉电阻的连接。
4. JTAG 接口信号 IO 兼容性。
5. JTAG 接口信号的失效防护操作。

原理图审阅

定制原理图设计请遵循以下列表：

1. 将 JTAG 接口信号和 EMU0、EMU1 信号连接至 JTAG 接口连接器。
2. 将电源电压连接到 JTAG 连接器 (包括滤波电容器) (建议连接到 VDDSHV_MCU 的电压源) 。

3. 所需上拉电阻和下拉电阻靠近处理器 JTAG 接口引脚的连接符合引脚连接要求。
4. 使用的上拉和下拉电阻值 (建议的值为 10k Ω)。
5. JTAG 接口信号 IO 兼容性 (IO 电源以 VDDSHV_MCU 为基准 (供电))。
6. JTAG 接口信号的失效防护操作。处理器电源关闭时，没有可用的 JTAG 输入。

其他

1. 建议在定制电路板设计中至少包含 (实现) 一个最小 JTAG 信号，该信号连接到测试点或接头以调试早期原型。建议的最低 JTAG 信号为 TCK、TMS、TDI、TDO、TRSTn 及 EMU0、EMU1。如果需要，建议在电路板的量产版本中删除 JTAG 布线和元件封装 (TRSTn 上的下拉电阻以及 TMS 和 TCK 上的上拉电阻除外)。
2. 如果实施跟踪，建议将 TRC_DATAn 信号连接到仿真连接器。所有 TRC_DATAn 信号都与其他信号进行引脚多路复用。如果进行了跟踪连接，建议不要使用其他多路复用功能。建议对 TRC_DATAn 信号使用短且压摆匹配的布线 (线路布置)。跟踪信号以不同的电源域为基准 (供电)，并且与 JTAG 信号相比，可以在不同的电压下工作。
3. 建议为外部 ESD 保护添加配置。使用 JTAG 接口时，可以填充外部 ESD 保护。
4. 建议验证使用 JTAG 接口时的失效防护操作。在处理器供电上升之前，将外部输入信号施加到处理器的 JTAG 输入端，可能会导致电压馈送，并可能影响定制电路板功能。

7 处理器外设电源、接口和连接

备注

在定制电路板设计周期中，建议遵循 [使用 AM625、AM623、AM620-Q1、AM625-Q1 和 AM625SIP 处理器系列的定制电路板设计硬件设计注意事项](#) 用户指南以及 [原理图设计指南](#) 和 [原理图审阅检查清单](#) 用户指南。

备注

除非行业标准中定义了拉电阻要求，否则对于外部拉电阻没有明确的规则或要求。拉电阻的业界通用定义是我们可针对 eMMC 和 SD 卡信号上的外部拉电阻提出确定建议的主要原因。对于其他外设，建议客户评估连接到定制电路板上每个处理器信号的所连器件的功能，并运用适当的技术/工程判断来确定是否需要使用外部拉电阻，以防止在打开附加器件输入缓冲器时任何输入悬空。设计指南中提供的建议是通用的，客户应在实施之前检查设计要求和所连器件内部拉电阻的可用性。确保不会提供与内部拉电阻争用的外部拉电阻。示例：一个示例是添加一个与内部拉电阻 (连接的器件内部) 争用的外部拉电阻，这样该争用会在信号 (输入) 上产生中点电位。

7.1 支持的处理器内核和 MCU 内核

有关支持的处理器内核，建议参阅处理器特定数据表的 *特性* 部分。在选择 Arm Cortex-A53 微处理器子系统内核时，可以参考处理器特定数据表的 *器件比较* 部分。

处理器特定数据表的 *运行性能点 OPP* 部分可作为所需器件等级和器件运行性能点的定义的参考。

请参阅以下常见问题解答，了解更多详细信息：

[\[常见问题解答\] AM625 / AM623 / AM620-Q1 / AM62L / AM64x/ AM243x \(ALV\) / AM62Ax / AM62D-Q1 / AM62Px 设计建议/定制板硬件设计 - 有关处理器核心、PLL、VDD_CORE、VDDR_CORE、VPP 以及其他内核电源的信息](#)

7.2 IO 组的 IO 电源的电源连接

7.2.1 AM625、AM623、AM620-Q1、AM625-Q1、AM625SIP IO 电源

处理器系列支持 IO 组 VDDSHV_x [x = 0-6]、VDDSHV_MCU 和 VDDSHV_CANUART 的电源。IO 组的 IO 电源支持连接双电压 (3.3V 或 1.8V, 固定或动态开关) 电源。每个双电压 IO 组的 IO 电源为一组固定的 IO (外设) 供电。无论是 3.3V 还是 1.8V 的供电电压, 都可以连接到 IO 组的任何双电压输入电源上。

IO 电源要求取决于 IO 缓冲器类型 (LVCMOS、SDIO 或开漏 I2C) 和所连接的外设。

以 MMC0、MMC1 和 MMC2 信号组为基准的 IO 组的 VDDSHV4、VDDSHV5 和 VDDSHV6 IO 电源旨在支持上电、下电或不依赖于其他处理器电源轨的动态电源电压变化 (切换)。动态电压切换功能可支持 UHS-I SD 卡。

无论 IO 使用何种 IO, 建议将有效电源连接到 IO 组的 IO 电源。

根据所选的存储器类型 (DDR4 或 LPDDR4), 建议按照 ROC 连接 DDR PHY IO 电源和 DDR 时钟 IO 电源。

对于 AM625SIP, 还需要将 LPDDR4 IO 电源 (VDDS_MEM_1P1) 和 LPDDR4 内核电源 (VDDS_MEM_1P8) 连接到分配为 LPDDR4 电源引脚的处理器引脚, 以便为集成式 LPDDR4 电源供电。

7.2.2 IO 组的 IO 电源的电源连接检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已查看上述用户指南的“所有部分的通用检查清单”部分。
2. 电气特性中引用的标准包括建议的运行条件和任何其他可用信息。
3. IO 缓冲器类型及允许的电源配置。
4. 将电源连接到 IO 组的所有 IO 电源组 (VDDSHV_x [x = 0-6]、VDDSHV_MCU 和 VDDSHV_CANUART)。
5. 处理器 IO 电源的时序控制。
6. 连接处理器 DDRSS IO 电源。
7. IO 上拉电源电压基准。

原理图审阅

定制原理图设计请遵循以下列表：

1. 支持的 IO 组包括 LVCMOS、SDIO 及 I2C OD 型 IO 缓冲器。
2. IO 缓冲器类型 LVCMOS 支持固定 (1.8V 或 3.3V) 或 SDIO 类型动态电压开关 (1.8V 或 3.3V)。
3. 将有效电源 (固定, 1.8V 或 3.3V) 连接到 IO 组的 IO 电源 (VDDSHV_x [x = 0-3]、VDDSHV_MCU、VDDSHV_CANUART), 将动态切换 (1.8V 或 3.3V) 电源连接到 IO 组的 IO 电源 (VDDSHV_x [x = 4-6])。
4. 以连接到所连器件和所连器件 IO 电源的信号为基准的 IO 组的 IO 电源连接到同一电源。
5. 上拉电阻连接到与处理器 VDDSHV_x 和所连器件相连的同一电源轨。
6. 根据处理器特定数据表, 使用的 IO 电源遵循 ROC。
7. IO 电源连接和电源时序遵照处理器特定数据表。
8. 根据所选存储器类型 (DDR4 或 LPDDR4) 连接处理器 DDRSS IO 电源 (PHY IO 和时钟 IO、VDDS_DDR 和 VDDS_DDR_C 应来自同一电源)。

其他

1. 建议遵循基于所使用 IO 组电压电平 (3.3V 或 1.8V) 的 IO 电源的处理器特定数据表中的电源时序要求。
2. IO 组的特定 IO 电源 (VDDSHV4、VDDSHV5 和 VDDSHV6) 支持动态电压切换。
3. 不建议也不允许以 LVCMOS IO 缓冲器为基准 (与其连接) 的 IO 组的 IO 电源动态电压切换 (VDDSHV0-3、VDDSHV_MCU、VDDSHV_CANUART)。
4. 不建议将连接到 PMIC 输入端的 3.3V 电源 (非按顺序, 永久开启, 3.3V 电源连接到 PMIC 输入) 直接连接到 IO 组的 IO 电源 VDDSHV_x, 因为如果 PMIC 未启动并生成其他处理器电源轨, IO 电源将在未定义的时间内可用。建议参考处理器特定数据表中的更新后电源序列图。
5. AM625SIP 具有为 LPDDR4 IO 电源 (VDDS_MEM_1P1) 和 LPDDR4 内核电源 (VDDS_MEM_1P8) 分配的电源引脚, 需要连接到有效电源。

7.3 存储器接口 (DDRSS (DDR4/LPDDR4)、MMCSD (eMMC/SD 卡/SDIO) 、 OSPI/QSPI 和 GPMC)

7.3.1 DDR 子系统 (DDRSS)

该处理器系列支持 1 个 DDR 子系统 DDRSS0 实例，并支持连接到 16 位 SDRAM。

DDRSS 接口支持 DDR4 或 LPDDR4 存储器接口。DDR4 或 LPDDR4 存储器的选择取决于应用或客户，因为每种存储器类型的延迟和突发长度存在差异。

如需更多信息，请参阅以下应用手册：

[Sitara AM62x 基准测试](#)

有关 DDRSS 与 JEDEC 标准兼容性的信息，请参阅处理器特定数据表的 *DDR 电气特性* 部分。请参阅处理器特定数据表的以下注意事项：

备注

DDRSS 接口与符合 JESD79-4B 标准的 DDR4 器件和符合 JESD209-4B 标准的 LPDDR4 器件兼容。

请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM62Ax/AM62D-Q1/AM62Px/AM64x/AM243x \(ALV\) 定制电路板硬件设计的设计建议/常见错误 — DDRSS : DDR4/LPDDR4 存储器接口](#)

[\[常见问题解答\] AM625 : DDR4/ LPDDR4 性能差异](#)

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM62A/AM62P/AM62D-Q1/AM64x/AM243x 设计建议/定制电路板硬件设计 - 与无源元件参数值、容差和额定电压相关的问题](#)

7.3.1.1 DDR4 SDRAM (双倍数据速率 4 同步动态随机存取存储器)

7.3.1.1.1 AM625、AM623、AM620-Q1、AM625-Q1 处理器系列

有关实施指南和布线拓扑，请参阅 [AM62x、AM62Lx DDR 电路板设计和布局布线指南](#)。

7.3.1.1.1.1 存储器接口配置

允许的存储器配置为 x1 (单个) ， 16 位或 x2 (两个) ， 8 位。

1 个 (单个) 8 位存储器配置不允许或不是有效配置。

建议根据所选的存储器大小验证 DDRSS 信号存储库组 (DDR0_BG0、DDR0_BG1) 的连接，并根据存储器选择 (单列或双列) 验证片选 (DDR0_CS0_n、DDR0_CS1_n) 的连接。请参阅 [AM62x、AM62Lx DDR 电路板设计和布局布线指南](#)。

7.3.1.1.1.2 布线拓扑及存储器终端连接

当使用 x1 (单个) 存储器 (DDR4) 器件 (x1 (单个) ， 16 位) 时，建议采用点对点拓扑结构 (连接) 。

点对点拓扑实现总结：

- 对于差分时钟 DDR0_CK0、DDR0_CK0_n，建议采用如下配置：使用交流端接 2 个 R 串联 (值 = Z_0 - 单端阻抗) ，并在两个电阻中间连接一个滤波电容器 $0.01 \mu F$ (或存储器制造商推荐的值) ，同时连接到 DDR PHY 的 IO 电源 VDDSDDR。
- VREFCA (VDDSDDR/2) 是用于存储器 (DDR4) 器件的控制、命令和地址输入的基准电压。当不使用 VTT 端接和 VTT 端接 LDO 时，VREFCA 通过电阻分压器 (在 VDDSDDR 和 VSS 之间连接的两个电阻 ($1k\Omega$ ， $\pm 1\%$ ，推荐值)) 从 VDDSDDR 中获取，并且在电阻两端并联一个滤波电容器 ($0.1 \mu F$ ，推荐值) 。建议在 VREFCA 引脚附近连接额外的去耦电容器 (靠近存储器 (DDR4) 器件) 。
- 地址和控制信号的外部 VTT 端接是可选项。

当使用 x1 DDR4 时，如果地址和控制信号使用 VTT 端接，请使用灌电流或拉电流 DDR 端接稳压器 (LDO) 生成所需的 VTT 电源。

使用 2 (两) 个存储器 (DDR4) 器件 (2 (两) 个，8 位) 时，建议遵循飞越式拓扑 (连接)。

飞越式拓扑实现总结：

- 建议为地址、控制和时钟信号使用外部 VTT 端接。
- 建议使用灌电流或拉电流 DDR 端接稳压器 (LDO) 生成 VTT 电源。
- 灌电流或拉电流 DDR 端接稳压器 (LDO) 用于生成基准电压 VREFCA (VDDS_DDR/2)。
- 建议为基准电压添加去耦电容器。

7.3.1.1.1.3 用于 DDRSS 控制和校准的电阻

建议对靠近内存 (DDR4) 器件的 DDR0_RESETO_n (DDR_RESET#) 连接下拉电阻 (10kΩ)。可以选择在下拉电阻上添加滤波电容器 (47pF 或类似器件)。

建议对 DDR0_CAL0 (IO 焊盘校准电阻，靠近处理器校准引脚) 和 ZQn (存储器器件校准基准电阻，n = 0-1、靠近存储器 (DDR4) 器件)，连接建议的 (遵循处理器特定数据表或 SK 原理图) 电阻。

建议为 TEN 连接下拉电阻 (测试使能)。建议添加可选的下拉配置 DDR0_CKE0 信号 (DDR_CKE 网络) 并标记为 DNI (未组装)。建议为 DDR0_ALERT_n (DDR_ALERTn) 添加上拉电阻 (靠近存储器 (DDR4) 器件)。有关连接和电阻值，请参阅处理器特定 SK。

7.3.1.1.1.4 电源轨的电容器

建议验证是否为处理器 DDRSS 电源轨和存储器 (DDR4) 器件电源轨提供了足够的大容量电容器和去耦电容器。

建议如果没有可用的建议，请遵循处理器特定 SK 实现。

7.3.1.1.1.5 数据位或字节交换

在定制电路板设计过程中，如果需要进行位交换，则允许在数据字节内进行位交换，以及在某些限制条件下进行跨字节交换。不支持地址位和控制位交换。请勿将 DM 和 DQS 位与任何其他信号交换。

如需更多信息，请参阅 [AM62x、AM62Lx DDR 电路板设计和布局布线指南](#) 的位交换一节。

建议根据位交换的变化更新原理图 (包括注释)，以供今后参考或重复使用。

7.3.1.1.1.6 DDR4 实现检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已查看上述用户指南的“所有部分的通用检查清单”部分。
2. 支持的附加器件数。
3. 地址、时钟、控制 and 数据信号的连接。
4. 根据连接的存储器器件数量，遵循连接和路由拓扑。
5. 根据所选的存储器大小连接信号。
6. 差分时钟终端。
7. DDR 基准电压电阻分压器。
8. 所用的 VTT 电阻器和滤波电容器的值。
9. 使用 2 个存储器器件时，地址和控制信号的 VTT 端接。
10. 将 DDRSS RESETn 信号直接连接至 DDR_RESETn 存储器复位输入。
11. 将 ODT 信号从 DDRSS 连接到存储器器件 (外部拉电阻是可选的)。
12. 连接 Alert、TEN、ZQn 和 DDR0_CAL0 引脚。
13. 数据位和数据组交换。

原理图审阅

定制原理图设计请遵循以下列表：

1. x1 16 位和 x2 8 位是受支持的存储器配置。
2. 建议将使用的大容量和去耦电容器及其值与 SK 原理图实现进行比较。
3. 连接到处理器 DDRSS 外设电源轨和连接的存储器器件 IO 的电源轨遵循处理器和连接的存储器器件 ROC。
4. 按照 *AM62x、AM62Lx DDR 板设计和布局指南* 连接地址、时钟、控制和数据信号。
5. 遵循的布线拓扑基于所连存储器器件数量（数据总线拓扑始终为点对点拓扑）（x1 16 位，点对点 and x2 8 位，用于地址和控制的菊花链）。
6. 根据所选存储器大小连接信号（CS0、CS1、BG0、BG1，请参阅 *AM62x、AM62Lx DDR 电路板设计和布局布线指南*）。
7. 采用 2 个电阻器和滤波电容器的差分时钟端接。
8. 所用的 VTT 电阻器和滤波电容器的值。
9. DDR 基准电压电阻分压器值和容差。用于 DDR 基准 DDR_VREFCA 生成的电阻分压器连接（ $1k\Omega$ ， $\pm 1\%$ ）。建议在电阻器两端和存储器引脚附近放置一个 $0.1\mu F$ 的去耦电容器。
10. 使用 2 个存储器器件时，地址和控制信号的 VTT 端接（对于 1 个存储器器件为可选），以及 VTT 端接电源 (LDO) 实现。VTT LDO 实现。VTT 电阻器和电容器（每 2 个 VTT 电阻器对应 1 个电容器）的数量和值（建议遵循 TMD564EVM）。
11. 将 DDRSS RESETn 信号连接至 DDR_RESETn 存储器复位输入（以在上电初始化期间将信号保持为低电平）。建议为 DDRSS RESETn 信号添加下拉电阻（ $10k\Omega$ ），并将其放置在靠近存储器器件复位输入引脚的位置。
12. 连接 ALERT（ $10k\Omega$ 上拉）和 TEN（ $1k\Omega$ 下拉）信号。
13. ZQ 和 VSS 上 ZQ0、ZQ1、存储器器件 IO 校准电阻（ 240Ω 、 $\pm 1\%$ ）连接。
14. DDR0_CAL0、DDRSS IO 焊盘校准电阻器（ 240Ω 、 $\pm 1\%$ ）连接在 DDR0_CAL0 和 VSS 上。
15. 将 ODT 信号从 DDRSS 连接到存储器器件（外部拉电阻是可选的）。
16. 数据位和数据组交换时，请遵循 *AM62x、AM62Lx DDR 电路板设计和布局布线指南*。

其他

1. 建议参考 TMD564EVM 来实现 DDR4 地址和控制信号以及 VTT 电源 (LDO) 的 VTT 端接。
2. 建议在原理图上添加布局注释（建议遵照 *AM62x、AM62Lx DDR 电路板设计和布局布线指南*）。
3. 建议遵循处理器特定数据表的 *引脚连接要求* 部分来连接未使用的 DDRSS 接口信号。
4. 将所需的 DDRSS 信号连接到存储器器件以进行扩展。

7.3.1.1.1.7 DDR4 VTT 端接实现原理图参考

使用 x2（两个）存储器 (DDR4) 器件（x2 8 位）时，每个器件将连接到各自的 DDRSS 数据字节。地址信号或控制信号以飞越式拓扑连接，并在远离处理器 DDRSS 的存储器器件附近连接 VTT 终端。

要实现 VTT 端接，请遵循 *TMD564EVM (AM64x Sitara 处理器评估模块)*。

建议将电路板级模拟作为设计的一部分。

7.3.1.1.2 AM625SIP 处理器系列

不适用。

由于该处理器集成了 LPDDR4，DDRSS0 引脚已在内部重新分配，并且处理器特定数据表（*AM625SIP — AM6254 具有集成 LPDDR4 SDRAM 的 Sitara 处理器*）的 *引脚属性和信号描述* 一节中提供了连接建议。

7.3.1.2 LPDDR4 SDRAM (低功耗双倍数据速率 4 同步动态随机存取存储器)

7.3.1.2.1 AM625、AM623、AM620-Q1、AM625-Q1 处理器系列

有关实施指南和布线拓扑，请参阅 *AM62x、AM62Lx DDR 电路板设计和布局布线指南*。

该控制器支持 DDR4 和 LPDDR4。LPDDR4 地址总线为 6 位宽，连接到处理器 DDR_A 端口的前 6 位，其他信号未连接。使用 LPDDR4 时，不会使用额外的地址信号（用于 DDR4），可以保持未连接状态。设计定制电路板的 DDR 部分时，请参阅 [AM62x、AM62Lx DDR 电路板设计和布局布线指南](#)。

7.3.1.2.1.1 存储器接口配置

允许的存储器配置为 x1（单个），16 位。

7.3.1.2.1.2 布线拓扑及存储器终端连接

建议遵循时钟 (CK)、地址、控制 (ADDR_CTRL) 和数据信号点对点拓扑。

VTT 端接不适用于 LPDDR4 内存类型。 在内部（片上）支持（处理）地址和控制信号所需的内存端接。

7.3.1.2.1.3 用于 DDRSS 控制和校准的电阻

建议对靠近内存 (LPDDR4) 器件的 DDR0_RESET0_n (LPDDR4_RESET_N) 连接下拉电阻 (10k Ω)。可以选择在下拉电阻上添加滤波电容器 (47pF 或类似器件)。

建议为 DDR0_CAL0 (IO 焊盘校准电阻，靠近处理器校准引脚)、ODT_CA_A (SK 上使用的 2.2k Ω 、用于芯片选择的 DDRSS 片上端接、靠近存储器 (LPDDR4) 器件) 以及 ZQ (存储器器件校准参考电阻，靠近存储器 (LPDDR4) 器件)，连接推荐电阻 (遵循处理器特定数据表或 SK 原理图)。

7.3.1.2.1.4 电源轨的电容器

建议验证是否为处理器 DDRSS 电源轨和存储器 (LPDDR4) 器件电源轨提供了足够的大容量电容器和去耦电容器。

建议如果没有可用的建议，请遵循处理器特定 SK 实现。

7.3.1.2.1.5 数据位或字节交换

在定制电路板设计过程中，如果需要进行位交换，则允许在数据字节内进行位交换，以及进行跨字节交换。不支持地址位和控制位交换。

有关更多信息，请参阅 [AM62x、AM62Lx DDR 电路板设计和布局布线指南](#) 的字节和位交换一节。

建议根据位交换的变化更新原理图（包括注释），以供今后参考或重复使用。

7.3.1.2.1.6 DDRSS 信号引脚（封装）延迟信息

不需要引脚封装延迟。在训练过程中，每位校正可以补偿封装长度不匹配的情况。只要根据 [AM62x、AM62Lx DDR 电路板设计和布局布线指南](#) 应用手册中的偏移使板上的引脚对引脚匹配，训练就可以注意在字节通道和 ctrl/addr 信号上优化偏斜。

DDRSS 信号的引脚延迟相关说明已载于 TI.com 上 [AM62x、AM62Lx DDR 电路板设计和布局布线指南 \(SPRAD06C - 2022 年 3 月 - 2025 年 3 月修订\)](#) 应用手册的 TI.com 网站上有关 [AM62x、AM62Lx DDR 板的设计与布局指南 \(SPRAD06C - 2022 年 3 月 - 2025 年 3 月修订版\)](#) 的应用说明中的封装延迟部分。

本附录中提供的引脚延迟是从处理器芯片焊盘到处理器封装引脚测量的。

请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM624SIP : AM6254 LPDDR4 长度/延迟匹配](#)

7.3.1.2.1.7 LPDDR4 实现检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已查看上述用户指南的“所有部分的通用检查清单”部分。
2. 所选存储器符合 JEDEC (JESD209-4B) 标准。
3. 支持的存储器配置。
4. 建议在原理图上添加布局注释（建议遵照 [AM62x、AM62Lx DDR 电路板设计和布局布线指南](#)）。

5. 电源轨连接至处理器 DDRSS 外设电源轨和连接的存储器器件 IO。
6. 地址、时钟、控制 and 数据信号的连接。
7. 将 DDRSS RESETn 信号连接到 LPDDR4_RESET_N 存储器复位输入。
8. 将片选 CSn0、CSn1 连接至连接的存储器器件。
9. ODT 上拉电阻器连接、DDR CAL0 和存储器 ZQn 电阻器连接。
10. 交换数据位或者数据字节。

原理图审阅

定制原理图设计请遵循以下列表：

1. 1x1 6 位是唯一所支持的存储器配置。
2. 建议将使用的大容量和去耦电容器及其值与相关 SK 原理图实现进行比较。
3. 连接到处理器 DDRSS 外设电源和连接的存储器器件 IO 的电源轨遵循处理器和连接的存储器器件 ROC。
4. 地址、时钟、控制 and 数据信号的连接。对于 LPDDR4 存储器接口，x16 是唯一支持的数据总线宽度。有关将 DDRSS 连接到 16 位存储器器件的信息 - 请参阅 *AM62x、AM62Lx DDR 电路板设计和布局布线指南*。
5. 将 DDRSS RESETn 信号直接连接至 LPDDR4_RESET_N 存储器复位输入 (以在上电初始化期间将信号保持为低电平)。建议为 DDRSS RESETn 信号添加下拉电阻 (10k Ω)，并将其放置在靠近存储器器件复位输入引脚的位置。
6. 将片选 CSn0、CSn1 连接至连接的存储器器件。根据所选存储器，遵循 *AM62x、AM62Lx DDR 电路板设计和布局布线指南*。
7. 存储器器件 ODT 通过电阻器上拉 (SK 上使用 2.2k Ω ，建议不要连接 DDRSS 信号，并遵循 SK 原理图)。
8. DDR0_CAL0、DDRSS IO 焊盘校准电阻器 (240 Ω 、 $\pm 1\%$) 连接在 DDR0_CAL0 和 VSS 上。
9. ZQ0、存储器器件 IO 校准电阻 (240 Ω 、 $\pm 1\%$) 连接到 ZQ 和 VDD_LPDDR4。
10. 数据位或字节交换。遵照 *AM62x、AM62Lx DDR 电路板设计和布局布线指南*。

7.3.1.2.2 AM625SIP 处理器系列

AM625SIP 支持集成 LPDDR4 存储器。DDRSS0 信号在内部重新分配，以提供所需的电源，并连接外部校准电阻 (DDR_ZQ) 和外部 DDR_RESETn 下拉电阻 (DDR0_RESET0_N、10k Ω)。

有关连接电源和校准电阻 (包括值、容差和电源) 的信息，请参阅处理器特定数据表 ([AM625SIP — AM6254 具有集成 LPDDR4 SDRAM 的 Sitara 处理器](#))。

AM625SIP 是 ALW 封装 AM6254 器件的系统级封装 (SIP) 衍生器件，并添加了一个集成式 LPDDR4 SDRAM。*AM625SIP - 具有集成 LPDDR4 SDRAM 的 AM6254 Sitara 处理器* 文档仅说明了《*AM62x Sitara 处理器数据表*》(版本 B 或更高版本) 中定义的 ALW 已封装 AM6254 器件的差异或例外情况。

7.3.1.2.2.1 AM625SIP LPDDR4 连接检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已查看上述用户指南的“所有部分的通用检查清单”部分。
2. 查看更新后特定于 AM625SIP 封装的引脚属性。
3. 连接处理器 (及内部存储器) 电源。
4. 大容量电容器和去耦电容器连接。
5. 将下拉电阻直接连接至 DDR0_RESET0_N 复位输入引脚。
6. DDR CAL0 及存储器 ZQn 电阻器连接。

原理图审阅

定制原理图设计请遵循以下列表：

1. 建议将使用的大容量和去耦电容器及其值与 SK 原理图实现进行比较。

2. 建议查看引脚属性 (包括 AMK 封装上重新分配的 DDRSS0 信号) 并相应进行更新。
3. 处理器内部存储器 VDDS_MEM_1P1 (SDRAM IO 电源) 和 VDDS_MEM_1P8 (SDRAM 内核电源) 的连接。
4. 电源导轨连接遵循了处理器和存储器器件 ROC。
5. 大容量电容器和去耦电容器连接至 VDDS_MEM_1P1 和 VDDS_MEM_1P8 电源。
6. 将 DDRSS RESETn 信号直接连接至 LPDDR4_RESET_N 存储器复位输入 (以在上电初始化期间将信号保持为低电平)。建议为 DDR0_RESET0_N 复位输入引脚添加下拉电阻 (10k Ω), 并将其放置在靠近存储器器件复位输入引脚的位置。
7. DDR_ZQ (LPDDR4 器件校准基准电阻器) 存储器器件 IO 校准电阻器 (240 Ω , $\pm 1\%$) 连接在 DDR_ZQ 和 VDD_DDR (VDDS_MEM_1P1) 上。
8. DDR0_CAL0、DDRSS IO 焊盘校准电阻器 (240 Ω , $\pm 1\%$) 连接在 DDR0_CAL0 和 VSS 上。

其他

1. 请注意处理器 *建议运行条件*, 包括结温范围。
2. 有关 LPDDR4 存储器数据表链接, 请参阅处理器特定数据表。
3. AM625SIP 是 ALW 封装 AM6254 处理器的系统级封装 (SIP) 衍生器件, 并添加了一个集成式 LPDDR4 SDRAM。AM625SIP - 具有集成 LPDDR4 SDRAM 的 AM6254 Sitara 处理器数据表说明了《AM62x Sitara 处理器数据表》(版本 B 或更高版本) 中描述的 ALW 封装 AM6254 器件的差异或例外情况。

7.3.2 多媒体卡/安全数字 (MMCSD)

该处理器系列支持 x3 (三个) 多媒体卡/安全数字卡 (MMC/SD/SDIO) (8b + 4b + 4b)。

7.3.2.1 MMC0 - eMMC (嵌入式多媒体卡) 接口

7.3.2.1.1 AM625、AM623、AM620-Q1、AM625-Q1、AM625SIP 处理器系列

该处理器系列支持一个 x1 外设接口模块 MMC0, 该模块可配置为 eMMC/SD/SDIO 接口。由于 **MMC0 已针对 eMMC 接口实现时序闭合**, 因此建议将 MMC0 用于 eMMC 接口。MMC0 支持 8 位 eMMC (嵌入式多媒体卡) 接口。如需了解支持的速度, 请参阅处理器特定数据表的 *MMC0 - eMMC/SD/SDIO 接口* 部分; 如需了解实现方式, 请参阅 SK。当不用于 eMMC 接口时, MMC0 信号可用于板载 SDIO 接口, 或用作 IO 或其他支持的多路复用功能。不建议连接 SD 卡的 MMC0 接口。

有关 eMMC 存储器接口的更多信息, 请参阅以下常见问题解答:

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM64x/ AM243x \(ALV\)/AM62Ax/AM62D-Q1/AM62Px 定制电路板硬件设计的设计建议/常见错误 — eMMC 存储器接口](#)

[\[常见问题解答\] AM62A7 : MMC0 拉电阻器要求](#)

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM62A/AM62P/AM62D-Q1/AM64x/AM243x 设计建议/定制电路板硬件设计 - 与无源元件参数值、容差和额定电压相关的问题](#)

有关更多信息, 请参阅处理器特定数据表的 *MMC0 - eMMC/SD/SDIO 接口* 一节。

7.3.2.1.1.1 IO 电源

用于 MMC0 (eMMC) 接口的处理器 IO 以 VDDSHV4 电源轨 (IO 组 4 的 IO 电源) 为基准 (供电)。

VDDSHV4 旨在支持独立于其他电源轨的上电、下电或动态电压切换, 允许工作电压从 3.3V 变化到 1.8V。

建议将所连接器件的 VDDSHV4 和 IO 电源轨连接到同一电源。

连接器件的 VDD (内核电压) 可由 (通过) 独立电源 (不同的电源) 供电。

7.3.2.1.1.2 eMMC 接口信号连接

建议进行以下连接:

- 建议在靠近处理器时钟输出引脚的位置为 MMC0_CLK 信号添加一个串联电阻器 (0 Ω) (建议用串联电阻器来控制可能的信号反射, 以免导致错误的时钟转换)。建议最初使用 0 Ω, 并进行调整以匹配 PCB 迹线阻抗。
- 建议为靠近所连器件时钟输入引脚的 MMC0_CLK 使用外部下拉电阻 (10k Ω) (靠近所连 eMMC 器件时钟输入引脚), 以将时钟保持在低电平状态 (在某些情况下, 时钟在低逻辑状态下停止或暂停, 下拉选项与该逻辑状态一致), 直到主机将信号配置为时钟。
- 建议为 MMC0_DAT0 和 MMC0_CMD 信号 (靠近 eMMC 器件) 连接外部上拉电阻 (47k Ω), 以防止所连器件输入浮动, 直到主机软件驱动接口信号。
 - 对于 MMC0_DAT[7:1] 信号, 上拉电阻是可选的 (删除或 DNI), 因为 (预期) 需要连接的 eMMC 器件 (符合 eMMC JEDEC 标准 JESD84-B51 的 eMMC 器件) 为 MMC0_DAT[7:1] 信号打开内部上拉电阻, 直到主机将总线宽度更改为 4 位或 8 位模式。主机应启用内部上拉电阻, 在更改为 4 位模式时, eMMC 器件应关闭 MMC0_DAT[3:1] 上的内部上拉电阻。主机应启用内部上拉电阻, 在更改为 8 位模式时, eMMC 器件应关闭内部上拉电阻或 MMC0_DAT[7:1]。
- 建议为 DS 信号连接带测试点 (可选) 的下拉电阻 (靠近 eMMC 器件)。

7.3.2.1.1.3 eMMC (连接器件) 复位

建议使用双输入“与运算”逻辑来实现所连接器件的复位。处理器的 GPIO 接口作为“AND”门的一个输入端口进行连接, 并配备了上拉电阻 (10k Ω 或 47k Ω) (以支持启动过程), 该电阻靠近“与运算”逻辑“与”门的输入端口, 并且还提供了 0 Ω 的电阻以隔离 GPIO 输出, 以便进行测试或调试。“AND”门的另一个输入是 MAIN 域热复位状态输出 (RESETSTATz)。

如果使用处理器 MAIN 域热复位状态输出 (RESETSTATz) 来复位附加器件 (不使用“与运算”逻辑), 建议将 RESETSTATz 的输入电压等级与所连接的器件保持一致。建议使用电平转换器来匹配 IO 电平。如果选择了电阻分压器的理想值, 则也可以使用电阻分压器进行电平转换。如果过高, eMMC 复位输入的上升和下降时间可能会很慢, 从而引入过大延迟。如果使用电阻值过低的分压器, 会导致处理器在正常运行时产生过多的稳态电流。

7.3.2.1.1.4 电源轨的电容器

建议验证是否为 VDDSHV4 电源轨和附加器件 (CORE 和 IO 电源) 提供了大容量电容器和去耦电容器 (在有建议时, 使用建议的电容器或遵循相关的 SK 实现)。

建议如果没有可用的建议, 请遵循处理器特定 SK 实现。

7.3.2.1.1.5 MMC0 (eMMC) 检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已查看上述用户指南的“所有部分的通用检查清单”部分。
2. MMC0 接口符合 JEDEC eMMC 电气标准 v5.1 (JESD84-B51), 并实现软 eMMC PHY。
3. 连接 DAT0 及 CMD 信号的拉电阻。
4. 用于 MMC0_CLK 及放置的串联电阻器配置。
5. MMC0_CLK 与值的下拉实现。
6. IO 组的处理器 IO 电源 (VDDSHV4) 及连接的 eMMC 器件 IO 电源。
7. 实现所连器件复位逻辑, 以支持引导模式配置。
8. 如果不需要从所连器件引导, 可实现所连器件复位逻辑。
9. 处理器和所连器件之间的复位信号 IO 级兼容性。
10. 添加所需电容器及值。

原理图审阅

定制原理图设计请遵循以下列表：

1. 为处理器和所连器件 IO 电源轨提供了所需的大容量电容器和去耦电容器。建议先与 SK 原理图 (SK-AM62P-LP) 实现进行比较, 以作为起点。

2. 建议将 eMMC 存储器接口与 SK 原理图实现进行比较，以配置并联拉电阻器、串联电阻器和电阻器值。
3. IO 组 VDDSHV4 的 IO 电源 (1.8V 或 3.3V) 和所连 eMMC 器件 IO 电源由同一电源供电，并遵循 ROC。
4. 建议为靠近 eMMC 器件的 MMC0_DAT0 及 MMC0_CMD 信号连接外部上拉电阻 (47k Ω)。为外部上拉电阻提供可选的 MMC0_DAT[7:1]。(eMMC 器件 (只要 eMMC 器件符合 eMMC JEDEC 标准) 为数据信号 MMC0_DAT[7:1] 启用了上拉电阻。进入 4 位模式时，eMMC 器件会关断 MMC0_DAT[3:1] 上拉电阻，进入 8 位模式时则关断 MMC0_DAT[7:1] 上拉电阻。在更改软件模式时，eMMC 主机软件会打开相应的 MMC0_DAT[7:1] 上拉电阻。
5. 建议在 MMC0_CLK 上提供一个串联电阻器 (0 Ω)，并将其放置在处理器时钟输出引脚附近。串联电阻器已配置用于控制可能的信号反射，该反射可能会导致错误的时钟转换。
6. 建议为靠近所连器件时钟输入的 eMMC 所连器件时钟信号添加下拉电阻 (10k Ω) (因为在某些情况下，时钟在低逻辑状态下停止或暂停，并且下拉选项与逻辑状态一致)。
7. 如果需要 eMMC 引导模式配置，可以使用双输入“与运算”逻辑来实现 eMMC 所连器件的复位。处理器的 GPIO 接口作为“AND”门的一个输入端口进行连接，并配备了上拉电阻，该电阻靠近“与运算”逻辑 AND 门的输入端口，并且还提供了 0 Ω 的电阻以隔离 GPIO 输出，以便进行测试或调试。“AND”门的另一个输入是 MAIN 域热复位状态输出 (RESETSTATz)。
8. 或者，可以直接连接热复位状态输出 RESETSTATz 以复位所连器件。如果使用 RESETSTATz，建议在处理器复位状态输出和所连器件复位输入之间匹配 IO 电平。建议验证 IO 电平匹配实现 (电平转换器或电阻器) 是否遵循了设计建议。
9. 如果 eMMC 存储器不用于引导，则只能使用处理器 GPIO 来控制连接的 eMMC 器件复位输入。建议下拉 eMMC 存储器器件的复位输入。

其他

1. “与运算”逻辑还会执行 IO 电平转换。建议在优化复位“与运算”逻辑时，验证复位输入 IO 电平兼容性。IO 电平不匹配会导致电源泄漏并影响电路板性能。
2. 根据 eMMC JEDEC 标准，建议在 CMD 和 DAT0 上使用外部上拉电阻，还应确保连接的 eMMC 存储器器件输入在软件初始化与 MMC0 接口关联的处理器 IO 之前不会悬空。建议使用外部拉电阻，因为与 MMC0 关联的 IO 是通过标准双电压 LVCMOS IO 单元实现的，并且能够将额外的信号功能多路复用到相应的器件引脚。MMC0 IO 缓冲区在复位期间被禁用。
3. 建议验证 eMMC 存储器器件复位 eMMC_RSTn 是否已启用 (eMMC 非易失性配置空间)，以便外部复位逻辑正常工作。GPIO 复位选项用于在外设无响应的情况下复位连接的 eMMC 器件，而无需复位整个处理器。只有热复位状态输出可用于复位所连接的 eMMC 器件。在外设无响应时，软件会强制进行热复位。但是，使用热复位状态输出会复位整个处理器，而不是尝试恢复特定外设而不复位整个处理器。当使用 RESETSTATz 复位所连器件时，建议验证 RESETSTATz 的 IO 电平是否与所连器件的 IO 电平匹配。
4. 建议使用电平转换器来匹配复位 IO 电平。如果选择了电阻分压器的理想值，则也可以使用电阻分压器进行电平转换。如果该值过高，则 eMMC 复位输入的上升或下降时间可能会很慢，从而引入过大延迟。如果该值过低，则会让处理器电源在正常运行期间提供过多的稳态电流。
5. 当直接连接 RESETSTATz 或处理器 IO 时，不建议在 eMMC 所连器件的复位输入端添加电容器。不建议使用应用 RC 的独立复位连接来复位 eMMC 存储器器件。

7.3.2.1.2 有关 eMMC PHY 的额外信息

建议是参阅处理器特定数据表的 *信号说明* 部分，以及 *MMC*、*MAIN* 域子部分中的注释。

备注

不同处理器系列上使用的 eMMC 控制器和 eMMC PHY IP 的实现方式有所不同。建议遵循适用于 eMMC 接口的处理器特定建议，包括迁移到其他处理器系列时的建议端接。建议查看处理器特定数据表、TRM，并遵循针对处理器和连接器件的连接建议。

处理器特定的 SK 实现可以作为起点基准来遵循。

7.3.2.1.3 MMC0 - SD (安全数字) 卡接口

SK 原理图的 MMC0 接口上实现了 eMMC 接口。在 MMC0 接口中，不支持 CD (卡检测) 和 WP (写保护) 功能 (引脚)，因此无法实现 SD 卡接口。

当不使用 eMMC 接口时，建议将 MMC0 端口配置为 SDIO 嵌入式接口或支持的其他多路复用功能。建议在实现嵌入式 SDIO 接口之前，始终确认提供的软件支持 (使用 E2E)。

不建议将 SD 卡连接至 MMC0 端口。建议是为 SD 卡接口配置 MMC1 端口。

7.3.2.2 MMC1/MMC2 - SD (安全数字) 卡接口

该处理器系列支持 2 个可以配置为 SD 卡接口的外设实例 MMC1、MMC2。MMC1、MMC2 接口支持 4 位 SD 卡接口，包括对 UHS-I SD 卡的支持。建议将 **MMC1 用于 SD 卡接口 (基于定制电路板的设计要求)**。建议使用 MMC1 实现 SD 卡接口，因为 MMC1 支持 SD 卡引导模式，MMC1 IO 连接到支持 SD 卡功能的 IO 组的 IO 电源。当 MMC2 接口用于实现 SD 卡接口时，信号 (SDCD 和 SDWP) 需要多路复用到连接到 VDDSHV0 的 IO。

有关更多信息，请参阅处理器特定数据表的 *MMC1/MMC2 - SD/SDIO 接口* 一节。

7.3.2.2.1 IO 电源

MMC1 (CMD、CLK 和数据) 接口 IO 均以 VDDSHV5 电源轨 (IO 组 5 的 IO 电源) 为基准 (供电)。VDDSHV5 旨在支持上电、下电或不依赖于其他电源轨的动态电压切换，让其工作电压随着传输速度的增加从 3.3V 更改为 1.8V。

建议 VDDSHV5 电源从 3.3V 开始，并允许在预期 (需要) 软件更改 IO 电源电压时更改为 1.8V (以支持 UHS-I SD 卡)。

建议使用单独的电源 (分立式 LDO 或 PMIC)，当配置为 SD 卡接口时，这些电源可以为 VDDSHV5 电源轨独立切换。

MMC1 SD 卡检测 (CD) 和写保护 (WP) 信号以 VDDSHV0 电源轨 (IO 组 0 的 IO 电源) 为基准 (供电)。建议将 MMC1_SD CD、MMC1_SD WP 的上拉电阻 (10k Ω 或 47k Ω) 连接到与 VDDSHV0 (固定电源) 连接的同一电源轨。

MMC2 (CMD、CLK 和数据) 接口 IO 均以 VDDSHV6 电源轨 (IO 组 6 的 IO 电源) 为基准 (供电)。VDDSHV6 旨在支持上电、下电或不依赖于其他电源轨的动态电压切换，让其工作电压随着传输速度的增加从 3.3V 更改为 1.8V。

建议 VDDSHV6 电源从 3.3V 开始，并允许在预期 (需要) 软件更改 IO 电源电压时更改为 1.8V (以支持 UHS-I SD 卡)。

建议使用单独的电源 (分立式 LDO 或 PMIC)，当配置为 SD 卡接口时，这些电源可以为 VDDSHV6 电源轨独立切换。

MMC2 SD 卡检测 (CD) 和写保护 (WP) 信号以 VDDSHV6 (IO 组 6 的 IO 电源) 电源导轨或 VDDSHV0 电源导轨 (IO 组 0 的 IO 电源) 为基准 (供电)。以 IO 组 0 或 6 的 IO 电源为基准 (供电) 的 IO 选择取决于用例。建议为 MMC2_SD CD 添加外部上拉电阻 (10k Ω)，MMC2_SD WP (可选) 信号可以连接到 VDDSHV6 或 VDDSHV0 电源轨 (取决于所选的引脚 (IO)) (靠近所连器件)。

7.3.2.2.2 信号连接

当使用 MMC1 和 MMC2 信号来实现 SD 卡接口时，建议进行以下连接：

7.3.2.2.2.1 SD 卡接口的 MMC1 信号 (推荐)

- 建议对 MMC1_CLK 添加串联电阻 (0 Ω) (靠近处理器时钟输出引脚，用于控制可能的信号反射)。建议对靠近所连器件输入的 MMC1_CLK 使用下拉电阻 (10k Ω)，以将时钟保持在低电平状态 (在某些情况下，时钟在低逻辑状态下停止或暂停，并且下拉选项与该逻辑状态一致)，直到主机将信号配置为时钟。
- 建议为 SD 卡数据信号 (MMC1_DAT[3:0]) 和 CMD 信号 (MMC1_CMD) 添加外部上拉电阻 (47k Ω)，以防止所连器件输入悬空，直到主机软件驱动接口信号。建议将 SD 卡接口信号上拉电阻连接至 IO 组 (MMC1 = VDDSHV5) 电源轨的双电压 IO 电源。

- 建议为 MMC1_SD CD 和 MMC1_SD WP 信号添加外部上拉电阻器 (10k Ω 或 47k Ω) , 并连接到 VDDSHV0 电源导轨 (靠近所连器件或 SD 卡插槽) 。
- 插入 SD 卡时, 处理器的 SD 卡检测 (SD CD) 输入直接连接到接地端。建议使用一个 (100 Ω) 串联电阻器限制电流, 以防因意外导致 IO 被配置为输出。

7.3.2.2.2.2 SD 卡接口的 MMC2 信号

- 建议对 MMC2_CLK 添加串联电阻 (0 Ω) (靠近处理器时钟输出引脚, 用于控制可能的信号反射) 。建议对靠近所连器件输入的 MMC2_CLK 使用下拉电阻 (10k Ω) , 以将时钟保持在低电平状态 (在某些情况下, 时钟在低逻辑状态下停止或暂停, 并且下拉选项与该逻辑状态一致) , 直到主机将信号配置为时钟。
- 建议为 SD 卡数据信号 (MMC2_DAT[3:0]) 和 CMD 信号 (MMC2_CMD) 添加外部上拉电阻 (47k Ω) , 以防止所连器件输入悬空, 直到主机软件驱动接口信号。建议将 SD 卡接口信号上拉电阻连接至 IO 组 (MMC2 = VDDSHV6) 电源轨的双电压 IO 电源。
- 为了支持 SD 卡接口, 建议将作为基准 (供电) 的 MMC2_SD CD 和 MMC2_SD WP 信号连接至 VDDSHV0。建议为 MMC2_SD CD 和 MMC2_SD WP 信号添加外部上拉电阻器 (10k Ω 或 47k Ω) , 这些信号连接到与 VDDSHV0 电源轨连接的同一电源轨 (靠近所连器件 (SD 卡插槽)) 。
- 插入 SD 卡时, 处理器的 SD 卡检测 (SD CD) 输入直接连接到接地端。建议使用一个 (100 Ω) 串联电阻器限制电流, 以防因意外导致 IO 被配置为输出。

7.3.2.2.2.3 其他信息

请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM64x/ AM243x \(ALV\)/AM62Ax/AM62D-Q1/AM62Px 定制电路板硬件设计的设计建议/常见错误 — SD 卡接口](#)

[\[常见问题解答\] AM62A7/AM62A3/AM62A1-Q1/AM62D-Q1：为什么 MMC1 由 VDDSHV0 和 VDDSHV5 这两个不同的电压电源供电？](#)

[\[常见问题解答\] AM62A7-Q1：如果未使用 SD 卡，如何连接引脚网络 VDDSHV4、VDDSHV5 和 VDDSHV6](#)

[\[常见问题解答\] AM6442：AM6442 MMC1](#)

[\[常见问题解答\] AM625：MMC 接口](#)

这是通用常见问题解答，也可用于 AM625、AM623、AM620-Q1、AM625-Q1、AM625SIP 处理器系列。

7.3.2.2.3 SD 卡电源开关 EN 复位逻辑

建议配置由软件启用 (控制) 的电源开关 (负载开关) 为 SD 卡提供电源 (VDD)。一个固定的 3.3V 电源 (处理器 IO 电源) 作为电源开关的电源输入连接。

使用电源开关可以对 SD 卡电源进行下电上电 (因为复位电源开关是复位 SD 卡的唯一方法) , 并在使用了 UHS-I SD 卡时将 SD 卡复位为默认状态。

建议使用 3 输入 “与运算” 逻辑来实现 SD 卡电源开关使能复位逻辑。处理器的 GPIO 接口作为 “AND” 门的一个输入端口进行连接, 并配备了上拉电阻 (10k Ω 或 47k Ω) (以支持 SD 卡启动) , 该电阻靠近 “与运算” 逻辑 “与” 门, 并且还提供了 0 Ω 的电阻以隔离 GPIO 输出, 以便进行测试或调试。AND 门的另外两个输入分别是 MAIN 域 POR (冷复位) 状态输出 (PORz_OUT) 以及 MAIN 域热复位状态输出 (RESETSTATz)。

建议将为 SD 卡电源供电的外部电源开关默认设为 ON (供电状态) 以支持 SD 卡启动。

有关实现的信息, 请参阅处理器特定 SK。

7.3.2.2.4 SD 卡接口信号的外部 ESD 保护

建议为 SD 卡接口信号 (数据、时钟和控制信号) 提供外部 ESD 保护。内部 ESD 保护不能满足板级或终端设备级 ESD 要求。

7.3.2.2.5 IO 组电源轨的 IO 电源的电容器

建议验证 (在提供建议时使用建议的电容器或遵循相关 SK 实现) 是否为 VDDSHV0、VDDSHV5 和 VDDSHV6 电源轨和连接器件提供了大容量电容器及去耦电容器。

建议如果没有可用的建议，请遵循处理器特定 SK 实现。

备注

建议是遵循对于数据和控制信号的处理器特定连接建议。建议将时钟的串联电阻放置在靠近处理器时钟引脚的位置，以控制可能的信号反射。

7.3.2.2.6 SD 卡接口 (MMC1) 检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已查看上述用户指南的“所有部分的通用检查清单”部分
2. 验证用于 SD 卡接口的 MMC 端口。建议将 MMC1 用于 SD 卡接口。
3. MMC1_CLK 的串联电阻和下拉电阻的实现
4. MMC1_CMD 和 DAT[3:0] 信号接口
5. IO 组电源连接的 IO 电源
6. 用于数据、命令和时钟信号的拉电阻值
7. MMC1_SDCD 及 SDWP 信号连接的实现
8. 用于支持 UHS-I 卡的电路实现
9. 连接到 SD 卡电源开关输入的电源轨
10. SD 卡电源开关 EN 复位逻辑的实现
11. SD 接口信号的 ESD 保护配置

原理图审阅

定制原理图设计请遵循以下列表：

1. 为电源轨提供了所需的大容量和去耦电容器。如果没有可用的建议，则建议遵循大容量电容器和去耦电容器的处理器特定 SK 实现。
2. 连接到 IO 组 VDDSHVx 的处理器 IO 电源 (VDDSHV5 和 VDDSHV0) 的电源轨遵循 ROC。
3. MMC1_CLK、CMD 和 DAT[3:0] 信号接口使用以 IO 组 VDDSHV5 的 IO 电源为基准 (供电) 的 SDIO 缓冲器实现 (SDIO 缓冲器类型 IO 支持动态电压切换 3.3V 或 1.8V，以支持 UHS-I SD 卡)。
4. 建议数据和命令信号使用 47k Ω 上拉电阻，以符合 SD 卡规格 (如果内部上拉电阻意外启用，则产生的上拉电阻 (47k Ω 与内部上拉电阻并联) 仍处于指定范围内)。
5. MMC1_CLK 的串联电阻器 (0 Ω) 靠近处理器时钟输出引脚放置，用于控制可能的信号反射 (这可能会导致错误的时钟转换)。下拉电阻 (10K Ω) 放置在连接的器件时钟输入附近。
6. MMC1_SDCD 和 SDWP 信号是使用 LVCMOS 缓冲器实现的，该缓冲器以 IO 组 VDDSHV0 的 IO 电源为基准 (供电)，其工作电压为固定的 1.8V 或 3.3V。
7. 建议在 SDCD 引脚上增加一个 100 Ω 串联电阻器，因为当插入 SD 卡时，处理器 IO 会直接连接到接地端。
8. 为了支持 UHS-I SD 卡，建议实现基于 LDO 或 PMIC 的分立式电源，能够在 3.3V 和 1.8V 之间切换输出，并将开关输出电压连接到 IO 组的 IO 电源，即以 SD 卡接口 IO 信号为基准 (供电) 的 VDDSHV5。
9. 为了支持 UHS-I SD 卡，虽然 SD 卡接口的 IO 电压可以是 1.8V 或 3.3V，但 SD 卡 VDD 电源是固定的 3.3V 电源 (3.3V_SYS, IO 组 3.3V 电源的 IO 电源)。
10. 建议配置由软件启用 (控制) 的电源开关 (负载开关) 为 SD 卡提供电源 (VDD)。一个固定的 3.3V 电源 (处理器 IO 电源) 作为电源开关的电源输入连接。
11. 建议使用 3 输入“与运算”逻辑来实现 SD 卡电源开关使能复位逻辑。处理器的 GPIO 接口作为“AND”门的一个输入端口进行连接，并配备了上拉电阻 (以支持 SD 卡启动)，该电阻靠近“与运算”逻辑“与”门，并且还提供了 0 Ω 的电阻以隔离 GPIO 输出，以便进行测试或调试。AND 门的另外两个输入分别是 MAIN 域 POR (冷复位) 状态输出 (PORz_OUT) 以及 MAIN 域热复位状态输出 (RESETSTATz)。建议将为 SD 卡电源供电的外部电源开关默认设为 ON (供电状态) 以支持 SD 卡启动。

其他

1. 建议将 SD 卡接口连接到 MMC1 接口，因为 MMC1 支持引导。当主机切换 IO 工作电压以支持 UHS-I SD 卡时，MMC1_SDCD 和 MMC1_SDWP 输入的逻辑电平预计为固定。MMC1_SDCD 和 MMC1_SDWP 信号连接到内部 SD 卡连接器开关，并通过连接到 VDDSHV0 的外部电阻器将其上拉至高电平。
2. 由于 UHS-I SD 卡开始以 3.3V IO 电平运行，并在 SD 卡切换到高速数据传输模式之一时变为 1.8V IO 电平，因此实现了动态电压切换。对于任何可以悬空的处理器或所连器件 IO，建议使用外部拉电阻（以防止所连器件输入悬空直到由主机驱动）。
3. 使用电源开关可以对 SD 卡电源进行下电上电（因为复位电源开关是复位 SD 卡的唯一方法），并在使用了 UHS-I SD 卡时将 SD 卡复位为默认状态。SD 卡下电上电（通过电源开关连接 SD 卡电源）是将 SD 卡切换回 3.3V IO 模式的唯一方法，因为 SD 卡没有复位引脚。支持 UHS-I SD 卡时，必须具有动态电源切换功能的 LDO，以对 IO 组的处理器 IO 电源供电。连接至 IO 组 IO 电源的处理器电源应该会通电/断电，并与 SD 卡电源一起切换 IO 电压。控制电源的电路和软件驱动程序验证两个器件是否都处于关闭/打开状态，并在相同的 IO 电压下运行。
4. 在处理器启动期间，ROM 代码会检查卡检测输入 (SDCD) 的状态。建议输入为低，以表示 SD 卡已插入（已检测到）。
5. 要使用 MMC2 接口信号实现 SD 卡接口，对于数据、CMD，可以遵循时钟信号 MMC1 连接。以 MMC2 信号为基准的 IO 组 IO 电源为 VDDSHV6。MMC2_SDCD 和 MMC2_SDWP 信号也能以 VDDSHV6 为基准。将 UHS-I SD 卡连接至 MMC2 需要将 MMC2_SDCD 和 MMC2_SDWP 连接到固定电源电压。建议使用备用引脚选项 (IOSET) 来实现信号功能，该选项使用以固定电压源 VDDSHV0 为基准的 LVCMOS IO 类型。

7.3.2.3 MMC1/MMC2 SDIO (嵌入式) 接口

该处理器系列支持 2 个可以配置为 SDIO 接口的外设实例 MMC1、MMC2。由于 MMC2 接口已在 SK 上针对 SDIO 接口进行了测试，因此建议将 MMC2 接口用于 Wi-Fi 或蓝牙收发器等板载固定电压嵌入式 SDIO 器件用例。MMC1 可以根据需要用于 SDIO。由于尚未在 MMC1 上对 SDIO 接口进行测试，因此客户应检查软件支持的可用性，并对定制电路板设计执行所需的性能测试。

固定的 IO 电源用于嵌入式 SDIO 接口，并简化了电源架构。使用的信号包括数据、命令、时钟及复位信号。连接 SDCD 和 SDWP 信号是可选的，可能取决于用例。

关于为嵌入式 SDIO 实现拉电阻（为连接的器件提供或不提供拉电阻），没有特定指南。实现嵌入式 SDIO 器件的定制电路板设计人员负责确定 SDIO 器件上支持的拉电阻，并在定制电路板设计上应用适当的外部拉电阻。处理器 IO 缓冲器（用于多个 IO）在复位期间和复位后处于关闭状态，在电路板启动并配置软件之前不会启用。为了防止输入悬空，建议对连接到可以悬空的所连器件输入端的信号使用外部拉力。

有关更多信息，请参阅处理器特定数据表的 MMC1/MMC2 - SD/SDIO 接口一节。

此外，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM64x/ AM243x \(ALV\)/AM62Ax/AM62D-Q1/AM62Px 定制电路板硬件设计的设计建议/常见错误 - SDIO \(嵌入式\) 接口](#)

7.3.2.3.1 IO 电源

MMC1 (CMD、CLK 和数据) 接口 IO 均以 VDDSHV5 电源轨 (IO 组 5 的 IO 电源) 为基准 (供电)。MMC1 SD 卡检测 (CD) 和写保护 (WP) 信号 (可选) 以 VDDSHV0 电源轨 (IO 组 0 的 IO 电源) 为基准 (供电)。建议将 MMC1_SDCD、MMC1_SDWP 的上拉电阻 (10k Ω) 从 SDIO 接口连接到同一电源轨 VDDSHV0。

MMC2 (CMD、CLK 和数据) 接口 IO 均以 VDDSHV6 电源轨 (IO 组 6 的 IO 电源) 为基准 (供电)。MMC2 SD 卡检测 (CD) 和写保护 (WP) 信号 (可选) 以 VDDSHV6 (IO 组 6 的 IO 电源) 电源导轨或 VDDSHV0 电源导轨 (IO 组 0 的 IO 电源) 为基准 (供电)。SDIO 接口的 MMC2_SDCD、MMC2_SDWP 的上拉电阻 (10k Ω) 可连接至 VDDSHV6 或 VDDSHV0 电源导轨。

7.3.2.3.2 信号连接

备注

建议在不建议使用拉电阻的情况下遵循以下一般建议。定制电路板设计人员负责检查所连器件支持的拉电阻，并确保没有在外部添加反极性拉电阻。

建议为 MMC1 接口进行以下的连接：

- 建议为 MMC1_CLK (靠近处理器时钟输出引脚以控制可能的信号反射) 连接一个串联电阻器 (0 Ω)，为 MMC1_CLK (靠近所连器件时钟输入引脚) 连接一个外部下拉电阻器 (10k Ω)，以将所连器件保持在低电平状态 (在某些情况下，时钟会在低逻辑状态时停止或暂停运行，而下拉选项则与这种逻辑状态相一致)。
- 建议为连接到 IO 组 (MMC1 = VDDSHV5) 电源轨 (靠近连接的器件) 的相应双电压 IO 电源的数据线 (MMC1_DAT[3:0]) 和 CMD 信号 (MMC1_CMD) 添加外部上拉电阻 (47k Ω)。
- 建议为连接到 VDDSHV0 电源导轨的 MMC1_SDCD 和 MMC1_SDWP (可选) 信号添加外部上拉电阻 (10k Ω) (靠近所连器件)。

建议为 MMC2 接口进行以下的连接：

- 建议为 MMC2_CLK (靠近处理器时钟输出引脚以控制可能的信号反射) 连接一个串联电阻器 (0 Ω)，为 MMC2_CLK (靠近所连器件时钟输入引脚) 连接一个外部下拉电阻器 (10k Ω)，以将所连器件保持在低电平状态 (在某些情况下，时钟会在低逻辑状态时停止或暂停运行，而下拉选项则与这种逻辑状态相一致)。
- 建议为连接到 IO 组 (MMC2 = VDDSHV6) 电源轨 (靠近连接的器件) 的相应双电压 IO 电源的数据线 (MMC2_DAT[3:0]) 和 CMD 信号 (MMC2_CMD) 添加外部上拉电阻 (47k Ω)。
- 建议为 MMC2_SDCD 添加外部上拉电阻 (10k Ω)，MMC2_SDWP (可选) 信号可以连接到 VDDSHV6 或 VDDSHV0 电源轨 (取决于所选的引脚 (IO)) (靠近所连器件)。

7.3.2.3.3 SDIO (MMC2 建议, 嵌入式) 接口检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已查看上述用户指南的“所有部分的通用检查清单”部分。
2. 关于为嵌入式 SDIO 实现拉电阻 (CLK、DATA、CMD、SDCD、SDWP) (为连接的器件提供或不提供拉电阻)，没有特定指南。实现嵌入式 SDIO 器件的定制电路板设计人员负责确定 SDIO 器件上支持的拉电阻，并在定制电路板设计上应用适当的外部拉电阻。
3. MMC2_CLK 的串联电阻和下拉电阻的实现
4. MMC2_CLK、CMD 和 DAT[3:0] 信号接口、IO 组电源连接的 IO 电源
5. MMC2_SDCD 及 SDWP 信号连接的实现
6. 所连器件复位的实现

原理图审阅

定制原理图设计请遵循以下列表：

1. 为电源轨提供了所需的大容量和去耦电容器。如果没有可用的建议，则建议遵循大容量电容器和去耦电容器的处理器特定 SK 实现。
2. MMC2_CLK、CMD 和 DAT[3:0] 信号接口使用以 IO 组 VDDSHV6 的 IO 电源为基准 (供电) 的 SDIO 缓冲器实现 (SDIO 缓冲器类型 IO 支持动态电压切换 3.3V 或 1.8V，以支持 UHS-I SD 卡)。
3. 对于嵌入式 SDIO 应用，建议通过同一固定式 1.8V 或 3.3V 电源，为 IO 组的 IO 电源供电，该电源用于为所连器件 (例如：Wi-Fi 模块) 的 IO 供电。
4. MMC2_SDCD 和 SDWP 信号的实现，使用的是以 IO 组 VDDSHV6 或 VDDSHV0 (IOSET 配置) 的 IO 电源为基准 (供电) 的 LVCMOS 缓冲器，这些缓冲器在固定 1.8V 或 3.3V 下运行。对于 SDIO 用例，可以使用 VDDSHV6，因为未切换 IO 电源。SDCD 和 SDWP 的使用取决于用例，没有具体的建议。
5. MMC2_CLK 的串联电阻器 (0 Ω) 靠近处理器时钟输出引脚放置，用于控制可能的信号反射 (这可能会导致错误的时钟转换)。对靠近所连器件时钟输入的 MMC2_CLK 放置下拉电阻 (10k Ω)，以将时钟输入保持在低电

平状态 (在某些情况下, 时钟在低逻辑状态下停止或暂停, 并且下拉选项与该逻辑状态一致)。建议验证使用外部拉电阻时处理器或所连器件内部拉电阻未配置。

6. 用于数据、命令和时钟信号的拉电阻值。建议遵循连接器件的建议, 或将实现方案与 **SK** 原理图实现方案进行比较。当 **SDIO** 拉电阻没有可用的推荐时, 作为一种良好的设计实践, 当内部拉电阻意外启用时, 建议使用 $47k\Omega$ 上拉电阻 (以使上拉电阻值处于 **SD** 规格范围内)。使用 $47k\Omega$ 时, 产生的拉电阻 ($47k\Omega$ 外部上拉电阻与内部下拉电阻并联) 值仍处于指定范围内。建议验证使用外部拉电阻时处理器或所连器件内部拉电阻未配置。
7. 连接到 **IO** 组 **VDDSHVx** 的处理器 **IO** 电源 (当用于 **SDIO** 时使用 **VDDSHV6**, 当配置 **IO** 集时使用 **VDDSHV0**) 和所连器件 **IO** 电源遵循 **ROC**。
8. 处理器 **IO** 可用于实现所连器件复位。建议使用下拉电阻将所连器件保持在复位状态, 直到主机初始化 **SDIO** 接口。

其他

1. 在复位期间和复位后, 处理器 **IO** 缓冲器 (**TX** (输出) 和 **RX** (输入)) 被禁用, 在复位期间和复位后关闭内部拉电阻 (上拉和下拉)。对于任何可以悬空的处理器或所连器件 **IO**, 建议使用外部上拉电阻 (以防止所连器件输入悬空直到由主机驱动)。建议为所有数据与命令信号使用上拉电阻。
2. 建议验证在通过附加卡连接信号时是否为接口信号提供了所需外部 **ESD** 保护。
3. 使用嵌入式 **SDIO** 接口的 **MMC1** 时, 需要进行软件更改, 因为 **SK** 仅在 **MMC2** 上实现 **SDIO** 接口。定制电路板设计人员负责测试性能。
4. 处理器 **IO** 缓冲器 (用于 **MMCx** 信号) 在复位期间和复位后处于关闭状态, 在电路板启动并配置软件之前不会启用。为了防止输入悬空, 建议对连接到可以悬空的所连器件输入端的信号使用外部拉力。为了防止输入悬空, 请对连接到悬空的所连接器件输入端的任何信号使用外部拉电阻。

7.3.2.4 其他信息

建议是参阅处理器特定数据表的 *信号说明*、*MMC*、*MAIN* 域一节中的注释。

7.3.3 八路串行外设接口 (OSPI) 或四路串行外设接口 (QSPI)

备注

请参阅链接的部分, 了解如何实现串联电阻和并联拉电阻: [处理器特定 SK 与数据表](#)。

该处理器系列支持一个八线串行外设接口 (**OSPI0**) 实例, 后者可配置为 **OSPI0** 或 **QSPI0** 接口。**OSPI0** 是一种串行外设接口 (**SPI**) 模块, 允许对外部闪存器件进行单路、双路、四路或八路读取和写入访问。**OSPI0** 实例支持带有 **DDR/SDR** 支持的 **OSPI/QSPI** 接口。**OSPI0** 支持串行 **NAND** 和串行 **NOR** 闪存器件。**OSPI0** 外设具有存储器映射寄存器接口, 可提供直接存储器接口用于从外部闪存器件访问数据, 从而简化软件要求。

OSPI0 外设用于以存储器映射直接模式 (例如处理器希望直接从外部闪存执行代码) 传输数据或以间接模式传输数据, 其中模块设置为静默执行某些请求的操作, 通过中断或状态寄存器发出完成信号。

对于间接操作, 数据通过内部 **SRAM** 在系统存储器和外部闪存之间传输, 器件控制器以低延迟系统速度加载该内部 **SRAM** 以进行写入, 卸载以进行读取。中断或状态寄存器用于识别应使用用户可编程配置寄存器访问该 **SRAM** 的特定时间。

有关详细信息, 请参阅处理器特定数据表的 *OSPI/QSPI/SPI 电路板设计和布局布线指南* 一节。

有关 **OSPI** 或 **QSPI** 存储器接口的更多信息, 请参阅以下常见问题解答:

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM62Ax/AM62D-Q1/AM62Px 定制电路板硬件设计的设计建议/常见错误 — OSPI/QSPI 存储器接口](#)

[\[常见问题解答\] Sitara/Jacinto 器件的 OSPI 常见问题解答](#)

7.3.3.1 IO 电源

用于 **OSPI0** (**OSPI** 或 **QSPI**) 接口的处理器 **IO** 以 **VDDSHV1** 电源轨 (**IO** 组 1 的 **IO** 电源) 为基准 (供电)。

建议将所连接器件的 VDDSHV1 和 IO 电源轨连接到同一电源。

连接器件的 VDD (内核电压) 可由 (通过) 独立电源 (不同的电源) 供电。

7.3.3.2 信号连接

建议进行以下连接：

- 建议为 OSPI0_CLK (靠近处理器时钟输出引脚以控制可能的信号反射) 连接一个串联电阻器 (0 Ω)，为 OSPI0_CLK (靠近所连器件时钟输入引脚) 连接一个外部下拉电阻器 (10k Ω)，以将所连器件保持在低电平状态 (在某些情况下，时钟会在低逻辑状态时停止或暂停运行，而下拉选项则与这种逻辑状态相一致)。
- 建议为 OSPI0_LBCLKO (靠近处理器的时钟输出引脚，以便能连接或断开 LBCLKO) 提供串联电阻器 (0 Ω)。
- 建议为靠近所连器件输入的 CS 信号添加外部上拉电阻 (10k Ω) 的配置。
- 建议在配置为中断输入的处理器 IO 输入附近为 INT# 输出添加外部上拉 (10k Ω) 配置。
- 建议为连接到所连器件输入 (信号) 的数据线 (DAT0:7) 提供外部上拉电阻 (10k Ω 或 47k Ω) 配置，以防止所连器件输入在由主机驱动之前悬空。建议将上拉电阻器连接到用于为 VDDSHV1 电源轨供电的同一个电源。

7.3.3.3 OSPI/QSPI 器件复位

建议使用双输入“与运算”逻辑来实现所连接器件 (OSPI/QSPI 存储器) 的复位。处理器的 GPIO 接口作为“AND”门的一个输入端口进行连接，并配备了上拉电阻 (10k Ω 或 47k Ω) (以支持启动过程)，该电阻靠近“与运算”逻辑“与”门的输入端口，并且还提供了 0 Ω 的电阻以隔离 GPIO 输出，以便进行测试或调试。“AND”门的另一个输入是 MAIN 域热复位状态输出 (RESETSTATz)。

如果使用处理器 MAIN 域热复位状态输出 (RESETSTATz) 来复位附加器件 (不使用“与运算”逻辑)，建议将 RESETSTATz 的输入电压等级与所连接的器件保持一致。建议使用电平转换器来匹配 IO 电平。如果选择了电阻分压器的理想值，则也可以使用电阻分压器进行电平转换。如果过高，OSPI/QSPI 复位输入的上升和下降时间可能会很慢，从而引入过大延迟。如果使用电阻值过低的分压器，会导致处理器在正常运行时产生过多的稳态电流。

除了数据、时钟和片选输入外，建议还选择支持外部复位输入引脚的存储器器件。

7.3.3.4 环回时钟

请参阅处理器特定数据表的 OSPI/QSPI/SPI 电路板设计和布局布线指南部分。本部分提供连接 OSPI、QSPI 或 SPI 存储器器件时建议遵循的 PCB 布线指南。

建议验证环回时钟配置。不同的时钟环回配置可以使用 OSPI0_LBCLKO (OSPI0 环回时钟输出) 和 OSPI0_DQS (OSPI0 数据选通或环回时钟输入) 信号来实现。有关支持的环回配置的相关信息，请参阅处理器特定数据表的 OSPI/QSPI/SPI 电路板设计和布局布线指南部分中的下图：

- 无环回、内部 PHY 环回和内部焊盘环回的 OSPI 连接原理图
- 外部板环回的 OSPI 连接原理图
- DQS 的 OSPI 连接原理图

外部电路板级环回

处理器 DQS (或环回时钟输入) 与所连的存储器器件的 DS 数据选通搭配使用

建议将所连器件的 DS 引脚 (如果所连器件上有 D_s (读取数据闪光灯) 引脚) 连接到处理器的 OSPI0_DQS 引脚。建议在不使用 OSPI0_LBCLKO 引脚时将其保持在未连接状态。

建议在所连器件上没有 DS 引脚的情况下配置外部环回 (例如：QSPI)。

建议将处理器的 OSPI0_LBCLKO 输出引脚连接至处理器的 OSPI0_DQS 输入引脚 (请注意长度匹配要求)。

当不使用外部环回时，建议将 OSPI0_LBCLKO 和 OSPI0_DQS 引脚保持未连接状态。

备注

为支持传统 x1 命令，建议将处理器 OSPI0 接口的 D0 和 D1 引脚连接到 OSPI/QSPI 存储器器件的 D0 和 D1 引脚。不允许交换数据位。

7.3.3.5 连接多个 (附接) 器件

当前不支持将 OSPI0 外设 (存储器接口) 连接到多个存储器件。建议将 OSPI0 接口 (处理器) 连接到 1 个存储器件。如果 OSPI0 连接到多个存储器件，该接口会创建一条拆分的数据总线，这可能会降低更高速条件下的信号完整性。为了以更高的速度使用 OSPI0 访问存储器件，建议使用 OSPI0 接口信号的点对点连接。

7.3.3.6 电源轨的电容器

建议验证是否为 VDDSHV1 电源轨和附加器件 (CORE 和 IO 电源) 提供了大容量电容器和去耦电容器 (在有建议时，使用建议的电容器或遵循相关的 SK 实现)。

建议如果没有可用的建议，请遵循处理器特定 SK 实现。

7.3.3.7 OSPI0 或 QSPI0 外设接口实现检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已查看上述用户指南的“所有部分的通用检查清单”部分。
2. 所需的内存接口配置和推荐的连接。
3. 处理器和所连器件之间的 IO 级兼容性。以 OSPI0 接口信号为基准 (供电) 的所连器件 IO 电源和 IO 组的 IO 电源的连接。
4. 为 OSPI0_CLK 配置串联电阻器及下拉电阻。
5. 为数据与控制信号配置上拉电阻器。
6. 处理器和所连器件之间的 IO 级兼容性。
7. 复位逻辑及所连器件复位输入连接的实现。
8. 基于存储器器件和所选接口 (OSPI/QSPI) 的时钟环回配置。
9. 连接来自存储器 (QSPI) 的 DQS 输入或来自处理器 (QSPI) 的 LBCLKO。

原理图审阅

定制原理图设计请遵循以下列表：

1. 建议将 OSPI0 或 QSPI0 存储器接口与 SK 原理图实现进行比较，以配置并联拉电阻、串联电阻和电阻值。
2. 建议将所连器件复位逻辑的实现与 SK 原理图实现进行比较。
3. 串联电阻器 (0Ω) 适用于 OSPI0_CLK (靠近处理器时钟输出引脚以控制可能的信号反射) 和 OSPI0_CLK (靠近所连器件时钟输入引脚) 的外部下拉电阻器 (10kΩ)，以将所连器件保持在低电平状态 (在某些情况下，时钟在低逻辑状态下停止或暂停，下拉选项与这种逻辑状态一致)。
4. 为能够悬空的数据和控制信号提供上拉电阻 (10kΩ 或 47kΩ) 配置 (以防止所连器件输入悬空直到由主机驱动)。建议验证电源是否连接至上拉电阻。
5. 不建议也不允许将 OSPI0 接口连接多个所连器件 (超过 1 个所连器件)。
6. 处理器和所连器件之间的 IO 级兼容性。以 OSPI0 接口信号为基准 (供电) 的所连器件 IO 电源和 IO 组 VDDSHV1 的 IO 电源连接到同一电源。
7. 连接到以 OSPI0 外设和所连器件 IO 电源为基准 (供电) 的 IO 组 VDDSHV1 的 IO 电源的电源轨遵循 ROC。
8. 基于用例实现外部环回。
9. 从 OSPI 存储器器件连接到 DQS，并为处理器附近的 DQS 输入添加了下拉电阻。
10. 通过 0Ω 连接 QSPI 存储器器件的 OSPI0_LBCLKO。
11. 不建议在复位或电源斜升期间将复位输入上拉至高电平状态。
12. 使用双输入 (RESETSTATz 和处理器 IO) “与运算”逻辑或使用 MAIN 域热复位状态输出 RESETSTATz 进行引导时的复位逻辑实现。

13. 当 OSPI0 接口未用于引导时，复位逻辑可使用处理器 IO 来实现。建议在复位输入附近使用下拉电阻。

其他

1. 建议验证是否遵循了处理器特定数据表的 *OSPI/QSPI/SPI 电路板设计和布局布线指南* 部分。
2. 如果实现了 OSPI/QSPI 引导模式，建议验证勘误表、所选存储器是否满足处理器特定 TRM 中描述的引导标准（或使用 E2E 通过 TI 建议验证）。

7.3.4 通用存储器控制器 (GPMC)

该处理器系列支持 1 个通用存储器控制器 (GPMC0) 接口，此接口可使用 8 位或 16 位 NAND 闪存接口信号连接到 NAND 闪存，或使用处理器特定数据表和 *器件比较表* 中列出的所支持并行存储器接口（同步或异步）选项连接到 NOR 闪存。

通用存储器控制器是一个统一的存储器控制器，专用于与外部存储器器件连接，例如：

- 类似 SRAM 的异步存储器和应用特定集成电路 (ASIC) 器件
- 异步、同步和页面模式（仅在非多路复用模式下可用）突发 NOR 闪存器件
- NAND 闪存
- 伪 SRAM 器件

请参考处理器特定 TRM 中的 *内存接口* 一章、*通用内存控制器 (GPMC)* 部分，以获取有关支持的 GPMC 功能、各种访问类型以及 GPMC 接口能够与之通信的广泛外部器件的详细信息。有关支持的信号，请参考处理器特定 TRM 中的 *GPMC I/O 信号* 部分，以及处理器特定数据表中的 *信号说明：GPMC 主域 GPMC0 信号说明* 部分。

7.3.4.1 IO 电源

用于 GPMC 接口的处理器 IO 以 VDDSHV3 电源轨（IO 组 3 的 IO 电源）为基准（供电）。

建议将所连接器件的 VDDSHV3 和 IO 电源轨连接到同一电源。

连接器件的 VDD（内核电压）可由（通过）独立电源（不同的电源）供电。

7.3.4.2 GPMC 接口

建议是验证使用的存储器接口配置和连接到 GPMC 接口的所连接器件数量。

建议在同步模式下将 GPMC 接口连接到 x1（单个）器件。使用多个附接器件或 (CSn) 时需要拆分板载 GPMC 时钟（和其他接口信号），这会导致影响性能的信号完整性问题。

在异步模式下连接多个器件时，建议进行详细的时序分析。在异步模式下连接多个器件时，必须将控制信号路由到多个器件。拆分路由和负载（布线长度和器件数量）定制电路板性能。

7.3.4.3 信号连接

建议为 GPMC0_CLK（靠近处理器时钟输出引脚以控制可能的信号反射）连接一个串联电阻器（0Ω），为 GPMC0_CLK（靠近所连接器件时钟输入引脚）连接一个外部下拉电阻器（10kΩ），以将所连接器件保持在低电平状态（在某些情况下，时钟会在低逻辑状态时停止或暂停运行，而下拉选项则与这种逻辑状态相一致）。

建议在 GPMC0_CS0-3（取决于配置）上配置一个外部上拉电阻（10kΩ），以防止所连接器件输入在由主机驱动之前悬空。

建议为 GPMC 地址和数据接口信号提供外部拉电阻（10kΩ），以防止所连接器件输入悬空直至由主机驱动。

7.3.4.3.1 GPMC NAND

NAND 闪存的高电平有效就绪和低电平有效繁忙 (R/B#) 输出为漏极开路输出类型信号，并连接到 GPMC0_WAIT0 和 GPMC0_WAIT1 信号（取决于配置）。建议在靠近所连接器件处提供上拉电阻（通常使用值 10kΩ）。

7.3.4.4 存储器（连接的器件）复位

如果使用 GPMC 接口使用 NAND 闪存或 NOR 闪存，复位输入的可用性取决于所选的存储器器件。

如果支持复位引脚，建议检查所需的复位配置并将相关外部复位输入信号连接到存储器复位输入引脚，包括实现 2 输入“与运算”逻辑。在复位引脚上添加一个上拉电阻可在电压斜升期间启用存储器，但不建议这样做。

7.3.4.5 电源轨的电容器

建议验证是否为 VDDSHV3 电源轨和附加器件 (CORE 和 IO 电源) 提供了大容量电容器和去耦电容器 (在有建议时，使用建议的电容器或遵循相关的 SK 实现)。

建议如果没有可用的建议，请遵循处理器特定 SK 实现。

7.3.4.6 GPMC 接口检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已查看上述用户指南的“所有部分的通用检查清单”部分。
2. GPMC 接口配置和建议的连接。
3. GPMC0 时钟的串联电阻及下拉电阻连接。
4. 处理器和所连器件之间的 IO 级兼容性。
5. IO 所需上拉电阻的连接。
6. 支持的地址和数据范围。
7. NAND 闪存中开漏输出类型信号高电平有效就绪和低电平有效繁忙 (R/B#) 输出的连接。
8. 对交替功能 (GPMC 接口) 配置的引导模式输入。
9. 所需的 GPMC 接口时序与计算的时序以及布局对时序的影响。在异步模式下连接至多个器件时执行时序和 IO 负载计算。

原理图审阅

定制原理图设计请遵循以下列表：

1. GPMC 接口配置和建议的连接。GPMC 存储器 NAND/NOR、地址和数据信号的连接 - 多路复用或非多路复用、同步或异步数据位宽度符合处理器特定 TRM。
2. 支持的地址和数据范围 (处理器专用数据表中提到的处理器 IO 引脚输出)。
3. 处理器和所连器件之间的 IO 级兼容性。以 GPMC 接口信号为基准 (供电) 的所连器件 IO 电源和 IO 组 VDDSHV3 的 IO 电源连接到同一电源。
4. 建议为可悬空的接口信号提供拉电阻 (47k Ω) (以防止所连器件输入悬空直到由主机驱动)。
5. 建议在 GPMC0_CS_n0-3 (取决于配置) 上配置一个外部上拉电阻，以防止所连器件输入悬空直至由主机驱动。
6. 串联电阻器 (0 Ω) 适用于 GPMC0_CLK (靠近处理器时钟输出引脚以控制可能的信号反射) 和 GPMC0_CLK (靠近所连器件时钟输入引脚) 的外部下拉电阻器 (10k Ω)，以将所连器件保持在低电平状态 (在某些情况下，时钟在低逻辑状态下停止或暂停，下拉选项与这种逻辑状态一致)。
7. 连接到 IO 组 VDDSHV3 (以 GPMC0 外设和所连器件 IO 电源为基准 (供电)) 的 IO 电源的电源轨来自同一来源，并遵循 ROC。
8. NAND 闪存的开漏输出型信号高电平有效就绪和低电平有效繁忙 (R/B#) 输出连接到 GPMC0_WAIT0 和 GPMC0_WAIT1 信号 (取决于配置)。建议在靠近所连器件的位置连接上拉电阻 (通常使用 10k Ω 值)。
9. 通过 0 Ω 配置为交替功能 (GPMC 接口) 的引导模式输入，以便能够隔离以检查引导模式功能。

7.4 外部通信接口 (以太网 (CPSW3G0)、USB2.0、PRUSS、UART 和 MCAN)

备注

请参阅链接的部分，了解如何实现串联电阻和并联拉电阻：[处理器特定 SK 与数据表](#)。

7.4.1 以太网 (MAC) 接口

该处理器系列支持 2 (两) 个具有单独 MAC ID 的独立以太网接口 (使用 CPSW3G0 外设实现)。每个 MAC 接口均支持 RGMII 或 RMII 接口。

有关以太网接口的更多信息, 请参阅以下常见问题解答:

[\[常见问题解答\] AM6442、AM6441、AM6422、AM6421、AM6412、AM6411 和 AM2434、AM2432、AM2431 \(ALV、ALX\) 定制电路板硬件设计 - 以太网](#)

这是通用常见问题解答, 也可用于 AM625、AM623、AM620-Q1、AM625-Q1、AM625SIP 处理器系列。

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L/AM64x/AM243x 设计建议/定制电路板硬件设计 - 与 RGMII 接口和 RGMII TI EPHY 相关的疑问](#)

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L/AM64x/AM243x 设计建议/定制电路板硬件设计 - 与 RMII 接口和 RMII TI EPHY 相关的疑问](#)

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP : 以太网 PHY RGMII 同步时钟](#)

7.4.1.1 通用平台 3 端口千兆位以太网交换机 (CPSW3G0)

该处理器系列支持 1 个 CPSW3G0 以太网交换机实例 (具有 2 个外部端口), 该交换机可以配置为 3 个端口的交换机 (与 2 个外部以太网端口 (端口 1 和 2) 相连), 或者可以配置为具有独立 MAC 地址的双独立 MAC 接口。

CPSW3G0 支持每个外部以太网接口端口的 RGMII (10/100/1000) 或 RMII (10/100) 接口。在 RGMII 接口中, TDx (由处理器传输的数据) 数据路径和 RDx (由处理器接收的数据) 数据路径彼此完全独立, 其中每个路径都有自己的可执行源同步数据传输的时钟和数据信号。

7.4.1.1.1 IO 电源

处理器 MAC 接口 (CPSW3G0) 信号 (IO, 用于连接 EPHY 的以太网接口) 以 VDDSHV2 电源轨 (IO 组 2 的 IO 电源) 为基准 (供电)。建议将所连接器件 (EPHY) 的 VDDSHV2 和 IO 电源轨连接到同一电源。

连接器件 (EPHY) 的 VDD (内核电压) 可由 (通过) 独立电源 (不同的电源) 供电。

7.4.1.1.2 MAC (数据、控制和时钟) 接口信号连接

建议为处理器以太网 MAC 接口信号配置串联电阻 (0 Ω) (对于 TDx 信号, 建议将其放置在处理器 MAC 接口引脚附近)。建议是使用尽可能小的封装 (0402 或更小) 并将串联电阻靠近源极放置。可在测试期间调整电阻值。对于 RDx 信号, 可以使用 EPHY 提供的内部阻抗控制 (如果 EPHY 支持) 选项。建议在空间不受限制或 EPHY 不支持内部阻抗控制的情况下, 在 RDx 信号上提供外部串联电阻 (0 Ω) 配置。

EPHY 的中断输出可以连接到处理器 EXTINTn (中断) 引脚。建议为 EXTINTn 连接一个靠近处理器的上拉电阻 (10k Ω 或 47k Ω)。

7.4.1.1.3 EPHY 复位

可以使用 3 输入“与运算”逻辑来实现附加器件 (EPHY) 复位。处理器的 GPIO 接口 (在本地用于将 EPHY 复位) 作为“与运算”逻辑“AND”门的一个输入端口进行连接, 并配备了上拉电阻 (10k Ω 或 47k Ω) (以支持启动过程), 该电阻靠近“与运算”逻辑“与”门的输入端口, 并且还提供了 0 Ω 的电阻以隔离 GPIO 输出, 以便进行测试或调试。AND 门的另外两个输入分别是 MAIN 域 POR (冷复位) 状态输出 (PORz_OUT) 以及 MAIN 域热复位状态输出 (RESETSTATz)。

如果双输入“与运算”逻辑被视为 PORz_OUT (上电时的引脚搭接), 或者 RESETSTATz 可作为其中一个输入连接, 处理器 GPIO 输入作为另一个 (第二个) 输入连接。当使用了多个 EPHY 时 (x2), 建议提供单独复位 EPHY 的配置。

根据 EPHY 复位输入极性, 可以使用“与运算”逻辑输出端的上拉或下拉电阻 (10k Ω)。时钟有效后, EPHY 需要在重置状态下保持指定的最短时间。

如果处理器 MAIN 域热复位状态输出 (RESETSTATz) 直接用于复位 EPHY (所连器件), 建议将 RESETSTATz 的 IO 电压电平与所连器件相匹配。建议使用电平转换器来匹配 IO 电平。如果选择了电阻分压器的理想值, 则也

可以使用电阻分压器进行电平转换。如果过高，EPHY 复位输入的上升和下降时间可能会很慢，从而引入过大延迟。如果使用电阻值过低的分压器，会导致处理器在正常运行时产生过多的稳态电流。

7.4.1.1.4 以太网 PHY (和 MAC) 运行和媒体独立接口 (MII) 时钟

建议匹配 EPHY 及处理器的时钟规格。

7.4.1.1.4.1 晶体用作处理器及 EPHY 的时钟源

如果使用晶体作为 EPHY 的时钟源，建议将晶体 (时钟) 规格与处理器晶体时钟规格相匹配。

7.4.1.1.4.2 用做时钟源的外部振荡器

外部 (LVCMOS) 振荡器可用做处理器 (和 EPHY) 的时钟源。可以使用 x1 (单个) 振荡器或者多个振荡器 (每个 EPHY 和处理器都有单独的振荡器)。当使用 x1 (单个) 振荡器时，建议在连接到处理器和 EPHY 之前缓冲振荡器时钟输出 (对每个所连接器件时钟输入使用单独的缓冲器)。

单通道 (具有单输入和单输出) 缓冲器或具有双输出或多输出缓冲器的单输入可以用于将振荡器的时钟输出连接到处理器和 EPHY。对于特定用例 (使用时间敏感网络 (TSN) 的某些工业应用的要求)，建议将单输入和两个或更多输出 (根据所使用的 EPHY 数量) 缓冲器用于处理器和 EPHY。

建议是需确认 EPHY 的 XO 是否按照推荐的规范进行连接。

7.4.1.1.4.3 处理器时钟输出 (CLKOUT0)

为了优化定制电路板设计，处理器时钟输出 (CLKOUT0) 可用作 EPHY 的时钟源 (输入)。CLKOUT0 在内部进行缓冲，适用于以点对点时钟拓扑进行连接。建议在连接到所连器件 (EPHY) 的时钟输入之前 (单独) 对 CLKOUT0 进行缓冲。建议在 CLKOUT0 的源端使用串联电阻器 (0Ω，测试后调整) 来控制可能的信号反射。

使用 RGMII 接口的 EPHY 需要一个与任何其他信号不同步的 25MHz 时钟输入。25MHz 时钟不会有任何时序要求，但需要确保 EPHY 不在时钟输入端接收任何非单调转换。

当 EPHY 配置为 RMII 接口时，时钟选项取决于 EPHY 配置。

EPHY 配置为控制器时，许多 RMII EPHY 使用一个与任何其他信号不同步的 25MHz 输入时钟，25MHz 时钟信号不会有任何时序要求，但务必要确保 EPHY 在其时钟输入端不接收任何非单调转换。

RMII EPHY 为 MAC 提供 50MHz 时钟输出。在 RMII 用例中，相对于 EPHY，50MHz 数据传输时钟会延迟 (硬件延迟) 传递至 MAC。延迟会转换时钟数据时序关系，从而会减小时序裕量。如果延迟过大，逐渐缩小的时序裕度可能会对某些设计造成问题。

EPHY 配置为器件时，MAC 和 EPHY 使用一个与发送和接收数据同步的 50MHz 公共时钟。50MHz 时钟在 RMII 规范中定义为供 MAC 和 EPHY 使用的通用数据传输时钟信号，这种情况下，转换预计会同时到达 MAC 和 EPHY 器件引脚。通用时钟可以为发送和接收数据传输提供更好的时序裕量。需要确保 MAC 和 EPHY 不会在时钟输入端接收任何非单调转换。为了控制时钟信号完整性，建议通过单输入、双输出相位对齐缓冲器路由通用时钟信号。建议使用与 1/2 数据信号长度等长的信号布线来连接时钟缓冲器输出，其中一个时钟输出连接到 MAC，另一个连接到 EPHY。

对于 RMII 接口，建议的配置是处理器特定 TRM 中所述的 *RMII 接口典型应用 (外部时钟源)*。当使用 *RMII 接口典型应用程序 (内部时钟源)* 配置时，建议在电路板级验证性能。建议连接外部时钟配置，以进行初始性能测试以及与内部时钟的比较。

在处理器和 EPHY (在 SK 板上使用) 上使用 25MHz 时钟频率验证了以太网性能 (RGMII)。

可以使用 CLKOUT0 为处理器 (MAC) 和 EPHY 提供 25MHz 或 50MHz 时钟。在软件配置时钟输出后，CLKOUT0 输出可用。如果需要支持以太网引导，不建议使用 CLKOUT0 配置。更改配置之后，作为 EPHY 时钟输入连接的 CLKOUT0 就可能出现故障。

WKUP_CLKOUT0 是 MCU_OSC0_XO 的缓冲输出，在处理器复位后提供。时钟输出在时钟开始切换后不会出现故障。但是，第一个高电平脉冲或低电平脉冲可能很短，因为复位是与 MCU_OSC0 时钟异步释放的。

处理器特定数据表中未定义处理器时钟输出性能，因为时钟性能可能会受到每种定制电路板设计所特有的许多变量的影响。建议定制电路板设计人员使用实际 PCB 延迟、最小或最大输出延迟特性以及每个器件的最低建立和保持要求来验证所有外设的时序，以确认是否有足够的时序裕量。

7.4.1.1.5 以太网 PHY 引脚配置 (strap)

一些 TI EPHY 在重置期间将输出配置为输入，并在释放 EPHY 重置时锁存 EPHY 配置（通过电阻器进行引脚捆扎）。建议在带输入 (IO) 上应用适当的上拉或下拉（根据 EPHY 建议）（带输入也连接到处理器 IO）。处理器特定 SK 上使用的 TI EPHY 结合使用了上拉和下拉电阻，从而可以使用每个引脚来配置多种配置模式。在处理器复位期间，IO 缓冲器和内部上拉或下拉电阻处于禁用状态，并尽可能减少了 EPHY 向处理器输入缓冲器施加中点电压的问题。启用任何相关的处理器输入缓冲器之前，需要将 EPHY 从复位状态配置为正常状态，以驱动有效的逻辑状态。

7.4.1.1.6 外部中断 (EXTINTn)

EXTINTn 是一种开漏输出类型失效防护 IO 缓冲器。当连接 PCB 布线并且外部输入未被主动驱动时，建议连接外部上拉电阻器（10k Ω 或 47k Ω ）。漏极开路输出类型 IO 缓冲器在上拉至 3.3V 时具有指定的转换率要求。建议使用 RC（延迟）来限制输入压摆率。建议将电容器放置在处理器引脚附近。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP/AM62L/AM62A7/AM62A3/AM62A1-Q1/AM62D-Q1/AM62P/AM62P-Q1 定制电路板硬件设计 — EXTINTn 引脚上拉连接](#)

7.4.1.1.6.1 外部中断 (EXTINTn) 检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已查看上述用户指南的“所有部分的通用检查清单”部分。
2. 电气特性（拉至 3.3V 时的失效防护及转换率要求）。
3. EXTINTn IO 的上拉连接。
4. 拉至 3.3V 时，EXTINTn IO 的上拉连接。

原理图审阅

定制原理图设计请遵循以下列表：

1. 使用的上拉电阻值。建议先与 SK 原理图实现进行比较，作为起点。
2. 以处理器 VDDSHV0 为基准（供电）的上拉电阻（上拉电阻连接到正确的 IO 电压电平）。
3. EXTINTn 是一种开漏输出类型失效防护 IO 缓冲器。当连接布线或外部输入时，建议使用外部上拉电阻。
4. 开放漏极输出型 IO 缓冲器，EXTINTn 在拉到 3.3V 电源时具有规定的转换速率要求。建议在输入端添加 RC 来限制输入压摆率。请参阅 TMD564EVM。
5. 用于压摆率控制的 RC 值。请参阅 TMD564EVM。建议将电容器连接在处理器引脚附近。

7.4.1.1.7 MAC (介质访问控制器) 到 MAC 接口

当在 x2 处理器之间进行无 EPHY (MAC 至 MAC) 连接时，建议使用 RGMII 接口（请与 TI 联系以了解官方是否支持 MAC 至 MAC 接口），因为时钟可进行源同步。

当在 x2 处理器之间的 MAC 至 MAC 接口时，建议验证失效防护运行情况、时钟规格匹配以及 IO 级兼容性。

7.4.1.1.8 MDIO (管理数据输入/输出) 接口

用于 MDIO 接口的处理器 IO 以 VDDSHV2 电源轨（IO 组 2 的 IO 电源）为基准（供电）。

建议为 MDIO0_MDIO (MDIO 数据) 信号连接外部上拉电阻（2.2k Ω ，靠近 EPHY，遵照 EPHY 建议）。

对于 MDIO_MDC，建议验证 EPHY 是否支持内部拉电阻（下拉电阻）。

7.4.1.1.9 包括磁性元件在内的以太网 MDI (介质相关接口)

如果 EPHY 和 MDI (铜缆或光纤) 接口 (包括磁性元件和 RJ45 连接器) 在处理器板上实现, 建议遵循 SK 实现方案中的 MDI 接口连接方式、推荐的磁性元件 (建议使用 SK 上使用的磁性元件或类似元件) 以及 RJ45 连接器屏蔽层与电路接地端的连接。建议提供外部 ESD 保护。

7.4.1.1.10 电源轨的电容器

建议验证是否为 VDDSHV2 电源轨和附加器件 (CORE、ANALOG 和 IO 电源) 提供了大容量电容器和去耦电容器 (在有建议时, 使用建议的电容器或遵循相关的 SK 实现)。

建议如果没有可用的建议, 请遵循处理器特定 SK 实现。

7.4.1.1.11 以太网接口检查清单

通用

检查并验证定制原理图设计的以下内容:

1. 已查看上述用户指南的“所有部分的通用检查清单”部分。
2. MAC 接口配置 - RGMII 或 RMII。
3. 处理器 MAC 和 EPHY (所连器件) 之间具有 IO 级兼容性。
4. 处理器和 EPHY 时钟规格匹配。
5. 用于 RMII 接口的 EPHY 及处理器 MAC 的时钟。
6. MAC 至 MAC 接口连接。
7. MDIO 接口及 EPHY 地址配置。
8. EPHY 复位逻辑的实现。
9. x2 EPHY 复位逻辑的实现。
10. MDIO 接口 MDC (时钟信号) 上的上拉电阻是可选的 (EPHY 可具有内部下拉电阻; 建议验证 EPHY 数据表中拉电阻的可用性)。

原理图审阅

定制原理图设计请遵循以下列表:

1. 建议将用于工艺和 EPHY 电源轨的大容量和去耦电容器与 SK 原理图实施进行比较 (当使用 TI EPHY 时)。
2. 建议配置串联电阻 (在靠近处理器 MAC TDx 输出引脚的 TDx 信号上)。
3. 建议验证所连器件 IO 电源和处理器 MAC 接口信号为基准 (供电) 的 IO 组 VDDSHV2 的 IO 电源是否连接到同一电源并遵循 ROC。
4. MDIO 接口连接, 包括在 EPHY 附近添加的 MDIO 数据的上拉电阻 (2.2k Ω (遵循 EPHY 建议))。MDIO 连接到多个器件, 并在每个 EPHY 附近添加上拉电阻。当使用多个 1 个 EPHY 时, 请为 MDIO 接口配置 EPHY 地址。
5. 可以使用带有内部振荡器的晶体或用于每个 EPHY 的外部振荡器, 或带有缓冲器的通用外部振荡器 (输出取决于用例)。
6. 建议匹配 EPHY 及处理器时钟规格。
7. RMII 接口的 EPHY 和处理器 MAC 的时钟, 包括根据 EPHY 配置添加缓冲器和时钟架构 (使用带多个输出的通用振荡器和缓冲器)。如果处理器时钟输出连接到多个输入, 建议每个时钟输入作为时钟的缓冲输出。
8. 当使用 MAC 到 MAC 接口时, 建议验证 IO 级兼容性、失效防护运行 (当 2 个处理器 MAC 以不同的电源为基准 (供电) 时) 以及时钟规格匹配。
9. 建议在使用 TI EPHY 时, 使用 SK 实现验证 EPHY 复位实现, 包括“与运算”逻辑、AND 门输入上拉电阻和 EPHY 复位输入拉电阻。可以使用 3 输入“与运算”逻辑来实现附加器件 (EPHY) 复位。处理器的 GPIO 接口 (在本地用于将 EPHY 复位) 作为“与运算”逻辑“AND”门的一个输入端口进行连接, 并配备了上拉电阻 (以支持启动过程), 该电阻靠近“与运算”逻辑“AND”门的输入端口, 并且还提供了 0 Ω 的电阻以隔离 GPIO 输出, 以便进行测试或调试。AND 门的另外两个输入分别是 MAIN 域 POR (冷复位) 状态输出 (PORz_OUT) 以及 MAIN 域热复位状态输出 (RESETSTATz)。
10. 当使用了多个 EPHY 时 (x2), 建议提供单独复位 EPHY 的配置。

其他

- 使用 TI EPHY 时，建议遵循以下建议的步骤：
 - 获得对 EPHY 业务部门或产品线实施情况的审查。
 - 建议验证是否添加了建议的大容量电容器和去耦电容器，并遵循了电源序列要求。
 - 建议验证 RBIAS 电阻值和容差、RJ45 连接器选择、MDI 信号的外部 ESD 保护配置，以及 RJ45 连接器屏蔽层到电路接地端的连接
- 单通道（具有单输入和单输出）缓冲器或具有双输出或多输出缓冲器的单输入可以用于将振荡器的时钟输出连接到处理器和 EPHY。对于特定用例（使用时间敏感网络 (TSN) 的某些工业应用的要求），建议将单输入和两个或更多输出（根据所使用的 EPHY 数量）缓冲器用于处理器和 EPHY。
- 当 EPHY 配置为 RMII 外设时，建议使用单输入（通用时钟输入）、双输出相位对齐缓冲器。
- 考虑在 RDx 信号的所连器件 (EPHY) 附近添加 0Ω （可选且建议在空间不受限时使用）串联电阻。
- 为了优化“与运算”逻辑，请使用双输入与门并将 RESETSTATz 和处理器 GPIO 作为输入。“与运算”逻辑还会执行 IO 电平转换。建议在优化复位“与运算”逻辑之前，请验证复位 IO 电平兼容性。IO 电平不匹配会导致电源泄漏并影响电路板性能。
- 如果考虑以太网引导，建议查看器件勘误表，验证支持的 EPHY 接口配置、使用的 MAC 接口端口与推荐的端口，以及推荐的时钟和接口连接。

7.4.2 通用串行总线 (USB2.0)

该处理器系列支持 2（两）个 USB 2.0 接口端口实例。这些 USB 接口（USB0、USB1 端口）可以配置为主机、器件或双角色器件 (DRD)。

建议按照处理器特定数据表的 *USB 设计指南* 部分连接 USBn_VBUS (n = 0-1)。处理器特定数据表的 *建议运行条件* 一节中定义了 USBn_VBUS 引脚的电源电压范围。当 VBUS 电源电压电平为 5V 时，施加的标称输入电压等于电阻分压器输出。

USBn_ID 功能可以使用任何处理器 GPIO 来实现。

备注

USBn_VBUS 为失效防护输入。失效防护输入仅在 VBUS 电源通过建议的 *USB VBUS 检测分压器/钳位电路* 连接时才有效。

7.4.2.1 使用时的 USBn (n = 0-1) 接口

建议将 USB 电源 VDDA_CORE_USB (USB0 和 USB1 内核电源)、VDDA_1P8_USB (USB0 和 USB1 1.8V 模拟电源) 和 VDDA_3P3_USB (USB0 和 USB1 3.3V 模拟电源) 连接到器件特定数据表中推荐的电源轨。

建议是直接连接 USBn_DM (n=0-1) 与 USBn_DP (n=0-1) 信号（无需任何串联电阻器或电容器）。建议是使用不包含任何残桩或测试点的布线对 USBn 信号进行布线。

建议是在 USBn_RCALIB (n=0-1)（靠近处理器 RCALIB 引脚）与 VSS 之间连接一个校准电阻器。有关建议电阻值和容差，请参阅处理器特定数据表。

7.4.2.1.1 配置成主机的 USB 接口

建议实施 USB 电源开关以控制外部连接的 USB 器件的 VBUS 电源。电源开关可保护板载电源免受过载（过多电流消耗）的影响。

电源开关输出连接到 USB Type-A 连接器。建议将电容器（最小值 $120\mu\text{F}$ ）连接到靠近连接器的 VBUS 电源。

USBn_DRVVBUS (n = 0-1) 信号（在复位期间及之后处于内部下拉状态）可用于启用 VBUS 电源开关。不建议在电源开关使能 (EN) 引脚附近使用外部上拉电阻。外部下拉电阻 ($10\text{k}\Omega$) 为可选。

建议使用具有 OC（过流）指示的 USB 电源开关，添加上拉电阻 ($10\text{k}\Omega$ 或 $47\text{k}\Omega$) 并连接到处理器 IO（输入）以检测 VBUS 过载。

USBn_VBUS（包括分压器和钳位电路的 VBUS 供电输入）的输入连接是可选的（并非必需）。

7.4.2.1.2 USB 接口配置为器件

VBUS 电源由外部主机供电。USB 标准建议将 $< 10 \mu\text{F}$ 的电容器连接到靠近 USB B 型连接器的 VBUS。

建议按照处理器特定数据表中的 *USB VBUS 设计指南* 部分的说明来进行操作，即先通过电阻分压器和齐纳二极管进行保护，将 USB VBUS 电压（在靠近 USB 接口连接器的位置）进行分压处理，然后再连接到 USBn_VBUS 输入端口。

如果定制电路板设计人员完全确定电路板不会遇到 $> 5.5\text{V}$ （板载供电）的 VBUS 电压，则可以将齐纳二极管保护（建议）视为可选。

不建议也不允许使用等效分压器连接未开关（永久）的板载电源，或使用等效分压器连接 3.3V 永久电源，或将 1.65V 永久电压直接连接到 USBn_VBUS。建议使用可以在会话结束时断开并在下一个会话开始时重新切换的开关电源。

7.4.2.1.3 配置为双角色设备的 USB 接口

如果定制电路板使用 USB Micro-AB 连接器，则建议将连接器上的 USBn_ID 信号连接到处理器的任意引脚。所用 GPIO 引脚可在电路板器件树文件中指定，包括 GPIO 引脚的引脚多路复用 (pinmux) 设置。

备注

不支持完全兼容的 USB On-The-Go (OTG) 特性。USB ID 引脚未进行外部键合。

7.4.2.1.4 USB Type-C

如果定制电路板设计使用 USB Type-C® 连接器，则不要求 USBn_ID 信号连接。DRD 模式开关由 USB Type-C 配套器件控制。

DRP（双角色端口）需要一个控制器，主要用于根据协商的角色切换电源。在器件不是由 USB Type-C 连接器供电的 USB Type-C 实现方案（仅限器件模式、USB2.0）中，无需 USB Type-C 控制器。

- 连接器上的 CC 引脚需要通过 $5.1\text{k}\Omega$ 电阻独立接地。
- USB DP 和 USB DM 连接器引脚在 PCB 上短接（DM=B7:A7，DP=B6:A6）。无论电缆方向如何，短接都能实现 USB2.0 连接。建议将产生的残桩保持较短状态。

有关 USBn_VBUS 输入调节建议的更多信息，请参阅处理器特定数据表的 *USB VBUS 设计指南* 一节。

AM62x SK USB0 接口设计可用作实现 USB Type-C 接口的参考。

请参阅以下常见问题解答：

[\[常见问题解答\] SK-AM62A-LP：如果没有 PD 控制器，是否可以实现 USB OTG？](#)

这是通用常见问题解答，也可用于 AM625、AM623、AM620-Q1、AM625-Q1、AM625SIP 处理器系列。

7.4.2.2 不使用时的 USBn (n = 0-1)

当定制电路板设计中不使用 USB0 和 USB1 接口时，建议提供连接 USB0 接口上支持的 USB 接口信号（用于支持的 USB 引导配置 (USB0 - DFU)）的配置，并添加连接初始电路板构建所需处理器 USB 电源的配置。

当不使用 USB0 和/或 USB1 时，或未使用 USB0 或 USB1 之一时，接口信号和电源有特定的连接要求。

如需连接 USB0 和 USB1 的接口信号以及供电引脚，请参阅处理器特定数据表的 *引脚连接要求* 部分。

建议通过单独的 0Ω 电阻将 USB 电源（VDDA_CORE_USB、VDDA_1P8_USB 和 VDDA_3P3_USB）连接到 VSS。

如果计划使用 USB0 或 USB1 进行未来扩展，建议按照 USB 接口路由指南将信号（USBn_DM、USBn_DP、USBn_RCALIB 和 USBn_VBUS）连接到 USB 连接器。建议提供连接所需电源的配置。

7.4.2.3 其他信息

建议是将 USBn_DM 和 USBn_DP 信号直接从处理器连接到 USB 集线器上游端口。然后，集线器将 USBn 信号分配到下行端口。由于每个集线器的实施要求不同，建议遵循集线器制造商的建议。

有关 USB2.0 接口更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP：定制电路板硬件设计 - USB2.0 接口](#)

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM62A/AM62P/AM62D-Q1/AM64x/AM243x 设计建议/定制电路板硬件设计 - 与无源元件参数值、容差和额定电压相关的问题](#)

7.4.2.4 USB 接口检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已查看上述用户指南的“所有部分的通用检查清单”部分。
2. 所需的 USB 接口配置（主机或器件）和推荐的连接。
3. 连接 USB_n_VBUS。基于 USB 接口配置的 USB VBUS 设计指南。
4. USB 电源的连接，包括滤波。
5. 处理器和外部 USB 接口连接器之间 USB 接口信号的连接。
6. 推荐的 USB_n 校准电阻器的连接。
7. 当 USB 接口配置为主机时，实现 USB VBUS 电源控制电源开关。
8. USB_n_DRVVBUS 拉电阻的实现。
9. USB 电源开关、EN（使用 USB_n_DRVVBUS）和电源开关 OC 输出到处理器 IO 的连接。
10. 在 USB 连接器附近的 USB VBUS 引脚上提供推荐的电容器。
11. 为 USB 接口提供外部 ESD 保护。
12. 如果实现了 USB 引导，建议验证勘误表、支持的接口配置、USB 端口和连接。
13. USB_n_VBUS 及 USB 接口信号的失效防护运行。

原理图审阅

定制原理图设计请遵循以下列表：

1. USB 接口可以配置为主机（请参阅相关的 SK 原理图）、器件或者 DRD。
2. 将 USB 信号从处理器直接连接至 USB 连接器。USB 接口连接符合所需的 USB 接口配置（主机或器件）。将实现方案同 SK 原理图进行比较。
3. 任何处理器 GPIO 均可以用于支持 DRD。
4. 在 USB 主机配置下，USB_n_VBUS 连接是可选的。
5. 建议遵循处理器特定数据表中关于 VBUS 分压器值和容差（±1%）的建议。如果总电阻值、容差和分压器分压比在温度和电压范围内保持不变，则允许使用多个电阻器。VBUS 电源输入保护（齐纳二极管保护和值）和 VBUS 电容器值遵循 USB 标准（请参阅 SK）。
6. USB_n_DRVVBUS 在复位期间和复位之后启用内部下拉电阻。连接上拉电阻会将所连器件驱动为中点电压。
7. 电源开关使能连接（如果使用处理器 USB_n_DRVVBUS，则不建议也不允许使用上拉电阻，因为复位和复位之后 USB_n_DRVVBUS 启用了内部下拉电阻）。
8. 将电源开关 OC 输出连接到处理器 IO 和 IO 电平兼容性（上拉连接）。
9. 电源（内核、外设和 IO）的连接。滤波电源（铁氧体和电容器）用于 VDDA_CORE_USB 和 VDDA_1P8_USB。VDDA_3P3_USB 可以连接到 3V3_SYS 电压。由于滤波器正在持续优化，因此请参阅具体和最新的 SK 来实现。
10. 所连处理器 USB 外设电源轨遵循 ROC。
11. 将 499 Ω ±1% 电阻器连接到 USB0 和 USB1 RCALIB 引脚。
12. 不建议也不允许将 5V 电源从 USB 连接器直接连接至 USB_n_VBUS 引脚。不建议或不允许更改处理器特定数据表推荐的 VBUS 分频器和齐纳二极管值。仅当实现了处理器特定数据表中建议的分频器值时，VBUS 输入的失效防护功能支持才有效。
13. 根据 USB 配置来连接推荐的电容器。请参见 SK 原理图以了解实现方式。对于 USB 主机，建议将电容器（最小值 120 μF）连接到靠近连接器的 VBUS 电源。对于 USB 器件，VBUS 电源由外部主机供电。USB 标准建议将 < 10 μF 的电容器连接到靠近 USB B 型连接器的 VBUS。
14. 当不使用 USB0 或 USB1 而不使用 USB0 和 USB1 时，建议遵循引脚连接要求来连接 USB 内核和外设。

15. 当根据处理器特定数据表实现 VBUS 配置时，支持 USBn_VBUS 功能。
16. USB 接口信号不具备失效防护。建议在电源斜升之前不要施加接口信号。

其他

1. 如果利用 TI 器件实现 Type-C USB 接口，建议可与相关业务部门或产品线一起审查实施情况。
2. 建议验证 USB 接口失效防护运行情况。在处理器电源斜升之前施加外部接口信号会导致馈电并影响定制电路板功能。
3. 共模扼流圈 (CMC) 可用于 USB 接口信号进行 EMI 控制。CMC 会降低信号振幅并降低 USB 接口性能 (速度、数据吞吐量、通信错误)。建议使用 0Ω 电阻器绕过 CMC。当在 USB 接口信号上使用 CMC 时，建议验证包括极性在内的连接。反转 CMC 连接极性会让 USB 接口数据信号短路。
4. DNI 外部上拉和下拉电阻连接到 USBn_DRVVBUS 引脚，用于实现从深度睡眠功能唤醒。
5. 建议考虑标记差分信号和差分阻抗值。
6. 如果不使用 USB 接口，建议为初始板提供 USB0 DFU 引导接口配置。

7.4.3 可编程实时单元子系统 (PRUSS)

7.4.3.1 AM625、AM623、AM620-Q1、AM625-Q1、AM625SIP 处理器系列

一些 OPN 支持 PRUSS 功能。有关 PRUSS 特性和支持的功能的可用性，请参阅处理器特定数据表的 *器件比较* 一节。

凭借 PRU 内核的可编程特性以及对引脚、事件和所有处理器资源的访问权限，设计人员可以灵活地实现快速实时响应、专用数据处理操作以及定制外设接口，并灵活地减轻器件其他处理器内核的任务负载。

PRUSS 具有大量可用的 IO 信号。大多数 IO 在处理器级别与其他功能 (信号) 进行多路复用。PRUSS 引脚允许使用 PADCONFIGx 寄存器进行多路复用。

建议在定制电路板原理图设计期间检查接口连接是否支持所需功能。

要了解 PRUSS 支持的功能，请参阅处理器特定数据表和 TRM。

7.4.3.1.1 PRU 子系统

PRU 子系统是一种运行速率高达 333MHz 的双核可编程实时单元子系统 (PRUSS)。

PRU 子系统用于驱动 GPIO 以实现周期精确的协议，例如：

- 通用输入/输出 (GPIO)
- 通用异步收发器 (UART)
- 内部集成电路 (I2C)
- 外部 ADC 接口

7.4.3.1.2 PRUSS 检查清单

原理图审阅

定制原理图设计请遵循以下列表：

1. 已查看上述用户指南的“所有部分的通用检查清单”部分。
2. 为接口信号增设串联电阻，其作用是控制可能出现的信号反射，或者用于隔离以进行测试。
3. 为任何处理器或所连接器件 IO 添加了可悬空的并联拉电阻 (以防止所连接器件输入悬空，直到由主机驱动)。
4. 当接口信号直接连接到外部连接器时，可提供外部 ESD 保护。
5. 不支持工业通信子系统特性，包括以太网 (不支持 MII 信号和 MDIO 功能)。

7.4.4 通用异步收发器 (UART)

备注

处理器外设 (UART、MCAN、MCSPi、MCASP、I2C) 实现了 IOSET。建议在定制电路板设计中验证并使用正确的 IOSET。接口的时序闭合基于 IOSET。

该处理器系列支持 x9 (九个) (x7 主域、x1 MCU 域、x1 WKUP 域) UART 接口实例, 支持的功能包括数据传输 (TXD、RXD)、调制解调器控制功能 (CTS、RTS) 和扩展调制解调器控制信号 (DCD、RI、DTR、DSR - 由 MAIN 域 UART1 支持)。

有关支持的 UART 实例数, 请参阅处理器特定数据表。建议参考处理器特定数据表的 *信号说明* 部分, 了解每个 UART 实例支持的功能。

建议验证 UART 接口 (外部通信接口或调试) 和功能 (配置、2 线或 4 线流量控制) 的应用要求。

当使用外部 RS232 收发器时, 建议匹配外部接口信号 IO 电平和 IO 组工作电压电平的双电压 IO 电源。建议利用同一电源为外部收发器的 IO 电源与 IO 组 VDDSHVx 的处理器 IO 电源供电。建议验证 UART 输入的失效防护运行情况, 以及连接到外部拉电阻的电压电平。

建议在接口信号处设置串联电阻 (0 Ω), 位置靠近信号源, 以实现隔离 (用于调试) 或控制可能产生的信号反射。

在复位期间和复位之后, 处理器 IO 缓冲器 (TX (输出) 和 RX (输入) 和内部拉电阻 (上拉和下拉)) 关闭。建议在处理器 UART 接收输入 (UARTn_RXD [n = 0-6]、MCU_UART0_RXD 和 WKUP_UART0_RXD) 上使用上拉电阻 (10k Ω 或 47k Ω), 以防处理器 IO 可能悬空 (以防止附加器件输入悬空, 直到由主机驱动)。建议验证外部接口信号上的上拉电阻可用性, 并相应地填充拉电阻。如果处理器或连接的器件输出可能悬空, 建议对处理器 UART 发送信号 (UARTn_TXD [n = 0-6]、MCU_UART0_TXD 和 WKUP_UART0_TXD) 使用上拉电阻 (47k Ω)。

使用 UART 接口时观察到的常见错误之一为 UART 接口信号极性反转。建议如下连接信号:

- TX 到 RX
- RX 到 TX

建议在使用额外 UART 接口流控制信号时验证连接、IO 电平和极性匹配。

当外部 UART 接口信号直接连接到处理器 UART 接口时, 建议验证 IO 级兼容性和失效防护运行。建议为外部 ESD 保护提供配置。

建议为早期电路板构建配置 UART 引导 (UART0) 连接, 以便进行电路板启动和调试。

7.4.4.1 不使用时 UART 接口

当未在定制电路板设计中实现 UART 接口时, 建议提供连接外部 UART 接口信号的配置以进行调试。建议在配置 UART 接口信号时, 遵循以下优先级:

- UART0
- MCU_UART0
- WKUP_UART0

建议在处理器板上添加 TP, 用于连接外部输入。建议为 IO 提供可悬空的并联拉电阻 (10k Ω 或 47k Ω) (以防止所连接器件输入悬空直至由主机驱动)。建议添加外部 ESD 保护, 在使用 UART 接口时可以组装该保护功能。

UART 接口信号不具备失效防护。在处理器电源斜升之前, 建议不施加任何外部输入 (UART 接口信号)。

7.4.4.2 通用异步接收器/发送器 (UART) 检查清单

通用

检查并验证定制原理图设计的以下内容:

1. 已查看上述用户指南的“所有部分的通用检查清单”部分。
2. 为靠近电源的接口信号提供串联电阻。

3. 为处理器或所连器件 IO 添加了并行拉电阻配置。
4. 接口信号 (数据、方向控制) 连接。
5. 所需通信速度 (波特率) 与所支持的波特率。
6. 所需通信误差 (%) 与由于内部时钟分频器不匹配而导致的计算出的通信误差 (%)。
7. IO 组的处理器 IO 电源和所连器件 IO 电源连接。
8. UART 接口的失效防护运行信号。
9. 当接口信号直接连接到外部输入时, 可提供外部 ESD 保护。

原理图审阅

定制原理图设计请遵循以下列表：

1. 在电源附近为接口信号增设串联电阻 (22 Ω), 其作用是控制可能出现的信号反射, 或者用于隔离以进行测试。
2. 为可以悬空的接口信号提供并联拉电阻 (10k Ω 或 47k Ω) (以防止所连器件输入悬空, 直到由主机驱动)。
3. 以相应 UART 实例和信号匹配的处理器 VDDSHVx 为基准 (供电) 的上拉封装。
4. 接口信号 (数据、方向控制) 连接, 包括信号极性匹配。
5. 连接到以 UART 外设和所连器件 IO 电源为基准 (供电) 的 IO 组 IO 电源 VDDSHVx 的电源导轨连接到同一电源并遵循 ROC。
6. 为任何处理器或所连器件 IO 添加了可悬空的并联拉电阻配置。
7. UART 接口信号不具备失效防护。建议仅在处理器电源斜升后施加输入。

其他

1. 建议验证外部接口信号直接连接并且由相对于处理器 IO 组 IO 电源的不同电源供电时的失效防护运行情况。
2. 在处理器供电上升之前, 将外部输入信号施加到处理器的 UART 输入端, 可能会导致电压馈送, 并可能影响定制电路板功能。
3. 当外部输入直接连接时, 建议为接口信号提供外部 ESD 保护。
4. 如果不使用 UART 接口, 建议提供连接 UART0、MCU_UART0 或 WKUP_UART0 的配置以进行调试。

7.4.5 模块化控制器局域网 (MCAN), 具有完整 CAN-FD 支持

备注

处理器外设 (UART、MCAN、MCSPI、MCASP、I2C) 实现了 IOSET。建议在定制电路板设计中验证并使用正确的 IOSET。接口的时序闭合基于 IOSET。

该处理器系列支持 3 (三) 个 (1 个 MAIN 域、2 个 MCU 域) 具有完整 CAN-FD 支持的模块化控制器区域网 (MCAN) 实例。

MCAN 模块支持传统 CAN 和 CAN FD (具有灵活数据速率的 CAN) 规范。

MCAN 接口通过外部 MCAN 收发器接合支持 MCAN 接口的所连器件。

使用外部收发器时, 建议使外部接口信号 IO 电平与 IO 组电压电平的双电压 IO 电源匹配。建议使用同一电源为收发器的 IO 电源和处理器 IO 电源轨供电。

建议在接口信号处设置串联电阻 (0 Ω), 位置靠近信号源, 以实现隔离 (用于调试) 或控制可能产生的信号反射。在复位期间和复位之后, 处理器 IO 缓冲器 (TX (输出) 和 RX (输入) 和内部拉电阻 (上拉和下拉)) 关闭。如果处理器或所连器件的输出可以悬空, 建议对处理器 MCAN 发送 (接收) 信号使用上拉电阻 (47k Ω)。

建议对 MCAN 收发器外部接口输入提供建议的端接。

7.4.5.1 模块化控制器局域网检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已查看上述用户指南的“所有部分的通用检查清单”部分。
2. 为电源附近的所有接口信号添加串联电阻器。
3. 为处理器或所连器件接口 IO 添加并联拉电阻配置。
4. 连接 IO 组的 IO 电源和所连器件 IO 电源。
5. MCAN 接口的失效防护运行信号。

原理图审阅

定制原理图设计请遵循以下列表：

1. 使用的串联电阻值 (22 Ω) 和放置位置 (靠近源极)。
2. 为任何处理器或所连器件 IO 添加了可悬空的并联拉电阻值 (10k Ω) (以防止所连接器件输入悬空，直到由主机驱动)。
3. 以相应 MCAN 实例和引脚匹配的处理器 VDDSHVx 为基准 (供电) 的上拉封装。
4. 连接到以 MCAN 外设和所连器件 IO 电源为基准 (供电) 的 IO 组 IO 电源 VDDSHVx 的电源导轨连接到同一电源并遵循 ROC。
5. 为任何处理器或所连器件 IO 添加了可悬空的并联拉电阻配置。
6. MCAN 接口信号不具备失效防护。建议仅在处理器电源斜升后施加输入。

其他

1. 处理器 IO 不具有失效防护功能。建议在处理器电源斜升之前不施加外部输入。建议验证连接到外部接口信号时的失效防护操作。在处理器供电上升之前，将外部输入信号施加到处理器的 MCAN 输入端，可能会导致电压馈送，并可能影响定制电路板功能。
2. 当接口信号直接连接到外部输入时，可提供外部 ESD 保护。

7.5 板载同步通信接口 (MCSPi、MCASP 和 I2C)

7.5.1 多通道串行外设接口 (MCSPi) 和音频外设 - 多通道音频串行端口 (MCASP)

备注

处理器外设 (UART、MCAN、MCSPi、MCASP、I2C) 实现了 IOSET。建议在定制电路板设计中验证并使用正确的 IOSET。接口的时序闭合基于 IOSET。

多通道串行外设接口 (MCSPi)：

该处理器系列支持 5 (五) 个 (3 个主域、2 个 MCU 域) MCSPi 实例。MCSPi 模块是多通道发送/接收同步串行总线，可以在控制器模式或外设模式下运行。在控制器模式下，处理器 SPI 接口向附加器件提供时钟信号。在外设模式下，附加器件需要为处理器提供 SPI 时钟源。

建议为 MCSPi 时钟输出信号使用串联一个 22 Ω 电阻器 (作为起点)。建议将该电阻放置在靠近处理器时钟输出引脚的位置 (用于重定时)。建议在附加器件时钟输入引脚附近使用下拉电阻 (10k Ω)。对于靠近附加器件的芯片选择 (CS) 引脚，建议使用上拉电阻 (10k Ω)。

MCSPi 外设不支持引导。OSPI0 接口支持 SPI 引导。

对于 MCSPi 接口，SPIx_D0 和 SPIx_D1 为数据线路。数据线支持将信号编程为发送数据 (发送、输出) 或接收数据 (接收、输入)。

在复位期间和复位之后，处理器 IO 缓冲器 (TX (输出) 和 RX (输入) 和内部拉电阻 (上拉和下拉)) 关闭。建议为处理器或所连器件的数据线使用并联拉电阻 (10k Ω 或 47k Ω)，使其可以悬空 (以防止所连器件输入悬空，直到由主机驱动)。

建议将 SPI 接口连接到 1 (单) 个存储器器件。连接到多个存储器器件时，建议遵循高速设计实践并执行仿真，以确保当单个时钟源连接到多个连接 SPI 的器件时，布局不会产生非单调时钟转换。

请参阅以下常见问题解答：

[\[常见问题解答\] SK-AM64B：MCSPi 集成指南](#)

[\[常见问题解答\] AM6412：AM64x SPI D0 和 D1 - MISO/MOSI](#)

这是通用常见问题解答，也可用于 AM625、AM623、AM620-Q1、AM625-Q1、AM625SIP 处理器系列。

音频外设 - 多通道音频串行端口 (MCASP)：

该处理器系列支持 3 (三) 个 (3 个主域) 音频外设实例 - 多通道音频串行端口 (MCASP)。3 个 MCASP 支持多达 4/6/16 个串行数据引脚 (串行器) 并具有独立的 TX 和 RX 时钟。MCASP 支持时分多路复用 (TDM)、内部 IC 声音 (I2S) 和类似格式。建议为 MCASP 时钟输出使用 22 Ω 串联电阻器 (作为起点)。建议将该电阻放置在靠近处理器时钟输出引脚的位置 (用于重定时)。建议在附加器件时钟输入引脚附近使用下拉电阻 (10k Ω)。

在复位期间和复位之后，处理器 IO 缓冲器 (TX (输出) 和 RX (输入) 和内部拉电阻 (上拉和下拉)) 关闭。建议为处理器或所连器件数据线使用并联拉电阻 (47k Ω)，使其可以悬空 (以防止所连器件输入悬空，直到由主机驱动)。

MCASP 作为通用音频串行端口的功能并针对各种音频应用的要求进行了优化。MCASP 模块可以在发送和接收模式下运行。MCASP 对于时分多路复用 (TDM) 流、IC 间音频 (I2S) 协议接收和发送以及元件间数字音频接口传输 (DIT) 非常有用。MCASP 可以灵活地无缝连接到 Sony/Philips 数字接口 (S/PDIF) 传输物理层元件。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L 设计建议/定制电路板硬件设计 - 与 MCASP 相关的疑问](#)

7.5.1.1 MCSPi 和 MCASP 接口信号的连接

对于 MCSPi 接口，建议为 SPI 时钟输出信号 SPI0..2_CLK (MCSPi 0..2) 和 MCU_SPI0..1_CLK (MCU_MCSPi 0..1) 提供串联电阻 (22 Ω)，并且为之靠近处理器时钟输出引脚 (处理器 MCSPi 配置为控制器)，因为时钟输出用于重定时。

对于 MCASP 接口，建议为靠近处理器时钟输出引脚 (处理器 MCASP 配置为时钟源) 的发送时钟 (发送位时钟) 输出信号 MCASP0..2_ACLKX 和发送帧同步信号 MCASP0..2_AFSX 提供串联电阻 (22 Ω)，因为时钟输出用于重定时。

建议为针对 MCSPi 和 MCASP 接口配置的所有 IO 添加一个下拉 (10k Ω) (靠近所连器件的时钟输入引脚)，以将所连器件保持在低电平状态 (在某些情况下，时钟在低逻辑状态下停止或暂停，下拉选项与该逻辑状态一致)。

建议为接收器时钟 (接收位时钟) 输出信号 MCASP0..2_ACLKR 和接收帧同步信号 MCASP0..2_AFSR (靠近连接的器件) 提供串联电阻器 (22 Ω)。

对于许多处理器 IO (LVCMOS 或 SDIO)，在复位期间和复位之后，IO 缓冲器 TX (输出) 和 RX (输入) 被禁用，并且内部拉电阻 (上拉和下拉) 被关闭。建议验证是否为 SPI 片选信号 SPI0..2_CS0..3 (MCSPi 0..2) 和 MCU_SPI0..1_CS0..3 (MCU_MCSPi 0..1) 提供了外部拉电阻 (10k Ω 或 47k Ω) (靠近所连器件)。建议向处理器添加拉电阻 (10k Ω 或 47k Ω) 和可悬空的所连器件信号 (数据接口 - 数据输入、数据输出) (以防止所连器件输入悬空，直到由主机驱动)。

允许将两个 (x2) 或更多器件 (通用时钟连接，不同的数据信号连接，同时工作) 连接到 MCASP 接口。MCASP 可以被配置为使发送和接收部分与发送部分时钟同步操作，并发送帧同步信号。如果使用专用串行器，则所有目标器件的 BCLK 和帧同步需要相同，而如果使用 TDM，则不会出现问题。在定制电路板设计期间，需要考虑信号质量/信号反射的电势 (从单个 MCASP 时钟输出驱动多个输入导致的信号反射)。

7.5.1.2 MCSPi 接口检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已查看上述用户指南的“所有部分的通用检查清单”部分。
2. 接口配置及连接
3. 用于时钟输出及放置的串联电阻器配置
4. 靠近电源的接口信号的串联电阻器配置
5. 用于时钟、数据和芯片选择的并联拉电阻连接
6. 外部 SPI 芯片选择连接
7. 连接 IO 组的 IO 电源和所连器件 IO 电源。
8. 接口性能及信号完整性
9. SPI 数据信号配置
10. 接口信号失效防护运行

原理图审阅

定制原理图设计请遵循以下列表：

1. 接口配置和推荐的连接（包括 IOSET）。
2. 在处理器时钟输出引脚附近的时钟输出信号中添加了 $22\ \Omega$ 串联电阻器（用于重定时）。
3. 为接口信号添加串联电阻（可选）（用于隔离以进行测试或控制可能的信号反射）。
4. 以相应 MCSPI 实例和信号的处理器 VDDSHVx 为基准（供电）的上拉封装。
5. 处理器 VDDSHVx 和所连器件 IO 电源来自同一电源。
6. 连接到 IO 组 VDDSHVx 的 IO 电源（以 MCSPI 外设和附加器件 IO 电源为基准（供电））的电源轨遵循 ROC。
7. 对于为 MCSPI 接口配置的所有 IO，提供下拉 ($10\text{k}\ \Omega$) 配置（靠近所连器件时钟输入引脚），以将所连器件保持在低电平状态（在某些情况下，时钟在低逻辑状态下停止或暂停，下拉选项与此逻辑状态一致）。
8. 提供外部上拉电阻配置，用于 SPI 片选信号 SPI0..2_CS0..3 (MCSPI 0..2) 和 MCU_SPI0..1_CS0..3 (MCU MCSPI 0..1)（靠近所连器件）。建议向处理器添加拉电阻和可悬空的所连器件信号（数据接口 - 数据输入、数据输出）（以防止所连器件输入悬空，直到由主机驱动）。使用的上拉电阻值（ $10\text{k}\ \Omega$ 或 $47\text{k}\ \Omega$ ）。
9. 处理器 SPIx 数据位 D0 和 D1（数据方向）的配置与连接器件匹配，并为可以悬空的信号添加了所需的拉电阻。
10. 为处理器或所连器件 IO 添加了可悬空的并联拉电阻。
11. 在连接到多个所连器件时，对接口性能（速度、数据吞吐量、通信错误）和信号完整性相关问题进行了分析（模拟）。
12. MCSPI 接口信号不具备失效防护。建议仅在处理器电源斜升后施加输入。

其他

1. 建议验证处理器 IO 直接连接至外部接口信号或连接器（通过载板或附加电路板）时的失效防护运行情况。在处理器供电上升之前，将外部输入信号施加到处理器的 MCSPI 输入端，可能会导致电压馈送，并可能影响定制电路板功能。
2. 当接口信号直接连接到外部输入时，可提供外部 ESD 保护。

7.5.1.3 MCASP 接口检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已查看上述用户指南的“所有部分的通用检查清单”部分。
2. MCASP 接口配置和连接。
3. 用于时钟输出和放置的串联电阻器配置。
4. 用于靠近源的接口信号的串联电阻器配置。
5. 用于时钟及数据的并联拉电阻的连接。
6. 连接 IO 组的 IO 电源和所连器件 IO 电源。
7. 接口性能（速度、数据吞吐量、通信错误）和信号完整性相关问题。

8. 用于处理器或所连 IO 的并联拉电阻。
9. 连接至多个所连器件时 MCASP 信号的连接。
10. MCASP 接口的失效防护运行情况。

原理图审阅

定制原理图设计请遵循以下列表：

1. MCASP 接口配置和推荐的连接（包括 IOSET）。
2. 添加到靠近处理器时钟输出引脚（用于重定时）的时钟输出信号（发送位时钟、帧同步）的串联电阻器（22Ω）。
3. 为接口信号添加串联电阻（可选）（用于隔离以进行测试或控制可能的信号反射）。
4. 对于为 MCASP 接口配置的所有 IO，提供下拉（10kΩ）配置（靠近所连器件时钟输入引脚），以将所连器件保持在低电平状态（在某些情况下，时钟在低逻辑状态下停止或暂停，下拉选项与此逻辑状态一致）。
5. 连接到 IO 组 VDDSHVx（以 MCASP 外设和所连器件 IO 电源为基准（供电））的 IO 电源的电源轨来自同一电源，并遵循 ROC。
6. 以相应 MCASP 实例和信号的处理器 VDDSHVx 为基准（供电）的上拉封装。
7. 为靠近连接器件的 MCASP 接口（发送或接收）提供外部上拉电阻配置。建议向处理器添加拉电阻和可悬空的所连器件信号（数据接口 - 数据输入、数据输出）（以防止所连器件输入悬空，直到由主机驱动）。使用的上拉电阻值（10kΩ 或 47kΩ）。
8. 在连接到多个所连器件时，对接口性能（速度、数据吞吐量、通信错误）和信号完整性相关问题进行了分析（模拟）。
9. 连接至多个所连器件时 MCASP 信号的连接。请遵循通用设计指南，以更大限度地减少桩。
10. 为处理器或所连 IO 添加了可悬空的并联拉电阻。
11. MCASP 接口信号不具备失效防护。建议仅在处理器电源斜升后施加输入。

其他

1. 建议验证连接到外部信号时的失效防护操作。在处理器供电上升之前，将外部输入信号施加到处理器的 MCASP 输入端，可能会导致电压馈送，并可能影响定制电路板功能。
2. 支持将两个 (x2) 或更多器件（通用时钟连接，不同的数据信号连接，同时工作）连接至 MCASP 接口。在对位时钟进行布线（发送位时钟和接收位时钟）时，建议遵循良好或建议的布局实践。使用 IBIS 模型执行仿真。建议以相同的格式(TDM/I2S/etc)运行 x2 器件（例如：编解码器和放大器），建议编解码器和功放以相同的格式(TDM/I2S/etc)运行，并且字大小设置与位时钟和帧同步信号同步。
3. 当接口信号直接连接到外部输入时，可提供外部 ESD 保护。

7.5.2 内部集成电路 (I2C)

备注

处理器外设（UART、MCAN、MCSPi、MCASP、I2C）实现了 IOSET。建议在定制电路板设计中验证并使用正确的 IOSET。接口的时序闭合基于 IOSET。

该处理器系列支持 6（六）个（2（两）个符合 I2C 标准的失效防护开漏输出型 IO 缓冲器和 4（四）个 LVCMOS 缓冲器类型仿真开漏输出类型 IO）I2C 接口。支持的 I2C 接口包括 4 个 MAIN 域（LVCMOS IO 缓冲器用于模拟开漏输出型 IO）、1 个 MCU 域（符合 I2C 标准的开漏输出型 IO 缓冲器）和 1 个 WKUP 域（符合 I2C 标准的开漏输出型 IO 缓冲器）I2C 接口。

MCU_I2C0 和 WKUP_I2C0 接口是真正的开漏输出型 IO 缓冲器，具有失效防护且完全符合 I2C 规范（有关时序详细信息，请参阅 Philips I2C 总线规范版本 2.1）。

处理器系列包含多个控制器内部集成电路 (I2C) 控制器，每个控制器在本地主机（LH，AM62x 处理器）和通过 I2C 总线连接的任何 I2C 总线兼容器件之间提供接口。

每个 I2C 实例均可以配置为与 I2C 兼容的目标或控制器器件。I2C 接口可以通过专用的、符合 I2C 标准的开漏输出型 I/O 缓存器来实现，也可以通过标准的 LVCMOS I/O 缓存器来实现。与开漏 I/O 缓冲器关联的 I2C 实例支持 HS 模式（当 I/O 缓冲器在 1.8V 电压下运行时数据速率高达 3.4Mbps，但当 I/O 缓冲器工作电压为 3.3V 时数据速率最高为 400Kbps）。与 LVCMOS I/O 缓冲器关联的 I2C 实例可以支持快速模式（数据速率高达 400Kbps）。

7.5.2.1 I2C 接口信号连接

备注

对于具有开漏输出型 IO 缓冲器 (MCU_I2C0 和 WKUP_I2C0) 的 I2C 接口，无论使用何种 IO 配置，都建议添加上拉电阻 (4.7kΩ)。即使 I2C 接口 (外设) 未用于替代功能且预计会保持未连接状态，也建议使用外部上拉电阻。

请参阅处理器特定数据表的 *引脚连接要求* 一节。建议为 I2C 接口使用上拉电阻 (4.7kΩ，测试后调节)。I2C 接口支持时钟伸展。时钟输出频率（相对于所设定的频率）与总线负载相关。当在设定频率与测得的时钟频率之间观察到差异时，调整上拉电阻（减少）并测量时钟频率。

当拉至 3.3V 电源时，开漏输出型 IO 缓冲器 I2C 接口具有规定的压摆率要求。建议用 RC（放置在处理器 I2C 接口引脚附近的电容器）来限制压摆率。有关 RC 实现，请参阅 AM64x EVM 原理图和以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62A/AM62P/AM62D-Q1/AM62L 定制电路板硬件设计过程中的设计建议/常见错误-SK 原理图设计更新说明](#)

有关更多信息，请参阅 [将电源轨连接到外部上拉电阻](#) 部分。

在需要多个 I2C 接口的应用中，可以考虑使用 I2C0、I2C1、I2C2 和 I2C3 接口。

I2C0、I2C1、I2C2 和 I2C3 接口使用 LVCMOS 型 IO 缓冲器来模拟开漏输出型 IO，并且不完全符合 I2C 规范，特别是下降沿很快 (< 2ns)。请查看处理器特定数据表中的例外情况（针对 I2C0、I2C1、I2C2 和 I2C3 接口）。建议将一个串联电阻 (47Ω，测试后调节) 放置在处理器附近，以便接口信号控制下降时间。建议在测试期间确定最终串联电阻值。

当为 I2C 功能配置 IO 时，建议为 LVCMOS IO 使用上拉电阻 (4.7kΩ，测试后调整)。建议使用最短的桩连接上拉电阻。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP 定制电路板硬件设计 - I2C 接口](#)

[\[常见问题解答\] AM62A7/AM62A7-Q1/AM62A3/AM62A3-Q1/AM62A1-Q1 和 AM62D-Q1 : MCU_I2C0 和 WKUP_I2C0 的内部拉电阻配置寄存器](#)

这是通用常见问题解答，也可用于 AM625、AM623、AM620-Q1、AM625-Q1、AM625SIP 处理器系列。

如果计划使用 TI 提供的软件，请将推荐的处理器 I2C 接口连接到 PMIC，因为 I2C0 是用于 PMIC 控制的接口。

备注

当使用 I2C3 接口时，请参阅处理器特定数据表 *时序和开关特性、外设、I2C* 一节中的 I2C3 注释（可以多路复用到多个引脚）。

备注

建议在进行定制电路板设计期间，查阅器件特定数据表中 *时序和开关特性 - I2C* 部分的 *例外情况* 子部分。请留意仿真开漏输出型 IO I2C 接口的例外情况。**建议添加串联电阻来控制下降时间。**

7.5.2.2 I2C (开漏输出类型 IO 缓冲器) 接口检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已查看上述用户指南的“所有部分的通用检查清单”部分。
2. 提供时序和开关特性，以及任何其他信息。
3. I2C 接口配置、建议的连接及 I2C 接口上拉。
4. 压摆率要求以及用于压摆率控制的连接。
5. 接口未使用时的开漏输出 I2C 接口连接。
6. I2C 实例以及与多个所连器件的连接。
7. 所连器件地址输入的端接。

原理图审阅

定制原理图设计请遵循以下列表：

1. WKUP_I2C0 和 MCU_I2C0 I2C 接口（控制器）为兼容的开漏输出型 IO 缓冲器。
2. 在处理器冷复位期间和复位后，启用 RX 缓冲器，无论 IO 配置如何，都建议使用上拉电阻 (4.7k Ω)。
3. 在处理器冷复位期间和复位之后，启用 RX 缓冲器，无论 IO 使用情况如何（包括计划将 I2C 接口信号保持为 NC 的用例），都建议使用上拉电阻器。
4. 建议根据 SK 原理图实现验证用于 I2C 接口的上拉电阻值，或根据负载计算上拉电阻值。建议为 I2C 接口使用上拉电阻 (4.7k Ω ，测试后调节)。
5. 连接的 I2C 上拉电源电压遵循为失效防护 IO 指定的稳态最大电压。电源阈值取决于连接到 IO 组 IO 电源的电源电压。
6. 开漏输出型 IO 缓冲器的 RC，用于在接口以 3.3V 运行（拉取）时限制输入压摆率。当实现了用于输入压摆率控制的 RC 时，连接在处理器 I2C 接口引脚附近的电容器。验证 RC 对 I2C 接口速度的影响，并根据需要调整 RC。
7. 连接到 IO 组 VDDSHVx（以 I2C 外设和所连器件 IO 电源为基准（供电））的 IO 电源的电源轨来自同一电源，并遵循 ROC。
8. 所连器件地址输入端，通过电阻器 (>1k Ω) 连接到 IO 电源。
9. 处理器支持多个 I2C 实例。建议验证是否任何 I2C 接口上都没有 I2C 地址冲突。如果需要额外的 I2C 接口，可以使用 I2C 开关。

其他

1. 建议在设计阶段查看处理器特定数据表的*时序和开关特性*、*I2C 例外情况* 部分，并纳入所需的电路。
2. I2C 总线的运行速度只能与最慢外设的运行速度一致。如果需要更快的运行速度，请将慢速器件移至另一个 I2C 端口。
3. 建议不要在 I2C 总线上放置多组上拉电阻，这可能会导致负载过大和运行错误。根据配置的总线速度调整上拉电阻值。
4. 建议确保为处理器 I2C IO 供电的 IO 组的 IO 电源与上拉电阻和所连 I2C 器件 IO 电源使用的电源电压相匹配。将上拉电阻连接到适当的电源电平可以防止 I2C 接口错误运行。
5. I2C 接口支持时钟伸展。如果由于总线负载或信号压摆率，测得的时钟频率与配置的频率不匹配，建议调整上拉电阻。

7.5.2.3 I2C (仿真开漏输出类型 IO) 接口检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已查看上述用户指南的“所有部分的通用检查清单”部分。
2. 提供时序和开关特性，以及任何其他信息。
3. I2C 接口配置、I2C 接口上拉要求及连接。
4. 未使用接口时的 I2C 上拉电阻。
5. I2C 实例以及与多个所连器件的连接。
6. 所连器件地址输入的端接。
7. 仿真开漏输出型 I2C 接口异常及连接要求。

原理图审阅

定制原理图设计请遵循以下列表：

1. I2C0、I2C1、I2C2 及 I2C3 I2C 接口是 LVCMOS 缓冲器类型仿真开漏输出类型 IO。
2. I2C 接口配置和推荐的连接（包括根据 IOSET 对接口信号分组）。I2C 接口类型和上拉电阻要求。
3. 当 IO 配置为 I2C 接口时，建议使用上拉电阻 (4.7k Ω)。
4. 建议根据 SK 原理图实现验证用于 I2C 接口的上拉电阻值，或根据负载计算上拉电阻值。建议为 I2C 接口使用上拉电阻 (4.7k Ω ，测试后调节)。
5. 以处理器 VDDSHVx 为基准（供电）的上拉电阻（I2C 上拉电阻连接到正确的电压）。
6. 当不使用 I2C 接口时，这些 IO 可以配置为复用功能，并且上拉电阻取决于 IO 功能。
7. 连接到 IO 组 VDDSHVx（以 I2C 外设和所连器件 IO 电源为基准（供电））的 IO 电源的电源轨来自同一电源，并遵循 ROC。
8. 处理器支持多个 I2C 实例。建议验证是否任何 I2C 接口上都没有 I2C 地址冲突。如果需要额外的 I2C 接口，可以使用 I2C 开关。
9. 附加器件地址引脚，通过电阻器 (>1k Ω) 连接到 IO 电源。
10. 请注意处理器特定数据表的 *时序和开关特性* 部分中的 I2C 例外情况，了解仿真开漏输出型 I2C 接口。建议在处理器 I2C 接口信号附近使用串联电阻 (47 Ω ，测试后调节) 来控制下降时间。

其他

1. I2C0、I2C1、I2C2 和 I2C3 接口使用 LVCMOS 型 IO 缓冲器来模拟开漏输出型 IO，并且不完全符合 I2C 规范，特别是下降沿很快 (< 2ns)。
2. 建议在设计阶段查看处理器特定数据表的 *时序和开关特性*、*I2C 例外情况* 部分。
3. I2C 总线的运行速度只能与总线上最慢外设的运行速度一致。如果需要更快的运行速度，请将慢速器件移至另一个 I2C 端口。
4. 建议不要在 I2C 总线上放置多组上拉电阻，这可能会导致负载过大和运行错误。根据配置的总线速度调整上拉电阻值。
5. 建议确保为处理器 I2C IO 供电的 IO 组的 IO 电源与上拉电阻和所连 I2C 器件 IO 电源使用的电源电压相匹配。将上拉电阻连接到适当的电源电平可以防止 I2C 接口错误运行。
6. I2C 接口支持时钟伸展。如果由于总线负载或信号压摆率，测得的时钟频率与配置的频率不匹配，建议调整上拉电阻。
7. 失效防护接口支持（仿真开漏输出类型 IO 不具有失效防护功能，建议在处理器 IO 电源斜升之前不施加任何外部输入）。建议验证连接到外部接口信号时的失效防护操作。在处理器供电上升之前，将外部输入信号施加到处理器的 I2C 输入端，可能会导致电压馈送，并可能影响定制电路板功能。

7.6 用户接口 (CSIRX0、DPI、OLDI0)、GPIO 和硬件诊断

7.6.1 摄像机串行接口 (CSI-RX、CSI-2、CSIRX0)

该处理器系列支持 1 路摄像头串行接口 (CSI-RX、CSI-2、CSIRX0)，使用 D-PHY (DPHY、DPHY_RX) 时支持 4 通道，并符合 MIPI CSI-2 v1.3 标准和 MIPI D-PHY 1.2 标准 (CSIRX0)。CSIRX0 支持多达 4 通道 (1 通道/2 通道/3 通道/4 通道) 数据通道与 D-PHY (DPHY_RX) 连接。有关支持的最大数据速率，请参阅处理器特定数据表 *特性一章中的多媒体、摄像头串行接口 (CSI-Rx) (使用 DPHY 时支持 4 通道)* 部分。

DPHY_RX (CSI-RX) 支持 1 个 (单) 时钟通道，所有数据通道的时钟频率均相同。帧速率由帧起始和帧结束信令决定，并允许每通道以不同的帧速率处理输入源。

7.6.1.1 使用时的 CSIRX0 外设

处理器 CSIRX0 外设以 VDDA_CORE_CSIRX0 (CSIRX0 核心电源) 和 VDDA_1P8_CSIRX0 (CSIRX0 1.8V 模拟电源) 为基准 (供电)。

建议在 CSI0_RXRCALIB (靠近处理器 RXRCALIB 引脚处) 和 VSS 之间连接一个并联电阻器。有关建议电阻值和容差，请参阅处理器特定数据表。

有关 CSIRX0 的更多信息，请参阅以下常见问题解答：

[常见问题解答] AM625/AM623/AM620-Q1/AM625SIP/AM625-Q1/AM62Ax/AM62Px 定制电路板硬件设计 - CSI-2 功能

常见问题解答包含允许的数据通道和时钟通道交换相关信息。

[常见问题解答] AM625/AM623/AM620-Q1/AM62L/AM62A/AM62P/AM62D-Q1/AM64x/AM243x 设计建议/定制电路板硬件设计 - 与无源元件参数值、容差和额定电压相关的问题

7.6.1.2 不使用时的 CSIRX0 外设

不使用时，CSIRX0 外设对接口信号和电源有特定的连接要求。

有关连接接口信号、电源（内核和模拟）的信息，请参阅处理器特定数据表的 *引脚连接要求* 一节。

当使用边界扫描功能时，建议将 CSIRX0 提供的电压（VDDA_CORE_CSIRX0 和 VDDA_1P8_CSIRX0）连接到相应的电源上。建议在电源引脚上使用去耦电容器。大容量电容器和铁氧体是可选项。

当不使用边界扫描功能时，建议通过单独的 $0\ \Omega$ 电阻器将 CSIRX0 电源（VDDA_CORE_CSIRX0 和 VDDA_1P8_CSIRX0）连接到 VSS。可以删除或移除去耦电容器、大容量电容器及铁氧体。

未使用 CSIRX0 接口时，CSIO_RXRCALIB 电阻器可以为 DNI。

7.6.1.3 CSIRX0 外设检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已查看上述用户指南的“所有部分的通用检查清单”部分。
2. 将 CSIRX0 外设信号连接到所连器件。
3. 连接建议的外部校准电阻器 CSIO_RXRCALIB。
4. 连接内核和模拟电源。
5. CSIRX0 接口的故障安全操作。

原理图审阅

定制原理图设计请遵循以下列表：

1. CSIRX0 外设口信号与连接器件的连接，包括极性。
2. 将 $499\ \Omega \pm 1\%$ 连接到 CSIO_RXRCALIB 引脚和接地端。
3. 使用 CSIRX0 外设时，使用铁氧体和电容器作为 CSIRX0 模拟和内核电源。遵循 SK 原理图。
4. 连接到 CSIRX0 外设电源轨和所连器件 IO 电源的电源轨来自同一电源，遵循 ROC。
5. 不使用 CSIRX0 外设且需要边界扫描功能时，应遵循引脚连接要求。当不使用 CSIRX0 接口但需要边界扫描功能时，IO 校准电阻器可以为 DNI。
6. 不使用 CSIRX0 外设且不需要边界扫描功能时，应遵循引脚连接要求。
7. CSIRX0 输入不具有失效防护功能。建议在处理器外设电源斜升之前，不要应用任何 CSIRX0 输入。

其他

1. 建议根据具体使用场景配置外部静电放电防护措施。
2. 建议验证连接到外部接口信号时的失效防护操作。在处理器供电上升之前，将外部输入信号施加到处理器的 CSIRX0 输入端，可能会导致电压馈送，并影响主板性能。
3. 建议添加差分信号的标记（可选）（ $100\ \Omega$ ）和差分阻抗值。

7.6.2 显示子系统 (DSS)

7.6.2.1 显示并行接口 (DPI)

备注

有关支持的数据格式 (包括 BT656) 的信息, 请参阅特定于处理器数据表和 TRM。

7.6.2.1.1 AM625、AM623、AM625-Q1、AM625SIP 处理器系列

该处理器系列支持每像素 x1 24 位、RGB/YUV422 模式、LVCMOS 输出、DPI (并行) 显示接口实例。

有关 DPI 的更多信息, 请参阅以下常见问题解答:

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP 定制电路板硬件设计 - 显示并行接口 \(DPI\) 24 位 RGB - 显示接口](#)

7.6.2.1.1.1 IO 电源

处理器 DPI 以 VDDSHV3 电源导轨 (IO 组 3 的 IO 电源) 为基准 (供电)。

7.6.2.1.1.2 连接

验证显示 (RGB) 连接。

DPI 显示接口支持包括 12、16、18 和 24 位 RGB 有源矩阵显示。当将 16 位数据连接到 18 位面板 (从 BGR565 转换为 BGR666) 时, 建议将 D0-D4 连接到 LCD 模块输入的 B1-B5 上, 将 D5-D10 连接到 LCD 模块输入的 G0-G5 上, 将 D11-D15 连接到 LCD 模块输入连接器的 R1-R5 上。对于 LCD 模块输入侧的 18 位接口, 建议将 B0 连接到 B5, R0 连接到 R5, 并将 R0 连接到 R5。

7.6.2.1.1.3 DPI (连接器件) 复位

建议使用双输入“与运算”逻辑来实现所连接器件 (LCD 模块) 的复位。处理器的 GPIO 接口作为“AND”门的一个输入端口进行连接, 并配备了上拉或下拉电阻 (10k Ω 或 47k Ω) (启用上拉), 该电阻靠近“与运算”逻辑“与”门的输入端口, 并且还提供了 0 Ω 的电阻以隔离 GPIO 输出, 以便进行测试或调试。“AND”门的另一个输入是 MAIN 域热复位状态输出 (RESETSTATz)。

如果使用处理器 MAIN 域热复位状态输出 (RESETSTATz) 来复位附加器件 (不使用“与运算”逻辑), 建议将 RESETSTATz 的输入电压等级与所连接的器件保持一致。建议使用电平转换器来匹配 IO 电平。如果选择了电阻分压器的理想值, 则也可以使用电阻分压器进行电平转换。如果过高, DPI 复位输入的上升和下降时间可能会很慢, 从而引入过大延迟。如果使用电阻值过低的分压器, 会导致处理器在正常运行时产生过多的稳态电流。

7.6.2.1.1.4 DPI 信号连接

建议对 VOUT0_PCLK (像素时钟输出) 提供连接串联电阻 (0 Ω) 的配置 (靠近处理器时钟输出引脚, 以控制可能的信号反射)。如果空间不受限制, 建议为靠近处理器引脚的所有其他控制 and 数据信号添加串联电阻 (0 Ω)。

7.6.2.1.1.5 电源轨的电容器

建议验证是否为 VDDSHV3 (以 DPI 接口信号 (由 DPI 接口信号供电) 电源轨和连接器件提供了大容量电容器和去耦电容器 (在提供了建议时, 使用建议的电容器或遵循相关的 SK 实现)。

建议如果没有可用的建议, 请遵循处理器特定 SK 实现。

7.6.2.1.1.6 DPI (VOUT0) 外设检查清单

通用

检查并验证定制原理图设计的以下内容:

1. 已查看上述用户指南的“所有部分的通用检查清单”部分。
2. 为像素时钟输出信号添加串联电阻器。
3. 用于显示接口 DPI 控制 and 数据接口信号的串联电阻器。
4. 实现附加器件复位逻辑。
5. 外部 ESD 保护。

原理图审阅

定制原理图设计请遵循以下列表：

1. 接口信号的连接包括处理器的 DPI 引脚与所连器件（RGB 显示屏）及显示控制信号的映射。
2. 连接到以 DPI 外设和所连器件 IO 电源为基准的 IO 组 VDDSHV3 IO 电源的电源导轨遵循 ROC。
3. 建议是将 DPI I/O 电源的去耦电容与相关 SK 进行比较。
4. 连接靠近处理器时钟输出引脚 PCLK（用于控制可能的信号反射）的时钟输出信号的串联电阻器（0 Ω）。
5. 可以选择用于显示接口 DPI 控制和数据接口信号的串联电阻器。空间不受限制时，建议添加串联电阻。
6. 建议使用双输入“与运算”逻辑来实现所连接器件（LCD 模块）的复位。处理器的 GPIO 接口作为“AND”门的一个输入端口进行连接，并配备了上拉或下拉电阻（启用上拉），该电阻靠近“与运算”逻辑“与”门的输入端口，并且还提供了 0 Ω 的电阻以隔离 GPIO 输出，以便进行测试或调试。“AND”门的另一个输入是 MAIN 域热复位状态输出（RESETSTATz）。
7. 建议根据具体使用场景配置外部静电放电防护措施。

7.6.2.1.2 AM620-Q1 处理器系列

不支持显示接口 (DPI)。

7.6.2.2 开放式 LVDS 显示接口 (OLDI0)

有关支持的显示分辨率，请参阅处理器特定数据表。

7.6.2.2.1 AM625、AM623、AM625-Q1、AM625SIP 处理器系列

该处理器系列支持 4（四）个数据通道和 1（单）个时钟通道、2（双）链路 LVDS OLDI 显示接口。OLDI0 接口可配置为双通道 OLDI-SL 单链路或单通道 OLDI-DL 双链路显示模式。

当 OLDI0 显示接口配置为双链路显示模式时，存在“奇数/偶数”像素分配要求。数据通道 A0、A1、A2、A3 对应奇数像素，数据通道 A4、A5、A6、A7 对应偶数像素。

配置为双通道单链路显示模式时，OLDI0 接口仅支持（可以被配置）镜像（由于内部硬件支持/配置为重复）模式。

有关支持的显示分辨率，请参阅处理器特定数据表。

7.6.2.2.1.1 使用的 OLDI0 显示接口

请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP/AM62P/AM62P-Q1 定制电路板硬件设计 - OLDI（开放式 LVDS 显示接口）功能](#)

7.6.2.2.1.1.1 OLDI0 接口兼容性

要验证 IO 电压电平兼容性，请参阅处理器特定数据表的 *OLDI LVDS (OLDI) 电气特性* 部分。

7.6.2.2.1.1.2 IO 电源

处理器 OLDI0 接口以 VDDA_1P8_OLDI0（OLDI0 1.8V 模拟电源轨）为基准（供电）。

7.6.2.2.1.1.3 OLDI0（所连接器件）复位

建议使用双输入“与运算”逻辑来实现所连接器件（OLDI 模块）的复位。处理器的 GPIO 接口作为“AND”门的一个输入端口进行连接，并配备了上拉或下拉电阻（10k Ω 或 47k Ω）（启用上拉），该电阻靠近“与运算”逻辑“与”门的输入端口，并且还提供了 0 Ω 的电阻以隔离 GPIO 输出，以便进行测试或调试。“AND”门的另一个输入是 MAIN 域热复位状态输出（RESETSTATz）。

如果使用处理器 MAIN 域热复位状态输出（RESETSTATz）来复位附加器件（不使用“与运算”逻辑），建议将 RESETSTATz 的输入电压等级与所连接的器件保持一致。建议使用电平转换器来匹配 IO 电平。如果选择了电阻分压器的理想值，则也可以使用电阻分压器进行电平转换。如果过高，OLDI0 复位输入的上升和下降时间可能会很慢，从而引入过大延迟。如果使用电阻值过低的分压器，会导致处理器在正常运行时产生过多的稳态电流。

7.6.2.2.1.1.4 电源轨的电容器

建议验证是否为 VDDA_1P8_OLDIO 电源轨提供了大容量电容器和去耦电容器（在有建议时，使用建议的电容器或遵循相关的 SK 实现）。

建议如果没有可用的建议，请遵循处理器特定 SK 实现。

7.6.2.2.1.2 不使用 OLDIO 外设

不使用时，OLDIO 外设有特定的连接要求。关于连接 OLDIO 外设的信息，请参阅处理器特定数据表的 [引脚连接要求](#) 一节。

建议将 OLDIO 1.8V 模拟电源轨 (VDDA_1P8_OLDIO) 连接到有效的 1.8V 电源（由其供电）。铁氧体和大容量电容器是可选项。

7.6.2.2.1.3 其他信息

建议 OLDIO 数据和时钟信号以点对点的方式从处理器连接到连接器（显示器），无残桩产生。

任何电路板级实施都必须符合 *IEEE1596.3* 标准和 *ANSI/TIA/EIA644-A* 标准（低电压差分信号 (LVDS) 接口电路的电气特性）的物理层定义。

7.6.2.2.1.4 OLDIO 外设检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已查看上述用户指南的“[所有部分的通用检查清单](#)”部分。
2. 将 OLDIO 接口信号连接到所连器件。
3. 差分信号和差分阻抗值 (100Ω) 的标记。
4. 接口端接配置。
5. 连接电源轨并添加电容器。
6. 所连器件逻辑的实现。
7. 不使用时的 OLDIO 接口。

原理图审阅

定制原理图设计请遵循以下列表：

1. 连接到处理器上 OLDIO 接口外设电源轨和所连器件 IO 电源的电源轨使用同一电源供电，请遵循 ROC。
2. 连接 OLDIO 信号 x2 OLDI-SL 单链路或 x1 OLDI-DL 双链路显示模式（支持只能配置为镜像（由于内部硬件支持/配置而重复）模式）。
3. 配置所需端接（位于处理器或所连器件内部）。
4. 将 OLDIO 接口信号与所连器件连接，包括信号极性。
5. 建议使用双输入“与运算”逻辑来实现所连接器件（OLDI 模块）的复位。处理器的 GPIO 接口作为“AND”门的一个输入端口进行连接，并配备了上拉或下拉电阻（启用上拉），该电阻靠近“与运算”逻辑“与”门的输入端口，并且还提供了 0Ω 的电阻以隔离 GPIO 输出，以便进行测试或调试。“AND”门的另一个输入是 MAIN 域热复位状态输出 (RESETSTATz)。
6. 不使用 OLDIO 接口时，根据引脚连接要求连接建议的电源和信号。

其他

1. 建议根据具体使用场景配置外部静电放电防护措施。
2. 当 OLDIO 显示接口配置为双链路显示模式时，存在“奇数/偶数”像素分配要求。数据通道 A0、A1、A2、A3 对应奇数像素，数据通道 A4、A5、A6、A7 对应偶数像素。
3. 配置为双通道单链路显示模式时，OLDIO 接口仅支持（可以被配置）镜像（由于内部硬件支持/配置为重复）模式。

7.6.2.2.2 AM620-Q1 处理器系列

不支持显示接口 (OLDI)。

7.6.3 通用输入/输出 (GPIO)

备注

请阅读处理器特定数据表的 *引脚连接要求* 部分末尾有关连接处理器 IO 的注释。

该处理器系列支持 MAIN 域中的 2 个 GPIO 模块实例 (GPIO0 和 GPIO1)，以及 MCU 域中的 1 个 GPIO 模块实例 MCU_GPIO0。通用输入/输出 (GPIO) 外设支持可以配置为输入或输出的信号 (引脚)。当配置为输出时，软件可以对内部寄存器进行写入来控制输出引脚上驱动的状态。当配置为输入时，软件可以通过读取内部寄存器的状态来读取输入的状态。此外，GPIO 外设可以在不同的中断/事件产生模式下产生主机 CPU 中断和 DMA 同步事件。处理器特定数据表的 *引脚属性* 和 *信号说明* 部分提供了有关处理器引脚的信息，这些引脚可配置为支持 LVCMOS 和 SDIO 缓冲器类型的 GPIO (推挽型)。 *引脚属性* 部分还介绍了处理器支持的其他类型 IO。

请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L/AM64x/AM243x 设计建议/定制电路板硬件设计 — 与 GPIO 相关的疑问](#)

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM62Ax/AM62D-Q1/AM62Px/AM64x/AM243x 定制电路板硬件设计的设计建议/常见错误 — LVCMOS 输入磁滞相关的疑问](#)

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM62A/AM62P/AM62D-Q1/AM64x/AM243x 设计建议/定制电路板硬件设计 - 数据表引脚属性及引脚连接相关问题](#)

7.6.3.1 处理器 GPIO 上 CLKOUT 的可用性

MCU_OSC0_XO 的缓冲输出在 WKUP_CLKOUT0 上复位后可用。

7.6.3.2 GPIO 连接和外部缓冲器的添加

建议添加一个串联电阻 (其值取决于用例，并根据处理器特定的数据表限制电流)。当消耗 (需要) 更高电流的负载 (高于处理器特定的数据表值) 连接到处理器 GPIO 时，建议在连接到负载之前缓冲处理器 IO。

通用处理器 LVCMOS IO 接口指南：

1. 许多处理器的 IO 并不具备故障防护功能。建议在处理器电源斜升之前不施加外部输入。
2. 处理器 LVCMOS IO 指定了转换率要求 (LVCMOS 输入摆幅 <1000ns)，建议不要应用慢速斜升输入或在输入端直接连接电容器。
3. 不建议在输出端连接一个 > 22pF 的电容器负载。DNI 电容器或执行仿真 (根据用例)。
4. 在复位期间和复位之后，处理器 IO 缓冲器 (TX (输出) 和 RX (输入) 和内部拉电阻 (上拉和下拉)) 关闭。建议在由处理器 IO 驱动的所连器件附近使用一个可悬空拉电阻 (以防止所连器件输入悬空，直到由主机驱动)。
5. 对于任何带有连接线但未被动驱动的处理器输入/输出 (引脚) 而言，建议使用并联拉电阻 (47k Ω)。如果添加并行拉电阻不可行，那么建议是让布线远离噪声信号。
6. 建议验证处理器 IO 与所连器件之间的 IO 级兼容性以及失效防护操作。

7.6.3.3 其他信息

除非另有说明，否则未使用 IO 的引脚 (或焊盘) 可以保持未连接状态。许多 IO 都有一个 *焊盘配置寄存器* 可用于通过配置控制 IO 的功能 (每个 conf_<module>_<pin> 寄存器中的 RXENABLE 字段)。有关更多信息，请参阅处理器特定 TRM 的 *控制模块* 一章。作为早期初始化的一部分，软件可以禁用设计中未使用 IO 接收缓冲区 (即 RXENABLE=0)。建议软件在相关引脚悬空时，不要意外启用 IO 接收器 (通过设置 RXENABLE 位)。

备注

有关配置未使用引脚 (或外围设备) 的指导，建议参阅处理器特定数据表的 *引脚连接要求* 部分。

备注**PADCONFIG 寄存器位配置 - ST_EN :**

如果 PADCONFIG 寄存器被软件修改，建议保持启用 ST_EN 位。每个电气特性表中定义的最小输入压摆率参数与长期可靠性相关联。这些参数并非 ST_EN 位的函数。通过滤除不超过迟滞的噪声脉冲，输入缓冲器中实现的施密特触发功能只会更改输入缓冲器的输出结果。当应用向 IO 输入施加慢于处理器特定数据表中定义的压摆率时，施密特触发功能不会改变输入缓冲器的工作方式。

备注

如需了解有关配置 IO 的指导信息，请参阅处理器特定 TRM 的焊盘配置寄存器部分。

备注

特定外设和 GPIO 支持去抖功能。建议在处理器特定数据表的信号说明部分中查找与外设或 GPIO 的去抖功能相关的注释。

有关未使用处理器外设和 IO 连接的更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM62A/AM62D-Q1/AM62P 定制电路板硬件设计过程中的设计建议/常见错误 - 不使用时的 SOC 外设和 IO 连接](#)

有关连接已使用/未使用处理器引脚和外设的信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM62x、AM62Ax、AM62D-Q1、AM62L、AM62Px、AM64x、AM243x 定制电路板硬件设计 - 如何处理已使用/未使用的引脚/外设以及添加上拉或下拉电阻？（例如 GPIO、SERDES、USB、CSI、MMC \(eMMC、SD 卡\)、CSI、OLDI、DSI、CAP_VDDsx……）](#)

使用处理器 GPIO 时，请参阅处理器特定数据表连接要求部分末尾的注释。

7.6.3.4 GPIO 检查清单**通用**

检查并验证定制原理图设计的以下内容：

1. 已查看上述用户指南的“所有部分的通用检查清单”部分。
2. 将电源连接到 IO 组的 IO 电源（所有以 VDDSHVx、VDDSHV_MCU 或 VDDSHV_CANUART 为基准（供电）的 IO 引脚连接到相同电压电平）。
3. 针对外部所施加输入的 IO 电平兼容性。
4. 处理器 IO 到 IO 电源或 VSS 的连接。
5. LVCMOS (SDIO) 输入压摆率、电容器在处理器 IO 输入端或者输出端的连接。
6. LVCMOS (SDIO) IO 的失效防护运行及多个 IO 在一起连接。
7. IO 灌电流或拉电流遵循处理器特定数据表中的建议。IO 接口的一个常见用例是驱动 LED 进行指示。针对定制电路板设计人员，建议检查 LED 拉电流或灌电流、对处理器 IO 电压电平的影响，并调整电流。如果预计会持续消耗电流，建议使用外部 FET 或基于晶体管的开关驱动 LED。
8. 基于所需 IO 功能的相关 PADCONFIG 寄存器配置。

原理图审阅

定制原理图设计请遵循以下列表：

1. 每个 IO 都有一个用于为 IO 单元（VDDSHVx、VDDSHV_MCU 或 VDDSHV_CANUART）供电的相关电源电压。如果 VDDSHVx、VDDSHV_MCU 或 VDDSHV_CANUART 由 3.3V (1.8V) 电源供电，则建议在 3.3V (1.8V) 电平下连接（运行）以 VDDSHVx、VDDSHV_MCU 或 VDDSHV_CANUART 电源轨为基准的所有 IO。

2. 连接到处理器 IO 的所有上拉电阻器的电源电压与施加到相应 IO 组 IO 电源 (VDDSHVx、VDDSHV_MCU 或 VDDSHV_CANUART) 的电压相匹配。将信号拉至不同的 IO 电压, 可能导致电压泄漏 (残余电压)。
3. 连接至以 IO 组 VDDSHVx、VDDSHV_MCU 或 VDDSHV_CANUART 的 IO 电源为基准 (由供电) 的 GPIO 组的电源, 并且外部输入或 GPIO 上拉电压电平遵循 ROC。
4. 不建议也不允许将处理器 IO 直接连接电源或 VSS, 包括引导模式输入。定制电路板设计人员可能遇到固件错误, 并且错误配置用于输入 (而是将输出驱动为逻辑高电平) 的 LVCMOS GPIO。
5. 来自附加电路板或载板或外部输入的外部施加输入的 IO 电平兼容性通过外部连接器直接连接至 IO (添加外部 ESD 保护)。
6. 为任何处理器或所连接器件 IO 添加了可悬空的外部拉电阻 (以防止所连接器件输入悬空, 直到由主机驱动)。
7. 施加至处理器 LVCMOS 输入的输入信号符合处理器特定数据表中的压摆率要求。在输入端直接连接一个电容器可增加信号压摆, 因此不建议这样做。
8. 不允许将电容负载直接连接到处理器输出以控制或启用所连器件。建议在 GPIO 的输出端使用 > 22pF (占位值) 的电容负载时进行仿真。
9. 许多处理器的 IO 并不具备故障防护功能。在 IO 组的 IO 电源 VDDSHVx、VDDSHV_MCU 或 VDDSHV_CANUART 斜升之前, 不允许向处理器 IO 施加外部输入电压 (不包括失效防护 IO)。
10. 不建议直接将多个 IO 短接在一起。不建议将 IO 直接连接至电源或接地。

其他

1. 为直接连接至 IO 的外部输入提供外部 ESD 保护。
2. 通用处理器 LVCMOS IO 接口指南, 请参阅用户指南的 [GPIO 连接和外部缓冲](#)。许多处理器 IO (LVCMOS、SDIO) 不具有失效防护功能。建议在处理器电源斜升之前不施加外部输入。
3. 处理器 IO 指定了压摆率要求。不建议施加慢速斜升输入, 或在输入端直接连接电容器。
4. 不建议在输出端连接一个 > 22pF (占位值) 的电容器负载。DNI 电容器或执行仿真 (根据用例)。
5. 在复位期间和复位之后, 处理器 IO 缓冲器 (TX (输出) 和 RX (输入) 和内部拉电阻 (上拉和下拉)) 关闭。建议对由处理器 IO 驱动的所连器件使用一个可悬空拉电阻 (以防止所连器件输入悬空, 直到由主机驱动)。
6. 对于连接了布线且未主动驱动的任何处理器 IO (PAD), 建议使用并联拉电阻 (47k Ω)。当添加拉电阻是不可行时, 建议在布线时远离在复位期间和复位后关闭的有噪声信号 (处理器 IO 缓冲器 (TX (输出) 和 RX (输入) 以及内部拉电阻 (上拉和下拉)))。建议在所连接器件附近使用上拉电阻 (47k Ω), 以保持所连器件的输入处于一个已知状态, 避免这些输入悬空。
7. 连接到外部信号时进行失效防护操作。在处理器供电上升之前, 将外部输入信号施加到处理器的 GPIO 输入端, 可能会导致电压馈送, 并影响主板性能。
8. 当 IO 直接连接到外部接口信号时, 建议提供外部 ESD 保护配置。
9. 失效防护 IO 包括 MCU_PORz、WKUP_I2C0_SCL、WKUP_I2C0_SDA、MCU_I2C0_SCL、MCU_I2C0_SDA、EXTINTn 和 USBn_VBUS (n = 0-1) (当使用处理器特定数据表中推荐的 VBUS 分压器时)。

7.6.4 板载硬件诊断

7.6.4.1 使用处理器电压监测器来监测板载电源电压

处理器电源电压监测器可用于监测使用基于 PMIC 或替代电源架构生成的板载电源, 以及从外部连接器或载板连接的定制电路板的输入电源。为了使电压监测器 VMON_VSYS 检测有效, 使用电阻分压器 (0.45V 是监控输入) 对 5V 或更高 (12V 或 24V) 的直流电压进行分压, 并连接至 VMON_VSYS 监控输入。建议在监测到较高的直流电压时, 提供过压保护配置 (并联电阻器或齐纳二极管)。

板载 1.8V 或 3.3V 电源可以直接连接 VMON_1P8_SOC 和 VMON_3P3_SOC。

7.6.4.1.1 使用时的电压监控输入连接

对于电压监控引脚 VMON_VSYS, 建议始终配置外部电阻 (分压器) 以早期检测 (指示) 电源故障, 无论软件实现如何。建议连接 5V 或更高的电压以使检测生效。如需通过外部电阻分压器连接板载电压 (主电源电压, 如 5V

或 12V 或 24V)，请参阅器件特定数据表的 *系统电源监测设计指南* 部分。建议在连接到 VMON_VSYS 输入的电阻器输出端 (跨接) 实施噪声滤波器 (电容器)，因为 VMON_VSYS 具有极小的迟滞和对瞬态的高带宽响应。

建议将 VMON_1P8_SOC 和 VMON_3P3_SOC 引脚直接连接至各自的电源 (无需添加任何外部滤波电容器)。有关允许的电源电压范围，请参阅处理器特定数据表的 *建议运行条件* 部分。

备注

对于 VMON_VSYS，当遵循处理器特定数据表的 *系统电源监测设计指南* 一节中的建议时，失效防护条件有效。

对于 VMON_1P8_SOC 和 VMON_3P3_SOC 引脚，当连接的电源电压在处理器特定数据表的 *建议运行条件* 范围内时，失效防护条件有效。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62Ax/AM62D-Q1/AM62Px/AM64x/AM243x \(ALV\) 设计建议/定制电路板硬件设计 — POK VMON 电压监控器](#)

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62Ax/AM62D-Q1/AM62Px/AM64x/AM243x \(ALV、ALX\) 设计建议/定制电路板硬件设计 — 电源正常 \(POK\) 监控的模块电压和连接建议](#)

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM62A/AM62P/AM62D-Q1/AM64x/AM243x 设计建议/定制电路板硬件设计 - 与无源元件参数值、容差和额定电压相关的问题](#)

7.6.4.1.1.1 电压监视器检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已查看上述用户指南的“[所有部分的通用检查清单](#)”部分。
2. 建议根据处理器特定数据表的 *系统电源监测设计指南* 部分始终提供连接外部电阻分压器的配置，以便使用 VMON_VSYS 进行早期检测。
3. 通过 VMON_VSYS 监控的电压电平。
4. 连接通过处理器 VMON_VSYS 输入监控的电压。
5. 分压器建议，包括在 VMON_VSYS 分压器上添加滤波电容器。
6. 连接 VMON_1P8_SOC 和 VMON_3P3_SOC。

原理图审阅

定制原理图设计请遵循以下列表：

1. 为了使电压监控器 VMON_VSYS 检测有效，建议使用电阻分压器连接 5V 或更高 (12V 或 24V) 的直流电压。
2. VMON 分压器电阻器使用容差为 $\pm 1\%$ 的电阻器。
3. 在连接至处理器监控输入的 VMON_VSYS 分压器上添加滤波电容器。参阅“[处理器特定数据表](#)”部分《*系统电源监测设计指南*》。电容值由定制电路板设计人员根据跳闸时间要求来确定。
4. 可将 1.8V 连接到 VMON_1P8_SOC，将 3.3V 直接连接到 VMON_3P3_SOC 引脚，无需任何外部滤波电容器。

其他

1. 建议始终使用 VMON_VSYS 实现电压监控功能，以便及早检测输入电源故障。电压监控器 VMON_VSYS 用于进入 PCB 的主输入 (较高) 电压轨的电源故障指示器。例如：5V、12V 或 24V。与 VMON_VSYS 电压监控器相关的误差要求您将阈值设置成明显低于标称工作范围，以避免误触发，因此建议监控输入电压而不是处理器电源轨。请参阅处理器特定数据表的 *系统电源监测设计指南* 部分。

7.6.4.1.2 不使用时的电压监控输入连接

建议始终连接 (使用) 电压监控器 VMON_VSYS，进行早期输入电源故障检测 (指示)。当不使用 VMON_SYS 时，建议通过 0Ω 电阻器将 VMON_VSYS 引脚连接至 VSS，并添加一个用于未来扩展的测试点 (遵循引脚连接要求)。

如需在不使用时连接电压监控输入 VMON_3P3_SOC 和 VMON_1P8_SOC，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62Ax/AM62D-Q1/AM62Px/AM64x/AM243x \(ALV、ALX\) 设计建议/定制电路板硬件设计 — 电源正常 \(POK\) 监控的模块电压和连接建议](#)

7.6.4.2 内部温度监测

处理器上的电压和热管理器 (VTM) 模块通过提供对片上温度传感器的控制来支持处理器的电压和热管理。

独立的温度传感器位于处理器上指定的热点。建议是在 Linux 中读取片上温度传感器并执行热管理。请参阅 [E2E 主题](#)。

该处理器支持 WKUP 域中的一个 VTM 模块，即 VTM0。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62Ax/AM62D-Q1/AM62Px/AM62L/AM64x/AM243x \(ALV、ALX\) 定制电路板硬件设计 — 电压热管理器 \(VTM\)](#)

7.6.4.2.1 内部温度监测检查清单

通用

检查并验证定制原理图设计的以下内容：

1. 已查看上述用户指南的“所有部分的通用检查清单”部分。
2. 将建议的电源连接至温度传感器电源引脚。
3. 为 TEMP_n (n = 0-1) 传感器模拟电源引脚增加滤波电容器。

7.6.4.3 错误信号输出 (MCU_ERROR_n) 的连接

建议根据处理器特定数据表的 [引脚连接要求](#) 一节连接 MCU_ERROR_n 信号以进行测试，或将该信号用于其他板级功能。

7.6.4.4 高频振荡器 (MCU_OSC0) 时钟丢失检测

该处理器系列支持通过 HFOSC0 时钟丢失检测电路来检测 HFOSC0_CLK 故障 (停止) 情况。专用硬件逻辑使用 CLK_12M_RC 时钟来监测 HFOSC0 时钟。当 HFOSC0_CLK 停止切换的时长达到 9 个 CLK_12M_RC 时钟周期时，会检测到 HFOSC0 时钟停止丢失情况。如果设置了 CTRLMMR_MCU_PLL_CLKSEL [8] CLKLOSS_SWTCH_EN，则参考时钟将从 HFOSC0_CLKOUT 切换到 CLK_12M_RC，允许该处理器以较慢的时钟运行。

在时钟丢失情况下，该处理器通过 MCU_ERROR_n 引脚 (将该引脚驱动为低电平) 向外部器件报告错误。恢复机制取决于外部器件 (例如由 PMIC 执行操作)。

例如，执行整个电路板电源循环以使电路板恢复。如果电路板未恢复，则该处理器必须指示定制电路板设计人员采取替代措施或执行板级测试，例如检查板级系统时钟、外部晶体或电源轨。

请参阅以下常见问题解答：

[\[常见问题解答\] AM6422：如何在时钟丢失检测后切换回外部时钟](#)

这是通用常见问题解答，也可用于 AM625、AM623、AM620-Q1、AM625-Q1、AM625SIP 处理器系列。

7.6.4.4.1 晶体或外部振荡器故障

在冷复位 (上电复位) 期间，如果晶体或外部振荡器不产生时钟，则处理器可能无法启动。

7.7 SK 特定电路实现 (重复使用)

若重复使用了下面列出的某些 SK 实现：

- DPI 至 HDMI
- 音频编解码器
- FT4232 UART 转 USB 桥接器
- XDS110 调试程序
- CPSW3G RGMII 1 - PHY
- M.2 接口 - SDIO
- 电流监控器件
- USB TYPE-C PD 控制器和电源

建议遵循下面的常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM64x/AM243x \(ALV\)/ AM62Ax/AM62D-Q1/AM62Px 设计建议/定制电路板硬件设计](#) - 提供在定制电路板设计上重复使用下面列出的 SK 特定实现的指南

7.8 在定制电路板启动期间执行电路板级测试

7.8.1 使用 PinMux 工具的处理器引脚配置

建议使用 TI [SysConfig-PinMux](#) 工具验证所有处理器外设和 IO 配置，以确保配置了有效的 IOSET。

有关更多信息，请参阅 SysConfig-PinMux 工具提供的 PinmuxConfigSummary.csv 文件。

7.8.2 原理图配置

建议验证为替代功能或测试提供的电路选项 (在电路板正常运行期间必须为 DNI) 在定制电路板设计中标记为 DNI，在为电路板供电之前未在电路板上组装。

7.8.3 供电轨道与外部上拉电阻的连接

将处理器 IO 上拉电阻连接到不同 IO 电源轨/工作电压 (与 IO 组作为基准的 IO 组的 IO 电源电压电平不匹配)，可能导致 IO 电源轨上漏电压并影响定制电路板性能或处理器可靠性。每个信号的 IO 组都有一个相关的 IO 电源 (例如：VDDSHVx [x = 0-6])。有关更多信息，请参阅处理器特定数据表中的 [引脚属性表](#)。

例如，要在 GPIO 多路复用模式 (GPIO1_17) 下拉起 SPI0_CLK 信号，需将外部上拉电阻连接至与 IO 组 VDDSHV0 的 IO 电源相连的电源轨上。

7.8.4 外设 (子系统) 时钟输出

对于任何具有时钟输出的处理器外设，建议配置相应 CTRLMMR_MCU_PADCONFIGx、CTRLMMR_PADCONFIGy 寄存器的 RXACTIVE 位。该位配置是时钟输出正常工作的必需条件。

7.8.5 通用板启动和调试

启动电路板之前的电路板启动提示，包括验证以下内容：

- 组装的处理器、附加器件及其他元件与设计匹配 (定制电路板原理图和定制电路板设计要求)
- 已经根据 BOM 检查装配电路板的元件安装情况 (包括 DNI，请勿安装元件)。已经检查组装电路板的组装 (元件焊接和焊接工艺)
- 在自定义电路板供电接通以及处理器开始提供斜坡信号之前，处理器的输入端均未连接任何外部信号

请参阅以下常见问题解答：

[\[常见问题解答\] Sitara 器件 \(AM64x、AM243x、AM62x、AM62L、AM62Ax、AM62D-Q1、AM62Px \) 的电路板启动提示](#)

7.8.5.1 电路板启动、测试或调试的时钟输出

处理器上提供以下时钟输出，仅用于测试和调试：

MCU_SYSCLKOUT0

MCU_PLL0_HSDIV0_CLKOUT (MCU_SYSCLOCKOUT0) 除以 4 后连接到名为 MCU_SYSCLOCKOUT0 的特定引脚。该时钟输出仅用于测试或调试目的。

SYSCLOCKOUT0

MAIN_PLL0_HSDIV0_CLKOUT (SYSCLOCKOUT0) 除以 4 后连接到名为 SYSCLOCKOUT0 的特定引脚。该时钟输出仅用于测试或调试目的。

OBSCLK0 (在 AM62x 中的两个引脚上可用), MCU_OBSCLK0

建议将观察时钟 (OBSCLK0 和 MCU_OBSCLK0) 输出仅用于测试或调试目的。观察时钟可用于选择多个内部时钟之一作为输出。观察时钟不应该用作任何外部器件的时钟源。如处理器特定数据表所述, OBSCLK0 与 MCU_OBSCLK0 信号仅用于测试或调试目的。

建议在可行时为名称为 MCU_SYSCLOCKOUT0、SYSCLOCKOUT0、OBSCLK0 和 MCU_OBSCLK0 的处理器引脚提供 TP 及并联拉电阻 (10kΩ 或 47kΩ)。

如果时钟输出引脚配置为备选功能, 建议在布线上插入 TP, 并提供将信号与所连器件进行隔离的配置, 以进行测试或调试。

7.8.5.2 其他信息

建议为 MCU_RESETSTATz、RESETSTATz 和 PORz_OUT 提供测试点, 以便在不使用时进行测试或调试。

对于具有警报输出、过流指示输出或 PG (电源良好) 输出的板载连接设备 (独立式直流/直流或 LDO 或温度传感器或电压监测器), 建议提供一个上拉电阻 (10kΩ) 和测试点, 以便测试或未来改进 (当未使用时)。

7.8.5.3 通用板启动和调试检查清单

通用

检查并验证定制电路板原理图设计的以下内容:

1. 配置电路部分的隔离。
2. 配置至外部调试接口。

原理图审阅

定制原理图设计请遵循以下列表:

1. 建议添加相关配置, 以将可用于调试的 IO 与替代功能隔离。
2. 提供了连接调试 UART 的配置 (UART0、MCU_UART0、WKUP_UART0)。建议是添加相关配置, 以便在初始电路板构建期间连接 UART 接口进行调试。
3. 建议添加 JTAG 连接器或 JTAG 接口信号测试点的配置。建议按引脚连接要求放置靠近处理器 JTAG 接口引脚的上拉电阻。
4. 为 UART 接口信号提供所需上拉电阻和串联电阻。
5. 当外部接口信号直接连接到处理器 UART 信号时添加外部 ESD 保护配置。建议为 JTAG 接口信号添加外部 ESD 保护配置。

其他

1. 包括 UART 在内的许多处理器 IO 都不具备失效防护功能。建议是在处理器提供斜坡信号之后再连接外部输入。
2. 建议在处理器电路板断电时断开外部接口信号。

请参阅以下常见问题解答:

[\[常见问题解答\] SK-AM62: 不同 UART 的用途](#)

这是通用常见问题解答, 也可用于 AM625、AM623、AM620-Q1、AM625-Q1、AM625SIP 处理器系列。

8 定制电路板原理图设计的自我审查

备注

在定制电路板设计周期中，建议遵循[使用 AM625、AM623、AM620-Q1、AM625-Q1 和 AM625SIP 处理器系列的定制电路板设计硬件设计注意事项](#) 用户指南以及[原理图设计指南](#)和[原理图审阅检查清单](#) 用户指南。

完成所需的原理图更新后，定制电路板设计的下一个阶段（遵循用户指南，参考 **SK** 原理图实现、硬件设计注意事项用户指南和 **Ti.com** 上的其他配套资料）是按照原理图设计指南各部分末尾提供的审阅检查清单进行自我审查。也可使用 Excel 格式的原理图审阅检查清单进行审阅，并且可以使用 Excel 格式的原理图审阅检查清单来跟踪原理图审阅部分的完成情况。

用于自行审阅的原理图审阅检查清单部分示例：

- [处理器内核和外设内核电源检查清单](#)
- [通用板启动和调试检查清单](#)

以下的常见问题解答列出了可用的配套资料，以及定制电路板设计人员在对定制电路板原理图进行自我审查时可以遵循的审阅步骤：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP：设计建议/定制电路板硬件设计 - 定制电路板原理图自我审查](#)

以下常见问题解答列出了观察到的常见错误（基于对多个客户原理图的审阅以及对多个配套资料的参考）。建议阅读错误列表并对定制电路板原理图进行所需的更新：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM62A/AM62P/AM62D-Q1/AM64x/AM243x 设计建议/定制电路板硬件设计 - 在客户原理图审查期间观察到的错误列表](#)

9 定制电路板布局注释（在原理图部分附近添加）及通用指南

建议考虑为处理器、连接件和其他板载器件添加所需或适用的设计说明，以减少定制电路板设计期间的错误。建议为处理器存储器添加必要的设计注释（示例：USB2.0 接口、以太网接口、摄像头接口、显示 (OLDIO) 接口（AM625、AM623、AM625-Q1、AM625SIP），包括 eMMC、OSPI、SD 卡、SDIO 和其他所用处理器外设（包括 USB、MCSPi、MCASP）。建议添加注释，以涵盖定制电路板引导模式配置、串联和并联电阻的放置、去耦和大容量电容器的放置。

建议标记所有差分信号（这是可能影响性能的关键信号），并指定目标阻抗（根据需要）。请参见以下示例：

- USB2.0 数据线的差分阻抗应在 $90\ \Omega$ 标称值的额定容差范围内。
- CSIRX0 和 OLDIO 接口信号的差分阻抗应在 $100\ \Omega$ 标称值的额定容差范围内。

请参阅以下常见问题解答，其中包含可遵循的电路板布局布线指南：

[\[常见问题解答\] AM625：针对特定外设的 PCB 模式建议](#)

[\[常见问题解答\] AM625：MMC0 PCB 连接要求](#)

[AM6442：MMCSD0 \(eMMC\) 和 MMCSD1 \(SD 卡\) 的 PCB 布局指南](#)

这是通用常见问题解答，也可用于 AM625、AM623、AM620-Q1、AM625-Q1、AM625SIP 处理器系列。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625 / AM623 / AM620-Q1 / AM62L / AM64x/ AM243x \(ALV\) / AM62Ax / AM62D-Q1 / AM62Px 电路板布局 - 链接至有关通用高速布局指南的相关文档](#)

9.1 布局布线注意事项

通用

检查并验证定制原理图设计的以下内容：

1. 已查看上述用户指南的“所有部分的通用检查清单”部分
2. 是设计为符合处理器特定数据表“时序与开关特性”部分时序条件表中定义的 PCB 布线延迟要求的定制电路板
3. 处理器特定数据表“应用、实施与布局”部分，并且遵循相关部分规定
4. 我们遵照了通用高速指南

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625 / AM623 / AM620-Q1 / AM62L / AM64x/ AM243x \(ALV\) / AM62Ax / AM62D-Q1 / AM62Px 电路板布局 - 链接至有关通用高速布局指南的相关文档](#)

10 定制电路板设计仿真

已衔接存储器 (DDR4 或 LPDDR4) 的基线驱动阻抗和 ODT 设置源自对 SK 执行的信号完整性 (SI) 仿真。

建议对定制电路板设计进行仿真，以最终确定这些值，因为配置值可能与 SK 原理图实现不同。

执行仿真时，可以参考以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP/AM62A7/AM62A3/AM62A1-Q1/AM62D-Q1/AM62L/AM62P/AM62P-Q1/AM64x/AM243x 定制电路板硬件设计 — IO 缓冲器的 S 参数和 IBIS 模型](#)

[\[常见问题解答\]将 DDR IBIS 模型用于 AM64x、AM243x \(ALV\)、AM62x、AM62L、AM62Ax、AM62D-Q1、AM62Px](#)

要了解高速 LPDDR4 接口的电路板提取、仿真和分析方法，请参阅 [AM62x、AM62Lx DDR 电路板设计和布局布线指南](#) 应用手册的 [LPDDR4 电路板设计仿真](#) 一章。

使用 SysConfig 上的 [DDR 寄存器配置工具](#) 调节驱动强度。

有关配置 DDRSS 寄存器的更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM62A7/AM62A3/AM62A1-Q1/AM62D-Q1 定制电路板硬件设计 — 处理器 DDR 子系统和器件寄存器配置](#)

这是通用常见问题解答，也可用于 AM625、AM623、AM620-Q1、AM625-Q1 处理器系列。

有关 PDN 电源 SI 仿真的相关问题，请参阅以下常见问题解答：

[\[常见问题解答\] AM62A3-Q1 : AM62A3-Q1 PDN Power SI 仿真问题](#)

这是通用常见问题解答，也可用于 AM625、AM623、AM620-Q1、AM625-Q1、AM625SIP 处理器系列。

10.1 DDR-MARGIN-FW

利用 DDR 裕度固件和支持脚本，可以在板载 DDR 接口中实现定制电路板裕度的可视化和测量。这些工具能够对关键数据信号进行无探头测量，以了解定制电路板设计是否遵循接口的建议设计指南。

[DDR-MARGIN-FW — 用于测量系统 DDR 裕度的固件和脚本](#)

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] PROCESSOR-SDK-AM62X : 有关 AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP DDR 裕度测试工具的问题](#)

11 其他参考内容

其他参考资料包含针对特定处理器的常见问题解答和 *定制电路板设计硬件设计注意事项* 用户指南。连接器件 (包括 PMIC 和 EPHY) 的原理图。

11.1 关于 AM64x、AM243x、AM62x、AM62Ax、AM62D-Q1、AM62Px、AM62Lx 处理器系列的常见问题解答

以下常见问题解答汇总了在定制电路板原理图设计和定制电路板原理图审阅期间可以参考的主要配套资料。

[\[常见问题解答\] AM64x、AM243x \(ALV、ALX\)、AM62x、AM62Ax、AM62Px、AM62D-Q1、AM62L 定制电路板硬件设计 — 原理图设计和原理图审阅期间用于参考的配套资料](#)

备注

使用 SK PDF 原理图以及 D-Note 和 R-Note 进行定制电路板原理图审阅时，建议查看原理图中添加的常见问题解答链接，以获取更多信息。

11.2 常见问题解答 - 处理器产品系列和 Sitara 处理器系列

根据 TI sitara 处理器应用和系统团队与多位定制电路板设计人员的互动交流、来自定制电路板设计人员的提问以及从这些提问中获得的经验，以及内部配套材料的审阅，我们整理了一系列常见问题解答 (关于 (详细说明和添加的示例说明) 处理器运行、处理器电源和 IO 连接、处理器外设和接口、处理器评估 SK、定制电路板设计审阅期间观察到的常见错误、数据表和引脚属性，以及常见 E2E 提问)，以便在定制电路板设计阶段为设计人员提供支持。建议参阅下面的常见问题解答列表。客户可在定制电路板设计期间使用该列表以及其他可用设计配套资料 (包括 Ti.com 上的 *定制电路板设计硬件设计注意事项* 和 *原理图设计指南* 和 *原理图审阅检查清单*)：

AM62x 处理器系列：

[\[常见问题解答\] AM625、AM623、AM620-Q1、AM625-Q1、AM625SIP 定制电路板硬件设计 - 与处理器配套资料、功能、外设、接口和入门套件相关的常见问题解答](#)

AM62Px 处理器系列：

[\[常见问题解答\] AM62P、AM62P-Q1 定制电路板硬件设计 - 与处理器配套资料、功能、外设、接口和入门套件相关的常见问题解答](#)

AM62Lx 处理器系列：

[\[常见问题解答\] AM62L \(AM62L32、AM62L31 \) 定制电路板硬件设计 - 与处理器配套资料、功能、外设、接口和 EVM 相关的常见问题解答](#)

AM62Ax 与 AM62D-Q1 处理器系列：

[\[常见问题解答\] AM62A7/AM62A7-Q1/AM62A3/AM62A3-Q1/AM62A1-Q1/AM62D-Q1 定制电路板硬件设计 - 有关处理器配套资料、正常运行、外设、接口和入门套件的常见问题解答](#)

Sitara 处理器系列：

[\[常见问题解答\] 定制电路板硬件设计 — 所有 Sitara 处理器 \(AM62x、AM62Ax、AM62D-Q1、AM62Px、AM62L、AM64x、AM243x、AM335x\) 系列的主要 \(完整 \) 常见问题解答列表](#)

请参阅下面的常见问题解答，其中提供了所有可用的常见问题解答，包括与软件或 sitara 系列处理器相关的常见问题解答：

[\[常见问题解答\] AM6x：有关 AM62x、AM62Ax、AM62D-Q1、AM62Px、AM62L、AM64x、AM24x、AM3x、AM4x Sitara 器件的最新常见问题解答](#)

备注

常见问题解答会经常更新。建议定期查看感兴趣的常见问题解答和常见问题解答主列表，以获取更新信息。

11.3 原理图审阅 (自检) 和原理图审阅申请 (供应商)

根据定制电路板设计周期，建议执行自我审查、团队审查，并根据需要与供应商进行外部审阅。

如果需要向 TI 提交原理图审阅申请，建议遵循以下常见问题解答：

[\[常见问题解答\] Sitara MPU 硬件应用支持 - 原理图审阅申请](#)

这是通用常见问题解答，也可用于 AM625、AM623、AM620-Q1、AM625-Q1、AM625SIP 处理器系列。

11.4 处理器连接器件检查清单

[以太网 PHY PCB 设计布局检查清单](#)

[TPS65219 原理图、布局检查清单](#)

[TPS65931211-Q1 适用于 AM62A 的 PMIC 用户指南](#)

备注

建议是验证 [TI.com](#) 上所连接器件的器件特定原理图审阅检查清单的可用性，并使用可用检查清单验证自定义电路板原理图实现。

12 用户指南内容及使用情况摘要

本用户指南包括原理图设计指南和原理图审阅清单，可供定制电路板设计人员在定制电路板原理图设计和定制电路板原理图审阅期间使用。本使用指南中提供的建议有助于设计人员简化电路板设计、减少原理图错误、缩短电路板启动时间、缩短电路板调试时间，以及更大程度地减少日后重新设计电路板的工作。用户手册中提供的建议可供定制电路板设计人员使用，以优化定制电路板设计、减少原理图设计错误、缩短定制电路板的启动时间、缩短定制电路板的调试时间，并有可能最大程度减少日后重新设计电路板的工作。

13 参考资料

13.1 AM625、AM623、AM620-Q1、AM625-Q1、AM625SIP

- 德州仪器 (TI)，[AM62x Sitara 处理器](#)，数据表
- 德州仪器 (TI)，[AM625SIP - 具有集成 LPDDR4 SDRAM 的 AM6254 Sitara 处理器](#)，数据表
- 德州仪器 (TI)，[AM62x Sitara 处理器](#)，技术参考手册
- 德州仪器 (TI)，[AM62x 器件勘误表](#)
- 德州仪器 (TI)，[使用 AM625、AM623、AM620-Q1、AM625-Q1、AM625SIP 处理器系列的定制电路板设计硬件设计注意事项](#) 用户指南
- 德州仪器 (TI)，[AM625、AM623、AM620-Q1、AM625-Q1、AM625SIP 处理器系列原理图设计指南和审阅检查清单](#)，用户指南
- 德州仪器 (TI)，[入门套件 SK-AM62B-P1](#)，产品页面
- 德州仪器 (TI)，[分立式电源解决方案入门套件 SK-AM62B](#)，产品页面
- 德州仪器 (TI)，[入门套件 SK-AM62-LP](#)，产品页面
- 德州仪器 (TI)，[入门套件 SK-AM62-SIP](#)，产品页面
- 德州仪器 (TI)，[AM62x 功耗](#)，应用手册
- 德州仪器 (TI)，[AM62x 最大电流额定值](#)，应用手册
- 德州仪器 (TI)，[AM62x 功耗估算工具](#)，应用手册
- 德州仪器 (TI)，[利用 TPS65219 PMIC 为 AM62x 供电](#)，应用手册
- 德州仪器 (TI)，[利用 TPS65219 PMIC 为 AM625SIP 供电](#)，应用手册
- 德州仪器 (TI)，[AM62x 的分立式电源解决方案](#)，应用手册

- 德州仪器 (TI), [AM62 PCB 设计迂回布线](#), 应用手册
- 德州仪器 (TI), [AM62x \(AMC\) PCB 设计迂回布线](#), 应用手册
- 德州仪器 (TI), [AM62x SiP 的 PCB 设计迂回布线](#), 应用手册
- 德州仪器 (TI), [AM62x、AM62Lx DDR 电路板设计和布局布线指南](#), 应用手册
- 德州仪器 (TI), [PRU-ICSS 特性比较](#), 应用手册
- 德州仪器 (TI), [AM625SiP 处理器如何通过集成 LPDDR4 加快开发](#), 应用简报
- 德州仪器 (TI), [AM625SiP : 系统级封装释疑](#), 产品概述
- 德州仪器 (TI), [SK-AM62B-P1 设计包内容概述](#), 产品概述
- 德州仪器 (TI), [SK-AM62-LP 设计包内容概述](#), 产品概述
- 德州仪器 (TI), [SK-AM62-SiP 设计包文件夹和文件列表](#), 产品概述
- 德州仪器 (TI), [SK-AM62B 设计包文件夹和文件列表](#), 产品概述
- 德州仪器 (TI), [Sitara AM62x 基准测试](#), 应用手册

13.2 AM62L

- 德州仪器 (TI): [AM62Lx Sitara 处理器](#), 数据表
- 德州仪器 (TI): [AM62L Sitara 处理器](#), 技术参考手册
- 德州仪器 (TI): [AM62Lx Sitara 处理器器件勘误表](#)
- 德州仪器 (TI): [EVM TMD562LEVM](#), 产品页面
- 德州仪器 (TI): [使用 AM62L \(AM62L32、AM62L31 \) 处理器系列的定制电路板设计的硬件设计注意事项](#), 用户指南
- 德州仪器 (TI): [AM62x、AM62Lx DDR 电路板设计和布局布线指南](#), 应用手册
- 德州仪器 (TI): [AM62Lx PCB 设计迂回布线](#), 应用手册
- 德州仪器 (TI): [AM62L 最大电流额定值](#), 应用手册
- 德州仪器 (TI): [AM62L 电源实现](#), 应用手册
- 德州仪器 (TI): [AM62L 产品概述](#), 应用手册
- 德州仪器 (TI): [Sitara AM62Lx 基准测试](#) 应用手册

13.3 AM62P、AM62P-Q1

- 德州仪器 (TI), [AM62Px Sitara 处理器](#), 数据表
- 德州仪器 (TI), [AM62Px Sitara 处理器](#), 技术参考手册
- 德州仪器 (TI), [AM62Px 器件勘误表](#)
- 德州仪器 (TI), [入门套件 SK-AM62P-LP](#), 产品页面
- 德州仪器 (TI), [使用处理器的 AM62P、AM62P-Q1 处理器系列的定制电路板硬件设计注意事项](#), 用户指南
- 德州仪器 (TI), [AM62P 功耗估算工具](#), 应用手册
- 德州仪器 (TI), [用于为 AM62Px 器件供电的 PMIC](#), 应用手册
- 德州仪器 (TI), [AM62Px PCB 设计迂回布线](#), 应用手册
- 德州仪器 (TI), [AM62Ax、AM62Px、AM62Dx LPDDR4 电路板设计和布局布线指南](#), 应用手册
- 德州仪器 (TI), [SK-AM62P-LP 设计包文件夹和文件列表](#), 产品概述
- 德州仪器 (TI), [Sitara AM62P 基准测试](#), 应用手册
- 德州仪器 (TI), [使用 TPS6522430-Q1 和 TPS6522230-Q1 PMIC 的 Sitara AM62A/P/D \(-Q1\) 电源设计](#), 应用简报

13.4 AM62A7、AM62A3、AM62A7-Q1、AM62A3-Q1、AM62A1-Q1

- 德州仪器 (TI), [AM62Ax Sitara 处理器](#), 数据表
- 德州仪器 (TI), [AM62Ax Sitara 处理器](#), 技术参考手册
- 德州仪器 (TI), [AM62Ax 器件勘误表](#)
- 德州仪器 (TI), [入门套件 SK-AM62A-LP](#), 产品页面
- 德州仪器 (TI), [使用 AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1 和 AM62D-Q1 处理器系列的定制电路板设计硬件设计注意事项](#) 用户指南
- 德州仪器 (TI), [AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1 和 AM62D-Q1 处理器系列原理图设计指南和原理图审阅检查清单](#) 用户指南
- 德州仪器 (TI), [AM62Ax 最大电流额定值](#), 应用手册

- 德州仪器 (TI), [AM62Ax 功耗估算工具](#), 应用手册
- 德州仪器 (TI), [适用于 AM62Ax 的 PMIC 解决方案](#), 产品概述
- 德州仪器 (TI), [为 AM62Px 器件供电的 PMIC 产品概述](#)
- 德州仪器 (TI), [AM62Ax/AM62Dx PCB 设计迂回布线](#), 用户指南
- 德州仪器 (TI), [AM62Ax、AM62Px、AM62Dx LPDDR4 电路板设计和布局布线指南](#), 应用手册
- 德州仪器 (TI), [SK-AM62A-LP 设计包文件夹和文件列表](#), 产品概述
- 德州仪器 (TI), [Sitara AM62Ax 基准测试](#), 应用手册
- 德州仪器 (TI), [使用 TPS6522430-Q1 和 TPS6522230-Q1 PMIC 的 Sitara AM62A/P/D \(-Q1\) 电源设计](#), 应用简报

13.5 AM62D-Q1

- 德州仪器 (TI), [AM62Dx Sitara 处理器](#), 数据表
- 德州仪器 (TI), [AM62Dx Sitara 处理器](#), 技术参考手册
- 德州仪器 (TI), [AM62Dx Sitara 处理器器件勘误表](#), 器件版本 1.0
- 德州仪器 (TI), [AUDIO-AM62D-EVM 产品页](#)
- 德州仪器 (TI), [使用 AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1 和 AM62D-Q1 处理器系列的定制电路板设计硬件设计注意事项](#) 用户指南
- 德州仪器 (TI), [AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1 和 AM62D-Q1 处理器系列原理图设计指南和原理图审阅检查清单](#) 用户指南
- 德州仪器 (TI), [适用于 AM62Ax 的 PMIC 解决方案](#), 产品概述
- 德州仪器 (TI), [为 AM62Px 器件供电的 PMIC 产品概述](#)
- 德州仪器 (TI), [AM62Ax/AM62Dx PCB 设计迂回布线](#), 用户指南
- 德州仪器 (TI), [AM62Ax、AM62Px、AM62Dx LPDDR4 电路板设计和布局布线指南](#), 应用手册
- 德州仪器 (TI), [Sitara AM62Dx 基准测试](#), 应用手册
- 德州仪器 (TI), [使用 TPS6522430-Q1 和 TPS6522230-Q1 PMIC 的 Sitara AM62A/P/D \(-Q1\) 电源设计](#), 应用简报

13.6 所有处理器系列通用

- 德州仪器 (TI), [AM623、AM625、AM625SIP、AM620-Q1、AM625-Q1、AM62A3、AM62A7、AM62A7-Q1、AM62D-Q1、AM62P-Q1 原理图设计指南和审阅检查清单](#) 应用手册
- 德州仪器 (TI), [Sitara 处理器配电网络：实现与分析](#) 应用手册
- 德州仪器 (TI), [高速接口布局指南](#) 应用手册
- 德州仪器 (TI), [高速布局指南](#) 应用手册
- 德州仪器 (TI), [Jacinto7 AM6x、TDA4x 和 DRA8x 高速接口设计指南](#) 应用手册
- 德州仪器 (TI), [DSP 和 Arm 应用处理器热设计指南](#) 应用手册
- 德州仪器 (TI), [仿真和跟踪接头技术参考手册](#) 用户指南
- 德州仪器 (TI), [XDS 目标连接指南](#) 应用手册
- 德州仪器 (TI), [TIA/EIA-644 \(LVDS\) 的接口电路设计注意事项](#)
- 德州仪器 (TI), [通用硬件设计/BGA PCB 设计/BGA 去耦](#) 应用手册
- 德州仪器 (TI), [MSL 等级和回流焊曲线](#) 应用手册
- 德州仪器 (TI), [湿敏等级搜索](#) 封装搜索
- 德州仪器 (TI), [KeyStone 器件时钟设计指南](#) 应用手册
- 德州仪器 (TI), [KeyStone II 器件硬件设计指南](#) 应用手册
- 德州仪器 (TI), [TIDA-01413 - ADAS 8 通道传感器融合集线器参考设计](#) 设计指南
- 德州仪器 (TI), [Jacinto 7 DDRSS 寄存器配置工具](#) 应用手册
- 德州仪器 (TI), [使用 IBIS 模型进行时序分析](#) 应用手册
- 德州仪器 (TI), [显示接口：Sitara MPU 可视化设计综合指南](#) 应用手册
- 德州仪器 (TI), [McASP 设计指南 - 提示、技巧和实用示例](#) 应用手册
- 德州仪器 (TI), [使用单个 LVCMOS 振荡器驱动多个负载](#) 应用手册

13.7 可用常见问题解答主列表 - 按处理器系列

提供了完整的常见问题解答列表，建议用它来快速查看所选处理器或处理器系列的可用常见问题解答列表。

[常见问题解答] [AM62P、AM62P-Q1 定制电路板硬件设计 - 与处理器配套资料、功能、外设、接口和入门套件相关的常见问题解答](#)

[常见问题解答] [AM62L \(AM62L32、AM62L31 \) 定制电路板硬件设计 - 与处理器配套资料、功能、外设、接口和EVM 相关的常见问题解答](#)

[常见问题解答] [AM62A7/AM62A7-Q1/AM62A3/AM62A3-Q1/AM62A1-Q1/AM62D-Q1 定制电路板硬件设计 - 有关处理器配套资料、正常运行、外设、接口和入门套件的常见问题解答](#)

[常见问题解答] [AM625、AM623、AM620-Q1、AM625-Q1、AM625SIP 定制电路板硬件设计 - 与处理器配套资料、功能、外设、接口和入门套件相关的常见问题解答](#)

13.8 可用常见问题解答主列表 - Sitara 处理器系列

[常见问题解答] [定制电路板硬件设计 - 所有 Sitara 处理器 \(AM62x、AM62Ax、AM62D-Q1、AM62Px、AM62L、AM64x、AM243x、AM335x\) 系列的主要 \(完整\) 常见问题解答列表](#)

13.9 常见问题解答，包括相关软件

[常见问题解答] [AM6x : 有关 AM62x、AM62Ax、AM62D-Q1、AM62Px、AM62L、AM64x、AM24x、AM3x、AM4x Sitara 器件的最新常见问题解答](#)

13.10 有关连接器件的常见问题解答

[常见问题解答] [DP83869-EP : 以太网合规性测试失败](#)

[常见问题解答] [TPS65219 : 为 Sitara AM62x MPU 供电的 PMIC 与分立式解决方案的优势](#)

[常见问题解答] [TPS6594-Q1、TPS6593-Q1、LP8764-Q1 PMIC 的常见问题解答列表](#)

14 术语

BOM	物料清单
CAN	控制器局域网
CPPI	通信端口编程接口
CPSW3G	通用平台 3 端口千兆位以太网交换机
CSIRX	摄像头流媒体接口接收器
DDR0_CAL0	IO 焊盘校准电阻
DFU	器件固件升级
DNI	请勿安装
DPI	显示并行接口
DRD	双角色设备
E2E	工程师对工程师
ECC	错误校正码
EMC	电磁兼容性
EMI	电磁干扰
eMMC	嵌入式多媒体卡
EMU	仿真控制
EOS	电过应力
ESD	静电放电
ESL	有效串联电感
ESR	有效串联电阻
常见问题解答	常见问题解答

FET	场效应晶体管
GPIO	通用输入/输出
GPMC	通用存储器控制器
I2C	内部集成电路
IBIS	输入/输出缓冲器信息规范
IEP	工业以太网外设
JTAG	联合测试行动组
LDO	低压降
LVC MOS	低压互补金属氧化物半导体
LVDS	低电压差分信号
MAC	介质访问控制器
MCASP	多通道音频串行端口
MCSPi	多通道串行外设接口
MCU	微控制器单元
MDI	媒体相关接口
MDIO	管理数据输入/输出
MMC	多媒体卡
MMCS D	多媒体卡/安全数字
ODT	片上端接
OLDI	开放式 LVDS 显示接口
OPN	可订购器件型号
OSPI	八线串行外设接口
PCB	印刷电路板
PDN	配电网络
PET	功耗估算工具
PMIC	电源管理集成电路
POR	上电复位
PRUSS	可编程实时单元子系统
QSPI	四线串行外设接口
RGMII	简化千兆位媒体独立接口
RMII	简化媒体独立接口
ROC	建议运行条件
SD	安全数字
SDIO	安全数字输入输出
SPI	串行外设接口
TCK	测试时钟输入
TDI	测试数据输入
TDO	测试数据输出
TEN	测试使能
TMS	测试模式选择输入
TRC_DATAn	跟踪数据 n
TRM	技术参考手册

TRSTn	复位
UART	通用异步收发器
WKUP	唤醒
XDS	扩展开发系统
ZQ	存储器器件校准基准电阻器

15 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision A (January 2025) to Revision B (September 2025)	Page
• (用户指南使用指南)：已添加所有处理器 GPN.....	2
• 添加了“与所有原理图设计指南和原理图审阅部分结合使用的通用检查清单”部分.....	3
• 添加了“定制电路板原理图设计实现检查清单子部分说明”.....	3
• 新增了“原理图设计指南及原理图审阅清单更新”部分.....	4
• (特定于处理器的信息)：添加的注释.....	4
• (选择处理器 OPN (可订购器件型号))：向所有 GPN 添加了封装.....	5
• (处理器特定数据表用例及用户指南编辑所引用的版本)：添加了有关数据表的更多信息，其中包括.....	5
• (处理器电源架构)：添加的注释.....	6
• (基于分立式电源器件 (DC/DC、LDO) 的电源架构)：添加了与分立式电源架构常见问题解答相关的问题，并添加了有关 MCU_PORz 输入的更多信息.....	9
• (一般建议)：添加的注释.....	11
• (有关元件选择的注意事项)：添加的注释.....	12
• (并联拉电阻)：添加的注释.....	12
• (外设时钟输出串联电阻器)：添加了更多信息.....	13
• 添加了“外设时钟输出下拉电阻器”一节.....	13
• 添加了原理图设计页面时序控制以及 SK 电路板布局布线部分.....	15
• 添加了“处理器特定 SDK”部分.....	15
• 添加了有关电压冲突的信息.....	16
• (PADCONFIG 寄存器注意事项)：添加了有关 PADCONFIG 位和 PADCONFIG 寄存器默认值常见问题解答的汇总信息.....	17
• (定制电路板高速接口设计指南)：添加了通用高速布局指南常见问题解答文档链接.....	17
• (将慢速斜坡信号 (输入) 或电容器负载 (输出) 连接至处理器 IO)：添加了更多信息.....	18
• (针对电源、时钟、复位、引导和调试的特定于处理器建议)：添加的注释.....	19
• (内核及外设电源)：添加的注释.....	20
• (IO 组的 IO 电源)：添加的注释.....	22
• 添加了“部分 IO 模式功能”部分.....	25
• (MCU_OSC0 (高频) 时钟 (内部振荡器) 或者 LVCMOS 数字时钟 (外部振荡器))：添加了有关 MCU_OSC0 (WKUP_OSC) 或 WKUP_LFOSC0 (LFOSC0) 的 LVCMOS 数字时钟源常见问题解答的问题，以及有关时钟输入的更多信息.....	27
• 添加了有关 MCU_OSC0 (WKUP_OSC) 或 WKUP_LFOSC0 (LFOSC0) 的 LVCMOS 数字时钟源常见问题解答的问题.....	28
• (处理器复位)：添加了处理器复位输入、复位状态输出和连接建议常见问题解答.....	31
• (外部复位输入)：添加了处理器复位输入、复位状态输出和连接建议常见问题解答.....	31
• (引导模式的配置 (针对处理器))：添加了受支持的引导模式配置常见问题解答.....	34
• (处理器外设电源、接口和连接)：添加的注释.....	38
• 添加了“支持的处理器内核和 MCU 内核”部分.....	38
• (DDR 子系统 (DDRSS))：新增了 DDR4/ LPDDR4 性能差异以及无源元件值、容差、电压额定值常见问题解答相关的查询内容。添加了有关 DDRSS 的更多信息.....	40
• 添加了“DDRSS 信号引脚 (封装) 延迟信息”部分.....	43

- (AM625、AM623、AM620-Q1、AM625-Q1、AM625SIP 处理器系列) : 添加了有关无源元件值、容差的问题, 额定电压的常见问题解答, 以及有关 MMC0 接口的更多信息..... 45
- (MMC1/MMC2 - SD (安全数字) 卡接口) : 添加了更多有关 MMC1/MMC2 - SD 接口的信息..... 48
- 添加了 “SD 卡接口的 MMC1 信号 (推荐)” 部分..... 48
- 添加了 SD 卡接口的 MMC2 信号一节..... 49
- 添加了 “其他信息” 部分..... 49
- (MMC1/MMC2 SDIO (嵌入式) 接口) : 添加了更多有关 MMC1/MMC2 SDIO 接口的信息..... 51
- (八路串行外设接口 (OSPI) 或四路串行外设接口 (QSPI)) : 添加了有关 OSPI 或 QSPI 接口的注释及更多信息..... 53
- (通用存储器控制器 (GPMC)) : 添加了有关 GPMC 接口的更多信息..... 56
- (外部通信接口 (以太网 (CPSW3G0)、USB2.0、PRUSS、UART 和 MCAN)) : 添加的注释..... 57
- 添加了以太网 (MAC) 接口..... 58
- (通用平台 3 端口千兆位以太网交换机 (CPSW3G0)) : 添加了有关 CPSW3G0 接口的更多信息..... 58
- (USB Type-C) : 添加了 “没有 PD 控制器是否可以实现 USB OTG ?” 常见问题解答..... 63
- (其他信息) : 增加了有关无源组件值、容差、额定电压的问题的常见问题解答..... 63
- (通用异步接收器/发送器 (UART)) : 添加了有关 UART 接口的注释和更多信息..... 66
- 添加了 “不使用时的 UART 接口” 部分..... 66
- 模块化控制器局域网 (MCAN), 具有完整 CAN-FD 支持: 添加了有关 MCAN 接口的注释和更多信息..... 67
- (多通道串行外设接口 (MCSPi) 和音频外设 - 多通道音频串行端口 (MCASP)) : 添加了注释、有关 MCSPi 和 MCASP 接口的更多信息以及所需的常见问题解答..... 68
- 添加了 MCSPi 与 MCASP 接口信号的连接一节..... 69
- (内部集成电路 (I2C)) : 添加了有关 I2C 接口的注释和更多信息..... 71
- 添加了 “I2C 接口信号连接” 部分..... 72
- (使用时的 CSIRX0 外设) : 增加了有关无源组件值、容差、额定电压的问题的常见问题解答..... 74
- (显示并行接口 (DPI)) : 添加的注释..... 76
- (AM625、AM623、AM625-Q1、AM625SIP 处理器系列) : 添加了有关 DPI 接口的更多信息..... 76
- (AM625、AM623、AM625-Q1、AM625SIP 处理器系列) : 添加了有关 OLDIO 接口的更多信息..... 77
- (通用输入/输出 (GPIO)) : 添加了注释、有关处理器 IO 的更多信息、与 GPIO 相关的问题, 以及与 LVCMOS 输入迟滞常见问题解答相关的问题..... 79
- (使用时的电压监控输入连接) : 添加了电源正常 (POK) 监控模块电压以及与无源器件值、容差和额定电压相关的连接建议和相关问题解答..... 81
- (不使用时连接电压监控输入) : 添加了电源正常 (POK) 模块电压监测和连接建议的常见问题解答..... 83
- (高频振荡器 (MCU_OSC0) 时钟丢失检测) : 添加了有关如何在时钟丢失检测后切换回外部时钟的常见问题解答..... 83
- 添加了晶体或外部振荡器故障部分..... 83
- 添加了 SK 特定电路实现 (重复使用) 一节..... 84
- (定制电路板原理图设计的自我审查) : 添加的注释..... 86
- (定制电路板布局注释 (在原理图部分附近添加) 及通用指南) : 添加了通用高速布局指南常见问题解答的注释和文档链接..... 86
- 添加了 DDR-MARGIN-FW 部分..... 87
- (常见问题解答 - 处理器产品系列和 Sitara 处理器系列) : 添加了 AM62Lx 处理器系列主列表常见问题解答..... 88
- 添加了原理图审阅 (自检) 和原理图审阅申请 (供应商) 部分..... 89
- (参考文献) : 更新了对所有章节的引用, 并添加了 AM62L 参考章节..... 89

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月