

## User's Guide

## 使用 AM62P、AM62P-Q1 处理器系列的定制电路板设计的硬件设计注意事项



## 摘要

定制电路板硬件设计注意事项文档概述了电路板设计人员在使用 AM62P、AM62P-Q1 处理器系列设计定制电路板时建议遵循的设计注意事项。本用户指南可用作定制电路板设计不同阶段的指南（由定制电路板设计人员提供）。

此外，还提供了以下项的链接（TI.com 产品页面）：处理器产品页面、处理器相关配套资料、E2E 上发布的与处理器和处理器外设相关的常见问题解答，以及定制电路板设计期间常用的参考文档。定制电路板设计人员可在定制电路板设计过程中参考这些链接，以更大限度地减少设计错误、优化设计工作、减少电路板制造迭代并优化项目时间安排。

## 内容

<b>1 简介</b>	3
1.1 开始定制电路板设计之前的准备工作	3
1.2 处理器特定 SDK	3
1.3 外设电路实现 — 处理器系列间的兼容性	3
1.4 选择所需的处理器 OPN（可订购器件型号）	4
1.5 技术文档	5
1.6 定制电路板设计文档	6
1.7 定制电路板设计期间的处理器和处理器外设设计相关疑问	6
<b>2 定制电路板设计方框图</b>	6
2.1 开发定制电路板设计方框图	6
2.2 配置引导模式	7
2.3 配置处理器引脚功能（PinMux 配置）	8
<b>3 电源</b>	8
3.1 电源架构	8
3.2 处理器电源轨（工作电压）	9
3.3 电源滤波	12
3.4 电源去耦和大容量电容	13
3.5 电源时序	13
3.6 电源诊断（使用处理器支持的外部输入电压监控器）	13
3.7 电源诊断（使用外部监控电路（器件）进行监控）	14
3.8 定制电路板电流要求估算和电源尺寸确定	14
<b>4 处理器时钟（输入和输出）</b>	14
4.1 处理器时钟（外部晶体或外部振荡器）	14
4.2 处理器时钟输出	16
4.3 时钟树工具	16
<b>5 JTAG（联合测试行动组）</b>	16
5.1 JTAG/仿真	16
<b>6 配置（处理器）和初始化（处理器和器件）</b>	18
6.1 处理器复位	18
6.2 处理器引导模式配置输入的锁存	18
6.3 附加器件的复位	19
6.4 看门狗计时器	19
<b>7 处理器 — 外设连接</b>	19

7.1 支持的处理器内核和 MCU 内核.....	20
7.2 跨域选择外设.....	20
7.3 存储器控制器 (DDRSS).....	20
7.4 媒体和数据存储接口 (MMC0、MMC1、MMC2、OSPI0/QSPI0 和 GPMC0 ) .....	21
7.5 以太网接口.....	23
7.6 可编程实时单元子系统 (PRUSS).....	23
7.7 通用串行总线 (USB) 子系统.....	23
7.8 通用连接外设.....	24
7.9 显示子系统 (DSS).....	27
7.10 CSI-Rx ( 摄像头串行接口 ) .....	27
7.11 实时时钟 (RTC) 模块.....	28
7.12 未使用的处理器电源引脚、IO 和外设的连接.....	28
7.13 SK 特定电路实现 ( 重复使用 ) .....	28
<b>8 处理器 IO ( LVCMOS 或 SDIO 或开漏、失效防护型 IO 缓冲器 ) 的接口连接及仿真.....</b>	<b>29</b>
8.1 IBIS 模型.....	29
8.2 IBIS-AMI 模型.....	29
<b>9 处理器电流消耗和散热分析.....</b>	<b>29</b>
9.1 功耗估算.....	29
9.2 不同电源轨的最大电流额定值.....	30
9.3 支持的功耗模式.....	30
9.4 热设计指南.....	30
<b>10 原理图：采集、录入和审阅.....</b>	<b>30</b>
10.1 定制电路板设计无源元件和值选择.....	30
10.2 定制电路板设计电子计算机辅助设计 (ECAD) 工具注意事项.....	31
10.3 定制电路板设计原理图捕获.....	31
10.4 定制电路板设计原理图审阅.....	31
<b>11 布局规划、布局、布线指南、电路板层和仿真.....</b>	<b>32</b>
11.1 PCB 设计迂回布线.....	32
11.2 LPDDR4 设计和布局布线指南.....	32
11.3 高速差分信号布线指南.....	33
11.4 处理器特定 SK 板布局.....	33
11.5 定制电路板层数和层堆叠方式.....	33
11.6 DDR-MARGIN-FW.....	33
11.7 运行电路板仿真时应遵循的步骤参考.....	34
11.8 处理器的软件开发培训 (Academy).....	34
<b>12 定制电路板组装和测试.....</b>	<b>35</b>
12.1 定制电路板启动提示和调试指南.....	35
<b>13 处理器 ( 器件 ) 处理和组装.....</b>	<b>35</b>
13.1 处理器 ( 器件 ) 焊接建议.....	35
<b>14 术语.....</b>	<b>35</b>
<b>15 参考资料.....</b>	<b>37</b>
15.1 处理器特定 ( AM62P、AM62P-Q1 ) .....	37
15.2 通用.....	37
<b>16 修订历史记录.....</b>	<b>38</b>

## 商标

Arm® and Cortex® are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.  
所有商标均为其各自所有者的财产。

## 1 简介

当设计人员使用上文列出的任何处理器进行定制电路板设计时，可参考 *使用 AM62P、AM62P-Q1 处理器系列的定制电路板设计的硬件设计注意事项* 作为起点。本用户指南概述了定制电路板设计的不同阶段的设计流程，并重点介绍了建议满足的重要设计要求。请注意，本用户指南并非完成定制电路板设计所需的全部信息都包含在内。许多情况下，本文档参考了器件特定配套资料和其他各文档来提供特定信息。

本用户指南分为一系列章节。其中首先介绍了在定制电路板设计的规划阶段必须做出的决策、处理器和关键附加器件的选型及电气和散热要求。必须在每一部分讨论的建议得到解决后再进行下一部分。

---

### 备注

本用户指南并非定制电路板设计的所有方面或阶段都包含在内。

---

### 备注

该处理器系列能够满足安全要求。

本用户指南的重点是非安全应用。

---

### 1.1 开始定制电路板设计之前的准备工作

该处理器系列包含支持多种功能（存储器、通信）的多种外设和处理能力（并非所有外设和处理能力都会用于所有定制电路板设计中）。因此，使用同一处理器的不同定制电路板设计在功能和性能要求上可能存在差异，具体取决于终端应用。定制电路板设计人员应在选择处理器和确定板级实现要求之前了解相关要求。可以向定制电路板设计中添加额外的电路，以增强功能并在终端应用工作环境中正确运行。要选择处理器 OPN 和最终确定以下关键要求，请参阅器件特定数据表、器件勘误表、TRM、定制电路板设计的硬件设计注意事项、原理图设计指南和原理图审阅清单，以及 SK 配套资料（要获取最新信息，建议经常检查 TI.com 上的配套资料更新）：

- 处理器的预期运行条件、目标引导模式、存储类型和接口
- 所选处理器中每个内核的处理（性能）要求
- 外部 DDR 存储器宽度、速度、尺寸
- 使用的处理器外设（用于连接附加器件）

在定制电路板设计期间，作为起点，要获取有关 EVM 和 SK 所用关键器件（元件）的信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L/AM64x 设计建议/定制电路板硬件设计 - 入门套件/EVM 型号（版本）和关键器件（元件）列表](#)

### 1.2 处理器特定 SDK

如果项目要设计新的板或平台，建议使用最新版本/修订版的软件开发工具。

请参阅以下链接来下载所需的 SDK 版本：

#### [PROCESSOR-SDK-AM62P](#)

1. **MCU-PLUS-SDK-AM62P**：适用于 AM62P 的 MCU+ SDK - RTOS、No-RTOS
2. **PROCESSOR-SDK-LINUX-AM62P**：Processor SDK Linux for AM62P

请参阅 *AM62P 软件构建表*（AM62P 支持功能的构建表）。

如果使用较旧的版本/修订，建议使用版本说明验证兼容性或联系 TI（通过 E2E）。

### 1.3 外设电路实现 — 处理器系列间的兼容性

在定制电路板设计期间，在实现外设接口、存储器接口和 IO 接口所需的功能（电路）时，建议根据处理器特定数据表和产品页面上的其他可用配套资料查看并遵循特定于处理器的建议，包括 ROC、电源时序控制、IO 级兼容性。与传统处理器或 MCU（TI AM335x、AM437x 或其他 TI 处理器或其他供应商支持的处理器）相比，接口连接要求和电路实现可能与电路实现不相似（或兼容）。示例外设接口包括 SD 卡接口，其中包括对高速 UHS-I、

USB 接口和 IO 接口实现的支持，包括复位（热或冷）输入或外部 IO 接口（用于转换率、IO 电平兼容性、失效防护运行）。

## 1.4 选择所需的处理器 OPN（可订购器件型号）

选择所需的处理器 OPN 是定制电路板设计过程中的一个重要阶段。要了解处理器系列架构以及根据所需的功能和特性、封装 (AMH) 和速度等级选择（可在定制电路板中使用的）所需的处理器 OPN，请参阅器件特定数据表的 [功能方框图](#)、[器件比较](#)、[器件命名约定](#)、[器件速度等级](#)和[封装信息](#)章节。

请参阅器件特定数据表 [器件比较](#) 一章的 [器件及文档支持](#) 部分，选择所需的处理器 OPN。

请参见以下常见问题解答来读取器件 ID：

[\[常见问题解答\] AM625/AM623 定制电路板硬件设计 - 读取 DEVICE\\_ID 和唯一 SOC \(CPU\) ID](#)

建议在原理图中使用所选的 OPN 更新处理器的 OPN 型号。

有关 AM62Px 处理器系列的可用封装列表，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP/AM62A/AM62D-Q1/AM62P/AM62L 定制电路板硬件设计 - 可用器件封装](#)

### 1.4.1 安全启动及功能安全的处理器支持

AM62Px 器件通过内置硬件安全模块 (HSM) 支持安全启动来实现 IP 保护，并为便携式和功耗敏感型应用提供高级电源管理支持。当选择包含功能安全代码 F 的可订购器件型号时，功能安全支持可用。

有关如何选择支持安全启动和/或功能安全的器件，建议参阅器件特定数据表的 [器件命名约定](#) 部分。

下面总结了定制电路板上所使用的处理器类型：

#### HS-FS

高安全性 - 现场安全型：这是客户对器件中的密钥进行熔断之前的 SoC/电路板状态，即 HS 器件离开 TI 工厂的状态。在这种状态下，器件会保护 ROM 代码、TI 密钥和某些安全外设。在这种状态下，器件不会强制进行引导身份验证，但 DMSC 已锁定。

#### HS-SE

高安全性 - 强制安全型：这是客户成功烧录密钥并设置“Customer Keys enable”后的 SoC/电路板状态。在 HS-SE 器件中，启用了所有安全功能。器件内的所有机密均受到全面保护，并完全执行所有安全目标。器件还会强制执行安全引导。

有关安全启动支持的信息，请参阅以下常见问题解答和以下 SDK 链接：

[AM625：用户如何确认 HS-SE 和 FS](#)

常见问题解答是通用的，也可用于 AM62P 和 AM62P-Q1 处理器系列。

#### 安全性

有关功能安全的相关信息和配套资料，建议联系当地 TI 销售人员或为客户启动 E2E 以便提供支持。

请参阅以下和功能安全相关的常见问题解答：

[AM623：请帮助提供 AM623 的安全特性文档](#)

[\[常见问题解答\] AM623：AM62x、AM644x 功能安全认证文档](#)

[PROCESSOR-SDK-AM62X：申请功能安全文档](#)

常见问题解答是通用的，也适用于 AM62P、AM62P-Q1 处理器系列。

有关支持功能安全的处理器的信息，请访问以下链接：

#### 功能安全

## 1.5 技术文档

TI.com 上的处理器特定产品页面提供了许多与所选处理器 ( 系列 ) 相关的文档。建议定制电路板设计人员在开始定制电路板设计之前, 先阅读相关的配套资料 ( 在以下常见问题解答中列出 )。

以下常见问题解答汇总了在开始进行定制电路板设计时可以参考的配套资料:

[\[常见问题解答\] AM62P/AM62P-Q1 定制电路板硬件设计 - 入门配套资料](#)

### 1.5.1 更新了 SK 原理图 ( 添加了设计、审阅和 CAD 注解 )

在定制电路板设计期间, 作为定制电路板设计流程的一部分, 定制电路板设计人员可以重复使用 SK 设计并进行所需的编辑。定制电路板设计人员也可以重复使用常见电路实现, 包括处理器、存储器和通信接口。SK 设计应具有更多功能, 因此定制电路板设计人员倾向于根据定制电路板要求优化 SK 原理图设计。在对 SK 原理图进行优化时, 可能在定制设计中引入误差, 这类误差可能导致定制电路板功能、性能或可靠性方面的问题。进行优化时, 定制电路板设计人员可能对 SK 实现存在疑问。在审阅的许多客户电路板中, 我们观察到多种定制电路板设计中存在常见设计和优化误差。根据客户疑问、客户和内部意见, 以及数据表中的引脚连接建议, 我们在 SK 原理图的各部分附近添加了全面的设计注解 (D-Note)、审阅注解 (R-Note) 和 CAD 注解 (CAD-Note), 供定制电路板设计人员查阅并遵循 ( 以便更大限度减少误差 )。

设计下载中还包含其他文件, 用于帮助在定制电路板设计评估阶段优化所选处理器的评估时间。SK 设计包括支持最多功能的处理器。

SK-AM62P-LP : <https://www.ti.com/lit/zip/spr487>

有关用于 Altium 工具的 ASCII (.alg) 文件可用性的信息, 请参阅以下常见问题解答:

[\[常见问题解答\] 供 Altium 工具使用的 AM625/AM623/AM620-Q1/AM64x/AM62Ax/AM62Px/AM62D-Q1 - .alg \(ASCII\) 文件](#)

以下产品概述文档列出了可下载的设计文档:

[SK-AM62P-LP 设计包文件夹和文件列表](#)

以下常见问题解答包含 PDF 原理图 ( 其中添加了 D-Note、R-Note、CAD 注解 ) 以及与入门套件 SK-AM62P-LP 相关的附加信息:

[\[常见问题解答\] AM62P/AM62P-Q1 - 定制电路板硬件设计 - 针对重复使用 SK-AM62P-LP 原理图的设计和审阅注解](#)

### 1.5.2 TI.com 的处理器产品页面中的配套资料

产品页面上提供了最近更新的配套资料, 包括数据表、TRM、器件勘误表、硬件设计注意事项用户指南、原理图设计指南和原理图审阅清单。

正在向产品页面添加 ( 更新 ) 正在制作 ( 正在编辑或审阅 ) 的其他配套资料, 当前配套资料也在持续更新。建议定期查阅 TI.com 上的配套资料, 以了解更新的修订版本或新增的配套资料。

### 1.5.3 原理图设计指南及原理图审阅检查清单 - 特定处理器系列用户指南

本用户指南适用于 AM62Px 处理器系列, 介绍了 AM62P 和 AM62P-Q1 处理器 (GPN)。每个处理器 GPN 可以有多个 OPN。本指南包含原理图设计指南与原理图审查检查清单, 可供定制电路板设计过程使用。特定处理器系列用户指南提供以处理器为中心的指南和检查清单, 可让定制电路板设计人员在针对特定处理器系列设计电路板时更轻松。本用户指南内容精简, 针对所选处理器及处理器系列 ( 本文特指 AM62Px ), 具备较好的易用性。

[AM62P、AM62P-Q1 处理器系列原理图设计指南与原理图审阅检查清单](#)

### 1.5.4 硬件设计注意事项用户指南更新

根据客户反馈、经验教训、错误或改进, TI.com 上发布的 *硬件设计注意事项* 用户指南的最新修订版可能发生更改, 这些更改将在下一个文档修订版中更新。



以下常见问题解答列出了在 TI.com 上发布修订版用户指南之前，定制电路板设计人员在定制电路板设计期间需要注意和遵循的更改：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM62A/AM62P/AM62D-Q1/AM64x/AM243x 定制电路板硬件设计 - 硬件设计注意事项和原理图设计指南配套资料的更新](#)

### 1.5.5 支持定制电路板设计的处理器和外设的相关常见问题解答

根据与多个定制电路板设计人员的互动、一些定制电路板设计人员的疑问以及从定制电路板设计人员收到的疑问中获得的信息，创建了一些常见问题解答（涉及（添加了详细说明和示例说明）处理器运行、处理器连接、处理器外设和接口、处理器评估 SK、在定制电路板设计审阅期间观察到的常见错误、数据表和引脚属性以及常见 E2E 疑问），在定制电路板设计期间为定制电路板设计人员提供支持。请参阅下面的常见问题解答列表。在定制电路板设计期间可使用该列表以及其他可用设计配套资料（包括定制电路板设计硬件设计注意事项和原理图设计指南和原理图审阅清单）：

有一个常见问题解答主列表，其中列出了 Sitara 处理器系列的所有可用常见问题解答：

[\[常见问题解答\] 定制电路板硬件设计 - 所有 Sitara 处理器 \( AM62x、AM62Ax、AM62D-Q1、AM62Px、AM62L、AM64x、AM243x、AM335x \) 系列的主要 \( 完整 \) 常见问题解答列表](#)

为了让使用特定处理器系列的定制电路板设计人员更轻松地进行设计，下面列出了不同处理器系列的常见问题解答：

[\[常见问题解答\] AM62P、AM62P-Q1 定制电路板硬件设计 - 与处理器配套资料、功能、外设、接口和入门套件相关的常见问题解答](#)

请参阅下面的常见问题解答，其中列出了所有可用的常见问题解答，包括 Sitara 系列处理器的软件相关常见问题解答：

[\[常见问题解答\] AM6x : AM62x、AM62Ax、AM62D-Q1、AM62Px、AM62L、AM64x、AM24x、AM3x、AM4x Sitara 器件的最新常见问题解答](#)

---

#### 备注

常见问题解答会经常更新。建议定期查看感兴趣的常见问题解答以获取最新信息。

---

## 1.6 定制电路板设计文档

建议定期更新定制电路板设计文档，以了解定制电路板要求的更新信息，以及定制电路板设计的不同阶段对设计的更改（在测试或审阅时可观察到）。更新的信息可以作为审阅（外部或内部）支持所需的文档包（设计文档）的基准。

### 1.7 定制电路板设计期间的处理器和处理器外设设计相关疑问

在定制电路板设计过程中，对于与处理器和处理器外设相关的疑问，建议向器件专家发起 E2E 咨询，以获取支持。建议在 E2E 咨询中包含与设计或外设或主题的具体部分相关的疑问，以缩短问题分配和回复延迟时间。

## 2 定制电路板设计方框图

为了设计功能齐全的定制电路板，建议绘制详细的方框图，其中涵盖所有主要（必需）功能块和接口（连接到外部连接器件（外设））。

### 2.1 开发定制电路板设计方框图

建议确定并查看所有相关的终端设备用例要求（特性）、功能，并包括所有关键元件（功能块）、处理器正常运行所需的相关器件（例如：PMIC），并包含连接到处理器的连接器件的详细信息（作为方框图的一部分）。建议为每个功能或接口绘制单独的方框，使用指示方向的箭头连接方框，标记方框并清楚地指示用于连接处理器和所连接器件的接口和处理器 IO。建议尽可能考虑根据已实现的功能对这些方框进行分组。建议在开始设计之前先查看、完善方框图并确定其基准。

在准备详细方框图时，可使用以下资源（作为支持文档）：

- [入门套件 SK-AM62P-LP](#) ( AM62P 入门套件评估模块 ) 和任何其他可用的 SK。
- 下面列出的链接指向 TI.com 上的处理器特定产品页面，其中包括功能方框图、数据表、TRM、用户指南、器件勘误表、应用手册、定制电路板设计的硬件设计注意事项、原理图设计指南和原理图审阅清单以及其他相关文档。设计和开发部分包括可用 SK ( 入门套件设计文件 )、设计工具、仿真模型和软件的链接。作为支持和培训相关信息的一部分，提供了经常查看或搜索的 E2E 主题和 E2E 常见问题解答的链接。

下面列出了 TI.com 上的处理器产品页面链接：

## AM62Px [AMH]

- [AM62P](#)
- [AM62P-Q1](#)

## 2.2 配置引导模式

建议说明配置引导模式和方框图中提供的引导模式配置，包括主引导和备用引导。

有关支持的引导模式配置，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM64x/AM243x/AM62Ax/AM62Px/AM62D-Q1/AM62L — 支持的引导模式配置](#)

该处理器系列支持多个支持引导模式的外设接口。有关可用的引导模式配置和支持的外设，请参阅器件特定 TRM。该处理器系列支持主引导模式和可选备用引导模式配置。如果主引导 ( 源 ) 模式失败，则 ROM 将切换到备份引导模式。

要在引导期间 ( 由 ROM 代码 ) 使用的引导模式配置由直接连接到处理器引导模式输入 ( 或通过外部缓冲器 ) 的引导模式配置 ( 上拉或下拉 ) 电阻器设置。当处理器脱离冷复位状态时，BOOTMODE [15:0] 引脚配置 ( 电平 ) 被锁存到器件状态寄存器 CTRLMMR\_MAIN\_DEVSTAT[15:0] 中，在 MCU\_PORz 输入取消置位后进行采样 ( PORz\_OUT 输出的上升沿 ( MCU\_PORz 输入的缓冲输出 ) )。在释放 ( 取消置位 ) MCU\_PORz 输入之前，建议引导模式配置输入保持稳定。

可使用分立式 ( 并联拉电阻 ) 电阻器配置处理器引导模式，以实现以下引导配置(功能)：

**PLL 配置 ( 配置 ) : BOOTMODE [02:00]** — PLL 配置引脚用于向 ROM 代码指示系统时钟 ( PLL 参考时钟选择 ) 频率 (MCU\_OSC0\_XI/XO)，以进行 PLL 配置

---

### 备注

有关支持的晶体频率，请参阅处理器特定数据表。配置引导模式以匹配支持的晶体或时钟频率。错误的时钟频率配置会影响处理器性能，包括电路板的复位。

---

**主引导模式 : BOOTMODE [06:03]** - 引导模式引脚用于配置所需的主引导模式，即要从中引导的外设/存储器

**主引导模式配置 : BOOTMODE [09:07]** — 此引导模式配置引脚支持可选配置，并与主引导模式选择引脚配合使用

**备用引导模式 : BOOTMODE [12:10]** - 这些引导模式引脚用于配置所需的备用引导模式，即主引导出现故障时要从中引导的外设/存储器

**备用引导模式配置 : BOOTMODE [13]** — 此引导模式引脚提供额外的配置选项 ( 可选 — 取决于所选的备用引导模式引脚 )

**保留 : BOOTMODE [14]** — 保留的引脚 ( 建议不要将保留引脚保持为未连接状态 )

**保留或 POST : BOOTMODE [15]** - 当 BOOTMODE15 = 1 且 DS\_DM\_RESET\_MASK = 0 时，该引导模式引脚可视为保留引脚或配置为 POST ( 处理器上电期间执行的硬件上电自检 )

---

### 备注

不建议或不允许将 BOOTMODE [15:00] 引脚保持在未连接状态。

---

### 配置引导模式时的主要注意事项：

- 建议在定制电路板开发期间始终包含配置引导模式的选项，例如 USB 引导 (USB0、DFU)、UART 引导 (UART0) 或无引导/器件引导模式 (使用 JTAG)
- 引导模式引脚支持可在锁存引导模式配置输入后配置的备用功能。该建议在定制电路板设计期间选择上拉或下拉电阻器时考虑实现的备用功能。如果引导模式输入由外部输入驱动以支持测试自动化或远程配置，则只要处理器复位 (由 PORz\_OUT 输出引脚指示) 以允许处理器正确引导，就需要引导模式输入返回到所需的引导配置值 (电平)。
- 某些引导模式引脚功能被保留。标记为保留或未使用的引导模式引脚都不建议或不允许悬空 (浮空)。建议使用外部电阻将输入拉高或拉低。有关连接被保留的引导模式引脚的信息，请参阅器件特定 TRM *初始化* 一章中的 *引导模式引脚映射* 部分。

有关所支持引导模式的信息，请参阅器件特定 TRM 的 *初始化* 一节和器件特定硅勘误表。

---

#### 备注

定制电路板设计人员负责提供设置所需引导模式配置 (使用上拉或下拉电阻，或可选地使用跳线/开关 (在不受控制的 ESD 环境中设置时提供外部 ESD 保护)) 的配置。建议为所有具有配置功能的引导模式输入引脚提供上拉和下拉电阻器配置，以提高设计灵活性。不建议或不允许将多个引导模式引脚相互短接，使任何引导模式输入引脚处于未连接状态，或者将引导模式输入直接连接至电源或接地。

---

#### 备注

建议通过 0 Ω 串联电阻器将处理器引导模式输入引脚 (配置为备用功能) 连接到备用功能。在测试期间，可以使用串联电阻器隔离复用功能。

有关实现引导模式的信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM64x/AM243x/AM62A/AM62P/AM62D-Q1/AM62L — 使用隔离缓冲器的引导模式实现](#)

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM64x/AM243x/AM62A/AM62P/AM62D-Q1/AM62L — 无隔离缓冲器的引导模式实现](#)

### 2.3 配置处理器引脚功能 (PinMux 配置)

该处理器系列支持多个外设、接口 (存储器、同步、异步) 和 GPIO。为了优化尺寸、引脚数和封装，同时提供尽可能多的功能，许多处理器焊盘 (引脚) 都预留有安装位，以便多路复用 (最多八个) 信号功能。(在特定的定制电路板上) 可能不是所有外设实例都能配置或使用。

TI 提供了 [SysConfig-PinMux 工具](#)，可供定制电路板设计人员用于配置所需的功能 (外设、接口和 IO)。

---

#### 备注

建议保存使用 SysConfig-PinMux 工具生成的 PinMux 配置以及其他设计文档。

## 3 电源

---

#### 备注

在定制电路板设计周期中，建议遵循 [AM62P、AM62P-Q1 处理器系列原理图设计指南和原理图审阅检查清单](#) 用户指南以及 [定制电路板设计硬件设计注意事项](#) 用户指南。

选择处理器 OPN 并更新方框图以包含处理器器件型号后，定制电路板设计的下一个阶段是电源架构设计。

### 3.1 电源架构

下面列出了可考虑使用的电源架构：



### 3.1.1 集成式电源架构

集成式电源架构可基于 [TPS65224-Q1](#) 或类似产品等多通道 IC (PMIC)。

有关基于 PMIC 的 AM62Px 电源架构的更多信息，请参阅 [入门套件 SK-AM62P-LP](#) 原理图。

---

#### 备注

对于汽车功能安全用例，请将处理器的 MCU\_I2C0 I2C 接口连接到 PMIC (TPS65224/2) I2C1。

---

在断电期间，建议 MCU\_PORz 输入在电源开始斜降之前达到有效的逻辑低电平。基于 PMIC 的电源架构旨在 (预期) 监控 (确保) 所有电源轨是否已关闭并衰减到 300mV 以下，然后在任何处理器电源轨降至 *建议运行条件* 中定义的最小值以下时启动新的上电序列。

使用非 TI PMIC 时，建议定制电路板设计人员查看相关的处理器配套资料，包括器件特定数据表和 *最大额定电流* 应用手册，并遵循相关要求。建议查看器件特定数据表的 *建议运行条件*、*电源压摆率要求*、MCU\_PORz 输入 L->H 延迟 (保持时间) (用于振荡器启动和稳定) 要求、*上电时序* 及 *断电时序* 部分，并确认所选的基于 PMIC 的电源架构符合上述要求和残余电压 (RV) 检查。

建议在上电期间将 MCU\_PORz 输入 (必需) 保持为低电平 (有效)，直到所有处理器电源斜升并有效 (稳定) 加最短延迟 9.5ms (器件特定数据表中称为 9500000ns)，以便内部振荡器启动并稳定 (使用外部晶体加内部振荡器时，请参阅器件特定数据表) 或 MCU\_PORz 输入保持低电平 (有效)，直到所有处理器电源上升并有效，并且外部振荡器时钟输出稳定 (当使用外部 LVCMOS 数字时钟源 (振荡器) 时)，加上最小延迟 1.2  $\mu$ s (在数据手册中称为 1200ns) (请参阅器件特定数据手册)。

请参阅以下常见问题解答：

[\[常见问题解答\] AM62A7/AM62A7-Q1/AM62A3/AM62A3-Q1/AM62A1-Q1/AM62D-Q1/AM62P/AM62P-Q1 设计建议/定制电路板硬件设计 - PMIC TPS65224-Q1 的常见疑问](#)

[\[常见问题解答\] TMUX1308-Q1：EN 和控制输入端接 - AM62P、AM62A 用例](#)

### 3.1.2 分立式电源架构

AM62Px 电源架构可以基于分立式 [直流/直流转换器](#) 和 [LDO](#)。

有关可用或建议的分立式电源架构的信息，请参阅 TI.com 上的器件特定 ([AM62P](#)、[AM62P-Q1](#)) 产品页面。

处理器特定产品页面提供了有关可用电源架构的最新信息。

当实现定制 (TI 或非 TI) 分立式电源架构时，请在所有电源斜升后注意电源尺寸、电源时序、电源转换率和 MCU\_PORz 输入 L->H 延迟 (保持时间) (用于振荡器启动和稳定) 要求，并根据器件特定数据表验证这些要求。

在断电期间，建议 MCU\_PORz 输入在电源开始斜降之前达到有效的逻辑低电平。分立式电源架构预计设计为能够在电源轨降至 *建议运行条件* 中定义的最小值以下时，在启动新的上电序列之前关闭所有电源轨并监控电源轨衰减到 300mV 以下。

建议在上电期间将 MCU\_PORz 输入 (必需) 保持为低电平 (有效)，直到所有处理器电源斜升并有效 (稳定) 加最短延迟 9.5ms (器件特定数据表中称为 9500000ns)，以便内部振荡器启动并稳定 (使用外部晶体加内部振荡器时，请参阅器件特定数据表) 或 MCU\_PORz 输入保持低电平 (有效)，直到所有处理器电源上升并有效，并且外部振荡器时钟输出稳定 (当使用外部 LVCMOS 数字时钟源 (振荡器) 时)，加上最小延迟 1.2  $\mu$ s (在数据手册中称为 1200ns) (请参阅器件特定数据手册)。

请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62A/AM62D-Q1/AM62P/AM62L/AM64x/AM243x 设计建议/定制电路板硬件设计 - 与分立式电源架构相关的疑问](#)

## 3.2 处理器电源轨 (工作电压)

有关处理器电源轨和 *建议运行条件* (ROC) 的完整列表，请参阅器件特定数据表中 *规格一章* 的 *建议运行条件* 一节。

有关处理器 ROC 的更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62A/AM62D-Q1/AM62P/AM62L/AM64x/AM243x 设计建议/定制电路板硬件设计 - SOC ROC 建议运行条件](#)

在处理器冷复位输入 (MCU\_PORz) 被释放后，该处理器系列不支持对处理器内核、外设内核和外设模拟电源进行动态电压调节 (切换)。IO 组的一些 IO 电源支持动态电压切换。有关支持动态电压切换的 IO 组的 IO 电源，请参阅器件特定数据表中的 *IO 组的 IO 电源* 说明。

有关动态电压调节 (DVS) 和动态频率调节 (DFS) 的更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L/AM64x/AM243x 设计建议/定制电路板硬件设计 - SOC 内核 \(VDD\\_CORE\)、外设内核和模拟电源的动态电压调节](#)

---

### 备注

建议验证连接到处理器电源轨的电源处于器件特定数据表的 *建议运行条件* 范围内。

---

### 3.2.1 支持的低功耗模式

有关支持的低功耗模式，请参阅器件特定数据表。有关低功耗模式和功能的其他说明，请参阅器件特定 TRM。PMIC\_LPM\_EN0 是一个双功能 PMIC 控制输出，为低功耗模式 (低电平有效) 或 PMIC 启用 (高电平有效) 提供 PMIC 控制。PMIC\_LPM\_EN0 引脚需要通过一个外部上拉电阻连接到 VDDSHV\_CANUART 电源。引脚状态在复位期间为 HiZ，这使上拉电阻在常开 VDDSHV\_CANUART 电源斜升后立即开启 PMIC。器件从复位状态释放 (MCU\_PORz 输入的上升沿) 后，该引脚会被驱动为高电平。该引脚会保持高电平，直到器件被置入部分 IO 模式 (从 CANUART 模式唤醒) 并被告知进入深度睡眠模式，此时该引脚会被驱动为低电平以关闭 PMIC。当部分 IO 逻辑 (CANUART IO) 检测到外部唤醒事件时，该引脚会再次被驱动为高电平。

#### 3.2.1.1 部分 IO 支持 CAN/GPIO/UART 唤醒

首次为处理器加电时，将禁用部分 IO 电路。当部分 IO 电路被禁用时，MCU\_PORz 输入信号将传播到这些电路。在软件启用部分 IO 功能 (电路) 并配置处理器以监测唤醒输入后，MCU\_PORz 输入信号被阻止进入这些电路。这一机制很有必要，因为当 MCU\_PORz 输入信号启动同其他处理器电源导轨相关的断电序列时，PMIC 会将该信号置为有效。

#### 3.2.2 内核电源

建议使用同一电源为处理器内核电源 VDD\_CORE 与外设内核电源 VDDA\_CORE\_CSI\_DSI、VDDA\_CORE\_DSI\_CLK、VDDA\_CORE\_USB 和 VDDA\_DDR\_PLL0 供电，这些电源可在 0.75V 或 0.85V 电压下工作 (根据 *建议运行条件* (ROC) 表指定的标称工作电压)。当内核电源在 0.75V 电压下工作时，建议在 0.85V 电源之前斜升 0.75V 电源。

对于包含铁氧体滤波器的电源轨，建议在铁氧体的负载侧使用大容量电容器 (连接到处理器引脚)。

VDDR\_CORE 的额定工作电压为 0.85V。当 VDD\_CORE 在 0.85V 下运行时，建议将 VDD\_CORE 和 VDDR\_CORE 一起斜升 (由同一电源供电)。

VDD\_CANUART 可在 0.75V 或 0.85V 电压下工作，正常运行期间与 VDD\_CORE 没有电压相关性。只有在加电和断电排序期间才存在电压相关性。

当使用部分 IO (低功耗) 模式时，建议将 VDD\_CANUART 连接至常开型电源。不使用部分 IO (低功耗) 模式时，建议将 VDD\_CANUART 与 VDD\_CORE 连接到同一电源。

外设内核电源 VDD\_MMC0 和 VDDA\_0P85\_DLL\_MMC0 (移除了 VDD\_MMC0 (1K3, VDDR\_CORE) 和 VDDA\_0P85\_DLL\_MMC0 (1J1, VDDR\_CORE) 电源轨并将这些引脚重新分配到 VDDR\_CORE 电源轨) 额定工作电压为 0.85V。建议将 VDD\_MMC0 (1K3, VDDR\_CORE) 和 VDDA\_0P85\_DLL\_MMC0 (1J1, VDDR\_CORE) 连接到与 VDDR\_CORE 相同的电源。

更多信息，请参阅器件特定数据表中 *规格* 一章的 *建议运行条件* 部分。

### 备注

如需了解关于内核工作电压选型的信息，请参阅器件特定数据表的 *工作性能点* 部分。

#### 3.2.3 外设电源

该处理器系列支持 USB ( USB0 和 USB1 通用 )、MMC0、PLL 和 CSI\_DSI ( CSIRX0 和 DSITX0 ) 专用外设电源。标称电压为 1.8V。USB 建议使用额外的 3.3V 模拟电源。

对于 VDDS\_DDR ( DDR PHY IO 电源 ) 和 VDDS\_DDR\_C ( DDR 时钟 IO 电源 )，建议使用 1.1V 电源 ( 连接到 LPDDR4 存储器连接器件时 )。

更多信息，请参阅器件特定数据表中 *规格* 一章的 *建议运行条件* 部分。

#### 3.2.4 IO 组 ( 处理器 ) 电源的双电压 IO 电源

该处理器系列支持 IO 组的 x8 ( 八个 ) 双电压 IO 电源 ( VDDSHVx [x = 0-3、5、6]、VDDSHV\_MCU 和 VDDSHV\_CANUART )。每组均连接 ( 对应 ) 至一组固定的 IO。IO 组的每个 IO 电源均可独立连接到固定的 ( VDDSHV5、VDDSHV6 支持动态电源切换 ) 3.3V 或 1.8V 电源。IO 组的 IO 电源定义了整组 ( 一组固定 ) IO 的通用工作电压。

大多数处理器 IO 都没有失效防护功能。有关可用的失效防护 IO 的信息，请参阅器件特定数据表。建议将附加器件的 IO 电源连接至接入 IO 组相应处理器双电压 IO 电源 (VDDSHVx) 的同一电源，以确保定制电路板设计不会向未供电的任何处理器 IO 施加电位。若在 IO 电源不可用时向没有失效防护功能的 IO 施加输入，可能会影响处理器功能、性能和可靠性。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP：定制电路板硬件设计 - SOC \( 处理器 \) 和附加器件 \( 失效防护 \) 之间的电源时序](#)

常见问题解答是通用的，也可用于 AM62P、AM62P-Q1 处理器系列。

支持的 IO 组 IO 电源如下所示：

- VDDSHV0 - 主复位和通用接口 IO 组 ( 固定电源 ) 的双电压 IO 电源
- VDDSHV1 - OSPI0 IO 组 ( 固定电源 ) 的双电压 IO 电源
- VDDSHV2 - RGMII1、RGMII2 IO 组 ( 固定电源 ) 的双电压 IO 电源
- VDDSHV3 - GPMC0 IO 组 ( 固定电源 ) 的双电压 IO 电源
- VDDSHV5 - MMC1 IO 组 ( 固定电源或动态电源切换 ) 的双电压 IO 电源
- VDDSHV6 - MMC2 IO 组 ( 固定电源或动态电源切换 ) 的双电压 IO 电源
- VDDSHV\_MCU - WKUP\_MCU IO 组 ( 固定电源 ) 的双电压 IO 电源
- VDDSHV\_CANUART - CANUART IO 组 ( 固定电源 ) 的双电压 IO 电源

### 备注

对于上述标为动态的 IO 组 IO 电源，可以施加 1.8V 或 3.3V 动态切换电源。对于上述标为固定的 IO 组 IO 电源，可以施加 1.8V 或 3.3V 固定电源。IO 组的 2 组 IO 电源之间不存在 IO 电源电压电平相关性。

### 备注

AM62P、AM62P-Q1 处理器系列中不支持 ( 提供 ) VDDSHV4 电源，即 IO 电源的 IO 电源组。

### 备注

当实现部分 IO ( 低功耗 ) 模式时，建议将 VDDSHV\_CANUART 连接至常开型电源。不使用部分 IO ( 低功耗 ) 模式时，建议将 VDDSHV\_CANUART 连接至任意有效的 IO 电源 ( 1.8V 或 3.3V )。

### 3.2.5 动态电压切换双电压电源

以 MMC1、MMC2 信号组为基准的 VDDSHV5 和 VDDSHV6 IO 电源组旨在支持上电、断电或动态电源电压变化（切换），而不依赖于其他处理器电源轨。动态电压切换功能支持 UHS-I SD 卡。

当使用基于 PMIC 的电源架构时，如果 PMIC 集成了一个 LDO，且该 LDO 支持由处理器 IO 控制的动态电压切换，则该 LDO 可用于 UHS-I SD 卡接口。

使用分立式电源架构时，建议使用能够在 3.3V 和 1.8V 之间动态切换（由处理器 IO 控制）的外部 LDO。

### 3.2.6 VPP (eFuse ROM 编程) 电源

建议实现单独的 LDO 为 VPP 供电，以满足器件特定数据表中的电流要求，从而进行电子保险丝编程。VPP 电源可以来自单独的板载 LDO 电源或由处理器 IO 控制时序的外部电源。

在处理器上电、断电和正常运行期间，VPP 电源引脚可以保持悬空 (HiZ) 或接地（可以将电阻器与 TP 连接以隔离接地和连接电源）。

建议在对 eFuse ROM (OTP) 进行编程时注意以下硬件要求：

- 建议仅在处理器上电序列完成后并对 eFuse 进行编程时才施加 VPP 电源。
- 建议使用具有较高输入电压（2.5V 或 3.3V）和使能输入（控制）的固定输出 LDO。建议由处理器 GPIO 控制使能输入以对 VPP 电源计时。
- VPP 电源预计会出现高负载电流瞬态。建议在处理器 VPP 引脚附近使用本地大容量电容器来支持电流瞬变。
- 选择具有快速放电功能的 LDO 或使用外部放电电阻器。
- 在 eFuse 编程期间指定的最大电流为 400mA。
- 如果使用外部电源，则建议在处理器电源斜坡且稳定后施加该电源。
- 使用外部电源时，建议在处理器 VPP 引脚附近添加板载大容量电容器、去耦电容器和放电电阻器。添加一个测试点以连接外部电源，并提供连接其中一个处理器 GPIO 以控制外部电源时序的配置。
- 建议在不对 eFuse 进行编程时禁用 VPP 电源（保持悬空 (HiZ) 或接地）。
- 当使用可调 LDO 时，请考虑添加一个外部齐纳二极管，用于在 LDO 输出端提供过压保护。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP：定制电路板硬件设计 — 有关 VPP eFuse 编程电源选择和应用的问题](#)

常见问题解答是通用的，也可用于 AM62P、AM62P-Q1 处理器系列。

更多信息，请参阅器件特定数据表中规格一章的一次性可编程 (OTP) 电子保险丝的 VPP 规格部分。

### 3.2.7 IO 组 (处理器) IO 电源的内部 LDO

该处理器系列支持 x8（八个）内部 LDO (CAP\_VDDSn [n = 0-3、5、6]、CAP\_VDDSD\_MCU 和 CAP\_VDDSD\_CANUART)，每个 LDO 输出连接到一个单独的焊球（引脚），用于连接外部电容器。有关推荐电容器值、电压、封装和连接的信息，请参阅器件特定数据表中信号说明一节的电源小节。

电容器额定电压和封装选择遵循相关 SK 设计。若选择不遵循 SK 或数据表建议的电容器（值、额定电压），可能会影响 LDO 输出稳定性和处理器性能。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM62A/AM62D-Q1/AM62P/AM64x/AM243x 设计建议/定制电路板硬件设计 - 与 CAP\\_VDDSDx CAP\\_VDDSD 相关的问题](#)

## 3.3 电源滤波

该处理器系列支持多个模拟电源引脚，这些引脚可为 VDDA\_1P8\_OLDIO、VDDA\_1P8\_CSI\_DSI、VDDSD\_MMC0、VDDSD\_OSC0、VDDSD\_MCU 和 VDDSD\_PLLx [x = 0-4] 等敏感模拟外设供电。有关如何为电源轨实现滤波、去耦和大容量电容器，请参阅入门套件 SK-AM62P-LP 原理图。

对于包含铁氧体滤波器的电源轨，建议在铁氧体的负载侧使用大容量电容器（连接到处理器引脚）。



有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP 定制电路板硬件设计 — 针对 SoC 电源轨的铁氧体 \( 电源滤波器 \) 建议](#)

常见问题解答是通用的，也可用于 AM62P、AM62P-Q1 处理器系列。

### 3.4 电源去耦和大容量电容

为了将处理器 ( 和附加器件 ) 与电路板噪声去耦，建议使用去耦电容器和大容量电容器。

有关优化和放置去耦电容器和大容量电容器的信息，请参阅 [Sitara 处理器配电网络：实现与分析](#) 应用手册。

---

#### 备注

SK 或 EVM 上的去耦电容器编号和类型仅作为客户指南。真正的合格或不合格标准是 PDN 应用手册中发布的目标阻抗。如果发现 SK 或 EVM 与 PDN 应用手册在关于电容数量建议和值之间存在差异，则建议考虑 PDN 应用手册中的建议。

---

#### 3.4.1 PDN 目标阻抗说明

为特定电源 (VDD\_CORE) 提供了 PDN 目标阻抗值。未提供其他 ( 所有 ) 电源轨的 PDN 目标阻抗值，因为目标阻抗计算需要考虑电源轨上的最大电流，并且取决于用例。

有关 PDN 目标阻抗电源和数值的更新内容，请参阅以下常见问题解答：

[\[常见问题解答\] AM62P/AM62P-Q1 定制电路板硬件设计 - 入门配套资料](#)

查找 PDN 目标阻抗值 (VDD\_CORE)。

对于 VDDS\_DDR 电源轨，不建议使用目标阻抗作为签核标准。请参阅 [AM62Ax、AM62Px、AM62Dx LPDDR4 电路板设计和布局指南](#)，其中概述了需要执行的功率感知 SI/PI 仿真的所有详细信息。功率感知仿真的眼图模板检查是 VDDS\_DDR 的签核标准。

### 3.5 电源时序

器件特定数据表中提供了建议 *电源时序* ( 上电和断电 ) 的详细图表。建议所有相关处理器电源的设计支持受控电源斜升 ( 电源转换率 ) 和电源时序 ( 使用基于 PMIC 的电源，或者在实现了分立式电源架构时使用板载逻辑 )。

有关更多信息，请参阅器件特定数据表的 *电源要求*、*电源转换率要求* 和 *电源时序* 章节。

根据客户意见和内部分析更新了时序图。建议在器件特定数据表的更新修订版可用时查阅电源时序图。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP：定制电路板硬件设计 - 上电和断电的处理器电源时序要求](#)

常见问题解答是通用的，也可用于 AM62P、AM62P-Q1 处理器系列。

### 3.6 电源诊断 ( 使用处理器支持的外部输入电压监控器 )

处理器支持的外部电源输入监控器可用于早期检测电源故障或进行电源诊断。

该处理器系列支持以下电压监视器：

- 对于电压监控引脚 VMON\_VSYS，无论软件实现如何，建议始终配置外部电阻 ( 分压器 ) 以早期检测 ( 指示 ) 电源故障)。建议连接 5V 或更高电压的电压以使检测生效。如需通过外部电阻分压器连接板载电压 ( 主电源电压，如 5V 或 12V 或 24V )，请参阅器件特定数据表的 *系统电源监测设计指南* 部分。建议在连接到 VMON\_VSYS 输入的电阻器输出端 ( 跨接 ) 实施噪声滤波器 ( 电容器 )，因为 VMON\_VSYS 具有极小的迟滞和对瞬态的高带宽响应。



- 建议将要直接监控的 1.8V 电源连接至 VMON\_1P8\_SOC (无任何滤波电容器) 引脚。有关允许的电源电压范围, 请参阅器件特定数据表的 *建议运行条件* 部分。不使用电压监视器时, 请按照 *引脚连接要求* 连接 VMON\_1P8\_SOC 输入。
- 建议将要直接监控的 3.3V 电源连接至 VMON\_3P3\_SOC (无任何滤波电容器) 引脚。有关允许的电源电压范围, 请参阅器件特定数据表的 *建议运行条件* 部分。当不使用电压监视器或 3.3V IO 电源不可用时, 请按照 *引脚连接要求* 连接 VMON\_3P3\_SOC 输入。

有关更多信息, 请参阅以下常见问题解答:

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62Ax/AM62D-Q1/AM62Px/AM64x/AM243x \(ALV\) 设计建议/定制电路板硬件设计 — POK VMON 电压监控器](#)

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62Ax/AM62D-Q1/AM62Px/AM64x/AM243x \(ALV、ALX\) 设计建议/定制电路板硬件设计 — 电源正常 \(POK\) 监控的模块电压和连接建议](#)

### 3.7 电源诊断 (使用外部监控电路 (器件) 进行监控)

为了增强定制电路板性能并根据应用要求, 建议为所有板载处理器和外设电源轨从电源轨汲取的电压和电流提供外部监控电路 (器件) 配置。

有关更多信息, 请参阅 [入门套件 SK-AM62P-LP](#) 原理图。

一旦电源架构和用于生成电源轨 (基于电源架构) 的所需器件已经完成, 建议更新方框图以包含电源架构 (在电源轨名称中包含电源轨电压值) 和连接。建议生成电源序列 (上电和断电) 图并使用器件特定数据表验证该序列。

### 3.8 定制电路板电流要求估算和电源尺寸确定

器件特定数据表中未提供每个电源轨的 (最大和最小) 电流要求。电流要求在很大程度上取决于应用, 建议使用 TI 提供的工具和文档针对特定用例进行评估。

建议在确定电源尺寸时考虑最大电流额定值 (在 *最大电流额定值* 应用手册中提供)。

功耗估算工具 (PET) 和 *最大额定电流* 应用手册有两个不同的用途。PET 用来估算特定用例/应用的有效功耗。 *最大额定电流* 应用手册可用于在设计定制电源解决方案时确定电源电压。

## 4 处理器时钟 (输入和输出)

### 备注

在定制电路板设计周期中, 建议遵循 [AM62P、AM62P-Q1 处理器系列原理图设计指南和原理图审阅检查清单](#) 用户指南以及 [定制电路板设计硬件设计注意事项](#) 用户指南。

定制电路板设计的下一个阶段是为处理器和附加器件实现时钟架构。可以使用连接了外部晶体的内部振荡器或生成 LVCMOS 兼容时钟输出的外部振荡器来生成处理器时钟。使用外部振荡器作为时钟源时, 请遵循器件特定数据表中的连接建议。以下部分描述了可用的处理器时钟源和要求。

### 4.1 处理器时钟 (外部晶体或外部振荡器)

器件特定数据表中 *规格* 一章的 *时钟规格* 一节显示了建议的处理器时钟源和连接方式。

直接连接到 XI 和 XO 引脚的 25MHz 外部晶体通过 MCU\_OSC0\_XI / MCU\_OSC0\_XO 连接到内部高频振荡器, 是处理器内部运行的推荐主时钟输入源。连接到 MCU\_OSC0\_XI 的基于外部振荡器的 LVCMOS 数字时钟源可以被视为替代时钟选项。使用外部振荡器时, 请注意器件特定数据表中 XO 的连接要求。

当使用晶体生成处理器时钟时, 建议遵循器件特定数据表来选择负载电容。

在冷复位输入被释放之前, 器件特定数据表提供了时钟启动和稳定的建议延迟时间。

有关更多信息, 请参阅以下常见问题解答:

[常见问题解答] [AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP 定制电路板硬件设计 — 有关晶体 \(MCU\\_OSC0\) 启动时间的问题](#)

[常见问题解答] [AM6422：如何在时钟丢失检测后切换回外部时钟的常见问题解答](#)

常见问题解答是通用的，也可用于 AM62P、AM62P-Q1 处理器系列。

AM62Px 处理器系列当前不支持扩频时钟 (SSC) (时钟源 (输入)、内部时钟、PLL)。

有关 SSC 支持的信息，请参阅以下常见问题解答：

[常见问题解答] [AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP：在 PRUSS 上启用扩频内核时钟](#)

常见问题解答是通用的，也可用于 AM62P、AM62P-Q1 处理器系列。

建议使用 32.768kHz 晶体作为低频振荡器 (WKUP\_LFOSC0) 的时钟源。低频振荡器 (WKUP\_LFOSC0) 用例有限，可作为可选配置。

有关更多信息，请参阅以下常见问题解答：

[常见问题解答] [AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP：LFOSC 在处理器中的使用](#)

常见问题解答是通用的，也可用于 AM62P、AM62P-Q1 处理器系列。

#### 4.1.1 未使用时的 WKUP\_LFOSC0 连接

有关未使用的 WKUP\_LFOSC0 的建议连接的信息，请参阅器件特定数据表 *规格* 一章的 *未使用 WKUP\_LFOSC0* 一节。

#### 4.1.2 MCU\_OSC0 和 WKUP\_LFOSC0 晶体选型

选择 MCU\_OSC0 或 WKUP\_LFOSC0 晶体时，建议根据最坏工作环境和定制电路板或终端设备的预期寿命来考虑温度和老化特性。验证所用的晶体负载和晶体负载电容器值 (包括 PCB 电容的增加 (对于 MCU\_OSC0)) 是否与器件特定数据表建议值相匹配。建议选用支持选择标准电容器值的晶体负载。值不匹配可能会引入时钟频率 PPM 误差。

有关更多信息，请参阅以下常见问题解答：

[常见问题解答] [AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP/AM62A7/AM62A3/AM62A1-Q1/AM62D-Q1/AM62P/AM62P-Q1/AM62L 定制电路板硬件设计 - 有关晶体选型和时钟规格的疑问](#)

更多信息，请参阅器件特定数据表的 *MCU\_OSC0 晶体电路要求* 和 *WKUP\_LFOSC0 晶体电气特性表*。

建议根据器件特定数据表将 MCU\_OSC0 晶体直接连接到处理器。

建议 (根据需要) 向晶体制造商确认晶体选型。

#### 4.1.3 LVCMOS 兼容数字时钟输入源

MCU\_OSC0\_XI 和 WKUP\_LFOSC0\_XI 时钟输入可源自外部 1.8V LVCMOS 方波数字时钟源。有关更多信息，请参阅器件特定数据表的 *规格* 一章中的 *时序和开关特性*、*时钟规格*、*输入时钟/振荡器*、*MCU\_OSC0 LVCMOS 数字时钟源* 章节。

有关更多信息，请参阅以下常见问题解答：

[常见问题解答] [AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP/AM62A7/AM62A3/AM62A1-Q1/AM62D-Q1/AM62P/AM62P-Q1/AM62L 定制电路板硬件设计 - 有关 MCU\\_OSC0 \(WKUP\\_OSC\) 或 WKUP\\_LFOSC0 \(LFOSC0\) 的 LVCMOS 数字时钟源的疑问](#)

---

#### 备注

当 LVCMOS 数字时钟连接到 XI 输入时，请遵循器件特定数据表中关于连接 MCU\_OSC0\_XO 和 WKUP\_LFOSC0\_XO 引脚的建议。

---

### 备注

有关更多信息，请参阅器件特定数据表 *MCU\_OSC0 LVCMOS 数字时钟源* 一节中的说明。

## 4.2 处理器时钟输出

名为 CLKOUT0 和 WKUP\_CLKOUT0 的处理器 IO (引脚) 可配置为时钟输出。时钟输出可以用作附加器件 (外部外设 - 例如: EPHY) 的时钟源。

当 CLKOUT0 和 WKUP\_CLKOUT0 用于为多个附加器件供电时，建议对其进行缓冲。

没有在任何时钟输出上定义抖动曲线，因为许多定制电路板特定变量会影响抖动。定制电路板设计人员应在最终产品预期的所有工作条件下测量特定定制电路板实施的时钟输出抖动。

有关更多信息，请参阅器件特定数据表和 TRM。

### 4.2.1 观察时钟输出

该处理器提供了预留设计，以根据处理器系列输出主域观察时钟和/或 MCU 域观察时钟。OBSCLK0、OBSCLK1 以及 MCU\_OBSCLK0 为仅供测试与调试用途的观察时钟输出。观察时钟可用于选择多个不同时钟之一作为输出。观察时钟不应用作任何外部器件的时钟源。如器件特定数据表所述，OBSCLK0、OBSCLK1 和 MCU\_OBSCLK0 信号仅用于测试与调试目的。

## 4.3 时钟树工具

时钟树工具 (CTT) 可用于可视化显示处理器时钟树。CTT 是一种交互式可视工具，可为用户提供器件时钟树架构的全局视图，并可用于确定寄存器设置以获取特定配置。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP/AM62L/AM62Ax/AM62D-Q1/AM62Px/AM64x/AM243x \(ALV、ALX\) 定制电路板硬件设计 - 时钟树工具](#)

## 5 JTAG (联合测试行动组)

### 备注

在定制电路板设计周期中，建议遵循 [AM62P、AM62P-Q1 处理器系列原理图设计指南和原理图审阅检查清单](#) 用户指南以及 [定制电路板设计硬件设计注意事项](#) 用户指南。

该处理器系列支持各种扩展开发系统 (XDS) JTAG 控制器，除了 JTAG 支持之外，还提供各种调试功能。

请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP/AM62L/AM62Ax/AM62D-Q1/AM62Px/AM64x/AM243x \(ALV、ALX\) 定制电路板硬件设计 — JTAG](#)

尽管 JTAG 被认为时电路板正常运行的可选项，但建议在定制电路板设计中包含 JTAG 连接。建议根据引脚连接要求添加建议的上拉电阻配置，并在使用 JTAG 接口时添加外部 ESD 保护。

## 5.1 JTAG/仿真

适用于 JTAG/仿真的相关文档：

- [仿真和跟踪头技术参考手册](#)
- [XDS 目标连接指南](#)
- [边界扫描测试规范 \(IEEE-1149.1\)](#)
- [交流耦合网络测试规范 \(IEEE-1149.6\)](#)

### 5.1.1 JTAG/仿真的配置

IEEE 标准 1149.1-1990、IEEE 标准测试访问端口和边界扫描架构 (JTAG) 接口可用于边界扫描和仿真。边界扫描的实现同时符合 IEEE-1149.1 和 1149.6 标准。无论处理器配置如何，均可使用边界扫描。

JTAG 端口作为一个仿真接口，可在不同模式下使用：

- 标准仿真：需要五个标准 JTAG 信号。
- HS-RTDX 仿真：需要五个标准 JTAG 信号以及 EMU0 和/或 EMU1。在此模式下，EMU0 和/或 EMU1 是双向的。
- 跟踪端口：跟踪端口支持对某些内部数据进行实时转储。跟踪端口使用 EMUx 引脚输出跟踪数据。

有关支持的 JTAG 时钟速率，请参阅器件特定 TRM。

处理器 JTAG 接口信号可用于执行边界扫描测试。可从处理器特定产品页面的以下部分下载需要用于边界扫描测试的 BSDL 文件：

#### 5.1.1.1 BSDL 文件

- [AM62P Sitara BSDL](#)
- [AM62P-Q1 Sitara BSDL](#)

#### 5.1.2 JTAG/仿真的实现

JTAG 和仿真信号以同一 IO 组的 IO 电源为基准。TDI、TDO、TCK、TMS、TRSTn、EMU0 和 EMU1 信号以 VDDSHV\_MCU (双电压 IO) 电源轨 (IO 组 MCU 的 IO 电源) 为基准。VDDSHV\_MCU 可连接至 1.8V 或 3.3V。

建议使用 TI 建议、定义和支持的 20 引脚连接器，而不是 10 引脚 ARM 连接器。10 引脚 JTAG 连接器不包含 TRSTn 信号或 EMU0、EMU1 信号。

关于 JTAG 接口的实现，请参阅 [仿真和跟踪接头技术参考手册](#)。

#### 5.1.3 JTAG 接口信号的连接建议

有关 JTAG 接口信号的连接建议，请参阅器件特定数据表中 [端子配置和功能](#) 一章的 [引脚连接要求](#) 一节。

---

#### 备注

建议始终为 TP 预留安装位，以便处理器 JTAG 信号能够连接到外部 JTAG (当定制电路板设计不含 JTAG 接口时) 接口信号或调试器。建议根据处理器特定数据表的 [引脚连接要求](#) 一节，在处理器 JTAG 信号附近添加建议的拉电阻器。建议预留安装位，以便安装外部 ESD 保护装置，以及在使用 JTAG 接口时安装 ESD 元件。

---

#### 5.1.4 调试引导模式和边界扫描合规性

有关支持的调试功能，请参阅器件特定 TRM 的 [片上调试](#) 一章。

请参阅 [片上调试](#) 一章的以下章节：

- JTAG 接口、JTAG 接口信号
- 跟踪端口接口、跟踪端口信号
- 调试引导模式和边界扫描合规性

仿真控制输入 EMU0 和 EMU1 用于配置调试引导模式行为。仿真控制输入 EMU0 和 EMU1 可用于启用边界扫描测试功能。

##### 调试引导模式

当 MCU\_PORz 输入置为无效时，对仿真控制输入 EMU0 和 EMU1 进行采样，解码的值决定调试引导模式行为，详情请见器件特定 TRM [片上调试](#) 一章的 [调试引导模式表](#)。

##### 边界扫描合规性

当 TRSTn 输入置为无效时，对仿真控制输入 EMU0 和 EMU1 进行采样，解码的值决定调试引导模式行为，详情请见器件特定 TRM [片上调试](#) 一章的 [边界扫描合规性表](#)。

调试或边界扫描功能不依赖于引导模式配置。



## 6 配置 ( 处理器 ) 和初始化 ( 处理器和器件 )

### 备注

在定制电路板设计周期中，建议遵循 [AM62P](#)、[AM62P-Q1 处理器系列原理图设计指南和原理图审阅检查清单](#) 用户指南以及 [定制电路板设计硬件设计注意事项](#) 用户指南。

建议仅在所有推荐的处理器电源斜坡上升加上时钟 ( 晶体加上内部振荡器或外部振荡器 ) 启动和稳定所需的推荐延迟 ( 复位保持时间 ) 之后 ( 请参阅特定器件数据表 )，才撤销 ( 释放 ) 处理器冷复位输入 ( 用于 MCU、MAIN 域 ( MCU\_PORz ) ) 以启动处理器引导过程。

### 6.1 处理器复位

该处理器系列支持 3 ( 三 ) 个外部复位输入 ( 引脚 )，包括 MCU 域和主域冷复位输入 (MCU\_PORz)、MCU 域和主域热复位请求输入 (MCU\_RESETz) 和主域热复位请求输入 (RESET\_REQz)。请注意与 MCU\_RESETz 输入和 MCU\_RESETSTATz 输出相关的器件勘误表。

如需连接热复位输入，请按照器件特定数据表中 [引脚连接要求](#) 部分的说明操作。

请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP : MCU\\_PORz 输入压摆率](#)

常见问题解答是通用的，也可用于 AM62P、AM62P-Q1 处理器系列。

器件特定数据表和器件特定 TRM 中介绍了支持的处理器复位信号 ( 复位输入、复位状态输出 )。

该处理器系列提供 x3 ( 三个 ) 复位状态输出 ( 引脚 )，包括主域 POR ( 冷复位 ) 状态 (PORz\_OUT) 输出、MCU 域热复位状态 (MCU\_RESETSTATz) 输出和主域热复位状态 (RESETSTATz) 输出。建议在处理器复位状态输出引脚附近使用下拉电阻，以便在电源斜升期间将所连接器件保持在复位状态。请注意与 MCU\_RESETz 输入和 MCU\_RESETSTATz 输出相关的器件勘误表。

处理器复位状态输出的使用取决于电路板架构和最终应用。不使用时的复位状态输出可保持未连接状态。建议配置一个测试点用于测试或未来增强。建议使用可选的下拉电阻。

MCU\_PORz 输入可耐受 3.3V 电压且是失效防护输入类型 IO。尽管可以施加 3.3V 输入，但输入阈值遵循 1.8V IO 电平并以 VDD5\_OSC0 为基准。

请遵循器件特定数据表 [上电时序图](#) 中的 MCU\_PORz 输入时序建议。

通过处理器内部寄存器和仿真可提供其他复位选项。

### 备注

MCU\_RESETz 输入和 MCU\_RESETSTATz 输出有特定的用例建议。请参阅公告文章 [i2407-RESET](#)。如果勘误表的 MCU\_RESETz 被置位为低电平，MCU\_RESETSTATz 不可靠。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM62Ax/AM62D-Q1/AM62Px/AM64x/AM243x \( ALV、ALX \) 设计建议/定制电路板硬件设计 - 处理器复位输入、复位状态输出和连接建议](#)

### 6.2 处理器引导模式配置输入的锁存

有关可用处理器引导选项的信息，请参阅上文章 [节 2.2](#)。

处理器引导模式配置输入在 PORz\_OUT 输出的上升沿被锁存。锁存引导模式输入 ( 引脚 ) 的状态 ( 电平 ) 后，引导模式输入引脚即可用于配置复用功能 ( 多路复用 )。PORz\_OUT 输出指示引导模式配置的锁存情况。

PORz\_OUT 输出也可选择性地用于锁存连接器件的引脚配置 (strap)。



### 6.3 附加器件的复位

建议使用“与运算”逻辑 ( 使用 2 输入或 3 输入与门实现 ) 在适用时复位附加器件 ( 板载媒体和数据存储器件以及其他外设 ) , 因为“与运算”逻辑可以涵盖所有处理器外部复位输入条件。任何处理器通用输入/输出 (GPIO) 引脚 ( 选择具有 GPIO 多路复用选项且默认关闭的 AM62Px 处理器引脚 ) 都连接到其中一个与门输入, 并且 0Ω 可以将 GPIO 输出隔离到“与运算”逻辑以进行测试或调试。MAIN 和 MCU 域 POR ( 冷复位 ) 状态输出 (PORz\_OUT) 或 MAIN 域热复位状态输出 (RESETSTATz) 可以作为另一个输入连接到与门。确保连接到与逻辑输入的处理器 IO 电源和上拉电源均来自同一电源。复位期间处理器 IO 缓冲器关闭。建议在“与运算”逻辑和门输入端附近添加一个上拉电阻 ( 输入连接到处理器 GPIO、RESETSTATz 输出在处理器引脚附近具有下拉电阻, 并由处理器复位逻辑驱动为高电平 ) , 以防止与门输入悬空并在上电期间启用由处理器 IO 控制的复位逻辑 ( 例如: eMMC 闪存或 OSPI 闪存在 RESETSTATz 输出变为高电平时即退出复位 ) 。

确保遵循器件建议拉动附加器件复位输入。

建议使用“与运算”逻辑 ( 处理器重置状态和处理器 IO 作为输入 ) 来复位附加器件, 因为“与运算”逻辑提供了在所有处理器复位条件下复位附加器件的灵活性 ( 包括本地复位 ) 。

如果直接使用处理器 MAIN 域热复位状态输出 (RESETSTATz) 来复位所连接器件 ( 不使用“与运算”逻辑 ) , 建议将 RESETSTATz 的 IO 电压电平与所连接器件匹配。建议使用电平转换器来匹配 IO 电平。如果选择了电阻分压器的理想阻抗值, 则也可以使用电阻分压器。如果过高, eMMC 复位输入的上升/下降时间可能会很慢, 从而引入过大延迟。如果过低, 则将导致处理器在正常运行期间提供过多的稳态电流。这种实现方式降低了附加器件的复位选项灵活性。

对于 SD 卡接口, 为了支持 UHS-I SD 卡, 建议提供一个由软件启用 ( 控制 ) 的电源开关 ( 负载开关 ) 来为 SD 卡提供电源 (VDD)。一个固定的 3.3V 电源 ( 处理器 IO 电源 ) 连接作为电源开关的电源输入。

使用电源开关可以对配置为 UHS-I 速度的 SD 卡进行下电上电 ( 因为复位电源开关是复位 SD 卡的唯一方法 ) 到默认速度。

有关为 SD 卡电源实现连接器件复位和电源开关使能复位逻辑的更多信息, 请参阅 [入门套件 SK-AM62P-LP](#) 原理图。

### 6.4 看门狗计时器

看门狗计时器的使用根据应用而定。可以考虑外部看门狗或者内部看门狗。在连接到处理器复位输入之前, 看门狗输出可与其他复位源结合使用。如果按钮连接到处理器冷复位输入或热复位输入, 建议考虑使用复位监控器, 该监控器能够对开关进行去抖并使复位信号保持足够长的时间以满足 MCU\_PORz、MCU\_RESETz 或 RESET\_REQz 脉冲宽度、有效 ( 低电平 ) 时间 ( 最小 1200ns ) 要求。

## 7 处理器 — 外设连接

#### 备注

在定制电路板设计周期中, 建议遵循 [AM62P、AM62P-Q1 处理器系列原理图设计指南和原理图审阅检查清单](#) 用户指南以及 [定制电路板设计硬件设计注意事项](#) 用户指南。

处理器外设连接一节介绍了支持的处理器外设, 旨在与器件特定数据表、TRM 和相关应用手册中提供的内容一起使用。可使用的文档类型包括:

- 数据表: 引脚图、引脚功能说明、引脚属性、处理器工作模式 ( 多路复用器模式 )、复位期间和之后的配置、电气特性、交流时序
- TRM: 处理器功能说明和内核及外设支持的功能、编程指南、有关寄存器和配置的信息
- 应用手册: 特定功能或外设的说明, 以及常见问题的说明

#### 备注

此外, 可以利用或使用常见问题解答和相关的 E2E 主题 ( 新创建或之前已回答 ) 。

## 7.1 支持的处理器内核和 MCU 内核

有关支持的处理器内核，建议参阅器件特定数据表的 *特性* 一节。在选择 Arm Cortex-A53 微处理器子系统内核时，可以参阅器件特定数据表的 *器件比较* 一节。

器件特定数据表的 *工作性能点 OPP* 一节可作为定义所需器件等级和器件工作性能点时的参考。

有关更多详细信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM64x/ AM243x \(ALV\)/AM62Ax/AM62D-Q1/AM62Px 设计建议/定制电路板硬件设计 — 处理器内核、PLL、VDD\\_CORE、VDDR\\_CORE、VPP 和其他内核电源的信息](#)

## 7.2 跨域选择外设

处理器架构包括多个域，每个域包括特定的处理内核和外设：

- MAIN 域
- 微控制器 (MCU) 域
- 唤醒 (WKUP) 域

对于大多数用例，任一内核均可以访问任何域中的外设。无论来自哪个域，所有外设均映射到存储器，且 Arm® Cortex®-A53 内核可检测到并访问 MCU 域中的大多数外设。类似地，MCU 可以访问主域中的大多数外设。

## 7.3 存储器控制器 (DDRSS)

该处理器系列支持 1 个 DDRSS 实例。当前支持的使用 DDR 子系统 (DDRSS) 的存储器接口是 LPDDR4。有关数据总线宽度、内联 ECC 支持、速度和最大可寻址范围选择，请参阅器件特定数据表 *特性* 一章的 *存储器子系统、DDR 子系统* 部分。

允许的存储器配置为 1x 32 位或 1x 16 位。

一个 (1x) 8 位存储器配置不允许或不是有效配置。

使用 LPDDR4 存储器时，由于提供了 16 位配置支持，同一存储器器件根据应用要求可与 AM64x / AM625/AM623/AM620-Q1/AM625-Q1 和 AM62A7/AM62A7-Q1/AM62A3/AM62A3-Q1/AM62A1-Q1、AM62D-Q1 和 AM62P/AM62P-Q1 和 AM62Lx 处理器搭配使用。

当 AM62P/AM62P-Q1 处理器采用 16 位配置时，请遵循 [AM62Ax](#)、[AM62Px](#)、[AM62Dx LPDDR4 电路板设计和布局指南](#) 的 16 位单列 LPDDR4 实现示例中显示的 DQS2、DQS3 和其他未使用信号的连接建议。

如需连接未使用的 DDRSS 信号，请参阅器件特定数据表的 *引脚连接要求* 一节。

有关 LPDDR4 或 DDR4 存储器接口的更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM62Ax/AM62D-Q1/AM62Px/AM64x/AM243x \(ALV\) 定制电路板硬件设计的设计建议/常见错误 — DDRSS : DDR4/LPDDR4 存储器接口](#)

有关更多信息，请参阅器件特定 TRM 中 *存储器控制器* 一章的 *DDR 子系统 (DDRSS)* 部分。

### 7.3.1 处理器 DDR 子系统和器件寄存器配置

DDRSS 控制器和 DDRSS PHY 有一些参数需要配置。为了方便执行该配置，提供了一个在线工具 ([SysConfig 工具](#))，用于生成驱动程序所需的输出文件。从 *软件工具* 下拉菜单中选择 *DDR 子系统寄存器配置*，并选择该处理器。SysConfig 工具将电路板信息、DDR 器件特定数据表中的时序参数和 IO 参数作为输入，然后输出一个头文件，供驱动程序用于对 DDR 控制器和 DDR PHY 进行编程。然后，驱动程序会启动完整的训练序列。

该 SDK 包含适用于 SK 上安装的存储器 (LPDDR4) 器件的配置文件。如果一个不同的存储器 (LPDDR4) 器件需要新配置，必须使用 DDR 寄存器配置工具生成新的配置文件。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM62A7/AM62A3/AM62A1-Q1/AM62D-Q1 定制电路板硬件设计 - 处理器 DDR 子系统和器件寄存器配置](#)

常见问题解答是通用的，也可用于 AM62P、AM62P-Q1 处理器系列。

### 7.3.2 DDRSS 的校准电阻器连接

遵循器件特定数据表中的 DDR0\_CAL0 ( IO 焊盘校准电阻器 ) 连接建议 ( 包括值和容差 )。

### 7.3.3 所连接存储器器件 ZQ 和 Reset\_N ( 存储器器件复位 ) 的连接

按照 SK 原理图将建议的电阻器 ( ZQ ( 阻抗校准 ) 和 Reset\_N ( 连接存储器的复位输入 ) ) 连接到存储器器件，包括建议的值和容差。

## 7.4 媒体和数据存储接口 ( MMC0、MMC1、MMC2、OSPI0/QSPI0 和 GPMC0 )

该处理器系列支持 3 ( 三 ) 个多媒体卡/安全数字卡 (MMC/SD/SDIO) (8b (4b) + 4b + 4b) 实例。

MMC0 支持 8 位 eMMC ( MMC0 接口符合 JEDEC eMMC 电气标准 v5.1 (JESD84-B51) ) 接口。处理器内部实现的 eMMC 接口是一个专用的硬宏 PHY。器件特定数据表的 *引脚属性 ( AMH 封装 )* 表中的“MUX 模式”、DSIS 和“复位后的 MUX 模式”列为空白，因为引脚 ( 接口 ) 由硬宏 PHY 实现 ( 不支持引脚多路复用 )。有关支持的速度，请参阅器件特定数据表的 *MMC0 - eMMC 接口* 一节。eMMC 接口所需的上拉电阻器依据 JEDEC 标准在处理器 eMMC 硬宏 PHY 内部实现。

查阅 eMMC 相关器件勘误表 [AM62Px Sitara™ 处理器器件勘误表、器件修订版本 1.0、1.1](#)。建议将 VDDA\_0P85\_DLL\_MMC0 ( 1J1, VDDR\_CORE )、VDD\_MMC0 ( 1K3, VDDR\_CORE ) 和 VDDR\_CORE 连接到同一电源，以便支持器件修订版 1.2 及更高版本的未来增强功能 ( 包括支持 HS400 eMMC 应用 )。对于 SR1 和 SR1.1，当使用 eMMC 接口且 VDD\_CORE 为 0.85V 时，建议将 VDDA\_0P85\_DLL\_MMC0 ( 1J1, VDDR\_CORE )、VDD\_MMC0 ( 1K3, VDDR\_CORE ) 和 VDDR\_CORE 连接到为 VDD\_CORE 供电的同一电源。对于 SR1 和 SR1.1，当使用 eMMC 接口且 VDD\_CORE 为 0.75V 时，建议将 VDDA\_0P85\_DLL\_MMC0 ( 1J1, VDDR\_CORE )、VDD\_MMC0 ( 1K3, VDDR\_CORE ) 和 VDDR\_CORE 连接到 0.85V 电源。对于 SR1 和 SR1.1，当不使用 eMMC 时，建议将 VDDA\_0P85\_DLL\_MMC0 ( 1J1, VDDR\_CORE )、VDD\_MMC0 ( 1K3, VDDR\_CORE ) 连接到 VDD\_CORE。

有关 eMMC 存储器接口 HS400 支持的更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM62P/AM62P-Q1 定制电路板硬件设计 - 支持 HS400 的电源连接和电路板布局建议](#)

有关 eMMC 存储器接口的更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM64x/ AM243x \(ALV\)/AM62Ax/AM62D-Q1/AM62Px 定制电路板硬件设计的设计建议/常见错误 — eMMC 存储器接口](#)

有关所支持速度的信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM623 : eMMC0 能否支持 DDR50 模式](#)

如需了解 MMC0 端口支持的接口，请参阅以下常见问题解答：

[\[常见问题解答\] AM62A3 : 是否有办法实现 2 个 eMMC 接口 ?](#)

有关 eMMC 在没有传输时暂停时钟功能的信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP : 读写操作完成后，eMMC 时钟是否保持 ?](#)

常见问题解答是通用的，也可用于 AM62P、AM62P-Q1 处理器系列。

如需连接未使用的 MMC0 接口信号，请参阅器件特定数据表的 *引脚连接要求* 一节。

请参阅器件勘误表，了解 eMMC 相关勘误信息。

MMC1/MMC2 支持 4 位 SD 卡接口，包括对 UHS-I SD 卡的支持。建议使用 MMC1 来实现 SD 卡接口，因为 MMC1 支持 SD 卡引导模式，MMC1 CLK、CMD 和 DAT[3:0] 信号功能已通过 SDIO 缓冲器实现，并由 VDDSHV5 供电 ( 以之为基准 )。VDDSHV5 可以在 1.8V 或 3.3V ( 动态切换 ) 下运行。MMC1 SDCD 和 SDWP 信号功能由 LVCMOS 缓冲器实现，并由 VDDSHV0 供电 ( 以之为基准 )，其可以在固定的 3.3V 或 1.8V 下供电。当 SD 卡的 IO 工作电压更改以支持 UHS-I SD 卡时，不建议更改主机的 MMC1\_SD CD 和 MMC1\_SD WP 输

入的逻辑状态。必须在处理器外部实现符合 SD 卡规范的 SD 卡接口所需的拉电阻。建议对靠近存储器时钟输入引脚的时钟输入使用外部下拉电阻。

MMC1/MMC2 支持 4 位嵌入式 SDIO 接口。建议使用 MMC2 来实现嵌入式 SDIO 接口。MMC2 CLK、CMD 和 DAT[3:0] 信号功能已通过 SDIO 缓冲器实现，并由 VDDSHV6 (参考) 供电。VDDSHV6 可以在 1.8V 或 3.3V (动态切换) 下运行。MMC2 SDCD 和 SDWP 信号功能由 LVCMOS 缓冲器实现，并由 VDDSHV6 (VDDSHV0) 供电 (以之为基准)，其可以在固定的 3.3V 或 1.8V 下供电。有关支持的引脚分配，请参阅器件特定数据表的 *信号说明* 一节。与 MMC1 相比，MMC2 引脚分配是不同的，因为预期将 MMC2 与类似于 Wi-Fi 或蓝牙收发器的板载固定工作电压 SDIO 器件一起使用。如需了解支持的速度，请参阅器件特定数据表的 *MMC1/MMC2 - SD/SDIO 接口* 部分；如需了解实现方式，请参阅 SK。需要在处理器外部实现 SDIO 接口的上拉电阻 (根据需要，验证所连接器件建议，包括所支持的拉电阻)。建议为靠近存储器时钟输入引脚的时钟输入使用外部下拉电阻 (根据需要，验证所连接器件建议，包括所支持的拉电阻)。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM64x/ AM243x \(ALV\)/AM62Ax/AM62D-Q1/AM62Px 定制电路板硬件设计的设计建议/常见错误 - SD 卡接口](#)

[\[常见问题解答\] AM62A7/AM62A3/AM62A1-Q1/AM62D-Q1：为什么 MMC1 由 VDDSHV0 和 VDDSHV5 这两个不同的电压电源供电？](#)

[\[常见问题解答\] AM62A7-Q1：如果未使用 SD 卡，如何连接引脚网络 VDDSHV4、VDDSHV5 和 VDDSHV6](#)

常见问题解答是通用的，也可用于 AM62P 和 AM62P-Q1 处理器系列。

对于 MMC1/MMC2、UHS-I SDR50、UHS-I SDR104 接收模式，需进行数据训练，以便将数据捕获集中于数据有效窗口的中心。时序要求不固定为特定值。下表提供了 MMC1/2 时序模式所需的 DLL 软件配置设置：

器件特定数据表中 *所有时序模式的 MMC1/MMC2 DLL 延迟映射*。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP：UHS-I SDR104 接收模式时序](#)

常见问题解答是通用的，也可用于 AM62P、AM62P-Q1 处理器系列。

该处理器系列支持一个 (x1) 可配置为 OSPI0 或 QSPI0 接口的八路串行外设接口 (OSPI0) 实例。建议按照 SK 原理图所述的实现方案将 OSPI0 接口连接到存储器器件 (OSPI 或 QSPI)、为 OSPI0\_CLK (用于控制可能的反射) 添加串联电阻、为 OSPI0\_CLK 添加下拉电阻、为数据和 CS 信号添加上拉电阻，以及实现所连存储器器件复位逻辑。OSPI0 支持连接到单个 (x1) 附加器件。

当需要支持引导功能时，请参阅器件特定 TRM，将支持的 CS (芯片选择) 连接到附加存储器器件。

OSPI0 支持两种数据捕获模式：PHY 模式和 Tap 模式。若要更好地了解支持的模式，请参阅器件特定数据表 *规格一章的时序和开关特性* 一节中的 OSPI、OSPI0 子部分。

有关 OSPI 或 QSPI 存储器接口的更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM62A/AM62D-Q1/AM62P 定制电路板硬件设计的设计建议/常见错误 — OSPI/QSPI 存储器接口](#)

[\[常见问题解答\] Sitara/Jacinto 器件的 OSPI 常见问题解答](#)

该处理器系列支持 1 个通用存储器控制器 (GPMC) 接口实例，此接口可使用 8 位或 16 位 NAND 闪存接口信号连接到 NAND 闪存，或使用器件特定数据表和 *器件比较表* 中列出的所支持并行存储器接口 (同步或异步) 选项连接到 NOR 闪存。

复位期间和复位后，处理器 IO 缓冲器关闭。建议对任何可以悬空的处理器 IO (存储器接口信号) 添加并行拉电阻 (以防止连接的设备输入在主机驱动之前悬空)。

有关更多信息，请参阅器件特定 TRM 中 *外设一章的存储器接口* 部分。



## 7.5 以太网接口

该处理器系列支持 CPSW3G 以太网交换机的 1 个实例 ( 具有 2 个外部端口 ) , 并支持具有独立 MAC ID 的 2 ( 两 ) 个独立以太网接口 ( 使用 CPSW3G0 外设 ) 。 CPSW3G0 允许为 2 个外部接口端口使用混合 RGMII/RMII 接口拓扑。每个 MAC 接口均支持 RGMII 或 RMII 接口。

有关以太网接口的更多信息, 请参阅以下常见问题解答:

[常见问题解答] [AM6442](#)、[AM6441](#)、[AM6422](#)、[AM6421](#)、[AM6412](#)、[AM6411](#) 和 [AM2434](#)、[AM2432](#)、[AM2431](#) ( ALV、ALX ) 定制电路板硬件设计 - 以太网

常见问题解答是通用的, 也可用于 AM62P、AM62P-Q1 处理器系列。

[常见问题解答] [AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L/AM64x/AM243x](#) 设计建议/定制电路板硬件设计 - 与 RGMII 接口和 RGMII TI EPHY 相关的疑问

[常见问题解答] [AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L/AM64x/AM243x](#) 设计建议/定制电路板硬件设计 - 与 RMII 接口和 RMII TI EPHY 相关的疑问

[常见问题解答] [AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP](#) : 以太网 PHY RGMII 同步时钟

常见问题解答是通用的, 也可用于 AM62P、AM62P-Q1 处理器系列。

### 7.5.1 通用平台 3 端口千兆位以太网交换机 (CPSW3G0)

CPSW3G0 可以配置为 3 端口交换机 ( 连接到 2 个外部以太网端口 ( 端口 1 和 2 ) ) 或具有各自 MAC 地址的双独立 MAC 接口。

CPSW3G0 支持每个外部以太网接口端口的 RGMII (10/100/1000) 或 RMII (10/100) 接口。

有关 RMII 接口实现方法, 请参阅器件特定 TRM 的 *CPSW0 RMII 接口* 部分。

为 RMII 接口配置的 CPSW3G0 支持将处理器连接至配置为控制器 ( 主 ) 或器件 ( 从 ) 的以太网 PHY (EPHY)。

为 RMII 接口配置的 CPSW3G0 与 EPHY 连接, 配置为外部 50MHz ( 连接到缓冲外部振荡器或处理器时钟输出 CLKOUT0 ) 时钟输入 ( 其中一个缓冲时钟输出连接到处理器 MAC ) , 或配置为连接至处理器 MAC 时钟输入并具备 EPHY 50MHz 时钟输出的 25Mhz 晶体或时钟输入。

CPSW3G0 端口之一是内部 CPPI ( 通信端口编程接口 ) 主机端口。CPPI 是一个流接口, 用于从 DMA 向 CPSW3G0 外设提供数据, 反之亦然。

默认为发送数据 (TDn) 启用 RGMII\_ID。RGMII\_ID 未经计时、测试或表征。处理器 MAC 不会为接收数据 (RDn) 路径实现内部延迟。

复位期间和复位后, 处理器 IO 缓冲器关闭。建议对任何可以悬空的处理器 IO ( 以太网接口信号 ) 添加并行拉电阻 ( 以防止连接的设备输入在主机驱动之前悬空 ) 。

有关 CPSW3G0 以太网接口的更多信息, 请参阅器件特定 TRM 中 *外设一章的高速串行接口* 部分。

## 7.6 可编程实时单元子系统 (PRUSS)

该处理器系列不支持 PRUSS。

## 7.7 通用串行总线 (USB) 子系统

该处理器系列支持 2 ( 两 ) 个 USB 2.0 接口端口实例。这些 USB 接口 ( USB0、USB1 端口 ) 可以配置为主机、器件或双角色器件 (DRD)。使用任何处理器 GPIO 都可实现 USBn\_ID ( 识别 ) 功能。

请按照器件特定数据表中 *USB ( USB VBUS 检测分压器/钳位电路 ) VBUS 设计指南* 一节的说明, 对外部 USB VBUS 电压 ( USB 接口连接器附近的电源 ) 进行分压处理并连接至 USBn\_VBUS [n = 0, 1] 引脚。

当 USB 接口配置为器件模式时, 建议连接经分压处理的 VBUS ( VBUS 电源输入, 包括电压调节电阻分压器/钳位器 ) 输入。当 USB 接口配置为主机模式时, 连接经分压处理的 VBUS ( VBUS 电源输入, 包括电压调节电阻分压器/钳位器 ) 是可选的。



不建议也不允许连接 3.3V 或者与缩放的 VBUS 输入等效的永久板载电源。USB VBUS 输入需要采用可切换设计。失效防护输入条件仅在电源通过建议的 VBUS 分压器和稳压二极管连接时才有效。

当 USB 接口配置为 VBUS 输出电压控制主机时，建议使用带 OC（过流）输出指示的 USB 电源开关。USBn\_DRVVBUS [n = 0, 1]（复位期间和复位后内部下拉使能）用于控制电源开关。建议将 OC 输出连接至处理器 IO（输入），以检测 VBUS 过载。

有关 USB 连接和 On-The-Go 特性支持的信息，请参阅器件特定 TRM。

当同时不使用 USB0 和 USB1 接口时，请参阅器件特定数据表的 *引脚连接要求* 一节来连接电源引脚。

当不使用 USB0 或 USB1 接口时，请参阅器件特定数据表的 *引脚连接要求* 一节来连接接口信号和电源引脚。

建议在早期电路板开发阶段始终预留 USB0 DFU 引导功能，用于电路板启动和调试。

有关 USB2.0 接口更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP：定制电路板硬件设计 - USB2.0 接口](#)

常见问题解答是通用的，也可用于 AM62P、AM62P-Q1 处理器系列。

有关更多信息，请参阅器件特定 TRM 中外设一章的 *高速串行接口* 部分。

## 7.8 通用连接外设

该处理器系列支持多个通用连接外设和实例。该处理器系列支持以下外设：

以下外设（UART、MCAN、MCSPi、MCASP、I2C）实现了 IOSET。确保在定制电路板设计中使用正确的 IOSET。时序闭合基于 IOSET。

### **多通道串行外设接口 (MCSPi)：**

该处理器系列支持 5（五）个（3 个主域、2 个 MCU 域）MCSPi 实例。MCSPi 模块是多通道发送/接收同步串行总线，可以在控制器模式或外设模式下运行。在控制器模式下，处理器 SPI 接口向附加器件提供时钟信号。在外设模式下，附加器件需要为处理器提供 SPI 时钟源。

建议为 MCSPi 时钟输出信号使用串联一个 (22 Ω) 电阻器（作为起点）。建议将该电阻放置在靠近处理器时钟输出引脚的位置（用于重定时）。建议在所连接器件时钟输入引脚附近使用下拉电阻器 (10k Ω)。

对于靠近所连接器件的芯片选择 (CS) 引脚，建议使用上拉电阻器 (10k Ω)。

MCSPi 外设不支持引导。OSPI0 接口支持 SPI 引导。

对于 MCSPi 接口，SPIx\_D0 和 SPIx\_D1 为数据线路。数据线支持将信号编程为发送数据（发送、输出）或接收数据（接收、输入）。

复位期间和复位后，处理器 IO 缓冲器关闭。建议对任何可以悬空的处理器 IO（MCSPi 接口信号）添加并行拉电阻（以防止连接的设备输入在主机驱动之前悬空）。

建议将 SPI 接口连接到 1（单）个存储器器件。连接到多个存储器器件时，建议遵循高速设计实践并执行仿真，以确保当单个时钟源连接到多个连接 SPI 的器件时，布局不会产生非单调时钟转换。

请参阅以下常见问题解答：

[\[常见问题解答\] SK-AM64B：MCSPi 集成指南](#)

[\[常见问题解答\] AM6412：AM64x SPI D0 和 D1 - MISO/MOSI](#)

常见问题解答是通用的，也可用于 AM62P、AM62P-Q1 处理器系列。

### **内部集成电路 (I2C)：**

请参阅以下内容节 [7.8.1](#)。

### **通用异步接收器/发送器 (UART)：**

该处理器系列支持 9 (九) 个 (7 个主域、1 个 MCU 域、1 个 WKUP 域) UART 接口实例。支持的 UART 功能包括数据传输 (TXD、RXD)、调制解调器控制功能 (CTS、RTS) 和扩展调制解调器控制信号 (DCD、RI、DTR、DSR — 由主域 UART1 支持)。

每个 UART 实例支持的功能，请参阅器件特定数据表的 *信号说明* 一节。

请参阅有关支持的数据速率 (可编程波特率)、器件特定数据表的 *时序和开关特性* 一节。

当外部 UART 接口信号直接连接到处理器 UART 接口信号时，验证 IO 电平兼容性和失效防护运行。建议为外部 ESD 保护提供配置。

建议为早期电路板构建配置 UART 引导 (UART0)，以便进行电路板启动和调试。

复位期间和复位后，处理器 IO 缓冲器关闭。建议对任何可以悬空的处理器 IO (UART 接口信号) 添加并行拉电阻 (以防止连接的设备输入在主机驱动之前悬空)。

### 通用输入/输出 (GPIO) :

该处理器系列支持 GPIO 模块的 GPIO0、GPIO1 及 MCU\_GPIO1 实例。处理器 GPIO 包括 LVCMOS 和 SDIO 缓冲器类型，是推挽式输出。一些特定的 IO 支持开漏输出型 IO 缓冲器接口。当配置为 I (输入) 时，LVCMOS IO 具有输入压摆要求，而 O (输出) 具有电容器负载建议。建议通过连接的负载电容器进行仿真，以确保输出符合器件特定数据表电气特性的 ROC 范围内。

复位期间和复位后，处理器 IO 缓冲器关闭。对于任何具有连接到处理器焊盘的迹线并且可以悬空的处理器 IO，建议使用并行拉电阻 (以防止连接的器件输入在主机驱动之前悬空)。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62A/AM62P/AM62D-Q1/AM62L/AM64x/AM243x 设计建议/定制电路板硬件设计 — 与 GPIO 相关的疑问](#)

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM62Ax/AM62D-Q1/AM62Px/AM64x/AM243x 定制电路板硬件设计的设计建议/常见错误 — LVCMOS 输入磁滞相关的疑问](#)

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM64x/AM243x \(ALV\)/AM62Ax/AM62D-Q1/AM62Px 设计建议/定制电路板硬件设计 — PADCONFIG 位和 PADCONFIG 寄存器默认值汇总信息](#)

---

### 备注

**PADCONFIG 寄存器位配置 — ST\_EN**：如果 PADCONFIG 寄存器被软件修改，建议保持 ST\_EN 位使能。器件特定数据表的每个 *电气特性* 表中定义的最小 *输入转换率* 参数与长期可靠性相关联。这些参数不受 ST\_EN 位的影响。通过滤除不超过磁滞的噪声脉冲，输入缓冲器中实现的施密特触发功能只会更改输入缓冲器的输出结果。当系统向其输入施加慢于器件特定数据表中定义的转换率时，施密特触发功能不会改变输入缓冲器的工作方式。

---

### 音频外设 - 多通道音频串行端口 (MCASP) :

该处理器系列支持 3 (三) 个 (3 个主域) 音频外设实例 - 多通道音频串行端口 (MCASP)。3 个 MCASP 支持多达 4/6/16 个串行数据引脚 (串行器) 并具有独立的 TX 和 RX 时钟。MCASP 支持时分多路复用 (TDM)、内部 IC 声音 (I2S) 和类似格式。建议为 MCASP 时钟输出使用 22 Ω 串联电阻器 (作为起点)。建议将该电阻放置在靠近处理器时钟输出引脚的位置 (用于重定时)。建议在附加器件时钟输入引脚附近使用下拉电阻。

复位期间和复位后，处理器 IO 缓冲器关闭。建议对任何可以悬空的处理器 IO (MCASP 接口信号) 添加并行拉电阻 (以防止连接的设备输入在主机驱动之前悬空)。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62A/AM62P/AM62D-Q1/AM62L 设计建议/定制电路板硬件设计 — 与 MCASP 相关的疑问](#)

### 工业和控制接口 :

该处理器系列支持多种工业和控制接口实例 ( 请参阅器件特定数据表的 *器件比较表* )。

1. 模块化控制器局域网 (MCAN), 具有完整 CAN-FD 支持
2. 增强型脉宽调制器 (EPWM)
3. 增强型正交编码器脉冲 (EQEP)
4. 增强型捕获 (ECAP)

### **模块化控制器局域网 (MCAN), 具有完整 CAN-FD 支持 :**

该处理器系列支持 x4 ( 四个 ) ( x2 主域、x2 MCU 域 ) 模块化控制器局域网 (MCAN) 实例, 完整支持 CAN-FD。

MCAN 模块支持传统 CAN 和 CAN FD ( 具有灵活数据速率的 CAN ) 规范。

复位期间和复位后, 处理器 IO 缓冲器关闭。建议对任何可以悬空的处理器 IO ( MCAN 接口信号 ) 添加并行拉电阻 ( 以防止连接的设备输入在主机驱动之前悬空 )。

可以使用 *SysConfig-PinMux* 工具配置所需的接口。

有关支持的外设的更多信息, 请参阅器件特定 TRM 的外设章节。

### **7.8.1 内部集成电路 (I2C) 接口**

该处理器系列支持 6 ( 六 ) 个 ( 2 ( 两 ) 个符合 I2C 规范的失效防护开漏输出类型 IO 缓冲器和 4 ( 四 ) 个 LVCMOS 缓冲器类型基于 IO 的模拟开漏输出类型 IO ) I2C 接口。支持的 I2C 接口包括 4 个主域、1 个 MCU 域 ( 符合 I2C 标准的开漏输出型 IO 缓冲器 ) 和 1 个 WKUP 域 ( 符合 I2C 标准的开漏输出型 IO 缓冲器 ) I2C 接口。

---

#### 备注

对于具有开漏输出型 IO 缓冲器 ( MCU\_I2C0 和 WKUP\_I2C0 ) 的 I2C 接口, 无论使用何种 IO 配置, 都建议添加上拉电阻。即使不使用 I2C 接口 ( 外设 ), 也建议添加外部上拉电阻。请参阅器件特定数据表的 *引脚连接要求* 一节。

---

当开漏输出型 IO 缓冲器 I2C 接口被拉至 3.3V 电源时, 其输入需满足指定的压摆率要求。建议使用 RC ( 延迟 ) 来限制转换率, 将 C 放置在处理器引脚附近。有关 RC 实现, 请参阅 AM64x EVM 原理图并参阅以下常见问题解答 :

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62A/AM62P/AM62D-Q1/AM62L 定制电路板硬件设计过程中的设计建议/常见错误-SK 原理图设计更新说明](#)

当配置为仿真开漏输出型 IO 缓冲器 I2C 接口 ( I2C0、I2C1、I2C2、I2C3 ) 时, 建议为 LVCMOS IO 添加外部上拉电阻。有关可用仿真开漏输出型 IO 缓冲器 I2C 实例, 请参阅器件特定数据表。

SK 中的上拉电阻值可作为初始参考值。上拉电阻值取决于 I2C 接口实现方式和 I2C 总线负载情况。建议测量 I2C 波形并根据需要减小 ( 调整 ) 上拉电阻值。

---

#### 备注

进行定制电路板设计期间, 请查阅器件特定数据表中 *时序和开关特性 - I2C* 一节的 *例外情况* 小节。请注意模拟 I2C 接口的例外情况。建议为靠近处理器的 I2C 接口信号添加串联电阻器以控制下降时间。

---

有关更多信息, 请参阅以下常见问题解答 :

[\[常见问题解答\] AM62P/AM62P-Q1 定制电路板硬件设计 - I2C 接口](#)

[\[常见问题解答\] AM62A7/AM62A7-Q1/AM62A3/AM62A3-Q1/AM62A1-Q1 和 AM62D-Q1 : MCU\\_I2C0 和 WKUP\\_I2C0 的内部拉电阻配置寄存器](#)

常见问题解答是通用的, 也可用于 AM62P、AM62P-Q1 处理器系列。

有关更多信息, 请参阅器件特定 TRM 外设一章中的 *内部集成电路 (I2C) 接口* 一节。

## 7.9 显示子系统 (DSS)

处理器的显示输出可以使用开放式 LVDS 显示接口发送器 (OLDITX)、显示串行接口 (DSITX0) 和显示并行接口 (DPI - 通过处理器 IO 直接驱动) 连接到外部显示屏。

### **OLDIO (开放式 LVDS 显示接口) :**

该处理器系列支持为 2 个 OLDI-SL 单链路 (4 (四) 个数据通道和 1 (单) 个时钟通道) 或 1 个 OLDI-DL 双链路 (8 (八) 个) 数据通道和 2 (双) 个时钟通道) 显示模式配置 OLDI 显示接口。对于 OLDI-DL, 双链路 A0 到 A3 对应奇数像素, A4 到 A7 对应偶数对。

当 OLDIO 显示接口配置为双链路显示模式时, 存在“奇数/偶数”像素分配要求。A0、A1、A2、A3 对应奇数像素, A4、A5、A6、A7 对应偶数像素。

当 OLDIO 接口配置为 2 个 OLDI-SL 单链路显示模式时, OLDIO 接口支持 (可配置) 独立显示流 (非重复模式、非镜像模式)。有关为 OLDI-DL 和 OLDI-SL 配置 OLDIO 接口时支持的分辨率, 请参阅器件特定数据表。

如需连接未使用的 OLDIO 信号, 请参阅器件特定数据表的 [引脚连接要求](#) 一节。

有关 OLDIO 的更多信息, 请参阅以下常见问题解答 :

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP/AM62P/AM62P-Q1 定制电路板硬件设计 - OLDI \(开放式 LVDS 显示接口\) 功能](#)

### **DSI MIPI D-PHY (DPHY) 显示接口 :**

该处理器系列支持具有 x4 (四个) 数据通道和 x1 (单个) 时钟通道的显示接口。

如需连接未使用的 DSITX0 信号 (完整或部分), 请参阅器件特定数据表的 [引脚连接要求](#) 一节。

### **DPI (显示并行接口) :**

该处理器系列支持每像素 24 位、RGB/YUV422 模式、LVCMOS 输出、DPI (并行) 显示接口。

DPI 当前不支持 SSC。请发起 E2E 主题查询或查看处理器特定产品页面上的可用配套资料, 以了解 DPI 对 SSC 支持的最新状态。

复位期间和复位后, 处理器 IO 缓冲器关闭。建议对任何可以悬空的处理器 IO (DPI 接口信号) 添加并行拉电阻 (以防止连接的设备输入在主机驱动之前悬空)。

有关 DPI 的更多信息, 请参阅以下常见问题解答 :

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP 定制电路板硬件设计 - 显示并行接口 \(DPI\) 24 位 RGB - 显示接口](#)

常见问题解答是通用的, 也可用于 AM62P、AM62P-Q1 处理器系列。

有关更多信息, 请参阅器件特定 TRM 中外设一章的 [显示子系统和外设](#) 一节。

## 7.10 CSI-Rx (摄像头串行接口)

该处理器系列支持单路摄像头串行接口 (CSI-RX、CSI-2、CSIRX0), 使用 D-PHY (DPHY、DPHY\_RX) 时支持 4 通道, 并符合 MIPI CSI-2 v1.3 标准和 MIPI D-PHY 1.2 标准 (CSIRX0)。支持多达 4 通道 (单通道/双通道/3 通道/4 通道) 数据通道与 D-PHY (DPHY\_RX) 连接。有关支持的最大数据速率, 请参阅器件特定数据表 [特性](#) 一章中的 [带通道 D-PHY 的多媒体摄像头串行接口 \(CSI-2\) 接收器](#) 一节。

DPHY\_RX (CSI-RX) 支持 1 个 (单) 时钟通道, 所有数据通道的时钟频率均相同。帧速率由帧起始和帧结束信号决定, 并允许每通道以不同的帧速率处理输入源。

如需连接未使用的 CSIRX0 信号 (完整或部分), 请参阅器件特定数据表的 [引脚连接要求](#) 一节。

有关 CSIRX0 的更多信息, 请参阅以下常见问题解答 :

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625SIP/AM625-Q1/AM62Ax/AM62Px 定制电路板硬件设计 - CSI-2 功能](#)



常见问题解答包含允许的数据通道和时钟通道交换相关信息。

有关更多信息，请参阅器件特定 TRM 外设一章中的 *摄像头外设* 一节。

## 7.11 实时时钟 (RTC) 模块

该处理器系列支持 1 个实时 (RTC) 模块实例，可轻松跟踪时间和日期，并生成实时警报。

有关更多信息，请参阅器件特定 TRM 的外设一章中的 *实时时钟* 一节。

处理器系列不支持 RTC 模块使用单独的电源，在热复位或冷复位期间保留时间 (计时器) 值。时间 (计时器) 值可以在处理器生成的软件复位或外部冷或热复位期间复位。

WKUP\_LFOSC0 可用于依据时钟精度要求支持 RTC 模块功能。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1 设计建议/定制电路板硬件设计 - 与实时时钟 \(RTC\) 相关的疑问](#)

## 7.12 未使用的处理器电源引脚、IO 和外设的连接

除非器件特定数据表 *引脚连接要求* 一节另有说明，否则建议所有处理器电源引脚都采用 (连接) 器件特定数据表 *建议运行条件* 一节中指定的电源电压。

建议阅读 *引脚连接要求* 的开头和结尾处的注解。

该处理器系列包含两种引脚 (封装焊球)：具有特定连接要求的引脚，以及建议保持未连接状态的引脚。

有关连接未使用的处理器外设和 IO 的信息，请参阅器件特定数据表中 *端子配置和功能* 一章的 *引脚连接要求* 一节。

有关连接未使用的处理器外设和 IO 的更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM62A/AM62D-Q1/AM62P 定制电路板硬件设计期间的设计建议/常见错误 - 未使用的 SOC 外设和 IO 的连接](#)

### 7.12.1 外部中断 (EXTINTn)

EXTINTn 是一种开漏输出类型失效防护 IO 缓冲器。当连接 PCB 布线并且外部输入未被主动驱动时，建议连接外部上拉电阻器。漏极开路输出类型 IO 缓冲器在上拉至 3.3V 时具有指定的转换率要求。建议使用 RC (延迟) 来限制转换率，将 C 放置在处理器引脚附近。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP/AM62L/AM62A7/AM62A3/AM62A1-Q1/AM62D-Q1/AM62P/AM62P-Q1 定制电路板硬件设计 — EXTINTn 引脚上拉连接](#)

### 7.12.2 RSVD 预留引脚 (信号)

名为 RSVD 的引脚被预留。建议按照器件特定数据表中的建议，将 RSVD 引脚保持未连接状态 (无测试点 (TP))。

建议将 RSVD 引脚保持未连接状态 (建议不要连接任何 PCB 布线或测试点)。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP：定制电路板硬件设计 — RSVD 引脚的连接建议](#)

常见问题解答是通用的，也可用于 AM62P、AM62P-Q1 处理器系列。

## 7.13 SK 特定电路实现 (重复使用)

如果重复使用了下面列出的某些 SK 实现：

- DPI 转 HDMI
- 音频编解码器



- FT4232 UART 转 USB 桥接器
- XDS110 调试程序
- CPSW3G RGMII 或 RMII - EPHY
- M.2 接口 - SDIO
- 电流监控器件
- USB Type-C PD 控制器和电源

建议遵循以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM64x/ AM243x \(ALV\)/AM62Ax/AM62D-Q1/AM62Px 设计建议/定制电路板硬件设计](#) — 在定制电路板设计上重复使用下面列出的 SK 特定实现的指南

## 8 处理器 IO ( LVCMOS 或 SDIO 或开漏、失效防护型 IO 缓冲器 ) 的接口连接及仿真

### 备注

在定制电路板设计周期中，建议遵循 [AM62P](#)、[AM62P-Q1](#) 处理器系列原理图设计指南和原理图审阅检查清单 用户指南以及 [定制电路板设计硬件设计注意事项](#) 用户指南。

在开始原理图捕获之前，定制电路板设计中的一个重要考虑因素是分析处理器和附加器件之间的兼容性（电气特性、IO 级别、失效防护运行）。

- 器件特定（处理器）数据表包括有关时序和电气特性的信息。
- 对于高速接口，建议使用 IBIS 模型运行仿真。

有关更多信息，请参阅 [KeyStone II 器件硬件设计指南](#) 中的 [通用端接详细信息](#) 部分。

有关驱动强度配置支持的信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62A/AM62P/AM62D-Q1/AM62L/AM64x/AM243x 设计建议/定制电路板硬件设计 - SDIO 和 LVCMOS 的 I/O 驱动强度配置](#)

IBIS 和 IBIS-AMI 模型可从处理器特定产品页面的以下部分下载：

### 8.1 IBIS 模型

- [AM62P Sitara IBIS 模型](#)
- [AM62P-Q1 Sitara IBIS 模型](#)

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62A/AM62P/AM62D-Q1/AM62L/AM64x/AM243x 设计建议/定制电路板硬件设计 - 与 IBIS 模型相关的疑问](#)

### 8.2 IBIS-AMI 模型

- [AM62P Sitara AMI 模型](#)
- [AM62P-Q1 Sitara AMI 模型](#)

### 备注

建议双击 .exe 文件安装 IBIS-AMI 模型。安装 IBIS-AMI 模型是唯一支持的使用 IBIS-AMI 模型的选项。

## 9 处理器电流消耗和散热分析

定制电路板电流要求取决于所选处理器、使用的外设、实现的终端设备功能、应用环境、工作温度要求以及温度/工作电压变化。

### 9.1 功耗估算

要根据用例估算处理器电流（功耗），请使用以下工具：

## [AM62P 功耗估算工具](#)

## [AM62P-Q1 功耗估算工具](#)

### 9.2 不同电源轨的最大电流额定值

有关应用手册的可用性，请参阅 TI.com 上的器件特定 ([AM62P](#) 或 [AM62P-Q1](#)) 产品页面。查找 **最大额定电流**。建议遵循 **最大电流额定值** 应用手册来确定电源尺寸。

---

#### 备注

功耗估算工具 (PET) 和 **最大额定电流** 应用手册有两个不同的用途。PET 用来估算特定用例/应用的有效功耗。**最大额定电流** 应用手册可用于在设计定制电源架构时确定电源电压。

---

### 9.3 支持的功耗模式

有关支持的功耗模式的信息，请参阅器件特定 TRM [器件配置](#) 一章中 **电源** 一节下的 **功耗模式** 小节。

### 9.4 热设计指南

[DSP 和 Arm 应用处理器热设计指南](#) 应用手册为使用 Sitara 系列处理器的定制电路板设计提供了如何实现散热选项的指导。本应用手册提供了有关常见术语和方法的背景信息。仅针对遵循应用手册中所含热设计指南的电路板设计提供了可能需要的任何后续设计支持。

可以从处理器特定产品页面的以下部分下载散热模型：

#### 9.4.1 热量模型

- [AM62P Sitara 热模型](#)
- [AM62P-Q1 Sitara 热模型](#)

#### 9.4.2 电压热管理模块 (VTM)

独立的温度传感器位于处理器上指定的热点。器件特定数据表提供了 VTM 精度，器件特定 TRM 提供了有关温度传感器位置的信息。

请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62Ax/AM62D-Q1/AM62Px/AM62L/AM64x/AM243x \(ALV, ALX\) 定制电路板硬件设计 - 电压热管理器 \(VTM\)](#)

## 10 原理图：采集、录入和审阅

现在可以开始采集和审阅原理图以进行定制电路板设计了。

以下常见问题解答汇总了在定制电路板原理图设计和定制电路板原理图审阅期间可以参考的主要配套资料：

[\[常见问题解答\] AM64x、AM243x \(ALV、ALX\)、AM62x、AM62Ax、AM62Px、AM62D-Q1、AM62L 定制电路板硬件设计 - 原理图设计和原理图审阅期间用于参考的配套资料](#)

有关元件选择、原理图采集和审阅的指南，请参阅以下部分：

### 10.1 定制电路板设计无源元件和值选择

选择无源元件时，建议遵循器件特定数据表（如适用）的容差和额定电压等值。建议遵循降额指南（通用指南或特定于公司的无源元件指南（例如：电阻器功率和电容器额定电压））。

---

#### 备注

SK 中的元件值、封装尺寸和额定电压可为定制电路板设计人员提供良好的起点。

在定制电路板设计期间，建议定制电路板设计人员验证 TI 建议的值、容差、封装尺寸和额定电压是否适合特定的定制电路板设计（终端设备）实现，并进行必要的更新。

---

## 10.2 定制电路板设计电子计算机辅助设计 (ECAD) 工具注意事项

Orcad 是用于设计 SK 原理图的电子计算机辅助设计 (ECAD) 工具。

Allegro 是用于设计 SK 布局的 ECAD 工具。

有关用于 SK 设计的 ECAD 工具的信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM62L/AM625-Q1/AM62A7/AM62A3/AM62A1/AM62P-Q1/AM62D-Q1 定制电路板硬件设计 - 处理器评估模块或入门套件信息，包括电路板设计 CAD 工具版本](#)

提供了一个 .alg 文件，以将 Allegro 设计文件转换为 Altium。如果需要转换后的 Altium 设计文件，建议检查相关 SK 或处理器产品页面，以了解可用性 or 添加 E2E 查询。

## 10.3 定制电路板设计原理图捕获

完成原理图设计后，定制电路板设计的下一个阶段是原理图捕获。在原理图采集阶段，可以全新设计定制电路板原理图，也可以再次以 SK 原理图设计为基准进行更新。

有关更多信息，请参阅 [入门套件 SK-AM62P-LP](#) 原理图。

---

### 备注

在定制电路板设计周期中，建议遵循 [AM62P、AM62P-Q1 处理器系列原理图设计指南和原理图审阅检查清单](#) 用户指南以及 [定制电路板设计硬件设计注意事项](#) 用户指南。

---

此外，还可参阅以下常见问题解答，其中包含 AM62x 处理器系列的原理图审阅检查清单：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L/AM64x/AM243x \(ALV\)/AM335x 设计建议/定制电路板硬件设计 - 原理图审阅检查清单](#)

以下常见问题解答汇总了重复使用 SK 原理图设计文件进行定制电路板设计时的注意事项：

[\[常见问题解答\] AM62P/AM62P-Q1 定制电路板硬件设计 - 重复使用 TI SK \(EVM\) 设计文件](#)

---

### 备注

若重复使用 SK 设计（原理图），请确保所需功能实现（涉及多页电路）的完整性、检查因设计更改或优化而导致的网络名称变更并进行相应更新。在实现之前，请查看并遵循靠近电路的原理图页面上添加的注释（设计、审阅和 CAD）。

当重复使用 SK 设计（原理图）时，可以复位所有元件的 DNI 设置。请确保重新配置 DNI（安装 DNI 可能会影响功能）。请审阅靠近电路实现的原理图页面上添加的 DNI 注释。

---

## 10.4 定制电路板设计原理图审阅

完成原理图采集后，建议根据 [AM62P、AM62P-Q1 处理器系列原理图设计指南和原理图审阅清单](#) 进行自审。

以下常见问题解答列出了对定制电路板原理图设计进行自检时可以遵循的配套资料和步骤：

[\[常见问题解答\] AM62P/AM62P-Q1 设计建议/定制电路板硬件设计 - 定制电路板原理图自检](#)

此外，还可参阅以下常见问题解答，其中包含 AM62x 处理器系列的原理图审阅检查清单：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L/AM64x/AM243x \(ALV\)/AM335x 设计建议/定制电路板硬件设计 - 原理图审阅检查清单](#)

请参阅以下常见问题解答，了解与原理图更新过程中观察到的一些常见错误相关的信息：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L 定制电路板硬件设计过程中的设计建议/常见错误-SK 原理图设计更新说明](#)

有关连接已使用/未使用处理器引脚和外设的信息，请参阅以下常见问题解答：

[常见问题解答] [AM62x、AM62Ax、AM62D-Q1、AM62L、AM62Px、AM64x、AM243x 定制电路板硬件设计 — 如何处理已使用/未使用的引脚/外设以及添加上拉或下拉电阻？ \(例如 GPIO、SERDES、USB、CSI、MMC \(eMMC、SD 卡\)、CSI、OLDI、DSI、CAP\\_VDDsx……\)](#)

建议在内部计划一次正式的原理图审阅，以参考原理图 [设计指南](#)和[原理图检查清单](#)来审阅定制电路板原理图。建议审阅定制电路板设计实现情况，了解可能的设计错误、元件值变化、连接错误、网络连接缺失以及其他未遵循的设计建议。

如果需要向 TI 提交原理图审查申请，建议遵循以下常见问题解答：

[常见问题解答] [Sitara MPU 硬件应用支持 — 原理图审查申请](#)

在审阅时，建议按照器件特定数据表的 [引脚连接要求](#) 一节中的建议审阅定制电路板原理图。

## 11 布局规划、布局、布线指南、电路板层和仿真

在规划、完成原理图采集和审阅 (自审、团队和外部审阅 (由连接器件的器件供应商审阅) 并进行要求的更新后，建议对定制电路板设计执行元件放置分析 (平面图)，以确定最优元件放置方法以及处理器与各种 IC (连接器件) 之间的互连距离，确定电路板尺寸和轮廓。

定制电路板设计的下一个阶段是电路板布局 (放置元件、最终确定外形尺寸和电路板布局)。

有关电路板布局的建议，请参阅以下各节。

### 11.1 PCB 设计迂回布线

[AM62Px PCB 设计的迂回布线](#)提供了 AM62P、AM62P-Q1 处理器系列的 PCB 迂回布线示例，在定制电路板布局期间可参考该示例。

请参阅以下常见问题解答：

[常见问题解答] [PROCESSOR-SDK-AM62X : EMMC、RMII、OLDI 接口的最大布线长度、长度匹配容差、阻抗、布线间距要求的布局指南](#)

常见问题解答是通用的，也可用于 AM62P、AM62P-Q1 处理器系列。

### 11.2 LPDDR4 设计和布局布线指南

请参阅 [AM62Ax、AM62Px、AM62Dx LPDDR4 电路板设计和布局指南](#)。使用指南可简化 LPDDR4 电路板布局。布局指南和要求已整理为一组布局 (放置和布线) 建议，使定制电路板设计人员能够实现定制电路板设计，提供处理器支持的存储器连接拓扑所需的功能。仅针对遵循 [AM62Ax、AM62Px、AM62Dx LPDDR4 电路板设计和布局指南](#)的电路板设计提供可能需要的任何后续设计支持。

有关 LPDDR4 信号布线的建议走线阻抗，请参阅 [AM62Ax、AM62Px、AM62Dx LPDDR4 电路板设计和布局指南](#)。

请参阅 [AM62Ax、AM62Px、AM62Dx LPDDR4 电路板设计和布局指南](#)，了解 LPDDR4 时钟、地址和控制信号，以及有关 LPDDR4、通道宽度、通道数、芯片数和列数的信息。

对于传播延迟，LPDDR4 需要考虑的延迟是与电路板上布线相关的延迟。根据需要，可参考 [可以为 AM62Ax、AM62Px、AM62Dx LPDDR4 电路板设计和布局指南添加 SoC 封装延迟](#)一节。

建议在定制电路板原理图设计和电路板布局阶段执行信号完整性 (SI) 仿真。

---

#### 备注

该系列处理器支持一个通道内的数据位混合和字节交换。请参阅 [AM62Ax、AM62Px、AM62Dx LPDDR4 电路板设计和布局指南](#)。

---

#### 备注

当前不支持用于连接 DDR4 存储器的接口。

---



---

## 备注

不支持 DDR2 和 DDR3 接口。

---

### 11.3 高速差分信号布线指南

[高速接口布局布线指南](#)应用手册提供了如何为高速差分信号布线的指南。这些指南包括 PCB 层堆叠、PCB 材料选择指导以及布线偏移、长度和间距限制。针对遵循 [高速接口布局指南](#) 的定制电路板设计提供了可能需要的所有后续设计支持。

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM64x/AM243x \(ALV\)/ AM62Ax/AM62D-Q1/AM62Px 电路板布局 — 通用高速布局指南文档链接](#)

---

## 备注

在定制电路板设计期间，考虑使用 [入门套件 SK-AM62P-LP](#) SK 布局作为参考。

---

### 11.4 处理器特定 SK 板布局

进行定制电路板布局时可将处理器特定 SK 板布局用作参考，也可以重复使用 SK 板布局并且可进行必要修改。已针对 SK 板上的所有高速接口执行所需仿真。对于外设，建议遵循通用电路板布局布线指南。

以下常见问题解答提供了一些可用的 TI 高速指南的链接，这些指南可在布局阶段参考：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM64x/AM243x \(ALV\)/ AM62Ax/AM62D-Q1/AM62Px 电路板布局 — 通用高速布局指南文档链接](#)

### 11.5 定制电路板层数和层堆叠方式

确定层数时要考虑的重要要求之一是实现高速 LPDDR4 存储器接口所需的层数。如果遵循建议的布局指南，通常要求达到入门套件中使用的层数 ( TI 建议 ) 或 *PCB 设计的迂回布线*应用手册中建议的层数。可以考虑根据定制电路板设计功能对层数进行优化。

有关实现 LPDDR4 存储器接口的进一步指南和建议，请参阅 [AM62Ax、AM62Px、AM62Dx LPDDR4 电路板设计和布局指南](#)。

在定制电路板布局期间，可使用 [AM62Px PCB 设计的迂回布线](#)应用手册作为指南。使用 TI 过孔通道阵列 (VCA) 技术，可以对层进行进一步优化。

AM62Px VCA 包支持与其他几种竞争性解决方案类似的功能集，而封装面积减小约 15%，线宽拉宽约 10%。VCA 缩小了 PCB 尺寸并采用了更低成本的 PCB 规则，从而实现了紧凑和成本优化的系统。

#### 11.5.1 仿真建议

对于与 SK 布局相关的任何布局更改或优化，建议进行仿真。

### 11.6 DDR-MARGIN-FW

利用 DDR 裕度固件和支持脚本，可以在板载 DDR 接口中实现系统裕度的可视化和测量。这些工具支持对关键数据信号进行无探头测量，以了解定制电路板设计是否遵循接口的建议设计指南。

[DDR-MARGIN-FW - 用于测量系统 DDR 裕度的固件和脚本](#)

有关更多信息，请参阅以下常见问题解答：

[\[常见问题解答\] PROCESSOR-SDK-AM62X : 有关 AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP DDR 裕度测试工具的问题](#)

常见问题解答是通用的，也可用于 AM62P、AM62P-Q1 处理器系列。

## 11.7 运行电路板仿真时应遵循的步骤参考

如需了解 LPDDR4 存储器接口的电路板提取、仿真和分析方法，请参阅 [AM62Ax](#)、[AM62Px](#)、[AM62Dx LPDDR4 电路板设计和布局指南](#) 的 [LPDDR4 电路板设计仿真](#) 一章。

请参阅以下常见问题解答：

[常见问题解答] [AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP/AM62A7/AM62A3/AM62A1-Q1/AM62D-Q1/AM62L/AM62P/AM62P-Q1/AM64x/AM243x 定制电路板硬件设计 - IO 缓冲器的 S 参数和 IBIS 模型](#)

[常见问题解答] [将 DDR IBIS 模型用于 AM64x、AM243x \(ALV\)、AM62x、AM62L、AM62Ax、AM62D-Q1、AM62Px](#)

## 11.8 处理器的软件开发培训 (Academy)

Academy (适用于 TI AM62x 及 AM64x 的在线易用型培训模块) 是供开发人员了解 Sitara 处理器平台的优质资源。

[AM62Px Academy](#)

寻找旨在简化并加速定制 AM62Px 开发的 [AM62Px Academy](#)。

## 12 定制电路板组装和测试

定制电路板设计的下一个阶段是电路板组装、电路板启动、功能测试、软件集成测试和性能测试。

建议确保在向定制电路板供电之前，设计中标记为 DNP 或 DNI 的元件未组装。

建议在处理器 IO 电源斜升之前，不要将任何外部输入连接到处理器 IO (大多数处理器 IO 都没有失效防护功能，有关可用的失效防护 IO，请参阅器件特定数据表)。

建议在外围输入直接连接到处理器输入时，验证 IO 电平兼容性。建议预留设计，以便根据需求在板上或接口板上增设外部 ESD 保护。

建议确保在处理器 IO 电源斜升之前，所有处理器 IO 上拉电阻器都没有以可用电源为基准的电源轨。

### 12.1 定制电路板启动提示和调试指南

请在电路板启动期间参阅以下常见问题解答：

[\[常见问题解答\] AM625/AM623/AM620-Q1/AM62L/AM62A/AM62D-Q1/AM62P/AM64x/AM243x 定制电路板硬件设计电路优化过程中的设计建议/常见错误](#)

[\[常见问题解答\] Sitara 器件 \( AM64x、AM243x、AM62x、AM62L、AM62Ax、AM62D-Q1、AM62Px \) 的电路板启动提示](#)

## 13 处理器 ( 器件 ) 处理和组装

湿敏等级 (MSL) 额定值/回流焊峰值额定值取决于封装尺寸 ( 厚度和体积 )。

建议查看器件厚度信息、焊球间距、引脚镀层/焊球材料以及要遵循的建议 MSL 等级/回流焊峰值温度。

有关更多信息，请参阅以下链接：

[AM62P 订购和质量](#)

[AM62P-Q1 订购和质量](#)

### 13.1 处理器 ( 器件 ) 焊接建议

请注意 TI.com 上针对所选处理器的 MSL 等级/回流焊峰值建议。

#### 13.1.1 其他参考内容

有关湿敏等级的信息，请参阅以下内容：

[MSL 等级和回流曲线](#)

[湿敏等级搜索](#)

## 14 术语

<b>BSDL</b>	边界扫描描述语言
<b>CAN-FD</b>	控制器局域网灵活数据速率
<b>CPPI</b>	通信端口编程接口
<b>CPSW3G</b>	通用平台 3 端口千兆位以太网交换机
<b>CSIRX</b>	摄像头流媒体接口接收器
<b>DPI</b>	显示并行接口
<b>DRD</b>	双角色设备
<b>DSI</b>	显示串行接口
<b>DSITX</b>	显示串行接口发送器
<b>E2E</b>	工程师对工程师
<b>ECAD</b>	电子计算机辅助设计

<b>ECAP</b>	增强型捕捉
<b>ECC</b>	错误校正码
<b>eMMC</b>	嵌入式多媒体卡
<b>EMU</b>	仿真控制
<b>EPWM</b>	增强型脉宽调制器
<b>EQEP</b>	增强型正交编码器脉冲
<b>常见问题解答</b>	常见问题解答
<b>GEMAC</b>	千兆位以太网介质访问控制器
<b>GPIO</b>	通用输入/输出
<b>GPMC</b>	通用存储器控制器
<b>HS-RTDX</b>	高速实时数据交换
<b>I2C</b>	内部集成电路
<b>IBIS</b>	输入/输出缓冲器信息规范
<b>JTAG</b>	联合测试行动组
<b>LDO</b>	低压降
<b>LVCMOS</b>	低压互补金属氧化物半导体
<b>LVDS</b>	低电压差分信号
<b>MAC</b>	介质访问控制器
<b>MCAN</b>	模块化控制器局域网
<b>MCASP</b>	多通道音频串行端口
<b>MCSP1</b>	多通道串行外设接口
<b>MCU</b>	微控制器单元
<b>MMC</b>	多媒体卡
<b>MSL</b>	湿敏等级
<b>OLDI-SL</b>	开放 LVDS 显示接口 - 单链路
<b>OLDI-DL</b>	开放 LVDS 显示接口 - 双链路
<b>OPP</b>	运行性能点
<b>OSPI</b>	八线串行外设接口
<b>OTP</b>	一次性可编程
<b>PCB</b>	印刷电路板
<b>PDN</b>	配电网络
<b>PMIC</b>	电源管理集成电路
<b>POR</b>	上电复位
<b>QSPI</b>	四线串行外设接口
<b>RGMII</b>	简化千兆位媒体独立接口
<b>RMII</b>	简化媒体独立接口
<b>SD</b>	安全数字
<b>SDIO</b>	安全数字输入输出
<b>SDK</b>	软件开发套件
<b>SPI</b>	串行外设接口
<b>TCK</b>	测试时钟输入
<b>TDI</b>	测试数据输入



<b>TDO</b>	测试数据输出
<b>TMS</b>	测试模式选择输入
<b>TRM</b>	技术参考手册
<b>TRSTn</b>	测试复位
<b>UART</b>	通用异步收发器
<b>USB</b>	通用串行总线
<b>VCA</b>	过孔通道阵列
<b>WKUP</b>	唤醒
<b>XDS</b>	扩展开发系统

## 15 参考资料

### 15.1 处理器特定 ( AM62P、AM62P-Q1 )

- 德州仪器 (TI) : [AM62Px Sitara 处理器数据表](#)
- 德州仪器 (TI) : [AM62Px Sitara 处理器技术参考手册](#)
- 德州仪器 (TI) : [AM62Px 器件勘误表](#)
- 德州仪器 (TI) : [入门套件 SK-AM62P-LP](#)
- 德州仪器 (TI) : [为 AM62Px 器件供电的 PMIC](#)
- 德州仪器 (TI) : [AM62P 功耗估算工具](#)
- 德州仪器 (TI) : [AM62P、AM62P-Q1 处理器系列原理图设计指南与原理图审阅检查清单](#)
- 德州仪器 (TI) : [AM62Px PCB 设计迂回布线](#)
- 德州仪器 (TI) : [AM62Ax、AM62Px、AM62Dx LPDDR4 电路板设计和布局指南](#)
- 德州仪器 (TI) : [SK-AM62P-LP 设计包文件夹和文件列表 \( 修订版 A \)](#)
- 德州仪器 (TI) , [Sitara AM62P 基准测试](#)

### 15.2 通用

- 德州仪器 (TI) : [AM625、AM623、AM620-Q1、AM625-Q1、AM625SIP、AM62A3、AM62A7、AM62A7-Q1、AM62A7-Q1、AM62D-Q1、AM62P-Q1 原理图、设计指南以及审阅清单](#)
- 德州仪器 (TI) : [DSP 和 Arm 应用处理器热设计指南](#)
- 德州仪器 (TI) : [Sitara 处理器配电网络：实施与分析](#)
- 德州仪器 (TI) : [仿真和跟踪头技术参考手册](#)
- 德州仪器 (TI) : [XDS 目标连接指南](#)
- 德州仪器 (TI) : [高速接口布局布线指南](#)
- 德州仪器 (TI) : [高速布局布线指南](#)
- 德州仪器 (TI) : [Jacinto7 AM6x、TDA4x 和 DRA8x 高速接口设计指南](#)
- 德州仪器 (TI) : [通用硬件设计/BGA PCB 设计/BGA 去耦](#)
- 德州仪器 (TI) : [MSL 等级和回流曲线](#)
- 德州仪器 (TI) : [湿敏等级搜索](#)
- 德州仪器 (TI) : [TIDA-01413 - ADAS 8 通道传感器融合集线器参考设计](#)
- 德州仪器 (TI) : [Jacinto™ 7 DDRSS 寄存器配置工具](#)
- 德州仪器 (TI) : [KeyStone II 器件硬件设计指南](#)
- 德州仪器 (TI) : [KeyStone 器件时钟设计指南](#)
- 德州仪器 (TI) : [使用 IBIS 模型进行时序分析](#)
- 德州仪器 (TI) : [显示接口：Sitara MPU 可视化设计综合指南](#)

## 16 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision B (June 2025) to Revision C (October 2025)	Page
• 添加了“处理器特定 SDK”一节.....	3
• (选择所需的处理器 OPN (可订购器件型号))：添加了读取 DEVICE_ID 及唯一 SOC (CPU) ID 常见问题解答.....	4
• 添加了“处理器对安全启动及功能安全的支持”一节.....	4
• 添加了“原理图设计指南及原理图审阅检查清单”一节 — 特定于处理器系列的用户指南.....	5
• (电源)：添加的注释.....	8
• (集成式电源架构)：添加了更多信息.....	9
• (分立式电源架构)：添加了更多信息.....	9
• 添加了“部分 IO 支持 CAN/GPIO/UART 唤醒”一节.....	10
• (定制电路板电流要求估算和电源尺寸确定)：添加了有关 PET 的信息.....	14
• (处理器时钟 (输入和输出))：添加的注释.....	14
• (处理器时钟 (外部晶体或外部振荡器))：添加了如何在时钟丢失检测后切换回外部时钟的常见问题解答.....	14
• (JTAG (联合测试行动组))：添加的注释.....	16
• (配置 (处理器) 和初始化 (处理器和器件))：添加的注释.....	18
• (看门狗计时器)：添加了更多信息.....	19
• (处理器 — 外设连接)：添加的注释.....	19
• 添加了“支持的处理器内核和 MCU 内核”一节.....	20
• (媒体和数据存储接口 (MMC0、MMC1、MMC2、OSPI0/QSPI0 和 GPMC0))：添加了更多信息.....	21
• (通用连接外设)：添加了更多信息.....	24
• 添加了“实时时钟 (RTC) 模块”一节.....	28
• 添加了“SK 特定电路实现 (重复使用)”一节.....	28
• (处理器 IO (LVCMOS 或 SDIO 或开漏、失效防护型 IO 缓冲器) 的接口连接及仿真)：添加的注释.....	29
• (不同电源轨的最大电流额定值)：添加的注释.....	30
• (定制电路板设计原理图捕获)：添加的注释.....	31
• (定制电路板设计原理图审阅)：添加了 Sitara MPU 硬件应用支持 — 原理图审查申请常见问题解答.....	31
• (处理器特定 SK 板布局)：增加了 FAQ.....	33
• 添加了“处理器的软件开发培训 (Academy)”一节.....	34

## 重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月