User's Guide

AM26x 硬件设计指南

TEXAS INSTRUMENTS

摘要

AM26x 硬件设计指南是硬件设计人员基于 AM26x 系列 MCU 器件创建 PCB 系统的重要文档。本文档利用来自各种 AM263x、AM263Px 和 AM261x 评估模块 (EVM) 的硬件设计示例，整合特定于器件的原理图和 PCB 布局建议。AM26x EVM 包括以下硬件平台：

表 1-1. AM26x 评估模块 (EVM) 平台

器件系列	硬件平台		
	LaunchPad	ControlCARD	模块上系统 (SOM)
AM263x	LP-AM263	TMDSCNCD263	
AM263Px	LP-AM263P	TMDSCNCD263P	
AM261x	LP-AM261		AM261-SOM-EVM

一般来说，AM26x LaunchPad™ 是低成本的入门级评估平台，而 ControlCARD 和 SOM 则适用于设计具有更高 I/O 要求的复杂系统的工程师。

其他配套资料文档和工具位于 节 16 中。

内容

1 简介.....5
2 电源.....10
2.1 AM26x 器件的电源轨.....10
2.2 分立式直流/直流电源解决方案.....12
2.3 集成的 PMIC 电源解决方案.....12
2.4 电源去耦和滤波.....15
2.5 估计功耗.....19
2.6 配电网络.....19
2.7 电子保险丝电源.....25
3 时钟.....27
3.1 晶体和振荡器输入选项.....27
3.2 输出时钟生成.....29
3.3 晶体选择和并联电容.....29
3.4 晶体放置和布线.....29
4 复位.....30
4.1 PORz.....30
4.2 WARMRSTn.....31
5 自动加载.....33
5.1 SOP 信号实现.....33
6 OSPI 和 QSPI 存储器的实现.....35
6.1 串联终端电阻器.....36
6.2 电源 - AM261x ZFG、ZEJ、ZNC.....36
6.3 拉电阻器 - QSPI.....36
6.4 拉电阻器 - OSPI.....37
6.5 OSPI 和 QSPI 信号的等长匹配.....37
6.6 ROM OSPI 和 QSPI 引导要求.....39
6.7 其他 OSPI 和 QSPI 参考.....43

English Document: SPRABJ8
Copyright © 2026 Texas Instruments Incorporated

7 调试接口.....44
7.1 JTAG 仿真器和跟踪.....44
7.2 UART.....45
8 USB.....45
8.1 USB 器件模式.....47
8.2 USB 主机模式.....48
9 多路复用外设.....49
10 数字外设.....49
10.1 通用数字外设布线指南.....49
10.2 布线长度匹配.....49
11 模拟外设.....50
11.1 通用模拟外设布线指南.....50
12 层堆叠.....51
12.1 关键堆叠特性.....53
13 过孔.....56
14 BGA 电源扇出和去耦放置.....56
14.1 接地回路.....57
14.2 1.2V 内核数字电源.....60
14.3 3.3V 数字和模拟电源.....65
14.4 1.8V 数字和模拟电源.....70
15 总结.....75
16 参考资料.....75
17 修订历史记录.....76

插图清单

图 1-1. 具有分立式电源（基于 LP-AM263 LaunchPad 设计）的典型 AM26x 系统方框图.....6
图 1-2. 具有 PMIC 电源（基于 TMDSCNCD263P controlCard 设计）的典型 AM26x 系统方框图.....7
图 1-3. 具有 PMIC 电源（基于 LP-AM261 设计）的典型 AM261x 系统方框图.....8
图 2-1. AM263x DC-DC 稳压器示例设计.....12
图 2-2. AM263Px TMDSCNCD263P PMIC 实现.....13
图 2-3. LP-AM261 PMIC 实施.....14
图 2-4. AM261x：ADC 参考电压连接图表.....17
图 2-5. AM263x：ADC 参考电压连接图表.....18
图 2-6. AM263Px：ADC 参考电压连接图表.....18
图 2-7. AM26x PDN 要求 – 示例图.....19
图 2-8. AM263x LaunchPad PDN 仿真 – 1.2V 内核电源仿真域.....21
图 2-9. AM263x LaunchPad PDN 仿真 – 1.2V 内核电源仿真域.....22
图 2-10. AM263x LaunchPad PDN 仿真 – 1.2V 内核电源仿真 Z11.....22
图 2-11. AM263x LaunchPad PDN 仿真 – 3.3V 数字和模拟 I/O 电源仿真域 (A).....23
图 2-12. AM263x LaunchPad PDN 仿真 – 3.3V 数字和模拟 I/O 电源仿真域（第 8 层，底部）.....23
图 2-13. AM263x LaunchPad PDN 仿真 – 3.3V 数字 I/O 电源仿真 Z11.....24
图 2-14. AM263x LaunchPad PDN 仿真 – 3.3V 模拟 I/O 电源仿真 Z11.....24
图 2-15. AM26x 电子保险丝 VPP - 外部电源实施.....25
图 2-16. AM263Px/AM261x 电子保险丝 VPP - 内部模拟 LDO 实现.....26
图 3-1. AM261x Lanchpad 原理图摘录（针对完整的晶体和振荡器输入要求）.....27
图 3-2. AM263x controlCARD 原理图摘录 - 振荡器时钟源和时钟分配器.....28
图 3-3. AM263x LaunchPad 布局摘录 – CLKOUT0 和 EXT_REFCLK0 输出.....29
图 3-4. AM263x LaunchPad 布局摘录 - 晶体布局和接地环结构.....29
图 4-1. AM263x LaunchPad 原理图摘录 – PORz 生成.....30
图 4-2. AM263Px controlCARD 原理图摘录 – PORZ 生成.....31
图 4-3. AM261x LaunchPad 原理图摘录 – PORz 的生成.....31
图 4-4. AM263x 控制卡原理图摘录 – PORz 和 WARMRSTn 引脚排列.....32
图 5-1. AM263x Launchpad 原理图摘录 – SOP[3:0] 功能和 SOP 路径.....33
图 5-2. AM263x LaunchPad 布局摘录 – 所有 SOP[3:0] 功能和 SOP 路径.....33
图 5-3. AM263x LaunchPad 布局摘录 – 突出显示 SOP0/QSPI_D0 路径和 SOP 隔离电阻器.....34
图 6-1. 示例 AM263x QSPI 控制器和 NOR 闪存存储器原理图.....35
图 6-2. 示例 AM263Px OSPI 控制器和 NOR 闪存存储器原理图.....36
图 6-3. LP-AM263 LaunchPad 布局摘录 – 突出显示 SOP0/QSPI_D0 路径和 SOP 隔离电阻器.....37

English Document: SPRABJ8
Copyright © 2026 Texas Instruments Incorporated

图 6-4. AM26x QSPI - 布线规则图 37
图 6-5. AM263Px/AM261x OSPI — 布线规则图 38
图 6-6. AM263Px LaunchPad OSPI 复位方案（ZCZ_C 和 ZCZ_S） 41
图 6-7. AM263Px SIP OSPI 复位实现 (ZCZ_F) 41
图 6-8. AM263Px SIP (ZCZ_F) OSPI 复位实现 42
图 7-1. MIPI-60 JTAG 和 16 位跟踪实施示例 44
图 8-1. 显示关键信号的 USB 2.0 Micro-AB 端口 - LP-AM261 45
图 8-2. USB ESD 抑制 - LP-AM261 46
图 8-3. USB 布线示例 47
图 8-4. USB 主机模式电源开关 - LP-AM261 48
图 8-5. TPS2051B 布局示例 - LP-AM261 48
图 11-1. AM263P 旋转变压器 ADC 系统 50
图 12-1. LP-AM263 堆叠 51
图 12-2. LP-AM261 堆叠 52
图 12-3. AM261x ZFG/ZNC PCB 系统堆叠 52
图 14-1. AM263x controlCARD 摘录 – AM263x BGA 第 1 层和第 2 层下的接地回路过孔 57
图 14-2. AM263x controlCARD 摘录 – AM263x BGA 第 10 层下的接地回路过孔 58
图 14-3. AM261x ZFG 布线研究 - 第 1 层上的接地回路过孔 59
图 14-4. AM261x ZNC 布线研究 - 第 1 层上的接地回路过孔 59
图 14-5. AM263x controlCARD 摘录 – 1.2V 内核电源输出、电源平面过孔和 BGA 过孔 60
图 14-6. AM263x controlCARD 摘录 – 1.2V 内核电源平面，第 5 层 61
图 14-7. AM263x controlCARD 摘录 – 1.2V 内核电源去耦安装，第 10 层 61
图 14-8. AM263x controlCARD 摘录 – 1.2V 内核电源去耦安装，第 10 层 62
图 14-9. AM261x LaunchPad 摘录 – 1.2V 内核电源输出、电源平面过孔和 BGA 过孔 63
图 14-10. AM261x LaunchPad 摘录 – 1.2V 内核电源平面，第 4 层 63
图 14-11. AM261x LaunchPad 摘录 – 1.2V 内核电源去耦安装，第 6 层 64
图 14-12. AM263x controlCARD 摘录 – 第 5 层和第 6 层上的 3.3V 数字和模拟电源平面 65
图 14-13. AM263x controlCARD 摘录 – 3.3V 数字 I/O 和模拟 I/O BGA 引脚排列和稳压器输出 66
图 14-14. AM263x controlCARD 摘录 – 常见的 3.3V 平面转换过孔 66
图 14-15. AM263x controlCARD 摘录 – 第 6 层上的 3.3V 数字和模拟平面 66
图 14-16. AM263x controlCARD – 3.3V 数字和模拟电源去耦安装，第 10 层 67
图 14-17. AM261x LaunchPad 摘录 – 第 3 层和第 4 层上的 3.3V 数字和模拟电源平面 67
图 14-18. AM261x LaunchPad 摘录 – 3.3V 数字 I/O BGA 引脚排列和 PMIC 输出 68
图 14-19. AM261x LaunchPad 摘录 - 3.3V 模拟 IO BGA 引脚排列 68
图 14-20. AM261x LaunchPad 摘录 – 第 3 层上的 3.3V 数字电源 69
图 14-21. AM261x LaunchPad 摘录 – 3.3V 数字电源去耦安装，第 6 层 69
图 14-22. AM263x controlCARD 摘录 – 1.8V 数字电源过孔扇出和平面布线第 6 层 70
图 14-23. AM263x controlCARD 摘录 – 第 10 层上的 1.8V 数字电源去耦 71
图 14-24. AM263x controlCARD 摘录 – 1.8V 模拟电源过孔扇出和平面布线第 6 层 71
图 14-25. AM263x controlCARD 摘录 – 第 10 层上的 1.8V 模拟电源去耦 72
图 14-26. AM261x LaunchPad 摘录 – 1.8V 数字电源过孔扇出和平面布线，第 3 层 73
图 14-27. AM261x LaunchPad 摘录 – 第 6 层上的 1.8V 数字电源去耦 73
图 14-28. AM261x LaunchPad 摘录 – 1.8V 模拟电源过孔扇出和平面布线，第 4 层 74
图 14-29. AM261x LaunchPad 摘录 – 第 6 层上的 1.8V 模拟电源去耦 74

表格清单

表 1-1. AM26x 评估模块 (EVM) 平台 1
表 1-1. 本文档中使用的首字母缩写词 8
表 2-1. AM26x 器件电源轨和 IO 电压要求 10
表 2-2. AM26x PMIC 12
表 2-3. 适用于 AM26x 器件的 TPS6538600QDCARQ1 配置 13
表 2-4. LP-AM261 中的 TPS65036x 配置 14
表 2-5. 适用于 AM261x 的 TPS65036x 型号 15
表 2-6. AM263x、AM263Px、AM261x-ZCZ 建议的按电源网络去耦 15
表 2-7. AM261x（所有其他封装）建议的按电源网络去耦合 16
表 2-8. AM26x ADC/DAC VREF 去耦 17
表 2-9. AM26x 瞬态电流模型 – 用例条件 19
表 2-10. AM26x 瞬态电流模型 – 产生的 PDN 要求 20

English Document: SPRABJ8
Copyright © 2026 Texas Instruments Incorporated

表 2-11. AM26x 器件中的 VPP 电源 25
表 5-1. SOP 和功能模式信号映射 33
表 6-1. AM26x MCU 对 QSPI 和 OSPI 的支持 35
表 6-2. AM261x ZFG、ZEJ、ZNC 闪存电源网 36
表 6-3. AM26x QSPI – 建议的布线规则 39
表 6-4. AM263Px 和 AM261x OSPI – 建议的布线规则 39
表 6-5. 在引导 ROM 中配置的 AM263x QSPI 引脚 40
表 6-6. 在引导 ROM 中配置的 AM263Px OSPI 引脚（ZCZ_C 和 ZCZ_S 封装） 40
表 6-7. 在引导 ROM 中配置的 AM261x ZCZ 封装 OSPI 引脚 42
表 6-8. 在引导 ROM 中配置的 AM261x ZFG、ZEJ、ZNC 封装 OSPI 引脚 43
表 10-1. AM26x 数字外设 - 布线长度匹配 49
表 12-1. AM261x 封装尺寸 51
表 12-2. 按封装尺寸分类的堆叠特性 53
表 12-3. 6 层 PCB：层利用率 53
表 12-4. AM263x、AM263Px、AM261x ZCZ 封装，6 层 PCB：受控阻抗规划选项 53
表 12-5. 4 层 PCB：层利用率 53
表 12-6. AM261x ZFG 封装、4 层 PCB：受控阻抗规划选项 54
表 12-7. AM261x ZNC 封装、4 层 PCB：受控阻抗规划选项 55
表 13-1. AM26x EVM 过孔类型 56
表 14-1. 按器件封装划分的 BGA 属性段 56

商标

LaunchPad™ and Sitara™ are trademarks of Texas Instruments.
Arm® and Cortex® are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.
所有商标均为其各自所有者的财产。

Copyright © 2026 Texas Instruments Incorporated

1 简介

AM263x、AM263Px 和 AM261x 器件是 Sitara™ MCU 系列中基于单核、双核或四核 Arm® Cortex®-R5F 的 MCU，适用于工业和汽车运动控制应用。

备注

在本文档中、AM26x 指的是 TI Sitara™ MCU 系列高性能微控制器。其中包括 AM263x、AM263Px 和 AM261x 器件。器件特定基准以完整的通用产品编号 (AM263x、AM263Px、AM261x) 表示，而通用期间信息则以 AM26x 表示。

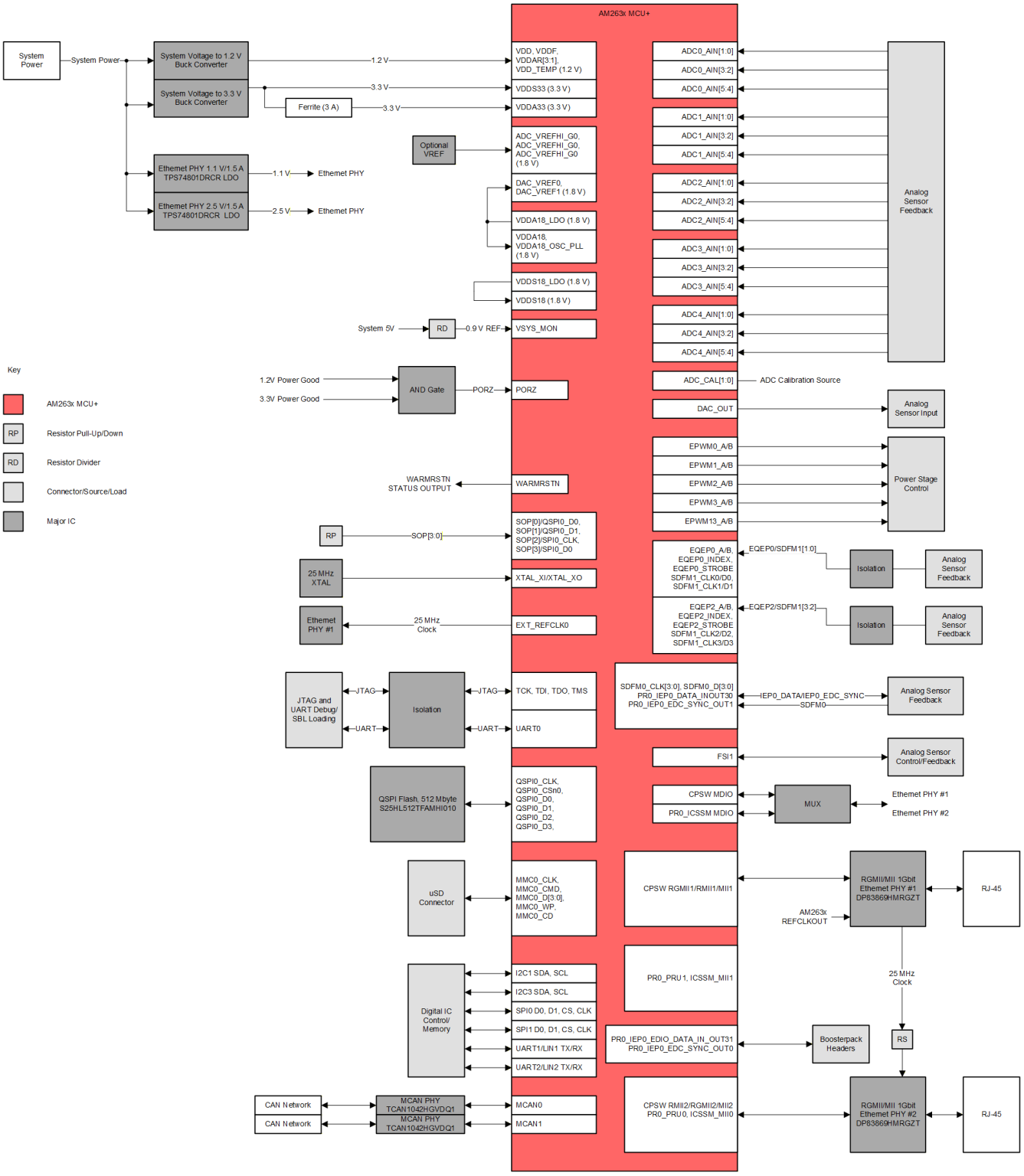
图 1-1 中显示了采用分立式电源设计的典型 AM26x 设计。此图摘自 AM263x LaunchPad™ (LP-AM263) 系统方框图。

图 1-2 中显示了采用基于电源管理集成电路 (PMIC) 的电源设计的典型 AM26x 设计。此图摘自 AM263Px controlCard (TMDSCNCD263P) 系统方框图。

图 1-3 中显示了具有较小占用空间 PMIC 的典型 AM261x 设计。此图摘自 AM261x LaunchPad (LP-AM261) 系统方框图。

如下面的方框所示，AM26x 器件为设计人员提供了丰富的数字连接、控制和模拟传感器反馈选项，并支持多种电源设计选项。

English Document: SPRABJ8
Copyright © 2026 Texas Instruments Incorporated

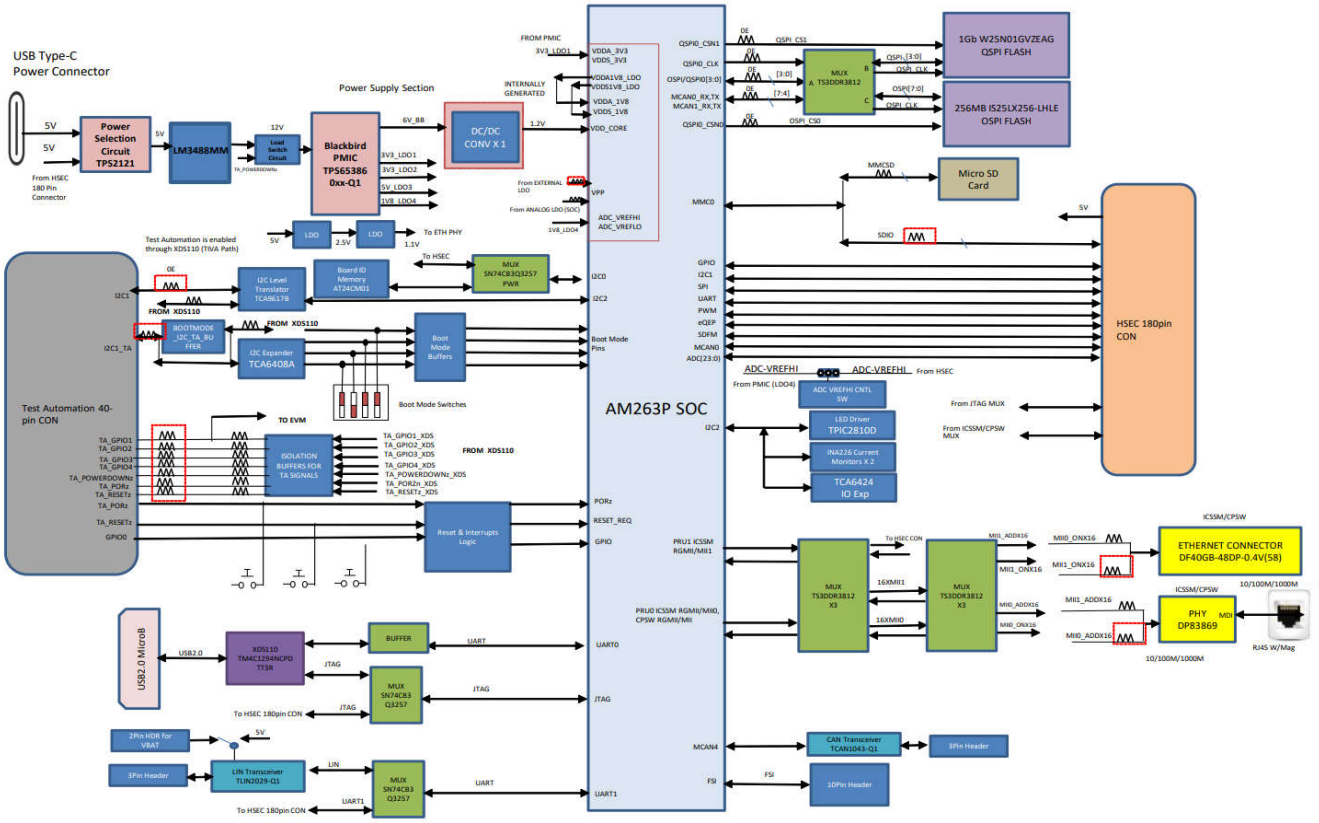


备注

对于 AM263x、AM263Px，*系统电压至 1.2V 降压转换器*的电流要求为 3A。对于 AM261x，电流限制为 2A。

图 1-1. 具有分立式电源（基于 LP-AM263 LaunchPad 设计）的典型 AM26x 系统方框图

English Document: SPRABJ8
Copyright © 2026 Texas Instruments Incorporated

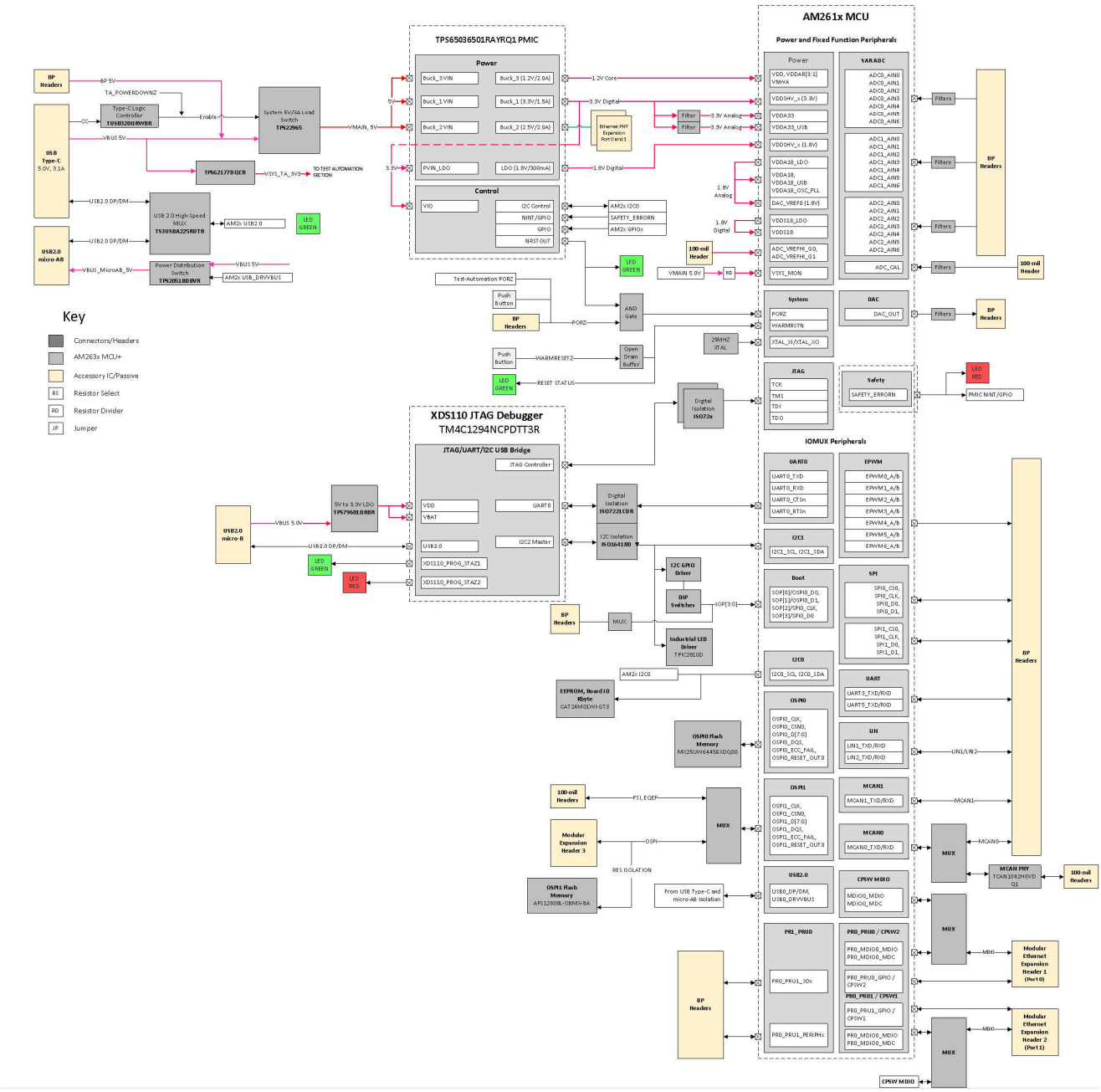


备注

对于 AM263x、AM263Px，1.2V DC/DC 转换器的输出电流必须为 3A。对于 AM261x，DC/DC 转换器的电流必须限制为 2A。

图 1-2. 具有 PMIC 电源（基于 TMDSCNCD263P controlCard 设计）的典型 AM26x 系统方框图

English Document: SPRABJ8
Copyright © 2026 Texas Instruments Incorporated



备注

由于 TPS6503600 的 Buck_3 的电流输出为 2A，因此该系统方框图仅适用于 AM261x 系统。请注意，AM261x 在 500MHz 下运行时，内核电压要求为 1.25V；在 400MHz 或 200MHz 下运行时，内核电压要求为 1.2V。

图 1-3. 具有 PMIC 电源（基于 LP-AM261 设计）的典型 AM261x 系统方框图

必须参考本文档和其他关键 AM26x 配套参考资料。有关 AM26x MCU 器件的补充文档的完整列表，请参阅 节 16。

表 1-1. 本文档中使用的首字母缩写词

缩写	说明
EVM	硬件模块。参考 TI PCB 组件，例如 AM263x controlCARD (TMDSCNCD263) 或 AM263x LaunchPad (LP-AM263)。

English Document: SPRABJ8
Copyright © 2026 Texas Instruments Incorporated

表 1-1. 本文档中使用的首字母缩写词（续）

缩写	说明
PDN	配电网络。为 AM263x MCU 电源引脚等负载提供稳压电源的有源和无源器件。
EMI	电磁干扰
PI	电源完整性
SI	信号完整性
BOM	物料清单
PMIC	电源管理集成电路
SOM	模块上系统
LP	LaunchPad
SoC	片上系统

English Document: SPRABJ8
Copyright © 2026 Texas Instruments Incorporated

2 电源

2.1 AM26x 器件的电源轨

AM26x 器件包含两个主要的器件电源网：内核电压轨和 IO 电压轨。表 2-1 详细说明了 AM26x 器件的内核电压和 IO 电压要求。

表 2-1. AM26x 器件电源轨和 IO 电压要求

器件	电压	焊球名称	电源输入/输出	备注
AM263x	1.2V	VDD	输入	1.2V 内核电源。将所有 1.2V 焊球引脚短接在一起。
		VDDAR1	输入	1.2V SRAM 阵列电源
		VDDAR2	输入	1.2V SRAM 阵列电源
		VDDAR3	输入	1.2V SRAM 阵列电源
	3.3V	VDDA33	输入	模拟 3.3V 电源。
		VDDS33	输入	数字 3.3V IO 电源。
	1.8V	VDDA18_LDO	输出	VDDA18 的片上输出。
		VDDA18	输入	1.8V 模拟电源。连接到 VDDA18_LDO
		VDDA18_OSC_PLL	输入	1.8V OSC PLL 电源。连接到 VDDA18_LDO
		VDDS18_LDO	输出	VDDS18 的片上输出。
		VDDS18	输入	连接到 VDDS18_LDO
	1.7V	VPP	输入	eFuse ROM 编程电源。
AM263Px	1.2V	VDD	输入	1.2V 内核电源。将所有 1.2V 焊球引脚短接在一起。
		VDDAR1	输入	1.2V SRAM 阵列电源
		VDDAR2	输入	1.2V SRAM 阵列电源
		VDDAR3	输入	1.2V SRAM 阵列电源
	3.3V	VDDA33	输入	模拟 3.3V 电源。
		VDDS33	输入	数字 3.3V IO 电源。
	1.8V	VDDA18_LDO	输出	VDDA18 的片上输出。
		VDDA18	输入	1.8V 模拟电源。连接到 VDDA18_LDO
		VDDA18_OSC_PLL	输入	1.8V OSC PLL 电源。连接到 VDDA18_LDO
		VDDS18_LDO	输出	VDDS18 的片上输出。
		VDDS18	输入	连接到 VDDS18_LDO
	1.7V	VPP	输入	eFuse ROM 编程电源。通过将 LDO 电压降至 1.7V，可以将此引脚连接到 VDDA18_LDO。

English Document: SPRABJ8
Copyright © 2026 Texas Instruments Incorporated

表 2-1. AM26x 器件电源轨和 IO 电压要求（续）

器件	电压	焊球名称	电源输入/输出	备注
AM261x	1.2V 或 1.25V	VDD	输入	内核电源。将所有名称为 VDD 的焊球引脚短接在一起。
		VDDAR1	输入	1.2V SRAM 阵列电源
		VDDAR2	输入	1.2V SRAM 阵列电源
		VDDAR3	输入	1.2V SRAM 阵列电源
	3.3V	VDDA33	输入	模拟 3.3V 电源。
		VDDA33_USB	输入	模拟 3.3V USB 电源。
		VDDS33	输入	数字 3.3V IO 电源。
		VDDSHV_A(1)	输入	
		VDDSHV_B(1)	输入	
		VDDSHV_C(1)	输入	
		VDDSHV_F(1)	输入	
		VDDSHV_G(1)	输入	
	1.8V 或 3.3V	VDDSHV_D(2)	输入	为闪存 0（主要是 OSPI0）IO 提供数字 1.8V/3.3V IO 电源。
		VDDSHV_E(2)	输入	为闪存 1（主要是 OSPI1）IO 提供数字 1.8V/3.3V IO 电源。
	1.8V	VDDA18_LDO	输出	VDDA18 的片上输出。
		VDDA18	输入	1.8V 模拟电源。连接到 VDDA18_LDO
		VDDA18_OSC_PLL	输入	1.8V OSC PLL 电源。连接到 VDDA18_LDO
		VDDS18_LDO	输出	VDDS18 的片上输出。
		VDDS18	输入	连接到 VDDS18_LDO
	1.7V	VPP	输入	eFuse ROM 编程电源。通过将 LDO 电压编程为 1.738V，可以将该引脚连接到 VDDA18_LDO。

(1) 在 AM261x 中，ZCZ 封装内的 VDDSH_[A, B, C, F, G] 短接在一起。
(2) 在 AM261x 中，ZCZ 封装内的 VDDSH_D 和 VDDSH_E 短接在一起。AM261x 的电源网 VDDSHV_D 和 VDDSHV_E 可以是 3.3V 或 1.8V，具体取决于使用的外部闪存的电压电平。有关更多信息，

可以使用分立式电源或电源管理 IC (PMIC) 等不同的电源拓扑为 AM26x 系统供电。以下章节将详细介绍所使用的不同拓扑类型。

English Document: SPRABJ8
Copyright © 2026 Texas Instruments Incorporated

2.2 分立式直流/直流电源解决方案

AM263x LaunchPad 和 AM263x controlCard EVM 设计都集成了一组降压转换器、直流/直流稳压器，这些稳压器可用作某些系统的基准电源设计。该设计包含一对用于 AM26x MCU 内核的 TPS62913 降压转换器稳压器、系统数字和模拟 I/O 电源以及一组用于为配对工业以太网 PHY 供电的 TPS74801 LDO。

DC-DC 闭环和无源电源平面以及去耦合网络的电流和瞬态要求摘自功耗和瞬态负载表：表 2-9 和表 2-10。许多直流/直流稳压器可匹配以满足这些要求和最大功耗。

TI 还建议使用这些和类似直流/直流稳压器上提供的电源正常生成电路将上电复位 (PORz) 驱动到 AM26x 中。

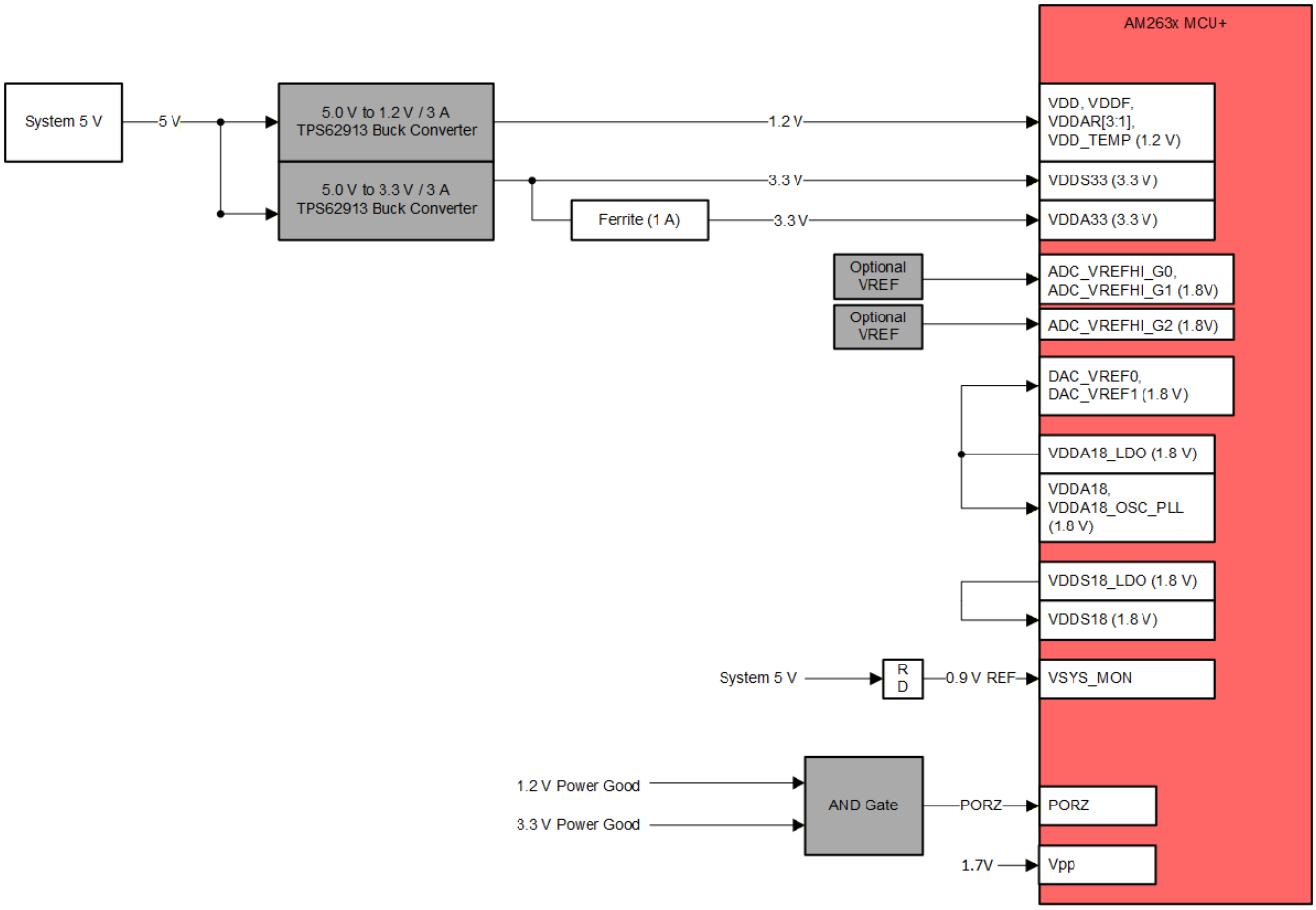


图 2-1. AM263x DC-DC 稳压器示例设计

2.3 集成的 PMIC 电源解决方案

基于 PMIC 的电源树支持更简化的单芯片设计，用于控制 AM26x 系统中的电源轨。建议将多种德州仪器 (TI) PMIC 与 AM26x MCU 配合使用，详细信息请见下表：

表 2-2. AM26x PMIC

PMIC 可订购器件型号	AM26x 目标器件	TI EVM/参考设计示例
TPS6538600QDCARQ1 + TPS6290x-Q1 • TPS62903x-Q1 = 3A 电源，用于 AM263x/AM263Px • TPS62902 x-Q1 = 2A 电源，用于 AM261x	AM263x[1]	
	AM263Px	AM263Px controlCARD (TMDSCNCD263P)
	AM261x	AM261x controlSOM (AM261-SOM-EVM)
TPS65036x[2]	AM261x	AM261x LaunchPad (LP-AM261)
TPS65219x	AM263Px	

English Document: SPRABJ8
Copyright © 2026 Texas Instruments Incorporated

表 2-2. AM26x PMIC （续）

PMIC 可订购器件型号	AM26x 目标器件	TI EVM/参考设计示例
TPS65214x	AM261x	

(1) 尽管此解决方案也可以用作替代方案，但 AM263x LaunchPad 采用分立式电源供电。
(2) 此 PMIC 有多个与 AM261x 相关的可订购器件型号。更多详细信息，请参阅 表 2-5。

2.3.1 将 TPS653860 与 AM26x 配合使用

AM263Px controlCard EVM 和 AM261x controlSOM EVM 设计利用多轨电源为安全相关应用中的微控制器供电 (TPS6538600QDCARQ1)。PMIC 集成了四个电源导轨，为 MCU、CAN 和其他板载外设供电。

备注

此实现方案需要单独使用一个 TPS62902QRYTQ1（AM263x/AM263Px 为 3A）/TPS62902QRYTQ1（AM261x 为 2A）降压转换器来为 AM26x 提供内核电压

PMIC 的 NRES 输出需要用于帮助驱动 AM263x、AM263Px 或 AM261x 器件的 PORz 复位输入，以确保在 MCU 从复位状态释放之前完成电源轨的上电时序控制。

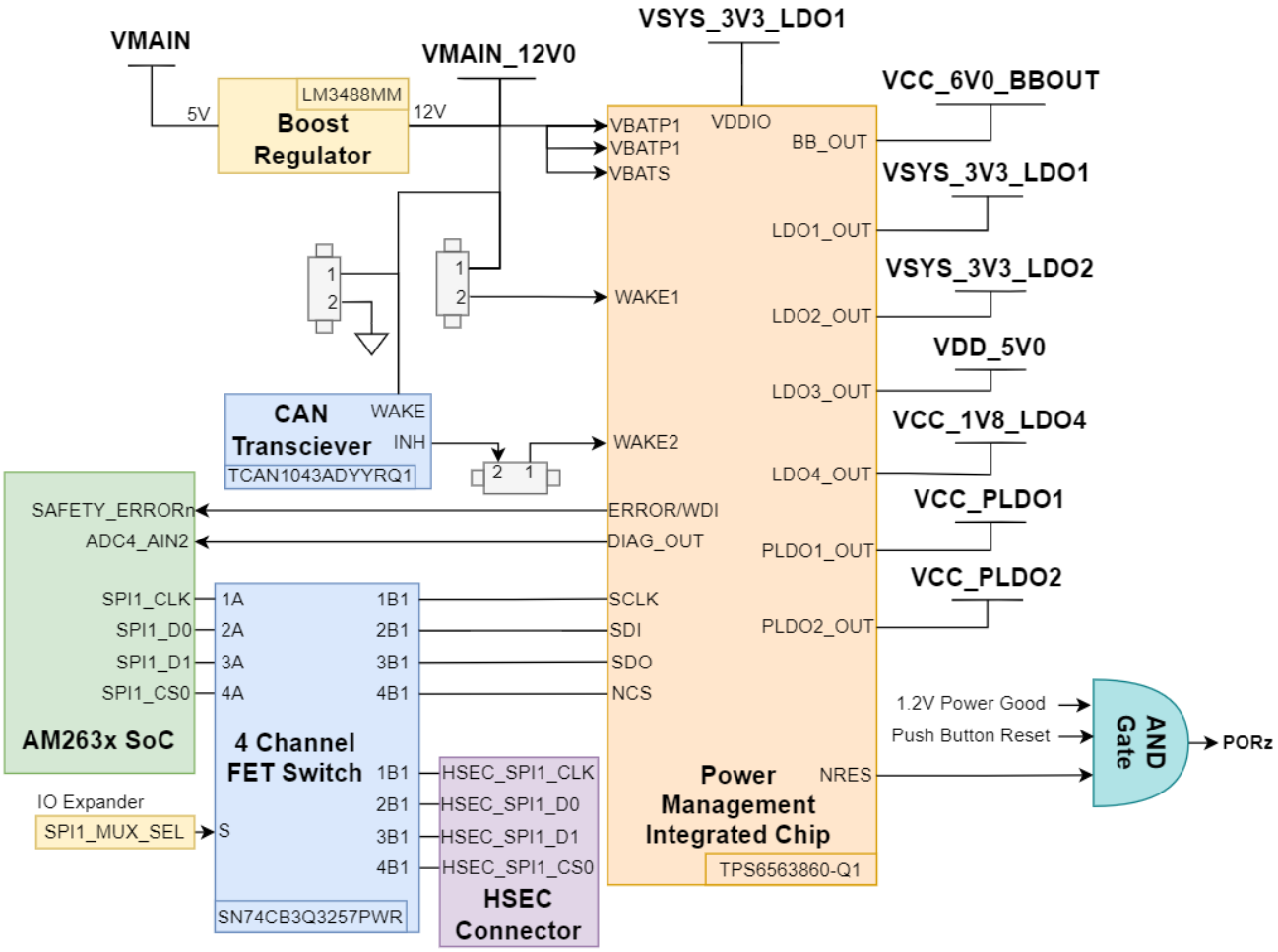


图 2-2. AM263Px TMDSCNCD263P PMIC 实现

表 2-3. 适用于 AM26x 器件的 TPS6538600QDCARQ1 配置

输出电源导轨	电压	用途	是否在上电时启用？
BB_OUT	6V	AM26x VDD/VDDAR 电源的单独 1.2V/1.25V 稳压器的电源输入	✓
LDO1_OUT	3.3V	AM26x IO 电压供应	✓

English Document: SPRABJ8
Copyright © 2026 Texas Instruments Incorporated

表 2-3. 适用于 AM26x 器件的 TPS6538600QDCARQ1 配置（续）

输出电源导轨	电压	用途	是否在上电时启用？
LDO2_OUT	3.3V	系统 IO 和外设硬件的电压供电	✓
LDO3_OUT	5V	系统电源和外设硬件电压	
LDO4_OUT	1.8V	ADC 电压基准电源	
PLDO1_OUT	可配置		
PLDO2_OUT	可配置		

备注

需要通过 SPI 写入 PMIC 内部寄存器来启用在加电时默认不启动的电源导轨。

2.3.2 将 TPS650360x 与 AM261x 配合使用

AM261x LaunchPad EVM 设计采用了封装更小、成本更低的 TPS65036x PMIC。该 PMIC 集成了四个电源导轨，用于为 MCU 及其他板载外设供电。

备注

该 PMIC 可在 2A 下输出 1.2V 或 1.25V 电压，满足 AM261x MCU 的 VDD_CORE 供电要求。但是，由于 AM263x 和 AM263Px 需要在 3A 下输出 1.2V，因此不能使用此 PMIC 为这些器件供电。

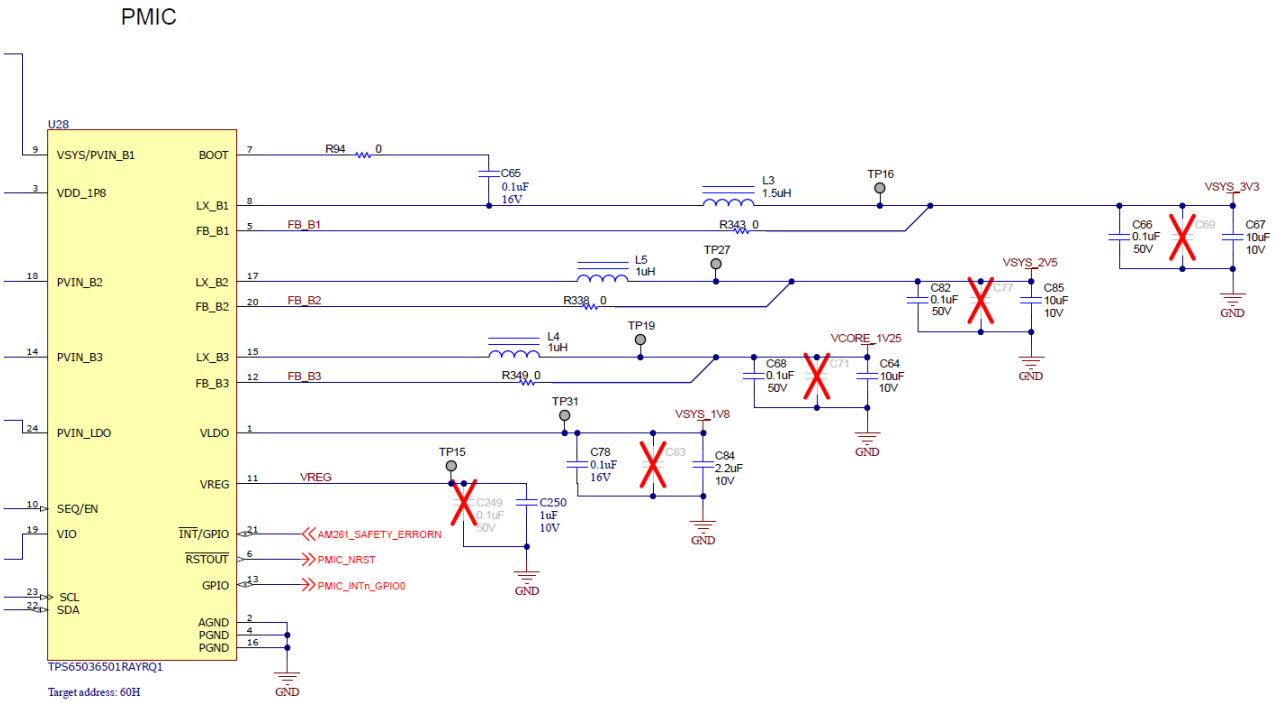


图 2-3. LP-AM261 PMIC 实施

表 2-4. LP-AM261 中的 TPS65036x 配置

输出电源导轨	电压	用途	是否在上电时启用？
BUCK1	3.3V	AM261x IO 电压和外设电源	✓
BUCK2	2.5V	系统以太网 PHY 电源	✓
BUCK3	1.25V (500MHz 工业级 AM261x)	AM261x 内核电压供应	✓
LDO	1.8V	闪存 IO 电压供应	✓

English Document: SPRABJ8
Copyright © 2026 Texas Instruments Incorporated

该 PMIC 有多种型号、具体取决于 AM261x 系统所需的电源电压和特性。

表 2-5. 适用于 AM261x 的 TPS65036x 型号

可订购器件型号	BUCK1	BUCK2	BUCK3	LDO	启用 WD
TPS65036601RAYRQ1	3.3V	2.5V	1.25V (适用于工业级 AM261x)	1.8V (适用于 1.8V IO 外部闪存)	是
TPS65036605RAYRQ1	5V	3.3V	1.25V (适用于工业级 AM261x)	1.8V (适用于 1.8V IO 外部闪存)	是
TPS6503660DRAYRQ1	5V	3.3V	1.2V (适用于汽车级 AM261x)	禁用	是
TPS65036619RAYRQ1	3.3V	禁用	1.25V (适用于工业级 AM261x)	1.8V	是

备注

启用看门狗 指的是 PMIC 的看门狗长窗口计时器，这是一个 12 分钟计时器。可在系统空闲 12 分钟或更长时间时阻止 PMIC 和 MCU 操作挂起。对于注重安全性能的应用而言，此特性非常重要。启用看门狗后、PMIC 会在空闲 12 分钟后进行复位。

对于启用了看门狗的 TPS650360x 型号，可以通过对 PMIC 寄存器的 I2C 写入，或通过将 GPIO 引脚 (引脚 13) 连接到 VDD_1P8 引脚 (引脚 3) 或 PMIC 斜升**之前**出现的任何其他电源来禁用该功能。如果使用此硬件方法禁用看门狗，则**必须**在 PMIC 上电之前，使拉高 GPIO 引脚的电源先行上升。通过这种方式，可在 PMIC 上电之前设置禁用 PMIC 的内部位。

PMIC 的 nRSTOUT 输出须用于帮助驱动 AM261x 器件的 PORz 复位输入，以确保在 MCU 从复位状态释放之前完成电源轨的上电时序控制。有关更多信息，请参阅 图 4-3。

2.4 电源去耦和滤波

表 2-6 描述了 AM263x、AM263Px 和 AM261x 微控制器的 ZCZ 封装所需的初始 BGA 去耦和电源滤波。

备注

以下部分以及 AM263x EVM 原理图和布局中介绍的去耦网络是任何 AM263x、AM263Px 或 AM261x PCB 设计的合理起点。然而，由于特定 PCB 布线差异以及由此产生的平面电容和去耦贴装电感等寄生效应，TI 强烈建议设计人员模拟和测量特定的配电网络性能。通常在目标应用软件处于活动状态，并且系统处于预期的工作环境条件下进行模拟和测量。

表 2-6. AM263x、AM263Px、AM261x-ZCZ 建议的按电源网络去耦

器件电源	数量	注释	器件型号	制造商
VDD_CORE	17	0.1uF，0201，X5R	GRM033R61A104KE15D	Murata
	3	3.3uF，0603，X5R	C1608X5R1A335K080AC	TDK
VDDAR[3:1]	2	3.3uF，0603，X5R	C1608X5R1A335K080AC	TDK
	3	0.1uF，0201，X5R	GRM033R61A104KE15D	Murata
VDDS18_LDO	1	3.3uF，0603，X5R	C1608X5R1A335K080AC	TDK
	1	0.1uF，0201，X5R	GRM033R61A104KE15D	Murata
VDDS18	4	0.1uF，0201，X5R	GRM033R61A104KE15D	Murata
VDDA18_LDO	1	4.7uF，0603，X5R	C1608X5R1A335K080AC	TDK
	1	0.1uF，0201，X5R	GRM033R61A104KE15D	Murata
VDDA18	2	0.1uF，0201，X5R	GRM033R61A104KE15D	Murata
VDDA18_OSC_PLL LC 滤波器	1	0.1uF，0201，X5R	GRM033R61A104KE15D	Murata
	1	铁氧体磁珠	BLM18EG121SN1D	Murata
VDDS33	7	0.1uF，0201，X5R	GRM033R61A104KE15D	Murata
	1	3.3uF，0603，X5R	C1608X5R1A335K080AC	TDK

Copyright © 2026 Texas Instruments Incorporated

表 2-6. AM263x、AM263Px、AM261x-ZCZ 建议的按电源网络去耦（续）

器件电源	数量	注释	器件型号	制造商
VDDA33	3	0.1uF，0201，X5R	GRM033R61A104KE15D	Murata
	1	3.3uF，0603，X5R	C1608X5R1A335K080AC	TDK
	1	铁氧体磁珠	BLM18EG121SN1D	Murata
系统 3.3V 电源 LC 滤波器	1	3.3uF，0603，X5R	C1608X5R1A335K080AC	TDK
	1	0.1uF，0201，X5R	GRM033R61A104KE15D	Murata

表 2-7. AM261x（所有其他封装）建议的按电源网络去耦合

器件电源	封装或数量			注释	器件型号	制造商
	ZFG	ZEJ	ZNC			
VDD_CORE	13	12	18	0.1uF，0201，X5R	GRM033R61A104KE15D	Murata
	3			3.3uF，0603，X5R	C1608X5R1A335K080AC	TDK
VDDAR[3:2]	2			3.3uF，0603，X5R	C1608X5R1A335K080AC	TDK
	2			0.1uF，0201，X5R	GRM033R61A104KE15D	Murata
VDDS18_LDO	1			3.3uF，0603，X5R	C1608X5R1A335K080AC	TDK
	1			0.1uF，0201，X5R	GRM033R61A104KE15D	Murata
VDDS18	1			3.3uF，0603，X5R	C1608X5R1A335K080AC	TDK
	7	8	8	0.1uF，0201，X5R	GRM033R61A104KE15D	Murata
VDDA18_LDO	1			4.7uF，0603，X5R	C1608X5R1A335K080AC	TDK
	2	1	1	0.1uF，0201，X5R	GRM033R61A104KE15D	Murata
VDDA18_USB	1			0.1uF，0201，X5R	GRM033R61A104KE15D	Murata
VDDA18	2			0.1uF，0201，X5R	GRM033R61A104KE15D	Murata
VDDA18_OSC_PLL LC 滤波器	1			0.1uF，0201，X5R	GRM033R61A104KE15D	Murata
	1			铁氧体磁珠	BLM18EG121SN1D	Murata
VDDSHV_D	1	2	2	0.1uF，0201，X5R	GRM033R61A104KE15D	Murata
	1			3.3uF，0603，X5R	C1608X5R1A335K080AC	Murata
VDDSHV_E	1			0.1uF，0201，X5R	GRM033R61A104KE15D	Murata
	1			3.3uF，0603，X5R	C1608X5R1A335K080AC	Murata
VDDSHV_A	6	5	6	0.1uF，0201，X5R	GRM033R61A104KE15D	Murata
	3			3.3uF，0603，X5R	C1608X5R1A335K080AC	TDK
VDDSHV_B	1			0.1uF，0201，X5R	GRM033R61A104KE15D	Murata
VDDSHV_C	1			0.1uF，0201，X5R	GRM033R61A104KE15D	Murata
VDDSHV_F	1			0.1uF，0201，X5R	GRM033R61A104KE15D	Murata
VDDSHV_G	不适用	2	不适用	0.1uF，0201，X5R	GRM033R61A104KE15D	Murata
VDDA33	2			0.1uF，0201，X5R	GRM033R61A104KE15D	Murata
	1			3.3uF，0603，X5R	C1608X5R1A335K080AC	TDK
	1			铁氧体磁珠	BLM18EG121SN1D	Murata
系统 3.3V 电源 LC 滤波器	1			3.3uF，0603，X5R	C1608X5R1A335K080AC	TDK
	1			0.1uF，0201，X5R	GRM033R61A104KE15D	Murata

Copyright © 2026 Texas Instruments Incorporated

2.4.1 ADC/DAC 电压基准去耦

AM26x 器件上的 ADC 和 DAC 电压基准引脚也需要特定的去耦。要求如下表所列。

表 2-8. AM26x ADC/DAC VREF 去耦

ADC VREF	数量	注释	器件型号	制造商
ADC_VREFHI_G[1:0]	1	4.7uF，0603，X5R	C1608X5R1A335K080AC	TDK
	2	0.1uF，0201，X5R	GRM033R61A104KE15D	Murata
ADC_VREFHI_G[2]	1	4.7uF，0603，X5R	C1608X5R1A335K080AC	TDK
	1	0.1uF，0201，X5R	GRM033R61A104KE15D	Murata
ADC_VREFHI_G[3] (1)	1	4.7uF，0603，X5R	C1608X5R1A335K080AC	TDK
	1	0.1uF，0201，X5R	GRM033R61A104KE15D	Murata
DAC_VREF[0]	1	4.7uF，0603，X5R	C1608X5R1A335K080AC	TDK
	1	0.1uF，0201，X5R	GRM033R61A104KE15D	Murata
DAC_VREF[1] (2)	1	0.1uF，0201，X5R	GRM033R61A104KE15D	Murata

(1) AM263Px 传感器封装 (ZCZ_S) 具有一组额外的 ADC 基准电压 ADC_VREFHI_G3 和 ADC_VREFLO_G3。
(2) AM263x 和 AM263Px 有一个额外的 DAC 基准电压 DAC_VREF1。必须在该引脚上使用额外的 0.1uF 去耦电容器。

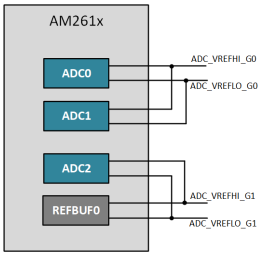


图 2-4. AM261x：ADC 参考电压连接图表

English Document: SPRABJ8
Copyright © 2026 Texas Instruments Incorporated

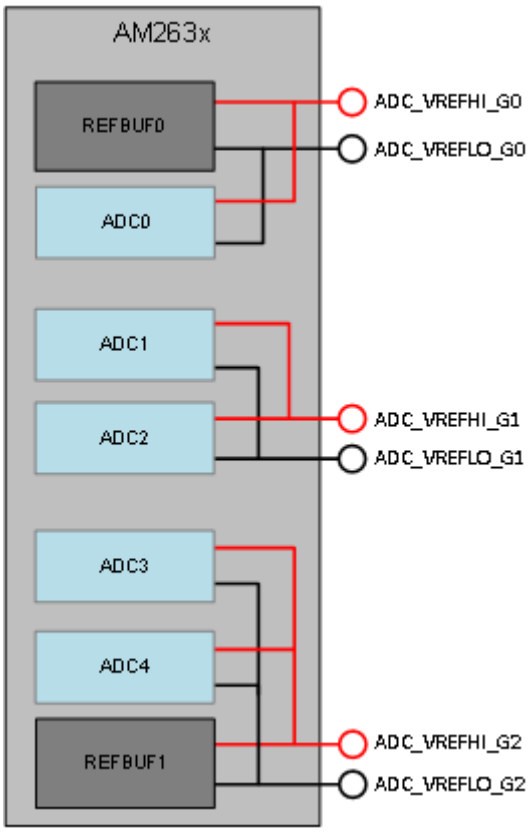


图 2-5. AM263x：ADC 参考电压连接图表

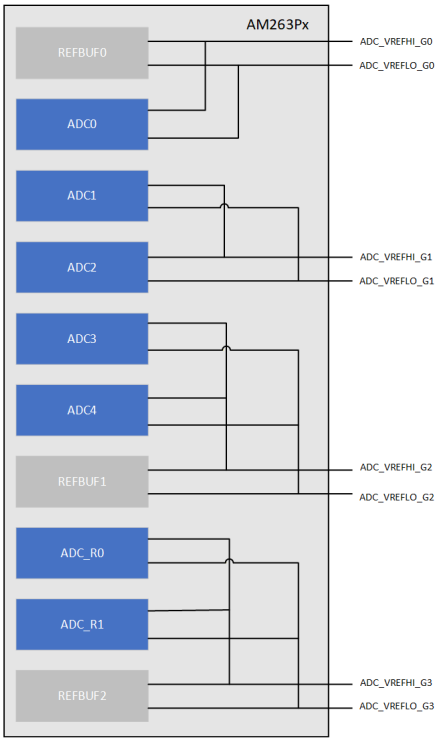


图 2-6. AM263Px：ADC 参考电压连接图表

English Document: SPRABJ8
Copyright © 2026 Texas Instruments Incorporated

2.5 估计功耗

本节概述了每个器件电网的 AM263x、AM263Px 和 AM261x 峰值功耗的最新估计值。这些值可能会随着执行更多功率建模和表征而变化。这些数据可用于调整峰值直流/直流转换功率裕度，对 PCB 布局进行 IR 压降分析，以及帮助进行热负载分析。

这些估算值基于器件在 150°C 结温下运行时的初始功率仿真。有关最新的表征峰值功率数据，请参阅特定的 AM26x 器件数据表。

此外，还为 AM26x MCU 提供了基于用例的功耗估算工具 (PET)。此类工具可以帮助根据特定内核和外设利用率占空比进一步限制峰值功率。可以通过下述超链接下载特定于器件的 PET：

1. **AM261x**：AM261x 功耗估算工具
2. **AM263x**：AM263x 功耗估算工具
3. **AM263Px**：AM263Px 功耗估算工具

2.6 配电网络

本节概述了每个网络上 AM26x 瞬态电流要求的最新估算值。这些值可能会随着执行更多功率建模和表征而变化。

这些瞬态用例值用于通过创建一组最小/最大工作频率和 PDN 阻抗 (Z_{max}) 目标限制，以限制 AM26x EVM（controlCard、LaunchPad 和 controlSOM）的 PDN 设计。这些限制基于仿真瞬态电流用例的幅度和压摆率。这些用例用于估算对所产生的瞬态事件充分去耦所需的 PDN 带宽。EVM PDN 的附加 z 参数仿真用于验证电源平面设计和去耦位置，以及组件值是否可以满足指定限制。图 2-7 对此进行了总结。

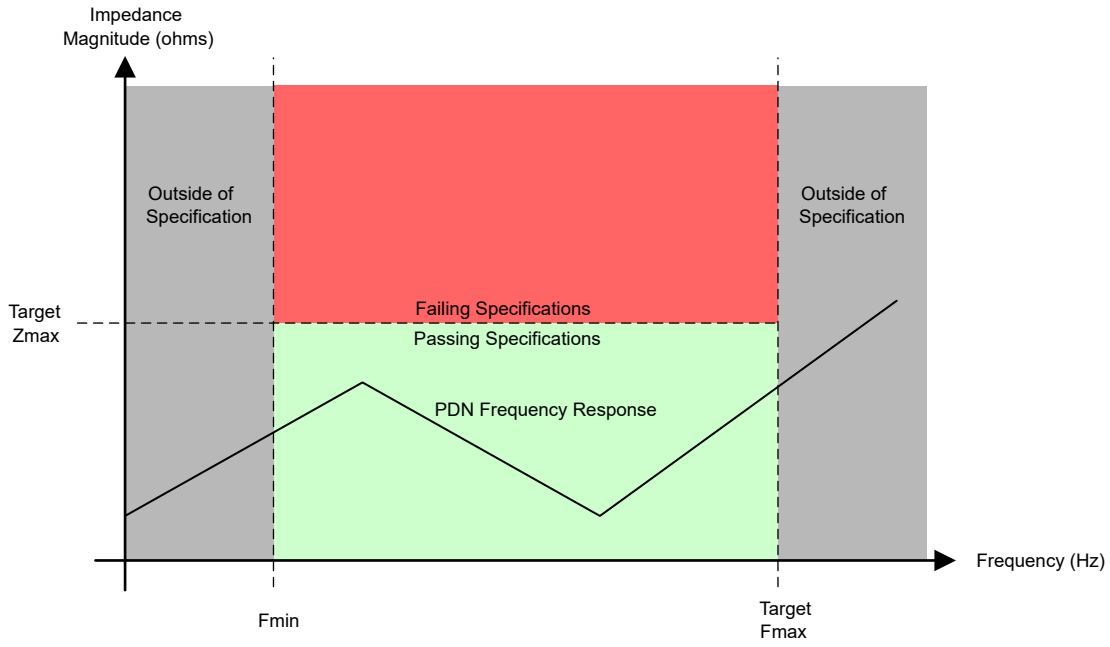


图 2-7. AM26x PDN 要求 – 示例图

表 2-9. AM26x 瞬态电流模型 – 用例条件

瞬态案例	网络名称	标称电压 (V)	直流 IR 预算 (%)	交流纹波预算 (%)	空闲电流 (mA)	峰值电流 (mA)	空闲至峰值压摆率 (ns)	注释
VDDBASELINE1(1)	VDD	1.2	2.5	2.5	0	2402	2.5	基线、简单瞬态模型，假设在最短 1 个 R5F 时钟周期内完成从 0 到峰值转换。
VDDXTAL_PLL1(2)	VDD	1.2	2.5	2.5	42	875	10	XTAL 到 PLL 开启瞬态
VDD WFI1	VDD	1.2	2.5	2.5	750	1117	12.5	4x RF5 WFI 事件瞬态
VDDS33BASELINE1	VDDS33	3.3	2.5	2.5	0	84	2.5	基线、简单瞬态模型，假设在单个 R5F 时钟周期内完成从 0 到峰值转换
VDDA33BASELINE1	VDDA33	3.3	2.5	2.5	0	34	2.5	基线、简单瞬态模型，假设在单个 R5F 时钟周期内完成从 0 到峰值转换

English Document: SPRABJ8
Copyright © 2026 Texas Instruments Incorporated

表 2-9. AM26x 瞬态电流模型 – 用例条件（续）

瞬态案例	网络名称	标称电压 (V)	直流 IR 预算 (%)	交流纹波预算 (%)	空闲电流 (mA)	峰值电流 (mA)	空闲至峰值压摆率 (ns)	注释
VDDS18LDOBASELINE1	VDDS18LDO	1.8	2.5	2.5	0	01	2.5	基线、简单瞬态模型，假设在最短 1 个 R5F 时钟周期内完成从 0 到峰值转换
VDDA18LDOBASELINE1	VDDA18LDO	1.8	2.5	2.5	0	66	2.5	基线、简单瞬态模型，假设在最短 1 个 R5F 时钟周期内完成从 0 到峰值转换

(1) 交流/直流预算百分比的确定方法是：从特定于器件的数据表工作条件表中允许的总预算的 ±5% 开始，并在电压噪声和调节不准确性的直流源与交流源之间划分该总体容差预算。这导致直流误差和 IR 压降的标称预算为 ±2.5%，而为交流纹波和无源 PCB 瞬态响应留下 ±2.5%。总预算可以按照与系统匹配的任何方式进行划分。这里只是一个简单示例。（这两个注意事项需要参考上表）

(2) 如果 IR 压降和直流负载精度可保持在较小的预算范围内，则可以为交流纹波和瞬态响应提供更多的操作裕度，从而增加电源分配网络上允许的纹波和瞬态噪声量。

表 2-10. AM26x 瞬态电流模型 – 产生的 PDN 要求

瞬态案例	网络名称	Fmax (MHz)	电流阶跃 (mA)	PCB 直流容差(mV)	PCB 交流容差(mV)	PCB 目标直流 IR(mΩ)	PCB 目标交流 Zmax(mΩ)	注释
VDD BASELINE1(1)	VDD	200	2402	30	30	12	12	基线、简单瞬态模型，假设在最短 1 个 R5F 时钟周期内完成从 0 到峰值转换。
VDD XTAL_PLL1(2)	VDD	50	833	30	30	36	36	XTAL 到 PLL 开启瞬态。
VDD WFI1	VDD	40	367	30	30	82	82	4x RF5 WFI 事件瞬态。
VDDS33 BASELINE1	VDDS33	200	84	83	83	982	982	基线、简单瞬态模型，假设在最短 1 个 R5F 时钟周期内完成从 0 到峰值转换。
VDDA33 BASELINE1	VDDA33	200	34	83	83	2419	2419	基线、简单瞬态模型，假设在最短 1 个 R5F 时钟周期内完成从 0 到峰值转换。
VDDS18LDO BASELINE1	VDDS18LDO	200	1	45	45	45	45	基线、简单瞬态模型，假设在最短 1 个 R5F 时钟周期内完成从 0 到峰值转换。
VDDA18LDO BASELINE1	VDDA18LDO	200	66	45	45	682	682	基线、简单瞬态模型，假设在最短 1 个 R5F 时钟周期内完成从 0 到峰值转换。

(1) PDN 的最大频率 (F_{max}) 由保守的 F_{max} = 0.5/上升时间估计值确定。这基于具有给定上升时间的方波转换的功率频谱。该频率限制了给定瞬态转换的大部分功率。

(2) PDN 的最小频率 (F_{min}) 由给定的直流/直流稳压器最大控制环路带宽决定，因为这决定了无源 PDN 网络必须开始从直流/直流稳压器的有源控制器接管的位置。总 PDN 响应是此有源和无源 PDN 响应的组合。

Copyright © 2026 Texas Instruments Incorporated

2.6.1 仿真

以下仿真的 PDN z 参数性能是使用 Ansys SI 波从 AM263x LaunchPad 和 controlCard 布局中提取的。每个所选电容器的宽带 s 参数模型均由制造商提供。仿真仅捕获 25°C（室温）PCB 和电容器模型性能。

2.6.1.1 内核数字电源 1.2V

在 AM263x LaunchPad EVM 的 1.2V 内核数字电源网上执行了 Z11 仿真，以验证瞬态功率裕度。仿真域包括：

- AM263x BGA (UI) 1.2V 数字和 GND 回路扇出
- 内部 PCB 1.2V 和 GND 回路平面
- 布置在 1.2V 电源网上的去耦合
- U29 降压稳压器输出 LC 滤波器直至开关节点

这些仿真是通过在每次迭代之间进行多项电容器 BOM 更改以迭代方式完成的。每次迭代的主要特征是低于 Ztarget 的最大和最小频率带宽（请参阅上文章节），并且更改了 BOM 选择以更大限度地增加带宽和获得更大的 Ztarget 裕度。图 2-8 和图 2-10 中仅显示了初始和最终选择的 BOM 迭代。

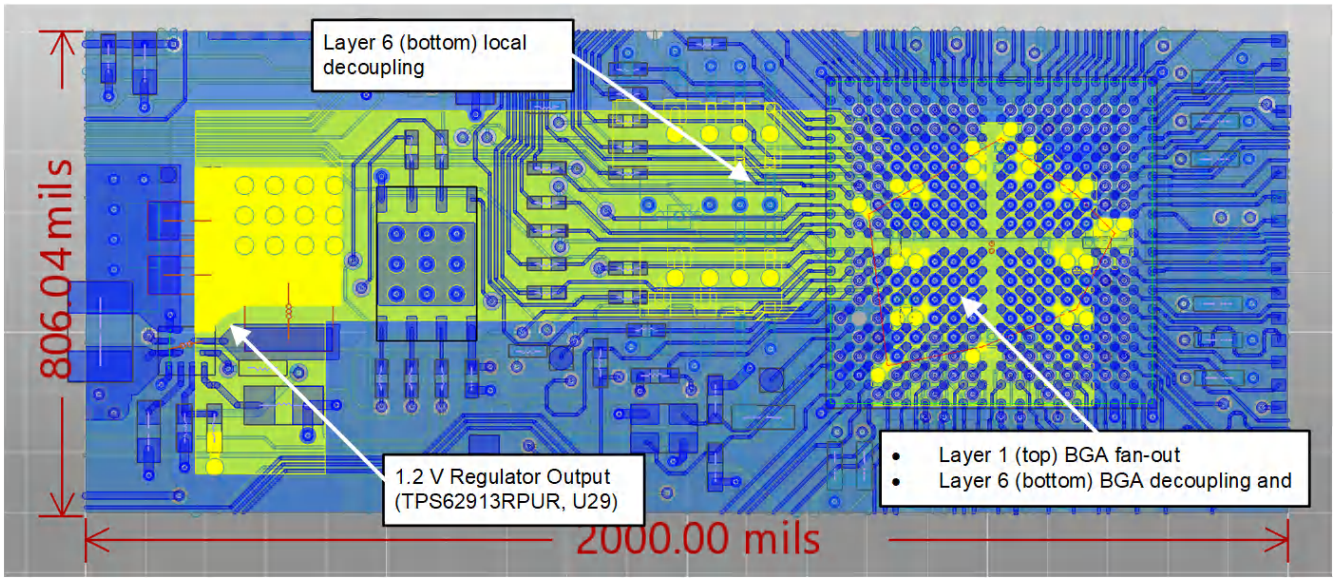


图 2-8. AM263x LaunchPad PDN 仿真 – 1.2V 内核电源仿真域

English Document: SPRABJ8
Copyright © 2026 Texas Instruments Incorporated

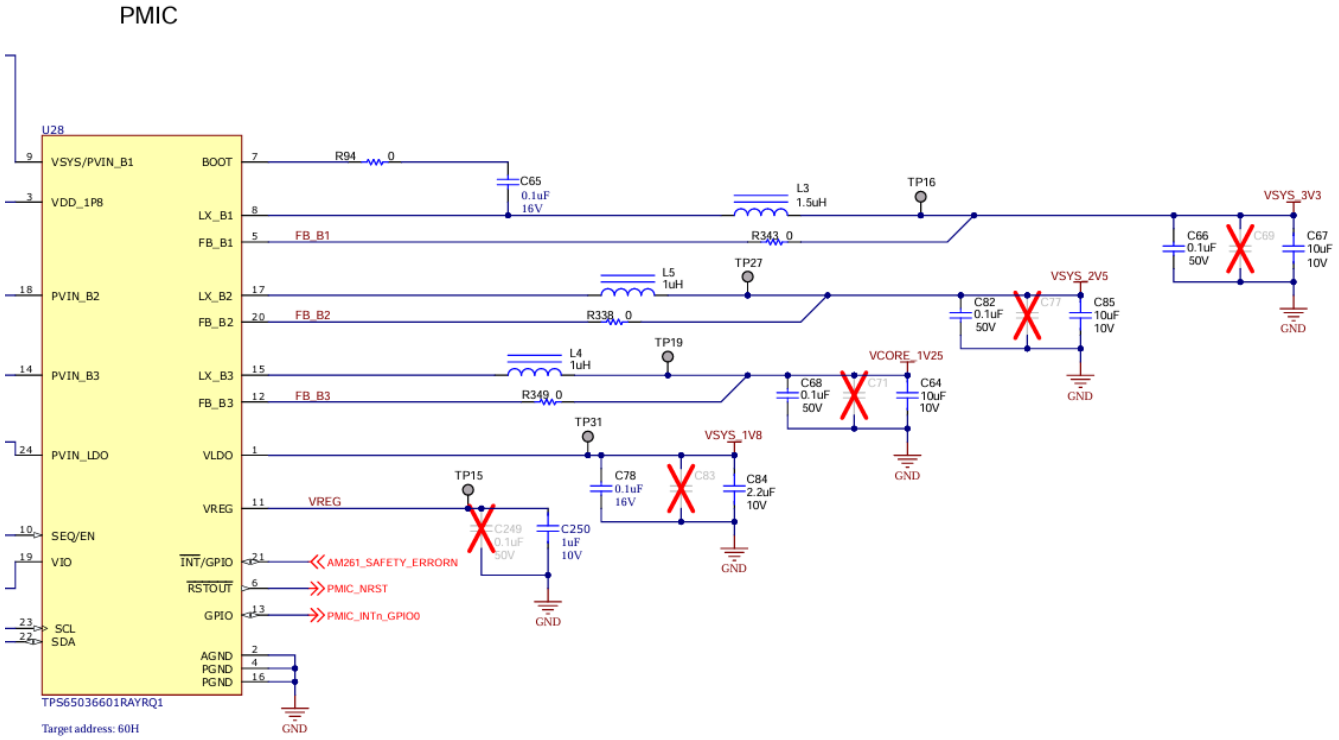


图 2-9. AM263x LaunchPad PDN 仿真 – 1.2V 内核电源仿真域

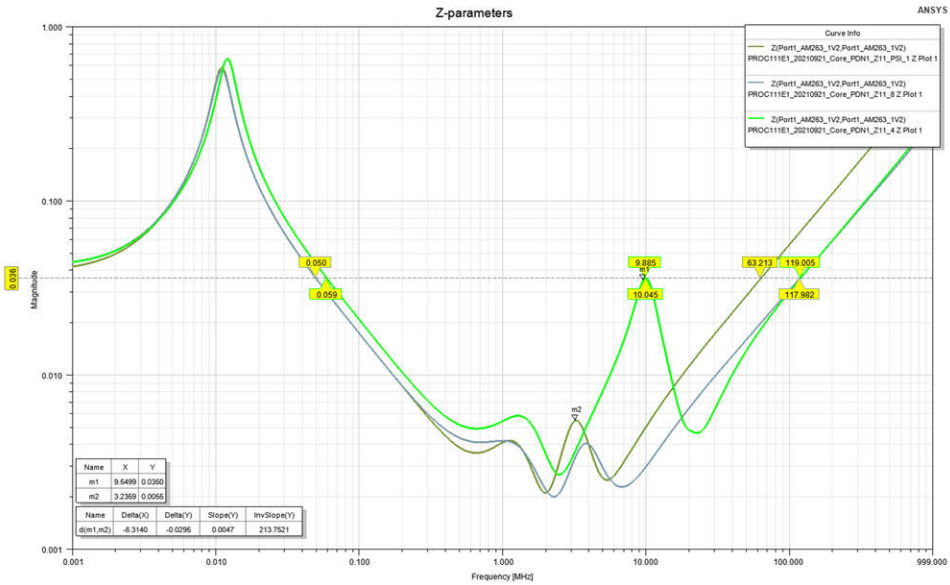


图 2-10. AM263x LaunchPad PDN 仿真 – 1.2V 内核电源仿真 Z11

- AM263x LaunchPad PDN 仿真 – 1.2V 内核电源仿真 Z11
  - 这导致标记 (m2) 点为 5.5mΩ
  - 36mΩ 的 Z_{target} 要求保持在 50KHz 至 63MHz 范围内
  - BOM 中的主要区别是用 1.0µF 电容器替换所有 0.1µF BGA 和本地去耦电容器，这完全消除了 PDN 阻抗频谱中的 10MHz 谐振点

Copyright © 2026 Texas Instruments Incorporated

2.6.1.2 数字和模拟 I/O 电源 3.3V

Z11 仿真在 controlCard EVM 的 3.3V 数字和模拟电源网上执行，以验证瞬态电源裕度。仿真域包括：

- AM263x BGA (U1) 3.3V 电源和接地回路 BGA 和扇出
- 内部电源和接地回路布线层
- 稳压器输出

这些仿真的初始运行表明，无需更改 BOM 即可满足低于 Ztarget 的最大和最小频率带宽要求（请参阅上文各节内容）。下面仅显示了最终选择的 BOM 迭代的初始仿真。

仿真分为 VDDS33 数字 3.3V 平面和去耦网络以及 VDDA33 模拟 3.3V 迹线和设计本地去耦。这些仿真之间的区别在于用于分离这两个去耦性能仿真的 FL18 铁氧体磁珠元件。

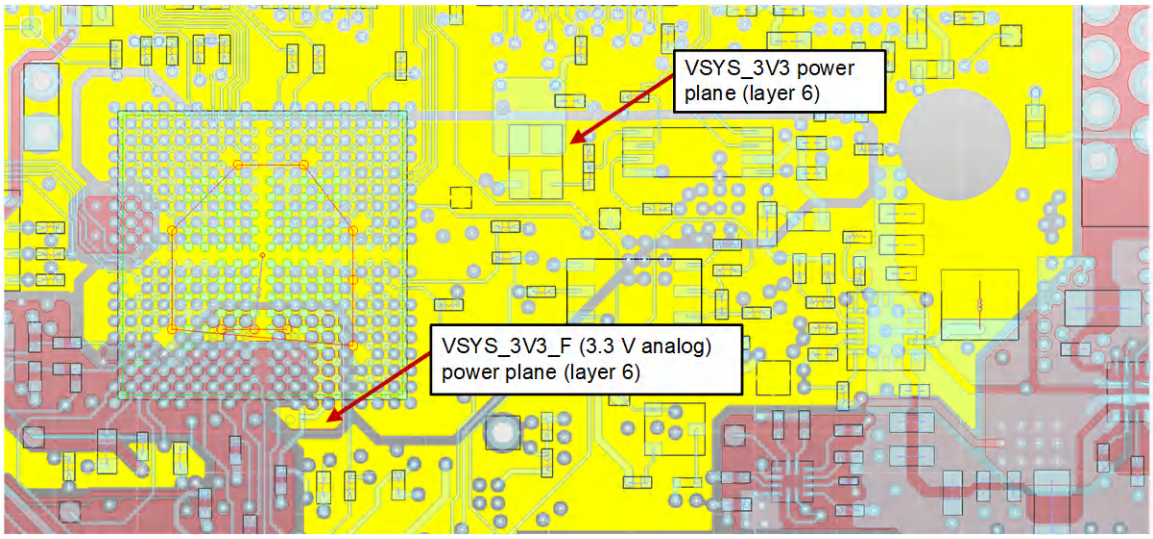


图 2-11. AM263x LaunchPad PDN 仿真 – 3.3V 数字和模拟 I/O 电源仿真域 (A)

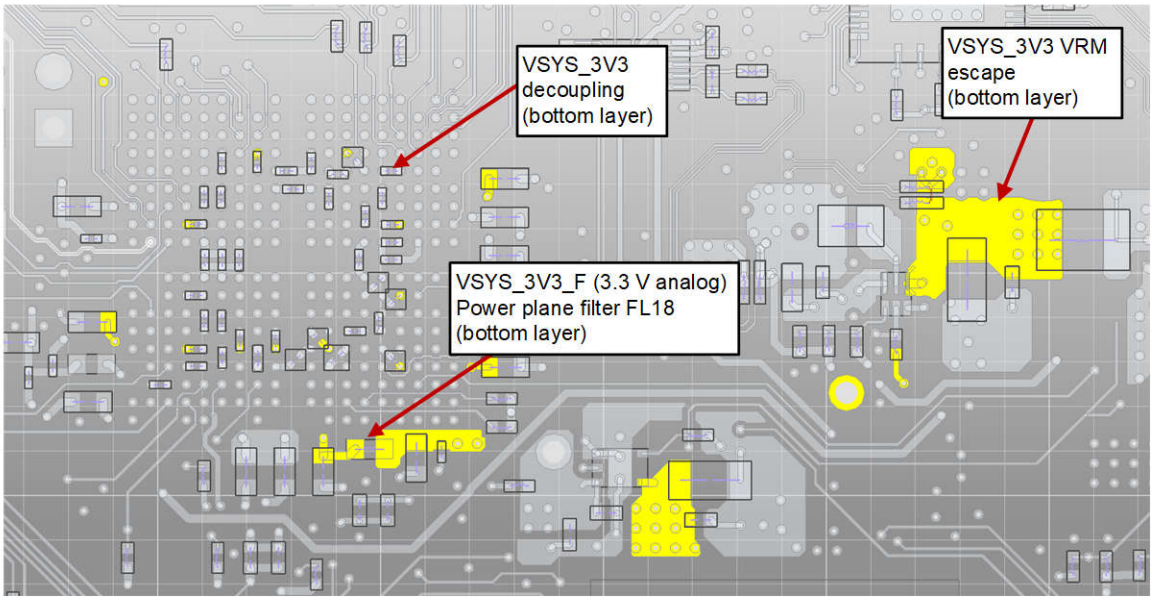


图 2-12. AM263x LaunchPad PDN 仿真 – 3.3V 数字和模拟 I/O 电源仿真域（第 8 层，底部）

English Document: SPRABJ8
Copyright © 2026 Texas Instruments Incorporated

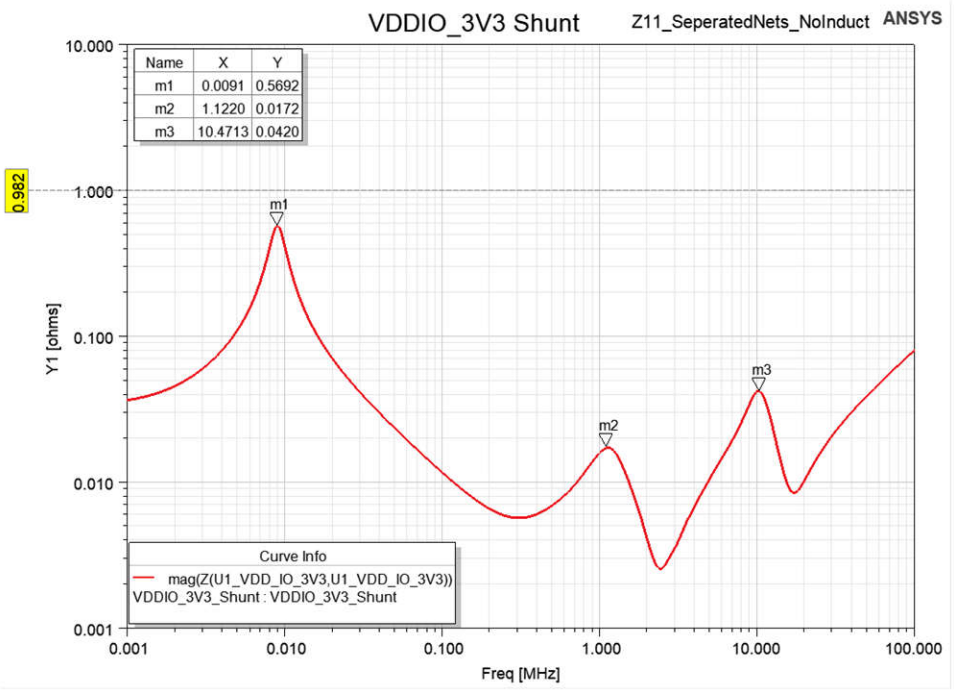


图 2-13. AM263x LaunchPad PDN 仿真 – 3.3V 数字 I/O 电源仿真 Z11

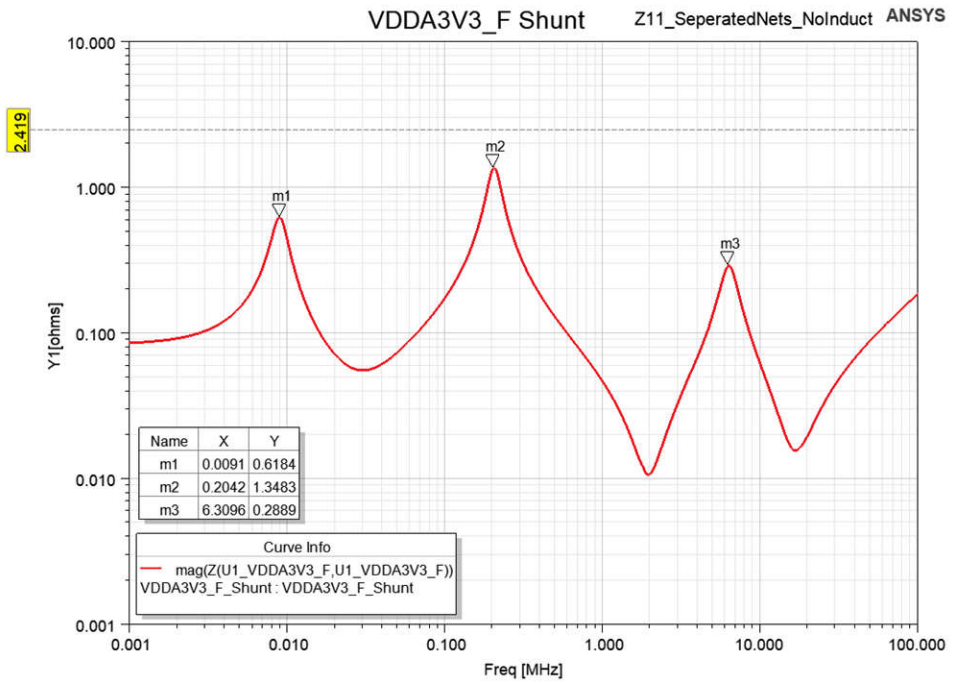


图 2-14. AM263x LaunchPad PDN 仿真 – 3.3V 模拟 I/O 电源仿真 Z11

English Document: SPRABJ8
Copyright © 2026 Texas Instruments Incorporated

2.7 电子保险丝电源

AM26x MCU 采用了一次性可编程电子保险丝存储器，可用于存储客户的加密密钥和其他特定于各个器件的信息。仅当目标器件电子保险丝电源引脚 (VPP) 由 1.7V 标称输出电压、100mA 峰值电流电源供电时，才能对这些电子保险丝存储器位置进行编程。

1.7V VPP 电源可以采用以下任一方式提供：

1. 外部电源（板载或非板载）。
2. 由 AM26x 器件内部的 1.8V LDO 提供，并重新编程为所需的 1.7V/100mA 电源。

表 2-11. AM26x 器件中的 VPP 电源

器件	VDDS18 LDO 是否可重复编程？	LDO 可编程电压	VPP 电源是否可以来自外部来源？
AM263x	否	不适用	是
AM263Px	是	1.7V	是
AM261x	是	1.738V	是

电子保险丝编程通常遵循以下一种或两种情况：

- **出厂编程** – 在 AM26x 系统的组装后测试期间对电子保险丝存储器进行编程。
- **现场编程** – 在器件出厂后对电子保险丝存储器进行编程并将存储器安装在终端设备中。

如果产品只需要出厂编程方案，那么在非板载情况下实施 VPP 电源可减少需要放置在 PCB 组件上的元件数量。VPP 电源仅在此编程序列中使用，因此将此硬件保留在电路板上并不能有效利用 PCB 布局规划面积、BOM 成本或测试时间。

但是，如果必须在工厂环境之外对电子保险丝存储器进行编程，则 VPP 电源必须由板载元件提供或可根据需要提供该电源的已连接附件板提供。

2.7.1 外部 VPP 电源

VPP 电源的具体放置和实施取决于设计人员如何利用电子保险丝存储器。实施应符合 图 2-15 中所示的图

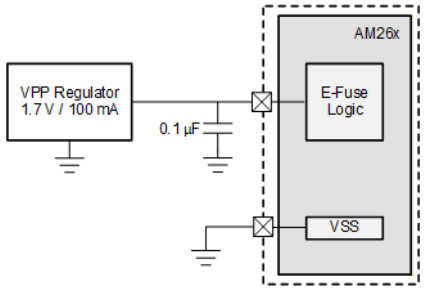


图 2-15. AM26x 电子保险丝 VPP - 外部电源实施

在 AM263x controlCARD 设计中，VPP 电源安装在电路板上，以便客户能够通过试验该过程来实现便捷的电子保险丝编程。在 controlCARD 上、TLV75801PDRVR LDO (U66) 用于将 3.3V 系统 I/O 电压降至 VPP 1.7V。

2.7.2 用作 VPP 电源的片上 LDO(1)

AM263Px 和 AM261x MCU 可以选择使用 1.8V 模拟 LDO（VDDA18_LDO，即 ANALDO）在内部为 VPP 供电。在对 eFuse 进行编程期间，必须按照表 2-11 为 ANALDO 编程，然后恢复到 1.8V。

English Document: SPRABJ8
Copyright © 2026 Texas Instruments Incorporated

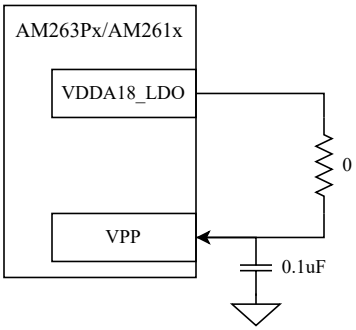


图 2-16. AM263Px/AM261x 电子保险丝 VPP - 内部模拟 LDO 实现

有关完整的 VPP 电气要求和电子保险丝编程序列，请参阅器件特定的 AM26x 技术参考手册中的“*一次性可编程 (OTP) 电子保险丝的 VPP*”规范部分。

备注

(1) 在 AM263x 中，片上 LDO 不可编程。

English Document: SPRABJ8
Copyright © 2026 Texas Instruments Incorporated

3 时钟

3.1 晶体和振荡器输入选项

AM26x XTAL_XI 和 XTAL_XO 时钟输入可来自连接的晶体或单端振荡器输出。

3.1.1 晶振时钟模式

连接的晶体需为工作频率为 25MHz 的基本模式晶体。晶体需要并联电容器，电容范围为 12pF-24pF。图 3-1 展示了 AM26x 在晶体模式下计时的示例。

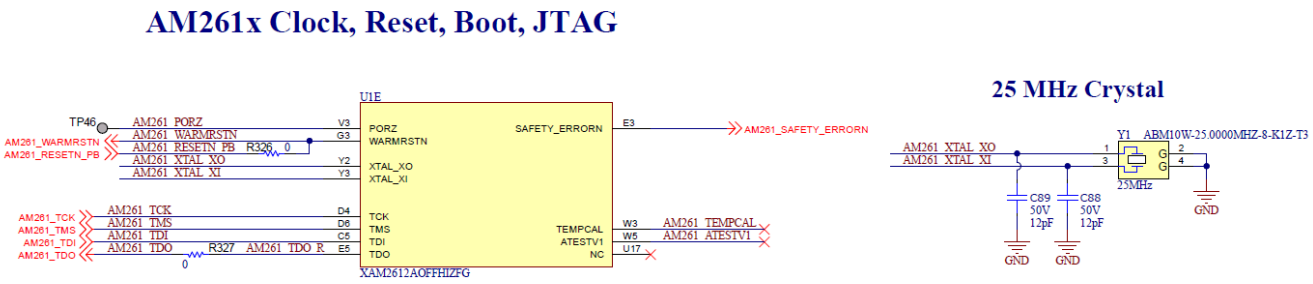


图 3-1. AM261x Lanchpad 原理图摘录（针对完整的晶体和振荡器输入要求）

3.1.2 振荡器时钟模式

Copyright © 2026 Texas Instruments Incorporated

如果采用单端振荡器输出，则 XTAL_XI 引脚需连接到振荡器，而 XTAL_XO 引脚必须悬空，在 PCB 上保持未连接状态。有关振荡器输入要求，请参阅特定于器件的 AM26x 数据表。图 3-2 展示了使用时钟分配器和缓冲器电路的 AM26x 示例。

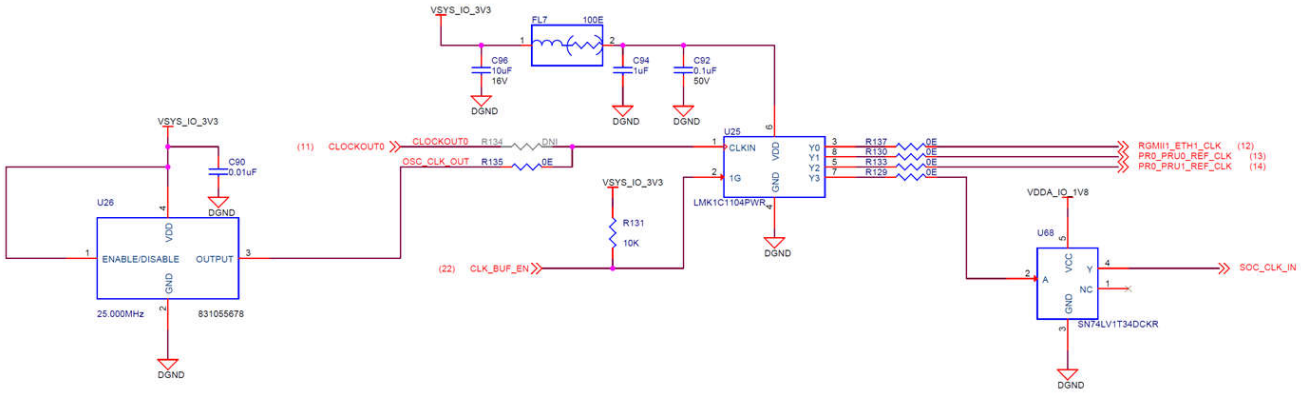


图 3-2. AM263x controlCARD 原理图摘录 - 振荡器时钟源和时钟分配器

对于 AM263x 控制卡，板载 ABM10W-25.0000MHZ-8-K1Z-T3 25MHz 晶体可提供晶体模式计时。或者，LMK1C1104PWR 时钟分配电路和 SN74LV1T34 缓冲器可为 XTAL_XI 引脚提供 1.8V 方波时钟。LMK1C1104PWR 还用于为板载以太网 PHY 提供时钟源。

Copyright © 2026 Texas Instruments Incorporated

3.2 输出时钟生成

AM26x 器件包括两个输出时钟源：CLKOUT0 和 CLKOUT1。这些时钟源用于为工业/汽车以太网 PHY 等连接的外设 IC 计时。这可以节省 BOM 成本以及额外的 IC 放置和布线空间。AM263x 和 AM263Px LaunchPad 包含 CLKOUT0（引脚 M2）信号为板载 DP83869HMRGZT 以太网 PHY 计时的可选路径。AM261x LaunchPad 包含一条可选路径，可使用 CLKOUT1 引脚信号为以太网 PHY 提供时钟。未使用的 CLKOUT 引脚可以在 PCB 上保持未连接状态。



图 3-3. AM263x LaunchPad 布局摘录 – CLKOUT0 和 EXT_REFCLK0 输出

外部 REF_CLK 输出

AM26x 器件包括一个外部参考时钟源 EXT_REFCLK0。此引脚旨在用作器件时钟发生器 PLL 电路的外部参考时钟输入。未使用的 EXT_REFCLK 引脚可以在 PCB 上保持未连接状态。有关 EXT_REFCLK0 的更多信息，请参阅器件特定的技术参考手册。

3.3 晶体选择和并联电容

在晶体工作模式下，AM26x 可以连接到各种兼容的晶体。根据所选的 PCB 寄生电容和晶体，需要修改额外的负载电容，以实现更佳的启动稳定性和频率精度。

有关晶体负载容差，请参阅特定于器件的 AM26x 数据表。

3.4 晶体放置和布线

晶体振荡器输入需要尽可能靠近 AM26x XTAL_XI/XO 放置，且晶体和 MCU 焊盘之间的引线长度最短。短接至本地 VSS 平面的接地环需要放置在 XTAL_XI 和 XTAL_XO 引线附近并位于 XTAL_XI 和 XTAL_XO 引线之间，以帮助防止相邻信号耦合到时钟阻抗较高的晶体输入路径中。

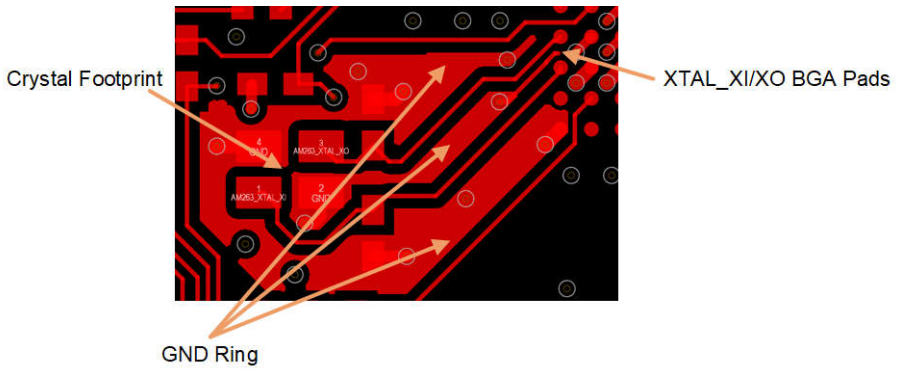


图 3-4. AM263x LaunchPad 布局摘录 - 晶体布局和接地环结构

English Document: SPRABJ8
Copyright © 2026 Texas Instruments Incorporated

4 复位

AM26x MCU 有两个硬件复位源：

- PORz：上电复位（低电平有效）引脚
  - 必须由关联的 VDD 1.2V 内核、VDDS33 3.3V、VDDS1833_FLASH0(1) 和 VDDS1833_FLASH1(1) I/O 稳压器或 PMIC 复位信号的电源正常电路驱动
  - 为了实现有效复位，只有在 VDD 1.2V 内核、VDDS33 3.3V I/O 和 VDDS18_FLASH0/1（仅适用于 AM261x）稳压器稳定并处于其标称值之后，PORz 信号才必须从逻辑低电平转换为逻辑高电平。有关上电复位的规范要求，请参阅特定于器件的数据表。
- WARMRSTn：热复位（低电平有效）输入和复位状态输出引脚
  - 上电默认配置会将该引脚设置为开漏输出，从而输出器件的复位状态。
  - 当器件进入复位状态时，该信号驱动为逻辑低电平。
  - 当器件完全脱离复位时，该信号驱动为逻辑高电平。

备注

(1) VDDS1833_FLASH0 和 VDDS1833_FLASH1 I/O 引脚仅存在于 AM261x ZFG、ZEJ 和 ZNC 封装尺寸中。

4.1 PORz

PORz 用于在系统初始加电时保持为逻辑低电平。在验证了为 AM26x 电源引脚供电的每个稳压器均在标称输出电压下工作后，就可以将 PORz 信号调至逻辑高电平。

PORz 从低电平移至高电平（PORz 无效化）将启动 MCU 引导 ROM 执行，以开始对 SOP 引脚进行采样。

PORz - 分立式电源树实现

AM263x LaunchPad 实施采用单个 SN74LVC1G11 与门，该门接收来自板载 DC-DC 稳压器和可选按钮复位开关的开漏输出电源正常信号作为与门的输入。建议在 PORz 信号上使用弱下拉电阻器，以便在系统启动前将信号保持为逻辑低电平。如果 VDD 1.2V 或 VDDS33 3.3V 有轨电源低于标称工作范围或 DC-DC 稳压器的任何电源正常信号变为低电平，则必须将 PORz 强制设置为低电平。

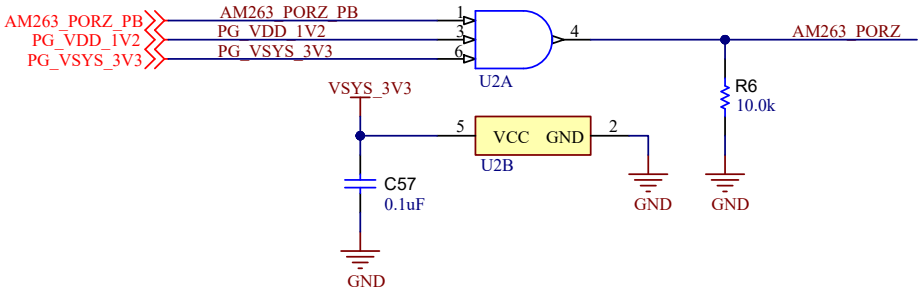


图 4-1. AM263x LaunchPad 原理图摘录 – PORz 生成

PORz - 基于 PMIC 的电源设计实施

在 AM263Px controlCARD 中，来自 1.2V 稳压器的开路输出电源良好信号、可选的按钮复位开关以及来自 PMIC 的 nRST 信号都是 SN74LVC1G11 与门的输入。3 输入与门的输出与 2 输入 SN74LVC1G08 与门的输入相连，另一个输入是将系统输入电压 (5V) 分压至 0.88V 的分压器的输出。SN74LVC1G08 的输出连接到 AM26x PORz。SN74LVC1G08 低电平输入电压为 0.8V，因此如果输入电压降至 0.8V 以下，与门会输出逻辑 0，从而触发复位。

Copyright © 2026 Texas Instruments Incorporated

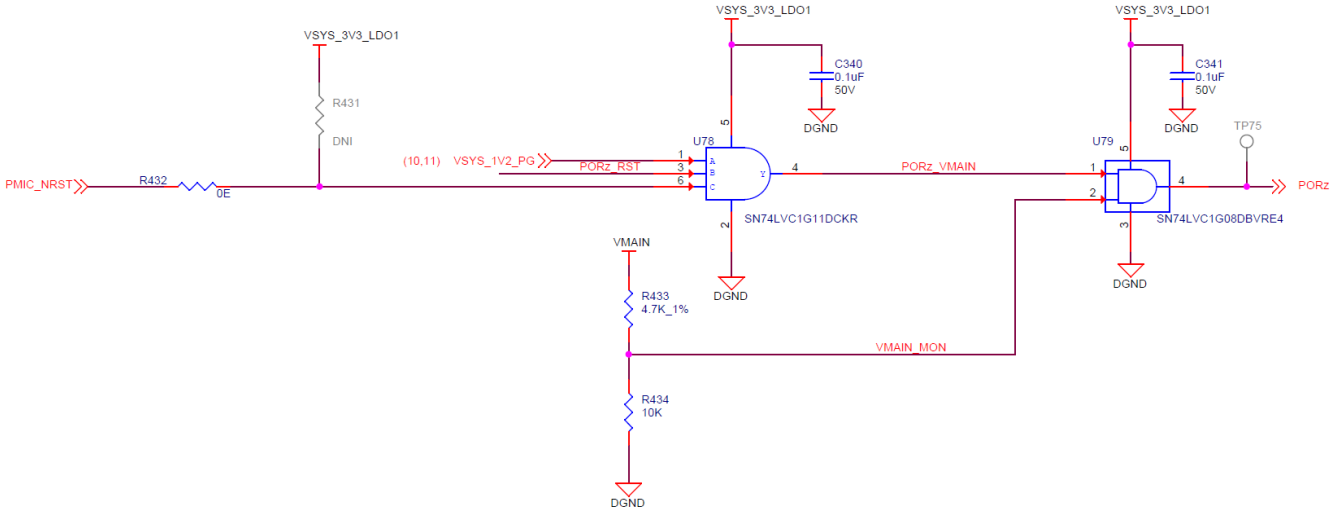


图 4-2. AM263Px controlCARD 原理图摘录 – PORZ 生成

对于使用单一 PMIC 电源设计的 AM261x 系统设计（例如 TPS650360），PORz 由 PMIC 的 nRSTOUT 信号与复位按键通过逻辑与门共同生成。这是一种简单有效的设计，涉及较少的冗余和元件。

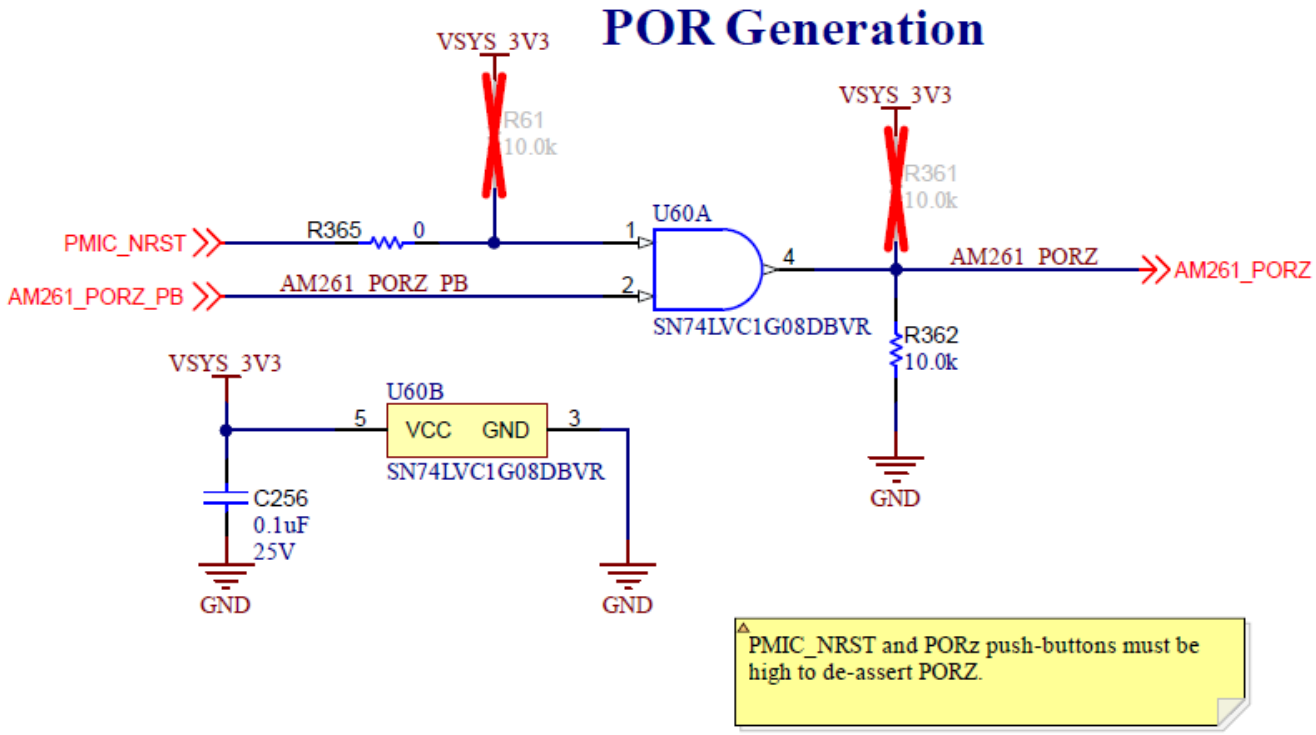


图 4-3. AM261x LaunchPad 原理图摘录 – PORz 的生成

有关上电复位和断电复位时序要求的完整说明，请参阅特定于器件的 AM26x 数据表。

4.2 WARMRSTn

WARMRSTn 引脚是一个通用复位输入和硬件复位状态引脚（输出）。在上电默认配置中，该引脚配置为漏极开路输出，需要一个外部上拉电阻器连接到 VDDS33 (3.3V) I/O 电压轨。在此模式下，WARMRSTn 可用作 MCU 复位指示器，并可用于驱动所连接的外设 IC（如以太网 PHY 和 OSPI 闪存）执行复位。

English Document: SPRABJ8
Copyright © 2026 Texas Instruments Incorporated

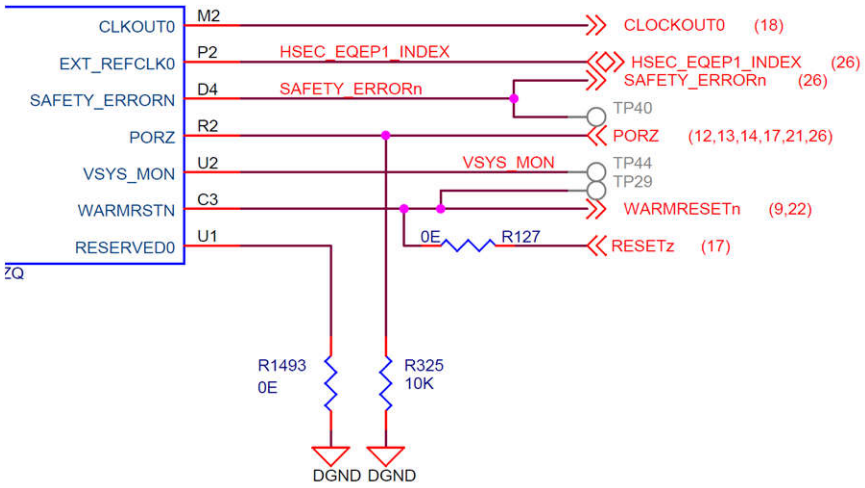


图 4-4. AM263x 控制卡原理图摘录 – PORz 和 WARMRSTn 引脚排列

WARMRSTn 也可由配置为软件复位。AM26x 器件上还提供了其他软件复位源。有关复位功能的更多信息，请参阅器件特定的 AM26x 技术参考手册中的“*复位*”章节。

English Document: SPRABJ8
Copyright © 2026 Texas Instruments Incorporated

5 自动加载

通电检测 (SOP) 信号用于将所选引导模式锁存到 AM26x 器件中。在 PORz 上升沿（低电平到高电平逻辑转换）期间，对 SOP[3:0] 信号进行采样。产生的 4 位用于将引导 ROM 分支到所选的引导模式。并非所有 SOP 信号组合都受支持。有关 SOP 引脚状态和支持的引导模式的完整说明，请参阅器件特定的 AM26x 技术参考手册。

5.1 SOP 信号实现

每个 SOP 引导模式选择信号都与其他功能多路复用模式信号多路复用，如表 5-1 所示。有关所有信号描述，请参阅特定于器件的 AM26x 数据表中的*信号描述*表。图 5-1 展示了 SOP 信号描述。SoC 引脚编号因表 5-1 中展示的器件封装类型而异。

表 5-1. SOP 和功能模式信号映射

SOP 模式信号	初级侧引脚复用信号	AM26x ZCZ 引脚	AM261x ZFG 引脚	AM261x ZNC 引脚	AM261x ZEJ 引脚
SOP[0]	OSPI0/QSPI0_D0	N1	R2	N2	M2
SOP[1]	OSPI0/QSPI_D1	N4	R1	N1	N1
SOP[2]	SPI0_CLK	A11	A13	A12	A12
SOP[3]	SPI0_D0	C10	B12	B12	A10

OSPI 和 SPI 等信号属于高速信号，从 MCU 到外设的路径上只要有存根，就会影响其信号完整性。存根是 PCB 走线的 Y 分支。存根会在这些高速信号上产生不必要的反射和寄生负载，因此必须在原理图和布局设计中加以注意。若未能注意这一点，可能导致 OSPI/QSPI 或 SPI 无法正常工作，或降低这些外设的最大可能工作速度。

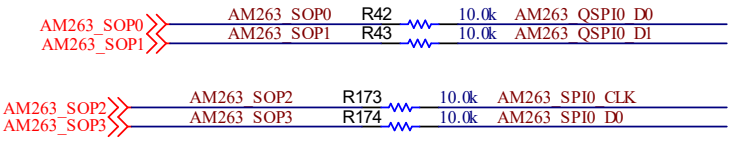


图 5-1. AM263x Launchpad 原理图摘录 – SOP[3:0] 功能和 SOP 路径

在 AM26x EVM 设计中，此 SOP 模式隔离是通过在 SOP 信号路径中添加 10KΩ 电阻器来实现的。该电阻器放置在靠近 AM263x BGA 焊盘的位置。这样形成的布局中，由 SOP 选择路径引入的额外短桩长度对信号功能模式工作的影响可降至最低，如图 5-2 和图 5-3 所示。

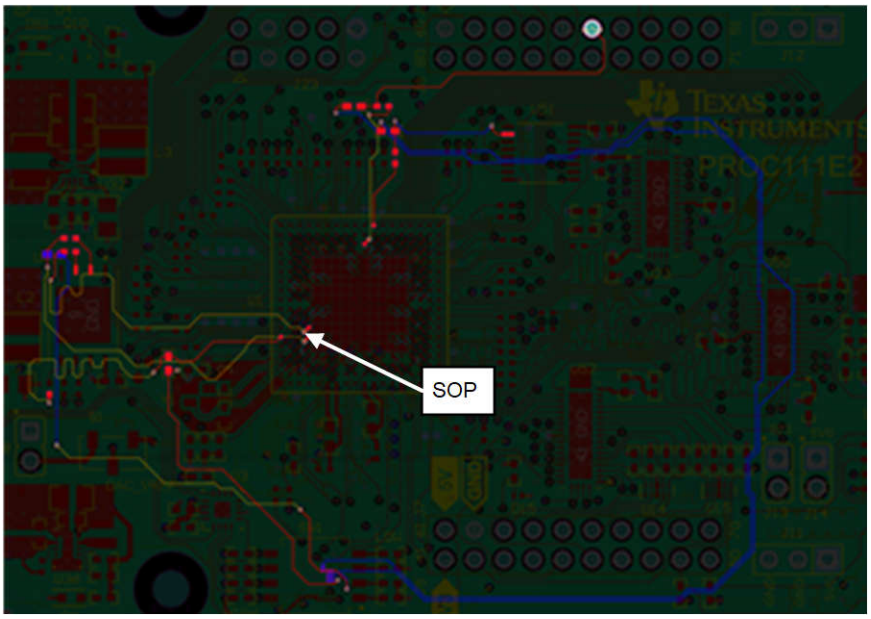


图 5-2. AM263x LaunchPad 布局摘录 – 所有 SOP[3:0] 功能和 SOP 路径

English Document: SPRABJ8
Copyright © 2026 Texas Instruments Incorporated

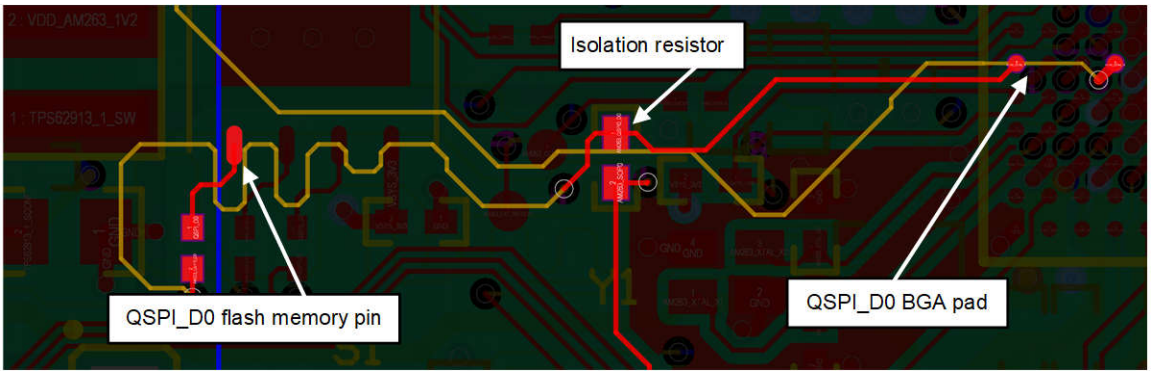


图 5-3. AM263x LaunchPad 布局摘录 – 突出显示 SOP0/QSPI_D0 路径和 SOP 隔离电阻器

English Document: SPRABJ8
Copyright © 2026 Texas Instruments Incorporated

6 OSPI 和 QSPI 存储器的实现

图 6-1 摘录显示了 LP-AM263 设计中 QSPI NOR 闪存接口的实现。

表 6-1. AM26x MCU 对 QSPI 和 OSPI 的支持

器件	QSPI 支持	OSPI 支持	IO 电压 (V)
AM263x	是	否	3.3V
AM263Px	是	是	3.3V
AM261x	是	是	1.8V 或 3.3V

备注

必须在板载 QSPI/OSPI 闪存存储器的以下信号上提供外部上拉电阻器：

- CSn
- WPn (IO2)
- HOLDn (IO3)

备注

必须在板载 QSPI/OSPI 闪存存储器的以下信号上提供外部下拉电阻器：

- DQS
- CLK

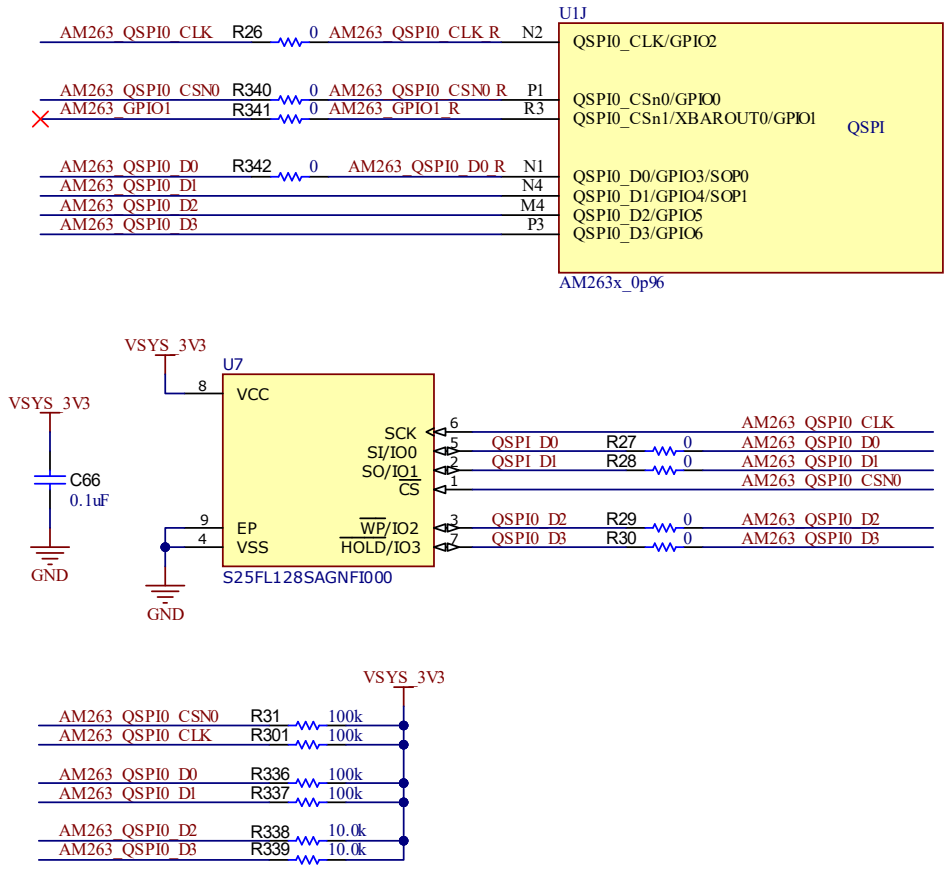


图 6-1. 示例 AM263x QSPI 控制器和 NOR 闪存存储器原理图

图 6-2 摘录显示了 TMDSCNCD263P AM263Px controlCARD 设计中 OSPI NOR 闪存接口的实现。

Copyright © 2026 Texas Instruments Incorporated

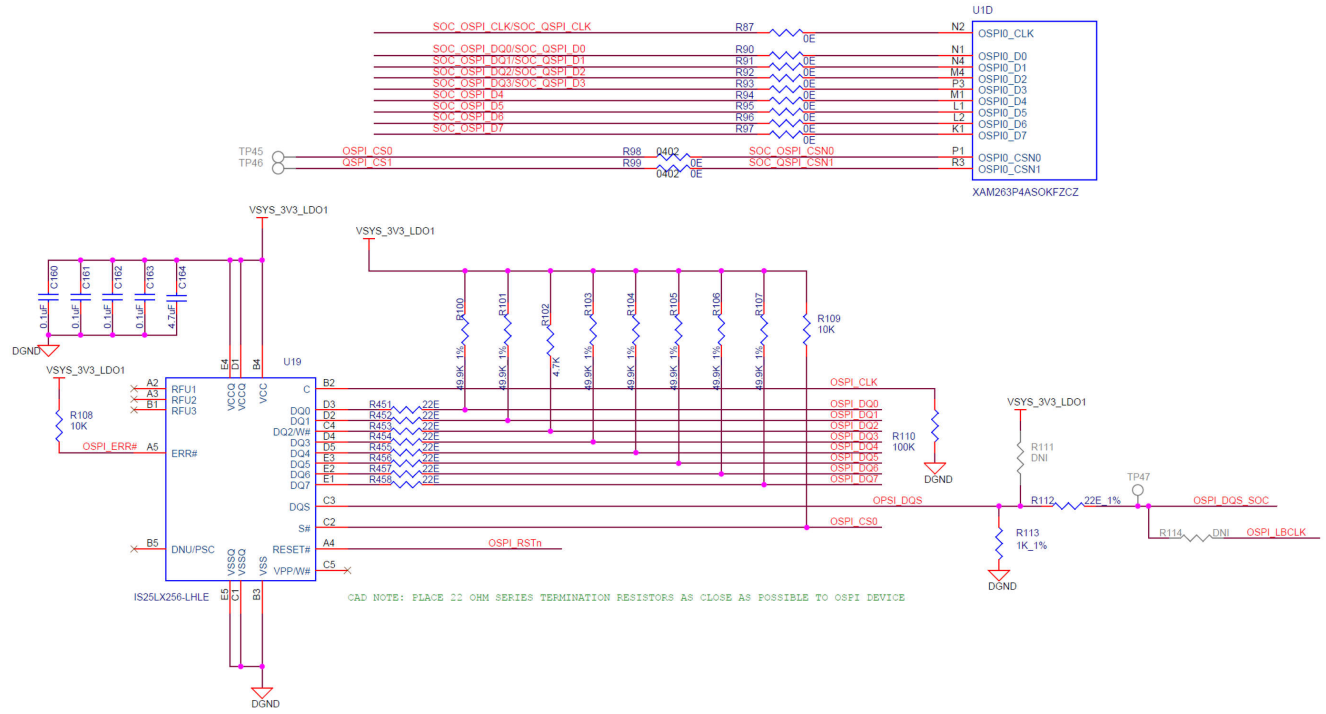


图 6-2. 示例 AM263Px OSPI 控制器和 NOR 闪存存储器原理图

6.1 串联终端电阻器

为了控制 OSPI/QSPI 总线转换过冲和下冲，请在 OSPI 和 QSPI 存储器引脚附近添加 22Ω 串联终端电阻器。该接口的 OSPI_D[7:0] 和 QSPI_D[3:0] 位用作读取接口，串联终端电阻器应放置在总线的存储器侧。

6.2 电源 - AM261x ZFG、ZEJ、ZNC

AM263x、AM263Px 和 AM261x ZCZ 封装器件仅支持 3.3V-IO 闪存。

AM261x ZFG、ZEJ、ZNC 封装能够在 3.3V 和 1.8V-IO 域中运行闪存。可以通过为相应的电源网提供适当的 IO 电压（3.3V 或 1.8V）来设置闪存 IO 电平：

表 6-2. AM261x ZFG、ZEJ、ZNC 闪存电源网

电源轨	器件电源网	相应的 OSPI 外设
VDDSHV_D	FLASH0	OSPI0
VDDSHV_E	FLASH1	OSPI1

例如、如果连接到 OSPI0 的 OSPI 器件在 1.8V 逻辑下工作，则将 1.8V 连接到 AM261x 器件的 VDDSHV_D 引脚。如果 OSPI1 在 3.3V 逻辑下工作，则将 3.3V 电源连接到 AM261x 器件的 VDDSHV_E 引脚。

6.3 拉电阻器 - QSPI

OSPI/QSPI 时钟、片选和数据线上也需要拉电阻器。根据具体的存储器和应用要求，不同的 OSPI/QSPI 存储器可能具有不同的上拉/下拉要求。这些拉电阻器建议基于 LP-AM263 设计中使用的 S25FL128x 存储器的实现。要确认所有引脚存储器配置详细信息，请参阅特定于器件的 QSPI 闪存数据表。在 QSPI 信号上包含以下拉电阻器：

- QSPIx_CSn[1:0] 和 QSPI_D[1:0] —— 包含连接至 VDDS33 IO 电源的 100kΩ 上拉电阻器。
- QSPIx_CLK — 包含接地的 100kΩ 下拉电阻器。
- QSPIx_D[2] — 连接到 VDDS33 IO 电源的 10kΩ 上拉电阻器。这会禁用 S25FL128 闪存上的写保护模式。
- QSPIx_D[3] — 连接到 VDDS33 IO 电源的 10kΩ 上拉电阻器。这将禁用 S25FL128 闪存存储器上的保持模式。

English Document: SPRABJ8
Copyright © 2026 Texas Instruments Incorporated

备注

上述上拉电阻器和下拉电阻器要求是因为 ROM 最初以 1S 模式引导，而支持的 SPI 模式为模式 0 和模式 3。

6.4 拉电阻器 - OSPI

根据具体的存储器和应用要求，不同的 OSPI 存储器具有不同的上拉/下拉要求。这些拉电阻器建议基于 TMDSCNCD263P 设计中使用的 IS25LX256x 存储器的实现。要确认所有引脚存储器配置详细信息，请参阅特定于器件的 OSPI 闪存存储器数据表。在 OSPI 信号上包含以下拉电阻器：

- OSPIx_CLK — 包含连接到 GND 的 100kΩ 下拉电阻器
- OSPIx_CSn — 连接到 IO 电源的 10kΩ 上拉电阻器
- OSPIx_DQS — 连接到 GND 的 1kΩ 下拉电阻器
- OSPIx_D[2] — 连接到 IO 电源的 4.7kΩ 上拉电阻器。这会禁用 IS25LX256 闪存上的写保护模式。
- OSPIx_D[1:0] 和 OSPI_D[7:3] —— 连接到 IO 电源的 49.9kΩ 上拉电阻器
- OSPIx_RESET_OUTn —— 连接到 IO 电源的 10kΩ 上拉电阻器

默认情况下，较强的上拉电阻器用于禁用写保护和保持模式。较弱的上拉电阻器用于使线路在事务之间保持有效的逻辑电平。必须将拉电阻器放置在靠近 OSPI 和 QSPI 存储器引脚的位置，以防止形成任何额外的布线残桩。

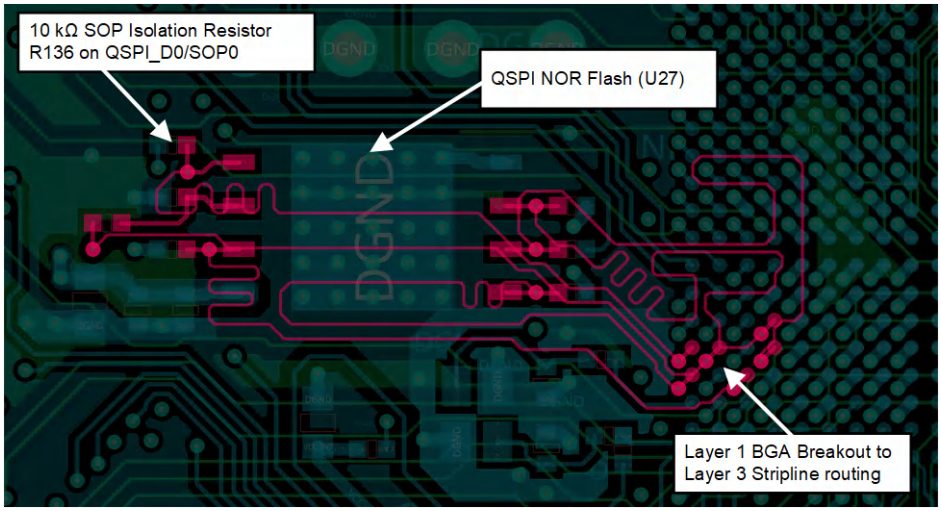


图 6-3. LP-AM263 LaunchPad 布局摘录 – 突出显示 SOP0/QSPI_D0 路径和 SOP 隔离电阻器

6.5 OSPI 和 QSPI 信号的等长匹配

由于 OSPI 和 QSPI 是高速接口，因此 QSPI/OSPI 存储器必须尽可能靠近 AM26x BGA 封装焊盘放置。在 PCB 布局中，这些信号走线必须与相应的时钟信号进行等长/偏斜匹配。请参阅以下部分，了解布线延迟和偏移匹配限制。

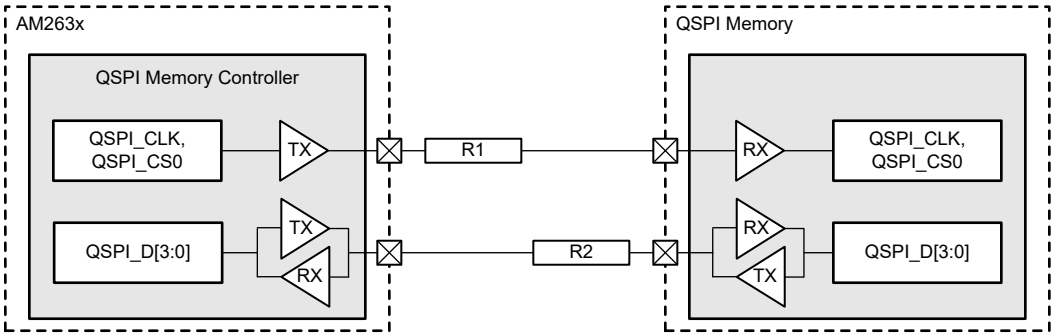


图 6-4. AM26x QSPI - 布线规则图

English Document: SPRABJ8
Copyright © 2026 Texas Instruments Incorporated

图 6-5 和表 6-4 中提供了 OSPI 存储器接口的附加布线指南。这些指南用作最大布线延迟和偏斜匹配限制。OSPI 存储器必须尽可能靠近 AM263Px 和 AM261x BGA 封装放置。

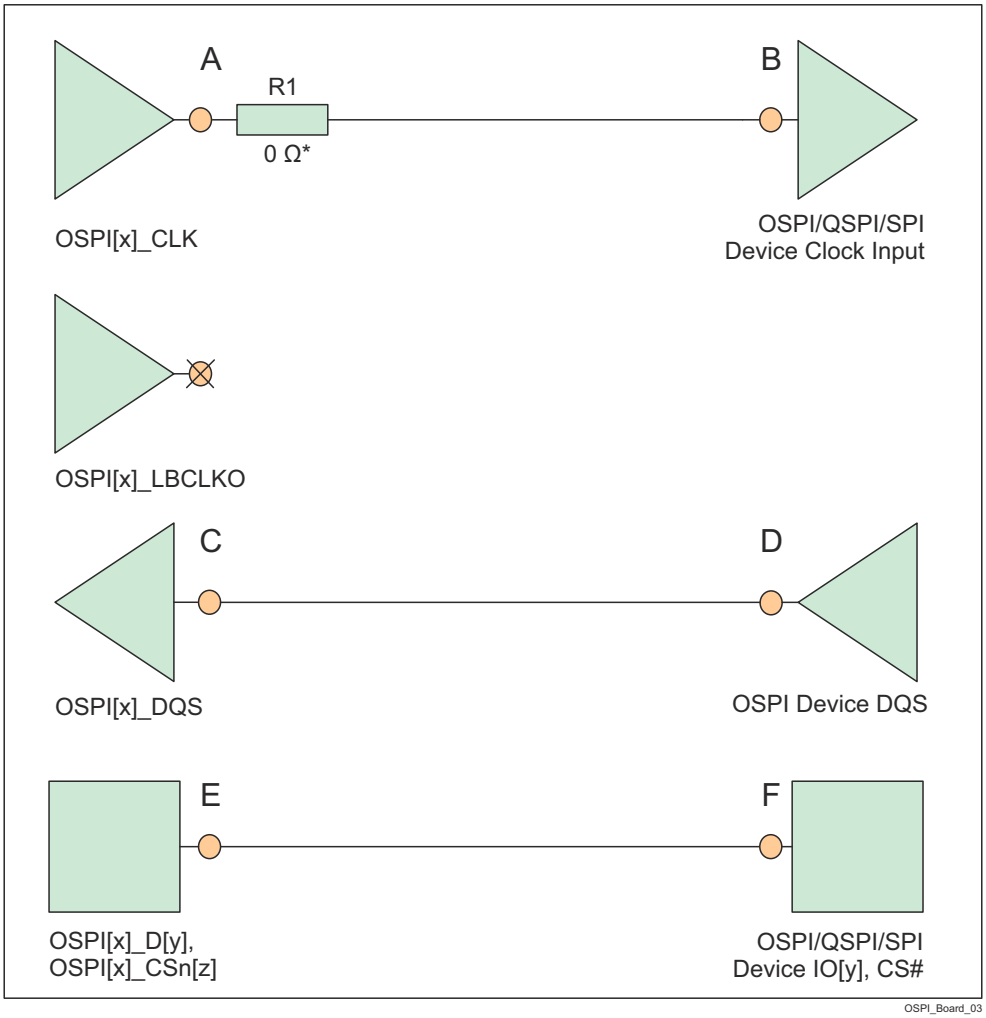


图 6-5. AM263Px/AM261x OSPI — 布线规则图

English Document: SPRABJ8
Copyright © 2026 Texas Instruments Incorporated

表 6-3. AM26x QSPI – 建议的布线规则

规格编号	规格	值	单位
1	QSPI_CLK、QSPI_CS0、QSPI_D[3:0] 最大延迟	450	ps
2	QSPI_CLK 至 QSPI_D[3:0] 最大偏斜	50	ps
3	近似最大布线距离	3214	mil
4	近似最大布线偏斜	357	mil
5	串联终端电阻器（上图中的 R1）必须靠近 AM263x、AM263Px、AM261x 的 QSPI_CLK 发送引脚放置，以控制时钟线路的上升时间和反射。	可变，0 到 40	Ω
6	串联端接电阻（上图中的 R2）必须靠近所连接存储器的 QSPI 数据引脚放置，以控制数据线路的上升时间和反射。	可变，0 到 40	Ω

表 6-4. AM263Px 和 AM261x OSPI – 建议的布线规则

规格编号	规格	值	单位
1	OSPI_CLK、OSPI_CS0、OSPI_D[7:0] 最大延迟	450	ps
2	OSPI_CLK 至 OSPI_D[7:0] 和 OSPI_CSn 最大偏斜	60	ps
3	OSPI_CLK 至 OSPI_DQS 最大偏斜	30	ps
4	近似最大布线距离	3214	mil
5	OSPI_CLK 至 OSPI_D[7:0] 和 OSPI_CSn 近似最大布线偏斜	429	mil
6	OSPI_CLK 至 OSPI_DQS 近似最大布线偏斜	214	mil
7	串联端接电阻器（上图中的 R1）必须靠近 AM263Px 的 OSPI_CLK 发送引脚放置，以控制时钟线路的上升时间和反射。	可变，0 到 40	Ω
8	串联端接电阻必须靠近所连接存储器和 AM263Px 的 OSPI 数据引脚放置，以控制数据线路的上升时间和反射。	可变，0 到 40	Ω

备注

假设 50Ω FR4 微带或带状线传输线路中的传播延迟典型值为 140ps/in，计算得出近似布线距离。必须使用 2D 场求解器或适当的封闭式近似阻抗模型，以确认特定层叠和布线的更精确传播延迟。

6.6 ROM OSPI 和 QSPI 引导要求

以下章节将详细介绍 AM26x MCU 从 QSPI 或 OSPI 存储器件引导的 ROM 引导要求。

6.6.1 AM263x QSPI 引导引脚要求

以下引脚在器件的引导 ROM 中配置，用于实现从 QSPI 闪存器件引导。必须使用这些引脚来连接 AM263x MCU 和 QSPI 闪存。

English Document: SPRABJ8
Copyright © 2026 Texas Instruments Incorporated

表 6-5. 在引导 ROM 中配置的 AM263x QSPI 引脚

焊球名称	信号名称	GPIO 编号	PinMux 模式 #
QSPI0_CSn0	QSPI0_CSn0	0	0
QSPI0_CLK0	QSPI0_CLK0	2	0
QSPI0_D0	QSPI0_D0	3	0
QSPI0_D1	QSPI0_D1	4	0
QSPI0_D2	QSPI0_D2	5	0
QSPI0_D3	QSPI0_D3	6	0
QSPI_CLKLB	QSPI_CLKLB	-	0

6.6.1.1 复位

当使用大于 128MB 的 QSPI\SPI 闪存器件时，必须使用具有 RESET 信号的闪存器件封装。这是因为 ROM 只使用 3 字节寻址模式（地址为 24 位）。要寻址完整的存储器地址范围，软件通常需切换到 4 字节寻址模式。如果 MCU 发生复位（例如由于热复位），则 ROM 会执行预期的 3 字节寻址模式，但闪存会保留在 4 字节寻址模式。为了使闪存器件返回 3 字节寻址模式，必须使用此信号来复位闪存器件。这通常可通过使用闪存存储器器件上的 RESET 信号来实现。ROM 代码不发出软件复位命令。

有关更多信息，请参阅 AM263x 技术在考手册中*初始化*章节的 *QSPI 引导*部分。

备注

如果 OSPI/QSPI 闪存器件大于 128Mb，则必须使用具有 RESET 信号的闪存器件封装。WARMRESET 必须是闪存的复位源之一。

备注

WARMRSTn 是一个漏极开路引脚，因此应配备一个连接到 3.3V 的外部上拉电阻器。

6.6.2 AM263Px 的 OSPI 和 QSPI 引导引脚要求

以下引脚在器件的引导 ROM 中配置，用于实现从 OSPI（或 QSPI）闪存器件引导。必须使用这些引脚来连接 AM263Px MCU 和闪存器件时。

表 6-6. 在引导 ROM 中配置的 AM263Px OSPI 引脚（ZCZ_C 和 ZCZ_S 封装）

焊球名称	信号名称	GPIO 编号	PinMux 模式 #
QSPI0_CSn0	OSPI0_CSn0	0	0
QSPI0_CLK0	OSPI0_CLK0	2	0
QSPI0_D0	OSPI0_D0	3	0
QSPI0_D1	OSPI0_D1	4	0
QSPI0_D2	OSPI0_D2	5	0
QSPI0_D3	OSPI0_D3	6	0
MCAN0_RX	OSPI0_D4	7	2
MCAN0_TX	OSPI0_D5	8	2
MCAN1_RX	OSPI0_D6	9	2
MCAN1_TX	OSPI0_D7	10	2

AM263Px 可以使用 GPIO20、GPIO66 或 GPIO64 上专用的 OSPI0_RESET_OUT 多路复用模式复位 OSPI 闪存器件。在 AM263Px controlCARD 上，板载 OSPI 闪存复位信号由 WARMRSTn 和 OSPI0_RESET_OUT0 作为输入的与门输出生成。采用这种方法，在 AM263Px 器件断电再上电时，或通过软件复位命令或 WARM-RESET 执行复位时，均可复位 Flash 器件。

Copyright © 2026 Texas Instruments Incorporated

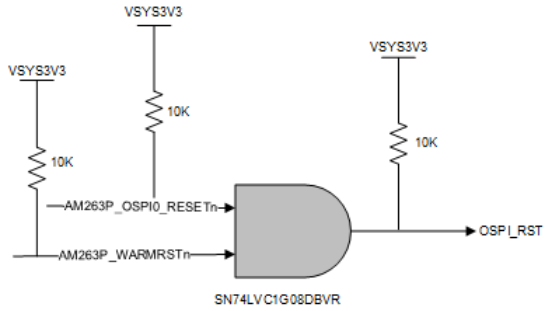


图 6-6. AM263Px LaunchPad OSPI 复位方案（ZCZ_C 和 ZCZ_S）

备注

WARMRSTn 是一个漏极开路引脚，因此 WARMRSTn 应具有一个连接到 3.3V 的外部上拉电阻。

6.6.2.1 AM263Px SIP OSPI 复位实现 (ZCZ_F)

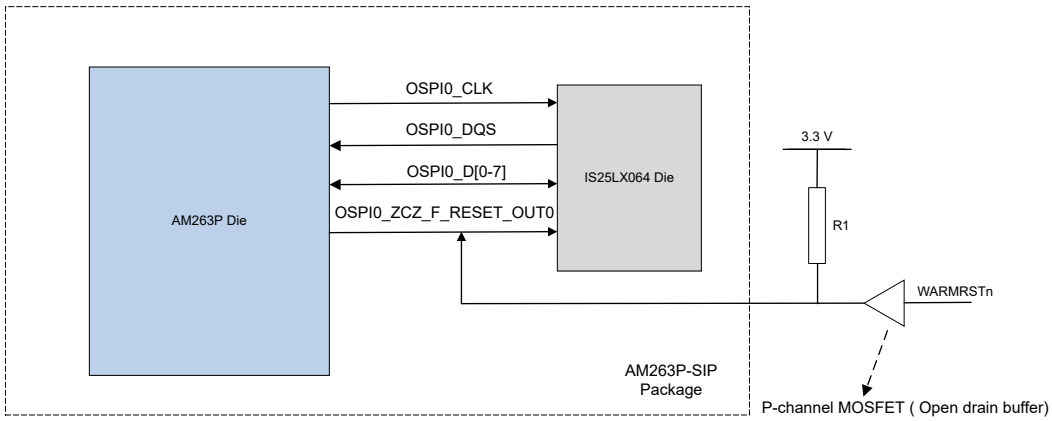


图 6-7. AM263Px SIP OSPI 复位实现 (ZCZ_F)

对于 AM263Px SIP（芯片级封装）器件，引导 ROM 会配置连接至片上 OSPI 闪存的内部器件焊盘以实现引导。因此，请遵循图 6-8 中所示的以下引脚连接要求。

- 标记为 NC 的引脚必须保持未连接状态且没有 PCB 走线。
- 必须通过尽可能靠近器件放置的单独外部 4.7kΩ 拉电阻器，将 L1 引脚连接到 VDDS33。
- 要复位连接在 AM263Px SIP 封装 (ZCZ_F) 内部的 OSPI Flash 裸片，必须将 OSPI0_ZCZ_F_RESET_OUT0（J3 引脚）连接至 WARMRSTn 的漏极开路等效位置。

English Document: SPRABJ8
Copyright © 2026 Texas Instruments Incorporated

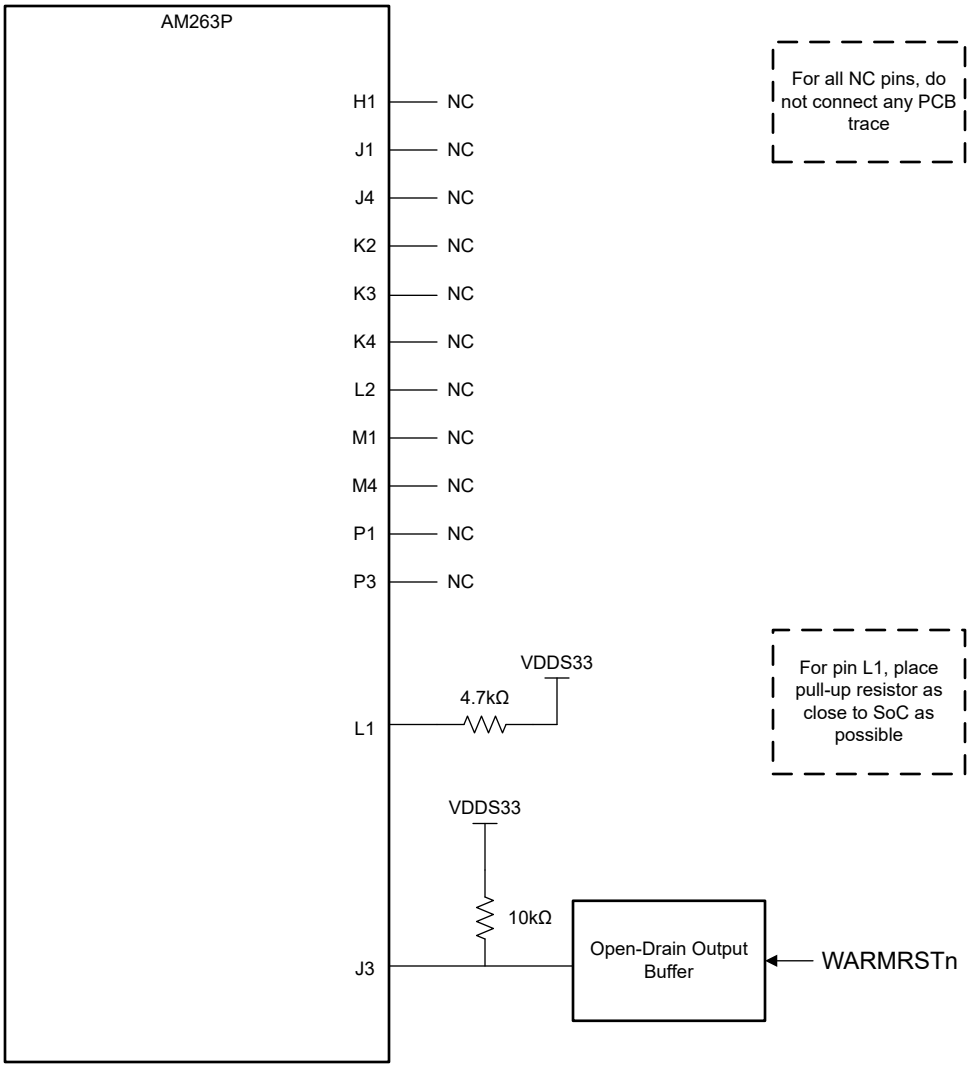


图 6-8. AM263Px SIP (ZCZ_F) OSPI 复位实现

6.6.3 AM261x 的 OSPI 和 QSPI 引导引脚要求

以下引脚在器件的引导 ROM 中配置，用于实现从 OSPI（或 QSPI）闪存器件引导。必须使用这些引脚来连接 AM261x MCU 和闪存器件时。

表 6-7. 在引导 ROM 中配置的 AM261x ZCZ 封装 OSPI 引脚

焊球名称	信号名称	GPIO 编号	PinMux 模式 #
GPIO0	OSPI0_CSn0	0	0
GPIO2	OSPI0_CLK0	2	0
GPIO3	OSPI0_D0	3	0
GPIO4	OSPI0_D1	4	0
GPIO5	OSPI0_D2	5	0
GPIO6	OSPI0_D3	6	0
GPIO7	OSPI0_D4	7	1
GPIO8	OSPI0_D5	8	1
GPIO9	OSPI0_D6	9	1
GPIO10	OSPI0_D7	10	1

English Document: SPRABJ8
Copyright © 2026 Texas Instruments Incorporated

表 6-8. 在引导 ROM 中配置的 AM261x ZFG、ZEJ、ZNC 封装 OSPI 引脚

封装名称	函数名称	GPIO 编号	PinMux 模式 #
GPIO62	OSPI0_CSn0	62	2
GPIO10	OSPI0_CLK0	10	2
GPIO2	OSPI0_D0	2	1
GPIO70	OSPI0_D1	70	2
GPIO7	OSPI0_D2	7	2
GPIO69	OSPI0_D3	69	2
GPIO76	OSPI0_D4	76	2
GPIO67	OSPI0_D5	67	2
GPIO8	OSPI0_D6	8	2
GPIO68	OSPI0_D7	68	2

备注

对于 OSPI 引导模式下的 AM261x 器件，引导 ROM 会将 GPIO61 配置为 OSPI0_RESET_OUT0 信号，并在此引导模式期间将该引脚驱动为低电平，以复位外部 OSPI 器件。但是，由于 OSPI 控制器中的复位信号管理问题，该引脚不会在外部 OSPI 闪存器件复位后失效，从而使任何外部闪存器件保持在复位状态并导致引导失败。**有关更多详细信息和解决方法，请参阅**勘误表 AM261 Sitara™ 微控制器硅片版本 1.0**。**

6.7 其他 OSPI 和 QSPI 参考

有关 AM263x 微控制器上 QSPI 闪存存储器兼容性和引导要求的更多信息，请参阅 *AM263x QSPI 闪存选择指南*。

备注

AM263x controlCARD 和 LaunchPad EVM 上使用了 Infineon 的 S25FL128SAGNFI000 四通道 SPI 器件。

有关 AM263Px 微控制器上 OSPI 闪存存储器兼容性和引导要求的更多信息，请参阅 *AM263P OSPI、QSPI 闪存选择指南*。

备注

AM263Px controlCard 和 LaunchPad EVM 以及 AM261x controlSOM 和 LaunchPad EVM 上使用了 ISSI 的 IS25LX256-LHLE 八通道 SPI 器件。

有关 AM261x 微控制器上 OSPI 闪存存储器兼容性和引导要求的更多信息，请参阅 *AM261x OSPI、QSPI 闪存选择指南*。

备注

AM261x LaunchPad EVM 上采用了 Macronix 的 MX25UW6445GXDQ00 八通道 SPI 器件。

Copyright © 2026 Texas Instruments Incorporated

7 调试接口

在设计 AM26x PCB 系统时，应使用 MCU 的调试接口连接器件内核，并在平台启动时检查器件运行状况。AM26x 器件上的两个主要调试接口是 JTAG、TRACE 和 UART。

7.1 JTAG 仿真器和跟踪

AM26x MCU 支持多种不同类别的 JTAG 仿真器，这些仿真器具有或不具有额外的 ARM 跟踪捕获功能。

为了方便开箱即用，LP-AM263、LP-AM263P、LP-AM261、TMDSCNCD263 和 TMDSCNCD263P EVM 设计使用 JTAG 实现了板载 XDS110 仿真器，并使用 TI TM4C MCU 和高压隔离实现了辅助 UART-USB 桥。然而，对于实际的定制系统，必须实施更简单的 JTAG 或跟踪调试接头。这允许在开发过程中根据需要将外部 JTAG 和跟踪仓体连接到系统。然后，可以完全移除或拔下接头，以实现系统的全面生产，从而节省成本。

一种常见的 JTAG 和跟踪实施方案是 [图 7-1] 中显示的 MIPI 业界通用 MIPI-60。这基于 Samtec QSH-030-01-L-D-A。AM263x controlCARD 扩展坞 (TMDSHSECDOCK-AM263) 和 AM261x controlSOM EVM (AM261-SOM-EVM) 具有 MIPI-60，其中微控制器的完整 JTAG 和 16 位跟踪接口已拆分至接头。该实施方案与 TI XDS560v2 JTAG 或跟踪 POD 以及其他第三方 JTAG 或跟踪 POD 兼容。其他 TI JTAG 调试程序连接位于 JTAG 连接器和引脚排列文档中。

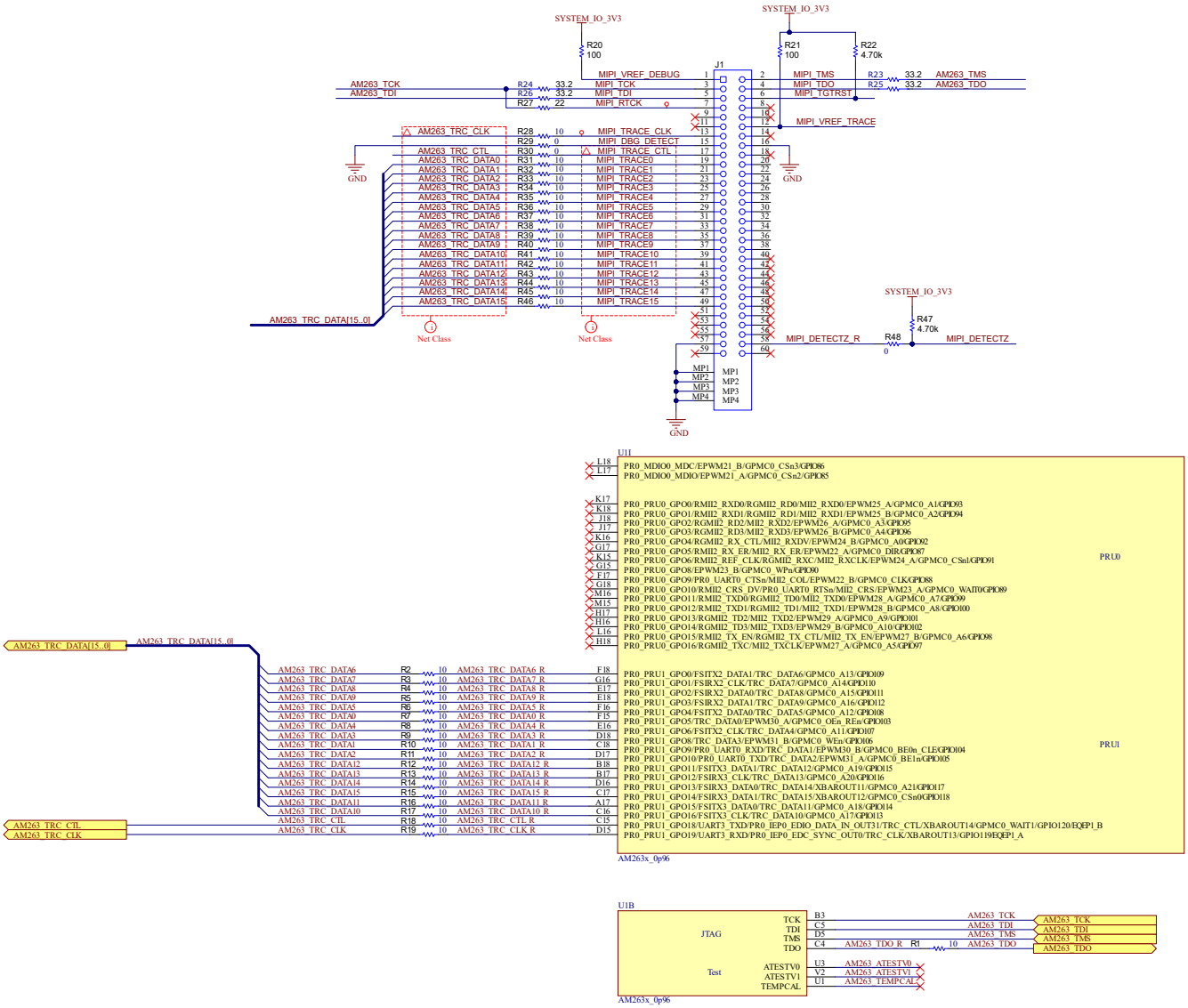


图 7-1. MIPI-60 JTAG 和 16 位跟踪实施示例

English Document: SPRABJ8
Copyright © 2026 Texas Instruments Incorporated

7.2 UART

在所有 AM26x 器件中，器件 ROM 代码会将 UART0 配置为 115200kbaud 和 8-n-1 模式，当 AM26x 处于 UART 引导模式时，系统会使用 XMODEM 协议传输引导数据。

将 UART0_RX 和 UART0_TX 信号路由至可访问的接头，将 UART 连接到 USB 桥接器，以访问引导数据并在系统启动时检查 AM26x MCU 的运行状况。这有助于调试原型系统，并确保 AM26x 器件在上电时正确启动。

8 USB

AM261x 系列微控制器器件包括一个内部 USB 2.0 PHY，支持 USB 器件模式、USB 主机模式和 USB 双角色模式操作。内部 USB 2.0 PHY 在 USB 2.0 主机和器件模式下均能实现高速（HS，480Mbps）和全速（FS，12Mbps）运行，仅在主机模式下能实现低速（LS，1.5Mbps）运行。

内部 USB PHY 的关键组件是双向差分数据引脚 USB0DM (D-) 和 USB0DP (D+)。USB0_ID 信号是与 USB 插座连接的外部网络，指示 USB2.0 PHY 正在以哪种模式运行。在 AM261x EVM 上，USB0_ID 设置有开关，允许对两种模式下的 USB 2.0 PHY 进行评估。

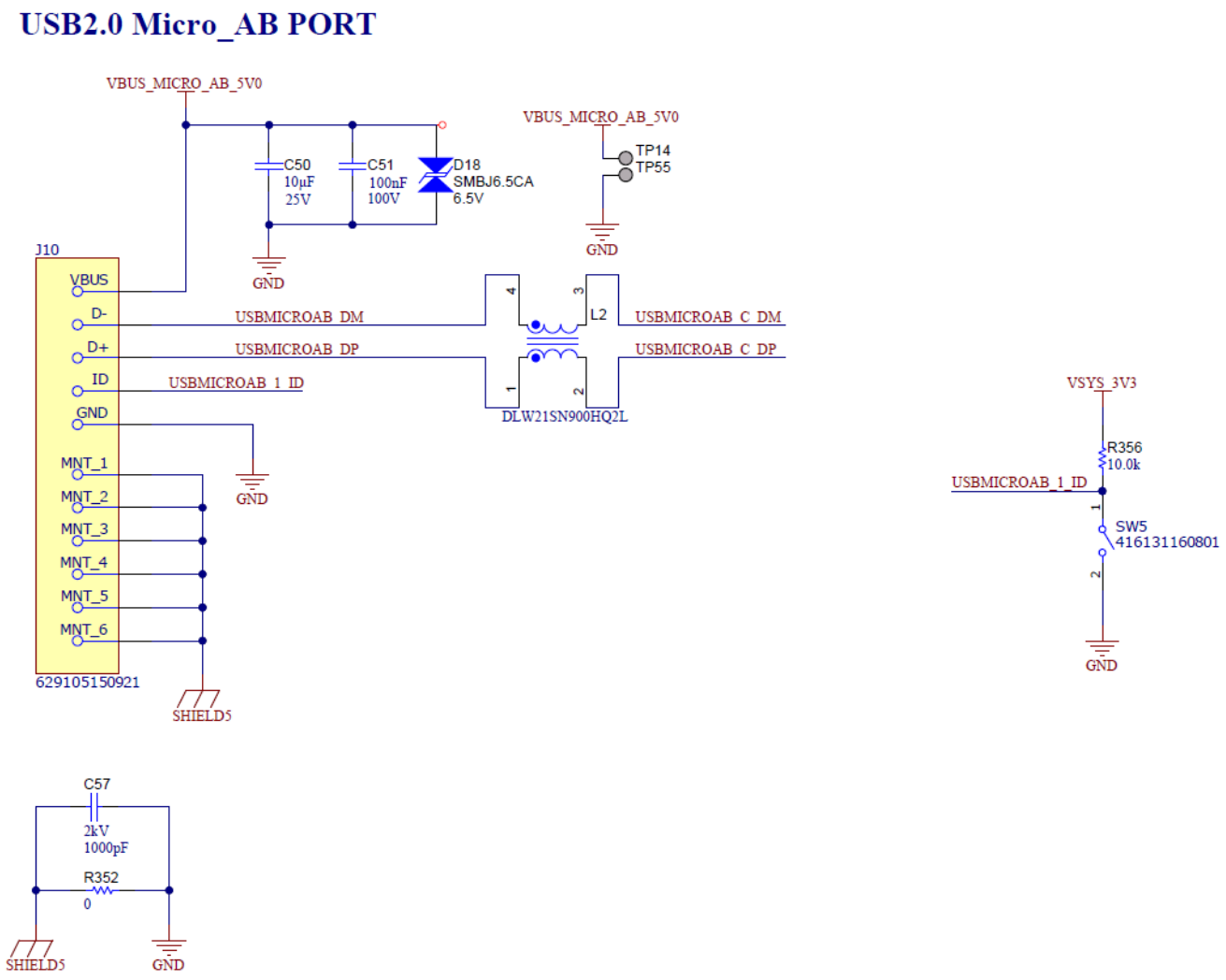


图 8-1. 显示关键信号的 USB 2.0 Micro-AB 端口 - LP-AM261

为了获得最佳效果，在布线 USB 差分对时需要遵循以下设计规则和建议：

- 在顶层布置 USB 差动对，其走线宽度和差分间距与 PCB 堆叠相匹配，以实现 90 Ω 差动阻抗。

English Document: SPRABJ8
Copyright © 2026 Texas Instruments Incorporated

  - 实现同时达到 90Ω 差动阻抗和 45Ω 单端阻抗的走线几何形状可能并非易事。在此设计中，要优化的最关键参数是 90Ω 差动阻抗。
  - 无法实现在微控制器引脚处以及 ESD 抑制器和 USB 连接器处直接保持所需的 90Ω 差动走线阻抗的走线宽度和间距。充分减小这些偏差，以确保保持对称。
- 差动对内的各个走线的长度匹配需要达到 0.150 英寸（3.81 毫米）以内。
- 向 D+ 和 D- 信号添加元件时，请避免使用短截线。ESD 抑制器等器件必须直接位于信号走线上。
- 布线差动对时保持对称。一些 PCB 布局工具可以协助进行此类布线。如有可能，请避免使用过孔。如果需要切换层，则对中的两个信号都会通过走线上相同距离的通孔。
- USB 差动对的总布线长度限制为 12 英寸 (30.48 cm)。
- 将 ESD 抑制器尽可能靠近 USB 连接器放置，充分缩小任何阻抗不连续性区域。AM261x EVM 使用 TPD4E02B04 ESD 保护二极管。

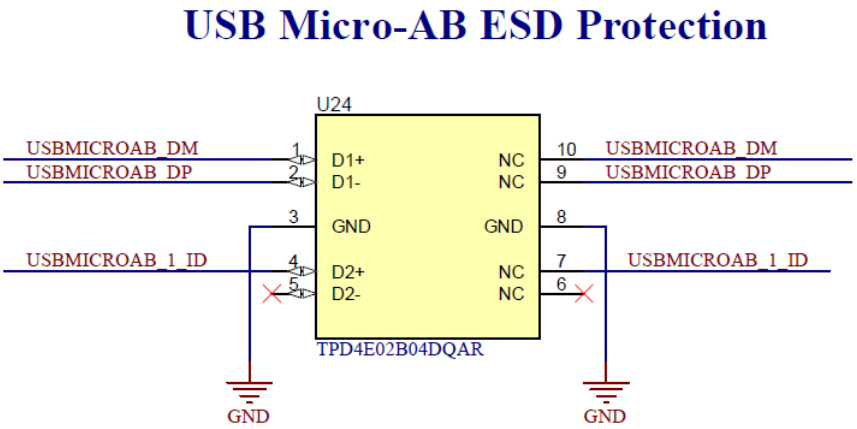


图 8-2. USB ESD 抑制 - LP-AM261

- 为了获得出色的 ESD 和 EMI 性能，请创建一个与 USB 连接器的金属屏蔽器连接的底盘接地。
- 根据系统设计，共模扼流圈有助于通过 EMI 测试。Murata 制造的 DLW21SN 共模扼流圈是一种推荐器件，并用于 AM261x EVM。如果设计中需要考虑 EMI，那么 TI 建议在设计中将扼流圈的放置在靠近 USB 连接器的位置。图 8-3 展示了 DLW21SN 扼流圈的放置。
- 有关更多高速 USB 平台设计指南（包括有关使用共模扼流圈的更多详细信息），请访问 USB.org。

Copyright © 2026 Texas Instruments Incorporated

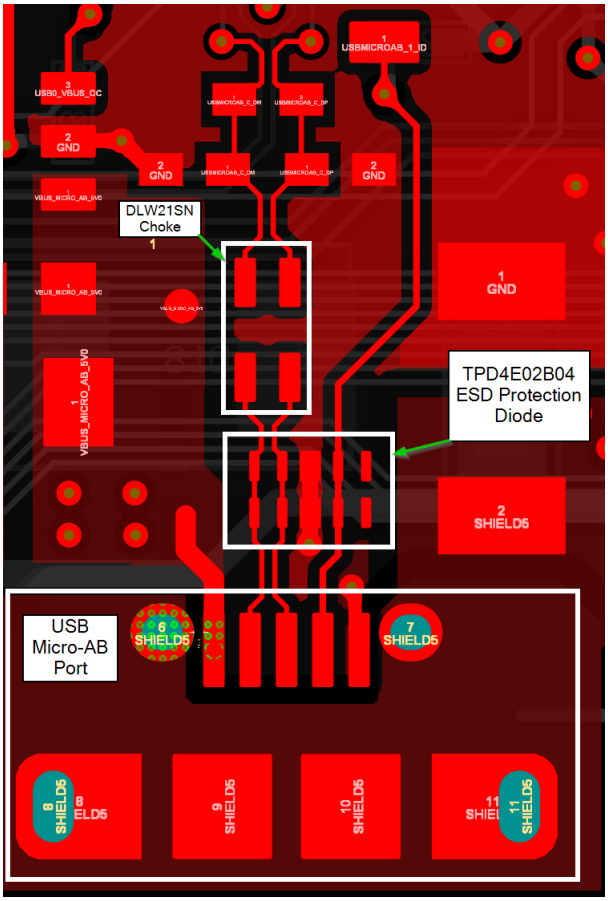


图 8-3. USB 布线示例

8.1 USB 器件模式

要在 USB2.0 器件模式下使用 AM261x 器件，除了 USB0_DM 和 USB0_DP 之外，唯一使用的信号是 USB0_VBUS，它位于 USB 2.0 Micro-AB、USB2.0 Type-A 和 USB 2.0 Type-B 插座的引脚 1 上。在 USB 器件模式下，USB0_VBUS 用于检测何时向 USB 连接器施加电压或从 USB 连接器移除电压，从而触发软件相应地管理内部 USB PHY。

为了指示器件模式运行，USB 插座上的 USB0_ID 引脚需要保持悬空或使用 10kΩ 电阻器上拉至有效逻辑电平。

English Document: SPRABJ8
Copyright © 2026 Texas Instruments Incorporated

8.2 USB 主机模式

对于仅主机配置中使用的 AM261x 器件，需要 USB0_DRVVBUS 信号。此 USB 2.0 PHY 信号连接到电源开关，例如在 AM261x LaunchPad 和 AM261x controlSOM EVM 设计中实现的 TPS2051B。电源开关控制对主机 USB 连接器的供电。请参阅 AM261x 数据表，确定哪些 IO 引脚上可使用 USB0_DRVVBUS 功能。

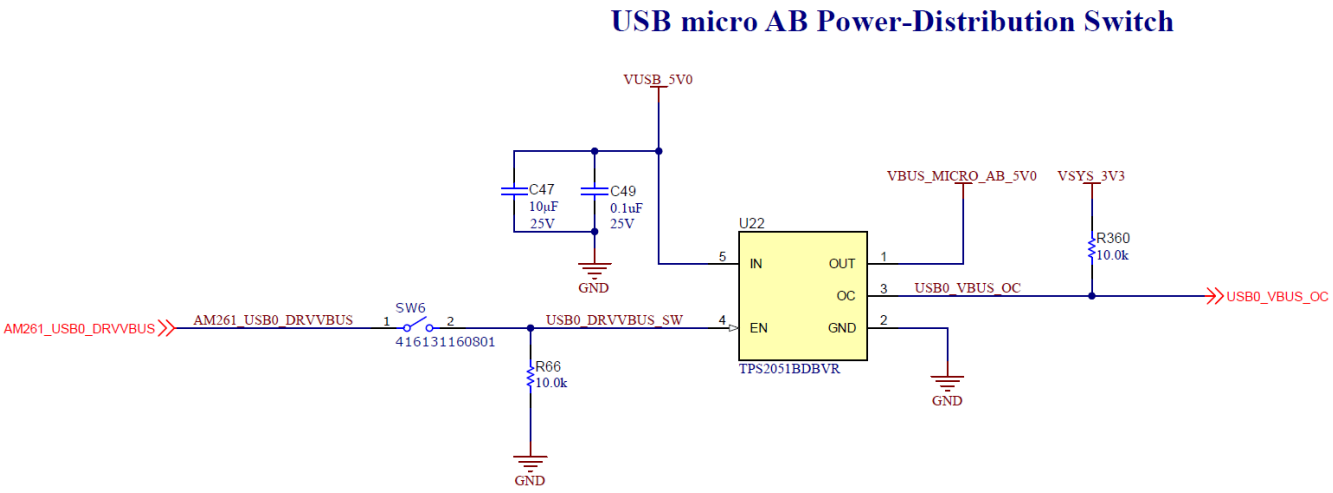


图 8-4. USB 主机模式电源开关 - LP-AM261

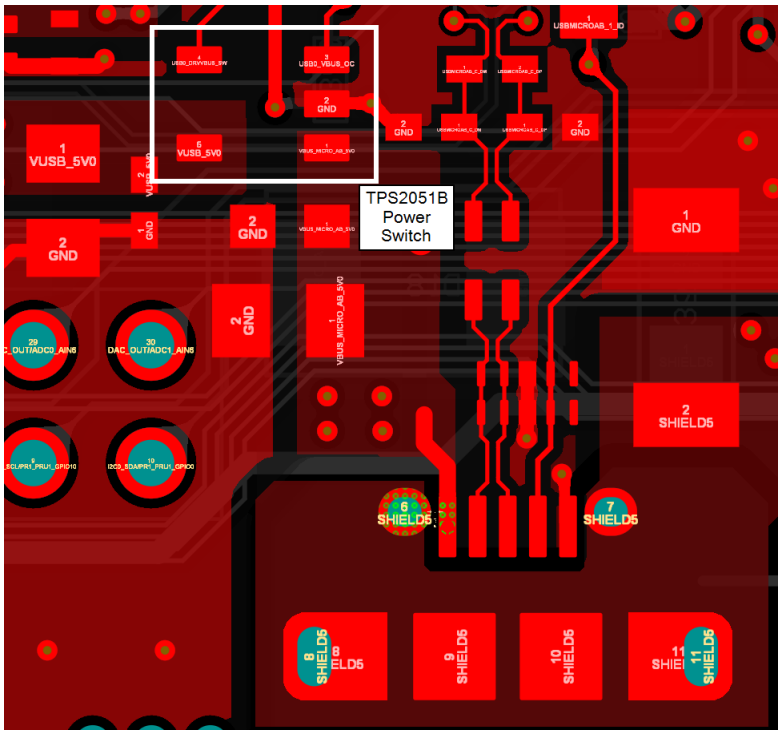


图 8-5. TPS2051B 布局示例 - LP-AM261

为了指示主机模式运行，USB 插座上的 USB0_ID 引脚需要连接到 GND。

English Document: SPRABJ8
Copyright © 2026 Texas Instruments Incorporated

9 多路复用外设

由于 AM26x MCU IOMUX 上存在大量的多路复用数字 I/O，建议设计人员充分利用 TI 系统配置工具 (SysConfig) 来试验和规划不同的引脚多路复用方案，然后再将设计提交到硬件。然后，生成的 SysConfig 引脚多路复用配置可用于原理图捕获、布局和软件驱动程序创建。

如需了解更多详情，请参阅 https://www.ti.com.cn/tool/SYSCONFIG。

10 数字外设

10.1 通用数字外设布线指南

在整个 AM26x PCB 设计中，需要遵循以下通用布线建议。45nm LVCMOS 工艺 I/O 可产生相对较快的边沿速率。如果没有针对传输线路效应进行规划，这可能会导致严重的过冲或下冲，即使 PCB 上的迹线相对较短也是如此。这些不受控制的电平转换会导致连接的 I/O 出现过压/欠压情况，从而损坏相关元件。此外，这些不受控制的转换可能会过度辐射，从而导致串扰和 EMI 合规性问题。

为缓解这些问题：

- 将所有数字 I/O 布线为受控阻抗传输线路（微带或带状线）。
- 将串联端接放置在每个 AM26x 发送引脚和所连接的相关 IC 的发送引脚附近。
  - 需要在新 PCB 硬件唤醒期间验证这些端接电阻器的值和性能。
  - 在某些情况下，可能不需要这些终端电阻器，但只有在测试后才能将其从设计中移除或去除。0Ω 电阻器可帮助创建需要终端电阻器的封装。
- 在相邻的层上使用实心接地回路平面进行布线。
- 使用接地回路环围绕持续开关信号（时钟、EPWM）进行布线。
- 使用接地回路环围绕敏感模拟信号（ADC/DAC 通道、VREF）进行布线。

有关外设布线的其他指导，请参考*高速接口布局指南*。

10.2 布线长度匹配

AM26x 微控制器配备了多个外设，这些外设需要严格遵守布线长度匹配指南。TI 强烈建议任何使用 AM26x 设计 PCB 系统并利用以下器件外设的工程师查看“*高速接口布局指南*”的内容，并将这些指南应用于 AM26x PCB 设计。

下面列出了需要布线长度匹配的 AM26x 数字外设：

表 10-1. AM26x 数字外设 - 布线长度匹配

AM26x 外设	适用器件	注释
USB	AM261x	• 有关更多信息，请参阅 节 8
QSPI	AM263x、AM263Px、AM261x	• 关键信号是 QSPI_D[3:0] 和 QSPI_CLK
OSPI	AM263Px、AM261x	• 关键信号为 OSPI_D[7:0] 和 OSPI_CLK
MMC	AM263x、AM263Px、AM261x	• 关键信号为 MMC0_D[3:0]、CLK 和 CMD
FSI	AM263x、AM263Px、AM261x	• 优先级较低，但有助于减少信号之间的偏差
RGMII 以太网	AM263x、AM263Px、AM261x	• RX 和 TX 信号至关重要 • RX 信号只需要与其他 RX 信号匹配 • TX 信号只需要与其他 TX 信号匹配 • RX 或 TX 信号组可以有不同的长度

English Document: SPRABJ8
Copyright © 2026 Texas Instruments Incorporated

11 模拟外设

11.1 通用模拟外设布线指南

在 AM26x PCB 设计的模拟部分中，需要遵循以下通用布线建议。模拟信号对串扰特别敏感，需要干净信号返回路径以更大限度地提高信号完整性。

为缓解这些问题：

- 通过模拟迹线和任何相邻迹线之间的接地隔离，尽可能隔离所有模拟信号。
- 在相邻的层上使用实心接地回路层对模拟信号进行布线。
- 避免将模拟信号引到高速或电流信号附近。
  - 当无法完全避开高速信号或电流信号时，请垂直交叉布线，以尽可能多地避免串扰。
- 添加信号放大器和滤波器网络可以提高信号完整性。

对于 AM26x 上的 SAR ADC，请参阅器件特定的 AM26x 技术参考手册和寄存器附录文档的“*选择采集窗口持续时间*”部分以获取更多指导。

11.1.1 旋转变压器 ADC 布线指南

AM263Px 传感器封装包含两个旋转变压器数字转换器 (RDC) 外设。旋转变压器是一种旋转电力变压器，用于测量通常连接到电机的旋转度数。典型的旋转变压器由一个旋转变压器（励磁绕组）和两个绕组组成，它们在定子上相隔 90 度。励磁正弦信号会施加到旋转变压器的励磁线圈上，电机的旋转会在旋转变压器的正弦和余弦感应线圈上产生调制正弦和余弦输出。调制正弦和余弦信号的角度与转子相对于定子的机械角度以及电机旋转速度直接相关。

AM263Px RDC 会生成激励信号作为 PWM，该 PWM 通过激励放大器路由，然后施加到电机旋转变压器上的励磁绕组。然后，旋转变压器正弦和余弦输出被路由回 RDC 模拟输入，其中 RDC IP 转换和解读信号，以确定电机角度和旋转速度。图 11-1 展示了使用 AM263P 器件的基于旋转变压器的设计示例方框图。

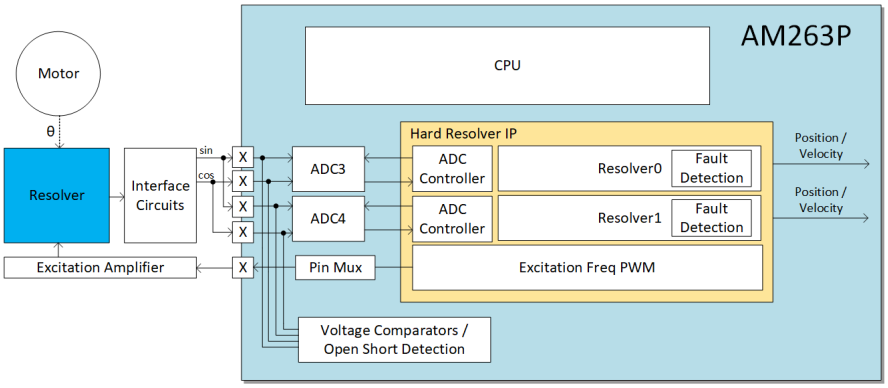


图 11-1. AM263P 旋转变压器 ADC 系统

来自 AM263Px 的激励 PWM 信号支持高达 20KHz 的频率，并且与其他频率相似的数字信号一样，应遵循相同的 PCB 布线指南。有关对数字信号进行布线的指导，请参阅通用数字外设布线指南。

励磁放大器用于将激励 PWM 信号转换为正弦波作为电机旋转变压器的输入。这些信号以及旋转变压器输出到 AM263Px RDC 输入的正弦和余弦信号应与其他模拟信号遵循相同的 PCB 布线指南。有关对模拟信号进行布线的指导，请参阅通用模拟外设布线指南。

English Document: SPRABJ8
Copyright © 2026 Texas Instruments Incorporated

12 层堆叠

AM263x、AM263Px 以及 AM261x MCU 的四个封装之一采用 ZCZ0324A 324 焊球、0.8mm 间距、18 × 18 全 NFBGA 阵列 15mm × 15mm 封装（在本文档中称为“ZCZ 封装”）。该封装上的间距较大可实现低层数功耗和完整信号扇出。对于 LP-AM263 EVM，6 层堆叠设计能够在器件上完整排布所有电源和信号引脚，以实现电路板的 LaunchPad 外形。下面的 LP-AM263 LaunchPad 堆叠代表了目前 ZCZ 封装设备最优化的堆叠示例。

对于 ZCZ 封装，很可能实现更低层数的堆叠，尤其是在考虑部分信号扇出设计时。不过，TI 尚未探索这些问题。

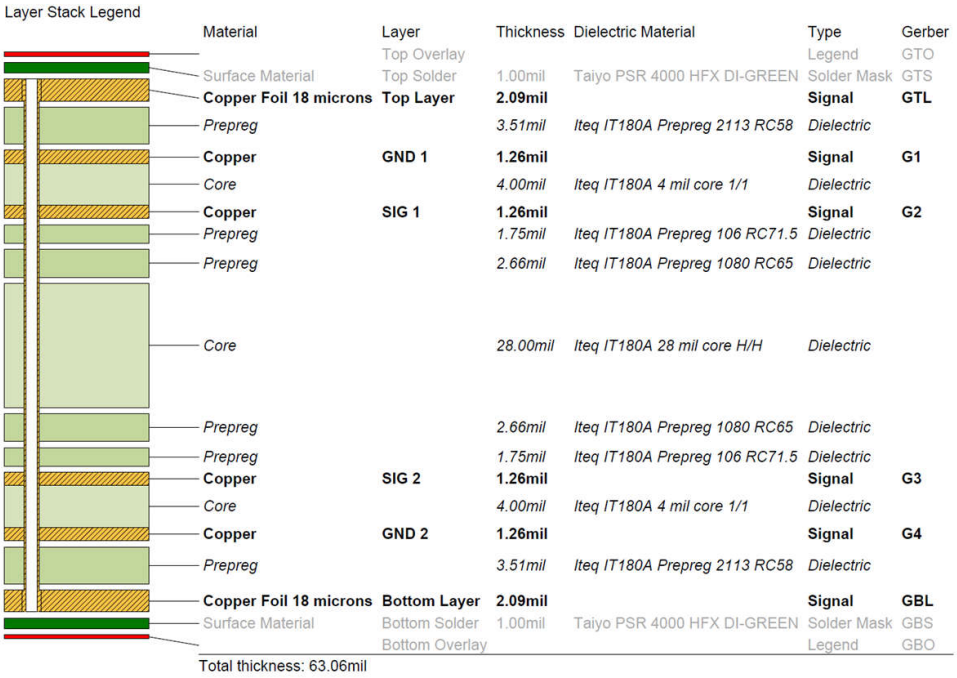


图 12-1. LP-AM263 堆叠

下表介绍了 AM261x MCU 的其他三个封装：

表 12-1. AM261x 封装尺寸

封装名称（类型、焊球数）	封装尺寸	BGA 间距	BGA 阵列
ZNC （NFBGA，293）	10mm × 10mm	0.5mm	19 × 19
ZEJ （NFBGA，256）	13mm × 13mm	0.8mm	16 × 16
ZFG （NFBGA，304）	13.25mm × 13.25mm	0.65mm	20 × 20

对于 LP-AM261 EVM，6 层堆叠设计能够在 ZFG 封装器件上完整排布所有电源和信号引脚，以实现电路板的 LaunchPad 外形。下面的 LP-AM261 LaunchPad 堆叠代表了目前针对 ZFG 封装优化的全系统堆叠示例：

English Document: SPRABJ8
Copyright © 2026 Texas Instruments Incorporated

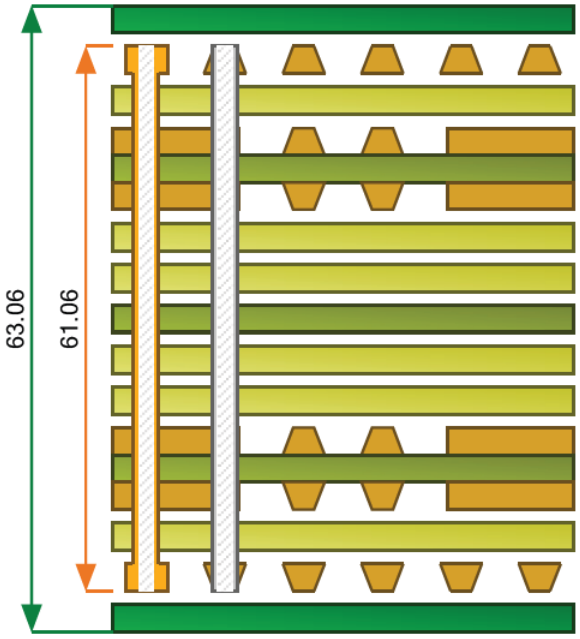
Layer	Stack up	Description	Type	Processed Thickness
		Taiyo PSR 4000 HFX DI-GREEN	SolderMask	1.000
1		Copper Foil 18 microns	Copper	2.087
		Iteq IT180A Prepreg 2113 RC58	Dielectric	3.511
2				1.260
		Iteq IT180A 4 mil core 1/1	FR4	4.000
3				1.260
		Iteq IT180A Prepreg 106 RC71.5	Dielectric	1.750
		Iteq IT180A Prepreg 1080 RC65	Dielectric	2.663
		Iteq IT180A 28 mil core H/H	FR4	28.000
		Iteq IT180A Prepreg 1080 RC65	Dielectric	2.663
		Iteq IT180A Prepreg 106 RC71.5	Dielectric	1.750
4				1.260
		Iteq IT180A 4 mil core 1/1	FR4	4.000
5				1.260
		Iteq IT180A Prepreg 2113 RC58	Dielectric	3.511
6		Copper Foil 18 microns	Copper	2.087
		Taiyo PSR 4000 HFX DI-GREEN	SolderMask	1.000

图 12-2. LP-AM261 堆叠

TI 一直在探索 AM261x ZFG 和 ZNC 封装的较低层数堆叠。下图是采用 AM261x ZFG 或 ZNC 封装尺寸的 PCB 系统 4 层堆叠的示例：

#	Name	Material	Type	Weight	Thickness	Dk
	Top Overlay		Overlay			
	Top Solder	Solder Resist	Solder Mask		0.4mil	3.5
1	L1	CF-004	Signal	1oz	1.378mil	
	Dielectric 1	PP-006	Prepreg		7mil	4.1
2	L2		Signal	1oz	1.38mil	
	Dielectric1	FR-4 High Tg	Dielectric		42mil	4.8
3	L3		Signal	1oz	1.38mil	
	Dielectric 2	PP-006	Prepreg		7mil	4.1
4	L4	CF-004	Signal	1oz	1.378mil	
	Bottom Solder	Solder Resist	Solder Mask		0.4mil	3.5
	Bottom Overlay		Overlay			

图 12-3. AM261x ZFG/ZNC PCB 系统堆叠

English Document: SPRABJ8
Copyright © 2026 Texas Instruments Incorporated

12.1 关键堆叠特性

表 12-2. 按封装尺寸分类的堆叠特性

	ZCZ（15mm x 15mm，0.8mm 间距）、ZFG（13.25mm x 13.25mm，0.65mm 间距）	ZFG（13.25mm x 13.25mm，0.65mm 间距）、ZNC（10mm x 10mm，0.5mm 间距）
总层数	6	4
PCB 厚度	62mil ± 10%	62mil ± 10%
控制阻抗布线层（可选）	4（L1、L3、L4、L6）	2（L1、L4）
信号/电源层具有相邻的 GND 基准	是	是
内核中心层厚度	28mil	42mil
BGA 扇出过孔类型	穿孔	穿孔

备注

在 6 层设计中，L4 电源和 L5 GND 返回层之间的最小电介质厚度可实现最佳平面电容性能，有助于电源完整性和 EMI。

表 12-3. 6 层 PCB：层利用率

层编号	注释
覆铜 1（顶部）	顶层安装和信号布线
覆铜 2	接地回路平面
覆铜 3	嵌入式微带或带状线信号布线和电源布线
覆铜 4	嵌入式微带或带状线和电源布线
覆铜 5	接地回路平面
覆铜 6（底部）	底层安装和信号布线

表 12-4. AM263x、AM263Px、AM261x ZCZ 封装，6 层 PCB：受控阻抗规划选项

层编号	参考层编号	结构名称 (1)	布线宽度 (mil)	迹线分离 (mil)	目标阻抗 (Ω)	计算阻抗 (Ω)	注释
L1	L2	涂层微带	5.300	0.000	50.000	50.140	
L1	L2	边缘耦合涂层微带	4.200	5.000	90.000	89.830	L1，USB 差分
L1	L2	边缘耦合涂层微带	4.000	7.700	100.000	99.840	
L1	L2	边缘耦合涂层微带	4.100	6.800	120.000	120.030	
L3	L3	偏移带状线	4.750	0.000	50.000	49.960	
L3	L2	边缘耦合偏移带状线	4.000	6.000	90.000	90.040	L3，USB 差分
L3	L2	边缘耦合偏移带状线	3.500	8.100	100.000	99.880	
L3	L2	边缘耦合偏移带状线	4.000	12.000	100.000	100.160	
L6	L5	涂层微带	5.300	0.000	50.000	50.140	
L6	L5	边缘耦合涂层微带	4.200	5.000	90.000	89.830	
L6	L5	边缘耦合涂层微带	4.000	7.700	100.000	99.840	
L6	L4	边缘耦合涂层微带	4.100	6.800	120.000	120.030	

表 12-5. 4 层 PCB：层利用率

层编号	注释
覆铜 1（顶部）	顶层安装和信号布线

English Document: SPRABJ8
Copyright © 2026 Texas Instruments Incorporated

表 12-5. 4 层 PCB：层利用率（续）

层编号	注释
覆铜 2	接地回路平面
覆铜 3	电源布线
覆铜 4（底部）	底层安装和信号布线

表 12-6. AM261x ZFG 封装、4 层 PCB：受控阻抗规划选项

层编号	参考层编号	结构名称 (1)	布线宽度 (mil)	迹线分离 (mil)	目标阻抗 (Ω)	计算阻抗 (Ω)	注释
L1	L2	涂层微带	4.000	3.900	50.000	49.640	
L1	L2	边缘耦合涂层微带	4.200	5.800	90.000	93.700	L1，USB 差分
L1	L2	边缘耦合涂层微带	4.000	7.700	100.000	99.840	
L1	L2	边缘耦合涂层微带	4.100	6.800	120.000	120.030	
L4	L3	涂层微带	5	8.5	50.000	47.400	
L4	L3	边缘耦合涂层微带	4.200	5.000	90.000	89.830	
L4	L3	边缘耦合涂层微带	4.000	7.700	100.000	99.840	
L4	L3	边缘耦合涂层微带	4.100	6.800	120.000	120.030	

Copyright © 2026 Texas Instruments Incorporated

表 12-7. AM261x ZNC 封装、4 层 PCB：受控阻抗规划选项

层编号	参考层编号	结构名称 (1)	布线宽度 (mil)	迹线分离 (mil)	目标阻抗 (Ω)	计算阻抗 (Ω)	注释
L1	L2	涂层微带	3.200	3.300	50.000	52.960	
L1	L2	边缘耦合涂层微带	4.200	5.800	90.000	93.700	L1，USB 差分
L1	L2	边缘耦合涂层微带	4.000	7.700	100.000	99.840	
L1	L2	边缘耦合涂层微带	4.100	6.800	120.000	120.030	
L4	L3	涂层微带	3.500	6.650	50.000	49.980	
L4	L3	边缘耦合涂层微带	4.200	5.000	90.000	89.830	
L4	L3	边缘耦合涂层微带	4.000	7.700	100.000	99.840	
L4	L3	边缘耦合涂层微带	4.100	6.800	120.000	120.030	

(1) 使用 Polar 2D 场求解器，针对给定的覆铜和电介质厚度、宽度和耗散常数计算所有阻抗。

English Document: SPRABJ8
Copyright © 2026 Texas Instruments Incorporated

13 过孔

AM26x EVM 展示了 BGA 扇出和整体板布线的过孔结构的不同示例。所有 AM26x EVM 都使用 PTH 过孔构造。

表 13-1. AM26x EVM 过孔类型

EVM	过孔类型	过孔直径 (mil)	过孔钻孔 (mil)
AM263x LaunchPad	PTH	18.000	8.000
AM263Px LaunchPad	PTH	18.000	8.000
AM261x LaunchPad	PTH	18.000	8.000
AM263x controlCARD	PTH	18.000	8.000
AM263Px controlCARD	PTH	18.000	8.000
AM261x controlSOM	PTH	18.000	8.000

14 BGA 电源扇出和去耦放置

45nm CMOS 技术可实现更快的内核速率和 SRAM 时钟速率，以及适用于 LVCMOS I/O 缓冲器的更快的边沿速率。因此，与以前的 MCU 工艺节点相比，谨慎地布置电源和接地回路对于使用 AM263x、AM263Px 和 AM261x 设计实现更佳的电源完整性、信号完整性和 EMI 性能至关重要。

TI 建议设计人员遵循 AM263x、AM263Px 和 AM261x EVM PCB 设计中实施的类似配电布局，以便在所有工作条件和 EMI 测试条件下实现良好的电源完整性结果。

AM263x controlCard EVM 代表了适用于 ZCZ 封装 AM26x 器件的经过高度优化和严格审查的配电布局。在特定于 ZCZ 的章节中引用了 controlCard 示例。对于非 ZCZ AM261x 器件，请参阅 ZFG/ZNC 特定章节。

表 14-1. 按器件封装划分的 BGA 属性段

BGA 属性	AM263x/AM263Px/AM261x (ZCZ)	AM261x (ZFG)	AM261x (ZNC)
接地回路	节 14.1.1	节 14.1.2	
1.2V 内核数字电源	节 14.2.1	节 14.2.2	不适用
3.3V 数字和模拟电源	节 14.3.1	节 14.3.2	不适用
1.8V 数字和模拟电源	节 14.4.1	节 14.4.2	不适用

English Document: SPRABJ8
Copyright © 2026 Texas Instruments Incorporated

14.1 接地回路

本节总结了 AM26x 器件上接地回路布线的主要元件。

14.1.1 接地回路 - ZCZ 封装 AM26x 器件

必须利用所有可用的接地回路 BGA，在 AM263x、AM263Px 或 AM261x 封装与连接的 PCB 之间建立尽可能更好的电气和热连接。从信号完整性、EMI/EMC 和热性能的角度来看，最大限度地提高 VSS BGA 的使用率至关重要。

除非设计中使用了单独的顶部封装散热器，否则 VSS BGA（以及作用较小的 VDDCORE）是 BGA 封装的唯一散热连接。为了实现所需的热性能，AM26x-ZCZ PCB 设计必须遵守以下散热过孔设计要求。

- BGA 中心至少有 49 个 VSS 过孔必须短接到 PCB 接地回路平面。但是，如果可能，为了获得最佳热性能，所有 VSS BGA 需要连接到 PCB 接地回路平面。
- 应在 BGA 正下方尽可能多的层上使用实心接地回路平面。
- 对于 VSS BGA 焊盘连接，应在顶部或底部安装层上使用实心接地回路或尽可能宽的引线。
- VSS 过孔钻孔应使用尽可能大的钻孔直径。这将充分增加过孔的表面积，从而提供最低的热阻。
- 如有可能，需要使用导热材料填充 VSS 过孔。

所有这些散热过孔要求必须与设计所需的功率和信号扇出保持平衡。

AM26x 器件包含模拟和数字接地回路引脚。模拟和数字接地回路引脚需要短接至 PCB 上的一组公共接地回路平面，以实现更佳的噪声和 EMI 性能，因为这会为所有返回电流创建尽可能低的阻抗路径。TI 不建议将这两条返回路径分开，因为这通常会导致数字和模拟信号路径的返回路径性能降低。

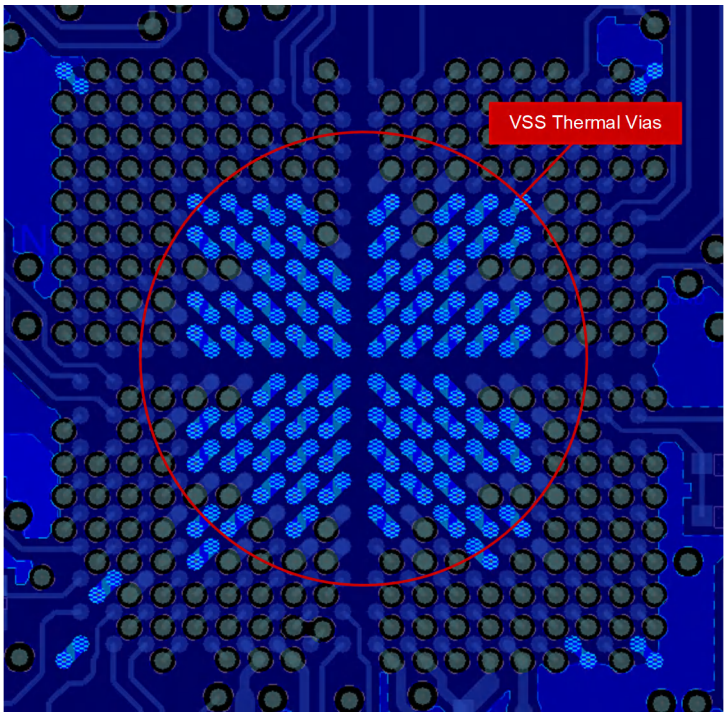


图 14-1. AM263x controlCARD 摘录 – AM263x BGA 第 1 层和第 2 层下的接地回路过孔

English Document: SPRABJ8
Copyright © 2026 Texas Instruments Incorporated

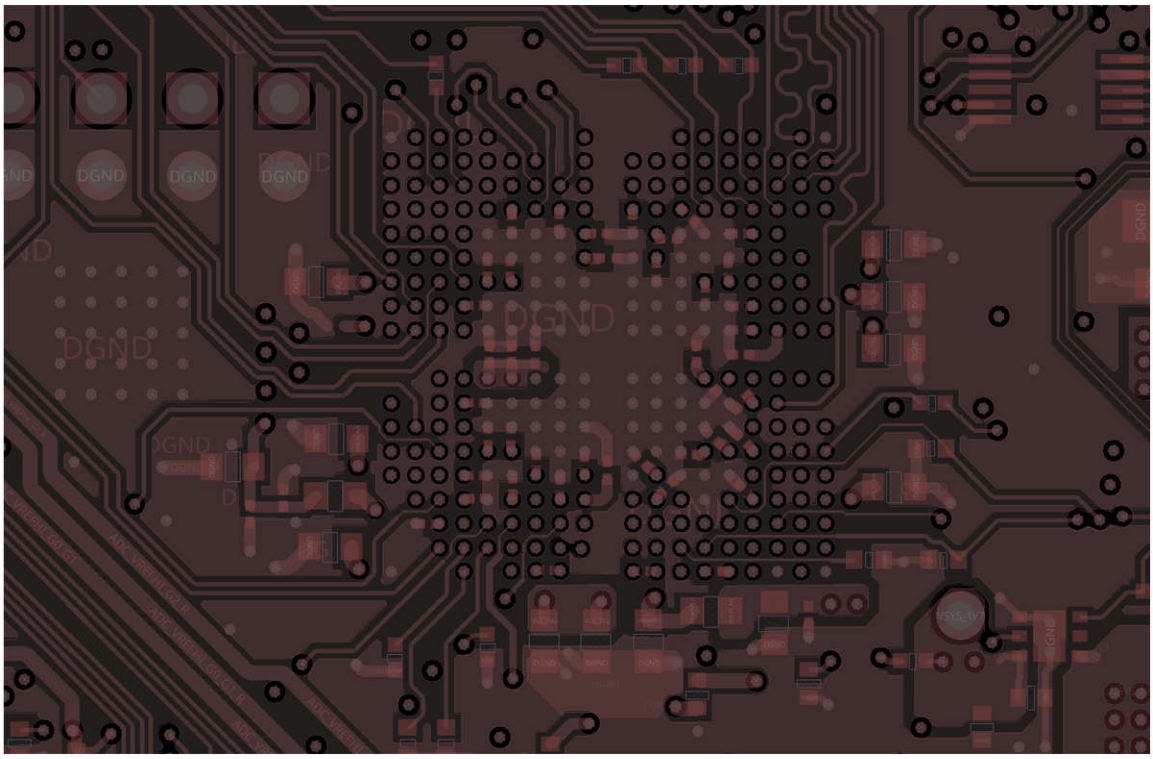


图 14-2. AM263x controlCARD 摘录 – AM263x BGA 第 10 层下的接地回路过孔

14.1.2 接地回路 - ZNC 和 ZFG 封装 AM261x 器件

必须利用所有可用的接地回路 BGA，在 AM261x 封装与连接的 PCB 之间建立尽可能更好的电气和热连接。从信号完整性、EMI/EMC 和热性能的角度来看，最大限度地提高 VSS BGA 的使用率至关重要。

除非设计中使用了单独的顶部封装散热器，否则 VSS BGA（以及作用较小的 VDDCORE）是 BGA 封装的唯一散热连接。为了实现所需的热性能，AM261x PCB 设计必须遵守以下散热孔设计要求。

- BGA 中心至少有 60 个 VSS 过孔 (ZNC) 或 49 个 VSS 过孔 (ZFG) 必须短接到 PCB 接地回路平面。但是，如果可能，为了获得最佳热性能，所有 VSS BGA 应连接到 PCB 接地回路平面
- 应在 BGA 正下方尽可能多的层上使用实心接地回路平面。
- 对于 VSS BGA 焊盘连接，应在顶部或底部安装层上使用实心接地回路或尽可能宽的引线。
- 为 VSS 钻孔时应使用尽可能大的钻孔直径。这将充分增加过孔的表面积，从而提供最低的热阻。
- 如有可能，需要使用导热材料填充 VSS 过孔。

所有这些散热过孔要求必须与设计所需的功率和信号扇出保持平衡。

AM261x 器件包含模拟和数字接地回路引脚。模拟和数字接地回路引脚需要短接至 PCB 上的一组公共接地回路平面，以实现更佳的噪声和 EMI 性能，因为这会为所有返回电流创建尽可能低的阻抗路径。TI 不建议将这两条返回路径分开，因为这通常会导致数字和模拟信号路径的返回路径性能降低。

English Document: SPRABJ8
Copyright © 2026 Texas Instruments Incorporated

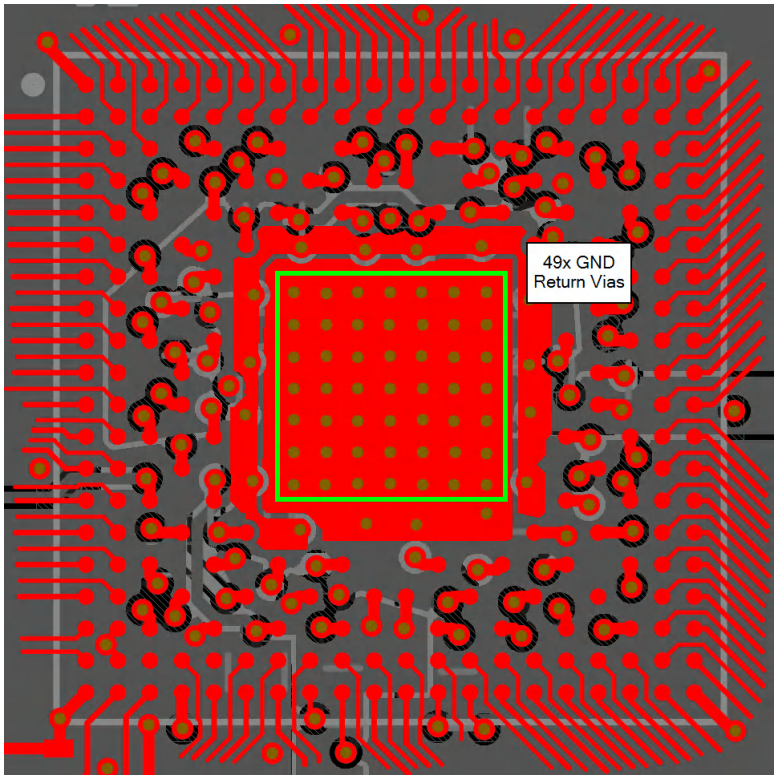


图 14-3. AM261x ZFG 布线研究 - 第 1 层上的接地回路过孔

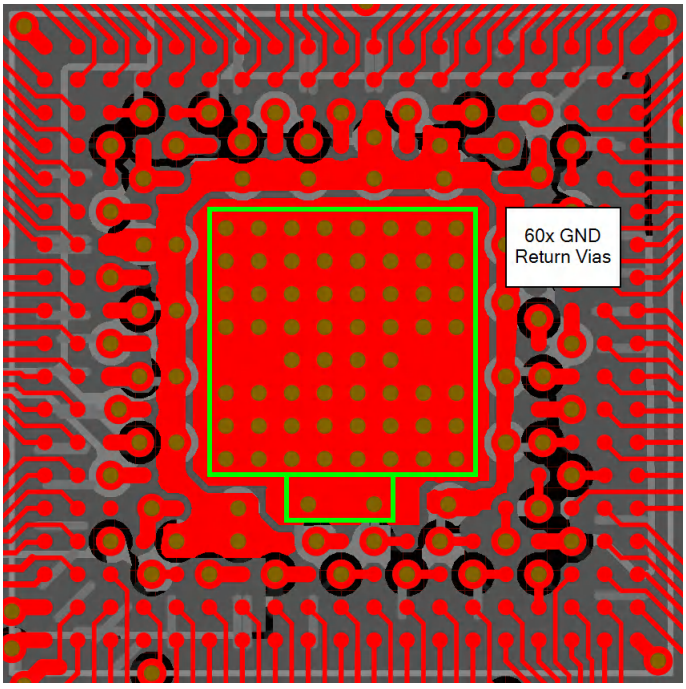


图 14-4. AM261x ZNC 布线研究 - 第 1 层上的接地回路过孔

English Document: SPRABJ8
Copyright © 2026 Texas Instruments Incorporated

14.2 1.2V 内核数字电源

本节总结了 AM26x 器件的 1.2V 内核数字电源布线的主要元件。

备注
工业级 AM261x 器件（AM261xA**O**⋯）需要 1.25V

14.2.1 1.2V 内核数字电源主要布局注意事项 - ZCZ

对于 AM26x ZCZ 封装器件，探索了 AM263x controlCARD EVM (TMDSCNCD263) 的 1.2V 内核数字电源布线，该布线从 1.2V 降压转换器（TPS62913RPUR，U65）开始，经由电路板电源平面，并终止于 BGA 大容量和每引脚去耦电容器阵列。

- AM263x、AM263Px 或 AM261x 须与 1.2V 内核数字稳压器并置，以实现从稳压器到 BGA 电源引脚的更小 IR 压降。
- 必须通过扇出为所有电源和接地回路使用 15mil 宽的走线。
- 须使用具有紧密耦合接地回路参考平面的专用电源层，以便实现出色的瞬态性能和 EMI 耦合。
- 须使用宽电源平面进入 BGA 1.2V 电源引脚区域的中心，以实现更小的 IR 压降和出色的瞬态性能。
- 采用较大封装、较低频率的大容量电容须放置在 BGA 附近，过孔应直接连接到电源平面路径。
- 采用较小封装、较高频率的去耦电容须直接放置在 BGA 扇出过孔上，并以尽可能小的狗骨配置连接到电源和接地回路过孔。

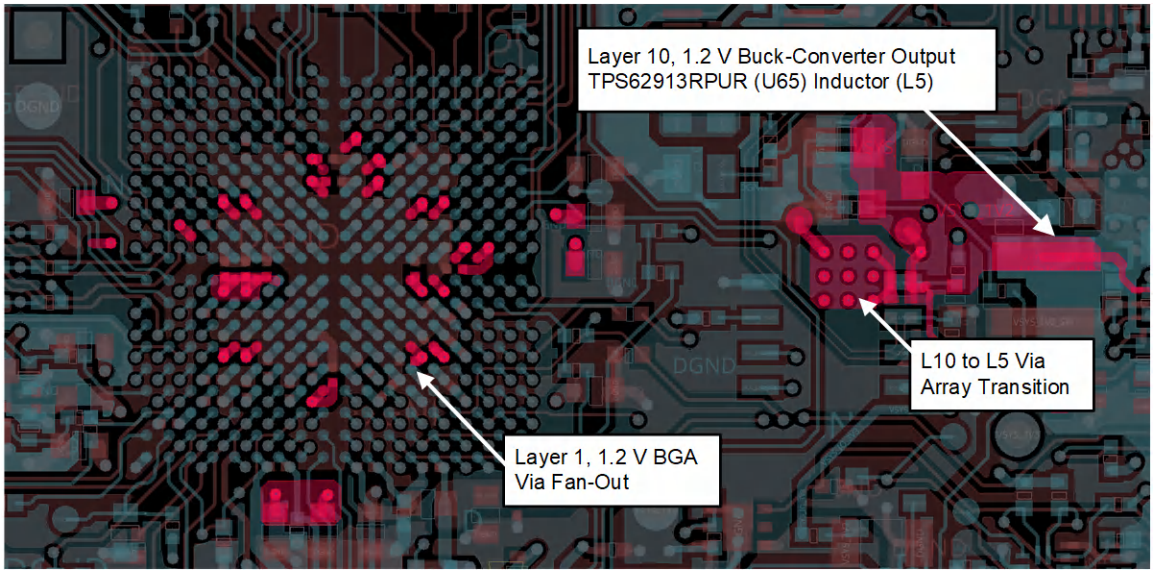


图 14-5. AM263x controlCARD 摘录 – 1.2V 内核电源输出、电源平面过孔和 BGA 过孔

English Document: SPRABJ8
Copyright © 2026 Texas Instruments Incorporated

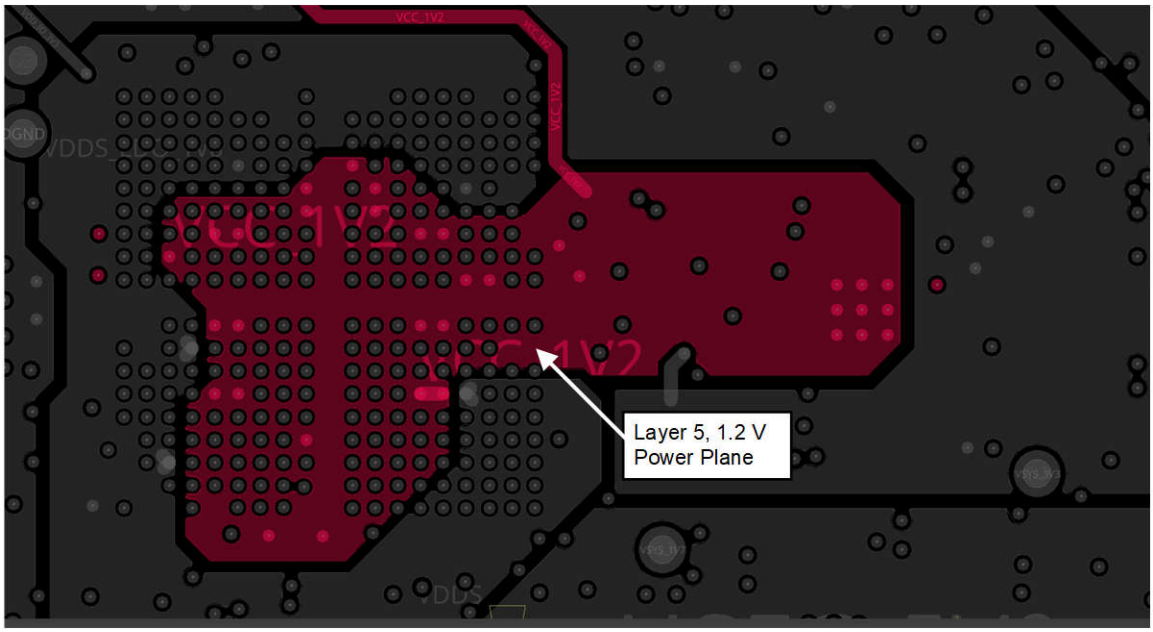


图 14-6. AM263x controlCARD 摘录 – 1.2V 内核电源平面，第 5 层

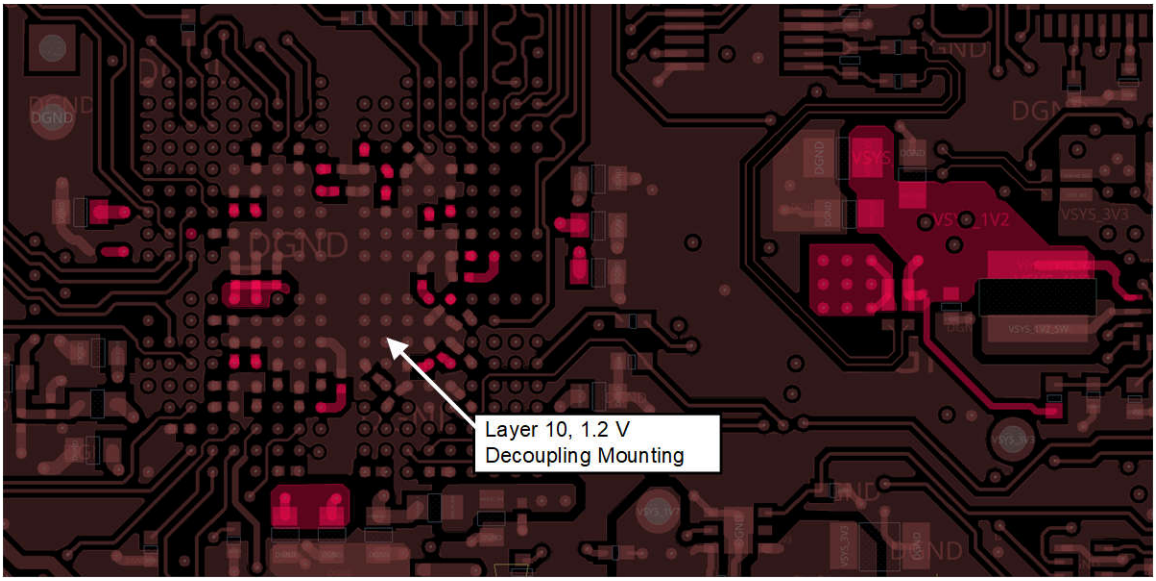


图 14-7. AM263x controlCARD 摘录 – 1.2V 内核电源去耦安装，第 10 层

English Document: SPRABJ8
Copyright © 2026 Texas Instruments Incorporated

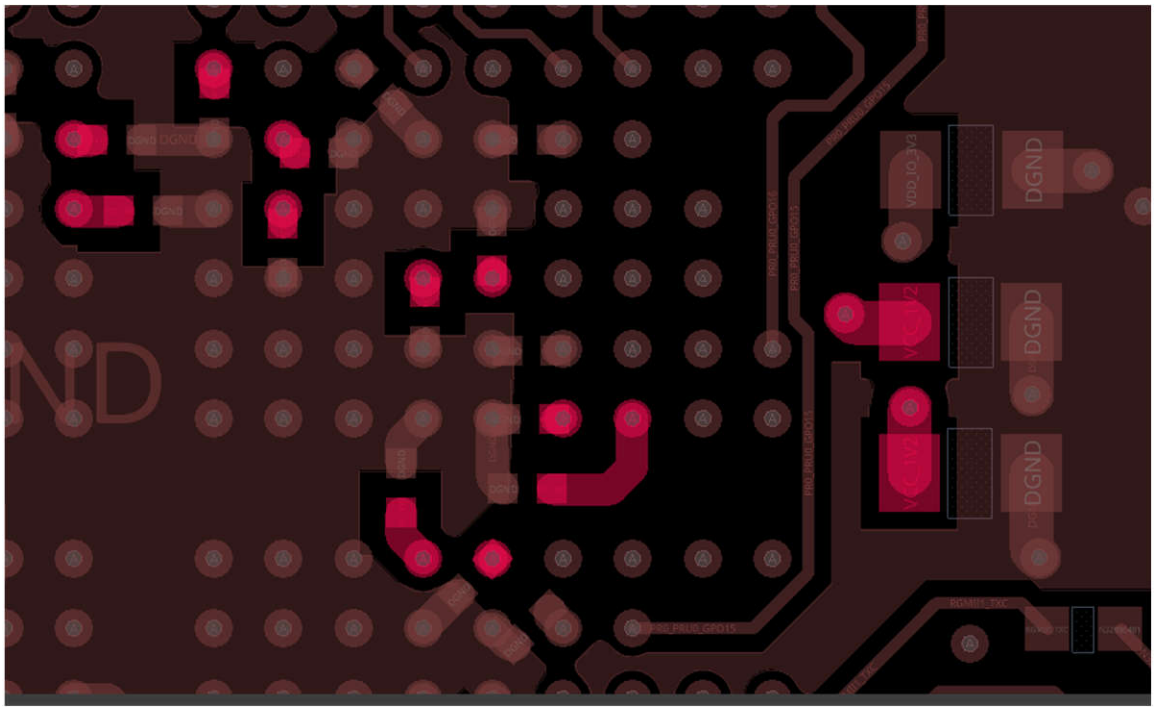


图 14-8. AM263x controlCARD 摘录 – 1.2V 内核电源去耦安装，第 10 层

14.2.2 1.2V 内核数字电源主要布局注意事项 - ZFG

对于 AM261x ZFG 封装器件，探索了 AM261x LaunchPad EVM (LP-AM261) 的 1.2V 核心数字电源布线 - 从 PMIC (TPS650366) 的 1.2V 降压输出，经由电路板电源平面，并终止于 BGA 大容量和每引脚去耦电容器阵列。本节最后还探讨了 4 层 PCB 布局。

- AM261x (ZFG) 必须与 1.2V 内核数字稳压器并置，以实现从稳压器/PMIC 到 BGA 电源引脚的更小 IR 压降。
- 必须通过扇出为所有电源和接地回路使用 10mil 宽的走线。
- 须使用具有紧密耦合接地回路参考平面的专用电源层，以便实现出色的瞬态性能和 EMI 耦合
- 须使用宽电源平面进入 BGA 1.2V 电源引脚区域的中心，以实现更小的 IR 压降和出色的瞬态性能
- 采用较大封装、较低频率的大容量电容须放置在 BGA 附近，过孔应直接连接到电源平面路径
- 采用较小封装、较高频率的去耦电容须直接放置在 BGA 扇出过孔上，并以尽可能小的狗骨配置连接到电源和接地回路过孔

下图详细说明了从源到 AM261x LaunchPad EVM (LP-AM261) 上 AM261x 器件的 1.2V 内核数字电源流。

Copyright © 2026 Texas Instruments Incorporated

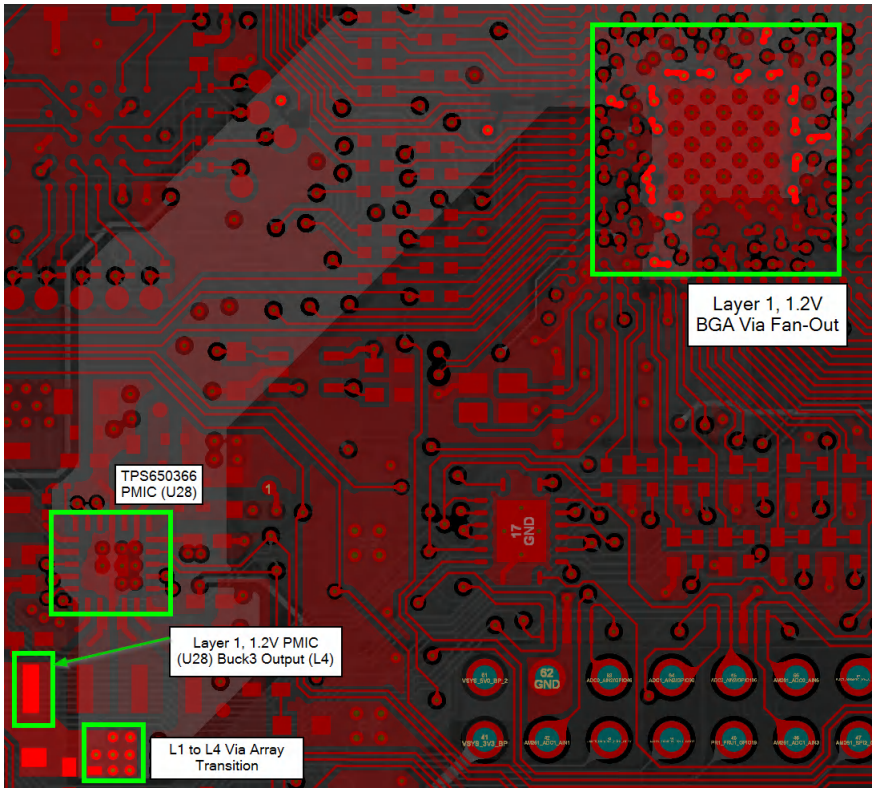


图 14-9. AM261x LaunchPad 摘录 – 1.2V 内核电源输出、电源平面过孔和 BGA 过孔

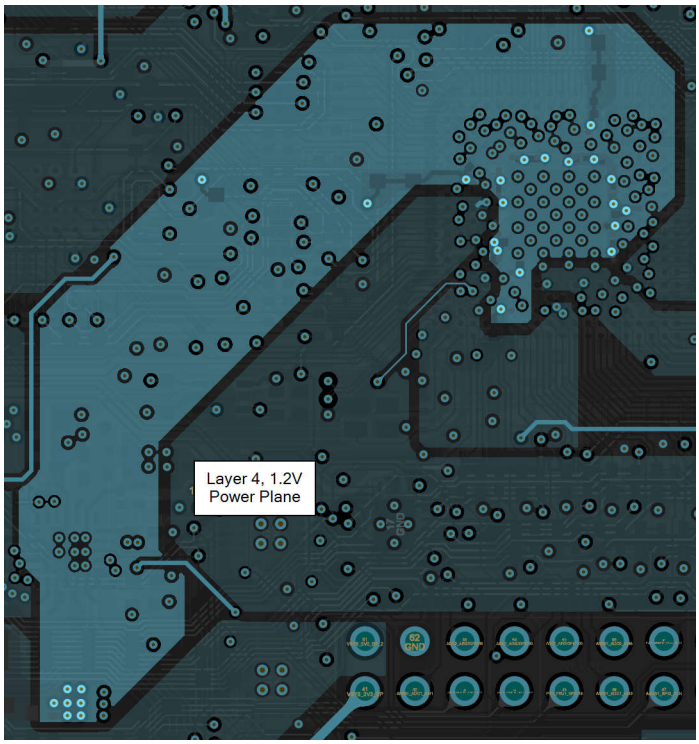


图 14-10. AM261x LaunchPad 摘录 – 1.2V 内核电源平面，第 4 层

English Document: SPRABJ8
Copyright © 2026 Texas Instruments Incorporated

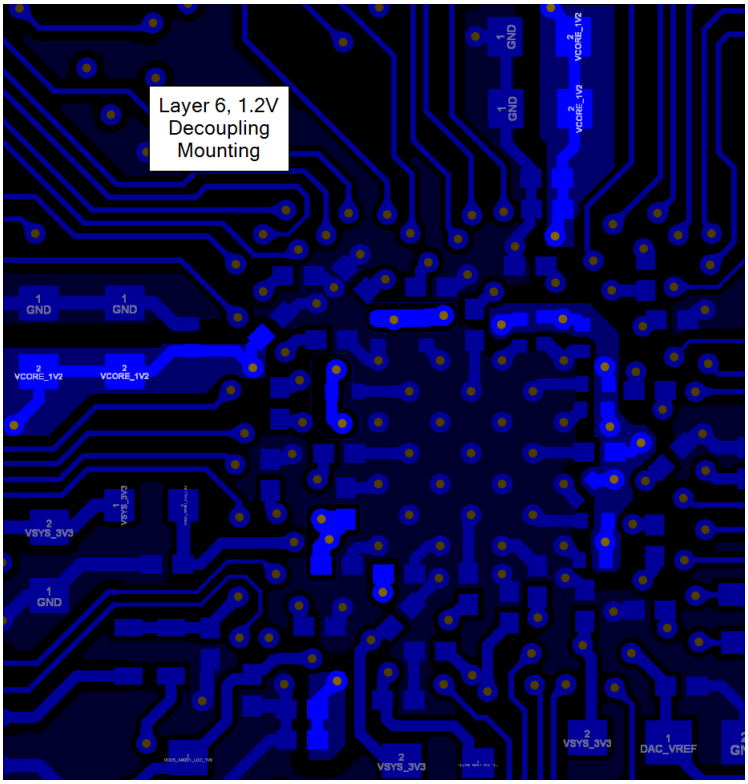


图 14-11. AM261x LaunchPad 摘录 – 1.2V 内核电源去耦安装，第 6 层

用于 4 层 PCB 的 1.2V 内核数字电源流正在研究中，以便将来修订本文档。

English Document: SPRABJ8
Copyright © 2026 Texas Instruments Incorporated

14.3 3.3V 数字和模拟电源

本节总结了 AM26x 器件的 3.3V 数字 I/O 和模拟 I/O 电源布线的主要元件。

14.3.1 3.3V I/O 电源主要布局注意事项 - ZCZ

使用 AM263x controlCARD EVM (TMDSCNCD263) 探索 AM26x ZCZ 器件上的 3.3V 电源系统，从 3.3V 降压转换器（TPS62913RPUR，U30）开始，经由电路板电源平面，并终止于 BGA 大容量和每引脚去耦电容器阵列。一个通用降压转换器为所有 AM263x 数字 I/O、模拟 I/O 和其余的 controlCARD 3.3V 负载供电。这在所有 3.3V 数字电平 I/O 共用一个公共电源的大多数设计中很常见。本地 AM263x 3.3V 模拟电源网的额外滤波是通过铁氧体磁珠 FL13 和相关电容器的 LC 滤波器完成的。这用于创建一个低 IR 压降低通滤波器，该滤波器衰减 TPS62913RPUR 稳压器的高频开关谐波。

- 需要通过扇出对所有电源和接地回路使用 15mil 宽的走线。
- 3.3V I/O 电源往往在系统中的多个器件之间共享，建议在 PCB 上使用非常宽的电源平面进行布线，以尽可能减少所有元件（包括 AM263x、AM263Px 或 AM261x）的 IR 压降。
- 需要使用紧密耦合的相邻接地回路参考平面，以实现更佳的瞬态性能和 EMI 耦合。
- 需要使用覆盖 BGA 3.3V 电源引脚区域的宽电源平面入口，以实现更小的 IR 压降和更佳的瞬态性能。
- 采用较大封装、较低频率的大容量电容需放置在 MCU BGA 附近，过孔需直接连接到电源平面路径。
- 采用较小封装、较高频率的去耦电容需要直接放置在 BGA 扇出过孔上，并以尽可能小的狗骨配置连接到电源和接地回路过孔。

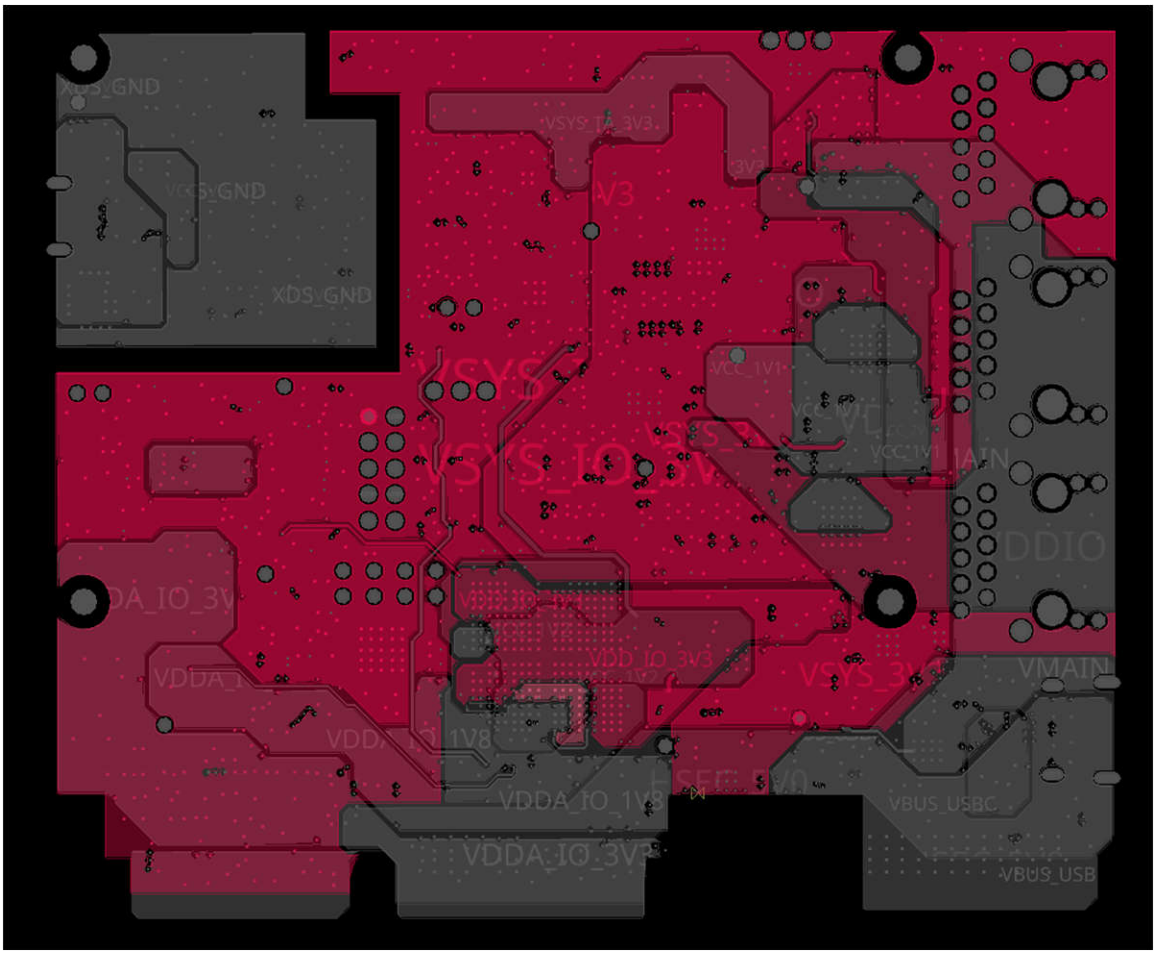


图 14-12. AM263x controlCARD 摘录 – 第 5 层和第 6 层上的 3.3V 数字和模拟电源平面

English Document: SPRABJ8
Copyright © 2026 Texas Instruments Incorporated

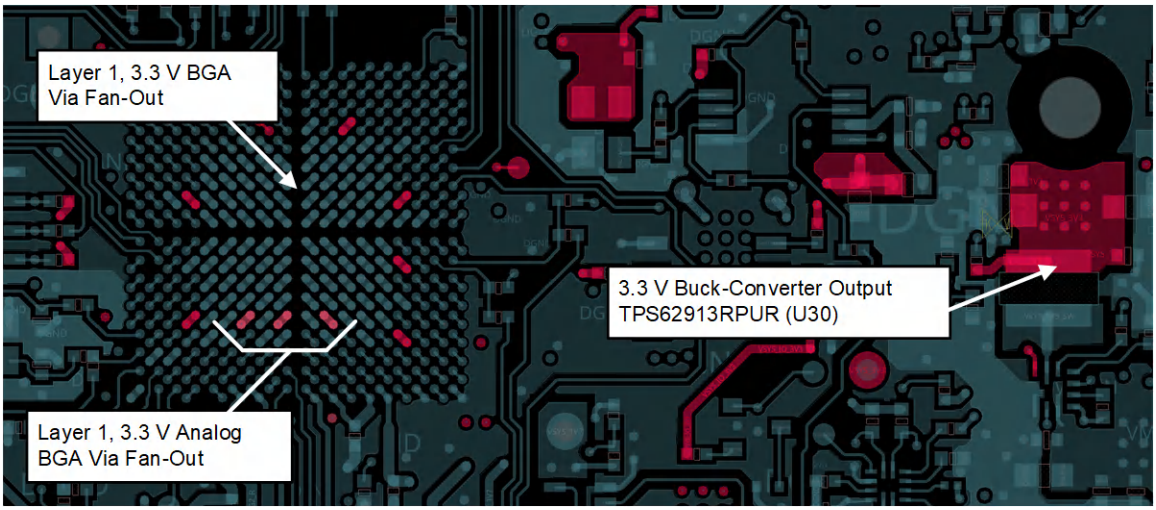


图 14-13. AM263x controlCARD 摘录 – 3.3V 数字 I/O 和模拟 I/O BGA 引脚排列和稳压器输出

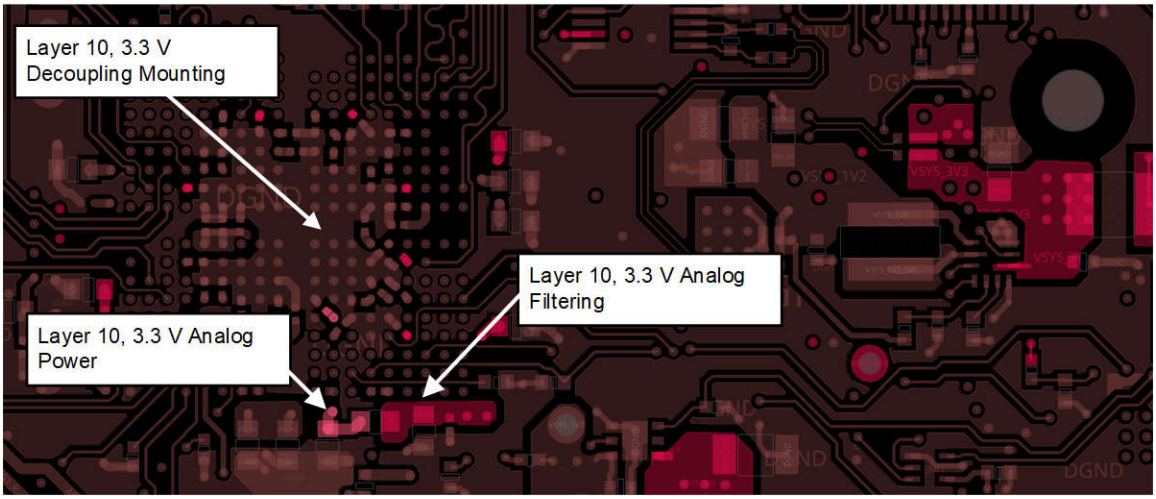


图 14-14. AM263x controlCARD 摘录 – 常见的 3.3V 平面转换过孔

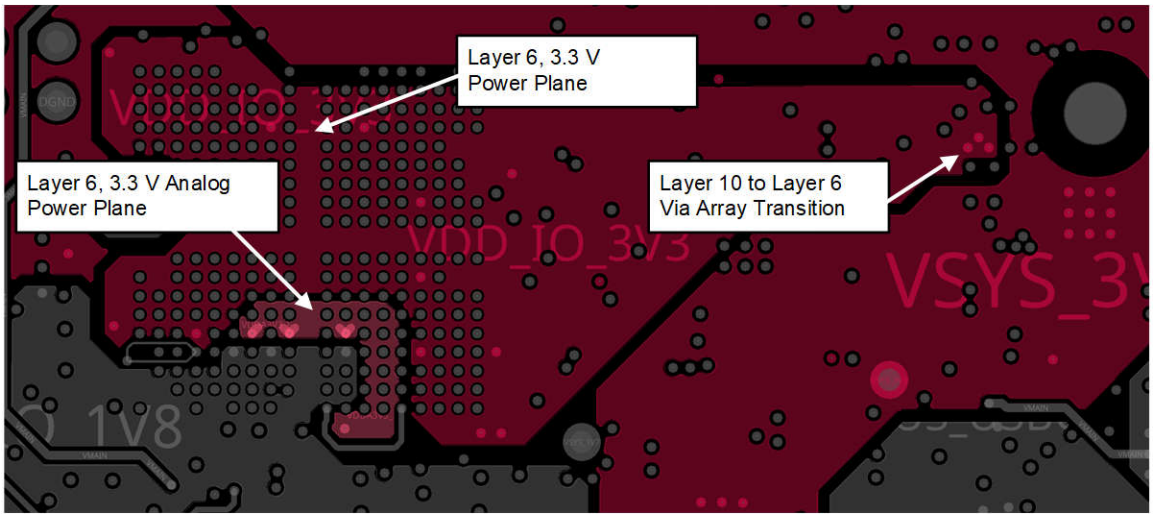


图 14-15. AM263x controlCARD 摘录 – 第 6 层上的 3.3V 数字和模拟平面

English Document: SPRABJ8
Copyright © 2026 Texas Instruments Incorporated

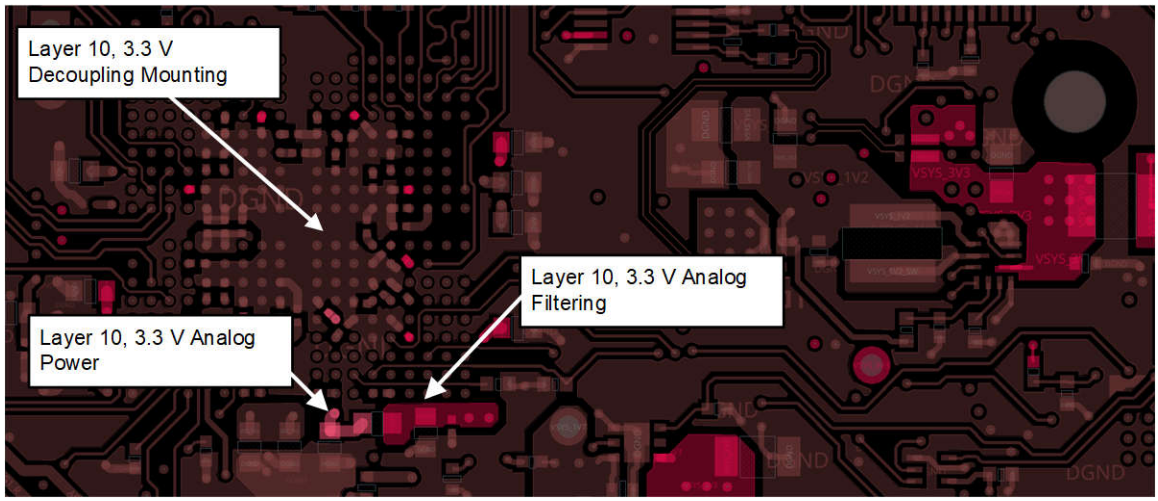


图 14-16. AM263x controlCARD – 3.3V 数字和模拟电源去耦安装，第 10 层

14.3.2 3.3V I/O 电源主要布局注意事项 - ZFG

使用 AM261x LaunchPad EVM (LP-AM261) 探索 AM261x ZFG 器件上的 3.3V 电源系统，从 PMIC (TPS650366) 的 3.3V 降压输出，经由电路板电源平面，并终止于 BGA 大容量和每引脚去耦电容器阵列。PMIC 3.3V 降压输出为所有 AM261x 数字 I/O、模拟 I/O 和其余 LaunchPad 负载供电。这在所有 3.3V 数字电平 I/O 共用一个公共电源的大多数设计中很常见。本地 AM261x 3.3V 模拟电源网的额外滤波是通过铁氧体磁珠 FB2 和相关电容器的 LC 滤波器完成的。这用于创建一个低 IR 压降低通滤波器，该滤波器将衰减 PMIC 降压输出的高频开关谐波。

- 需要通过扇出对所有电源和接地回路使用 10mil 宽的走线。
- 3.3V I/O 电源往往在系统中的多个器件之间共享，建议在 PCB 上使用非常宽的电源平面进行布线，以最大限度地减少所有元件（包括 AM261x SoC）的 IR 压降。
- 需要使用紧密耦合的相邻接地回路参考平面，以实现更佳的瞬态性能和 EMI 耦合。
- 需要使用覆盖 BGA 3.3V 电源引脚区域的宽电源平面入口，以实现更小的 IR 压降和更佳的瞬态性能。
- 采用较大封装、较低频率的大容量电容需放置在 MCU BGA 附近，过孔需直接连接到电源平面路径。
- 采用较小封装、较高频率的去耦电容需要直接放置在 BGA 扇出过孔上，并以尽可能小的狗骨配置连接到电源和接地回路过孔。

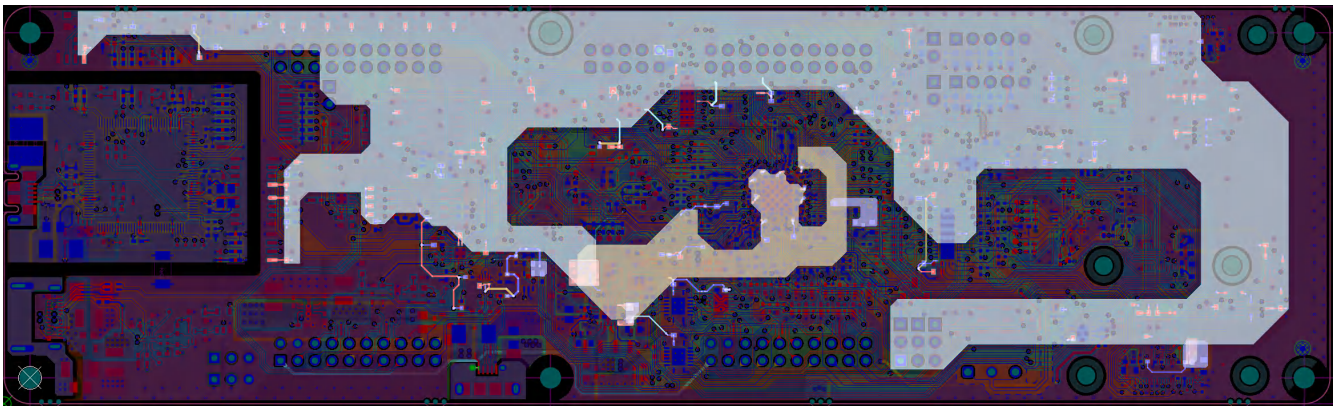


图 14-17. AM261x LaunchPad 摘录 – 第 3 层和第 4 层上的 3.3V 数字和模拟电源平面

English Document: SPRABJ8
Copyright © 2026 Texas Instruments Incorporated

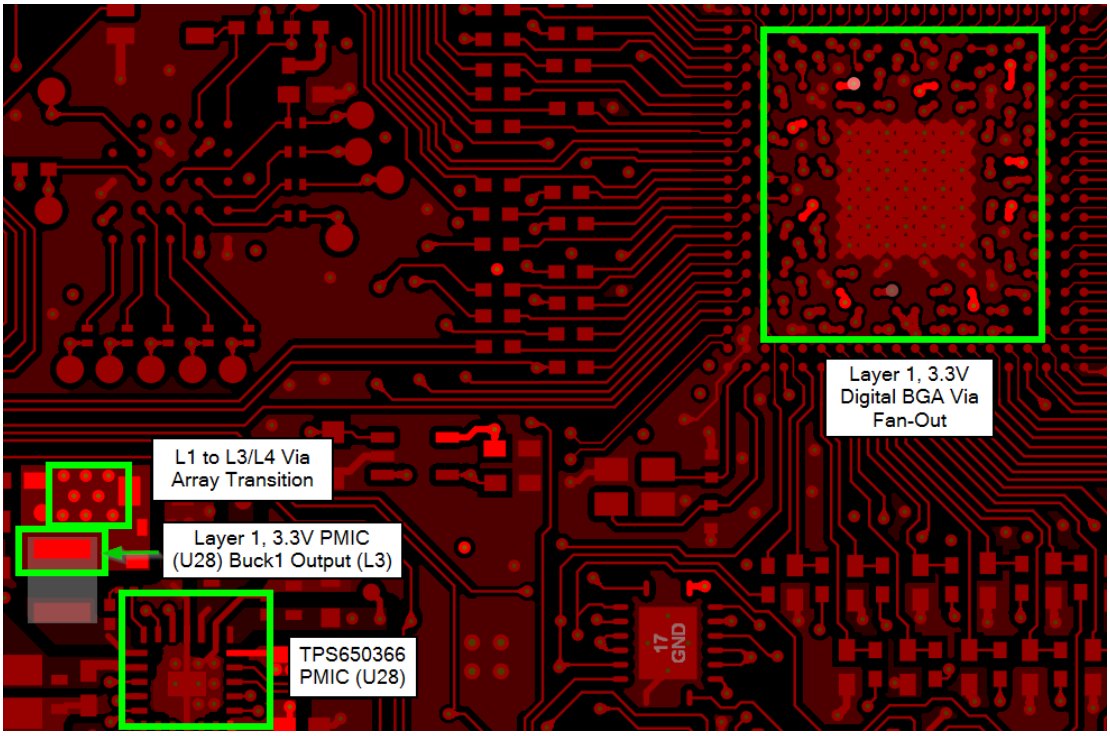


图 14-18. AM261x LaunchPad 摘录 – 3.3V 数字 I/O BGA 引脚排列和 PMIC 输出

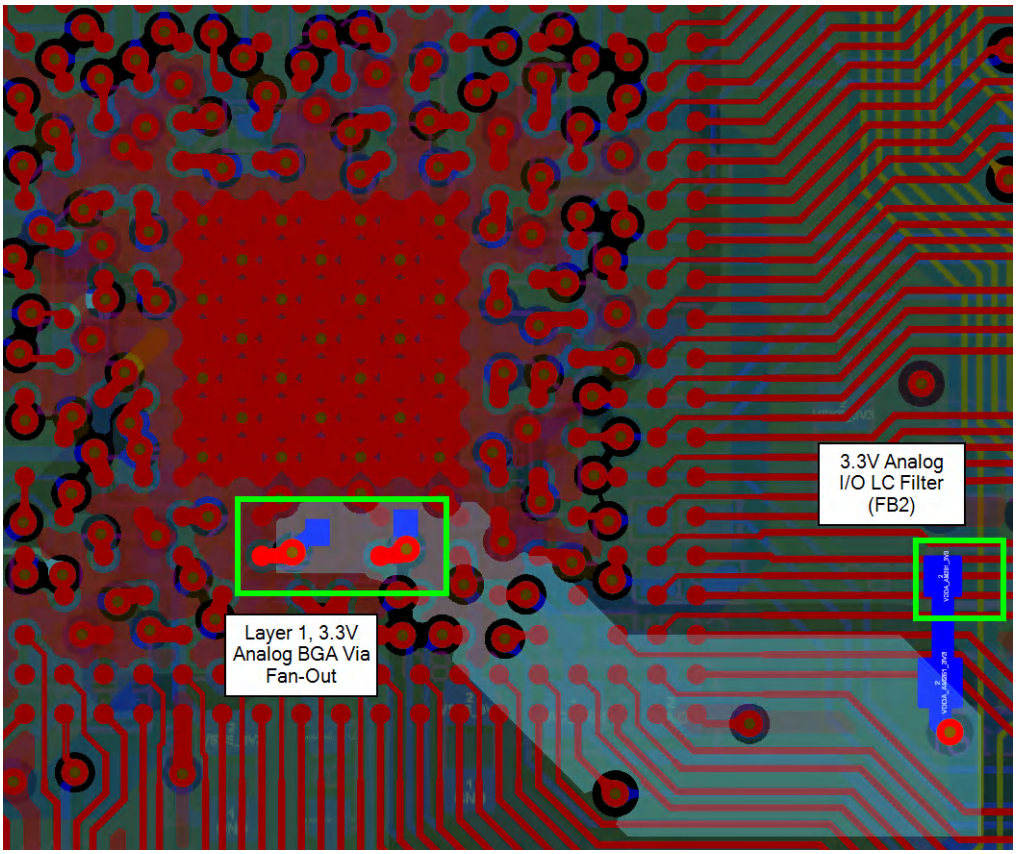


图 14-19. AM261x LaunchPad 摘录 - 3.3V 模拟 IO BGA 引脚排列

English Document: SPRABJ8
Copyright © 2026 Texas Instruments Incorporated

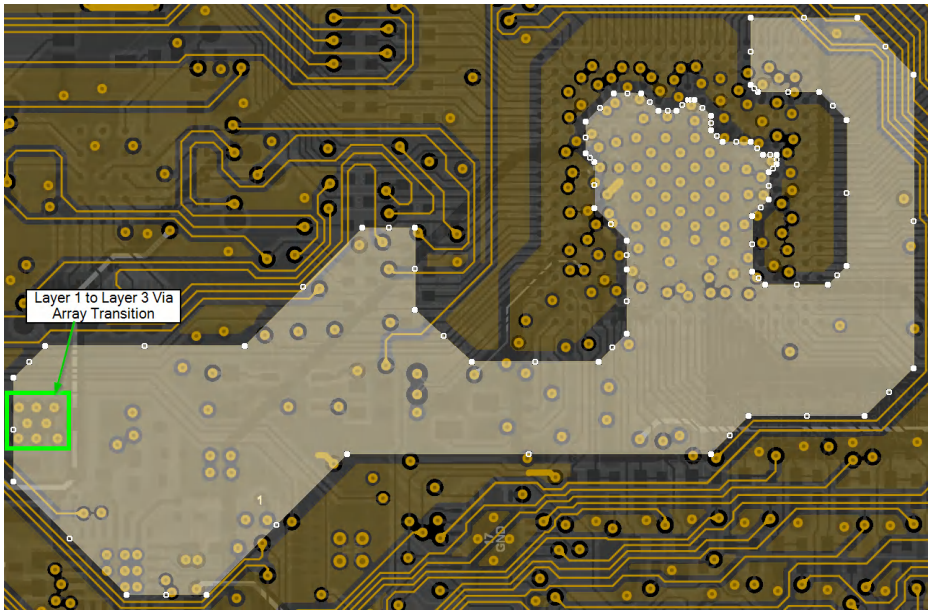


图 14-20. AM261x LaunchPad 摘录 – 第 3 层上的 3.3V 数字电源

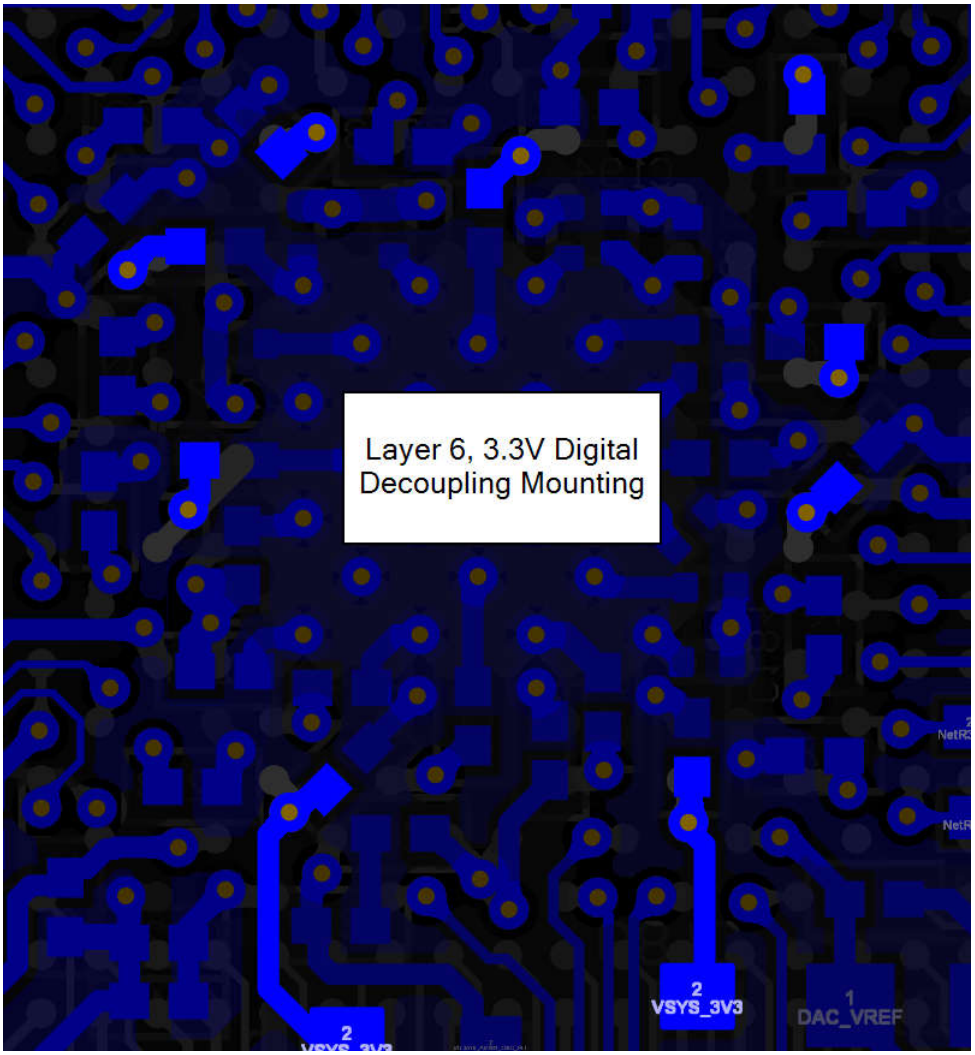


图 14-21. AM261x LaunchPad 摘录 – 3.3V 数字电源去耦安装，第 6 层

English Document: SPRABJ8
Copyright © 2026 Texas Instruments Incorporated

用于 4 层 PCB 的 1.2V 内核数字电源走线方案正在研究中，本文档的日后修订版中可能会包含相关内容。

14.4 1.8V 数字和模拟电源

本节总结了 AM26x MCU 器件的 1.8V 数字 I/O 和模拟 I/O 电源布线的主要元件。两个 1.8V 电源网均由片上 LDO 生成，而片上 LDO 又由 PCB 上的 3.3V 数字或 3.3V 模拟电源网供电。

14.4.1 1.8V 主要布局注意事项 - ZCZ

对于 ZCZ 封装器件、以 AM263x controlCard EVM 为例进行探讨。本地 AM263x 1.8V PLL 电源网的额外滤波是通过铁氧体磁珠 FL12 和相关电容器的 LC 滤波器完成的。这用于创建一个额外的低 IR 压降低通滤波器，该滤波器将衰减 1.8V LDO 模拟输出上存在的任何高频噪声。

- 必须通过扇出为所有电源和接地回路使用至少 15mil 宽的走线。
- 1.8V 数字和模拟电压由片上 LDO 生成，因此已高度本地化为 BGA 引脚排列。
- 需要使用紧密耦合的相邻接地回路参考平面，以实现更佳的瞬态性能和 EMI 耦合。
- 需要使用更小的电源平面或更宽的迹线，以实现跨相关 BGA 引脚的更小 IR 压降和更佳瞬态布线。
- 采用较小封装、较高频率的去耦电容需要直接放置在 BGA 扇出过孔上，并以尽可能小的狗骨配置连接到电源和接地回路过孔。

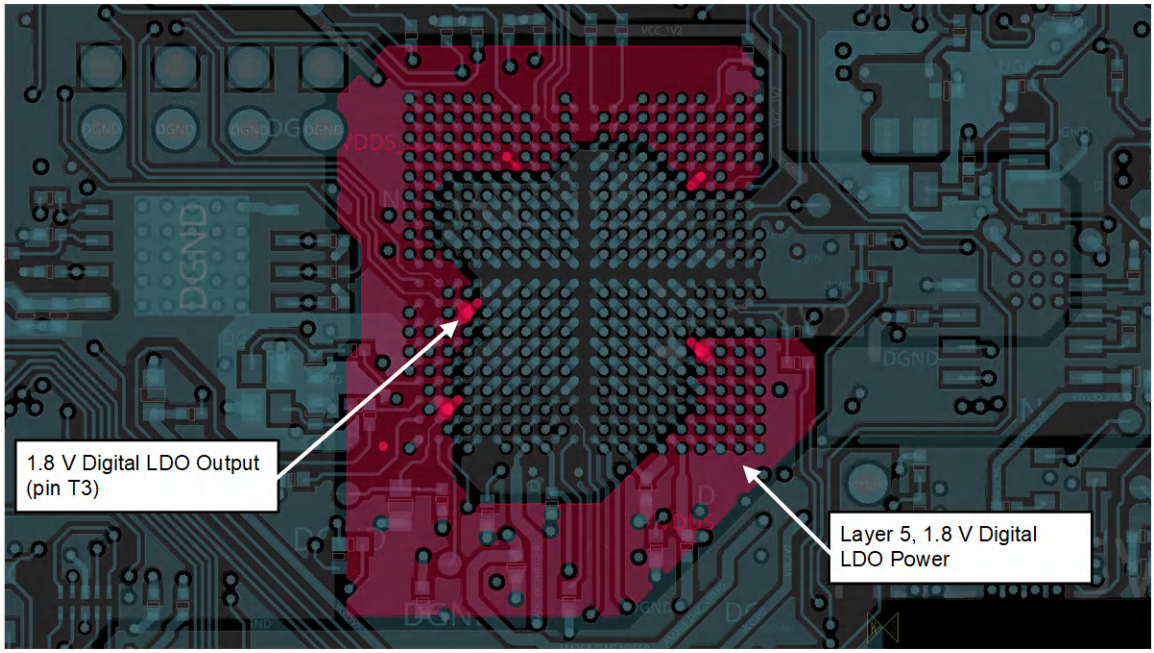


图 14-22. AM263x controlCARD 摘录 – 1.8V 数字电源过孔扇出和平面布线第 6 层

English Document: SPRABJ8
Copyright © 2026 Texas Instruments Incorporated

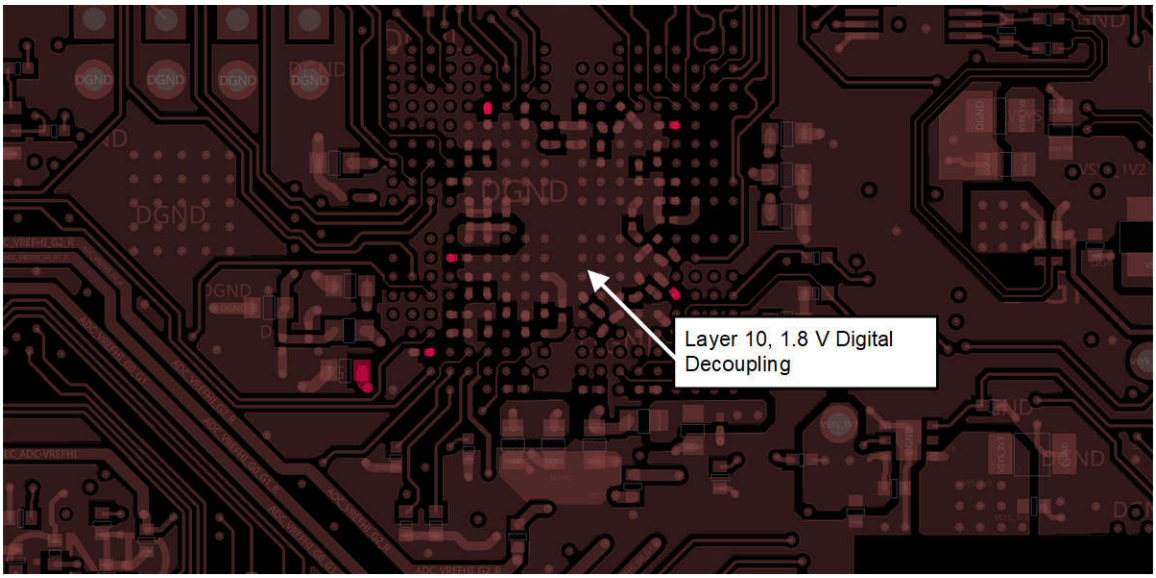


图 14-23. AM263x controlCARD 摘录 – 第 10 层上的 1.8V 数字电源去耦

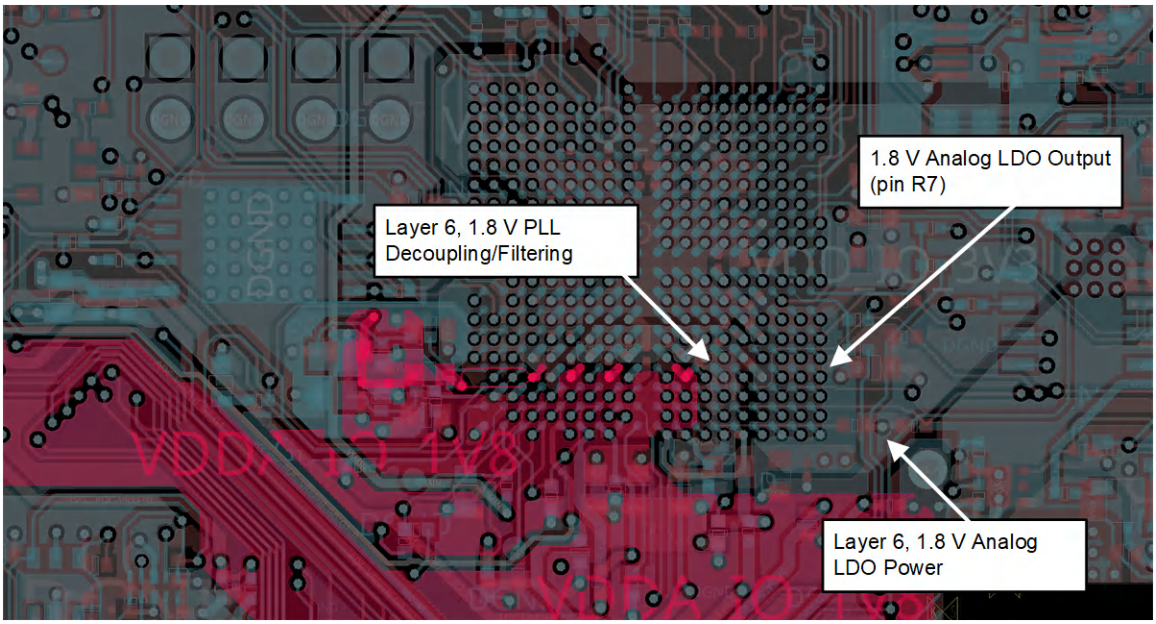


图 14-24. AM263x controlCARD 摘录 – 1.8V 模拟电源过孔扇出和平面布线第 6 层

备注

图 2-10 展示了 FL12 滤波器输出和 BGA 焊盘之间的不能接受的布线示例。FL12 滤波器的输出需要布线为宽引线或小平面，而不是像 controlCARD EVM 的该初始版本那样采用较小的引线。

English Document: SPRABJ8
Copyright © 2026 Texas Instruments Incorporated

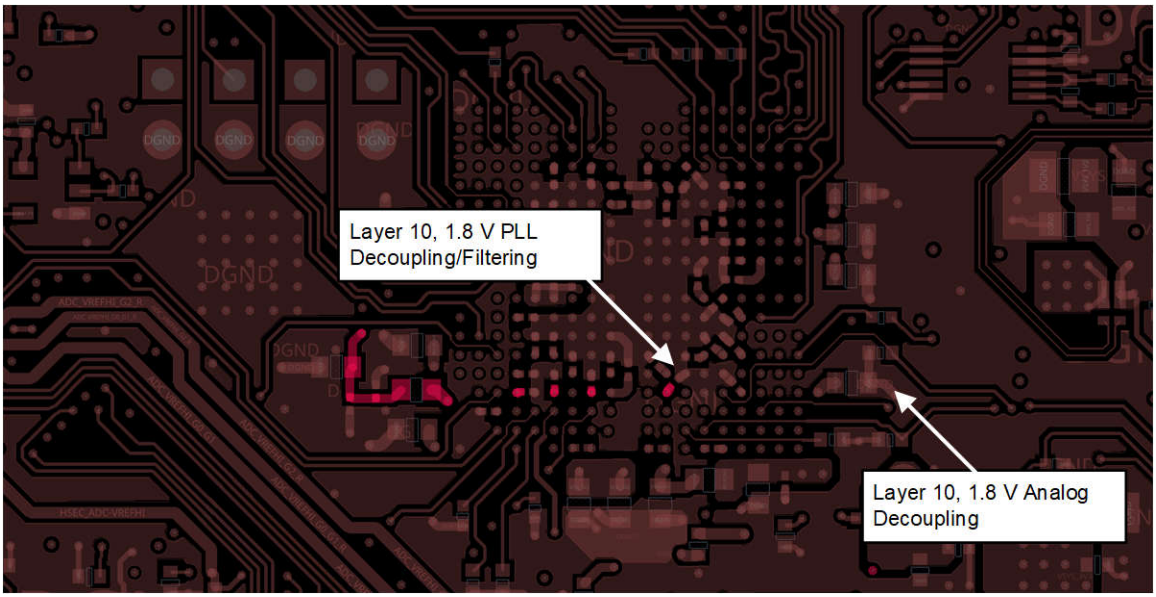


图 14-25. AM263x controlCARD 摘录 – 第 10 层上的 1.8V 模拟电源去耦

14.4.2 1.8V 主要布局注意事项 - ZFG

使用 AM261x LaunchPad EVM (LP-AM261) 探索 AM261x ZFG 器件上的 1.8V 电源网。本地 AM261x 1.8V PLL 电源网的额外滤波是通过铁氧体磁珠 FB3 和相关电容器的 LC 滤波器完成的。这用于创建一个额外的低 IR 压降低通滤波器，该滤波器将衰减 1.8V LDO 模拟输出上存在的任何高频噪声。

- 需要通过扇出对所有电源和接地回路使用 10mil 宽的走线。
- 1.8V 数字和模拟电压由片上 LDO 生成，因此已高度本地化为 BGA 引脚排列。
- 需要使用紧密耦合的相邻接地回路参考平面，以实现更佳的瞬态性能和 EMI 耦合。
- 需要使用更小的电源平面或更宽的走线，以实现跨相关 BGA 引脚的更小 IR 压降和更佳瞬态布线。
- 采用较小封装、较高频率的去耦电容需要直接放置在 BGA 扇出过孔上，并以尽可能小的狗骨配置连接到电源和接地回路过孔。

Copyright © 2026 Texas Instruments Incorporated

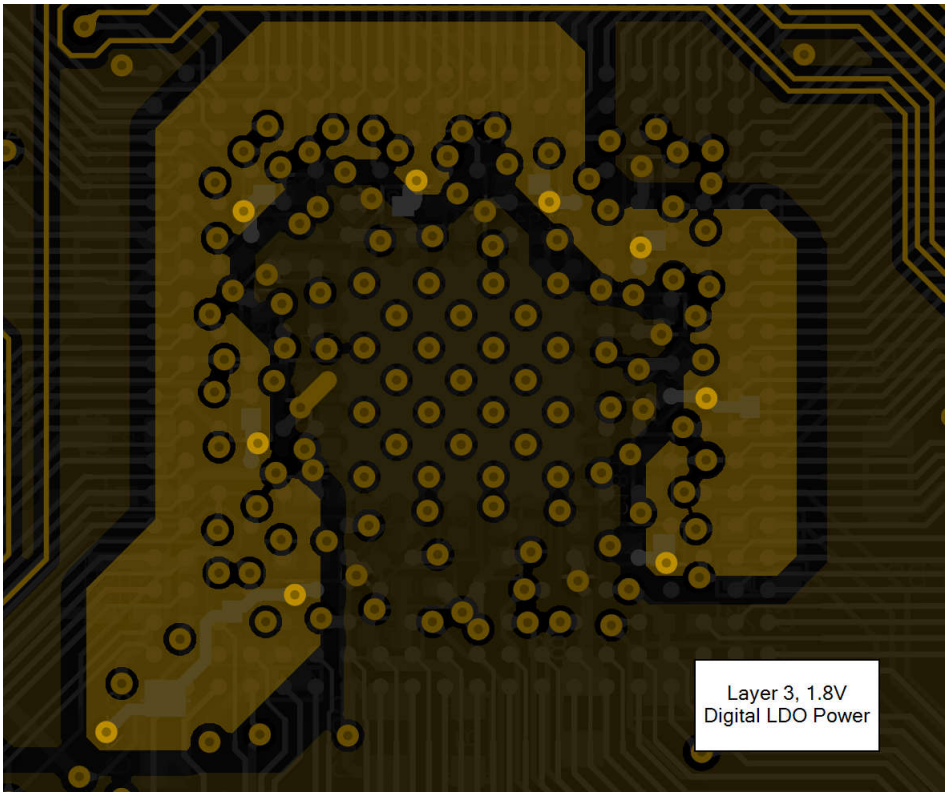


图 14-26. AM261x LaunchPad 摘录 – 1.8V 数字电源过孔扇出和平面布线，第 3 层

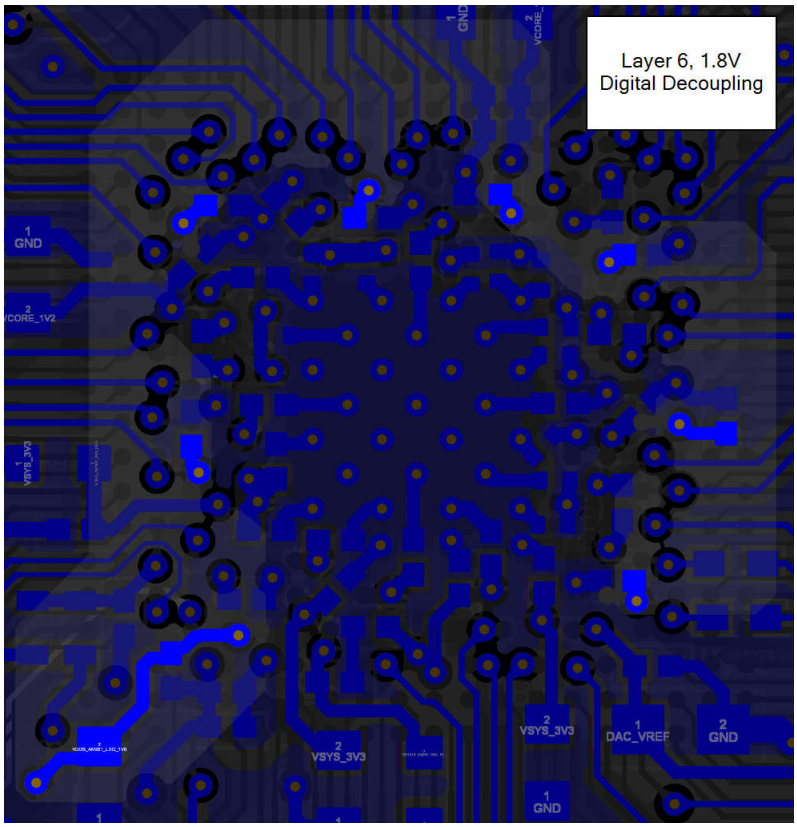


图 14-27. AM261x LaunchPad 摘录 – 第 6 层上的 1.8V 数字电源去耦

English Document: SPRABJ8
Copyright © 2026 Texas Instruments Incorporated

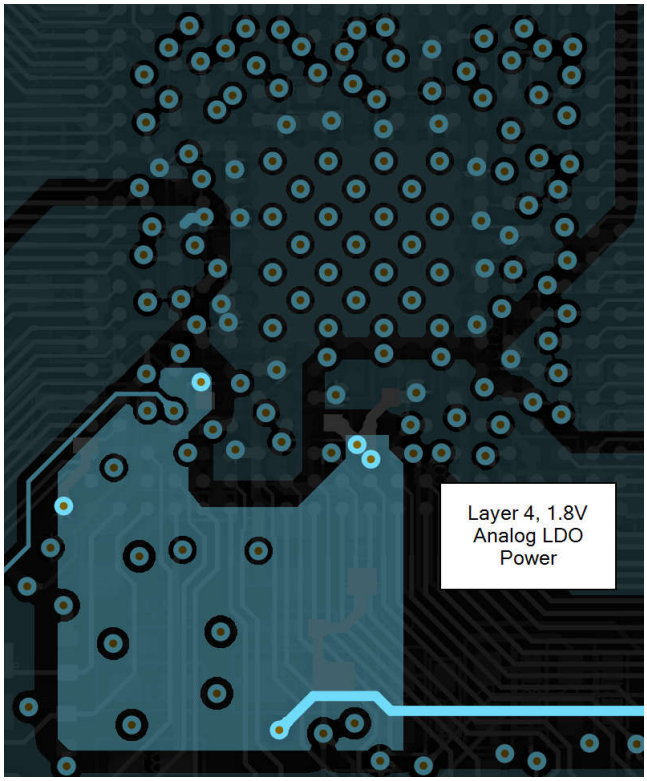


图 14-28. AM261x LaunchPad 摘录 – 1.8V 模拟电源过孔扇出和平面布线，第 4 层

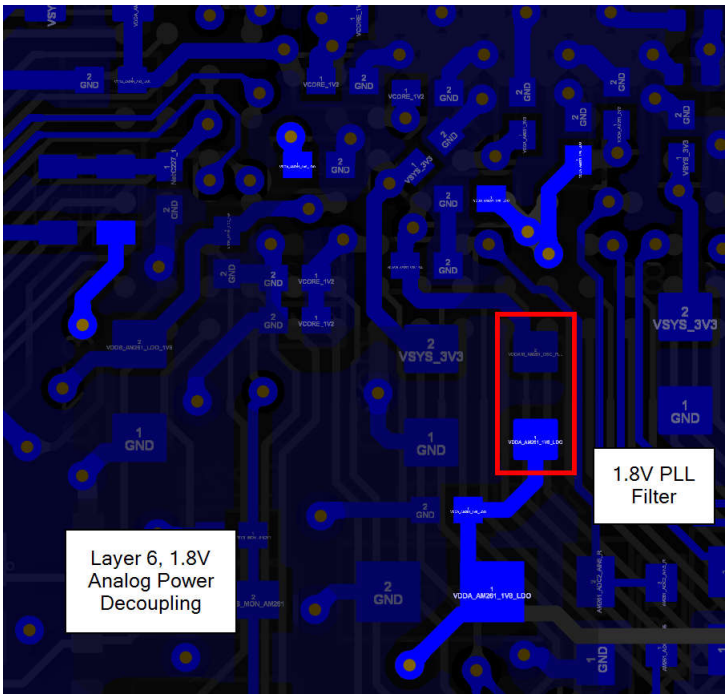


图 14-29. AM261x LaunchPad 摘录 – 第 6 层上的 1.8V 模拟电源去耦

用于 4 层 PCB 的 1.2V 内核数字电源走线方案正在研究中，本文档的日后修订版中可能会包含相关内容。

English Document: SPRABJ8
Copyright © 2026 Texas Instruments Incorporated

15 总结

在任何基于 AM26x 的 PCB 系统的设计阶段都必须遵循本文档中概述的指导方针。通过严格遵守要求，工程师可以预期他们的 PCB 系统开箱即用，运行正常，并避免进行多轮原型设计。

基于 AM26x 的定制 PCB 完成制造和组装过程后，工程师应参考“AM26x 定制 PCB 系统入门指南”进行 PCB 的初始启动和验证。

16 参考资料

AM263x

器件文档

1. 德州仪器 (TI)，*AM263x Sitara™ 微控制器*，数据表
2. 德州仪器 (TI)，*AM263x Sitara™ 微控制器技术参考手册*，技术参考手册
3. 德州仪器 (TI)，*AM263x Sitara™ 微控制器技术参考手册附录*，寄存器附录

EVM 文档

1. 德州仪器 (TI)，LP-AM263，AM263x LaunchPad EVM
2. 德州仪器 (TI)，TMDSCNCD263，AM263x controlCARD EVM

软件开发

1. 德州仪器 (TI)，MCU-PLUS-SDK-AM263X，AM263x MCU 软件开发套件

AM263Px

器件文档

1. 德州仪器 (TI)，*AM263Px Sitara™ 微控制器*，数据表
2. 德州仪器 (TI)，*AM263Px Sitara™ 微控制器技术参考手册*，技术参考手册
3. 德州仪器 (TI)，*AM263Px Sitara™ 微控制器技术参考手册附录*，寄存器附录

EVM 文档

1. 德州仪器 (TI)，LP-AM263P，AM263Px LaunchPad EVM
2. 德州仪器 (TI)，TMDSCNCD263P，AM263Px controlCard EVM

软件开发

1. 德州仪器 (TI)，MCU-PLUS-SDK-AM263PX，AM263Px MCU 软件开发套件

AM261x

器件文档

1. 德州仪器 (TI)，*AM261x Sitara™ 微处理器* 数据表
2. 德州仪器 (TI)，*AM261x Sitara 微控制器技术参考手册*，技术参考手册
3. 德州仪器 (TI)，*AM261x Sitara 微控制器寄存器附录*，寄存器附录

EVM 文档

1. 德州仪器 (TI)，LP-AM261，AM261x LaunchPad EVM
2. 德州仪器 (TI)，AM261-SOM-EVM，AM261x controlSOM EVM

软件开发

Copyright © 2026 Texas Instruments Incorporated

1. 德州仪器 (TI)，MCU-PLUS-SDK-AM261X，AM261x MCU 软件开发套件

软件开发工具

1. 德州仪器 (TI)，系统配置工具 (SYSCONFIG)
2. 德州仪器 (TI)，Code Composer Studio IDE

通用硬件设计资源

1. MIPI 联盟，调试和跟踪连接器建议，MIPI 调试和跟踪连接器建议，白皮书
2. 德州仪器 (TI)，JTAG 连接器和引脚排列，网页
3. 德州仪器 (TI)，Sitara MCU 散热设计，应用笔记
4. 德州仪器 (TI)，高速接口布局指南，应用笔记

17 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from May 2, 2025 to November 11, 2026 (from Revision D (May 2025) to Revision E (November 2026)) — **Page**

- 更新了*简介*部分中的图 1-1 5
- 更新了*简介*部分中的注释 5
- 删除了表 2-1 和 2-2，更新了注释并添加了新的表 2-1 10
- 添加了有关 500MHz 器件的 AM261x 内核电压要求的注释。 12
- 更新了图 2-1，并删除了图 2-2 和图 2-3 12
- 更新了“集成 PMIC 电源解决方案”部分。 12
- 更新了第一段。 15
- 删除了之前的图 2-7、图 2-8 和图 2-9。 15
- 更新了此部分中的所有图 17
- 删除了之前的表 2-10 和表 2-11 19
- 添加了功耗估算工具的链接。 19
- 添加了图 2-9 21
- 添加了表 2-11 25
- 更新了图 3-1 27
- 添加了外部 REF_CLK 输出子部分。 29
- 删除了图 4-5 和上述段落。 30
- 更新了 PORz 和 WARMRSTn 说明。 30
- 添加了图 *LP-AM261 SOP 隔离电阻器*。 33
- 删除了图 *LP-AM261 SOP 隔离多路复用输出使能生成* 和 *LP-AM261 SOP 隔离 — 布局*。 33
- 添加了表 6-1 和注释。 35
- 将表 6-5 中的 QSPI_CLKLB 从 145 更改为 — 39
- 在“复位”中添加了注释 39
- 更新了此部分中的所有图 40
- 删除了表*在引导 ROM 中配置的 AM263Px-SIP 封装 OSPI 引脚* 40

Changes from Revision C (January 2025) to Revision D (May 2025) — **Page**

- 更新了 PORz 和 WARMRSTn 说明。 30
- 添加了 AM261x ZFG、ZNC、ZEJ SOP 隔离方法。以 LP-AM261 上的实现为例。 33

Copyright © 2026 Texas Instruments Incorporated

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月