

Application Note

DP83867 疑难解答指南



摘要

DP83867 是一种稳健耐用型低功耗全功能物理层收发器。本应用手册旨在帮助对 DP83867 进行故障排除，并展示在 PHY 无法按预期工作时应采取的措施。

内容

1 DP83867 应用概述	2
2 排查应用问题	3
2.1 原理图和布局检查清单	3
2.2 器件运行状况检查	3
2.2.1 电压检查	3
2.2.2 探测 RESET_N 信号	4
2.2.3 探测 RBIAS	4
2.2.4 探测 XI 时钟	4
2.2.5 在初始化期间探测搭接引脚	5
2.2.6 探测串行管理接口 (MDC、MDIO)	7
2.3 MDI 运行状况检查	8
2.3.1 磁性元件	8
2.3.2 探测 MDI 信号	10
2.3.3 检查链路质量	11
2.3.4 PMA 合规性	14
2.4 MII 运行状况检查	15
2.4.1 MII 检查	15
2.4.2 GMII 检查	17
2.4.3 RGMII 检查	18
2.4.4 SGMII 检查	22
2.5 环回和 PRBS	23
2.5.1 环回模式	23
2.5.2 通过 MAC 发送和接收数据包	24
2.5.3 通过 BIST 发送和接收数据包	24
3 应用特定调试	26
3.1 在 100Mbps 全双工强制模式下建立链路	26
3.2 1Gbps 通信中的链路建立不稳定问题调试	26
3.3 DP83867PHY 和 DP83867PHY 无法以 1Gbps 建立链路	27
3.4 EMC 调试	28
3.5 低 IPG 链路中的数据包包错误	29
3.6 10Base-Te TP_IDL 故障	29
3.7 拉长 RGMII 上升/下降时间	29
4 工具和参考	30
4.1 扩展寄存器访问	30
5 结论	31
6 参考资料	31
7 修订历史记录	32

商标

所有商标均为其各自所有者的财产。

1 DP83867 应用概述

DP83867 是一款稳健耐用型低功耗全功能物理层收发器，它集成了 PMD 子层以支持 10BASE-Te、100BASE-TX 和 1000BASE-T 以太网协议。

图 1-1 是典型 DP83867 应用的简化系统方框图。

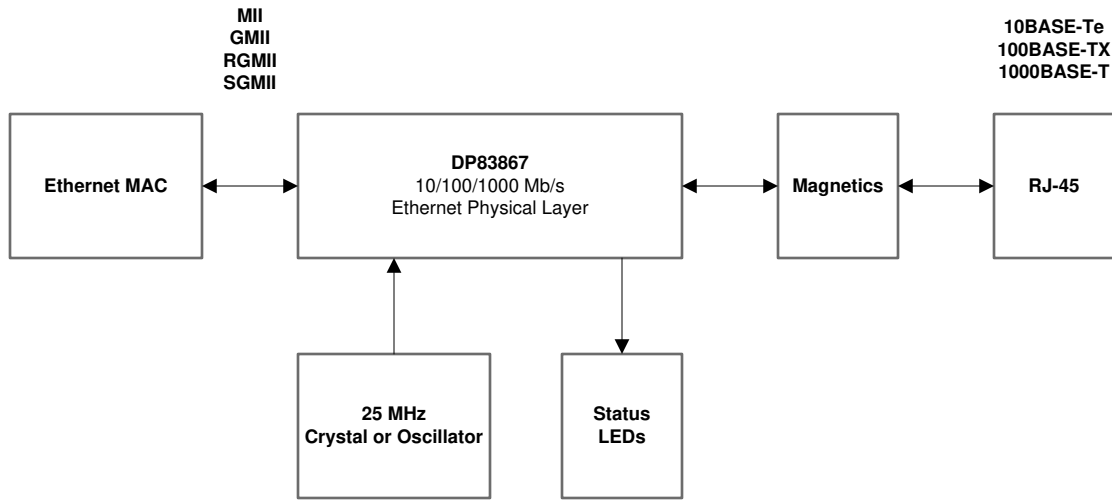


图 1-1. DP83867 方框图

DP83867 可以连接到以太网 MAC 和介质。与介质的连接通过变压器和连接器实现。

表 1-1. DP83867 配置

DP83867 版本	MAC 接口	引脚编号/封装
DP83867IR/CR/IS/CS/E	RGMII	48 引脚/QFN 封装
DP83867IS/CS/E	SGMII	48 引脚/QFN 封装
DP83867IRPAPR	MII/GMII/RGMII	64 引脚/QFP 封装

2 排查应用问题

以下各节从较高层次介绍调试方法，尝试从具有广泛影响的应用特性开始，然后致力于研究设计的更重点方面。

2.1 原理图和布局检查清单

[DP83867 原理图检查清单](#)和 [DP8386X 布局检查清单](#)将用 [DP83867](#) 进行设计的最佳实践汇编到一个易于使用的文档中。建议浏览这些文档以了解 PHY 工作所需的连接和元件的详细说明。

以下各节可以介绍 PHY 上电并正确初始化后的预期行为。如果与预期行为有任何偏差，则可能会因外设电路不正确而导致误差。

2.2 器件运行状况检查

本节深入介绍器件运行状况检查，该检查可确保器件已正确通电并初始化。如果 [DP83867](#) 发生如下情况，可以跳过此部分：

- 连接到链路伙伴时正在连接 (LED 指示或寄存器状态) 或在以太网电缆未连接时显示 FLP 信号
- 正在响应寄存器访问 (如果适用)

2.2.1 电压检查

[DP83867](#) 需要具有足够电源的以及

- 每个电源轨一个 10nF 和一个 10uF 去耦合
- 每个引脚一个 100nF 和一个 1uF 去耦合

[DP83867](#) 支持两种电源配置，如图 [2-1](#) 和图 [2-2](#) 所示。

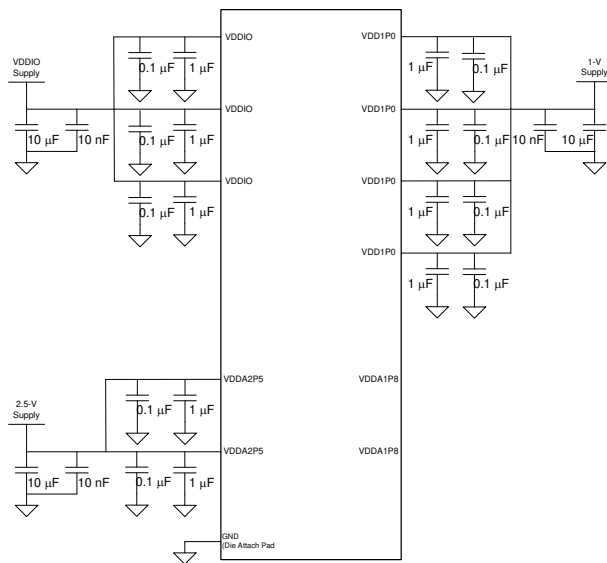


图 2-1. 双电源配置

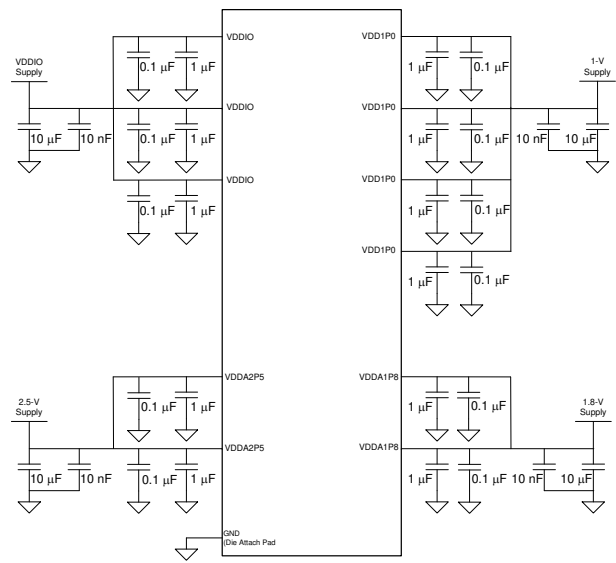


图 2-2. 三电源配置

在三电源配置下运行时，VDDA1P8 必须在 VDDA2P5 斜升的 25ms 内保持稳定。确保在 VDDA2V5 之后使用 VDDIO1P8。

- 当 [DP83867](#) 断电时，VDDA1P8 需要在 VDDA2P5 之前关闭。

为器件加电，并使用示波器验证这些电源的顺序。在尽可能靠近引脚的位置对电源执行直流测量。确认每个测量值均在下面定义的限值范围内。

表 2-1. 建议运行条件

	最小 (V)	典型 (V)	最大 (V)
VDDIO (1.8V)	1.71	1.8	1.89
VDDIO (2.5V)	2.375	2.5	2.625
VDDIO (3.3V)	3.15	3.3	3.45
VDD1P1 (PAP)	1.045	1.1	1.155
VDD1P0 (RGZ)	0.95	1	1.155
VDDA1P8	1.71	1.8	1.89
VDDA2P5	2.375	2.5	2.625

2.2.2 探测 RESET_N 信号

复位引脚为低电平有效。如果处于未连接状态或未从外部进行驱动，该引脚具有弱内部上拉电阻器，可提供默认状态。

确认控制器未将 RESET_N 信号驱动为低电平。否则，器件将保持复位状态，并且不会响应。

2.2.3 探测 RBIAS

RBIAS 引脚用于设置 DP83869 内的内部基准电流。RBIAS 应是容差为 1% 的 11k Ω 电阻器。首选是具有单个元件而不是多个串联元件，因为容差范围可能会增加。

如果供电正确，在探测 RBIAS 引脚时将出现 1V 信号。

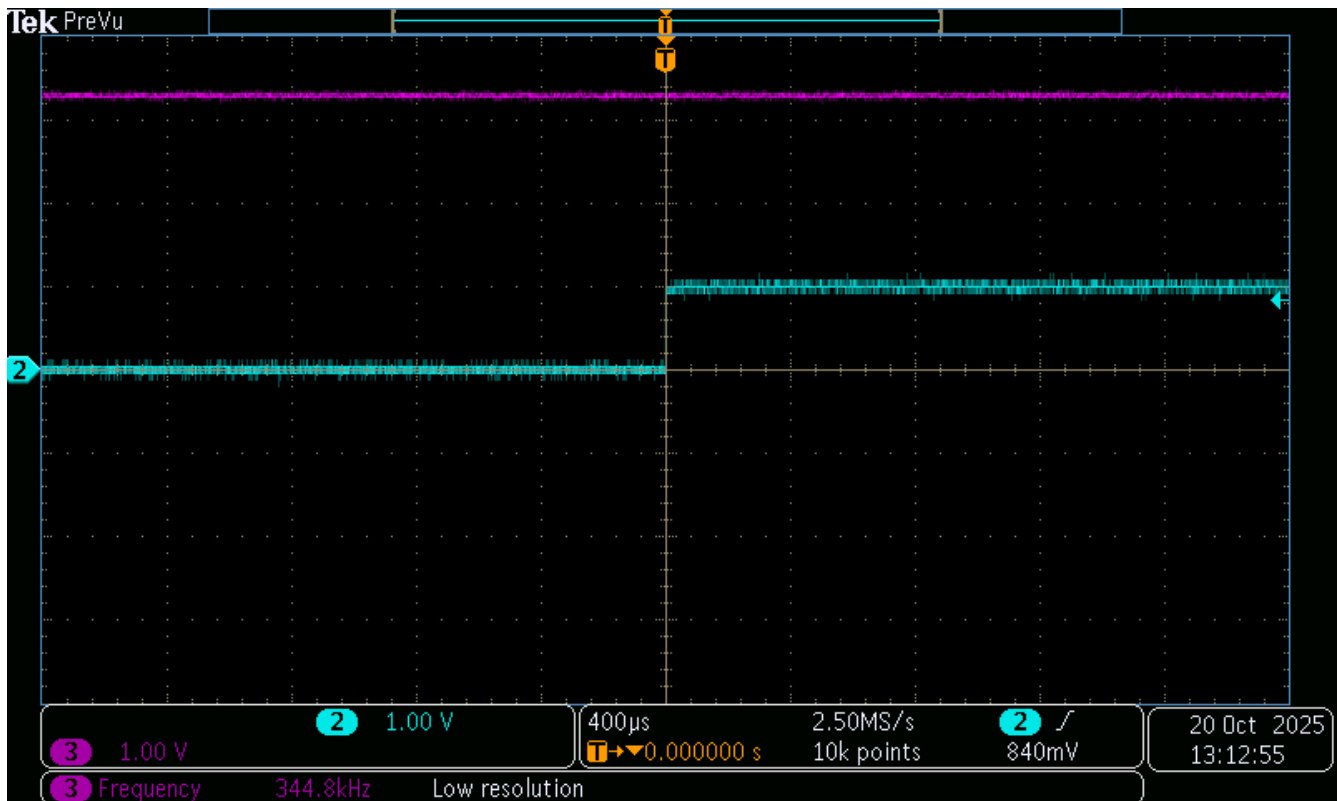


图 2-3. RBIAS 电压 (蓝色) 和 VDDIO (紫色)

2.2.4 探测 XI 时钟

以下指南是兼容输入时钟的主要参考规格

表 2-2. 25MHz 晶体规格

参数	最小值	典型值	最大值	单位
频率		25		MHz
频率容差	-50		50	ppm

探测晶体节点可以改变容性负载，从而改变工作频率。如果使用晶体作为时钟源，则探测 CLK_OUT 信号。CLK_OUT 上的默认信号是 XI 基准的缓冲版本，可提供代表性测量。

表 2-3. 25MHz 振荡器规格

参数	最小值	典型值	最大值	单位
频率		25		MHz
频率容差	-50		50	ppm
上升/下降时间			5	ns
对称性	40		60	%
抖动 RMS			11	ps

对于 1.8V 时钟源，XI 可直接连接至时钟源。对于 3.3V 或 2.5V 时钟源，应在时钟源和 XI 引脚之间使用电容分频器，以满足 XI 引脚规格建议运行条件。

备注

有关使用晶体网络进行设计的更多信息，请参阅[德州仪器 \(TI\) 以太网物理层收发器的晶体选型和规格应用手册](#)。

2.2.5 在初始化期间探测搭接引脚

DP83867 具有搭接引脚，可用于在预定模式下配置器件。这些搭接引脚上的电压决定 DP83867 可采用的工作模式。

初始化时，外部搭接网络与内部电阻器共同形成一个分压器，供 PHY 采样。线路上的任何其他元件都不应影响该网络设置的直流偏置。

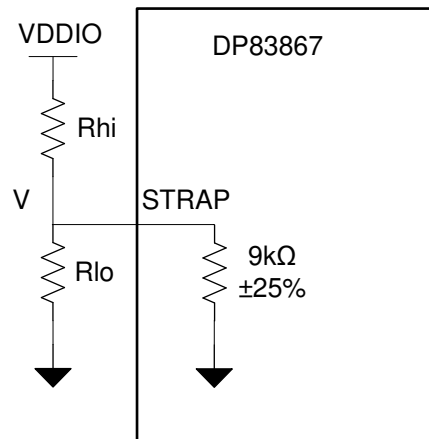


图 2-4. DP83867 搭接电路

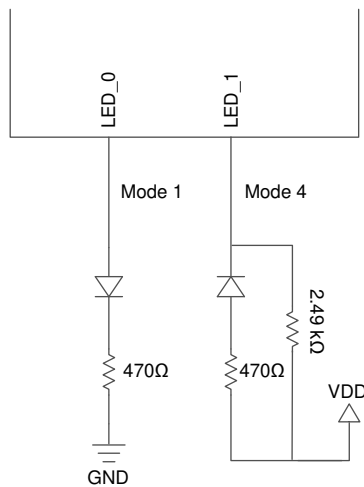


图 2-5. DP83867 LED 搭接电路

在某些情况下，电路板上的其他器件（例如，MAC）会意外地驱动这些搭接引脚。搭接值可以从寄存器 0x006E (STRAP_STS1) 和 0x006F (STRAP_STS2) 中读取。如果问题与上下电周期相关，则搭接可能存在边缘情况，可以逐周期观察此寄存器，以确定 PHY 是否处于非预期的搭接状态。

可在上电期间以及上电后 RESET_N 信号有效时进行测量。

备注

寄存器 0x6E 和 0x6F 是扩展寄存器，不能直接访问。请参考节 4.1

2.2.6 探测串行管理接口 (MDC、MDIO)

串行管理接口 (SMI) 可用于在调试期间提供状态字段。确保 MDIO 线路有一个上拉电阻器连接到 VDDIO，因为该引脚是 PHY 的开漏。空闲时，电压需为 VDDIO。确保 SMI 访问按照以下顺序：

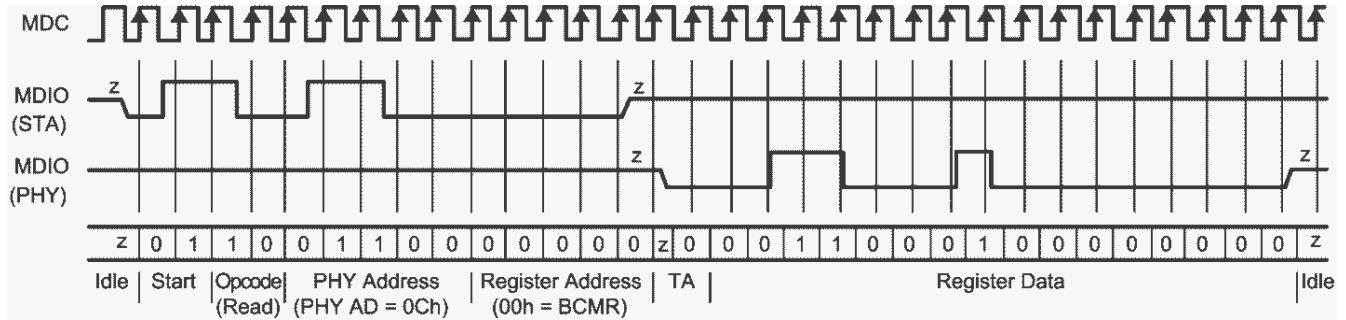


图 2-6. SMI 读取操作

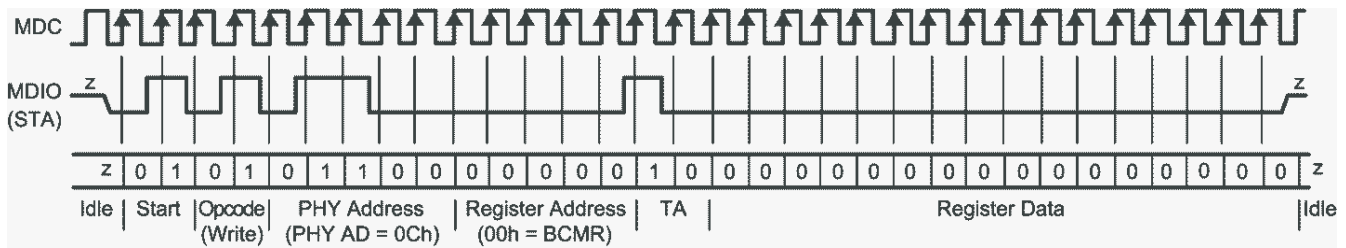


图 2-7. SMI 写入操作

确认处理器和 PHY 具有相同的 SMI I/O 电压。使用逻辑分析仪调试 MDIO 通信会很有用。

2.2.6.1 读取并检查寄存器值

读取寄存器并验证数据表中显示的默认值。请注意，某些寄存器的初始值可能会因 strap 配置选项而异。表 2-5 展示了在自协商的情况下以 100/1000Mbps 速率运行 PHY 和链路的预期寄存器值示例

表 2-4 展示了在启用自协商的情况下以 1000Mbps 速率运行 PHY 和链路的预期寄存器值。

表 2-4. DP83867 寄存器值参考

寄存器地址	寄存器值		注释
	100Mbps	1000Mbps	
0x0000	1140	1140	启用自动协商
0x0001	796D	796D	链接已建立
0x0004	01E1	01E1	DUT 10/100Mbps 广播
0x0009	0000	0300	1000Mbps 广播
0x0011	6C02	BF02	PHY 状态

示例：在为 PHY 供电并以 1000Mbps 速率建立连接后，Reg 0x11 包含值 BF02。这证实：

- 1000Mbps 模式
- 全双工
- 自动协商已完成
- 链路已建立

示例：在为 PHY 供电并以 10Mbps 速率建立连接后，寄存器 0x1 包含值 0x7969。在这种情况下，bit[2] 为低电平，而预期值为高电平。寄存器 0x1 的 bit[2] 对应于链路状态，因此已知 PHY 未连接。

如果不能轻松访问寄存器，可从 TI 获取 USB-2-MDIO GUI，它可与 MSP430F5529™ Launchpad 搭配使用，并可通过 [TI 网上商店](#) 购买。GUI 支持读写寄存器和运行脚本文件，并可与 DP83869HM 和 TI 以太网产品系列中的其他器件搭配使用。USB-2-MDIO 用户指南和 GUI [可供下载](#)。

2.3 MDI 运行状况检查

本节深入介绍器件运行状况检查，该检查可确保器件的 MDI 部分正常运行。如果 DP83867 已链接并且在通过器件发送流量时，寄存器 0x15 上未报告错误，则可以跳过本节。

2.3.1 磁性元件

以下指南是兼容磁性元件的主要参考规格：

表 2-5. 磁隔离要求

参数	测试条件	典型值	单位
匝数比	±2% 容差	1:1	-
开路电感	-	320 至 350	μH
插入损耗	1MHz-100MHz	-1	dB
回波损耗	1MHz-30MHz	-16	dB
	30MHz-60MHz	-12	dB
	60MHz-100MHz	-10	dB
差分至共模抑制比	1MHz-50MHz	-30	dB
	50MHz-150MHz	-20	dB
串扰	30MHz	-35	dB
	60MHz	-30	dB
隔离	HPOT	1500	Vrms

如果无法满足这些确切要求，可以提供以下容差：

- 匝数比：3% 也可以接受
- 插入损耗：-1dB 或接近 0dB
- 回波损耗：达到或超出上表中的值

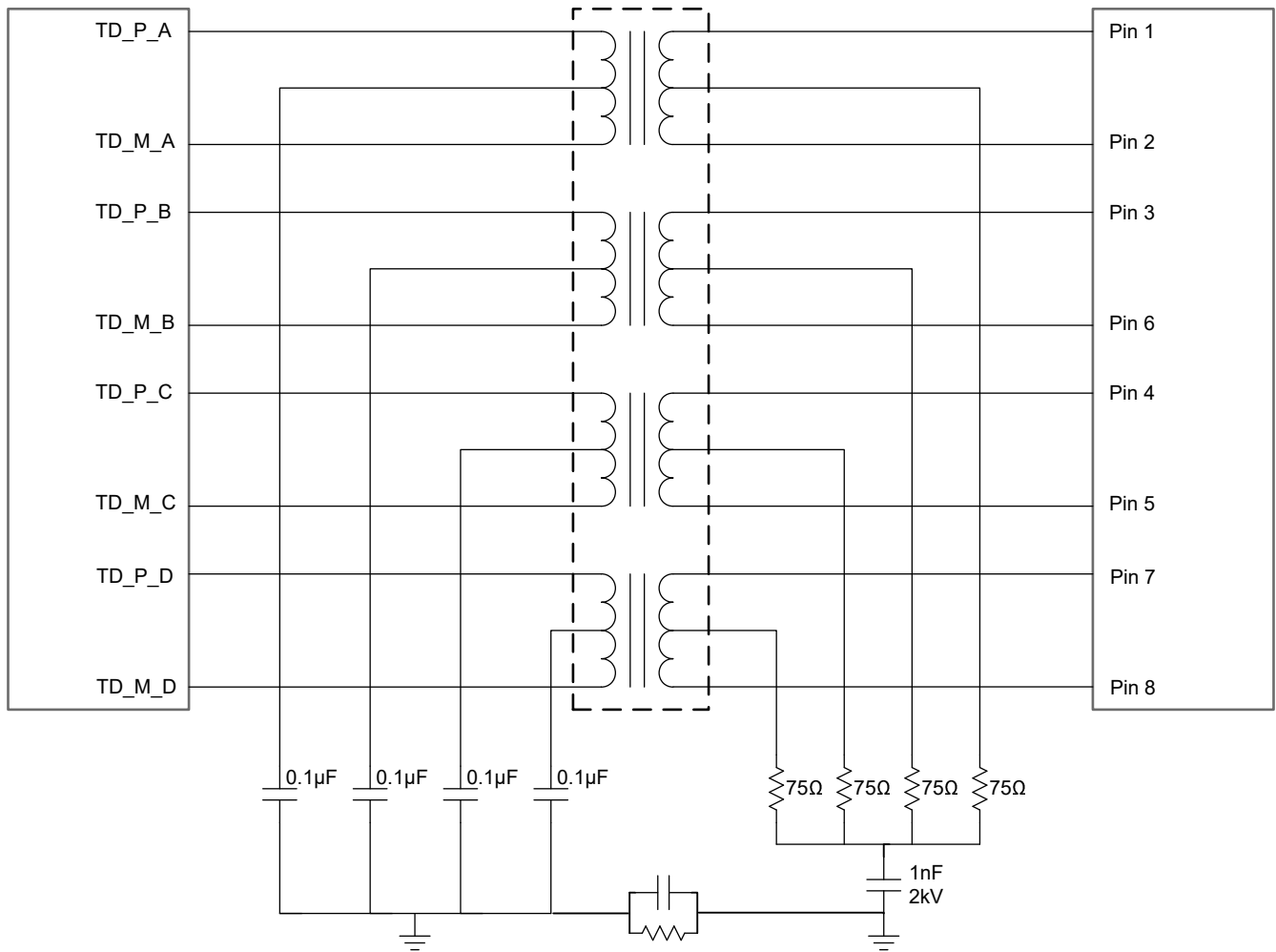


图 2-8. PHY 至 RJ45 和磁性元件

- 每个 PHY 侧中心抽头必须相互隔离，并过去耦电容器接地。

2.3.2 探测 MDI 信号

启用自动协商后，链路脉冲应在通道 A 发送和接收差分对 (TD_P_A 和 TD_M_A) 上可见。

具有 100 欧姆终端的短以太网电缆可用于测量 MDI 信号。端接电缆如图 2-9 所示。图 2-10 展示了使用端接电缆进行测量的连接图。

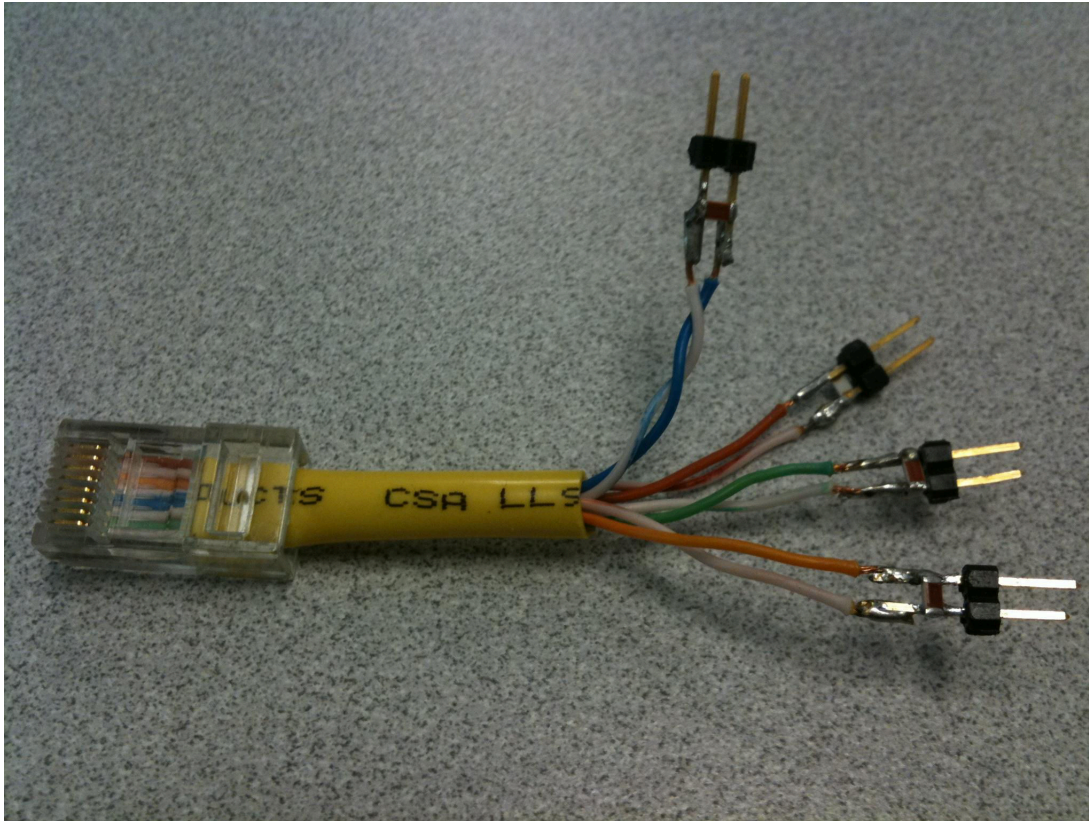


图 2-9. 用于 MDI 信号测量的 100 Ω 端接电缆

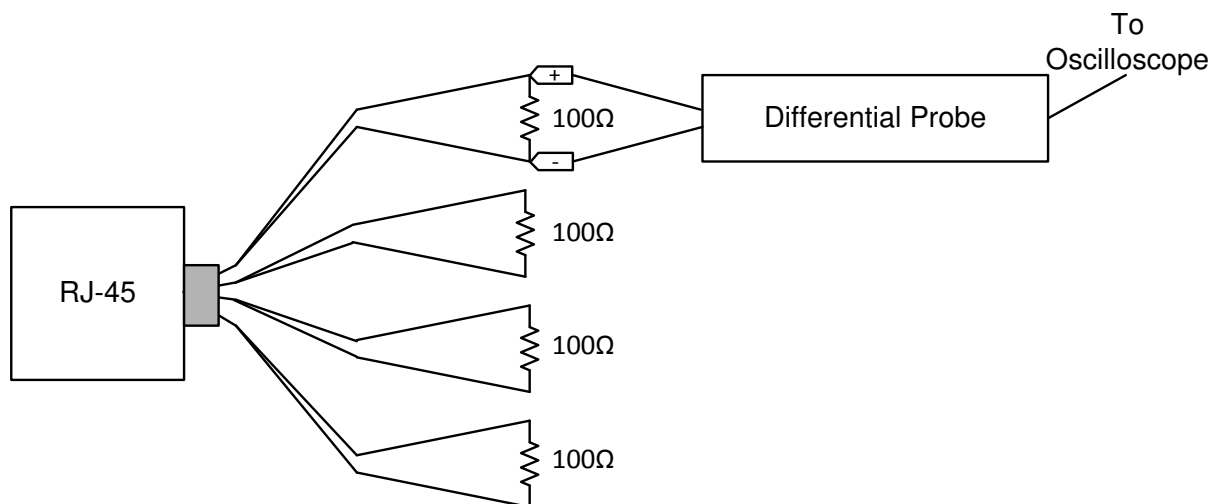


图 2-10. 100M 端接电缆的连接图

自动协商链路脉冲的标称宽度为 100ns。脉冲间隔为 62μs 或 125μs，并以突发方式传输。突发的标称持续时间为 2ms，每 16ms 发生一次。下面的图 2-11 展示了一个示例链路脉冲。

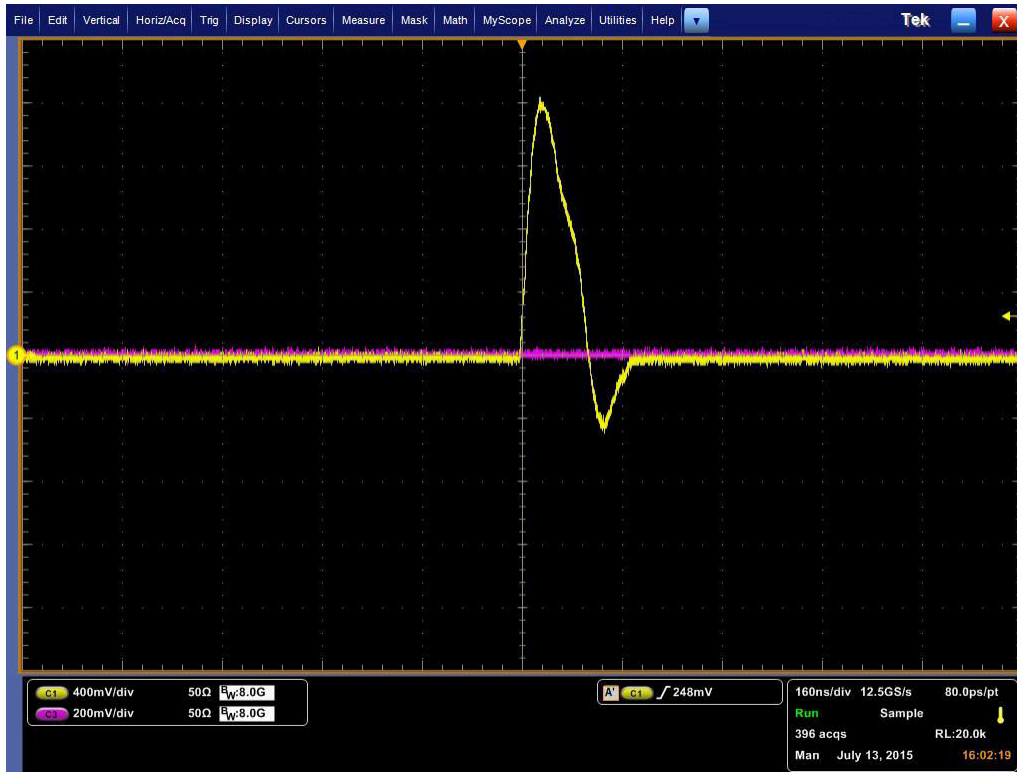


图 2-11. DP83867 链路脉冲

观察此脉冲可确认 PHY 已打开并尝试进行连接。

2.3.3 检查链路质量

建立有效链路后，确认密钥状态寄存器值并直观验证链路 LED 是否亮起，下一个数据传输调试步骤是检查 MDI 接口。链路问题可能有以下几种原因：

1. 链路伙伴传输问题
2. 电缆长度和质量
3. 25MHz 基准时钟质量
4. MDI 信号质量

PHY 通电并连接到链路伙伴后，下列寄存器可用于确定均方误差 (MSE)。对于 100Mbps 通信，请仅参阅通道 A。MSE 寄存器对 10Mbps 通信无效。通过 MSE 值，使用表 2-7 来确定链路质量。

表 2-6. 链路质量 MSE 寄存器 (用于 1000Mbps 链路)

通道	寄存器地址
A	0x225
B	0x265
C	0x2A5
D	0x2E5

对于给定的通道，读取寄存器值以确定 MSE（均方误差），转换为十进制，并参考下表来确定链路质量：

表 2-7. MSE 链路质量转换

链路质量	MSE 范围
非常好	0x020A > MSE
良好	0x33B > MSE > 0x020A
不佳	MSE > 0x33B

2.3.3.1 提高短电缆链路裕度

如果 DP83867 在短电缆长度为 1m 或更短时遇到链路质量问题，请考虑以下部分。

PHY 的数字信号处理 (DSP) 模块可能会在电缆长度较短时收敛到不理想的滤波器值，这可能会导致信噪比 (SNR) 较差。以下寄存器配置可以通过调整计时带宽来帮助 DSP 正确收敛，从而提高 SNR：

```

begin
// Hard Reset
001F 8000
// Threshold for consecutive amount of Idle symbols for Viterbi Idle detector to assert Idle Mode
set to 5
0053 2054
// CAGC DC Compensation Disable
00EF 3840
// Master Training Timers - increasing time in different training states
0102 7477
// Master Training Timers - increasing time in different training states
0103 7777
// Master Training Timers - increasing time in different training states
0104 4577
// Timing Loop Bandwidth
010C 7777
// Timing Loop Bandwidth
01C2 7FDE
// Slave Timers - increasing time in different training states
0115 5555
// Slave Timers - increasing time in different training states
0118 0771
// Timing Loop Bandwidth
011D 6DB2
// Timing Loop Bandwidth
011E 3FFB
// Timing Loop Bandwidth
01C3 FFC6
// Timing Loop Bandwidth
01C4 0FC2
// Timing Loop Bandwidth
01C5 0FF0
// FFE Fix
012C 0E81
// Soft Reset
001F 4000
end
    
```

2.3.3.2 提高通道间链路裕度

DP83867 使用 AGC 增益收敛电路 (MDI 接收器的自动增益控制) 来提供更快链路。链路时间和各对间的增益不匹配之间存在折衷。在观察到数据包错误的应用中，可以通过使用以下寄存器写入来增加增益收敛时间，从而改进增益匹配：

```
begin
// Hard reset
001F 8000
// Increase time for AGC
0102 7477
// No AGC Re-train
00E4 0080
// Soft reset
001F 4000
end
```

2.3.4 PMA 合规性

可以进行 IEEE PMA 合规性测量以验证信令特性。有关这些测量以及如何正确配置 PHY 的详细信息，请参阅[如何配置 DP8386x 以进行以太网合规性测试](#)应用手册。

如果在遵循上述应用手册要求后合规性测试失败，请检查以下内容：

- 移除 MDI 线路上的 ESD 二极管以进行合规性测试
- 确保 RBIAS 值处于 1% 范围内
- 确保磁性元件遵循数据表规格。
- 切勿使磁性元件上的中心抽头短接，检查中心抽头上的电容器
- 确保在 MDI 线路附近未进行时钟或数据信号布线
- 检查 MDI 线路的长度匹配和阻抗匹配

如果这些检查没有任何帮助，调整寄存器 0x00A0、0x00A1、0x00A2 和 0x00A3 可以帮助进行合规性测试。

2.4 MII 运行状况检查

本节深入介绍器件运行状况检查，该检查可确保 MAC 接口正常运行。

2.4.1 MII 检查

媒体独立接口 (MII) 是一个同步 4 位宽半字节数据接口，用于将 PHY 连接到 MAC。MII 操作仅适用于 DP83867 的 PAP 型号。

MII 信号具体汇总如下：

表 2-8. MII 信号

功能	引脚
数据信号	TX_D[3:0]
	RX_D[3:0]
发送和接收信号	TX_EN
	RX_DV
误差信号	RX_ER

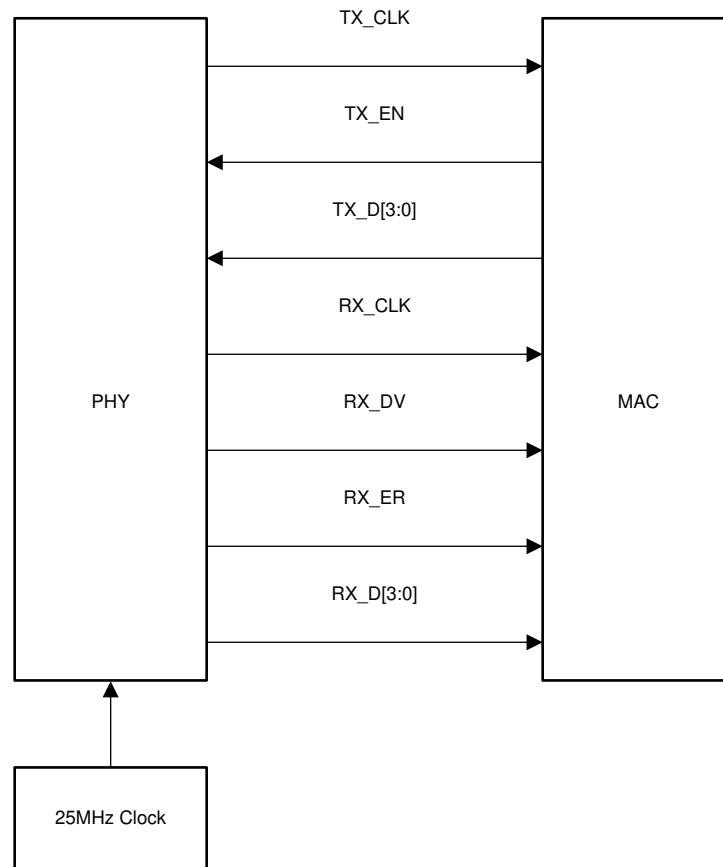


图 2-12. MII 信号

TX_D[3:0] 上的数据锁存在 PHY 上，基准为 TX_CLK。RX_D[3:0] 上的数据以 RX_CLK 为基准提供。如果怀疑 MAC TX 或 RX 总线有问题，请探测布线接收器侧的线路，确保满足接收器的建立时间和保持时间要求。

表 2-9. 100M MII 时序

规格	最小值	典型值	最大值	单元
TX_CLK 高电平/ 低电平时间	16	20	24	ns
TX_D[3:0]、 TX_EN 设置为 TX_CLK	10			ns
TX_D[3:0]，来自 TX_CLK 的、 TX_EN 保持	0			ns
RX_CLK 高电平/ 低电平时间	16	20	24	ns
RX_D[3:0]、 RX_ER、RX_DV 相对于 RX_CLK 上升的延迟时间	10		30	ns

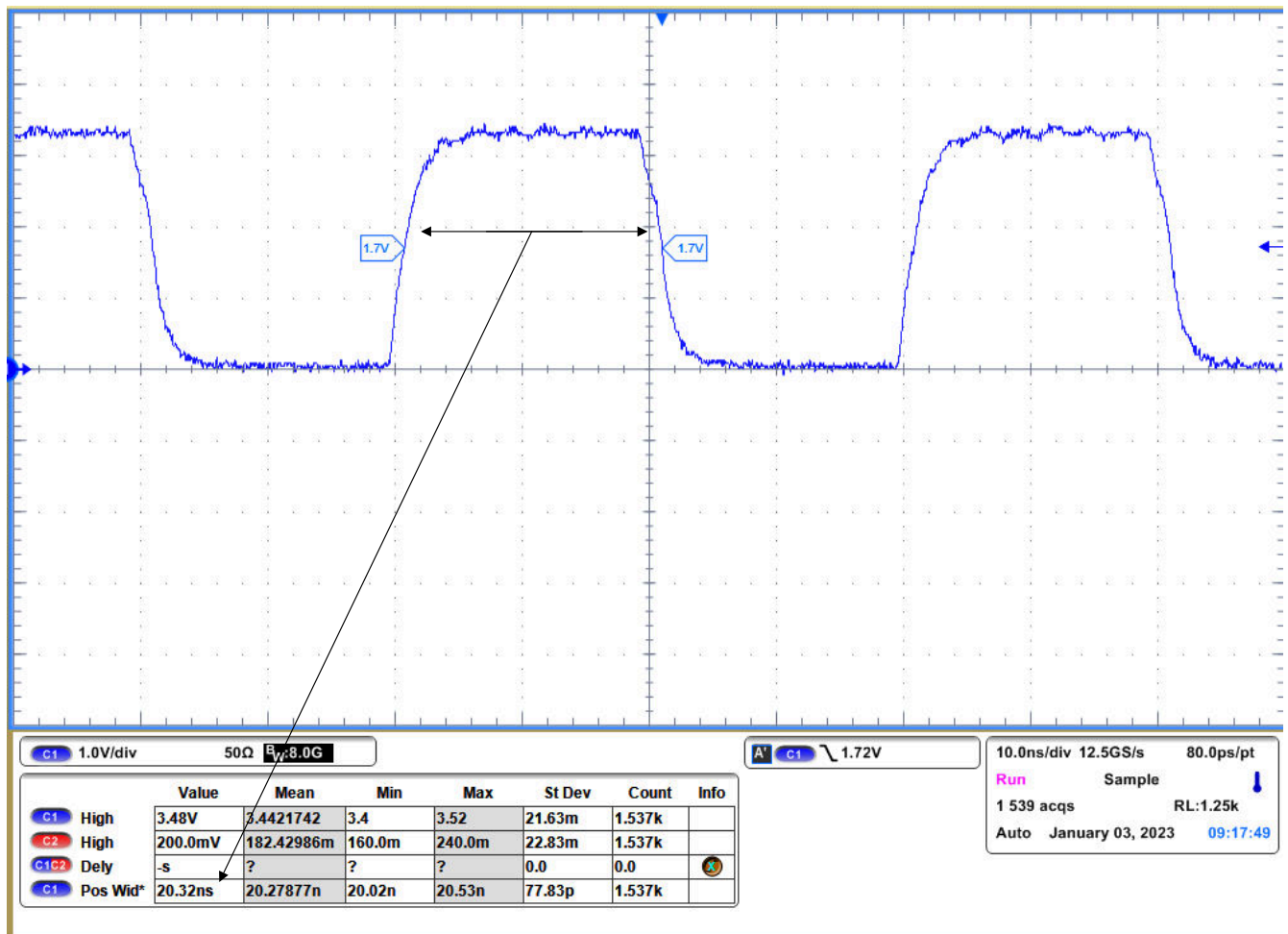


图 2-13. 100M RX_CLK 高电平时间

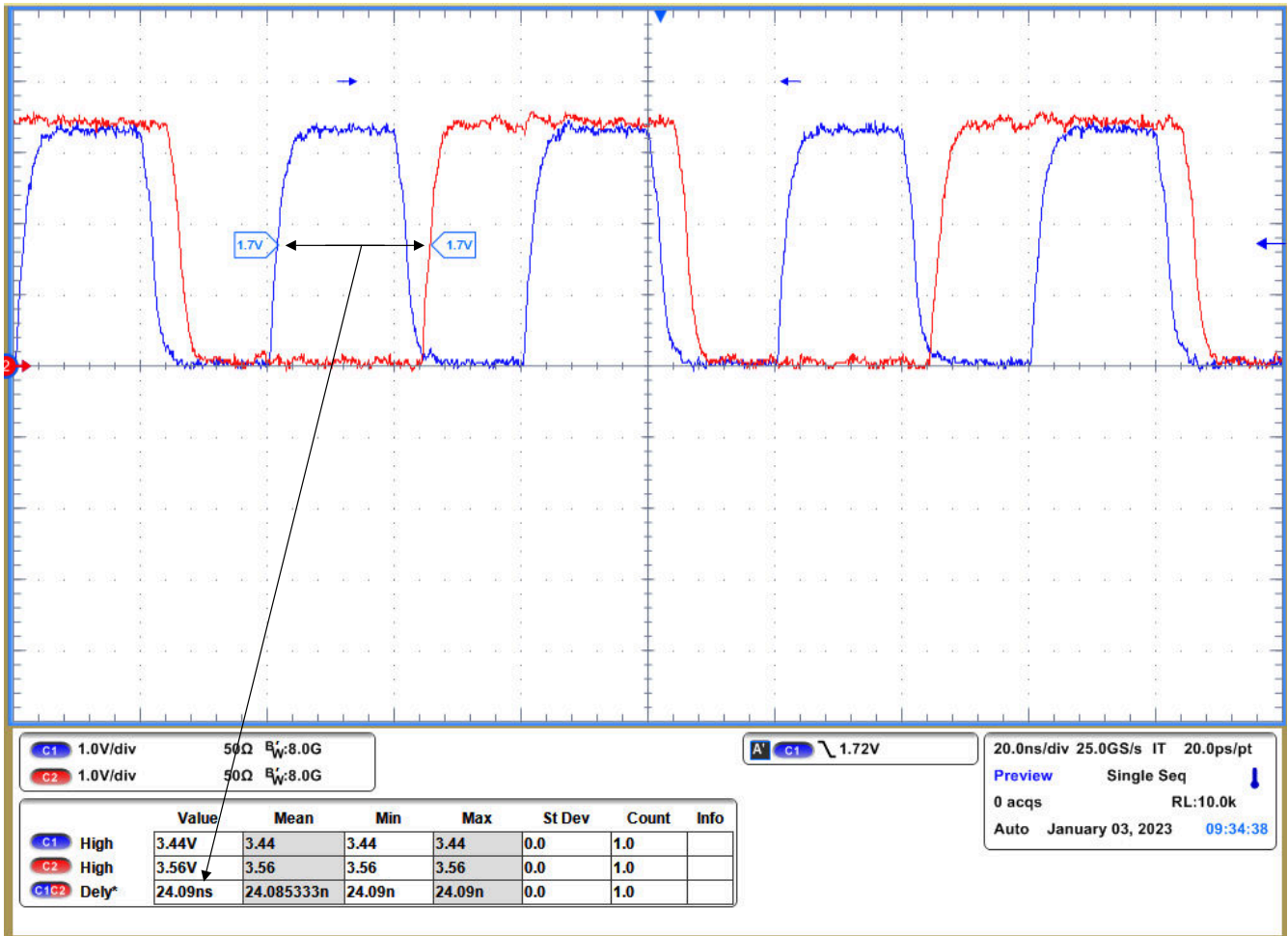


图 2-14. 来自 RX_CLK 的 100M RX_D1 延迟

2.4.2 GMII 检查

千兆位媒体独立接口 (GMII) 是一个同步 8 位宽数据接口，用于将 PHY 连接到 MAC。GMII 操作仅适用于 DP83867 的 PAP 型号。

GMII 信号具体汇总如下：

表 2-10. GMII 信号

功能	引脚
数据信号	TX_D[7:0]
	RX_D[7:0]
发送和接收信号	TX_EN
	RX_DV
误差信号	TX_ER
	RX_ER
载波和碰撞	CRS
	COL

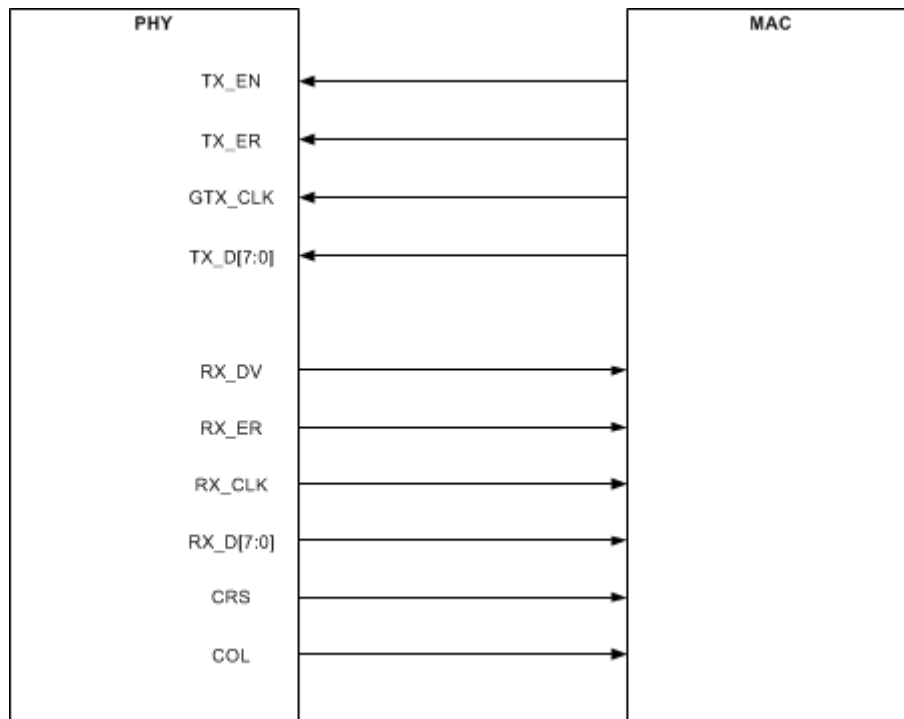


图 2-15. GMII 信令

TX_D[7:0] 上的数据锁存在 PHY 上，基准为 GTX_CLK。RX_D[7:0] 上的数据以 RX_CLK 为基准提供。如果怀疑 MAC TX 或 RX 总线有问题，请探测布线接收器侧的线路，确保满足接收器的建立时间和保持时间要求。

表 2-11. GMII 时序

规格	最小值	最大值	单位
GTX_CLK 上升/下降时间		1	ns
TX_D、TX_EN、TX_ER 相对于 GTX_CLK 的建立时间	2		ns
TX_D、TX_EN、TX_ER 相对于 GTX_CLK 的保持时间	0.5		ns
RX_CLK 上升/下降时间		1	ns
RX_D、RX_DV、RX_ER 相对于 RX_CLK 上升沿的延迟时间	0.5	5.5	ns

2.4.3 RGMII 检查

简化版千兆位介质独立接口 (RGMII) 是一种 4 位宽数据接口，支持 PHY 和 MAC 之间最高 1000Mbps 的通信。

RGMII 信号具体汇总如下：

表 2-12. RGMII 信号

功能	引脚
数据信号	TX_D[3:0]
	RX_D[3:0]
发送和接收信号	TX_CTRL
	RX_CTRL

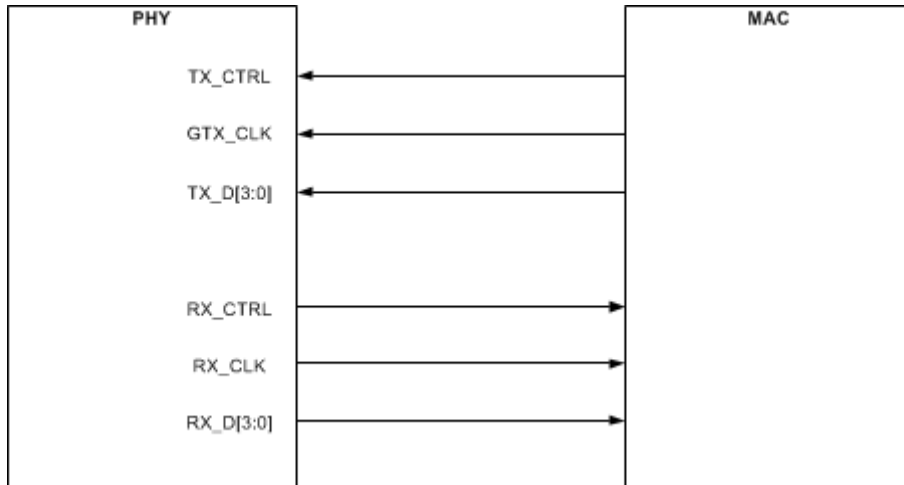


图 2-16. RGMII 信号

参考本节中的波形，验证移位和对齐模式下 RGMII 的预期 MAC 数据和时钟信号。要捕获数据和时钟信号，请在靠近接收器端的位置进行测量。要选择正确的延迟模式，请注意以下要求：

表 2-13. 选择正确的 RGMII 延迟模式

如果 MAC 的配置为	所需的 PHY 配置
TX 端的 RGMII 对齐模式	TX 端的 RGMII 移位模式
RX 端的 RGMII 对齐模式	RX 端的 RGMII 移位模式
TX 端的 RGMII 移位模式	TX 端的 RGMII 对齐模式
RX 端的 RGMII 移位模式	RX 端的 RGMII 对齐模式

备注

在移位模式下，可以使用 RGMII 延迟控制寄存器 (RGMIIIDCTL) 地址 0x0086 来调整时钟偏斜。

移位和对齐模式下为 RX_D[3:0] 和 RX_CLK

对于在 RX 对齐模式下设置为 10/100Mbps 的 PHY，探测 MAC 端的时钟和数据信号，并与下图的参考波形进行比较：

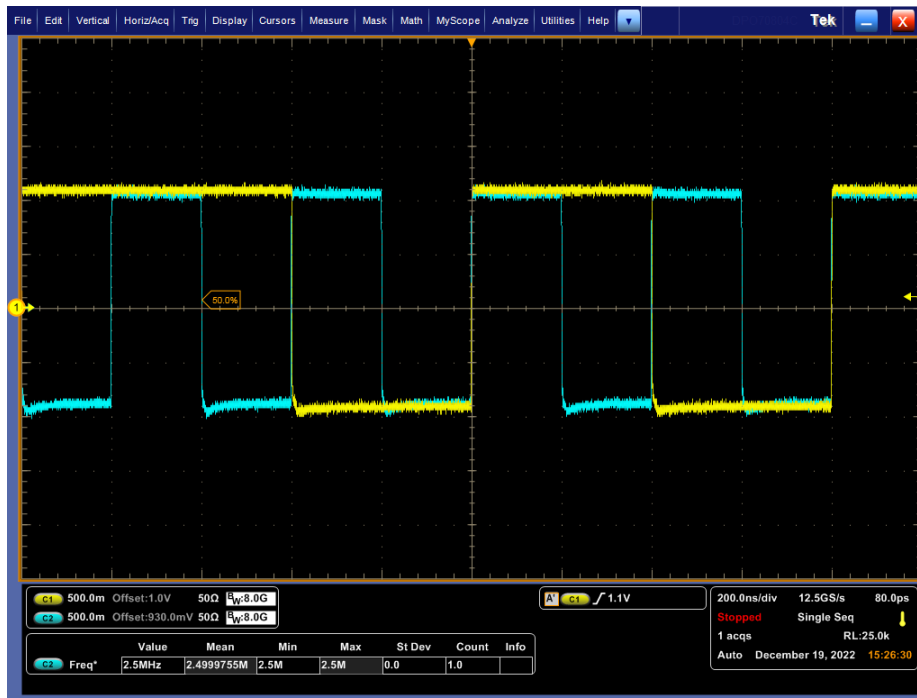


图 2-17. 10Mbps 数据与 RX_CLK 对齐

验证时钟 (C2) 的频率是否为 2.5MHz，以及在时钟的上升沿对数据 (C1) 进行采样。

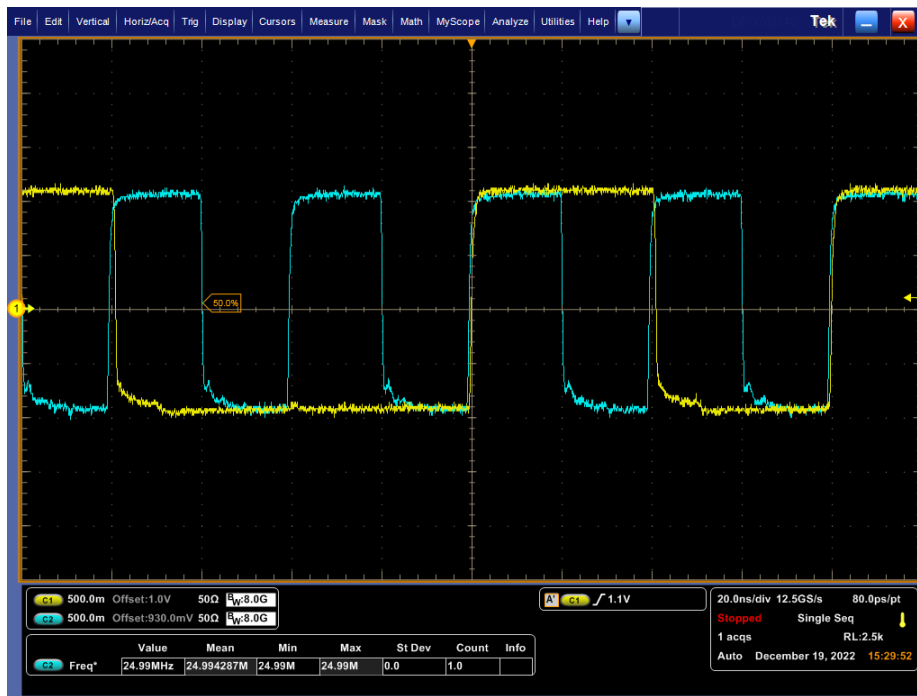


图 2-18. 100Mbps 数据与 RX_CLK 对齐

验证时钟 (C2) 的频率是否为 25MHz，以及在时钟的上升沿对数据 (C1) 进行采样。

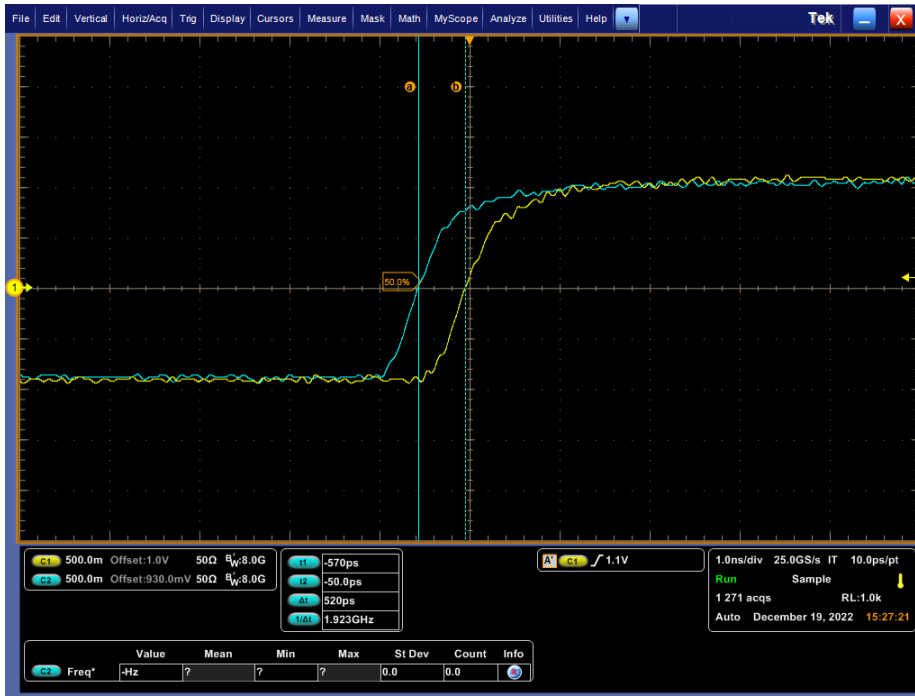


图 2-19. 对齐模式下的 10Mbps 数据和时钟延迟

验证对齐模式下时钟和数据之间的延迟是否小于 500ps。

对于在 RX 移位模式 (0x32) 下设置为 10/100Mbps 的 PHY，探测 MAC 端的时钟和数据信号，并与下面的参考波形进行比较。

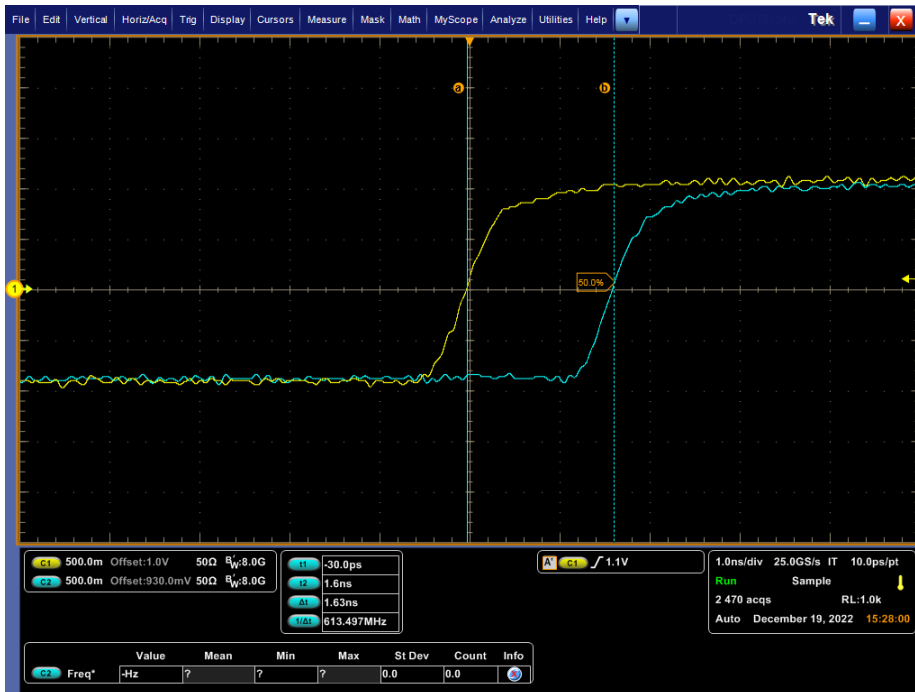


图 2-20. 移位模式下的 10Mbps 数据和 RX_CLK (4ns 编程延迟)

验证移位模式下时钟和数据之间的延迟是否大于 1ns。编程的延迟是相对于时钟在对齐模式下的初始位置。在设置移位模式之前和之后测量时钟位置的差值将得到一个更接近编程延迟的值。

移位和对齐模式下为 TX_D[3:0] 和 TX_CLK

对于在 TX 移位或对齐模式下设置的 PHY，探测 PHY 端的数据和时钟信号，并验证是否满足以下时序要求：

表 2-14. RGMII 时序

参数	最小值	标称值	最大值	单位
T _{skewT} 数据到时钟输出偏斜 (在变送器处)	-500	0	500	ps
T _{skewR} 数据到时钟输入偏斜 (在接收器处)	1	1.8	2.6	ns
T _{setupT} 数据到时钟输出设置 (在变送器处 - 内部延迟)	1.2	2		ns
T _{holdT} 时钟到数据输出保持 (在变送器处 - 内部延迟)	1.2	2		ns
T _{setupR} 数据到时钟输入设置 (在接收器处 - 内部延迟)	1	2		ns
T _{holdR} 时钟到数据输入保持 (在接收器处 - 内部延迟)	1	2		ns
T _{cyc} 时钟周期时长	7.2	8	8.8	ns
Duty_G 千兆位的占空比	45	50	55%	
Duty_T 10/100T 的占空比	40	50	60%	
T _R 上升时间 (20% 至 80%)			0.75	ns
T _F 下降时间 (20% 至 80%)			0.75	ns

2.4.4 SGMII 检查

串行千兆位媒体独立接口 (SGMII) 提供了一种在 100M/1000M PHY 与 MAC 之间传输网络数据和端口速度的方法，其信号引脚少于 GMII 或 RGMII 所需的信号引脚。SGMII 接口使用 1.25Gbps LVDS 差分信号，与 GMII 或 RGMII 相比，它具有减少 EMI 辐射的额外优势。SGMII 仅在 DP83867E/IS/CS 型号上提供

表 2-15. SGMII 输出规格

SGMII 输出	最小值	最大值	单位
输出差分电压	0.3	0.8	差分峰值电压

所有 SGMII 连接必须通过 0.1uF 电容器进行交流耦合

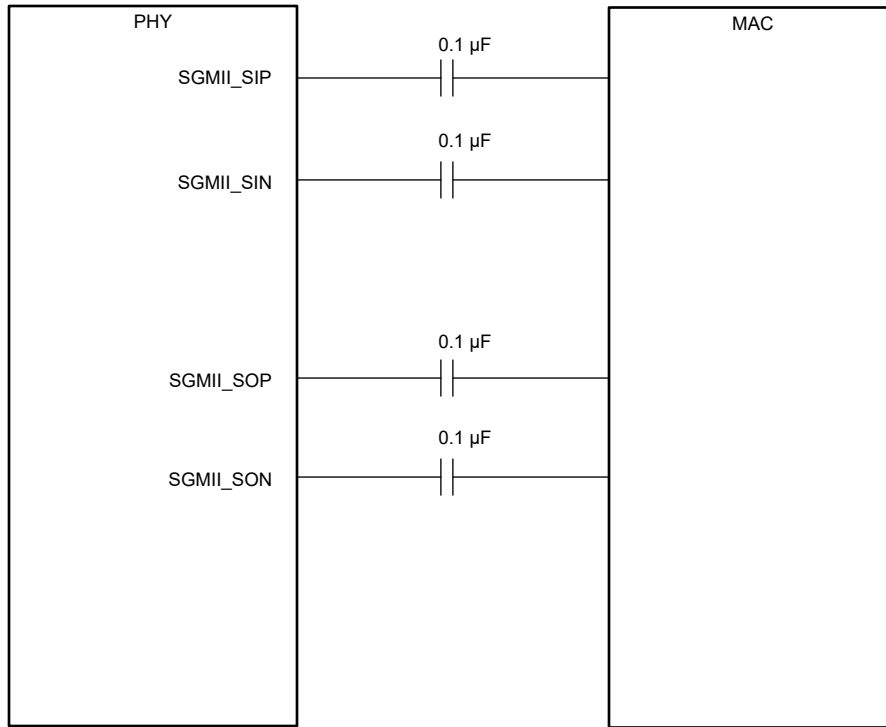


图 2-21. SGMII 信令

如果 SGMII 无法正常运行，请考虑以下因素：

1. 检查寄存器 0x0037[0] 以了解 SGMII 自动协商完成状态
2. 检查寄存器 0x0037[1] 以查看是否已接收到 SGMII 控制页面
3. 验证 SGMII 信号具有正确的峰值间电压
4. 在寄存器 0x0014[7] 中复位 SGMII 自动协商

2.5 环回和 PRBS

2.5.1 环回模式

提供了多个环回选项，可用于测试和验证 PHY 中的各种功能块。启用环回模式后，可以对 MII 和 MDI 数据路径进行电路内测试。DP83867 可以配置为近端 (MII) 回送模式之一，或配置为反向 (MDI) 回送模式。

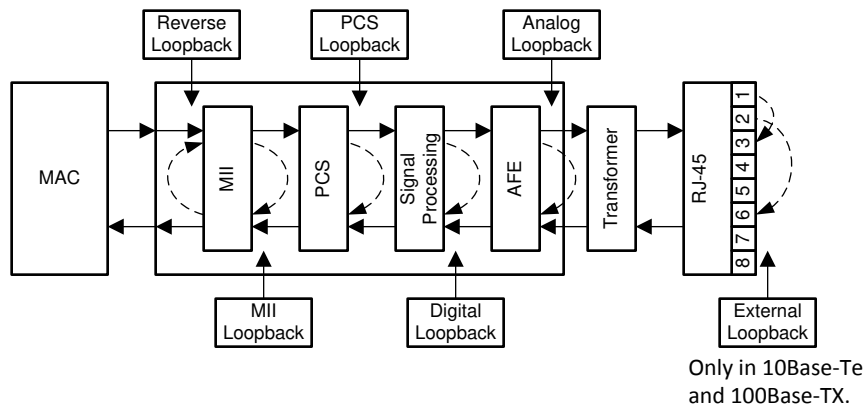


图 2-22. 环回

环回的可用性取决于 PHY 的工作模式。这些环回模式下的链路状态也受工作模式的影响。下表列出了环回不可用的例外情况。

表 2-16. 环回可用性例外

OP 模式	环回	例外
RGMII/GMII (PAP)	PCS	10M
	外部	1000M
SGMII (E/IS/CS)	MII	10M
	数字	10M
	模拟	10M

MII 环回可用于验证 MAC 接口，而反向环回则用于与链路伙伴一起验证沿 MDI 的数据路径。

- 通过设置寄存器 0x0000[14] 来启用 MII 环回
- 可通过设置寄存器 0x0016[5] 来启用反向环回

2.5.2 通过 MAC 发送和接收数据包

如果可以使用 MAC 生成和检查数据包，并且 PHY 有一个具有反向环回功能的工作链路伙伴，请按如下方式验证完整数据路径：

1. 将 PHY 连接到 MAC 和一个正常工作的链路伙伴。
2. 在链路伙伴上启用反向环回。
3. 将测试数据包从 MAC 发送到 PHY。
4. 验证 MAC 是否接收相同的测试数据包。

如果 MAC 接收到相同的测试数据包而未出现问题，则通过 MAC → PHY → MDI 的完整数据路径是有效的。如果此测试未通过，则执行 MII 环回以隔离数据路径上的问题：

1. 为 PHY 供电并将其连接到 MAC。
2. 在 PHY 上启用 MII 环回。
3. 将测试数据包从 MAC 发送到 PHY。
4. 验证 MAC 是否接收相同的测试数据包。

如果 MAC 接收到相同的测试数据包，则通过 MAC → PHY 的数据路径有效，并且问题已与 MDI 数据路径隔离。如果此测试未通过，则问题可能出在 MAC 接口上。要验证 MAC 接口，请参阅 [MII 运行状况检查](#)。要验证 PHY 内部数据路径，请使用模拟环回模式执行上述过程。

2.5.3 通过 BIST 发送和接收数据包

DP83867 包含内部 PRBS 内置自检 (BIST) 电路，可适应电路内测试或诊断。BIST 电路可用于测试发送和接收数据路径的完整性。BIST 可使用各种环回模式来执行，以便隔离数据路径特定部分的任何问题。BIST 会生成包含可变内容和 IPG 的封装化数据。

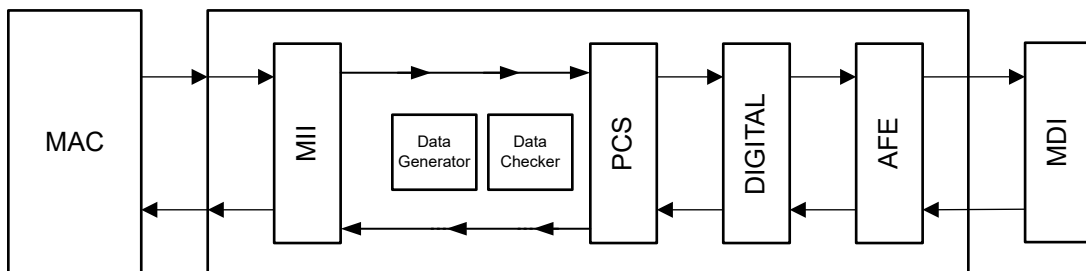


图 2-23. BIST 方框图

如果无法通过 MAC 生成和检查数据包，请使用 PRBS 数据包生成和检查功能来验证数据路径。使用 PRBS 和正常工作的链路伙伴执行反向环回，如下所示：

1. 将 PHY 连接到链路伙伴。

2. 在 PHY 上启用 PRBS 数据包生成 (写入 Reg 0x0016 = 0xF000) 。
3. 在链路伙伴上启用反向环回 (如果链路伙伴为 DP83867 , 写入寄存器 0x0016 = 0020) 。
4. 等待至少一秒钟 , 然后通过读取寄存器 0x17[11] , 检查 PHY 上的 PRBS 锁定状态。

如果寄存器 0x17[11] 为高电平 , 则通过 PHY → MDI 的数据路径有效。如果此测试未通过 , 则问题可能出在 PHY 的内部数据路径或 MDI 上。要验证内部数据路径 , 请使用以下脚本执行带有模拟环回的 PRBS。可以根据需要使用注释 (1)、(2) 和 (3) 修改此脚本 , 以测试适当的速度和环回 :

```
// This is how you make a comment. All scripts must start with 'begin'
begin
// hard reset
001F 8000
// disable auto-neg, force 10Mbps (1)
0000 0100
// enable analog loopback (2)
0016 0008
// force mdi mode for 10/100 Mbps (not relevant for 1000Mbps)
0010 5008
// loopback configuration register required
00FE E720
// enable packet gen, keep analog loopback (3)
0016 5008

// (1)
// for 100Mbps, write 0000 to 2100
// for 1000Mbps, write 0000 to 0140
// (2)
// for digital loopback, write 0016 to 0004
// for PCS loopback, write 0016 to 0003
// (3)
// for packet generation with digital loopback, write 0016 to 5004
// for packet generation with PCS loopback, write 0016 to 5003
end
```

如果内部数据路径有效 , 则问题将与 MDI 或链路伙伴隔离。

3 应用特定调试

3.1 在 100Mbps 全双工强制模式下建立链路

如果通过寄存器 0x0000 bit[12] 和 bit[6,13] 将 DP83867 强制配置为 100Mbps 全双工强制模式，并且无法建立链路，请检查以下过程：

- 检查链路伙伴 PHY 并查看是否在链路伙伴 PHY 上启用了自动协商功能。
- 如果链路伙伴 PHY 的自动协商功能已开启并能够以 100Mbps 全双工和半双工模式进行广播，则启用寄存器 0x001E[11] 以建立链路
- 如果链路伙伴 PHY 的自动协商功能为禁用状态，请确保也在寄存器 0x0000 中将链路伙伴 PHY 配置为强制 100Mbps 全双工模式。

3.2 1Gbps 通信中的链路建立不稳定问题调试

如果 DP83867 与另一个链路伙伴之间重复发生链路建立和链路断开行为，请按照本部分进行调试：

1. 将寄存器 0x001F 写入 4000 (软件复位)，然后查看是否能够建立链路。
2. 检查 DP83867 是否能够与另一个 TI 千兆位 PHY 建立链路。
3. 查看[原理图](#)和[布局检查清单](#)部分，以确保电路板设计遵循建议。
4. 读取寄存器 0x0013 bit[12] 和寄存器 0x0011 bit[12]。如果两个寄存器都指示在 1Gbps 通信中接收到页。写入寄存器 0x01D5 = F508，以将 DP83867PHY 从低功耗模式更改为正常运行模式。

```
begin
// Check page recieved in 1Gbps communication
0012
0013
// changing from lower power mode to normal operational mode
01D5 F508
end
```

3.3 DP83867PHY 和 DP83867PHY 无法以 1Gbps 建立链路

如果两个 DP83867PHY 能够以 10Mbps 和 100Mbps 建立链路，但无法以 1Gbps 建立链路，请参阅以下调试过程：

备注

此勘误表仅出现在旧版 DP83867PHY (寄存器 0x0003 = A0F1) 中

- 通过在其中一个 DP83867PHY 上写入寄存器 0x001F = 4000 来尝试软件复位，然后查看是否解决了问题。
- 读取寄存器 0x0005[15]，如果 0x0005 bit[15] = 0，
 - 则自动 MDIX 很可能没有完成。两个 PHY 同时同一通道上发送自动 MDIX FLP_Brust，导致死锁情况。

解决方案：

- 更改其中一个 PHY 上的自动 MDIX 计时器可以防止死锁情况。
- 在其中一个 DP83867PHY 上更改寄存器 0x002C bit[32] = 0

Auto MDIX Timer Configuration Register (AMDIX_TMR_CFG), Address 0x002C

BIT	NAME	TYPE	DEFAULT	DESCRIPTION
15:4	RESERVED	RW	0x141	RESERVED
				Robust Auto MDIX Timer 0000: 32ms 0001: 64ms 0010: 96ms .
3:0	RAMDIX TMR	RW	0xF	1111: 480ms

- 写入 0x001F = 4000 以对 PHY 进行软件复位
- 读取寄存器 0x0005[15]，如果 0x0005 bit[15] = 1
 - 自动 MDIX 已完成，自动协商伪随机数 (PRN) 很可能是问题所在。伪随机数 (PRN) 发送随机数以确定两个 PHY 在 1000Base-T 下进行通信时，哪个 PHY 是主 PHY (由本地时钟源提供时钟信号)，哪个 PHY 是从 PHY (由所接收数据流中的恢复时钟提供时钟信号)。这可以通过寄存器 0x000A bit[14] 来检查。
 - 但是，PRN 不是完全随机的，如果两个 DP83867 同时启动自动协商，则可能两个 DP83867 发送完全相同的随机种子 (PRN) 并导致死锁。

解决方案：

- 在其中一个 DP83867PHY 上将 0x0009 bit[12:11] 设置为 11，并在另一个 DP83867PHY 上将 0x0009 bit[12:11] 设置为 10。这个寄存器可以强制一个 PHY 始终作为 1000Base-T 通信的主机，以防止伪随机数 (PRN) 进程。
- 写入 0x001F = 4000 以对 PHY 进行软件复位，或写入 0x0000[9] = 1 以重新启动自动协商

3.4 EMC 调试

下面一节主要介绍了有关如何调试 DP83867PHY 上 EMC 问题的通用指南。

- 检查测试设置：

EMC 测试：

- 无环路电缆



- 将电缆放置在远离发射源或天线的位置（主要在 RE 测试时）
- 优先选择屏蔽电缆
- 确保测试板和测试设备相匹配（主要在 CE 测试时）
 - 电缆类型需要与 CDN 测试设备相匹配
- 当 CLK_OUT 开路或未使用时将其关闭
- EMI 测试：
 - 检查测试板和测试设备的接地路径
 - 优先选择屏蔽电缆
 - 确保电缆类型与测试设备相匹配（主要在 CI 测试时）
 - 电缆类型需要与 CDN 测试设备相匹配

- 查看原理图

- 确保进行接地隔离

确保连接器地和地面接地之间存在接地隔离路径 (R//C)

确保变压器遵循数据表规格

变压器上无短接的中心抽头

仔细检查变压器中心抽头上的电容器

移除 MDI 线路上的 ESD 二极管以进行合规性测试

检查 Rbias 值并确保该值处于 1% 范围内

遵循节 2.1 中的原理图检查清单建议

- 检查布局

- 确保 MDI 线路附近没有时钟信号和数据信号
- 检查 MDI 线路的长度匹配和阻抗匹配
- MDI 线路周围没有过孔
- 遵循节 2.1 中的布局检查清单

- 如果客户在 DP83867 PHY 上进行传导抗扰度 IEC61000 4-6 测试时遇到问题，请编写以下脚本：

```
begin
008A 010F
00C0 0000
00B3 000C
0100 1027
001F 4000
end
```

这些寄存器可对 PHY 内部的滤波器进行调优，从而进一步优化和滤除高频噪声并提高信噪比。

3.5 低 IPG 链路中的数据包错误

如果在数据包间隙 (IPG) 等于或小于 12 个空闲符号的以太网链路中观察到数据包错误，则可能需要在 DP83867 中调整 Viterbi 阈值。该阈值可在 VTM_IDLE_CHECK_CNT_THR 寄存器 (0x0053[3:0]) 中调整，其中默认值 0x5 用于大于或等于 12 个符号的 IPG。

如果应用期望 IPG 小于 12 个符号，则可以将 Viterbi 阈值调整为低于 0x4 或 0x3。如果使用由刚好 12 个符号组成的 IPG 时观察到错误，可以作为调试步骤将此阈值调低，以确保错误非由 IPG 导致。

3.6 10Base-Te TP_IDL 故障

如果 DP83867 未通过 10Base-Te TP_IDL 测试，请检查电路板布局是否遵循本应用手册的[原理图和布局检查清单](#)部分中的建议。如果确定布局不存在故障或布局无法更改，则考虑调整 DP83867 上的 TP_IDL 摆幅。

寄存器 0x0023[15:12] 控制 10Base-Te TP_IDL 测试所使用的 DP83867 输出信号摆幅。读取默认寄存器值，并根据需要增大或减小。

3.7 拉长 RGMII 上升/下降时间

如果 DP83867 在 RGMII 发送器 (RX_CLK、RX_D0 等) 上表现出更长的 RGMII 上升/下降时间，请仔细检查以下各项：

- 应使 RGMII 布线尽可能短。长布线会增加布线电容并拉长上升/下降时间。
- 检查连接的 MAC 输入电容。如果 MAC 为 RGMII 线路加载高电容，则会拉长上升/下降时间。
- 检查探头电容。应当使用低电容探头进行 RGMII 测量

如果考虑了这些因素而 RGMII 上升/下降时间仍被拉长，请调整地址 0x0170 处的 IO_IMPEDANCE_CTRL 寄存器。通常，较低的阻抗值预计会产生更短的 RGMII 上升/下降时间。调整该寄存器的一种方法如下文所述：

1. 读取 IO_IMPEDANCE_CTRL 寄存器
2. 根据读取值，写入相应的新值，如下表所示：

读取值 (0x170[4:0])	新值 (0x170[4:0])
0x00、0x01	0x08
0x02、0x03	0x0A
0x04、0x05、0x06、0x07	0x0C
0x08、0x09	0x0E
0x0A、0x0B	0x10
0x0C、0x0D、0x0E、0x0F	0x12
0x10、0x11、0x12、0x13	0x14
0x14、0x15	0x16
0x16、0x17、0x18、0x19	0x18
0x1A、0x1B	0x1A
0x1C、0x1D、0x1E、0x1F	0x1C

4 工具和参考

以下各节包含与调试相关的其他工具和参考。

4.1 扩展寄存器访问

要在扩展寄存器空间中读取和写入寄存器，请参阅以下过程：

MMD “1F” 寄存器的写入过程：

写入 reg<000D> = 0x001F

写入 reg<000E> = <address>

写入 reg<000D> = 0x401F

写入 reg<000E> = <value>

MMD “1F” 寄存器的读取过程：

写入 reg<000D> = 0x001F

写入 reg<000E> = <address>

写入 reg<000D> = 0x401F

读取 reg<000E>

备注

- 要读取或写入 MMD “1” 寄存器，请将 1F 替换为 01。
 - 上述写入和读取过程通常用于地址大于 0x001F 的寄存器。但一般情况下，该过程也可用于任何地址。
-

5 结论

本应用手册提供了评估新应用和确认预期功能的建议流程。这些分步建议将有助于简化 DP83867 设计的电路板启动和初始评估。

6 参考资料

1. 德州仪器 (TI), [如何通过 IEEE 以太网合规性测试](#) 应用手册。
2. 德州仪器 (TI), [如何配置 DP838xx 进行以太网合规性测试](#) 应用手册。

7 修订历史记录

Changes from Revision C (April 2024) to Revision D (May 2026)	Page
• 添加了“摘要”部分.....	2
• 添加了“运行状况检查”一节.....	3
• 添加了“MDI 运行状况检查”一节.....	8
• 添加了“MII 检查”部分.....	15
• 添加了“GMII 检查”部分.....	17
• 添加了“通过 MAC 发送和接收数据包”部分.....	24
• 添加了“通过 BIST 发送和接收数据包”部分.....	24

Changes from Revision B (December 2022) to Revision C (April 2024)	Page
• 更新了“DP83867 配置”表.....	2
• 更新了原理图和布局检查清单超链接.....	3
• 添加了上电序列注释.....	3
• 添加了配置 (strap) 事件发生时的时序图.....	5
• 添加了 MDIO/MDC 线路的调试步骤.....	7
• 更新了寄存器表.....	7
• 更新了链路质量测试.....	11
• 添加了“合规性调试”部分.....	14
• 添加了调试 SGMII 接口的部分.....	15
• 添加了有关环回的部分和 BIST 图.....	23
• 添加了“在 100Mbps 全双工强制模式下建立链路”.....	26
• 添加了链路建立不稳定问题调试.....	26
• 在旧版 DP83867 器件上添加了勘误表调试.....	27
• 添加了 EMC 调试部分.....	28

Changes from Revision A (April 2016) to Revision B (December 2022)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式.....	2
• 添加了原理图和布局检查清单部分.....	3
• 添加了以 1000Mbps 链接的 PHY 的参考寄存器值.....	7
• 删除了关键配置和状态寄存器列表.....	7
• 添加了调试 MAC 接口的部分.....	15
• 更新了环回和 BIST 部分的测试程序和相应脚本.....	23
• 添加了应用特定调试部分.....	26
• 添加了工具和参考部分.....	30

Changes from Revision * (October 2015) to Revision A (April 2016)	Page
• 更改了双电源和三电源配置说明的措辞.....	3
• 更改了三电源时序控制的说明.....	3
• 更改了 中的 RBIAS 测量顺序 节 2.2.3	4
• 添加了在配置 (strap) 状态寄存器中确认配置 (strap) 值的建议.....	5
• 在关键配置和状态寄存器列表中添加了自协商状态寄存器.....	7
• 添加了端接电缆的电缆连接图.....	10

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月