



摘要

MSPM0 L 系列微控制器 (MCU) 产品系列提供多种具有超低功耗和集成式模拟和数字外设的 32 位 MCU，适用于检测、测量和控制应用。本应用手册涵盖了使用 MSPM0 L 系列 MCU 进行硬件开发所需的信息，包括电源、复位电路、时钟、调试器连接、关键模拟外设、通信接口、GPIO 和电路板布局布线指南的详细硬件设计信息。

内容

1 MSPM0L 硬件设计检查清单	3
2 MSPM0L 器件中的电源	4
2.1 数字电源	4
2.2 模拟电源	4
2.3 内置电源和电压基准	5
2.4 推荐的电源去耦电路	6
3 复位和电源监控器	6
3.1 数字电源	6
3.2 电源监控器	7
4 时钟系统	8
4.1 内部振荡器	8
4.2 外部时钟输出 (CLK_OUT)	9
4.3 频率时钟计数器 (FCC)	10
5 调试器	11
5.1 调试端口引脚和引脚排列	11
5.2 使用标准 JTAG 连接器的调试端口连接	11
6 主要模拟外设	14
6.1 ADC 设计注意事项	14
6.2 OPA 设计注意事项	14
6.3 DAC 设计注意事项	15
6.4 COMP 设计注意事项	15
6.5 GPAMP 设计注意事项	17
6.6 LCD 设计注意事项	18
7 主要数字外设	19
7.1 计时器资源和设计注意事项	19
7.2 UART 和 LIN 资源以及设计注意事项	19
7.3 I2C 和 SPI 设计注意事项	22
8 GPIO	24
8.1 GPIO 输出开关速度和负载电容	24
8.2 GPIO 灌电流和拉电流	24
8.3 高速 GPIO	25
8.4 开漏 GPIO 可在没有电平转换器的情况下支持 5V 通信	25
8.5 在没有电平转换器的情况下与 1.8V 器件通信	25
8.6 未使用引脚连接	26
9 布局指南	27
9.1 电源布局	27
9.2 接地布局注意事项	27
9.3 布线、过孔和其他 PCB 元件	28
9.4 如何选择电路板层和建议堆叠	29
10 引导加载程序	30

10.1 引导加载程序简介.....	30
10.2 引导加载程序硬件设计注意事项.....	30
11 参考资料.....	30
12 修订历史记录.....	31

商标

LaunchPad™ and EnergyTrace™ are trademarks of Texas Instruments.
所有商标均为其各自所有者的财产。

1 MSPM0L 硬件设计检查清单

表 1-1 描述了 MSPM0L 硬件设计过程中需要检查的主信号。以下各节提供了更多详细信息。

表 1-1. MSPM0L 硬件设计检查清单

引脚 ⁽¹⁾	说明	要求
VDD	电源正极引脚	在 VDD 和 VSS 之间放置 10 μ F 和 100nF 电容器，并使这些器件靠近 VDD 和 VSS。
VSS	电源负极引脚	
VCORE	内核电压 (典型值: 1.35V)	将 470nF 电容器连接到 VSS，不要向 VCORE 引脚提供任何电压或施加任何外部负载。
NRST	复位引脚	连接一个外部 47k Ω 上拉电阻和一个 10nF 下拉电容。
ROSC	外部基准电阻引脚	<ul style="list-style-type: none"> 将一个外部 100kΩ \pm0.1% 25ppm 电阻连接到 VSS，以在需要时实现高 SYSOSC 精度。 如果对 SYSOSC 没有高精度要求，则可以保持开路。
VREF+	用于外部基准输入的电压基准电源	<ul style="list-style-type: none"> 当使用 VREF+ 和 VREF- 为 ADC 等模拟外设提供外部电压基准时，必须在 VREF+ 与 VREF-/GND 之间放置一个去耦电容，该电容基于外部基准源。 如果未使用外部电压基准，则允许可以保持开路。
VREF-	用于外部基准输入的电压基准接地电源	
SWCLK	来自调试探针的串行线时钟	内部下拉到 VDD；不需要任何外部器件。
SWDIO	双向 (共享) 串行线数据	内部上拉到 VSS；不需要任何外部器件。
PA0、PA1	开漏 I/O	输出高电平所需的上拉电阻
PA18	默认 BSL 调用引脚	保持下拉状态，以避免在复位后进入 BSL 模式。BSL 调用引脚可以重新映射。
PAx (不包括 PA0、PA1)	通用 I/O	将相应的引脚功能设置为 GPIO (PINCMx.PF = 0x1) 并使用内部上拉或下拉电阻器将未使用的引脚配置为输出低电平或输入。
OPAx_IN0 ⁽²⁾	OPAx 反相端子输入 0	该引脚为高阻抗，不用时不需要任何外部器件。

(1) 对于任何具有第二功能 (与通用 I/O 共用) 的未使用引脚，都必须遵循“PAx”未使用引脚连接指南。

(2) 仅限 MSPM0L134x

TI 建议将 10 μ F 和 0.1nF 的低 ESR 陶瓷去耦电容组合连接至 VDD 和 VSS 引脚。可以使用值更大的电容，但可能会影响电源轨斜升时间。去耦电容必须尽可能靠近其去耦的引脚的位置 (几毫米范围内)。

NRST 复位引脚需要连接一个外部 47k Ω 上拉电阻器和一个 10nF 下拉电容器。

SYSOSC 频率校正环路 (FCL) 电路利用一个组装在 ROSC 引脚和 VSS 之间的外部 100k Ω 电阻器，通过为 SYSOSC 提供精密基准电流来稳定 SYSOSC 频率。如果未启用 SYSOSC FCL，则不需要该电阻。

VCORE 引脚上需要连接一个 0.47 μ F 的电容器，并且该电容器必须靠近器件放置，与器件接地之间的距离最小。

对于 5V 容限开漏 (ODIO)，如果使用 ODIO，则需要一个上拉电阻来输出 I2C 和 UART 功能所需的高电平。

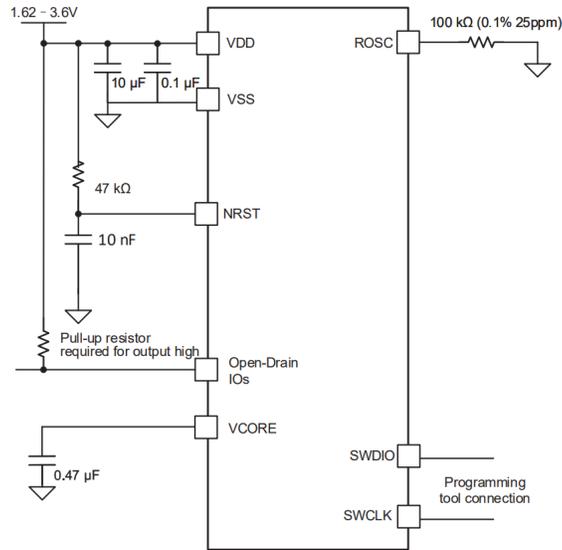


图 1-1. MSPM0L 典型应用原理图

2 MSPM0L 器件中的电源

该器件由 VDD 和 VSS 连接进行供电。该器件支持在 1.62V 至 3.6V 的电源电压下运行，并能够以 1.62V 电源电压启动。电源管理单元 (PMU) 为器件生成稳压内核电源，并对外部电源进行监控。此外，此项还包含供 PMU 和其他模拟外设使用的带隙电压基准。VDD 直接用于提供 IO 电源 (VDDIO) 和模拟电源 (VDDA)。VDDIO 和 VDDA 在内部连接到 VDD，因此无需额外的电源引脚 (有关详细信息，请参阅器件特定的数据表)。

2.1 数字电源

VCORE 稳压器

器件内部有一个低压降线性稳压器来生成一个 1.35V 电源轨，以便为器件内核供电。通常，内核稳压器输出 (VCORE) 为内核逻辑 (包括 CPU、数字外设和器件存储器) 供电。内核稳压器需要一个连接在器件 VCORE 引脚和 VSS (接地) 之间的外部电容器 (CVCORE) (请参阅图 2-1)。有关 CVCORE 的正确值和容差，请参阅器件特定的数据表。CVCORE 应靠近 VCORE 引脚放置。

在除 SHUTDOWN 外的所有电源模式中，内核稳压器均处于运行状态。在所有其他功耗模式 (RUN、SLEEP、STOP 和 STANDBY) 中，稳压器的驱动强度会自动配置为支持每种模式的最大负载电流。这降低了使用低功耗模式时稳压器的静态电流，从而提高了低功耗性能。

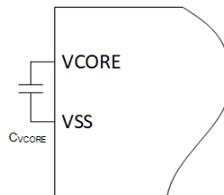


图 2-1. VCORE 稳压器电路

2.2 模拟电源

模拟多路复用器 VBOOST

PMU 中的 VBOOST 电路会生成内部 VBOOST 电源，供器件上 COMP、GPAMP 和 OPA (如有) 中的模拟多路复用器使用。VBOOST 电路可在外部电源电压 (VDD) 范围内实现一致的模拟多路复用器性能。

启用和禁用 VBOOST

SYSCTL 会根据以下参数自动管理 VBOOST 电路的使能请求：

1. COMP、OPA 和 GPAMP 外设 PWREN 设置
2. 任何 COMP 已启用的模式设置 (FAST 与 ULP 模式)。
3. SYSCTL 中 GENCLKCFG 寄存器的 ANACPUMPCFG 控制位。

在 SYSRST 之后，VBOOST 默认被禁用。在使用 COMP、OPA 或 GPAMP 之前，应用软件无需启用 VBOOST 电路。当 COMP、OPA 或 GPAMP 由应用软件启用时，SYSCTL 还会使 VBOOST 电路支持模拟外设。

VBOOST 电路具有从禁用状态转换到启用状态的启动时间要求 (典型值为 $12\ \mu\text{s}$)。如果 COMP、OPA 或 GPAMP 的启动时间小于 VBOOST 启动时间，则会延长外设启动时间以计入 VBOOST 启动时间。

带隙基准

PMU 提供一个温度和电源电压稳定的带隙电压基准，此基准供器件用于内部功能，其中包括：

- 驱动欠压复位电路阈值。
- 设置内核稳压器的输出电压。
- 驱动片上模拟外设的片上 VREF 电平。

带隙基准在 RUN、SLEEP 和 STOP 模式下启用。带隙基准在 STANDBY 模式下以采样模式运行，以降低功耗。此基准在 SHUTDOWN 模式下被禁用。SYSCTL 会自动管理带隙状态；无需用户配置。

2.3 内置电源和电压基准

MSPM0 L 系列的 VREF 模块是共享电压基准模块，可供各种板载模拟外设利用。

VREF 模块的功能包括：

- 用户可选择 1.4V 和 2.5V 内部基准电压。
- 支持在 VREF+ 和 VREF- 器件引脚上接收外部基准电压。
- 采样保持模式支持在 STANDBY 工作模式下运行 VREF。
- 内部基准支持 ADC、COMP 和 OPA。

为 MCU 提供外部基准时，请在基准引脚上连接一个去耦电容器，具体值取决于电压源 (请参阅图 2-2)。

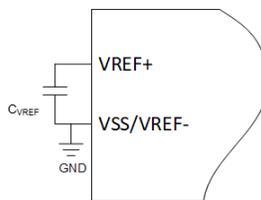


图 2-2. VREF 电路

2.4 推荐的电源去耦电路

TI 建议将 $10\mu\text{F}$ 和 100nF 的低 ESR 陶瓷去耦电容组合连接至 DVCC 引脚 (请参阅图 2-3)。可以使用值更大的电容, 但可能会影响电源轨斜升时间。去耦电容器必须尽可能靠近引脚去耦的引脚的位置 (几毫米范围内)。

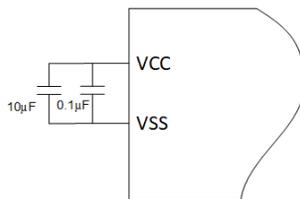


图 2-3. 电源去耦电路

3 复位和电源监控器

3.1 数字电源

该器件有五个复位级别：

- 上电复位 (POR)
- 欠压复位 (BOR)
- 引导复位 (BOOTRST)
- 系统复位 (SYSRST)
- CPU 复位 (CPURST)

MSPM0 L 系列 32MHz 微控制器技术参考手册中详细介绍了各个复位级别之间的关系。

冷启动后, NRST 引脚配置为 NRST 模式。NRST 引脚必须为高电平才能成功引导器件。NRST 上没有内部上拉电阻。外部电路 (上拉电阻连接至 DVCC, 或复位控制电路) 必须主动将 NRST 拉至高电平才能使器件启动。手动复位需要一个电容器和一个打开按钮 (请参阅图 3-1)。器件启动后, NRST 上持续时间短于 1 秒的低电平脉冲会触发 BOOTRST。如果 NRST 上的低电平脉冲保持时间超过 1 秒, 则会触发 POR。

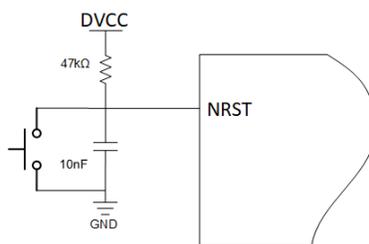


图 3-1. NRST 推荐的电路

3.2 电源监控器

上电复位 (POR) 监测器

上电复位 (POR) 监测器会监视外部电源 (VDD) 并为 SYSCTL 将 POR 违例设置为有效或使其无效。在冷上电期间，器件保持为 POR 状态，直到 VDD 超过 POR+。一旦 VDD 超过 POR+，便会释放 POR 状态，并会启动带隙基准和 BOR 监测器电路。如果 VDD 降至 POR- 电平以下，则会发生 POR- 违例，并且器件再次保持为 POR 复位状态。

POR 监测器不会指示 VDD 已达到足以支持器件正确运行的电平，而是作为引导过程的第一步用于确定电源电压是否足以为带隙基准和 BOR 电路上电，然后再使用带隙基准和 BOR 电路来确定电源是否达到足以使器件正确运行的电平。POR 监测器在包括 SHUTDOWN 模式在内的所有功耗模式下均处于活动状态，无法禁用。(POR 触发波形如图 3-2 所示。)

欠压复位 (BOR) 监测器

欠压复位 (BOR) 监测器会监控外部电源 (VDD) 并使 SYSCTL 的 BOR 违例有效或无效。BOR 电路的主要作用是确保外部电源保持足够高的电压，以使包括内核稳压器在内的内部电路能够正常运行。BOR 阈值基准来自内部带隙电路。该阈值可编程，并且始终高于 POR 阈值。在冷启动期间，在 VDD 超过 POR+ 阈值后，带隙基准和 BOR 电路被启动。然后，器件保持在 BOR 状态，直到 VDD 超过 BOR0+ 阈值。一旦 VDD 通过 BOR0+，BOR 监测器便会释放器件以继续执行引导过程，并启动 PMU。(BOR 触发波形如图 3-2 所示。)

电源变化期间的 POR 和 BOR 行为

当电源电压 (VDD) 降至 POR- 以下时，将清除整个器件状态。未降至 BOR0- 阈值以下的 VDD 微小变化不会导致 BOR- 违例，此时器件会继续运行。BOR 电路配置为生成中断而不是立即触发 BOR 复位。

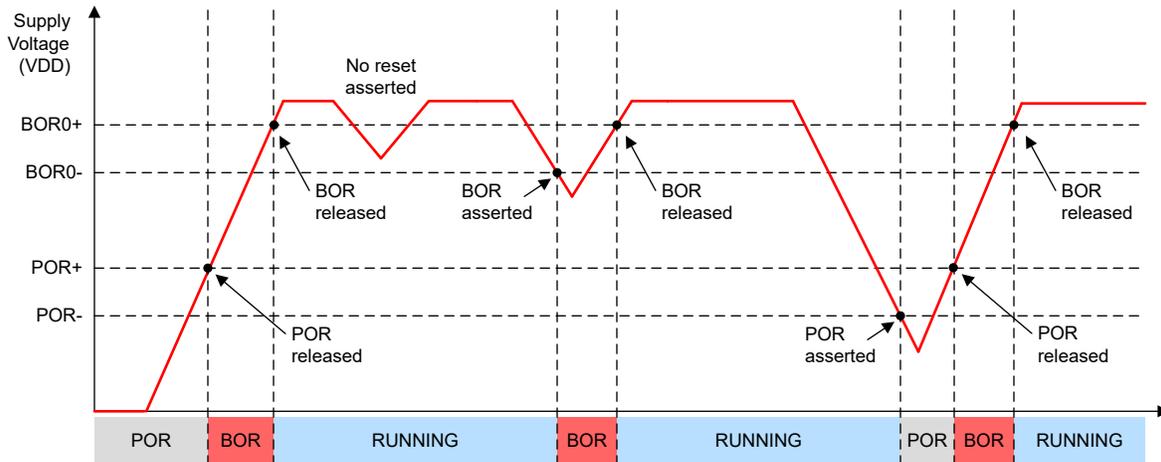


图 3-2. POR/BOR 与电源电压 (VDD) 间的关系

4 时钟系统

MSPM0L 系列的时钟系统包含内部振荡器、时钟监视器以及时钟选择和控制逻辑。本节介绍了不同 MSPM0L 系列器件上的时钟资源以及与外部信号或器件的交互。

4.1 内部振荡器

内部低频振荡器 (LFOSC)

LFOSC 是一种片上低功耗振荡器，出厂时调整为 32.768kHz 的频率。这提供了一个低频时钟，可用于帮助系统实现低功耗。当在较低的温度范围内使用时，LFOSC 可提供更高的精度。相关详细信息，请参阅器件特定数据表。

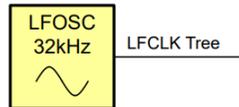


图 4-1. MSPM0L 系列 LFOSC

内部系统振荡器 (SYSOSC)

SYSOSC 是一款精确且可配置的片上振荡器，其出厂修整频率为 32MHz (基频) 和 4MHz (低频)，支持用户修整的 24MHz 或 16MHz 工作频率。这提供了一个高频时钟，让 CPU 能够高速运行以执行代码和处理性能。

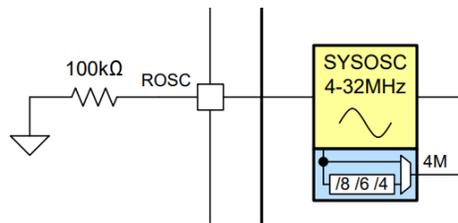


图 4-2. MSPM0L 系列 SYSOSC

SYSOSC 频率校正环路

该振荡器的额外硬件设置是一个外部电阻，该电阻安装在 ROSC 引脚和 VSS 之间，用于将 SYSOSC 从整个温度范围内 $\pm 2.5\%$ 的基础精度提高到更高。

要确定总体 SYSOSC 应用精度，应通过整合以下误差源来确定总体误差：

1. ROSC 基准电阻误差 (由于容差和温漂)
2. FCL 模式下的 SYSOSC 电路误差 (-40°C 至 85°C 时为 $\pm 0.75\%$ ，-40°C 至 125°C 时为 $\pm 0.90\%$)

表 4-1 展示了如何在两个温度范围内计算两个不同 ROSC 电阻器规格的 SYSOSC 应用精度。有关更多详细信息，请参阅 [MSPM0 L 系列 32MHz 微控制器技术参考手册](#)。

表 4-1. 在 FCL 模式下基于不同 ROSC 容差、RSOC TCR 和环境温度 (T_A) 的 SYSOSC 精度

环境温度 (T_A)	$-40 \leq T_A \leq 125^\circ\text{C}$		$-40 \leq T_A \leq 85^\circ\text{C}$	
	$\pm 0.1\%$ 25ppm/°C	$\pm 0.5\%$ 25ppm/°C	$\pm 0.1\%$ 25ppm/°C	$\pm 0.5\%$ 25ppm/°C
标称 ROSC 电阻 ($ROSC_{nom}$)	100k Ω			
最大 ROSC 电阻 (25°C 时)	100.1k Ω	100.5k Ω	100.1k Ω	100.5k Ω
最小 ROSC 电阻 (25°C 时)	99.9k Ω	99.5k Ω	99.9k Ω	99.5k Ω
ROSC 电阻 TCR	25ppm/°C			
ROSC 温漂	-0.16% 至 0.25%		-0.16% 至 0.15%	

表 4-1. 在 FCL 模式下基于不同 ROSC 容差、RSOC TCR 和环境温度 (T_A) 的 SYSOSC 精度 (续)

环境温度 (T_A)	$-40 \leq T_A \leq 125^\circ\text{C}$		$-40 \leq T_A \leq 85^\circ\text{C}$		
	ROSC 电阻参数	$\pm 0.1\% \text{ 25ppm}/^\circ\text{C}$	$\pm 0.5\% \text{ 25ppm}/^\circ\text{C}$	$\pm 0.1\% \text{ 25ppm}/^\circ\text{C}$	$\pm 0.5\% \text{ 25ppm}/^\circ\text{C}$
最大 ROSC 电阻 (在高温下) (ROSC_{max})		100.35k Ω	100.75k Ω	100.25k Ω	100.65k Ω
最小 ROSC 电阻 (在低温下) (ROSC_{min})		99.74k Ω	99.34k Ω	99.74k Ω	99.34k Ω
ROSC 电阻误差 (高温) ($\text{ROSC}_{\text{err+}}$)		+0.35%	+0.75%	+0.25%	+0.65%
ROSC 电阻误差 (低温) ($\text{ROSC}_{\text{err-}}$)		-0.26%	-0.66%	-0.26%	-0.66%
SYSOSC 电路误差 ($\text{SYSOSC}_{\text{err}}$)		$\pm 0.9\%$		$\pm 0.75\%$	
总精度 ($\text{TOT}_{\text{err-}}, \text{TOT}_{\text{err+}}$)		-1.2% 至 +1.3%	-1.6% 至 +1.7%	-1.0% 至 +1.0%	-1.4% 至 +1.4%

4.2 外部时钟输出 (CLK_OUT)

器件提供时钟输出单元，用于将数字时钟信号从器件发送到外部电路，或发送到频率时钟计数器。此特性可用于为外部电路计时，例如没有时钟源的外部 ADC。时钟输出单元有一组灵活的源可供选择，并包含一个可编程分频器。

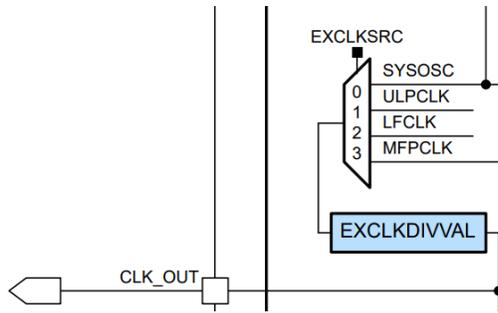


图 4-3. MSPM0L 系列外部时钟输出

CLK_OUT 的可用时钟源：

- SYSOSC
- ULPCLK
- MFCLK
- LFCLK

所选时钟源会进行 1、2、4、8、16、32、64 或 128 分频，然后输出到该引脚或频率时钟计数器。

4.3 频率时钟计数器 (FCC)

频率时钟计数器 (FCC) 可对器件上的各种振荡器和时钟进行灵活的系统内测试和校准。FCC 计算在已知固定触发周期 (源自次级基准源) 内所选源时钟上显示的时钟周期数, 以估算源时钟的频率。

MPQF911

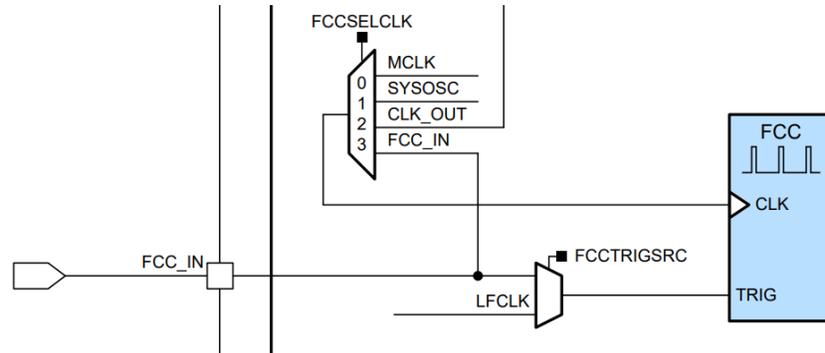


图 4-4. MSPM0L 系列频率时钟计数器方框图

应用软件可以使用 FCC 来测量以下振荡器和时钟的频率：

- MCLK
- SYSOSC
- CLK_OUT
- 外部 FCC 输入 (FCC_IN)

备注

虽然外部 FCC 输入 (FCC_IN 功能) 可用作 FCC 时钟源或 FCC 触发输入, 该输入在同一 FCC 捕获期间不能同时用于这两个功能。必须将其配置为 FCC 时钟源或 FCC 触发器。

5 调试器

调试子系统 (DEBUGSS) 将串行线调试(SWD) 两线制物理接口连接到器件内的多个调试功能。MSPM0L 器件支持调试处理器执行情况、器件状态和电源状态 (使用 EnergyTrace 技术)。

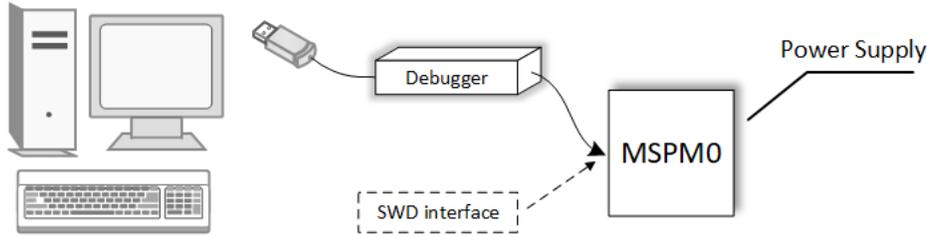


图 5-1. 主机到目标器件的连接

5.1 调试端口引脚和引脚排列

调试端口包含 SWCLK 和 SWDIO (请参阅表 5-1)，它们具有内部下拉和上拉电阻器 (请参阅图 5-2)。MSPM0L MCU 系列提供多种具有不同数量可用引脚的封装。有关详细信息，请参阅器件特定的数据表。

表 5-1. MSPM0L 调试端口

器件信号	方向	SWD 功能
SWCLK	输入	来自调试探针的串行线时钟
SWDIO	输入/输出	双向 (共享) 串行线数据

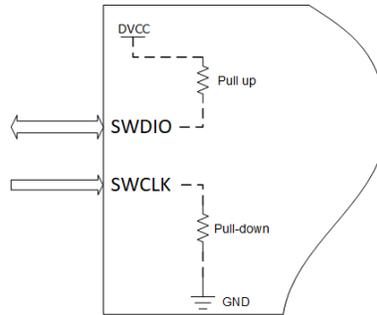


图 5-2. MSPM0L SWD 内部上拉/下拉电阻

5.2 使用标准 JTAG 连接器的调试端口连接

图 5-3 展示了 MSPM0L 系列 MCU SWD 调试端口与标准 JTAG 连接器之间的连接。

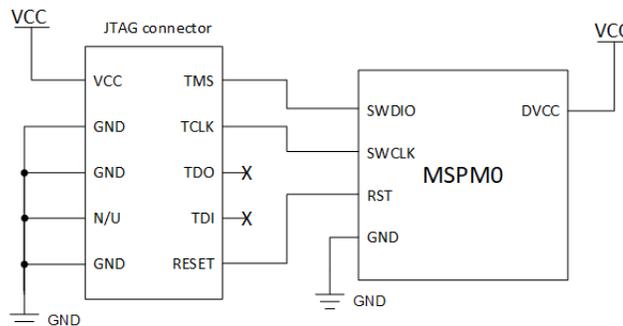


图 5-3. JTAG 和 MSPM0L 连接

对于 MSPM0L 器件，可以使用 XDS110 来实现调试/下载功能。下面列出了 XDS110 的内容并提供硬件安装说明。

标准 XDS110

在 ti.com 中购买标准 XDS110。图 5-4 展示了 XDS110 探针的主要功能区域和接口的简要示意图。

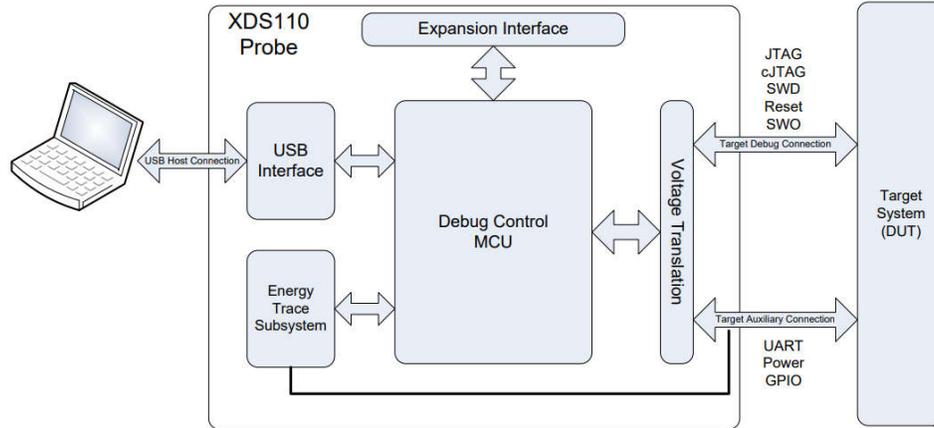


图 5-4. XDS110 探针简要方框图

有关标准 XDS110 的更多信息，请参阅 [XDS110 调试探针用户指南](#)。

Lite XDS110 (MSPM0 LaunchPad™ 套件)

MSPM0 LaunchPad 套件包含 XDS110-ET (Lite) 电路。使用此调试器来将固件下载到 MSPM0 器件中。图 5-5 展示了 XDS110-ET 电路。

XDS110-ET 中有两个探针：

2.54mm 探针：该端口支持 SWD 协议，并包含 5V 或 3.3V 电源。将 SWDIO SWCLK 3V3 GND 连接到电路板，并将固件下载到 MSPM0L 器件中。

此探针支持 EnergyTrace™ 技术，因此您可以使用此电路来精确地实时测量功耗。

有关 EnergyTrace 技术的更多信息，请访问 [EnergyTrace 技术工具页面](#)。

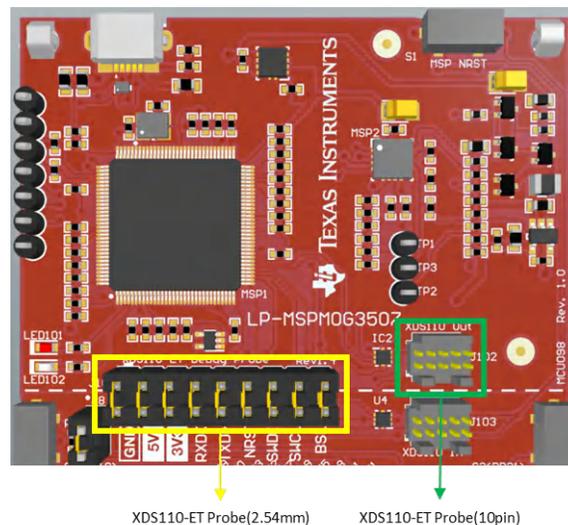


图 5-5. XDS110-ET 电路

10 引脚探针：该端口支持 JTAG 和 SWD 协议，并包含一个 3.3V 电源。使用 10 引脚电缆来连接电路板和 XDS110-ET，并将固件下载到 MSPM0L 器件中。图 5-6 展示了 10 引脚电缆。



图 5-6. 使用标准 10 引脚电缆

备注

- 标准 XDS110 支持调试端口的电平转换，而 XDS110-ET 仅支持 3.3V 探针电平。
 - TI 不建议使用 XDS110 来为 MSPM0L MCU 以外的其他器件供电。XDS110 集成了具有有限电流驱动能力的 LDO。
 - XDS110-ET 2.54mm 探针不支持 JTAG 协议。
 - XDS110-ET 10 引脚探针不支持 EnergyTrace 技术。
-

6 主要模拟外设

MSPM0L 系列 MCU 包含大量模拟外设资源，可在芯片内提供许多模拟信号调节功能。为了更大限度地利用 MSPM0L 模拟外设性能，硬件设计中需要考虑一些注意事项。本节讨论了许多典型模拟电路配置的模拟设计注意事项。

6.1 ADC 设计注意事项

MSPM0L 器件具有 12 位、高达 1Msps 的模数转换器 (ADC)。此 ADC 支持快速的 12 位、10 位和 8 位模数转换，该 ADC 实现了一个 12 位 SAR 内核、采样/转换模式控制和多达四个独立的转换和控制缓冲器。

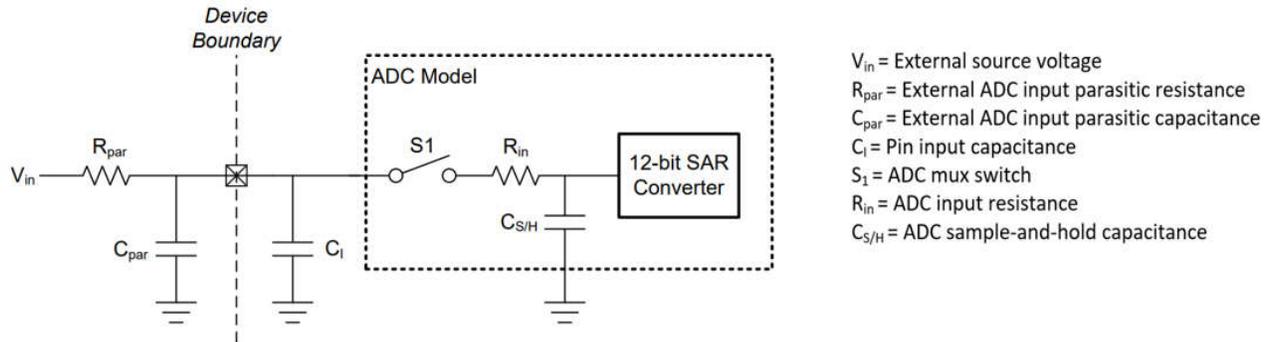


图 6-1. ADC 输入网络

为了实现所需的转换速度并保持高精度，请在硬件设计中设置适当的采样时间。采样（采样保持）时间决定了在执行数字转换之前对信号进行采样的时间。在采样期间，内部开关支持对输入电容器充电。电容器完全充电所需的时间取决于连接到 ADC 输入引脚的外部模拟前端 (AFE)。图 6-1 展示了 MSPM0L MCU 的典型 ADC 模型。 R_{in} 和 $C_{S/H}$ 值可从器件特定数据表中获取。了解 AFE 驱动能力并计算对信号进行采样所需的最短采样时间至关重要。 R_{Par} 和 R_{in} 的电阻值会影响 t_{sample} 。方程式 1 可用于计算 n 位转换的最短采样时间 t_{sample} 的保守值：

$$t_{sample} \geq (R_{par} + R_{in}) \times \ln(2^{n+2}) \times (C_{S/H} + C_1 + C_{Par}) \quad (1)$$

6.2 OPA 设计注意事项

MSPM0L OPA 是一款具有可编程增益级的零漂移斩波稳定型运算放大器。该器件可用于信号放大和缓冲。该 OPA 支持通用模式、缓冲模式和 PGA 模式。

在通用模式下使用该 OPA 时，可添加一个外部电阻和电容来构成放大器电路。但使用缓冲模式时，电路可以在软件中进行配置。对于 PGA 模式，软件可以配置高达 32 倍的 PGA 增益。

备注

PGA 增益仅在负极端子中提供。

当一个器件上有两个或更多个 OPA 时，可以将两个 OPA 组合成一个差分放大器。图 6-2 中的 V_{diff} 公式为差分放大器的输出公式。

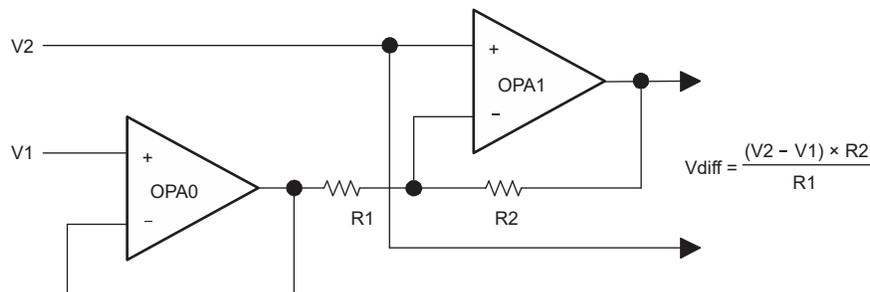


图 6-2. 双 OPA 差分放大器的方框图和公式

或者，当一个器件上有两个或更多个 OPA 时，可以将这些 OPA 组合成一个多级或级联放大器。使用可编程输入多路复用器可以实现反相和同相多级放大器的所有组合。Vout 公式 (图 6-3) 为同相到同相级联放大器的输出公式。

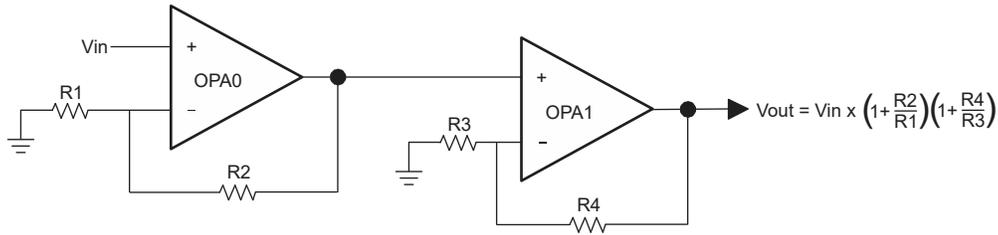


图 6-3. 双 OPA 同相到同相级联放大器的方框图和公式

6.3 DAC 设计注意事项

MSPM0L 器件包含 8 位 DAC 模块。该 DAC 可用作基准电压 (图 6-4)，也可与 OPA 一起用于直接驱动输出焊盘 (图 6-5)。8 位 DAC 模块通常用作 OPA 和 COMP 的内部基准电压。要输出到外部焊盘，必须将 OPA 配置为缓冲模式，以提高驱动强度。

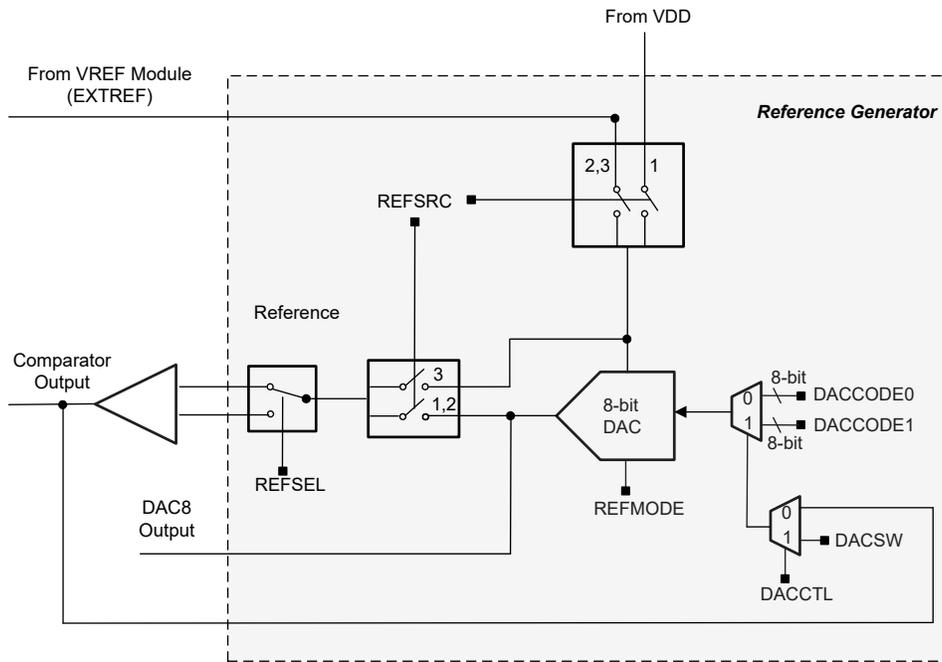


图 6-4. 8 位 DAC 方框图

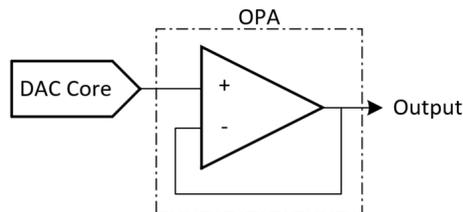


图 6-5. 8 位 DAC + OPA 输出连接

6.4 COMP 设计注意事项

MSPM0L 比较器模块 (COMP) 是具有通用比较器功能的模拟电压比较器。

MSPM0L 比较器模块包括内部和外部输入，请灵活地使用这些结构来处理模拟信号。并且内部温度传感器必须直接作为 COMP 输入。

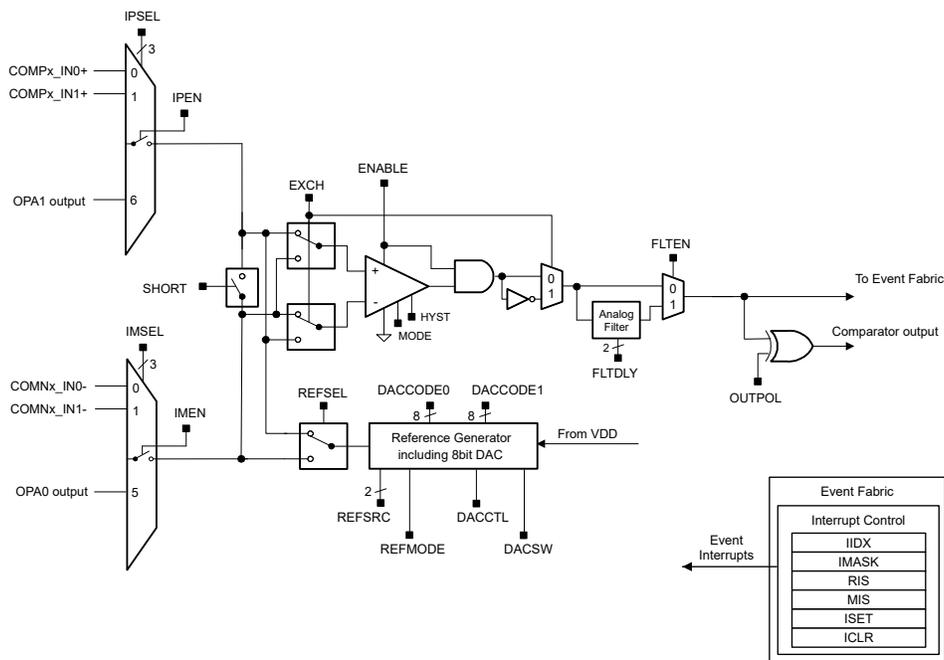


图 6-6. 比较器方框图

MSPM0L 比较器模块还包含一个 SHORT 开关，可用于为比较器构建简单的采样保持模块。

如图 6-7 所示，所需的采样时间与采样电容 (CS) 的大小、与短路开关串联的输入开关电阻 (R)，以及外部信号源的电阻 (RS) 成比例。采样电容 CS 必须大于 100pF。为采样电容 CS 充电的时间常数 Tau 可以使用方程式 2 来计算得出

$$T_{au} = (R_I + R_S) \times C_S \tag{2}$$

根据需要的精度，必须用 3Tau 至 10Tau 作为采样时间。使用 3Tau 时，采样电容可被充电至输入信号电压电平的 95%，使用 5Tau 时，采样电容可被充电至输入信号电压电平的 99% 以上，而用 10Tau 时，被采样的电压可以充分满足 12 位的精度要求。

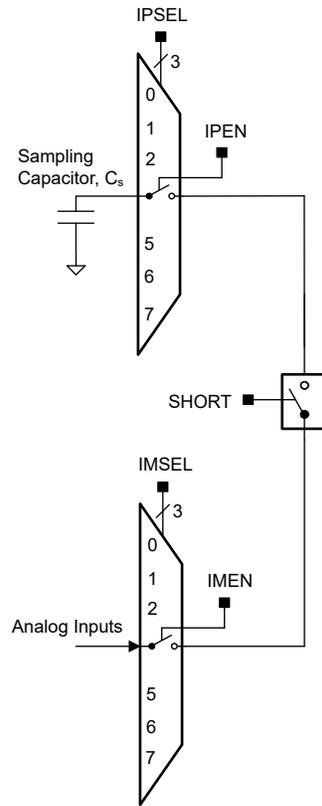


图 6-7. 比较器短路开关

6.5 GPAMP 设计注意事项

MSPM0L 器件包括 GPAMP (通用放大器) 模块, 后者可用于通过一些外部电阻器和电容器进行信号放大, 如图 6-8 所示。

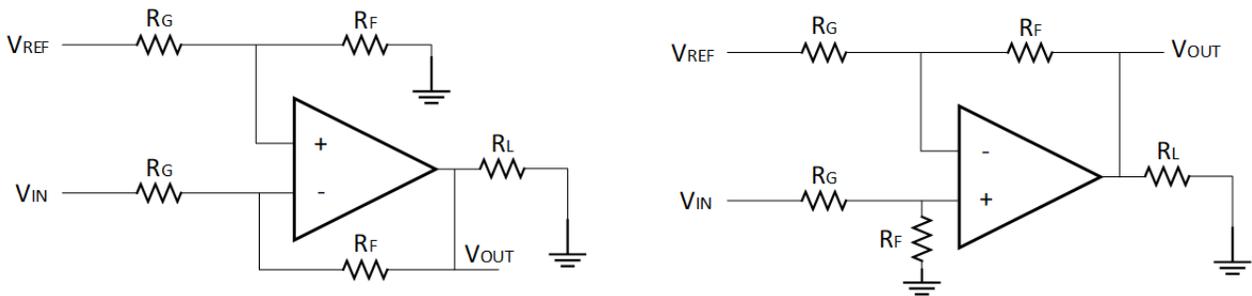


图 6-8. 放大模式下的 GPAMP 电路

GPAMP 也可用作内部 ADC 的缓冲器。图 6-9 显示了该配置的示例。

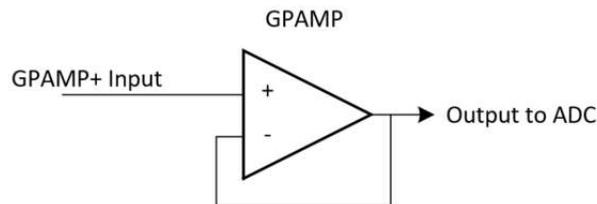


图 6-9. 缓冲模式下的 GPAMP 电路

6.6 LCD 设计注意事项

MSPM0L 上液晶显示器 (LCD) 控制器通过段 (SEG) 和 COM 电压信号直接驱动 LCD 显示屏。此控制器可支持静态 2 路复用到 8 路复用的 LCD 段显示。

本节仅讨论有关原理图和 PCB 设计的主要注意事项。有关 LCD 设计的详细指示，请参阅《使用 MSPM0™ MCU 和分段式 LCD 进行设计》。

对于原理图设计，LCD 控制器可以直接驱动 LCD，而在常见用例中无需额外元件。但是，当利用电荷泵来产生恒定电压时（尤其是当 VDD 由电池供电，以防止 VDD 电压变化引起的显示波动时），可能需要 LCDCAP0/1 上的电容器和电阻 R13、R24、R23、R33，如图 6-10 所示。

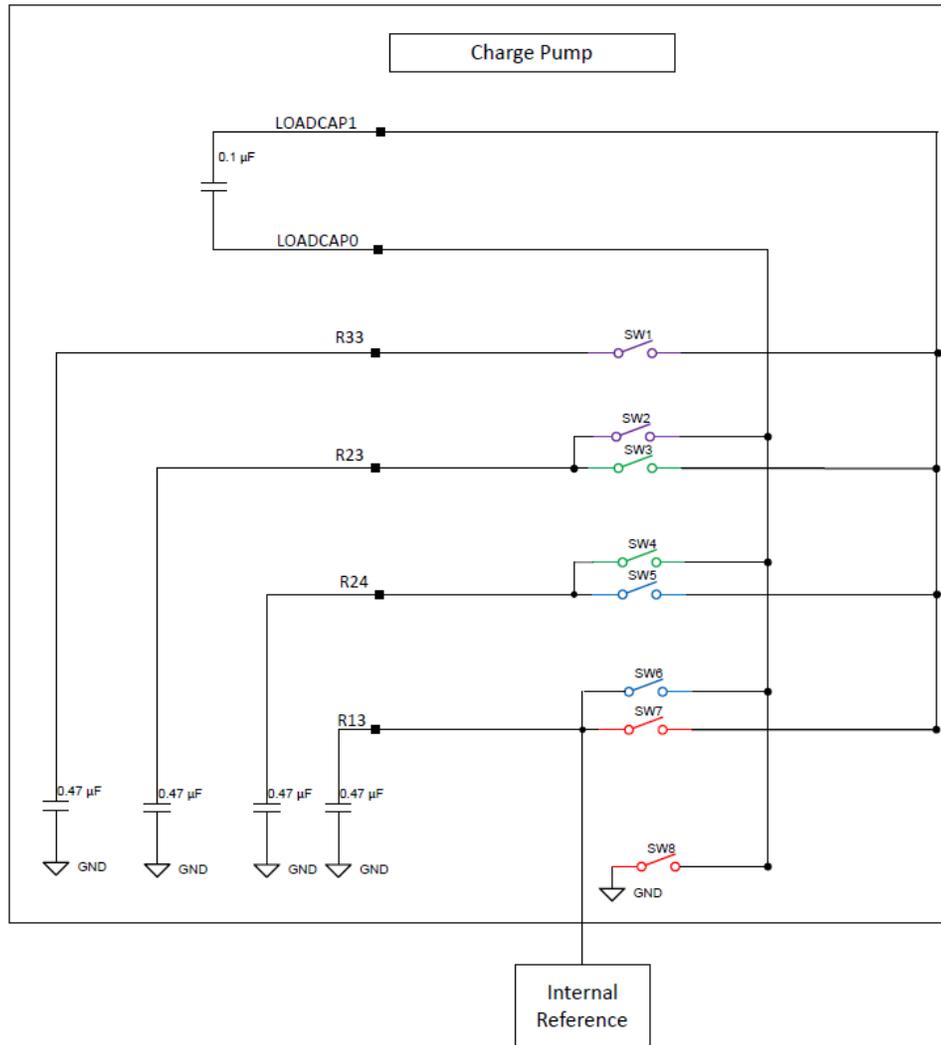


图 6-10. 使用电荷泵时的 LCD 电容器设置

对于 PCB 设计，以下是通用布局规则：

LCD 信号线将持续开关以保持显示屏上的画面，因此这些线路应该远离任何噪声敏感线路（如外部晶振连接）。可以使用防护环来屏蔽晶体连接或 ADC 输入等噪声敏感线路，从而避免出现噪声耦合。LCD 布线和防护布线下方的接地平面还提供了屏蔽。一个好的做法是将所有 LCD 信号布线（段线和公共线）放在一起，类似于数据总线。将 LCD 布局保持在单层非常有用，这样 LCD 布线就不会从潜在的敏感布线上或下方走线。应使用短走线使 LOADCAP 引脚上的电荷泵电容尽可能靠近 MCU。

7 主要数字外设

MSPM0 L 系列 MCU 包含多种数字外设资源，其中包括计时器、UART、SPI 和 LIN 等，这些资源提供了丰富的通信功能。为了最大限度地利用 MSPM0L 数字外设，硬件设计中需要考虑一些注意事项。本节讨论了许多典型数字外设置置的设计注意事项。

7.1 计时器资源和设计注意事项

计时器是任何 MCU 中最基本和最重要的模块之一，并且所有应用中都会使用此资源。此项可用于定期处理任务、延迟、输出 PWM 波形，以驱动至器件、检测外部脉冲的宽度和频率，以及模拟波形输出等。

MSPM0 L 系列 MCU 包含通用建议计时器模块：TIMG。该器件可用于多种功能，包括测量输入信号边沿和周期（捕捉模式）生成输出波形（比较模式输出），例如 PWM 信号。表 7-1 中汇总展示了各个计时器的不同特性和配置。

表 7-1. TIMG 实例配置

实例	电源域	计数器分辨率	预分频器	重复计数器	CCP 通道	相负载	影子负载	流水线型 CC	死区	故障处理程序	QE1
TIMG0	PD0	16 位	8 位	-	2	-	-	-	-	-	-
TIMG1	PD0	16 位	8 位	-	2	-	-	-	-	-	-
TIMG2	PD0	16 位	8 位	-	2	-	-	-	-	-	-
TIMG3	PD0	16 位	8 位	-	2	-	-	-	-	-	-
TIMG4	PD0	16 位	8 位	-	2	-	是	是	-	-	-
TIMG5	PD0	16 位	8 位	-	2	-	是	是	-	-	-
TIMG6	PD1	16 位	8 位	-	2	-	是	是	-	-	-
TIMG7	PD1	16 位	8 位	-	2	-	是	是	-	-	-
TIMG8	PD0	16 位	8 位	-	2	-	-	-	-	-	是
TIMG9	PD0	16 位	8 位	-	2	-	-	-	-	-	是
TIMG10	PD1	16 位	8 位	-	2	-	-	-	-	-	是
TIMG11	PD1	16 位	8 位	-	2	-	-	-	-	-	是

- 首先查看器件特定数据表，以检查器件上提供了哪些 TIMG 实例
- 需要查看技术参考手册来每个 TIMG 实例提供了哪些功能

7.2 UART 和 LIN 资源以及设计注意事项

MSPM0 L 系列 MCU 包括通用异步接收器/发送器 (UART)。如表 7-2 所示，UART0 支持 LIN、DALI、IrDA、ISO7816 曼彻斯特编码功能。

表 7-2. UART 特性

UART 特性	UART0 (扩展)	UART1 (主)
在停止和待机模式下处于运行状态	是	是
独立的发送和接收 FIFO	是	是
支持硬件流控制	是	是
支持 9 位配置	是	是
支持 LIN 模式	是	-
支持 DALI	是	-
支持 IrDA	是	-
支持 ISO7816 Smart Card	是	-
支持曼彻斯特编码	是	-

表 7-3. MSPM0L UART 规格

参数		测试条件	最小值	典型值	最大值	单位
f_{UART}	UART 输入时钟频率				32	MHz
f_{BITCLK}	BITCLK 时钟频率 (等于波特率, 单位为 MBaud)				4	MHz
t_{SP}	由输入滤波器进行抑制的尖峰的脉冲持续时间	AGFSELx = 0	5	5.5	32	ns
		AGFSELx = 1	8	15	55	ns
		AGFSELx = 2	18	38	115	ns
		AGFSELx = 3	30	74	165	ns

MSPM0L UART 模块可支持高达 4MHz 的波特率, 这可以支持几乎所有 UART 应用。

本地互连网络 (LIN) 是一种常用的低速网络接口, 由一个命令节点与多个远程响应者节点通信组成。通信只需一根线, 通常包含在车辆接线束中。

TLIN1021A-Q1 变电器支持高达 20 kbps 的数据速率。收发器通过 TXD 引脚控制 LIN 总线的状态, 并通过开漏 RXD 输出引脚报告总线的状态。该器件具有限流波形整形驱动器, 用于降低电磁辐射 (EME)。

TLIN1021A-Q1 旨在为 12V 应用提供支持, 具有宽输入工作电压范围。该器件支持低功耗睡眠模式, 并可通过 LIN、WAKE 引脚或 EN 引脚唤醒功能从低功耗模式唤醒。该器件可以通过 TLIN1021A-Q1 INH 输出引脚选择性地启用节点上可能存在的各种电源, 从而在整个系统级别减少电池电流消耗。图 7-1 展示了使用 TI TLIN1021A LIN 收发器实现的典型接口。

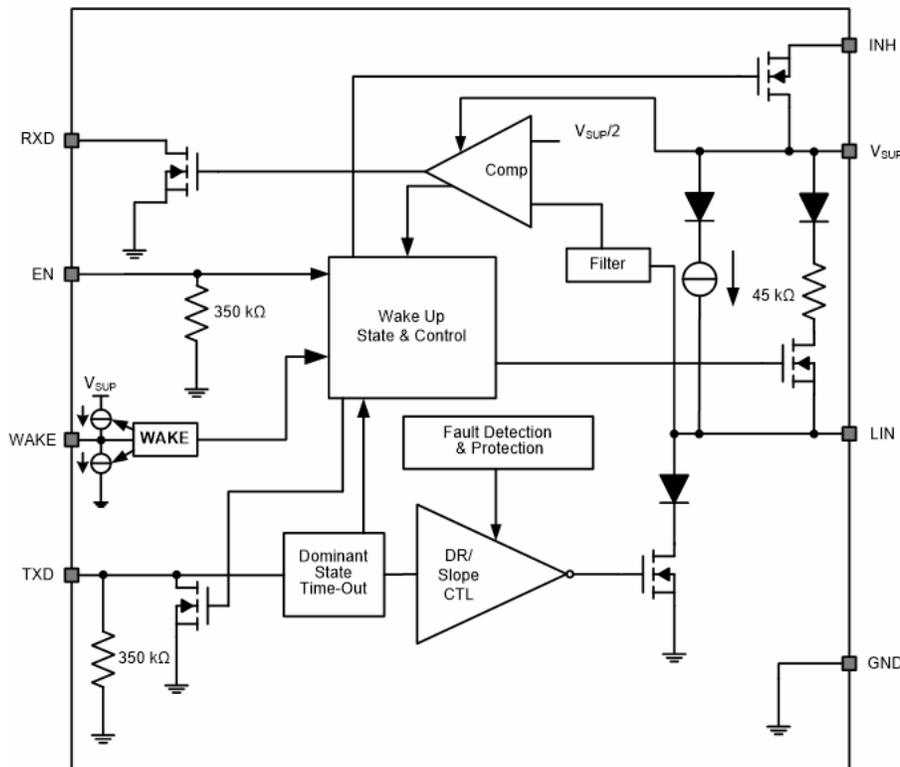


图 7-1. 典型的 LIN TLIN1021A 收发器

通信只需一根线, 通常包含在车辆接线束中。图 7-2 图 7-3 展示了使用 TI TLIN1021A LIN 收发器实现的典型接口。有关更多详细信息, 请参阅 TLIN1021 数据表。

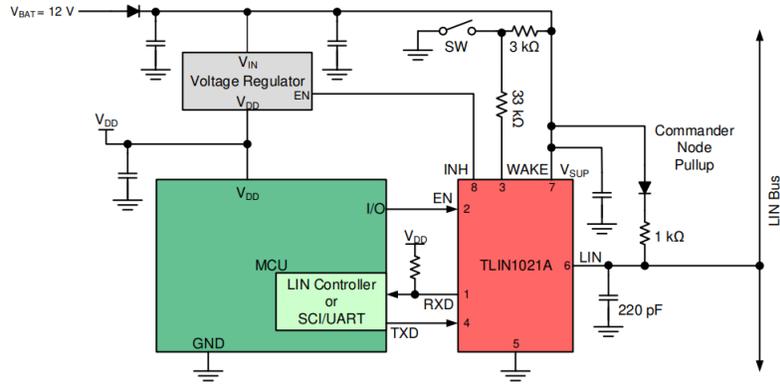


图 7-2. 带有 MSPM0L 的典型 LIN 应用 (指挥官)

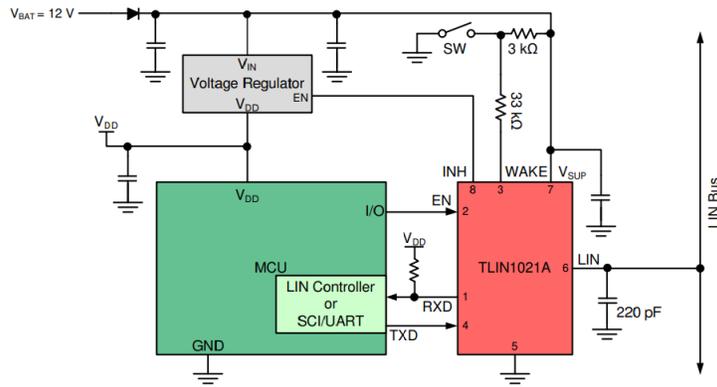


图 7-3. 带有 MSPM0L 的典型 LIN 应用 (响应者)

7.3 I2C 和 SPI 设计注意事项

SPI 和 I2C 协议广泛用于器件或电路板之间的通信，例如 MCU 和传感器之间的数据交换。MSPM0L 系列 MCU 包括高达 16MHz 的高速 SPI，并支持 3 线、4 线、芯片选择和命令模式。请参阅图 7-4 来根据具体要求设计系统。

一些 SPI 外设器件需要 PICO (外设输入控制器输出) 保持逻辑高电平。在这种情况下，应在 PICO 引脚上添加一个上拉电阻。

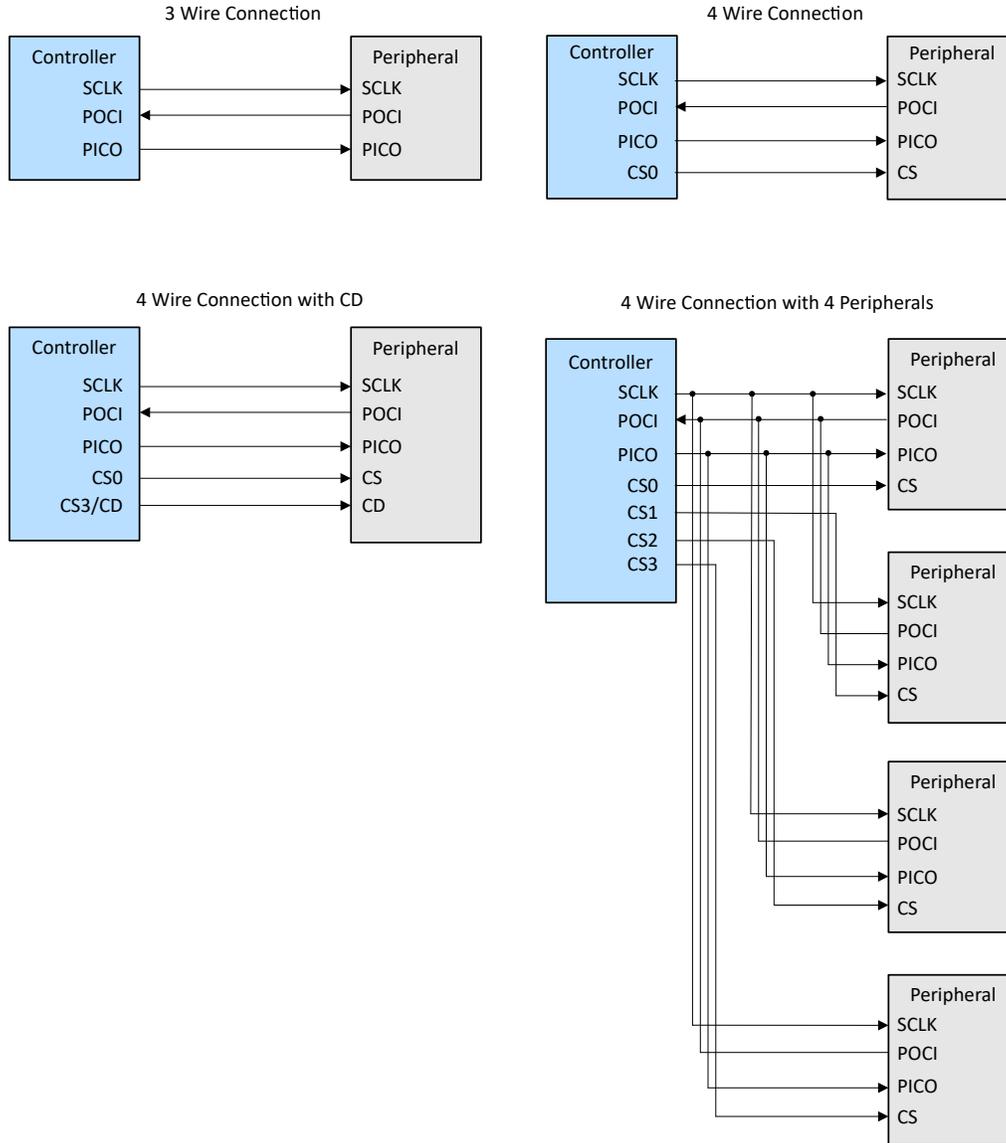


图 7-4. 针对不同 SPI 配置的外部连接

对于 I2C 总线，MSPM0L 器件支持标准、快速和超快速模式，如表 7-4 所示。

使用 I2C 总线时，需要外部上拉电阻。这些电阻的值取决于 I2C 速度。TI 建议使用 2.2k，以便支持超快速模式。对于关注功耗的系统，可以使用大电阻值。ODIO (请参阅 GPIO) 可用于实现与 5V 器件的通信。

表 7-4. MSPM0L I2C 特性

参数	测试条件	标准模式		快速模式		快速模式 +		单位
		最小值	最大值	最小值	最大值	最小值	最大值	
f_{I2C}	I2C 输入时钟频率	电源域 0 中的 I2C		40	40	40		MHz
f_{SCL}	SCL 时钟频率			100K	400K	1M		MHz
$t_{HD, STA}$	保持时间 (重复) 启动			4	0.6	0.26		us
t_{LOW}	SCL 时钟的低电平周期			4.7	1.3	0.5		us
t_{HIGH}	SCL 时钟的高电平周期			4	0.6	0.26		us
$t_{SU, STA}$	一个针对重复启动的建立时间			4.7	0.6	0.26		us
$t_{HD, DAT}$	数据保持时间			0	0	0		us
$t_{SU, DAT}$	数据设置时间			250	100	50		us
$t_{SU, STO}$	停止的建立时间			4	0.6	0.26		us
t_{BUF}	STOP 与 START 条件之间的总线空闲时间			4.7	1.3	0.5		us
$t_{VD, DAT}$	数据有效时间			3.46	0.9	0.45		us
$t_{VD, ACK}$	数据有效确认时间			3.46	0.9	0.45		us

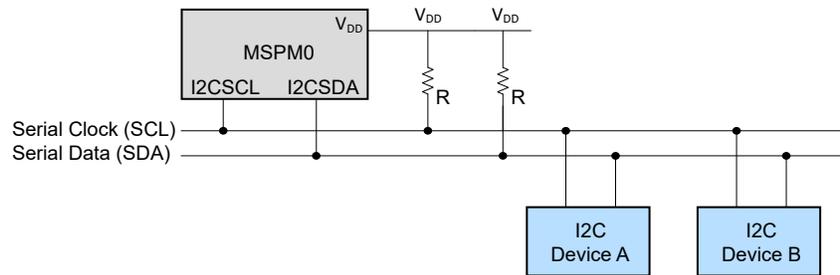


图 7-5. 典型 I2C 总线连接

8 GPIO

MSPM0L 系列 MCU 包括标准驱动器 I/O (SDIO)、高速 I/O (HSIO) 和 5V 容限开漏 I/O (ODIO)。用户可以根据实际要求灵活选择合适的 I/O 类型。硬件设计中需要考虑以下特性。

8.1 GPIO 输出开关速度和负载电容

将 GPIO 用作 I/O 时，必须考虑设计注意事项以确认正确运行。随着负载电容增大，I/O 引脚的上升/下降时间会增加。该电容包括引脚寄生电容 ($C_i = 5\text{pF}$ (典型值)) 和电路板走线的影响。I/O 特性可在器件数据表中找到。表 8-1 列出了 MSPM0L 器件的 I/O 输出频率特性。

表 8-1. MSPM0L GPIO 开关特性

参数		测试条件		最小值	典型值	最大值	单位
f_{\max}	端口输出频率	SDIO	$VDD \geq 1.71\text{V}$, $C_L = 20\text{pF}$			16	MHz
			$VDD \geq 2.7\text{V}$, $C_L = 20\text{pF}$			32	
		HSIO	$VDD \geq 1.71\text{V}$, $DRV = 0$, $C_L = 20\text{pF}$			16	
			$VDD \geq 1.71\text{V}$, $DRV = 1$, $C_L = 20\text{pF}$			24	
			$VDD \geq 2.7\text{V}$, $DRV = 0$, $C_L = 20\text{pF}$			32	
			$VDD \geq 2.7\text{V}$, $DRV = 1$, $C_L = 20\text{pF}$			40	
		ODIO	$VDD \geq 1.71\text{V}$, FM^+ , $C_L = 20\text{pF}$ 至 100pF			1	
t_r , t_f	输出上升或下降时间	除 ODIO 以外的所有输出端口	$VDD \geq 1.71\text{V}$			$0.3 \times f_{\max}$	s
t_f	输出下降时间	ODIO	$VDD \geq 1.71\text{V}$, FM^+ , $C_L = 20\text{pF}$ 至 100pF	$20 \times VDD / 5.5$		120	ns

备注

- 在指定的翻转频率下，输出电压至少达到 V_{CC} 的 10% 和 90%。
- 开漏 I/O 的输出上升时间由上拉电阻和负载电容决定。

8.2 GPIO 灌电流和拉电流

表 8-2. MSPM0L GPIO 最大绝对额定值

		最小值	标称值	最大值	单位
VDD	电源电压	1.62		3.6	V
VCORE	VCORE 引脚上的电压		1.35		V
C_{VDD}	VDD 和 VSS 之间放置的电容器		10		μF
C_{VCORE}	VCORE 和 VSS 之间放置的电容器		470		nF
T_A	环境温度, T 版本	-40		105	$^{\circ}\text{C}$
	环境温度, S 版本	-40		125	
T_A	环境温度, Q 版本	-40		125	$^{\circ}\text{C}$
T_J	最大结温, T 版本			125	$^{\circ}\text{C}$
T_J	最高结温, S 和 Q 版本			130	$^{\circ}\text{C}$
f_{MCLK}	具有 1 个闪存等待状态的 MCLK、CPUCLK、ULPCLK 频率			32	MHz
	具有 0 个闪存等待状态的 MCLK、CPUCLK、ULPCLK 频率			24	

备注

- I/O 的总电流必须小于 I_{VDD} 的最大值。
- HSIO 和 ODIO 在固定引脚上进行了增补；请参阅器件数据表。

SDIO 和 HSIO 可以灌入或拉取 6mA (典型值) 的最大电流，该电流足以驱动典型 LED。组合在一起的总电流必须小于 I_{VDD} (典型值 80mA)。

8.3 高速 GPIO

HSIO 可以支持高达 40MHz 的频率，该速度与总线时钟、电源电压和负载电容有关。用户还可以通过 DIO 寄存器中的 DRV 位来选择最大输出频率。

8.4 开漏 GPIO 可在没有电平转换器的情况下支持 5V 通信

ODIO 可承受 5V 输入。由于 ODIO 是开漏的，因此该引脚需要一个外部上拉电阻才能输出高电平。该 I/O 可用于具有不同电压电平的 UART 或 I2C 接口。为了限制电流，必须在该引脚和上拉电阻之间放置一个串联电阻，并且 R_{SERIES} 不得小于 250Ω。如图 8-1 所示，TI 建议使用 270Ω。上拉电阻的值取决于输出频率 (请参阅节 7.3)。

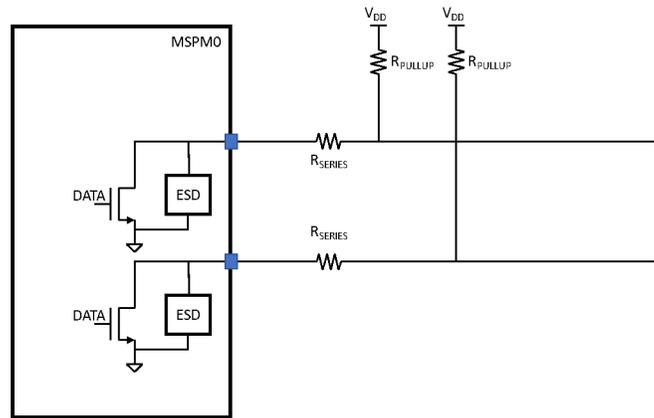


图 8-1. 建议的 ODIO 电路

8.5 在没有电平转换器的情况下与 1.8V 器件通信

MSPM0L 系列器件使用 3.3V 逻辑电平 (不包括 ODIO)。为了在没有外部电平转换器器件的情况下与 1.8V 器件通信，图 8-2 给出了一个用于连接 1.8V 器件的建议电路。

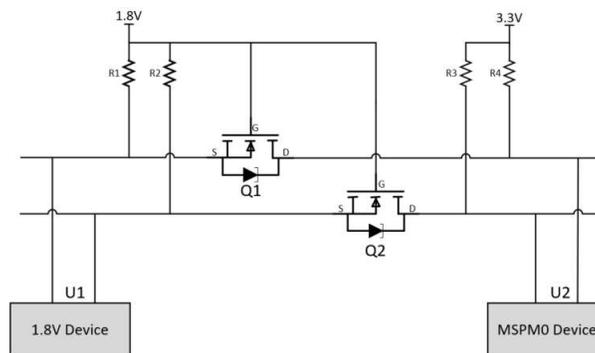


图 8-2. 与 1.8V 器件通信的建议电路

此电路中使用了两个 MOSFET。检查 V_{GS} 以确认该 MOSFET 能够在低 R_{DS(on)} 下完全导通：对于 1.8V 器件，请使用低于 1.8V 的 V_{GS} MOSFET。但是，不要使用过低的 V_{GS} MOSFET，因为这会导致 MOSFET 在极低的电压下导通 (MCU 逻辑将其判断为 0)，从而导致通信逻辑错误。

U1 输出和 U2 输入

1. U1 输出 1.8V 高电平，Q1 V_{GS} 约为 0，因此 Q1 关闭，U2 通过 R4 读取 3.3V 高电平。
2. U1 输出：低电平，Q1 V_{GS} 接近 1.8V，因此 Q1 导通，U2 读取 低电平。

U1 输入和 U2 输出

1. U2 输出 3.3V 高电平，U1 通过 R1 保持 1.8V，且 Q1 关断，因此 U1 读取 1.8V 高电平。
2. U2 输出：低电平，U1 先通过 R1 保持 1.8V，但 MOSFET 中的二极管会将 U1 拉低至 0.7V (二极管压降)，进而使 VGS 大于导通电压，Q1 导通，U1 读取低电平。

8.6 未使用引脚连接

所有微控制器均专为多种应用而设计，通常特定应用不会使用 100% 的 MCU 资源。

表 8-3. 未使用引脚的连接

引脚	电势	注释
PAx	开路	将相应的引脚功能保留为 GPIO (PINCMx.PF = 0x0)，默认设置为 Hi-Z 模式
OPAx_IN0-	开路	该引脚处于高阻抗状态
NRST	VDD	NRST 为低电平有效复位信号；它必须上拉至 VCC，否则器件不会启动。

备注

- 为了减少泄漏，TI 建议将 IO 保持为未配置状态。IO 默认为 Hi-Z。
- 必须下拉 BSL 调用引脚，以避免在复位后进入 BSL 模式。

9 布局指南

9.1 电源布局

图 9-1 展示了电源布局的典型器件放置和布线；您必须针对 MSPM0L 器件进行相应修改。可以选择将滤波电感与 VCC 和 MCU VDD 引脚串联。该电感用于滤除 DCDC 的开关噪声频率。有关具体值，请参阅直流/直流供应商的数据表。MSPM0L 器件数据表中的 C1、C2 和 C3 值及布局。

备注

- 保持最小电容并尽可能靠近 MCU VDD 引脚 ($C1 < C2 < C3$)。
- 所有布线都必须可以直接连接，无需任何过孔。

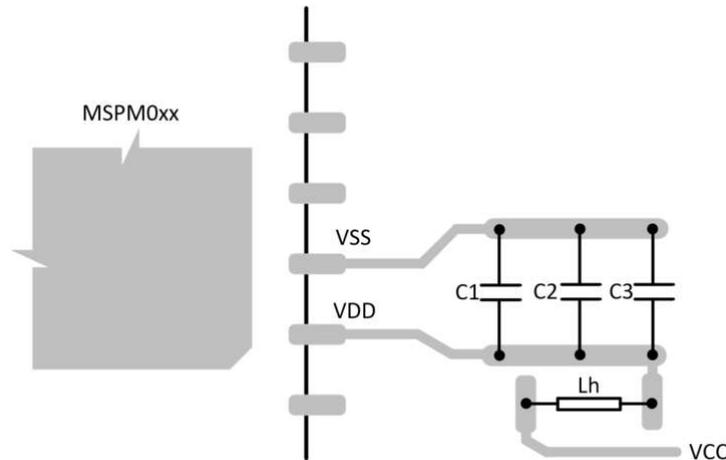


图 9-1. 建议的电源布局

9.2 接地布局注意事项

系统地是电路板上与噪声和 EMI 问题相关的最关键区域和基础。要更大限度地减少这些问题，最实用的方法是使用单独的接地平面。

什么是接地噪声？

来自电路（驱动器）的每个信号都有一个通过接地路径流向其来源的返回电流。随着频率升高，甚至对于继电器等简单但高电流的开关，由于存在线路阻抗，因此会产生压降，进而会在接地方案中产生干扰。返回路径始终是阻力最小的路径。对于直流信号，这将是电阻最小的路径；对于高频信号，它将是阻抗最小的路径。这说明了接地平面如何简化该问题，并且是确保信号完整性的关键。

TI 不建议数字返回信号在模拟返回（接地）区域内传播；因此，请分离接地平面，以将所有数字信号返回环路保持在接地区域内。在完成这种分离时应该要仔细。许多设计使用单个（通用）稳压器来生成具有相同电压电平（例如 3.3V）的数字和模拟电源。将模拟电源轨和数字电源轨及各自接地端相互隔离。隔离接地端时请小心，因为两个接地都必须在某处短接。图 9-2 展示了如何防止数字信号的可能返回路径形成一个通过模拟接地的环路。在每个设计中，考虑元件放置方式等因素来确定公共点。请勿添加与任何接地布线串联的任何电感器（铁氧体磁珠）或电阻器（甚至不是 $0\ \Omega$ ）。由于高频下的相关电感，阻抗会增加，从而会导致电压差。请勿将以数字地为基准的信号路由到模拟地或其他方向。

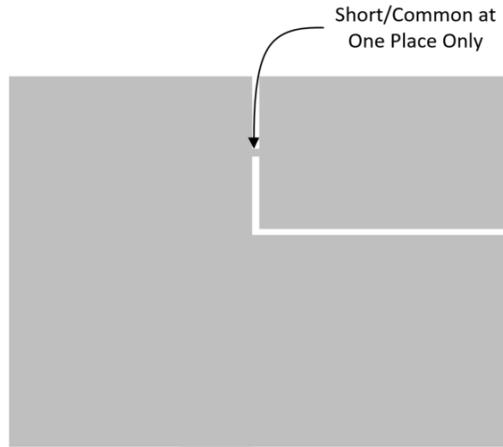


图 9-2. 数字地和模拟地以及公共区域

9.3 布线、过孔和其他 PCB 元件

布线中的直角可能会导致更多辐射。转角区域的电容会增加，并且特征阻抗会改变。这种阻抗变化会导致反射。避免布线中出现直角弯曲，并尝试以至少两个 45° 角进行布线。为了尽量减少阻抗变化，最好的布线方式是圆形弯曲，如图 9-3 所示。

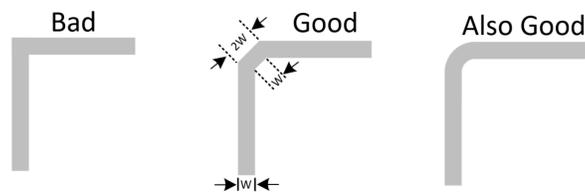


图 9-3. 直角弯曲布线的错误和正确方式

为了更大限度地减少串扰，在一层上和相邻的层之间，两个信号之间都应相互呈 90° 布线。更复杂的电路板在布线时需要使用过孔；但是，使用过孔时必须小心，因为这些过孔会增加额外的电感和电容，并且会由于特征阻抗的变化而产生反射。过孔还会增加布线长度。使用差分信号时，还要在两条布线中使用过孔或补偿另一条布线中的延迟。

对于信号布线，请更加注意高频脉冲信号的影响，尤其是对相对较小的模拟信号（如传感器信号）的影响。交叉过多会将高频信号的电磁噪声耦合到模拟信号中，这会导致信号的信噪比较低并影响信号质量。因此，在设计时应避免交叉。但是，如果确实存在不可避免的交叉点，则 TI 建议垂直相交，以更大限度地减少电磁噪声的干扰。图 9-4 展示了如何降低该噪声。

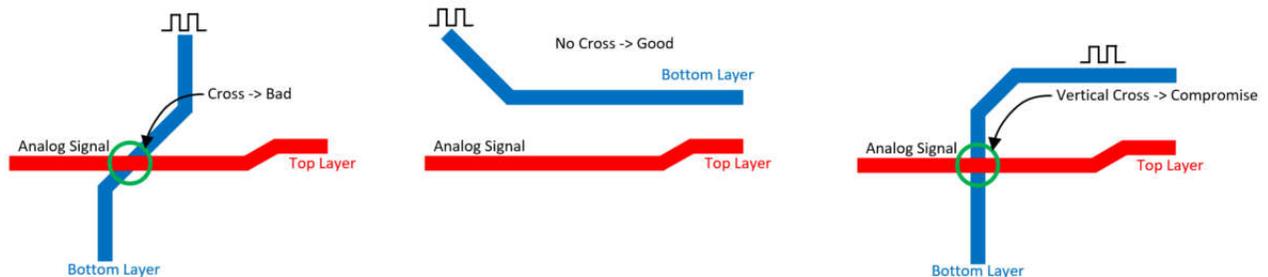


图 9-4. 模拟和高速信号的错误和正确交叉布线

9.4 如何选择电路板层和建议堆叠

为了减少高速信号上的反射，应匹配拉电流、灌电流和传输线路之间的阻抗。信号布线的阻抗取决于其几何形状及其相对于任何参考平面的位置。

针对特定的阻抗要求，差分对之间的布线宽度和间距取决于所选的 PCB 堆叠。由于根据 PCB 技术的类型和成本要求，最小布线宽度和间距存在限制，因此需要选择 PCB 堆叠，来实现所有必需的阻抗。

可使用的最小配置为 2 个堆叠。对于具有多个高速信号且非常密集的 PCB，需要使用 4 层或 6 层电路板。

以下堆叠 (请参阅图 9-5) 是一个 4 层电路板示例，可用作帮助进行堆叠评估和选择的起点。这些堆叠配置使用靠近电源平面的 GND 平面来增加电容并减小 GND 和电源平面之间的间隙。因此，顶层的高速信号将具有一个实心 GND 参考平面，这有助于减少 EMC 辐射，因为增加层数并为每个 PCB 信号层提供 GND 参考将进一步提高辐射 EMC 性能。

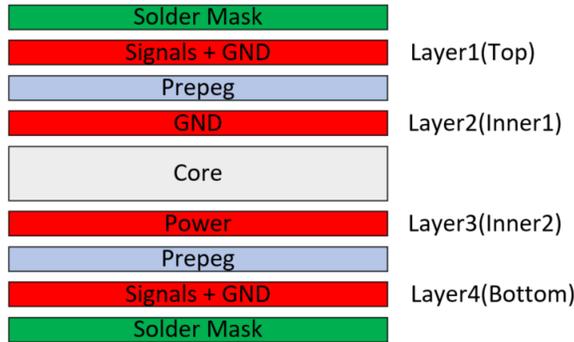


图 9-5. 四层 PCB 堆叠示例

如果系统不是很复杂，没有高速信号或一些敏感的模拟信号，那么 2 个堆叠的结构就足够了。

10 引导加载程序

10.1 引导加载程序简介

引导加载程序是一种固件 IP（随器件预编程的软件），可用于使用 UART 和 I2C 等串行接口对 SoC 的存储器（闪存和 SRAM）进行编程。引导加载程序通常会在引导代码运行完成后、器件即将启动客户应用时调用。为了支持生产编程用例，一些引导加载程序还会提供更多接口，比如 SPI 或 CAN。引导加载程序也可用于现场更新。

10.2 引导加载程序硬件设计注意事项

10.2.1 物理通信接口

MSPM0L 引导加载程序 (BSL) 在 UART 和 I2C 串行接口上实现。在 MSPM0L 器件中，BSL 可以自动选择用于与器件通信的接口。BSL 通信引脚已在基于 ROM 的引导加载程序中预定义。所使用的外设接口具体实例取决于所选器件，并可在器件特定的数据表中找到。在硬件设计之前，请参阅数据表以确定 BSL 通信功能分配了哪个引脚。

备注

必须下拉 BSL 调用引脚，以避免在复位后进入 BSL 模式。

10.2.2 硬件调用

引导加载程序支持在 BOOTRST 之后通过 GPIO 进行硬件调用。NONMAIN 闪存中的 BSL 配置包含 GPIO 调用的焊盘、引脚和极性定义。器件由 TI 针对特定的 GPIO 和极性进行配置，但软件可以通过修改 NONMAIN 闪存中 BSL 配置中的 GPIO 引脚配置来更改此默认设置。请参阅特定于器件的数据表以确定默认的 BSL 调用 GPIO。图 10-1 展示了通过 GPIO 引脚 PA18 以高电平触发引导加载程序的示例。

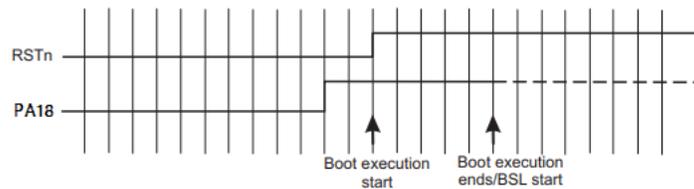


图 10-1. 配置的 GPIO 引脚上的 BSL 进入序列

11 参考资料

1. 《MSPM0L130x 混合信号微控制器》数据表。
2. MSPM0 L 系列 32MHz 微控制器技术参考手册。
3. MSPM0 G 系列 MCU 硬件开发指南应用手册。
4. TLIN1021A-Q1 具有抑制和唤醒功能的故障保护 LIN 收发器数据表 (修订版 B) 数据表。

12 修订历史记录

Changes from Revision B (September 2025) to Revision C (March 2026)	Page
• 更新了 节 8.6	26

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月