

Errata

**J721S2/TDA4VE/TDA4AL/TDA4VL/AM68A 处理器器件版本
1.0****摘要**

本文档介绍了功能规格的已知例外情况 (公告)。本文档也包含了使用说明。在使用说明中介绍了器件行为可能与假定或记录的行为不匹配的情况。这可能包括影响器件性能或功能正确性的行为。

内容

1 受影响的模块	2
2 命名规则、封装编号法和修订版本标识	5
3 器件修订版本 1.0 使用说明和公告	7
修订历史记录	44

1 受影响的模块

表 1-1 介绍受每个使用说明影响的模块。

表 1-1. 按模块划分的使用说明

模块	使用说明
C7x	i2454 — C7x：不允许强制复位
DDR	i2330 — DDRSS 寄存器配置工具更新
PLL	i2424 — PLL：编程序列可能会导致 PLL 不稳定
USB	i2134 — USB：2.0 合规性接收灵敏度测试限制

表 1-2 介绍受每条公告影响的模块。

表 1-2. 按模块划分的公告

模块	公告
引导	i2307 — 引导：ROM 无法基于 BOOTMODE 正确选择 OSPI 时钟模式
	i2366 — 引导：ROM 不理解 8D-8D-8D 操作使用的特定 JEDEC SFDP 特性
	i2371 — 引导：数据传输过程中，UART 引导模式下的 ROM 代码可能出现挂起
	i2372 — 引导：ROM 不支持串行 NAND 引导中的所选多层平面寻址方案
	i2413 — 引导：HS-FS ROM 引导时加载的 ROM 引导镜像已损坏
	i2414 — 以太网 PHY 扫描和启动流程不适用于不支持自动协商的 PHY
	i2415 — 在 xSPI 主引导模式下，UART 备用引导认证失败
	i2418 — 由于证书信息不存在，导致安全 ROM 崩溃
	i2419 — 禁用偏斜消除校准时，ROM 不会检查是否已使能偏斜消除校准
	i2422 — MMCSD 文件系统引导时，ROM 的超时时间过长
	i2435 — eMMC 引导的 ROM 超时时间过长
BCDMA	i2431 — BCDMA：RX 通道在某些情况下可能锁定
	i2436 — BCDMA：RX CHAN CFG 寄存器中的 RX_IGNORE_LONG 设置不起作用
C7x SE	i2063 — C7x SE：对 IBUF 缓冲区中最后一行的非对齐访问不支持 CPU 负载和存储的 VCOP 别名。
	i2064 — C7x SE：在特定条件下，如果存在高速缓存模式变更或全局写回，则对 L1D SRAM 的 DMA 访问可能会无限期停止。
	i2065 — C7x SE：在较短的时间窗口内，如果出现由于流引擎读取、MSMC 或 DDR 高速缓存未命中、L1D 牺牲缓存行以及某些其他特定条件引起的 L1D 窥探，C7x 存储器系统和 cpu 可能会无限期停止。
	i2079 — C7x SE：在特定条件下，如果存在 CPU 流量，则对 L1D SRAM 的 DMA 访问可能会无限期停止。
	i2087 — C7x MMA HWA_STATUS 在应用程序启动前报告错误
	i2120 — C71x：在转置流中对 LEZR 进行非奇偶校验错误检测时 SE 挂起
	i2219 — C7x SE：SE 针对 uTLB 故障返回错误的 rstatus
	i2271 — C7x SE：如果 SEBRK 期间发生页面故障/UMC 错误，SE 可能会挂起
	i2272 — C7x SE：使能 FILLVAL 时，发生 SEBRK 之后 SE 会损坏第一个流结束引用
	i2454 — C7x：不允许强制复位
	i2399 — CPU NLC 模块在中断时未清除状态
CBASS	i2235 — CBASS 空错误中断未被使能寄存器屏蔽
CP	i2283 — 有关如何使用 CP 跟踪器调试探头的限制
CPSW	i2401 — 主机时间戳导致 CPSW 端口锁定
CSI	i2190 — CSI_RX_IF 在接收不完整的帧后可能进入未知状态
DDR	i2157 — DDR：控制器在设置低功耗状态唤醒时间时出现异常
	i2159 — DDR：LPDDR4 CBT 期间必须使用 VRCG 高电流模式

表 1-2. 按模块划分的公告 (续)

模块	公告
	i2160 — DDR：必须在 LPDDR4 命令总线训练期间定义有效 VRef 范围
	i2166 — DDR：进入和退出深度睡眠低功耗状态可能会导致 PHY 内部时钟错位
	i2232 — DDR：频率更改后，控制器推迟的刷新次数超过允许的刷新次数
	i2244 — DDR：必须为写入 DQ VREF 训练定义有效的停止值
	i2316 — DDR：使用 DDR1 时，MCU_OSPI0_* 引脚的运行电压限制为 1.8V
DRU	i2215 — DRU：如果使用非原子 TR 提交机制，则 C7x 的乱序写入可能会损坏 TR 提交
DSS	i2097 — DSS：禁用连接到重叠区的层可能会导致下一帧期间出现同步丢失
ECC 聚合器	i2049 — ECC 聚合器：由于出现挂起的 ECC 聚合器中断，IP 时钟停止/复位序列可能挂起
GPMC	i2313 — GPMC：NAND 和 FPGA/FIFO 的低于 32 位读取问题
I3C	i2197 — I3C：不支持从机模式
	i2205 — I3C：在某些情况下，IBI 挂起期间获取的命令未得到正确处理
	i2216 — I3C：在接收从机发起的 IBI 地址字节期间，命令执行可能失败
IA	i2196 — IA：IA 中可能出现的死锁情况
内部诊断模块	i2103 — 内部诊断模块：功能安全错误的 ECC_GRP、ECC_BIT 和 ECC_TYPE 信息报告不正确
MCAN	i2278 — MCAN：当从配置有相同报文 ID 的专用 Tx 缓冲区发送时，报文发送顺序无法保证
	i2279 — MCAN：配置有相同报文 ID 的专用 Tx 缓冲区和 Tx 队列的规范更新
MDIO	i2329 — MDIO：MDIO 接口损坏 (CPSW 和 PRU-ICSS)
MMCSDB	i2312 — MMCSDB：HS200 和 SDR104 命令超时窗口太小
MSMC	i2378 — MSMC：高速缓存/窥探过滤器路选择 MMR 的复位值不正确
	i2381 — MSMC：FFI 复位允许目标端口作为映射的 SRAM 对 L3 数据高速缓存进行后门访问
OSPI	i2189 — OSPI：控制器 PHY 调优算法
	i2249 — OSPI：具有 DDR 时序的内部 PHY 环回和内部焊盘环回时钟模式无法运行
	i2351 — OSPI：控制器不支持带 NAND 闪存的连续读取模式
	i2383 — OSPI：PHY DDR 模式不支持 2 字节地址
PCIe	i2237 — PCIe：SerDes 基准时钟输出不符合 Vcross、上升/下降匹配和边沿速率限制
	i2242 — PCIe：在更改数据速率时，4-L 串行器/解串器 PCIe 参考时钟输出暂时禁用
	i2243 — PCIe：不满足在 L1.2 子状态期间禁用输出 refclk 的时序要求
	i2308 — PCIe：封装中的 PCIE_REFCLK 接线错误
	i2326 — PCIe：当 MAIN_PLLx 运行在启用 SSC 所必需的分频模式下时，不符合 PCIe REFCLK 抖动限制
PRG	i2253 — PRG：CTRL_MMR_STAT 寄存器是 POK 阈值失效的不可靠指示器
PSIL	i2137 — 时钟停止操作可能会导致异常行为
R5FSS	i2161 — R5FSS：调试器无法访问处于活动状态的 VIM 模块
RAT	i2062 — RAT：即使设置了“错误记录禁用”，仍会触发错误中断
	i2449 — RAT：R5FSS RAT MMR 未受奇偶校验保护
RINGACC	i2177 — RINGACC：环形加速器的调试事务跟踪流可能会被某些环形访问序列损坏
SE	i2437 — 时钟门控关闭过早
SGMII	i2362 — 10-100M SGMII：Marvell PHY 没有忽略前导码字节，而导致链路故障
UDMA	i2146 — UDMA：强制拆卸位域读回在实时 TX/RX 寄存器中被屏蔽
	i2320 — UDMA、UDMAP：描述符和 TR 要求以未碎片化形式返回
UDMAP	i2163 — UDMAP：在“事件触发”模式下使用时，如果 ICNT 和/或 src/dst addr 未对齐到 64B，则 UDMA 传输会失败
	i2234 — UDMA：如果 ICNT0 小于 64 字节，则 TR15 挂起
USART	i2310 — USART：错误地清除/触发超时中断
	i2311 — USART：虚假 DMA 中断

表 1-2. 按模块划分的公告 (续)

模块	公告
USB	i2091 — 2.0 PHY 在接收的信号幅值在同一数据包内多次超过静噪阈值时挂起
	i2409 — USB2 PHY 由于短暂挂起而锁定

2 命名规则、封装编号法和修订版本标识

2.1 器件和开发支持工具命名规则

为了指明产品开发周期所处的阶段，TI 为所有微处理器 (MPU) 和支持工具的器件型号分配了前缀。每个器件都具有以下三个前缀中的其中一个：X、P 或 null (无前缀) (例如，TDA4AL88TGAALZQ1

)。德州仪器 (TI) 为其支持工具推荐使用三种可能的前缀指示符中的两个：TMDX 和 TMDS。这些前缀代表了产品开发的发展阶段，即从工程原型 (TMDX) 直到完全合格的生产器件和工具 (TMDS)。

器件开发进化流程：

X 试验器件不一定代表最终器件的电气规格，并且可能不使用生产封装流程。

P 原型器件不一定是最终的器件芯片，并且不一定符合最终电气规格。

无 完全合格的器件芯片的量产版本。

支持工具开发演变流程：

TMDX 还未经德州仪器 (TI) 完整内部质量测试的开发支持产品。

TMDS 完全合格的开发支持产品。

X 和 P 器件和 TMDX 开发支持工具在供货时附带如下免责条款：

“开发产品用于内部评估用途。”

生产器件和 TMDS 开发支持工具已进行完全特性描述，并且器件的质量和可靠性已经完全论证。TI 的标准保修证书对该器件适用。

预测显示原型器件 (X 或者 P) 的故障率大于标准生产器件。由于这些器件的预期最终使用故障率仍未确定，故德州仪器 (TI) 建议请勿将这些器件用于任何生产系统。请仅使用合格的生产器件。

有关如何读取任何 J721S2 器件完整器件名称的其他信息，请参阅器件特定的数据表 (SPRSP62)。

2.2 支持的器件

本文档支持以下器件：

- J721S2、TDA4VE、TDA4AL、TDA4VL、AM68

2.3 封装编号法和修订版本标识

图 2-1 展示了封装编号法的示例。

表 2-1 列举了器件修订版本代码。

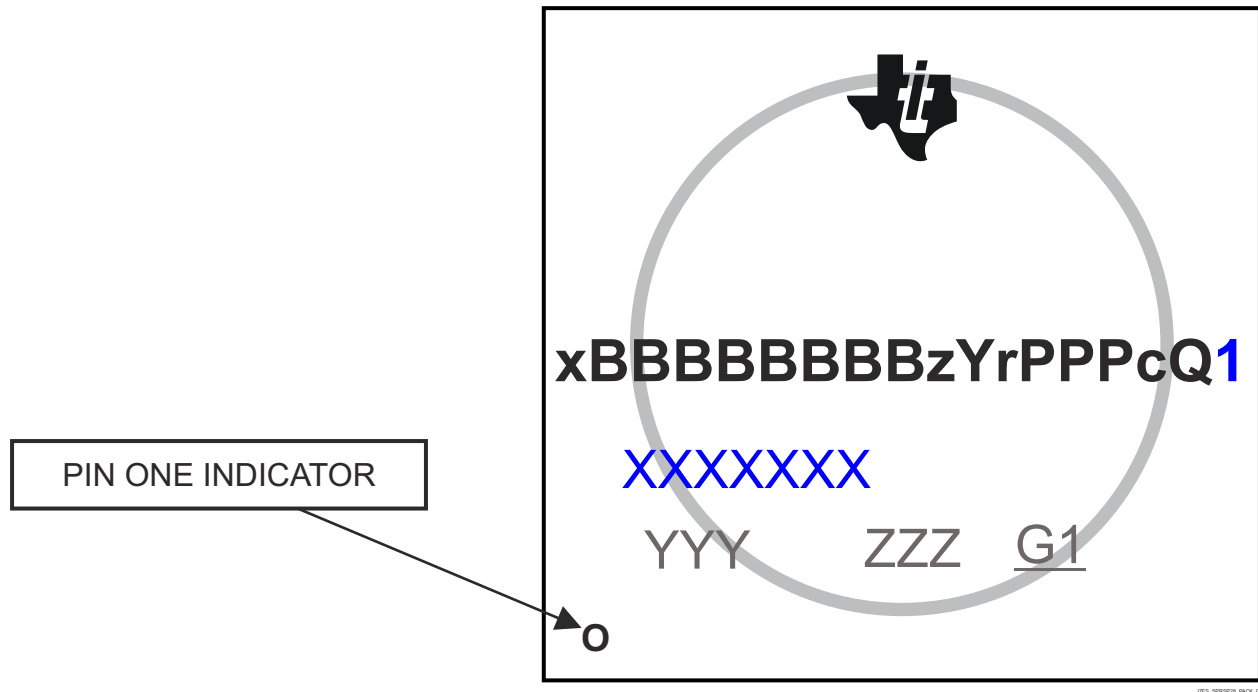


图 2-1. 封装符号

表 2-1. 版本标识

器件修订版本代码	器件修订版本	注释
A 或空白	1.0	

3 器件修订版本 1.0 使用说明和公告

本节列出了此器件修订版本的使用说明和公告。

3.1 器件修订版本 1.0 使用说明

i2134

USB : 2.0 合规性接收灵敏度测试限制

详细信息：

按照《USB-IF USB 2.0 电气合规性测试规范》中的规定执行接收灵敏度测试 (EL_16 和 EL_17) 可能会引发公告 i2091 中描述的问题。

该问题最初是在使用自动化软件执行这些测试时发现的，该软件会在发送数据包时增加 USB 信号的振幅。在验证被测器件 (DUT) 在振幅低于 100mV 时否定应答所有数据包并在振幅高于 150mV 时不否定应答任何数据包期间，该软件一直从低于 100mV 的振幅扫描到高于 150mV 的振幅。但是，如公告 i2091 中所述，在发送有效数据包时，增加振幅超过静噪阈值可能会锁定 PHY。

权变措施：

启用以下两种硬件权变措施。

将 USB*_PHY2 区域中的 UTMI_REG28 寄存器中的 cdr_eb_wr_reset 位 (第 7 位) 设置为 1'b1。

将 USB*_MMR_MMRVBP_USBSS_CMN 区域中的 PHYRST_CFG 寄存器中的 phyrst_a_enable 位 (第 0 位) 设置为 1'b1。请注意，PHYRST_CFG 寄存器中的 phyrst_a_value (第 12:8 位) 应保留为默认值 0xE。

3.2 器件修订版本 1.0 公告

i2049

ECC_AGGR : 由于出现挂起的安全错误，IP 时钟停止/复位序列可能挂起

详细信息：

ECC 聚合器模块用于聚合发生的安全错误 (这种情况很少见) 并产生中断以通知软件。ECC 聚合器通过软件控制安全错误中断的启用/禁用和清除。

当软件对 IP 执行时钟停止/复位序列时，该序列可能无法完成，因为该 IP 关联的 ECC 聚合器实例不是空闲的。ECC 聚合器空闲状态取决于挂起的任何安全错误中断，这些中断要么启用，要么禁用，并且未被软件清除。因此，如果有任何挂起的安全错误中断未被清除，IP 的时钟停止/复位序列可能永远不会完成 (挂起)。

受影响的 ECC_AGGR 可通过技术参考手册 (TRM) 中为其 REV 寄存器 (寄存器偏移 0h) 列出的值来确定。REV 寄存器在其字段中对 ECC_AGGR 版本进行编码，如下所示：

v[REVM AJ].[REVM IN].[REVRTL]

v2.1.1 之前的 ECC_AGGR 版本会受到影响。ECC_AGGR 版本 V2.1.1 和更高版本不受影响。

受影响的示例：

REVM AJ = 2

REVM IN = 1

REVRTL = 0

上述值会解码为受到影响的 ECC_AGGR 版本 v2.1.0。

不受影响示例：

i2049 (续)
ECC_AGGR : 由于出现挂起的 ECC 聚合器中断, IP 时钟停止/复位序列可能挂起

REVMAJ = 2

REVMIN = 1

REVRTL = 1

上述值会解码为不受影响的 ECC_AGGR 版本 V2.1.1。

权变措施：

一般说明：

功能安全用例中不支持对 ECC 聚合器执行时钟停止。

对于非功能安全用例, 软件应使用以下权变措施：

1. 为 IP 启用所有 ECC 聚合器中断
2. 处理并清除所有挂起的中断
3. 第 3 步：
 - a. 禁用 ECC 聚合器的所有中断源, 然后执行时钟停止/复位序列。
 - b. 执行时钟停止/复位序列, 同时继续处理/清除挂起的中断。

由于中断属于外部刺激, 软件为第 3 步提供了两种选项：

1. 在执行时钟停止/复位序列之前, 禁用所有可以产生挂起 ECC_AGGR 中断的中断源 (EDC CTRL 校验器)
2. 继续处理/清除发生的挂起中断, 同时执行时钟停止/复位序列。当清除完所有中断除时, 该序列将继续进行。

通常, 软件可能需要检测在整个这一序列期间持续触发的挂起中断 (例如, 在卡滞故障情况下), 并禁用其关联的 EDC CTRL 安全校验器, 使得时钟停止/复位序列可以继续直到完成。

i2062
RAT : 即使设置了“错误记录禁用”, 仍会触发错误中断

详细信息：

如果对 RAT 错误记录进行编程以禁用记录并启用中断, 则错误将错误地触发中断, 但错误日志寄存器不会正确更新。错误中断不应产生。

权变措施：

如果禁用 RAT 错误记录, 则错误中断也应由软件禁用。

i2063
C71x : 对 IBUF 缓冲区中最后一行的非对齐访问不支持 CPU 负载和存储的 VCOP 别名

详细信息：

除了通过流引擎进行的 DMA 和访问之外, C71x 存储器系统还支持针对 CPU 加载和存储的 EVE 式 VCOP 别名处理。支持此别名处理时, 在某些配置中, 非对齐加载并存储到 IBUF 缓冲区中的最后一行 (128 字节) 可能不会进行别名处理。

表 3-1 显示了实际行为。

i2063 (续)

C71x : 对 IBUF 缓冲区中最后一行的非对齐访问不支持 CPU 负载和存储的 VCOP 别名

表 3-1. CPU 别名处理行为

CPU 别名处理开启					
	IBUFLA	IBUFHA	IBUFLB	IBUFHB	L1D 操作
所属	CPU	CPU	DMA	DMA	无问题
	DMA	DMA	CPU	CPU	无问题
	DMA	CPU	CPU	DMA	请参阅 (1)
	CPU	DMA	CPU	DMA	请参阅 (2)

- (1) 如果对 IBUFLA 中的最后一行 (该行溢出到 IBUFHA 中) 进行非对齐访问, 则两行都会进行别名处理。
 (2) 如果对 IBUFLA 中的最后一行 (该行溢出到 IBUFHA 中) 进行非对齐访问, 则两行不会进行别名处理。

权变措施:

应调整 IBUF 缓冲区的大小, 以不使用所有四个缓冲区的最后一行 (128 字节)。

i2064

C71x : 在特定条件下, 如果存在高速缓存模式变更或全局回写, 则 DMA 对 L1D SRAM 的访问可能会无限期停止

详细信息:

DMA 对 L1D SRAM 的读取或写入可能会无限期停止。需要进行以下事务才会触发此情况:

1. L1D 高速缓存模式变更或全局回写/回写并使其失效。这些操作通过对 CPU 寄存器的 ECR 写入启动。
2. CPU 在高速缓存模式变更或全局回写正在进行时加载。这可能是由于 CPU 事务与写入 ECR 寄存器的 MOVC 指令并行调度所致。
3. DMA 读取或写入 L1D SRAM 中的缓冲区。

这些事务不需要发送到同一地址, 但当 #1 正在进行时, #2 和 #3 必须也在进行中。在这种情况下, 即使在高速缓存模式变更或全局回写完成后, DMA 也会无限期停止。

权变措施:

避免对映射到 L1D SRAM 的缓冲区执行 DMA。

i2065

C71x : 存在 L1D 窥探时 C71x 存储器系统和 CPU 可能会无限期停止

详细信息:

这些是需要在较短时间窗口内发生的事务和条件。

事务:

1. 流引擎读取到 MSMC 或 DDR, 这些读取操作未命中 L2 高速缓存, 并作为读取发送到 MSMC 以进行行填充。
2. 流引擎读取到 MSMC 或 DDR, 这些读取操作未命中 L2 高速缓存, 但可在 L1D 中缓存。这些读取会生成对 L1D 的窥探。
3. CPU 加载未命中 L1D, 且 L1D 会将其发送到 L2 以进行高速缓存行填充 (多次读取)。
4. CPU 加载或存储会导致 L1D 从其高速缓存中逐出行, 从而产生 L2 牺牲缓存行 (多个牺牲缓存行)。
5. L1D 使用窥探数据响应窥探。
6. MSMC 使用读取响应数据响应 L2 未命中。
7. 来自 L1D (#5) 的窥探响应和来自 MSMC (#6) 的读取响应正在路由到流引擎。

条件/停止:

i2065 (续)
C71x : 存在 L1D 窥探时 C71x 存储器系统和 CPU 可能会无限期停止

1. L1D 牺牲缓存行和窥探响应会填满整个 L1D 管道以及 L1D 和 L2 中的缓冲区，从而导致 L1D 无法再向 L2 发送更多牺牲缓存行或窥探响应。
2. L2 正在处理来自 L1D 的读取未命中，但由于 L1D 管道已满，无法再将更多读取响应数据发送回 L1D。

在这种情况下，存储器系统停止为流引擎读取提供服务。这可能会导致 CPU 无限期停止。

权变措施：

有多种方法可以避免这种情况。删除任何一个事务都可以阻止发生这种停止。可以使用以下任何权变措施。这些权变措施相互独立，即使应用一种权变措施也可以避免这种情况。

权变措施 1： 在从流引擎读取之前，刷新 L1D 高速缓存的缓冲区，从而消除 L1D 窥探。

权变措施 2： 通过不在 L1D 和流引擎之间共享缓冲区来防止 L1D 窥探。

权变措施 3： 刷新 L1D 牺牲缓存即可防止出现 L1D 牺牲缓存行。

权变措施 4： 将流引擎读取或 CPU 加载映射到 L2，而不是 MSMC 或 DDR，从而避免高速缓存未命中。

i2079
C71x : 在特定条件下，如果存在 CPU 流量，则 DMA 对 L1D SRAM 的访问可能会无限期停止
详细信息：

DMA 对 L1D SRAM 的读取或写入可能会无限期停止。需要进行以下事务才会触发此情况：

1. 缓冲区/行“A”之前已分配在 L1D 高速缓存中。
2. CPU 读取缓冲区/行“A”时未命中 L1D 高速缓存。
3. 流引擎读取缓冲区/行“A”。
4. DMA 读取或写入 L1D SRAM 中的缓冲区。

请注意，事务#1、#2 和 #3 针对同一缓冲区/行，而 #4 针对不同缓冲区/行。这可能会遇到导致 DMA 无限期停止的情况。

权变措施：

避免对映射到 L1D SRAM 的缓冲区执行 DMA。

i2087
C71x : MMA HWA_STATUS 在应用程序启动之前报告错误
详细信息：

由于内部状态未初始化，C71x 处理器所搭载的矩阵数学加速器 (MMA) 在上电后，可能会在 HWA_STATUS 寄存器的 FirstErrorCode 与 LastErrorCode 字段中上报错误。由于这些字段是粘滞字段，任何后续的 HWARCV 指令都可能会引发 C71x 异常。

权变措施：

上电后，在首次执行正常 MMA 操作前，可通过 C71x 处理器运行一段简短指令序列，完成 MMA 内部状态初始化。仅需执行一次该指令序列。

该序列会生成有效的 HWA_CONFIG 和 HWA_OFFSET 值并将其加载到 MMA 中，随后清除粘性错误码。

以下为 C71x 汇编语言编写的指令序列：

```
PROT
MVK32 .M2 0x0,B0 ; clear low word of VB0
```

i2087 (续)

C71x : MMA HWA_STATUS 在应用程序启动之前报告错误

```
VDUPW .C2 B0,VB0 ; duplicate word across VB0
HWAOPEN .L2 VB0,VB0,0 ; clear HWA_CONFIG and HWA_OFFSET
HWACLOSE .S1 0 ; clear any error conditions
```

i2091

USB : 2.0 PHY 在接收的信号幅值在同一数据包内多次超过静噪阈值时挂起

详细信息：

USB 2.0 PHY 在接收器上实现一条静噪检测电路，以确保在总线空闲时噪声不会被视为有效数据。当 DP/DM 差分信号幅值小于静噪阈值时，静噪电路通过禁用接收器输出来阻止无效数据。

如果在同一数据包内 DP/DM 差分信号幅值在一小段时间内下降至静噪阈值以下并且再次升高到静噪阈值以上，PHY 可能会挂起。如果 DP/DM 差分信号幅值在两个数据包之间的空闲时间内超过静噪阈值，则不会发生该问题。

权变措施：

通过确保在有效数据传输期间施加到接收器输入的 DP/DM 差分信号幅值保持在静噪阈值以上，可以避免该问题。

i2097

DSS : 禁用连接到重叠区的层可能会导致下一帧期间出现同步丢失

详细信息：

禁用连接到重叠区 (它将 DSS_VID_ATTRIBUTESx[0] ENABLE 从 1 切换到 0) 的层 (例如 VID1) 可能会导致下一帧期间出现同步丢失。同步丢失可能导致出现损坏帧或空白帧 (该帧期间从 DSS 发出的所有像素数据为 0x0)。同步丢失出现与否取决于设置和禁用该层有关的 GO 位的时序 (即 DSS_VP_CONTROL[5] GOBIT 为 1)。如果“禁用层”MMR 写入操作和“设置 GO 位”MMR 写入操作发生在同一帧边界之内，同步丢失不会发生。如果这些操作跨越帧边界发生，则会发生同步丢失 (对于一个帧)。设置 GO 位后，该设计将从下一帧开始自动恢复并恢复正常运行，请参见图 3-1。

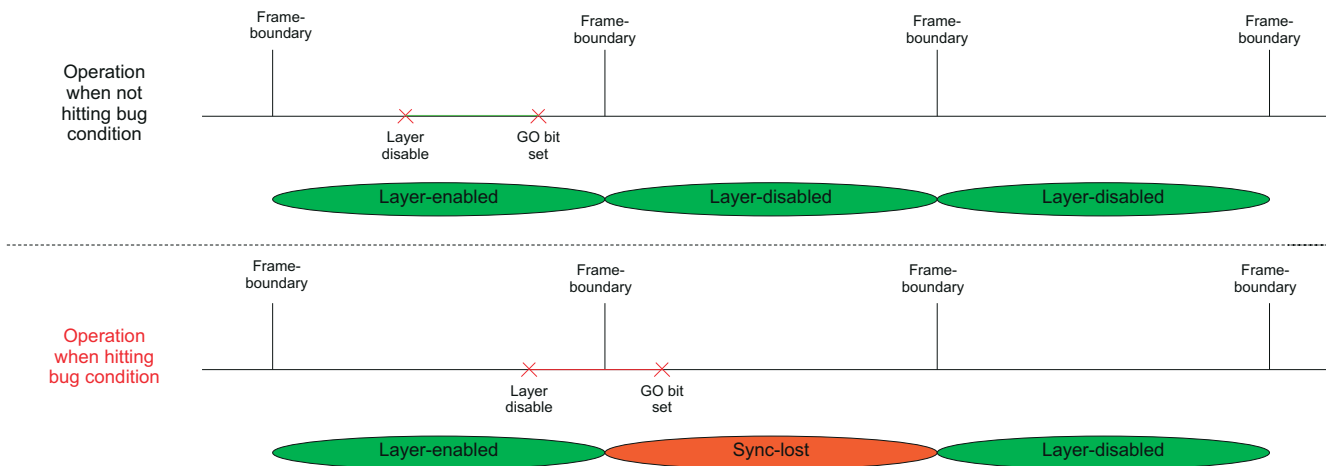


图 3-1. 错误条件

权变措施：

有一种简单的软件权变措施。在该权变措施中，在禁用重叠区上的层之前，该层会移动到重叠区的“不可见”区域 (例如：DSS_OVR_ATTRIBUTES_x[17-6] POSX = max_value_of_posx 或 DSS_OVR_ATTRIBUTES_x[30-19] POSY = max_value_of_posy)。这就避免了禁用层时发生同步丢失。

i2097 (续)

DSS : 禁用连接到重叠区的层可能会导致下一帧期间出现同步丢失

示例软件权变措施的伪代码如图 3-2 所示。在这种情况下，常规的“禁用层” MMR 写入操作和“设置 GO 位设置” MMR 写入操作被执行软件权变措施的宏取代。

<pre> macro disable_layer (overlay n , layer m) set OVR[n].ATTRIBUTES2[m].PO SX = posx_max; set OVR[n].ATTRIBUTES2[m].PO SY = posy_max; global_ovr_layer_disable_tracker[n][m] = 1; endmacro macro set_go_bit (vp n) if(!global_ovr_layer_disable_tracker[n])//any bit set { set VP[n].CONTROL.GOBIT = 1; Wait for 10 DSS FUNC CLK cycles; for (i=0;i<NUM_LAYERS;i++) { if(global_ovr_layer_disable_tracker[n][i]) { Clear OVR[n].ATTRIBUTES[i].ENABLE = 0; global_ovr_layer_disable_tracker[n][i] = 0; } } } set VP[n].CONTROL.GOBIT = 1; endmacro </pre>	<ul style="list-style-type: none"> • Replace layer disable MMR write operation with a macro which positions the layer to the non-visible area of the OVR • Track which layers are disabled. This will be used while GO bit is set
<pre> macro set_go_bit (vp n) if(!global_ovr_layer_disable_tracker[n])//any bit set { set VP[n].CONTROL.GOBIT = 1; Wait for 10 DSS FUNC CLK cycles; for (i=0;i<NUM_LAYERS;i++) { if(global_ovr_layer_disable_tracker[n][i]) { Clear OVR[n].ATTRIBUTES[i].ENABLE = 0; global_ovr_layer_disable_tracker[n][i] = 0; } } } set VP[n].CONTROL.GOBIT = 1; endmacro </pre>	<ul style="list-style-type: none"> • Replace GO bit set MMR write operation with this macro • First, set GO Bit for the changes in “disable_layer” macro (and any other earlier changes) to take effect • After the first GO bit set, few idle_cycles (10 DSS functional clock cycles) are necessary before we move to the second step
<pre> macro set_go_bit (vp n) if(!global_ovr_layer_disable_tracker[n])//any bit set { set VP[n].CONTROL.GOBIT = 1; Wait for 10 DSS FUNC CLK cycles; for (i=0;i<NUM_LAYERS;i++) { if(global_ovr_layer_disable_tracker[n][i]) { Clear OVR[n].ATTRIBUTES[i].ENABLE = 0; global_ovr_layer_disable_tracker[n][i] = 0; } } } set VP[n].CONTROL.GOBIT = 1; endmacro </pre>	<ul style="list-style-type: none"> • In the second step, actually disable the layers based on the previously tracked information • Set the GO bit for the second time for the disable of the layers to take effect

图 3-2. 权变措施伪代码

i2103

内部诊断模块：功能安全错误的 ECC_GRP、ECC_BIT 和 ECC_TYPE 信息报告不正确

详细信息：

对于功能安全错误，某些安全检查器的错误状态寄存器中记录的信息 (ECC_GRP、ECC_BIT 和 ECC_TYPE) 可能不正确。这仅适用于映射到 ECC_GRP = 0,15,31,47,63... (N*16-1) 的安全检查器。对于 DDR 桥/控制器，该问题仅适用于 ECC_GRP = 0,31,63... (N*32-1) 的安全检查器。

该问题会影响所有内部诊断模块实例及其子存储体。

注意：这些安全错误的检测和中断信号传输不受影响。只有错误状态寄存器上述字段的日志记录会受到影响。

权变措施：

无。对于这些特定的安全检查器，软件仅限于了解发生的是可纠正还是不可纠正的错误以及哪个内部诊断模块实例发生了错误 (因此知悉 IP 模块)，但无法了解哪个确切的安全检查器遇到了错误。

i2120

C71x : 在转置流中对 LEZR 进行非奇偶校验错误检测时 SE 挂起

详细信息：

C71x 流引擎 (SE) 用于返回格式化数据和返回报告内部错误信息的管道始终监控其正在处理的数据的标签。当检测到用于格式化返回 CPU 的数据的数据行出错时，所有用于将命令排队进入 UMC、uTLB 以及返回 CPU 的格式化管道的提取端执行都将停止。

在一般操作中，仅进行错误监控的标签是用于当前命令的标签。对于转置模式，是指受到当前数组列影响的所有标签。抑制内部标签监控时出现的间隙会导致格式化管道监控其当前未处理的标签，同时为 LEZR 特性创建零矢量。如果 SE 的提取端遇到并记录了未来列的错误，格式化端可能会注意到它，并在该列的命令提交进行格式化之前停止提取端。

仅仅对于在内部提交进行格式化的命令，才将错误报告给 CPU，因此在提交该列之前停止内部执行导致不向 CPU 报告任何错误。因为 SE 已经停止提取操作而没有报告错误，所以 CPU 继续挂起，等待 SE 返回数据或发出错误，直到发生一个不相关的外部事件或中断。

i2120 (续)

C71x : 在转置流中对 LEZR 进行非奇偶校验错误检测时 SE 挂起

权变措施 :

唯一的 100% 权变措施是在同时启用了 LEZR 和转置模式的情况下不使用流模板。

i2134

USB : 2.0 合规性接收灵敏度测试限制

详细信息 :

按照《USB-IF USB 2.0 电气合规性测试规范》中的规定执行接收灵敏度测试 (EL_16 和 EL_17) 可能会引发公告 i2091 中描述的问题。

该问题最初是在使用自动化软件执行这些测试时发现的, 该软件会在发送数据包时增加 USB 信号的振幅。在验证被测器件 (DUT) 在振幅低于 100mV 时否定应答所有数据包并在振幅高于 150mV 时不否定应答任何数据包期间, 该软件一直从低于 100mV 的振幅扫描到高于 150mV 的振幅。但是, 如公告 i2091 中所述, 在发送有效数据包时, 增加振幅超过静噪阈值可能会锁定 PHY。

权变措施 :

启用以下两种硬件权变措施。

将 USB*_PHY2 区域中的 UTMI_REG28 寄存器中的 cdr_eb_wr_reset 位 (第 7 位) 设置为 1'b1。

将 USB*_MMR_MMRVBP_USBSS_CMN 区域中的 PHYRST_CFG 寄存器中的 phyrst_a_enable 位 (第 0 位) 设置为 1'b1。请注意, PHYRST_CFG 寄存器中的 phyrst_a_value (第 12:8 位) 应保留为默认值 0xE。

i2137

PSIL : 时钟停止操作可能会导致异常行为

详细信息 :

时钟停止接口是一个请求/确认接口, 用于协调正确停止的主时钟和模块之间的握手。如果不首先执行通道清理或清除全局启用位, 而尝试对在模块执行时钟停止, 将导致模块特定的异常行为。

受影响的模块包括 PDMA、SA2UL、以太网交换机、CSI、UDMAP、ICSS 和 CAL。

权变措施 :

在尝试进行时钟停止操作之前, 需要使用软件清理所有活动通道 (通过 UDMAP 中的 UDMAP “实时” 寄存器或 PSIL 模块中的 PSIL 寄存器 0x408), 并且在完成此操作后, 还要清除所有通道的全局启用位 (通过 UDMAP 和 PSIL 模块中的 PSIL 寄存器 0x2)。

i2146

UDMA : 在实时 TX/RX 寄存器中屏蔽强制清理位字段回读

详细信息 :

启动强制清理后, 强制清理位字段将不会在实时 TX/RX 寄存器的回读中持续设置。

权变措施 :

强制清理操作仅由软件用于干预, 以解决灾难性的系统状况, 因此软件应单独跟踪何时启动强制清理与正常清理, 因而不依赖于强制清理位字段的回读值来获取此信息。

i2157

DDR : 为低功耗状态设置唤醒时间时控制器异常

详细信息 :

如果下一个更深功耗状态的唤醒时间为禁用或设置为更低的值, 则 DDR 控制器可能会错误地减少当前低功耗状态的唤醒时间。

i2157 (续)
DDR : 为低功耗状态设置唤醒时间时控制器异常
权变措施 :

如果通过设置 DDRSS_CTL_139[29-24] LPI_WAKEUP_EN 位字段中的一个位来启用特定的低功耗状态, 则还必须启用所有更深的功耗状态位。从位 0 到 4, 低功耗状态的深度随着位编号增大而增加。例如, 如果设置了位 0, 则还必须设置包括位 1 到 4 的所有位。同样, 如果设置了位 2, 也必须设置位 3 和位 4。

此外, 必须按递增顺序对以下唤醒值进行编程 :

1. 和 LPI_WAKEUP_EN[0] 相关的 LPI_CTRL_IDLE_WAKEUP_FN -> 值应小于以下所有字段
2. 和 LPI_WAKEUP_EN[1] 相关的 LPI_PD_WAKEUP_FN -> 值应小于以下所有字段
3. LPI_SR_SHORT_WAKEUP_FN、LPI_SR_LONG_WAKEUP_FN、LPI_SRPD_SHORT_WAKEUP_FN 以及和 LPI_WAKEUP_EN[2] 相关的 LPI_SRPD_LONG_WAKEUP_FN -> 值应小于以下所有字段
4. LPI_SR_LONG_MCCLK_GATE_WAKEUP_FN、和 LPI_WAKEUP_EN[3] 相关的 LPI_SRPD_LONG_MCCLK_GATE_WAKEUP_FN -> 值应小于以下所有字段
5. 和 LPI_WAKEUP_EN[4] 相关的 LPI_TIMER_WAKEUP_FN -> 最高值,

其中, 对于不同的频率设定点, FN = F0、F1 和 F2。

i2159
DDR : 必须在 LPDDR4 CBT 期间使用 VRCG 高电流模式
详细信息 :

DDR PHY 会在 LPDDR4 命令总线训练 (CBT) 期间更新命令/地址总线的 VREFca。LPDDR4 模式寄存器 13 (MR13) 中的位 3 定义 LPDDR4 器件内的 VRef 电流发生器 (VRCG) 模式。如果该位设置为 0, 则 VREFca 趋稳时间过长, 后续操作无法正常工作。为确保 CBT 正常运行, 在 CBT 期间必须将 MR13 中的位 3 设置为 1 (VRef 快速响应高电流模式)。

权变措施 :

为确保正常运行, 应在命令总线训练 (CBT) 和写入 DQ VRef 训练期间启用 VRef 快速响应高电流模式。可通过将以下字段设置为 1 来实现 :

对于片选 0 : DDRSS_PI_259 寄存器中的 PI_MR13_DATA_0[3]

对于片选 1 : DDRSS_PI_261 寄存器中的 PI_MR13_DATA_1[3]

对于片选 2 : DDRSS_PI_263 寄存器中的 PI_MR13_DATA_2[3]

对于片选 3 : DDRSS_PI_265 寄存器中的 PI_MR13_DATA_3[3]

i2160
DDR : 必须在 LPDDR4 命令总线训练期间定义有效 VRef 范围
详细信息 :

DDR PHY 会在 LPDDR4 命令总线训练 (CBT) 期间更新命令/地址总线的 VREF (ca)。如果 VREF (ca) 搜索范围设置为无效值, 因而在 CBT 期间无法找到工作设置, 则培训过程可能失败或挂起。

权变措施 :

在启用 CBT 之前, 将以下字段设置为已知的有效工作值。

对于频率集 0 : PI_CALVL_VREF_INITIAL_START_POINT_F0 和 PI_CALVL_VREF_INITIAL_STOP_POINT_F0

对于频率集 1 : PI_CALVL_VREF_INITIAL_START_POINT_F1 和 PI_CALVL_VREF_INITIAL_STOP_POINT_F1

i2160 (续)

DDR : 必须在 LPDDR4 命令总线训练期间定义有效 VRef 范围

对于频率集 2 : PI_CALVL_VREF_INITIAL_START_POINT_F2 和
PI_CALVL_VREF_INITIAL_STOP_POINT_F2

建议使用标称 VRef 值 (基于处理器上驱动强度的器件编程和存储器终端) +/- 4%。请使用 <http://dev.ti.com/sysconfig> 上的在线 DDR 寄存器配置工具对这些寄存器进行编程并检查修订历史记录, 以确保所使用的工具版本已采用此权变措施。

i2161

R5FSS : 在 VIM 模块处于活动状态时调试器无法访问它

详细信息 :

此问题影响 R5FSS 内的向量中断模块 (VIM)。VIM 中有一些寄存器, 可在被读取时更改 IP 状态 (例如 VIM_IRQVEC)。预期行为是只有功能性读取才应导致状态变化。对这些寄存器进行调试读取 (由 CCS 等 TI 调试工具生成) 应使状态保持不变。当前存在一个问题, 即 VIM 用同样的方式处理调试寄存器读取和功能性寄存器读取。这可能会导致调试操作 (例如在 CCS 中打开 VIM 寄存器存储器窗口) 无意中更改 VIM IP 的状态, 从而使调试无效。

权变措施 :

此问题没有权变措施。用户应在调试期间应避免访问 VIM 寄存器。

i2163

UDMAP : 在“事件触发”模式下使用时, ICNT 和/或源地址/目标地址未与 64B 对齐的情况下 UDMA 传输失败

详细信息 :
备注

以下说明以 C7x DSP 内核为例, 但适用于任何可对 UDMA 进行编程的其他处理内核。

对于 C6x/C7x 上的 DSP 算法处理, 软件通常使用 NavSS 中的 UDMA 或 MSMC 中的 DRU。许多情况下, 使用 UDMA 而非 DRU, 因为 DRU 通道在许多用例中保留用于 C7x/MMA 深度学习操作。在典型的 DSP 算法处理中, 数据通过 DMA 逐块传输到 L2 存储器进行 DSP, 而 DSP 对 L2 存储器中的数据执行操作而不是 (通过高速缓存) 从 DDR 运行。此操作的典型 DMA 设置和事件触发如下所示; 在以下示例中, 这被称为“2 维触发等待”。

对于每个“帧”:

1. 设置 TR (通常为 3 或 4 维 TR)。
 - a. 设置 TYPE = 4D_BLOCK_MOVE_REPACKING_INDIRECTION
 - b. 设置 EVENT_SIZE = ICNT2_DEC
 - c. 设置 TRIGGER0 = GLOBAL0
 - d. 设置 TRIGGER0_TYPE = ICNT2_DEC
 - e. 设置 TRIGGER1 = NONE
 - f. ICNT0 x ICNT1 为块宽度 x 块高度
 - g. ICNT2 = 块数
 - h. ICNT3 = 1
 - i. src addr = DDR
 - j. dst addr = C6x L2 存储器
2. 提交此 TR
 - a. 该 TR 在 GLOBAL TRIGGER0 上启动传输并传输 ICNT0xICNT1 个字节, 然后引发事件
3. 对于每个块, 执行以下操作:
 - a. 通过设置 GLOBAL TRIGGER0 触发 DMA
 - b. 等待指示块已传输的事件
 - c. 执行 DSP 处理

该序列是简化的序列; 在实际算法中, 可以有多个通道以“乒乓”方式执行 DDR 到 L2 或 L2 DDR 传输, 使得 DSP 处理和 DMA 并行运行。在通道 OES 寄存器中对事件本身进行了适当的编程, 并使用 UDMA 的 IA 中的空闲位来完成事件状态检查。

当满足以下条件时, 第一个触发器不会收到步骤 3.2 中的事件:

- 条件 1: ICNT0xICNT1 不是 64 的倍数。
- 条件 2: src 或 dst 不是 64 的倍数。
- 条件 3: ICNT0xICNT1 不是 64 的倍数, 源地址/目标地址不是 64 的倍数

如果 ICNT0xICNT1 和源地址/目标地址是 16B 或 32B 的倍数, 也存在相同的问题, 即未收到事件。只有和 64B 对齐才有效。

令其有效的条件:

- 如果 ICNT0xICNT1 是 64 的倍数, 并且源地址/目标地址是 64 的倍数, 则测试用例通过。

i2163 (续)

UDMAP : 在“事件触发”模式下使用时, ICNT 和/或源地址/目标地址未与 64B 对齐的情况下 UDMA 传输失败

- 如果使用 DRU 而不是 UDMA, 则测试通过。必须通过 UDMA DRU 外部通道将 TR 提交至 DRU。使用 DRU 并且 ICNT 和源地址/目标地址未对齐的情况下, 用户可以正常地触发和收到事件, 前提是对 TR 进行编程, 使得一个帧中的事件数量和触发次数为 1, 即在上述情况下 ICNT2 = 1 或者 EVENT_SIZE = COMPLETION 且触发器为无。然后, 完成事件正常发生。在相关用例中使用是不可行的。

上面是“2 维触发和等待”的示例, “1 维触发和等待”和“3 维触发和等待”的约束条件相同:

- 对于“1 维触发和等待”, ICNT0 必须是 64 的倍数
- 对于“3 维触发和等待”, ICNT0xICNT1xICNT2 必须是 64 的倍数

权变措施:

在 TR 中为 UDMAP 设置 EOL 标志, 如以下示例所示:

- 1 维触发和等待
 - TR.FLAGS |= CSL_FMK (UDMAP_TR_FLAGS_EOL、CSL_UDMAP_TR_FLAGS_EOL_ICNT0);
- 2 维触发和等待
 - TR.FLAGS |= CSL_FMK (UDMAP_TR_FLAGS_EOL、CSL_UDMAP_TR_FLAGS_EOL_ICNT0_ICNT1);
- 3 维触发和等待
 - TR.FLAGS |= CSL_FMK(UDMAP_TR_FLAGS_EOL,CSL_UDMAP_TR_FLAGS_EOL_ICNT0_ICNT1_ICNT2);

此权变措施不会影响性能。

i2166

DDR : 进入和退出深度睡眠低功耗状态可能会导致 PHY 内部时钟失准

详细信息:

当 DDR PHY 进入深度睡眠低功耗状态时, 在禁用和关断 PHY PLL 之前会有延迟。如果在 PHY PLL 禁用之前退出深度睡眠模式, PHY 内部时钟可能彼此错位, 导致 PHY 内部出现时序故障。

权变措施:

如果通过向 DENALI_CTL_132 寄存器中的 LP_CMD 写入来使用软件启动的低功耗模式, 则确保已确认进入低功耗模式时至少等待 160 个 DDR 时钟周期, 然后再请求退出低功耗模式。另一个选项是采用以下权变措施。

如果使用 PSC 禁用 DDR 接口, 则确保在已确认禁用 DDR 接口后至少等待 160 个 DDR 时钟周期, 然后再发送启用该接口的请求。另一个选项是采用以下权变措施。

如果通过 DENALI_CTL_141 寄存器中的 LP_AUTO_ENTRY_EN 使用控制器的自动低功耗进入/退出机制, 则采用以下权变措施。

权变措施: 确保 DDR PHY 没有进入深度睡眠低功耗状态。

通过将 DENALI_PHY_1318 寄存器中的 PHY_LP_WAKEUP[3:0]的值编程为大于 DDR 控制器寄存器中所有以下阈值的值来确保这一点。

LPI_CTRL_IDLE_WAKEUP_FN、LPI_PD_WAKEUP_FN、
 LPI_SR_SHORT_WAKEUP_FN、LPI_SR_LONG_WAKEUP_FN、
 LPI_SRPD_SHORT_WAKEUP_FN、LPI_SRPD_LONG_WAKEUP_FN、

i2166 (续)
DDR : 进入和退出深度睡眠低功耗状态可能会导致 PHY 内部时钟失准

LPI_SR_LONG_MCCLK_GATE_WAKEUP_FN、
LPI_SRPD_LONG_MCCLK_GATE_WAKEUP_FN 和 LPI_TIMER_WAKEUP_FN

其中，对于不同的频率设定点，FN = F0、F1 和 F2。

i2177
RINGACC : 环形加速器的调试事务跟踪流可能会被某些环形访问序列损坏

详细信息：

通过调试器直接访问其内存空间并且能够将其事务的跟踪流导出到 **cptracer** 网络，环形加速器可以实现硬件辅助调试。通常，使用基于 **JTAG** 的调试器来启用、收集和分析该调试信息，该调试器通过 **SOC** 调试结构与环形加速器连接。存在一个勘误表，这可能导致环形调试跟踪信息损坏或挂起。此失效可由正常的环形窥视操作触发，或者如果调试器用于启动环形弹出操作，也可以触发。此勘误表的损坏签名是在跟踪中被错误地报告为弹出操作的窥视操作。此外，在非环形模式（消息或凭据）期间，正常的环形弹出操作可能会导致跟踪的空字段中出现错误信息，或者调试弹出操作可能会导致目标地址不正确。

权变措施：

要使用环形加速器的硬件跟踪功能进行开发，代码应避免使用环形窥视操作和调试器启动的弹出操作。

i2189
OSPI : 控制器 PHY 调优算法

详细信息：

启用 **PHY** 模块后，**OSPI** 控制器使用 **DQS** 信号对数据进行采样。但是，该模块中存在一个问题，要求这种采样必须在内部时钟定义的窗口内进行。读取操作会受到外部延迟的影响，该外部延迟会随温度变化而变化。要确保在任何温度下都能有效读取，必须实施一种特殊调优算法来选择最稳健的 **TX**、**RX** 和读取延迟值。

权变措施：

此错误的权变措施在 **SPRACT2** 中进行了详细介绍。要在某些 **PVT** 条件下对数据进行采样，必须调高读取延迟字段，以改变内部时钟采样窗口。这样就可以在数据眼图内的任何位置对数据进行采样。但是，这会带来以下副作用：

1. 必须为所有读取操作启用 **PHY** 流水线模式。由于必须要对写入操作禁用 **PHY** 流水线模式，因此读取和写入操作必须分开进行。
2. 当权变措施实施后，**BUSY** 位的硬件轮询中断，因此必须改用软件轮询。写入必须在页边界内通过 **DMA** 访问进行，以防主机或闪存器件发起的中断。软件必须在页写入操作间隙轮询 **BUSY** 位。或者，在启用硬件轮询时，写入可以在非 **PHY** 模式下执行。
3. **STIG** 读取必须填充额外的字节，并且接收到的数据必须右移。

i2190
CSI : CSI_RX_IF 在接收不完整的帧后可能进入未知状态

详细信息：

当 **CSI2** 接口接收到可能存在 **CRC** 错误的不完整帧时，该模块可能进入未知状态。在这种情况下，将不会捕获所有后续图像帧。

权变措施：

复位 **CSI_RX_IF** 模块。

i2196

IA : IA 中可能出现的死锁情况

详细信息：

中断聚合器 (IA) 的一个主要功能是转换到达事件传输通道 (ETL) 总线的事件，它可以将事件转换为用于产生电平中断的中断状态位。在 IA 1.0 版中执行此功能的块称为状态事件块。

除了状态事件块外，还有另外两个主处理块：多播事件块和计数事件块。多播块实际上用作事件分离器。对于它接收的每个事件，多播块都可以生成两个输出事件。计数事件块用于将高频事件转换为可读计数。它对输入事件进行计数，并在计数从 0 转换到非零计数值/从非零读数值转换到 0 时生成输出事件。与状态事件块不同，多播和计数事件块生成输出 ETL 事件，然后将这些事件映射到其他处理块。

在设计后，发现了一个可能导致 IA 死锁的问题。当事件“循环”在这三个处理块之间发生时，就会出现该问题。有可能出现一种情况：由于路径阻塞，处理块无法输出事件，并且由于它无法输出事件，因此不能接收任何新的输入事件。无法接受输入事件这种情况会阻止输出路径展开，因此两条路径都被阻塞阻止。

权变措施：

图 3-3 展示了 IA 1.0 的概念方框图。通过采用不允许计数事件块向多播块发送事件的策略，可以避免可能出现的循环。选择此方法是因为更常见的做法是先拆分一个事件，然后对其中一个事件进行计数，同时将另一个事件发送到其他位置。由于该路径由于约定被阻塞，单个事件无法多次访问任何块，因此只要输出保持未阻塞状态，路径就无法被阻塞。

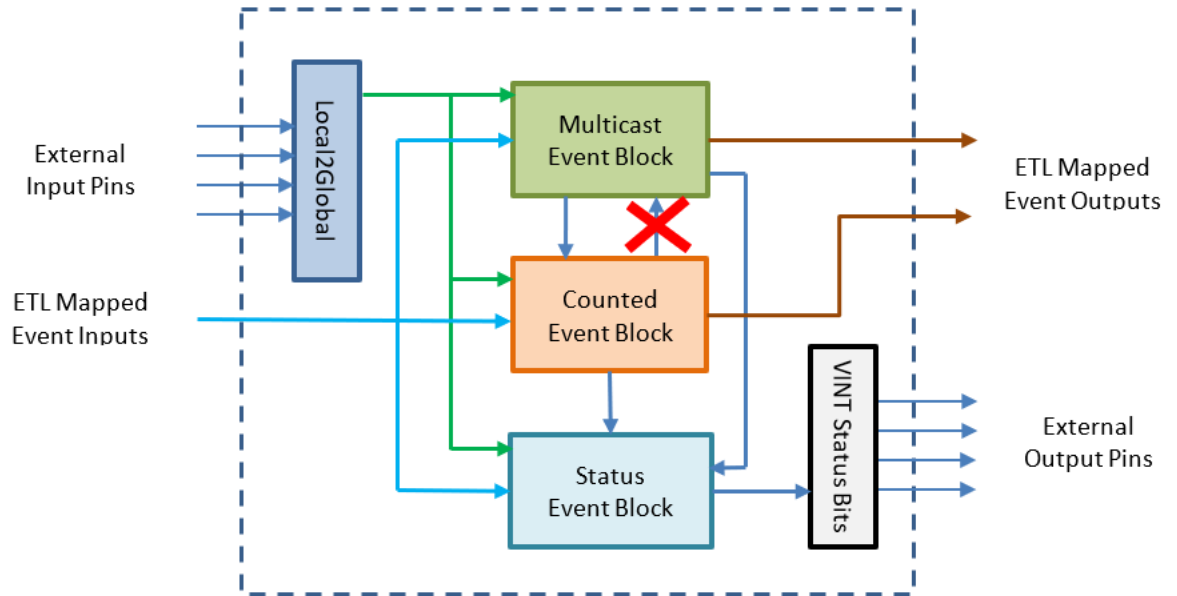


图 3-3. 中断聚合器 1.0 版

通过遵循此处概述的约定，系统不会出现可能产生死锁情况的危险循环。

i2197

I3C : 不支持从模式

详细信息：

I3C 从模式不可用。只应使用单主总线上的主角色。

权变措施：

无。只应使用单主总线上的主角色。

- i2205** ***I3C : 在某些情况下, 待处理 IBI 期间获取的命令未被正确处理***
-
- 详细信息 :** 在目标启动的 IBI 地址字节接收期间, 主机执行的写入命令可能会导致控制器不正确执行命令, 包括错误的帧生成。
- 权变措施 :** 主机必须通过在向控制器发送命令之前发送广播 DISEC CCC 来禁用 IBI。
- i2215** ***DRU : 如果使用非原子 TR 提交机制, 则 C7x 的乱序写入可能会损坏 TR 提交***
-
- 详细信息 :** C7x 可允许写入顺序与 CPU 发送数据的顺序不同。DRU 中的非原子 TR 寄存器要求最后写入 TR 的最低字节, 因为这会强制将其他字段推入 TR 队列。如果最后一次写入并非最后到达, 则乱序写入将导致使用错误的 TR 字段, 从而导致 DRU 出现意外行为。
- 权变措施 :** C7x 应仅使用原子 TR 提交方法, 因为这种方法只需要一个 64 字节的写入即可完成 TR 提交。
- i2216** ***I3C : 在从器件启动的 IBI 地址字节接收期间, 命令执行可能失败***
-
- 详细信息 :** 如果在从器件启动的 IBI 地址字节接收期间写入命令, 则向 I3C 控制器发送的 SoC 主机命令可能会导致控制器错误执行命令, 包括生成错误的帧。
- 在这种情况下, 命令响应队列中错误地填充了响应。此外, 如果接收到的 IBI 没有有效载荷并得到主器件的确认, 则从器件获取的命令会导致通过总线发出错误帧。
- 权变措施 :** 主机需要在向控制器发送命令之前发送广播 DISEC CCC 来禁用 IBI。
- i2219** ***C7x SE : SE 针对 uTLB 故障返回错误的 rstatus***
-
- 详细信息 :** SE 在向报告 C7x CPU 之前记录的页面故障前可能会覆盖这些故障。这会导致 SE 向 CPU 报告页面故障时, 随附的错误特征码可能已损坏。虽然随附的错误特征码可能已损坏, 但当发生页面故障时, 这些特征码始终会随正确的故障虚拟地址一起报告。
- 权变措施 :** 如果 SE 返回页面故障 (IERR = 0x1, IESR[19:16] = 0x3), 则用户必须分析系统/软件设置, 以确定确切的故障原因, 而不是参考页面故障特征码 (IESR[15:0])。

i2232

DDR : 控制器在频率更改后推迟刷新超过允许的次数

详细信息

当从较高的时钟频率动态切换到较低的时钟频率时，控制刷新命令推迟的滚动窗口计数器未正确加载，以适应较低的时钟频率。这将导致控制器推迟的刷新命令超过 DRAM 规范所允许的次数，从而违反 DRAM 的刷新要求。

权变措施

权变措施 1：通过编程 `DFS_ENABLE = 0` 来禁用动态频率更改

权变措施 2：如果切换频率，则根据下面列出的伪代码对寄存器字段值进行编程。请注意，控制器要求在触发初始化之前对 `AREF_*_THRESHOLD` 值进行编程。在初始化后的任务模式中不能更改它们的值。因此，这些参数的值必须是计划使用的每次频率更改过渡所需的所有值中的最小值。

```

if (old_freq/new_freq >= 7){
    if (PBR_EN==1) { // Per-bank refresh is enabled
        AREF_HIGH_THRESHOLD = 19
        AREF_NORM_THRESHOLD = 18
        AREF_PBR_CONT_EN_THRESHOLD = 17
        AREF_CMD_MAX_PER_TREF = 8
    }
    else { // Per-bank refresh is disabled
        AREF_HIGH_THRESHOLD = 18
        AREF_NORM_THRESHOLD = 17
        // AREF_PBR_CONT_EN_THRESHOLD <=== don't care, PBR not enabled
        AREF_CMD_MAX_PER_TREF = 8
    }
}
else {
    AREF_HIGH_THRESHOLD = 21
    AREF_NORM_THRESHOLD //<=== keep AREF_NORM_THRESHOLD < AREF_HIGH_THRESHOLD
    AREF_CMD_MAX_PER_TREF = 8
    if (PBR_EN==1) { // Per-bank refresh is enabled
        //keep AREF_PBR_CONT_EN_THRESHOLD<AREF_NORM_THRESHOLD<AREF_HIGH_THRESHOLD
        AREF_PBR_CONT_EN_THRESHOLD
    }
}

```

i2234

UDMA : 如果 ICNT0 小于 64 字节，则 TR15 挂起

详细信息

UDMA 始终尝试发送事务的突发大小。如果实际 ICNT0 小于最小突发大小 64，则 UDMA 将等待从未出现的数据并挂起。如果在 TR 中设置了 EOL，则 UDMA 始终发送最后一个数据的数据，无论允许发送传输的大小如何。

权变措施

可以通过在 TR 中将 EOL 设置为 1 来解决此问题

i2235**CBASS 空错误中断未被使能寄存器屏蔽**

详细信息

CBASS 中有一个可选功能，可添加空错误报告 MMR 和中断源。当存在该功能且启用中断时，以下这两个输出端口：“err_intr_intr”（电平中断源）和“err_intr_pls_intr”（脉冲中断源）将在发生空区域访问时置为有效。中断启用位于 ERR_INTR_ENABLE_SET 寄存器（地址偏移 0x58）中。

问题在于 CBASS 会忽略该使能位，因此任何空访问始终会产生中断源/事件。

权变措施

由于处理器事件的默认禁用状态，该错误不会导致虚假事件。在系统级，除非在关联的 GIC/VIM 中断控制器中启用，否则处理器不会接收任何事件。

当中断已启用并且确实发生中断时，在 cbass 级写入以下寄存器以将其清空：

将 0x1 写入 err_intr_enabled_stat 寄存器，然后将 0x1 写入 err_eoi 寄存器。

i2237

PCIe : SERDES0_REFCLK_P/N 串行器/解串器参考时钟输出不符合 Vcross、上升沿/下降沿匹配和边沿速率限制

详细信息

串行器/解串器的 SERDES0_REFCLK_P/N PCIe 参考时钟输出不符合 PCI-SIG 规范中的 VCROSS 和边沿速率限制。因此，一些外部 PCIe 元件在接收和使用参考时钟时可能遇到问题。但是，该器件系列中的串行器/解串器在接收这种不合规的参考时钟时不会出现问题。这意味着，当一个器件生成参考时钟而另一个器件接收参考时钟时，将一个器件中的串行器/解串器连接到另一个器件中的串行器/解串器的链路不会出现问题。

权变措施

应改用 PCIE_REFCLK1_P/N 输出 PCIe Refclk。

i2242**PCIe : 在更改数据速率时, 串行器/解串器 PCIe 参考时钟输出暂时禁用****详细信息**

在派生的 REFCLK 模式 (而非接收的 REFCLK 模式) 下对数据速率 8.0 GT/s 进行更改并使用单个串行器/解串器 PLL 生成 PCIe TX 和 RX 时钟时, 串行器/解串器 PCIe 参考时钟输出将暂时禁用。这是由于 PLL 重新编程所致, 因为在该模式下, 将数据速率从 2.5 GT/s 或 5.0 GT/s 更改为 8.0 GT/s 时, 必须执行重新编程。

在更改数据速率时, 一些使用 PCIe 参考时钟的外部 PCIe 元件可能不允许禁用时钟。但是, 该器件系列中的串行器/解串器不存在接受此参考时钟行为的问题。这意味着, 当一个器件生成参考时钟而另一个器件接收参考时钟时, 将一个器件中的串行器/解串器连接到一个器件中的串行器/解串器的链路不会出现问题。

权变措施**选项 1 :**

将串行器/解串器配置为使用一个 PLL 来生成用于 2.5 GT/s 和 5.0 GT/s 数据速率的时钟, 使用另一个 PLL 生成用于 8.0 GT/s 数据速率的时钟。这种选项带来了一些限制:

A) 如果使用内部 SSC 模式, 则两个 PLL 不会相互同步扩展。这可能导致两个 PLL 的频率差异高达 5000ppm, 进而造成链路伙伴的 TX 和 RX 之间这种频率差异。因此, 不建议使用内部 SSC 模式。

B) 串行器/解串器不同通道上与 PCIe 同时使用的协议必须兼容, 以便共享用于 PCIe 的两个 PLL 中至少一个的 PLL 配置。

选项 2 :

使用接收的 Refclk 模式。请注意, 此模式受另一则 Refclk 抖动勘误表公告 (i2241) 的影响

选项 3 :

请勿以 8.0 GT/s 的数据速率运行 PCIe 接口

选项 4 :

使用外部时钟源为链路的根复合体和终点器件提供 PCIe 参考时钟。

i2243

PCIe : 不满足在 L1.2 子状态期间禁用输出 refclk 的时序要求

详细信息

PCIe 基本规范要求 Refclk 在进入 L1.2 子状态时在 CLKREQ# 置为无效的 100ns 内达到空闲电气状态 (请参阅 TL10_REFCLK_OFF 参数)。

由于硬件不会自动选通 Refclk，因此当从器件拉取 Refclk 时，无法满足该时序要求。必须由软件通过写入 SERDES_RST 寄存器中的 PHY_EN_REFCLK 字段来执行 Refclk 选通。

因此，Refclk 不能在 L1.2 子状态中选通。通常，允许 Refclk 在 L1.2 子状态下运行不会导致任何功能问题。但是，如果系统需要在 100ns 内选通过 Refclk，则无法支持 L1.2 子状态。

权变措施

使用外部 Refclk 发生器提供 PCIe 参考时钟

i2244
DDR : 必须为写入 DQ VREF 训练定义有效的停止值
详细信息

DDR PHY 使用起始值、停止值和步长值进行写入 DQ VREF 训练。如果停止值不等于起始值 + 步长的倍数，则最终 VREF 设置可能会超出最大 VREF 范围，导致训练挂起。

权变措施

按以下方式对停止值进行编程：

$PI_WDQLVL_VREF_INITIAL_STOP = (PI_WDQLVL_VREF_INITIAL_STEPSIZE \text{ 的倍数}) + PI_WDQLVL_VREF_INITIAL_START$

i2249
OSPI : 具有 DDR 时序的内部 PHY 环回和内部焊盘环回时钟模式无法运行
详细信息

OSPI 内部 PHY 环回模式和内部焊盘环回模式采用“启动沿作为捕获沿”（相同的边沿捕获或 0 周期时序）。

可编程接收延迟线 (Rx PDL) 用于补偿往返延迟 (Tx 时钟至闪存器件、闪存时钟至输出以及闪存数据至控制器)。

在内部环回模式和 IO 环回模式的情况下，Rx PDL 的总延迟不足以补偿往返延迟，因此不能使用这些模式。

下表介绍了 OSPI 控制器中推荐的时钟拓扑。在 DDR 模式下，此处未描述的所有其他模式都受本公告的影响，不推荐作为时钟拓扑。

表 3-2. OSPI 时钟拓扑

时钟模式术语	CONFIG_REG.PHY_MODE_ENABLE	READ_DATA_CAPTURE.BYPASS	READ_DATA_CAPTURE.DQS_EN	电路板实现
无环回、无 PHY	0 (PHY 禁用)	1 (禁用调整后的环回时钟)	X	无。依靠内部时钟。最大频率 50MHz。
具有 PHY 的外部电路板环回	1 (PHY 启用)	0 (启用调整后的环回时钟)	0 (DQS 禁用)	外部电路板环回 (OSPI_LOOPBACK_CLK_SEL = 0)
具有 PHY 的 DQS	1 (PHY 启用)	x (DQS 启用具有优先级)	1 (DQS 启用)	连接到 SOC DQS 引脚的存储器选通

权变措施

无。请根据介绍的表格，使用未受影响的时钟模式之一。

i2253
PRG : CTRL_MMR_STAT 寄存器是 POK 阈值失效的不可靠指示器
详细信息

CTRL_MMR PRG_STAT 寄存器中的 POK 过压和欠压标志是用于指示 POK 是否失效的不可靠指示器。因此，在器件技术参考手册 (TRM) 中将它们标记为“保留”。

权变措施

滤波后的 POK 输出会更新 ESM 标志。

在 POK 初始化 (即启用) 时，应该清除 ESM 标志 (根据带隙和/或 POK 趋稳时间内进行的比较)。在该初始清除之后，ESM 标志可用作 POK 失效 (或未失效) 的可靠指示器。

i2271

C7x SE : 如果 SEBRK 期间发生页面故障/UMC 错误, SE 可能会挂起

详细信息

当 SE 收到来自 uTLB (页面故障) 或来自 UMC (2 位错误、寻址错误、权限错误等) 针对某个活动标签的错误响应时, 它会停止执行 SE 的获取 FSM。处理 SEBRK 的最后一步是重新启动该相同 FSM 的执行。

如果这两个事件均以特定的时序发生, 则 SE 将无法正确地重新启动获取 FSM 的执行, 并且 SE 将挂起。这将导致 C7x CPU 在下次引用 SE 时挂起。

权变措施

挂起后, 唯一的解决方案是复位 C7x 内核包。

i2272

C7x SE : 使能 FILLVAL 时, 发生 SEBRK 之后 SE 会损坏第一个流结束引用

详细信息

SE 会将清零后的数据随错误一起发送到 C7x CPU。它通过一个“存在需要发送到 CPU 的错误”粘滞位, 将接口驱动寄存器的 clr_n 引脚置为无效, 从而清零数据。发生 SEBRK_SE 后, 将清除该错误位, 以准备再次发送有效数据。但如果 SEBRK 过早结束流, 其在将第一个流结束引用推送到接口后才执行该清除。

因此, 创建第一个流结束引用时, 将包含清零的数据。如果使能 FILLVAL (设置为非零填充模式), 则该非零填充数据应在流结束后发送, 但该错误通过强制数据在单个周期内变为实际零值, 损坏了第一个引用中的数据。

权变措施

此问题没有真正的权变措施, 但可以通过在给定流中采取以下任何措施来避免这种情况:

不使用将过早结束流的流中断

不使用流结束引用进行计算

明确不使用第一个流结束引用进行计算

不使用 FILLVAL 功能

已与 MMALIB/TIDL 团队讨论过该问题。该团队目前是 FILLVAL 功能的唯一用户, 也是要求为 J7AEP 和 J7AHP 添加该功能的需求方。不使用流结束引用进行计算即可使该错误无法触发, 因此目前未计划执行 ECO 来修复该错误。

i2278

MCAN : 当从配置有相同报文 ID 的专用 Tx 缓冲区发送时, 无法确保报文发送顺序

详细信息

此勘误表仅限于多个 Tx 缓冲区配置有相同报文 ID (TXBC.NDTB > 1) 的情况。

在以下情况下, 消息可能会不按顺序发送:

- 多个 Tx 缓冲区配置有相同的报文 ID
- 这些 Tx 缓冲区的 Tx 请求按顺序提交, 且每个请求之间存在延迟

权变措施

权变措施 1:

将具有相同报文 ID 的 Tx 报文写入消息 RAM 后, 通过对 TXBAR 进行一次写访问, 同时请求发送所有这些报文。在同时发出请求之前, 确保所有这些报文中都没有挂起的 Tx 请求。

权变措施 2:

i2278 (续)
MCAN : 当从配置有相同报文 ID 的专用 Tx 缓冲区发送时, 无法确保报文发送顺序

使用 Tx FIFO 而不是专用 Tx 缓冲区 (设置位 MCAN_TXBC[30] TFQM = 0 以使用 Tx FIFO) 按特定顺序发送多条具有相同报文 ID 的报文。

i2279
MCAN : 配置有相同报文 ID 的专用 Tx 缓冲区和 Tx 队列的规范更新

详细信息

此勘误表更新了 M_CAN 用户手册中第 3.5.2 节专用 Tx 缓冲区和第 3.5.4 节 Tx 队列中的说明, 该说明与配置有相同报文 ID 的多个专用 Tx 缓冲区的报文发送有关。

权变措施

权变措施 1 :

将具有相同报文 ID 的 Tx 报文写入消息 RAM 后, 通过对 TXBAR 进行一次写访问, 同时请求发送所有这些报文。在同时发出请求之前, 确保所有这些报文中都没有挂起的 Tx 请求。

权变措施 2 :

使用 Tx FIFO 而不是专用 Tx 缓冲区 (设置位 MCAN_TXBC[30] TFQM = 0 以使用 Tx FIFO) 按特定顺序发送多条具有相同报文 ID 的报文。

i2283
对于如何使用 CP Tracer 调试探针的限制

详细信息

某些 CP Tracer 总线探针不接收完整的 SoC 物理地址, 而只接收与所监测端点相关的最小地址集。这限制了探针在 CCS 的 SoC Analysis > Traffic Profiling 功能中的可有用性。

- 1) 地址过滤/匹配: 用户通常会为任何符合地址条件的总线探测作业输入完整的 36b/40b (取决于器件) 地址。
- 2) 事务跟踪解码: 用户期望解码流中提供的地址是事务的完整 36b/40b 物理地址。

受影响的探针头:

J7AEP : SoC 片上 SRAM、MCU FlashSS

权变措施

无

i2307
引导 : ROM 无法根据 BOOTMODE 正确选择 OSPI 时钟模式

详细信息

无论 BOOTMODE 引脚选择的 lclk 字段值如何, ROM 引导加载程序仅为 SPI/QSPI/OSPI/xSPI 引导选择内部环回模式 (有关 BOOTMODE 引脚映射, 请参阅器件特定 TRM), 目的是允许用户选择内部或外部时钟方法。这会降低客户设计中电路板拓扑的灵活性。由于未使用外部环回时钟, 打算使用外部电路板环回模式的客户可能会在 ROM 引导中遇到时序问题。

权变措施

如果计划使用 OSPI 作为引导源, 则 OSPI 设计的拓扑不得使用“外部电路板环回”。可以使用所有其他时钟拓扑 (包括内部环回或 DQS)。有关受支持的使用 OSPI 的时钟拓扑, 请参阅器件特定数据表的“应用、实现和布局”一节。

i2308

PCIe : 封装中的 PCIE_REFCLK 接线错误

详细信息

该芯片支持 4 对 PCIe Refclk 输出焊盘，即 PCIE_REFCLK[3:0]。但是，该封装仅支持一个输出，即 PCIE_REFCLK1。PCIE_REFCLK3 焊盘被错误地连接到 PCIE_REFCLK1_P/N_OUT 封装引脚，而不是 PCIE_REFCLK1 焊盘。

权变措施

使能 PCIE_REFCLK1_P/N_OUT 引脚，并通过设置 PCIE_REFCLK3_CLKSEL 寄存器（而不是 PCIE_REFCLK1_CLKSEL 寄存器）来选择所需的源。

这将作为封装基板的滚动变更进行修复。该封装将进行修改，以将芯片 PCIE_REFCLK1 焊盘连接到封装 PCIE_REFCLK1_P/N_OUT 输出引脚。

通过设置 PCIE_REFCLK1_CLKSEL 和 PCIE_REFCLK3_CLKSEL 寄存器，软件可以前瞻性兼容这一变更。更新后封装上的生产软件应仅设置 PCIE_REFCLK1_CLKSEL。

i2310

USART: 错误地清除/触发超时中断

详细信息：

在 RHR/MSR/LSR 寄存器读取期间，USART 可能会错误地清除或触发超时中断。

权变措施：

CPU 用例

- 如果超时中断被错误地清除：
 - 清除是有效的，因为 FIFO 中的挂起数据会重触发超时中断
- 如果错误地设置了超时中断，并且 FIFO 为空，请使用以下软件权变措施来清除中断：
 - 在 TIMEOUTH 和 TIMEOUTL 寄存器中设置超时计数器的高值
 - 将 EFR2 第 6 位设置为 1 以将超时模式更改为周期性模式
 - 读取 IIR 寄存器以清除此中断
 - 将 EFR2 第 6 位设置回 0 以将超时模式改回原始模式

DMA 用例

- 如果超时中断被错误地清除：
 - 清除是有效的，因为下一个周期性事件会重触发超时中断
 - 用户必须通过将 EFR2 第 6 位设置为 1 来确保 RX 超时行为处于周期性模式
- 如果超时中断被错误地设置：
 - 这会导致 DMA 被软件驱动程序关闭
 - 有效，因为下一个传入数据将导致软件再次设置 DMA

i2311

USART 虚假 DMA 中断

详细信息：

当在 TLR 寄存器中出现非 2 的乘幂触发级别的情况下，使用 DMA 访问 TX/RX FIFO 时，可能会发生虚假 DMA 中断。

权变措施：

为 TX/RX FIFO 触发级别使用 2 的乘幂值（1、2、4、8、16 和 32）。

i2312**MMCSDB : HS200 和 SDR104 命令超时窗口太小****详细信息 :**

在高速 HS200 和 SDR104 模式下，MMC 模块的功能时钟将达到 192 MHz。在此频率下，通过 MMC 主机控制器使用 MMCSDB_SYSCTL[19:16] DTO = 0xE 可获得的最大超时为 $(1/192\text{MHz}) \times 2^{27} = 700\text{ms}$ 。超过 700ms 的命令可能会受到这一较小窗口时间范围帧的影响。

权变措施 :

如果命令需要超过 700ms 的超时，则可以禁用 MMC 主机控制器命令超时 (MMCSDB_CON[6] MIT=0x1) 并可以使用软件实现代替它。详细步骤如下所示 (在 Linux 中) :

1. 在 MMC 主机控制器探测函数 (omap_hsmmc.c:omap_hsmmc_probe()) 执行期间，通知处理器主机控制器无法支持所有必需的超时。
2. 修改 MMC 核心软件层功能，以便在底层 MMC 主机控制器无法支持所需超时的情况下，内核自行超时。

i2313**GPMC : NAND 和 FPGA/FIFO 的低于 32 位读取问题****详细信息 :**

在 GPMC 接口上进行低于 32 位的读取操作时，会丢失部分数据，从而导致读取到的数据不正确。此情况包括从 NAND 器件或 FPGA/FIFO 接口进行 8 位或 16 位读取。请注意，GPMC 接口不允许 3 字节访问。

权变措施 :

GPMC 接口上的读访问必须以 32 位读取方式进行。写入操作不受此项勘误影响。

i2316**DDR : 使用 DDR1 时，MCU_OSPI0_* 引脚的运行电压限制为 1.8V****详细信息**

由于封装中的串扰问题，使用 DDR1 时 MCU_OSPI0_* 引脚的运行电压限制为 1.8V。MCU_OSPI0_* 引脚由 VDDSHV1_MCU 电源轨供电，该电源轨同时为 MCU_OSPI1_* 引脚供电。

权变措施

如果使用 DDR1，权变措施有两种方案：

- 将 VDDSHV1_MCU 电源轨设为 1.8V 供电。所有 MCU_OSPI0/1_* 引脚均可正常运行。
- 将 VDDSHV1_MCU 电源轨设为 3.3V 供电。MCU_OSPI1_* 引脚可以正常运行，但 MCU_OSPI0_* 引脚应保持静态，无任何运行/切换。

i2320**UDMA 和 UDMAP : 必须返回未分片的描述符和 TR****详细信息**

UDMA 和 UDMAP 要求将描述符和 TR 放置在返回描述符或 TR 的存储器子系统中，而不对描述符进行任何分片。但是，一些存储器包含分片桥，因此无法用于保存描述符和 TR。

对于该器件，R5 TCM 存储器无法保存 UDMA 或 UDMAP 的描述符或 TR

i2320 (续)

UDMA 和 UDMAP : 必须返回未分片的描述符和 TR

权变措施

无

i2326

PCIe : 当 MAIN_PLLx 运行在启用 SSC 所必需的分分数模式时, 不符合 PCIe Refclk 抖动限制

详细信息 :

在分数模式下配置时, MAIN_PLLx 可为串行器/解串器和外部元件提供 100MHz PCIe Refclk, 但不符合 PCIe Refclk 抖动限制。启用 SSC 需要分数模式, 因此 SSC 模式不符合 PCIe Refclk 抖动限制。

权变措施 :

从 MAIN_PLLx 拉取 100MHz PCIe Refclk 时, MAIN_PLLx 应仅配置为整数模式 (DACEN = 0、DSMEN = 0)。这会阻止对 PCIe Refclk 使用 SSC, 后者这要求 PLL 在小数模式下运行。如果 PCIe 接口需要 SSC, 应使用具有 SSC 的外部 Refclk 发生器为串行器/解串器提供 100MHz Refclk。

i2329

MDIO : MDIO 接口损坏 (CPSW 和 PRU-ICSS)

详细信息 :

CPSW 和 PRU-ICSS 外设的所有实例 (如果存在) 的 MDIO 接口可能在 MDIO 读取时返回损坏的读取数据 (例如返回过时数据或以前的数据) 或在 MDIO 写入时发送错误的数数据。MDIO 接口也可能在下次外设复位 (通过 LPSC 或在 CPSW 的情况下禁用复位隔离时通过全局器件复位) 之前不可用。

该问题在系统层面的表现可能包括 (1) 错误的以太网 PHY 链路断开状态 (2) 无法通过 MDIO 正确配置以太网 PHY (3) PHY 检测不正确 (例如地址错误) (4) 尝试通过 MDIO 配置 PHY 时读取或写入超时。

对于启动模式 (如果支持, 仅限 CPSW), 不存在确保主以太网启动成功的权变措施。如果在主启动期间发生该异常, 启动可能发起重试, 重试可能成功, 也可能不成功。如果重试不成功, 这将导致最终超时并转换到备用启动模式 (如已选定)。如未选定备用启动模式, 此类故障将导致超时并强制通过芯片看门狗进行器件复位, 之后整个启动过程将再次重启。

要选择备用启动选项 (如果支持), 请在启动模式引脚上安装适当的拉电阻器。请参阅各特定器件选项的启动文档, 通过以太网进行主启动尝试的典型超时为 60 秒。

权变措施 :

在受影响的器件上, 应使用以下权变措施:

MDIO 手动模式 : 适用于 PRU-ICSS 和 CPSW。

可以通过读取和写入 MDIO 外设 MDIO_MANUAL_IF_REG 寄存器中的相应位来模拟 MDIO 协议, 直接操作 MDIO 时钟和数据引脚。有关手动模式寄存器位及其功能的完整详细信息参见 TRM。

在这种情况下, 器件引脚多路复用应配置为允许 IO 由 CPSW 或 PRU-ICSS 外设控制 (与正常预期运行相同), 但必须确保 MDIO_CONTROL_REG 中的 MDIO_CONTROL_REG.ENABLE 位为 0 来禁用 MDIO 状态机, 同时将 MDIO_POLL_REG.MANUALMODE 位设置为 1 来启用手动模式。

联系 TI 了解如何实施软件权变措施。

i2329 (续)

MDIO : MDIO 接口损坏 (CPSW 和 PRU-ICSS)**备注**

如果使用以太网 DLR (设备层环网) (在 CPSW 或 PRU-ICSS 上) 或 EtherCAT 协议 (在 PRU-ICSS 上), 由于链路状态检查需要轮询间隔, 实施运行时权变措施 1 可能对 CPU 或 PRU 负载产生重大影响。因此应考虑系统产生的影响。

对于 PRU-ICSS, 使用 MDIO 的 MLINK 功能通过 MIIx_RXLINK 输入引脚到 PRU-ICSS 自动轮询链路状态可以减少软件权变措施的负载, 其中 PRU-ICSS 必须连接外部来自 PHY 且链路处于活动状态时不会切换的状态输出。根据外部 PHY 器件的指定行为, 该 PHY 状态输出可能是 LED_LINK 或 LED_SPEED, 也可能是 LED_LINK 和 LED_SPEED 的逻辑“或”。有关使用 MDIO 的 MLINK 功能的详细信息, 请参阅 TRM 的 MDIO 部分。此功能在 CPSW 外设上不可用。

对于在 PRU-ICSS 上实施 EtherCAT, 软件权变措施将在 RTUx/ TX_PRUx 核心中完成。核心必须专门针对权变措施, 即无法用于其他目的。实施方案将支持通过两个用户访问通道访问 MDIO。这为 R5f 核心和 PRU 核心提供独立访问通道的选项。这些 API 将与我们在 RTOS 权变措施实施中的 API 类似。

EtherCAT 将继续通过链路状态的 MDIO MLINK 绕过状态 m/c (此路径不受勘误表影响) 使用 PHY 快速链路检测。这样可以确保仍然满足电缆冗余相关延迟要求。

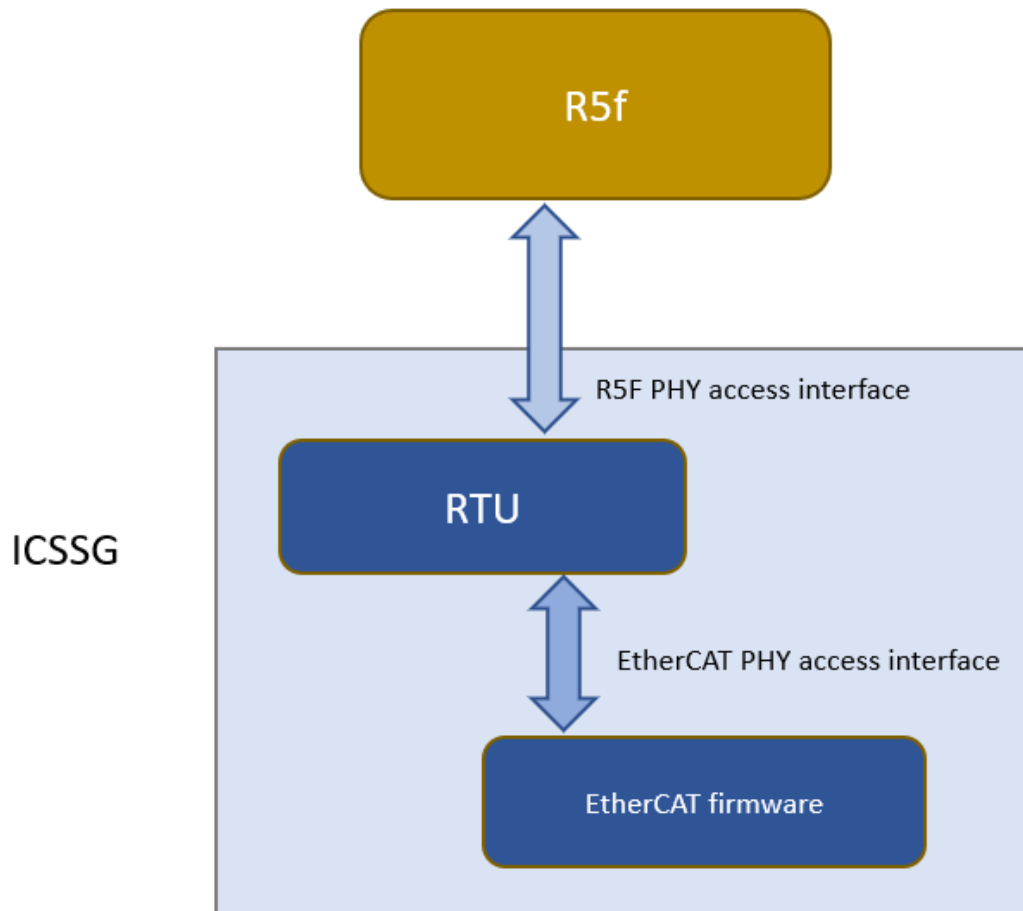


图 3-4. 使用 PRU 核心通过手动模式进行 MDIO 模拟

i2330

DDRSS 寄存器配置工具更新

详细信息：

DDR 寄存器配置工具根据系统级详细信息提供自定义寄存器设置，例如 DDR 器件的架构（密度、数据宽度、列数）、工作频率以及通过电路板仿真确定的 IO 设置。经过一段时间，可能会对该工具进行更新，以支持新的器件和/或特生，修复该工具中发现的问题，最重要的是，详细解释勘误表中的权变措施或寄存器计算的最新更新，从而提升性能、信号完整性或信号之间的时序关系。

权变措施：

为了确保根据经验教训正确设置参数并降低出现功能故障的风险，应始终使用最新的 DDR 寄存器配置工具生成寄存器值。由于 DDR 寄存器配置工具可以定期更新，因此应查看和评估该工具的修订历史记录，以确定工具更改是否适用于现有系统。如果适用，应适当更新现有系统的配置。可以在 <http://dev.ti.com/sysconfig> 上找到该工具的最新版本，并且对于正在使用的适用器件，选择“Software Product”下拉列表中的“DDR Configuration”。

i2351

OSPI : 直接访问控制器 (DAC) 不支持带 NAND 闪存的连续读取模式

详细信息：

OSPI 直接访问控制器 (DAC) 不支持带 NAND 闪存的连续读取模式，因为 OSPI 控制器可以在发送到 OSPI 控制器的内部 DMA 总线请求之间，将向闪存存储器发送的 CSn 信号置为无效（根据设计意图）。

发生此问题的原因是，一些 OSPI/QSPI NAND 闪存存储器提供的“连续读取”模式要求片选输入在整个突发事务中持续置为有效状态。

SoC 内部 DMA 控制器和其他启动器限制用于 1023 B 或更小的事务，并且仲裁/排队可以在各种 DMA 控制器内部进行，也可以在任何 DMA 控制器与 OSPI 外设之间的互连中进行。这会导致到 OSPI 控制器的总线请求延迟，进而导致外部 CSn 信号被置为无效。

NOR 闪存存储器不受 CSn 置为无效的影响，连续读取模式正常运行。

权变措施：

软件可以使用页面/缓冲读取模式来访问 NAND 闪存。

i2362

10-100M SGMII : Marvell PHY 没有忽略前导码字节，而导致链路故障

详细信息：

在 10/100 模式下且数据包之间有奇数个时钟时，CPSW SGMII 模块最多输出 0x50 前导码数据的 5 个字节。所有字节均应为 0x55。在 1000Mbps 模式下，不会出现该问题，SFD 之前的前导码中有 7 个 0x55。在 100Mbps 模式下，SFD 之前的前导码中有 70 个字节（因为数据在 1000Mbps 模式下复制 10 次）。发生问题时，70 个字节中的前五个字节可以是 0x50。到目前为止，尚未检测到该问题，原因是仅对 PHY 进行了测试，PHY 允许前导码减少而不关心第一个字节数中的实际数据。但是，Marvel PHY (88Q1111 或类似产品) 最近检测到该问题，它查看前导码数据并根据 0x50 前导码数据作出数据包保留/丢弃决策。

权变措施：

可选权变措施包括：

1. 使用不会产生该问题的 1000M 模式。

或

2. 使用 TI PHY (DP83869 或类似产品) 或任何其他在 10/100/1000M 模式下可以减少/忽略前导码数据的 PHY。

i2366 **引导：ROM 不理解 8D-8D-8D 操作使用的特定 JEDEC SFDP 特性****详细信息：**

JEDEC 规范 JESD216 - 串行闪存可发现参数 (SFDP) 详细说明了在某些串行闪存器件中使用的参数表，用于描述特性以及如何与器件通信/配置器件。ROM 可以解释 SFDP 中适用于器件特性的相关部分（例如，如何从 1S-1S-1S 模式更改为 8D-8D-8D 模式），但不能正确理解有以下需要的闪存器件：

- 与 1S-1S-1S 模式相比，8D-8D-8D 模式下的交换的字节顺序
- 8D-8D-8D 模式下的命令扩展，它需要使用与发送的第一个字节不同的命令（例如，操作码反转或其他唯一字节）

权变措施：

查看符合 JEDEC JESD216 的任何候选闪存存储器的 SFDP 表；大多数情况下，供应商不会发布该表，但可以向闪存供应商索取。如果 JEDEC 基本闪存参数表的第 18 个 DWORD 的第 31 位的值为“1b”，则必须在出厂时以交换的字节顺序对存储器进行编程，或使用 SoC 进行编程。如果 [30:29] 位的值不是“00b”，则它不能在 8D-8D-8D 模式下用于任何引导模式。因此，避免对该闪存器件使用任何 8D-8D-8D 引导模式。

i2371 **引导：数据传输过程中，UART 引导模式下的 ROM 代码可能出现挂起****详细信息：**

由于公告 i2310，UART 引导过程中可能出现 ROM 代码执行挂起的情况。i2310 公告中提及的软件权变措施未在 ROM 中实现，因此在非预期状态下可能触发错误的超时中断。这可能会导致 ROM 无法清除此中断，进而出现挂起。

只要使用 UART 引导模式或将 UART 用作引导接口以启用生产流程（例如 UniFlash 或者使用 OTP Keywriter 对电子保险丝进行编程），就可能会出现此问题。

权变措施：

无。应使用其他引导接口。

i2372 **引导：ROM 不支持串行 NAND 引导中的所选多层平面寻址方案****详细信息：**

ROM 引导加载程序不支持某些多层平面串行 SPI NAND 闪存存储器，因为它们要求从缓存/缓冲区读取命令理解如何更改缓存/缓冲区/平面编号以访问正确的数据。

权变措施：

请仔细查看候选闪存存储器的寻址要求，以作为特殊位在从缓存/缓冲区读取命令中选择平面/缓冲区/缓存的参考。不要使用具有此类要求的存储器。

i2378

MSMC : 高速缓存/窥探过滤器路选择 MMR 的复位值不正确

详细信息 :

以下两个 MSMC MMR 影子副本的复位值错误。SW 可以读取的主副本具有正确的复位值，但 MSMC 功能使用影子副本中的值。复位值不正确会导致 DDR 系统性能下降。更具体地说，MSMC L3 数据高速缓存和窥探过滤器在进行 DDR 访问时未得到充分利用（利用率降至预期值的 25%）。这种利用率不足的问题还会扩展到 A72 [仅 J7AEP 版本包含：“以及 C7x 内核”] 的 L2 高速缓存。

RT_WAY_SELECT [地址 = 0x6E00_8000]

NRT_WAY_SELECT [地址 = 0x6E00_8008]

权变措施 :

复位后，SW 需要向这两个 MSMC MMR 写入值 (0x0000_0303)。即使 MMR 似乎已拥有正确的值，也需要执行此操作。写入 MMR 可确保其影子副本具有复位后的正确值。

i2381***MSMC : FFI 复位允许目标端口作为映射的 SRAM 对 L3 数据高速缓存进行后门访问***

详细信息：

MSMC 上的目标端口在进行 FFI 复位后，可通过该位置对应的 MSMC L3 SRAM 存储器映射地址，获得对 L3 数据高速缓存内容的后门访问权限。

权变措施：

在 MSMC 目标端口上完成 FFI 复位序列后，软件应将当前的 L3 高速缓存大小设置重新写入 MSMC MMR - CACHE_CTRL.CACHE_SIZE 字段，以阻止硬件允许对 L3 数据高速缓存内容进行后门访问。

i2383

OSPI : PHY DDR 模式不支持 2 字节地址

详细信息 :

当 OSPI 控制器配置为在 PHY DDR 模式中进行 2 字节寻址时，内部状态机将发送的地址字节数失配为值 1 (而不是 2)。这会导致状态机在地址阶段锁定，使 PHY DDR 模式不可运行。

使用任何 Tap 模式或 PHY SDR 模式时，不会发生此问题。在 PHY DDR 模式下使用 4 字节寻址时，也不会出现此问题。

权变措施 :

对于具有可编程地址字节设置的兼容 OSPI 存储器，请将闪存上所需的地址字节数从 2 设置为 4。这可能涉及发送一条特定命令以更改地址字节和/或在闪存上写入配置寄存器。完成后，将在控制器设置中发送的地址字节数从 2 更新为 4。

对于仅支持 2 字节寻址且无法重新编程的兼容 OSPI 存储器，PHY DDR 模式将与该存储器不兼容。替代模式包括：

- PHY SDR 模式
- TAP (无 PHY) DDR 模式
- TAP (无 PHY) SDR 模式

i2399

C7x : CPU NLC 模块在中断时未清除状态

详细信息 :

在以下情况下将会发生数据损坏：

1. 一个应用程序正在运行，并涉及任务切换。在这种情况下，至少有 2 个任务可能使用 NLC。
2. 当为任务 A 提供中断时，发出了一条 NLCINIT，然后是 TICK。此操作最终会设置 NLC 模块中的一些内部状态，说明我们需要在下一条 TICK 时将 ILCNT_INIT 值重新加载到 ILCNT，因为它计算出的转发用例已刷新。在接到中断时，该状态未被正确清除。
3. ISR 执行任务切换并切换到任务 B，任务 B 也在运行 NLC 代码。要返回到的 NLC 代码需要继续进行，并且其 ILCNT_INIT 值与原任务中的 NLC 循环不同。
4. 从 ISR 返回后，下一条 TICK 会因状态损坏最终将 ILCNT 设置为错误的值 (ILCNT_INIT - 2)。

此时 ILCNT 已损坏，NLC 循环将执行错误次数的迭代，从而导致数据损坏。

权变措施 :

在保存上下文的过程中，在 ISR 中发出 NLCINIT (参数无关紧要，随后无需发出 TICK/BNL)。权变措施不会影响性能。

i2401

CPSW : 主机时间戳导致 CPSW 端口锁定

详细信息 :

CPSW 提供两种机制，将数据包进站时间戳信息传递给主机。

第一种机制是通过 CPTS 事件 FIFO 实现的，该机制在由特定事件触发时记录时间戳。这类事件包括接收到包含指定 EtherType 字段的以太网数据包。这种机制最常用于捕获 PTP 数据包的进站时间戳。通过这种机制，主机必须将时间戳 (来自 CPTS FIFO) 和 DMA 提供的数据包有效载荷分开读取。这种模式受支持并且不受此勘误表影响。

第二种机制是为所有数据包启用接收时间戳，而不仅仅是 PTP 数据包。采用这种机制时，时间戳会通过 DMA 与数据包有效载荷一起传送。第二种机制是本勘误表的主题。

i2401 (续)**CPSW : 主机时间戳导致 CPSW 端口锁定**

当启用 CPTS 主机时间戳时，每个传送到内部 CPSW 端口 FIFO 的数据包都需要来自 CPTS 的时间戳。当数据包前导码由于 EMI 或任何其他损坏机制而损坏时，可能不会向 CPTS 发送时间戳请求。在这种情况下，CPTS 将不会生成时间戳，这会导致 CPSW 端口 FIFO 中出现锁定状况。当通过清除 CPTS_CONTROL 寄存器中的 `tsstamp_en` 位来禁用 CPTS 主机时间戳时，将阻止发生锁定状况。

权变措施：

必须禁用以太网到主机的时间戳。

可以使用 CPTS 事件 FIFO 时间戳来代替 CPTS 主机时间戳。

i2409**USB : USB2 PHY 由于短暂挂起而锁定**

详细信息：

当 USB 2.0 PHY 可能挂起，以响应在 USB 控制器进入挂起状态的 3 微秒内发生的 USB 唤醒事件时。这种 PHY 挂起只能通过电源重启恢复，因为热复位无效。

权变措施：

注意：此权变措施仅在 USB 不是主引导模式时适用。如果 USB 是主引导模式，则没有可用的权变措施。

为防止该问题发生，在 USB 控制器初始化过程中必须遵循特定的操作顺序：

i2413**引导 : HS-FS ROM 引导时加载的 ROM 引导镜像已损坏**

详细信息：

ROM 支持一种镜像格式，该格式中同时包含引导加载程序镜像与 TIFS 镜像。这种格式被称为组合镜像。

在 HS-FS 器件上，当使用 RSA 密钥对组合镜像签名后，ROM 应执行以下操作：

- 跳过对引导加载程序组件的完整性检查
- 在 TIFS 组件上执行完整性检查和签名验证。

由于 ROM 存在漏洞，在 HS-FS 器件上使用非退化 RSA 密钥时，ROM 会跳过对 TIFS 组件的完整性校验。

权变措施：

使用退化 RSA 密钥对 X509 证书进行签名，以启用对所有组件（引导加载程序与 TIFS）的完整性校验

i2414**引导 : 以太网 PHY 扫描和启动流程不适用于不支持自动协商的 PHY**

详细信息：

ROM 以太网（RGMII 或 RMII）引导模式需要 PHY 自动协商完成后，才会检查链路状态。因此，不支持自动协商的 PHY 无法使用此引导模式。

权变措施：

无，需要支持自动协商的 PHY。

i2415

引导：在 xSPI 主引导模式下，UART 备用引导认证失败

详细信息：

该问题在 HS-SE 器件型号上发生。这些器件使用支持冗余引导地址、基于闪存的主引导模式（如 OSPI 引导模式）和次级引导模式（如 UART）。在以下情况时：

使用以下配置，从备用引导介质（UART）引导有效的映像：

1. 0x0 处的主映像 => 错误映像（认证失败）
2. 0x40_0000 处的冗余映像 => 有效的 TIFS 映像，但并非 ROM 引导（认证失败）
3. 备用引导模式 => 有效的映像（预期引导的映像）

ROM 无法从次级引导模式（如 UART 引导介质）引导有效的映像。

在正常情况下，每次映像引导失败后，安全 ROM 都必须复位所有内部状态机，以便进行下一次重试操作。

在尝试对 TIFS 证书进行操作时，映像冗余偏移处失败后，安全 ROM 不会复位所有必要的变量。

因此，在备用引导流程期间，安全 ROM 无法认证证书/映像二进制文件。

受此影响，在 UART 备用引导时，即使采用有效的映像二进制文件，引导也会失败。

权变措施：

无。只需确保位于冗余偏移处的映像是完整的引导证书，而不仅仅是 TIFS/SYSFW 证书。

i2418

引导：由于证书信息不存在，导致安全 ROM 冻结

详细信息：

在正常引导流程（而非完整组合映像流程）中，如果证书信息（扩展信息或旧信息）不存在，安全 ROM 将进入无限循环。当向 SOC 提供证书而 SOC 没有证书信息时，将出现这种情况。安全 ROM 将在以下更多情况下冻结（陷入无限循环）：

1. 证书信息不存在
2. 地址转换失败
3. 哈希计算失败

权变措施：

确保证书信息（扩展信息或旧信息）存在。

i2419

引导：禁用偏斜消除校准时，ROM 不会检查是否启用了偏斜消除校准

详细信息：

如果禁用了 PLL 偏斜消除校准，ROM 驱动程序代码往往会检查偏斜消除校准是否已启用以及锁定是否失效。但是，当前代码在 IF 条件下有赋值。因此，在清除配置位之前，它不会检查偏斜消除校准是否启用。不存在功能问题。

权变措施：

无

i2422**引导：MMCSD 文件系统引导时，ROM 的超时时间过长****详细信息：**

由于 ROM 存在漏洞，如果尝试从空或已擦除（或出厂全新状态）的 eMMC 器件通过 SD/MMC 引导（文件系统模式）进行引导，正常的引导超时切换至备份引导模式功能将失效，因为引导过程会陷入无限循环，直至看门狗计时器触发复位。

权变措施：

需要从另一个主引导模式引导才能对 eMMC 闪存进行编程。

i2424**PLL：PLL 编程序列可能会导致 PLL 不稳定****详细信息：**

PLL 编程序列已经更改，以确保如果使用它，在启用 PLL 校准前，所有校准字段都已配置。除了更改对校准逻辑的控制之外，还实现了其他更改，以便在启用 PLL 时 PLL 参数保持不变。

在整数模式下时，软件会在支持校准的 PLL 上启用 PLL 校准功能。之前的软件在 CAL_LOCK 置为有效后调整校准模式。已经看到，这些写入操作会导致某些器件上的 PLL 锁定丢失。此外，即使在易受影响的器件上，锁定丢失也是间歇性的，但是当丢失发生时，相关电路以不正确的频率运行；这种错误频率可能表现为算法执行缓慢或通信故障。

限制影响：当 PLL 处于小数模式时，不能使用校准逻辑。因此，被编程为使用分数模式的 PLL 不应出现与校准编程相关的故障。然而，由于对完整 PLL 序列的更改，建议所有用户使用新软件。

权变措施：

请勿将 clk_pll_16fft_cal_option4() 用于 SYSFW。执行任何 PLL 配置更改时，确保使用 SDK v10.0 或更高版本中更新后的 PLL 编程序列。

i2431**BCDMA：RX 通道在某些情况下可能锁定****详细信息：**

如果没有任何 TR 在配置特定的标志字段中设置 EOP 标志，BCDMA RX chan Teardown 可以锁定通道并且无法在随后的传送中使用。随后，当通道重新启用时，传送将不会完成并将终止，并且 TR 响应中会出现各种错误。

权变措施：

a) 从 PSIL/PDMA 外设接收数据时，需要在每个 TR 的配置的特定标志字段中设置 EOP 标志，并将 PDMA 的 1 X-Y FIFO 模式静态 TR “Z” 参数设置为非零值，以便通道清理正常进行并清理内部状态存储器。否则，会导致在随后后续运行时通道锁定。PDMA Z 计数也应与 TR 大小匹配，以便 PDMA 将每次传送描述为单个数据包。这在某些情况下尤其会造成问题，例如，TRPD 设置了无限重新加载计数，以便在流模式下使用单组 TR 执行循环传送，在这种情况下，每个 TR 都可能是最后一个。

b) 如果用例不允许提前设置 PDMA Z 计数或者无法设置数据包 EOP，则替代方法是在单缓冲模式下使用 PKTDMA 而不是 BCDMA。

i2435 **引导 : eMMC 引导的 ROM 超时过长**

详细信息 :

由于 ROM 中存在错误, 如果尝试从空的或已擦除 (即, 恢复出厂设置) 的 eMMC 器件以 eMMC 引导模式 (即从 eMMC 引导分区进行引导, 有时称为 eMMC 替代模式) 进行引导, 切换至备份引导模式的正常引导超时时间可长达 10 秒。

权变措施 :

如果系统认为此超时时间过长, 则需要从另一种引导模式引导。

i2436 **BCDMA : RX CHAN CFG 寄存器中的 BCDMA RX_IGNORE_LONG 设置不起作用**

详细信息 :

当远程端点未发送 EOP 以匹配 TR 边界时, BCDMA 的 RXCHAN CFG 寄存器中的 RX_IGNORE_LONG 标志被忽略, 并且 BCDMA 报告 TR 响应中存在错误。

权变措施 :

RX_IGNORE_LONG 不可用, 因此 PDMA 之类的远程端点应通过发送 EOP 来关闭数据包, 以匹配 TR 边界 (PDMA X*Y*Z 应匹配 TR ICNT0*ICNT1*ICNT2*ICNT3)

如果需要无限流 (PDMA Z=0), 则切换到 PKTDMA 并使用单缓冲模式

i2437 **SE 时钟门控关闭过早**

详细信息 :

C7120 流引擎顶层时钟门控逻辑中存在硬件错误, 该错误可能会导致 C7120 CPU 挂起。无论流引擎编程如何, 都可能发生挂起。只有通过覆盖顶层时钟门控来阻止流引擎和其他 C7120 Corepac 组件进入空闲状态, 才能避免挂起。

权变措施 :

必须在 C7120 内核上电之前使能 COMPUTE_CLUSTER_CFG_WRAP_0_CC_CNTRL 寄存器的 DSP_<COREID>_DEBUG_CLKEN_OVERRIDE 字段 (其中 COREID 是特定 C7120 内核的名称), 以覆盖所有时钟门控。

i2454 **C7x : 不允许强刷复位**

详细信息 :

对于 C7x, 使用 PSC 的 force_mode 使能/禁用功能可能会挂起。

权变措施 :

请勿对 C7x 使用 PSC 的 force_mode 使能/禁用功能。

i2449 **RAT : R5FSS RAT MMR 不受奇偶校验保护**

详细信息 :

存储在 R5FSS RAT MMR 中的值在存储期间不受奇偶校验保护。这意味着即使在奇偶校验保护启用的情况下, 也不会检测到 MMR 中的位翻转, 因此没有针对永久或瞬态错误的保护。发起方奇偶校验 (其中, 奇偶校验是根据读取时存储在 MMR 中的值动态计算) 仅涵盖通过互连引入的错误。不涵盖存储的 MMR 值本身可能存在的错误。

i2449 (续) *RAT : R5FSS RAT MMR 不受奇偶校验保护*

权变措施： 在运行时，用户需要对 MMR 值执行软件回读。

i2482 *引导 : ROM 在 SD 卡初始化期间未提供足够的时钟*

详细信息： ROM 代码未按《SD 卡物理层规范 2.00》。这可能导致 SD 卡引导失败，然而在受影响的器件上尚未因该勘误观察到引导失败。

权变措施： 无

商标

所有商标均为其各自所有者的财产。

修订历史记录

Changes from JULY 31, 2024 to JUNE 10, 2026 (from Revision C (July 2024) to Revision D (June 2026))

	Page
• 增加了公告 i2087 ; C7x : C7x MMA HWA_STATUS 在应用启动之前报告错误.....	10
• 更新了公告 i2160 ; DDR : 必须在 LPDDR4 命令总线训练期间定义有效 VRef 范围.....	14
• 增加了使用说明 i2330 : DDRSS 寄存器配置工具更新.....	33
• 增加了公告 i2413 : 引导 : HS-FS ROM 引导时加载的 ROM 引导镜像已损坏.....	38
• 增加了公告 i2415 : 引导 : 在 xSPI 主引导模式下 , UART 备用引导认证失败.....	39
• 增加了公告 i2418 : 引导 : 由于证书信息不存在 , 导致安全 ROM 冻结.....	39
• 增加了使用说明 i2424 ; PLL : PLL 编程序列可能会导致 PLL 不稳定.....	40
• 增加了公告 i2431 ; BCDMA : RX 通道在某些情况下可能锁定.....	40
• 增加了公告 i2436 ; BCDMA : RX CHAN CFG 寄存器中的 BCDMA RX_IGNORE_LONG 设置不起作用.....	41
• 增加了使用说明 i2454 ; C7x : 不允许强刷复位.....	41
• 增加了公告 i2449 ; RAT : R5FSS RAT MMR 不受奇偶校验保护.....	41
• 增加了公告 i2482 ; 引导 : ROM 在 SD 卡初始化期间未提供足够的时钟.....	42

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月