

Errata

J721E DRA829/TDA4VM 处理器器件版本 2.0/1.1/1.0

摘要

本文档介绍了功能规格的已知例外情况 (公告)。本文档也包含了使用说明。在使用说明中介绍了器件行为可能与假定或记录的行为不匹配的情况。这可能包括影响器件性能或功能正确性的行为。

内容

1 受影响的模块.....	2
2 命名规则、封装编号法和修订版本标识.....	7
3 器件版本 2.0/1.1/1.0 使用说明和公告.....	9
修订历史记录.....	83

1 受影响的模块

表 1-1 介绍受每个使用说明影响的模块。

表 1-1. 按模块划分的使用说明

模块	使用说明
C7x	i2453 — C7x : SR2.0 上的 LBIST MISR 已更改
DDR	i2330 — DDRSS 寄存器配置工具更新
USB	i2134 — USB : 2.0 合规性接收灵敏度测试限制

表 1-2 介绍受每条公告影响的模块。

表 1-2. 按模块划分的公告

模块	公告	受影响的器件修订版本		
		SR 1.0	SR 1.1	SR 2.0
AASRC	i2229 — AASRC : 不支持 AASRC	是	是	是
ADC	i2151 — ADC : 去抖时间控制寄存器	否	是	是
引导	i2038 — 引导 : 当根块位于在多个簇中时 FAT16 失败	是	是	是
	i2081 — 引导 : 每种引导模式的 ROM 最大超时将为 TRM 原始值的一半	是	否	否
	i2307 — 引导 : ROM 无法基于 BOOTMODE 正确选择 OSPI 时钟模式	是	是	是
	i2366 — 引导 : ROM 不理解 8D-8D-8D 操作使用的特定 JEDEC SFDP 特性	否	是	是
	i2371 — 引导 : 数据传输过程中, UART 引导模式下的 ROM 代码可能出现挂起	是	是	是
	i2414 — 引导 : 以太网 PHY 扫描和启动流程不适用于不支持自动协商的 PHY	是	是	是
	i2418 — 引导 : 由于证书信息不存在, 导致安全 ROM 崩溃	是	是	是
	i2422 — 引导 : MMCSD 文件系统引导时, ROM 的超时时间过长	是	是	是
	i2435 — 引导 : eMMC 引导的 ROM 超时过长	是	是	是
i2482 — 引导 : ROM 在 SD 卡初始化期间未提供足够的时钟	是	是	是	
C66x	i2214 — C66x : 如果未设置屏障, 则对不同端点的写入可能会乱序到达	是	是	是
C71x	i2063 — C71x : 对 IBUF 缓冲区中最后一行的非对齐访问不支持 CPU 负载和存储的 VCOP 别名	是	是	是
	i2064 — C71x : 在特定条件下, 如果存在高速缓存模式变更或全局回写, 则 DMA 对 L1D SRAM 的访问可能会无限期停止	是	是	是
	i2065 — C71x : 存在 L1D 窥探时 C71x 存储器系统和 CPU 可能会无限期停止	是	是	是
	i2079 — C71x : 在特定条件下, 如果存在 CPU 流量, 则 DMA 对 L1D SRAM 的访问可能会无限期停止	是	是	是
	i2087 — C71x : MMA HWA_STATUS 在应用程序启动之前报告错误	是	是	是
	i2117 — C71x : MMA HWARCV 与触发 uTLB 未命中的加载或存储并行时寄存器会损坏	是	否	否
	i2131 — C71x : 启用 L2 Scrubber 后, 在 L2 回写失效操作期间存储器系统可能会挂起	是	是	是
	i2199 — C71x : 在非对齐的转置流跨越 AM1 循环缓冲区边界时 SE 返回错误数据	是	是	是
	i2213 — C7x SE : 当 2 数据阶段返回不同的 rstatus 时, SE 可能会挂起	是	是	是
	i2219 — C7x SE : SE 针对 uTLB 故障返回错误的 rstatus	是	是	是
	i2271 — C7x SE : 如果 SEBRK 期间发生页面故障/UMC 错误, SE 可能会挂起	是	是	是
	i2399 — C7x : CPU NLC 模块在中断时未清除状态	是	是	是
	i2454 — C7x : 不允许强制复位	是	是	否
CBASS	i2207 — CBASS : 命令仲裁阻塞	是	是	是
	i2235 — CBASS 空错误中断未被使能寄存器屏蔽	是	是	是
CC	i2221 — CC : 侵入式和非侵入式调试使能设置通过 MCU_RESETz 复位	是	是	是
CP	i2283 — 有关如何使用 CP 跟踪器调试探头的限制	是	是	是

表 1-2. 按模块划分的公告 (续)

模块	公告	受影响的器件修订版本		
		SR 1.0	SR 1.1	SR 2.0
CPTS	i2083 — CPTS : GENF (和 ESTF) 重新配置问题	是	是	是
	i2141 — CPTS : GENF 和 ESTF 微调值未被硬件清除	是	是	是
CPSW	i2139 — CPSW : ALE 错误地路由带 CRC 错误的数据包	是	是	是
	i2148 — CPSW : 当分类通过出口操作码功能覆盖目标端口时, 未观察到 CPSW 定向帧	是	是	是
	i2184 — CPSW : IET 快速流量监管问题	是	是	是
	i2185 — CPSW : 策略器颜色标记问题	是	是	是
	i2208 — CPSW : ALE IET 高速数据包丢失	是	是	是
	i2401 — CPSW : 主机时间戳导致 CPSW 端口锁定	是	是	是
CPSW9G	i2179 — CPSW9G : 复位隔离无法正常工作	是	否	否
CSI	i2052 — CSI : CSI-Rx 到 CSI-Tx 的重新发送路径不可用	是	是	是
	i2190 — CSI : CSI_RX_IF 在接收不完整的帧后可能进入未知状态	是	是	是
DDR	i2155 — DDR : 控制器 DDRSS_CTL_194[9-8] BIST_RESULT 状态不可靠	是	是	是
	i2157 — DDR : 控制器在设置低功耗状态唤醒时间时出现异常	是	是	是
	i2159 — DDR : LPDDR4 CBT 期间必须使用 VRCG 大电流模式	是	是	是
	i2160 — DDR : 必须在 LPDDR4 命令总线训练期间定义有效 VRef 范围	是	是	是
	i2166 — DDR : 进入和退出深度睡眠低功耗状态可能会导致 PHY 内部时钟错位	是	是	是
	i2182 — DDR : row-cs-bank-col 地址映射不支持双列非 2 幂次密度	是	是	是
	i2232 — DDR : 频率更改后, 控制器推迟的刷新次数超过允许的刷新次数	是	是	是
	i2244 — DDR : 必须为写入 DQ VREF 训练定义有效的停止值	是	是	是
i2274 — DDR : 在 BSCAN 中包括 DDR 导致 DDR 电源上出现电流警报	是	是	是	
DMADVR	i2233 — DMADVR : MAIN 和 MCU 之间的链路/link_safer 同步问题	是	是	是
DMSC	i2245 — DMSC : 防火墙区域需要特定的配置	是	是	是
	i2275 — DMSC 安全引导 ROM : X.509 证书中包含显式 EC 曲线参数的潜在安全引导漏洞	是	是	是
DPHY	i2174 — DPHY : 复位序列问题可能导致未定义的模块行为	是	否	否
DRU	i2198 — DRU、UTC : 不使用时将 ICNT3 设置为 0 时会出现问题	是	是	是
	i2215 — DRU : 如果使用非原子 TR 提交机制, 则 C7x 的乱序写入可能会损坏 TR 提交	是	是	是
DSS	i2097 — DSS : 禁用连接到重叠区的层可能会导致下一帧期间出现同步丢失	是	是	是
ECC_AGGR	i2049 — ECC_AGGR : 由于出现挂起的 ECC 聚合器中断, IP 时钟停止/复位序列可能挂起	是	是	是
	i2191 — ECC_AGGR : RAM80 误报不可纠正的奇偶校验错误	是	否	否
eMMC	i2144 — eMMC : VIO 电源时序	是	是	是
FSS	i2048 — FSS : MCU_FSS0_WRT_TYPE 寄存器日志记录错误	是	是	是
GIC	i2101 — GIC : ITS 异常行为	是	是	是
HyperBus	i2119 — HyperBus : HyperBus 无法正常工作	是	否	否
I3C	i2150 — I3C : SDAPULLEN 驱动为低电平而不是高阻态	是	是	是
	i2197 — I3C : 不支持从器件模式	是	是	是
	i2205 — I3C : 在某些情况下, IBI 挂起期间获取的命令未得到正确处理	是	是	是
	i2216 — I3C : 在接收从器件发起的 IBI 地址字节期间, 命令执行可能失败	是	是	是
IA	i2196 — IA : IA 中可能出现的死锁情况	是	是	是
内部诊断模块	i2103 — 内部诊断模块: 功能安全错误的 ECC_GRP、ECC_BIT 和 ECC_TYPE 信息报告不正确	是	是	是
ICSSG	i2230 — ICSSG : 不支持 ICSSG	是	是	是

表 1-2. 按模块划分的公告 (续)

模块	公告	受影响的器件修订版本		
		SR 1.0	SR 1.1	SR 2.0
	i2305 — ICSSG : 活动 FDB 查找期间执行 PRU RAM WRT 会导致写入数据损坏	是	是	是
JTAG	i2228 — JTAG : 如果 TRSTn 器件引脚从未置为有效, 则调试器使用的 TAP 可能无法访问	是	是	是
MCAN	i2278 — MCAN : 当从配置有相同报文 ID 的专用 Tx 缓冲区发送时, 报文发送顺序无法保证	是	是	是
	i2279 — MCAN : 配置有相同报文 ID 的专用 Tx 缓冲区和 Tx 队列的规范更新	是	是	是
MCU	i2173 — 如果主域发出复位, MCU 域可能会挂起	是	否	否
	i2217 — 通过 MCU_BOOTMODE[09:08] 的建议 POST 选择	是	是	否
MDIO	i2329 — MDIO : MDIO 接口损坏 (CPSW 和 PRU-ICSS)	是	是	是
MMCSD	i2024 — MMCSD : 外设不支持 HS400	是	是	是
	i2090 — MMCSD : MMCSD1 和 MMCSD2 速度问题	是	否	否
	i2312 — MMCSD : HS200 和 SDR104 命令超时窗口太小	是	是	是
MSMC	i2116 — MSMC : 设置危险逻辑会保留 NRT 访问完成时的 RT 访问等待	是	是	是
	i2149 — MSMC : MSMC Scrubber 仅针对 32 路 SRAM/L3\$ 中底部的 16 路	是	是	是
	i2187 — MSMC : 将高速缓存大小调整为 0 会刷新标记而不是更新标记	是	是	是
OSPI	i2115 — OSPI : OSPI 引导不支持某些 xSPI 模式或 xSPI 器件	是	否	否
	i2189 — OSPI : 控制器 PHY 调优算法	是	是	是
	i2249 — OSPI : 具有 DDR 时序的内部 PHY 环回和内部焊盘环回时钟模式无法运行	是	是	是
	i2351 — OSPI : 控制器不支持带 NAND 闪存的连续读取模式	是	是	是
	i2383 — OSPI : PHY DDR 模式不支持 2 字节地址	是	是	是
PCIe	i2085 — PCIe : 支持 Gen2 的端点器件始终枚举为 Gen1	是	是	是
	i2086 — PCIe : 配置完成响应数据包中的 MMA 不支持请求 (UR) 或配置请求重试状态 (CRS) 会导致外部中止	是	是	是
	i2094 — PCIe : PCIe 传统中断未使能中断结束 (EOI)	是	是	是
	i2100 — PCIe : 基于端点目标选择属性 (ASEL) 的路由问题	是	是	是
	i2147 — PCIe : RP 针对 ATS 转换请求发送的转换完成类型不正确	是	是	是
	i2152 — PCIe : 如果在非发布命令期间发生链路断开事件, 则可能会导致锁定	是	是	是
	i2153 — PCIe : TS1 数据包中的保留位处理不正确	是	是	是
	i2154 — PCIe : 在 L0 退出期间通道偏斜消除失败	是	是	是
	i2183 — PCIe : 未使用的通道未分配给 PCIe 控制器时链路建立失败	是	是	是
	i2238 — PCIe : 2-L SerDes PCIe 参考时钟输出可能超过 5.0 GT/s 数据速率 RMS 抖动限制	是	是	是
	i2239 PCIe : 在更改数据速率时, 2-L SerDes PCIe 参考时钟输出暂时禁用 —	是	是	是
PLL	i2178 — PLL : 写入 PLL12_CAL_CTRL 寄存器 CAL_IN 字段的数据损坏	是	是	是
	i2424 — PLL 编程序列可能会导致 PLL 不稳定	是	是	是
POK	i2277 — POK : 抗尖峰 (滤波器) 仅基于两个样本	是	是	否
PRG	i2253 — PRG : CTRL_MMR_STAT 寄存器是 POK 阈值失效的不可靠指示器	是	是	是
PRU-ICSSG	i2180 — PRU-ICSSG : 交换机运行期间 FDB 表损坏	是	否	否
PSIL	i2137 — PSIL : 时钟停止操作可能会导致异常行为	是	是	是
	i2138 — PSIL : 配置访问和源线程拆除可能会导致数据损坏	是	是	是

表 1-2. 按模块划分的公告 (续)

模块	公告	受影响的器件修订版本		
		SR 1.0	SR 1.1	SR 2.0
R5FSS	i2099 — R5FSS : 当一个或多个 MPU 区域配置为写入分配模式时, 可能会发生死锁	是	是	是
	i2118 — R5FSS : 锁步模式下的调试访问可能导致故障	是	是	是
	i2129 — R5FSS : VIM 遗漏高优先级中断	是	是	是
	i2132 — R5FSS : 如果使用 VIM 向量接口进行中断处理, 则中断抢占 (嵌套) 不可用	是	是	是
	i2133 — R5FSS : 锁步运行模式无法正常工作	是	否	否
	i2161 — 调试器无法访问处于活动状态的 VIM 模块	是	是	是
	i2162 — R5FSS : 同一个中断无法背靠背嵌套在另一个中断中	是	是	是
	i2164 — R5FSS : 由于挂起的中断接至低电平, 因此未检测到 ECC 注入逻辑中的错误	是	是	是
	i2210 — R5FSS : ATB 刷新请求被抑制		是	是
	i2227 — R5FSS : 错误中断 CCM_COMPARE_STAT_PULSE_INTR 被错误驱动	是	是	是
RA	i2054 — RA : 从 GCFG 区域读取可能导致虚假的 RAM ECC 错误	是	是	是
	i2095 — RA : 窥视尾部返回错误数据	是	是	是
RAT	i2062 — RAT : 即使设置了“错误记录禁用”, 仍会触发错误中断	是	是	是
	i2449 — RAT : R5FSS RAT MMR 未受奇偶校验保护	是	是	是
复位	i2200 — RESET : : TIMEOUT_PER 在编程为 0 值时无效。	是	是	是
RINGACC	i2177 — RINGACC : 环形加速器的调试事务跟踪流可能会被某些环形访问序列损坏	是	是	是
ROM 代码	i2306 — ROM 代码 : 需要关闭 SERDES 中的内部端接电阻器	是	是	是
SA2_UL	i2098 — SA2_UL : 具有第 2 个输入线程的认证/解密操作不会发出 DMA 数据包	是	是	是
2-L 串行器/解串行器	i2171 — 2-L SerDes : 状态变化监测器中断不可用	是	是	是
SGMII	i2362 — SGMII : Marvell PHY 没有忽略前导码字节, 而导致链路故障	是	是	是
STOG	i2121 — STOG : 存在进行中的写入事务时刷新 Gasket 可能会导致写入响应丢失	是	否	否
	i2122 — STOG : 在 Gasket 接收写入响应的同时刷新 Gasket 可能会导致无限期的非空闲状态	是	是	是
	i2123 — STOG : 来自从器件 Gasket 的超时仿真调试写入响应始终返回“成功”	是	是	是
	i2124 — STOG : 读取命令超时可能导致 Gasket 挂起	是	否	否
	i2126 — STOG : 出现两个并发超时或两个并发意外响应时计数错误	是	是	是
	i2127 — STOG : 写入命令超时与 DST 侧上一次接受发生在同一周期时, SRC 侧写入数据总线挂起	是	是	是
UART	i2096 — UART : 使用 DMA 时产生虚假 UART 中断	是	是	是
UDMAP	i2055 — UDMAP : 数据包模式描述符地址空间选择字段限制	是	是	是
	i2143 — UDMAP : TX 通道 SA2UL 拆除问题	是	是	是
	i2146 — UDMA : 强制拆卸位域读回在实时 TX/RX 寄存器中被屏蔽	是	是	是
	i2163 — UDMAP : 在“事件触发”模式下使用时, 如果 ICNT 和/或 src/dst addr 未对齐到 64B, 则 UDMA 传输会失败	是	是	是
	i2168 — UDMAP : 由于 MAIN/MCU NAVSS rofif0_wr_byten 问题而导致的虚假 ECC 错误	是	是	是
	i2320 — UDMA、UDMAP : 描述符和 TR 要求以未碎片化形式返回	是	是	是
	i2234 — UDMA : 如果 ICNT0 小于 64 字节, 则 TR15 挂起	是	是	是
UFS	i2102 — UFS : 自动休眠可能导致误报进入/退出错误	是	是	是
	i2211 — UFS : 休眠退出可能会导致链路重新初始化	是	是	是
USART	i2310 — USART : 错误地清除/触发超时中断	是	是	是
	i2311 — USART : 虚假 DMA 中断	是	是	是

表 1-2. 按模块划分的公告 (续)

模块	公告	受影响的器件修订版本		
		SR 1.0	SR 1.1	SR 2.0
USB	i2050 — USB : 由于端点数据包没有关联的 TRB, 端点 OUT 数据队列被锁定	是	是	是
	i2067 — USB : 在器件模式下从系统存储器读取 TRB 时的争用条件	是	是	是
	i2091 — USB : 2.0 PHY 在接收的信号幅值在同一数据包内多次超过静噪阈值时挂起	是	是	是
	i2092 — USB : 在 SuperSpeed 器件模式下, 等时端点之后端点的 DMA 传输终止无效	是	是	是
	i2093 — USB : 如果在器件模式下的 DMA 传输期间接收到 USB 复位, DMA 将挂起	是	是	是
	i2134 — USB : 2.0 合规性接收灵敏度测试限制	是	是	是
	i2409 — USB : USB2 PHY 由于短暂挂起而锁定	是	是	是
VPAC	i2188 — VPAC、DMPAC : 队列存储器上的 UTC ECC 回写可能会导致 TR 损坏	是	是	是
VTM	i2053 — VTM : 来自片上温度传感器的软件读取可能会损坏	是	是	是
	i2128 — VTM : VTM 温度监测器 (TEMPSENSOR) 应使用软件修整方法	是	是	否
	i2145 — VTM : 使能的中断事件状态寄存器错误地返回原始未掩码值	是	是	是
xSPI	i2257 — xSPI 引导模式冗余映像引导失败	否	是	是

2 命名规则、封装编号法和修订版本标识

2.1 器件和开发支持工具命名规则

为了指明产品开发周期所处的阶段，TI 为所有微处理器 (MPU) 和支持工具的器件型号分配了前缀。每个器件都具有以下三个前缀中的其中一个：X、P 或无 (无前缀) (例如，DRA829JMTGBALFR)。德州仪器 (TI) 为其支持工具推荐使用三种可能的前缀指示符中的两个：TMDX 和 TMDS。这些前缀代表了产品开发的发展阶段，即从工程原型 (TMDX) 直到完全合格的生产器件和工具 (TMDS)。

器件开发进化流程：

- X** 试验器件不一定代表最终器件的电气规格，并且可能不使用生产封装流程。
- P** 原型器件不一定是最终的器件芯片，并且不一定符合最终电气规格。
- 无** 完全合格的器件芯片量产版本。

支持工具开发演变流程：

- TMDX** 还未经德州仪器 (TI) 完整内部质量测试的开发支持产品。
- TMDS** 完全合格的开发支持产品。

X 和 P 器件和 TMDX 开发支持工具在供货时附带如下免责条款：

“开发中的产品用于内部评估用途。”

生产器件和 TMDS 开发支持工具已进行完全特性描述，并且器件的质量和可靠性已经完全论证。TI 的标准保修证书对该器件适用。

预测显示原型器件 (X 或者 P) 的故障率大于标准生产器件。由于这些器件的预期最终使用故障率仍未确定，故德州仪器 (TI) 建议请勿将这些器件用于任何生产系统。请仅使用合格的生产器件。

有关如何读取任何 DRA829 和 TDA4VM 器件完整器件名称的其他信息，请参阅器件特定的数据表 ()。

2.2 支持的器件

本文档支持以下器件：

- DRA829
- TDA4VM

有关所支持器件的参考文档如下：

- J721E DRA829/TDA4VM 处理器技术参考手册 (SPRUIJ7)
- Jacinto™ DRA829 汽车级处理器数据表 (SPRSP35)
- 适用于 ADAS 和自动驾驶汽车的 TDA4VM Jacinto™ 汽车级处理器数据表 (SPRSP36)

2.3 封装编号法和修订版本标识

图 2-1 展示了封装编号法的示例。

表 2-1 列举了器件修订版本代码。

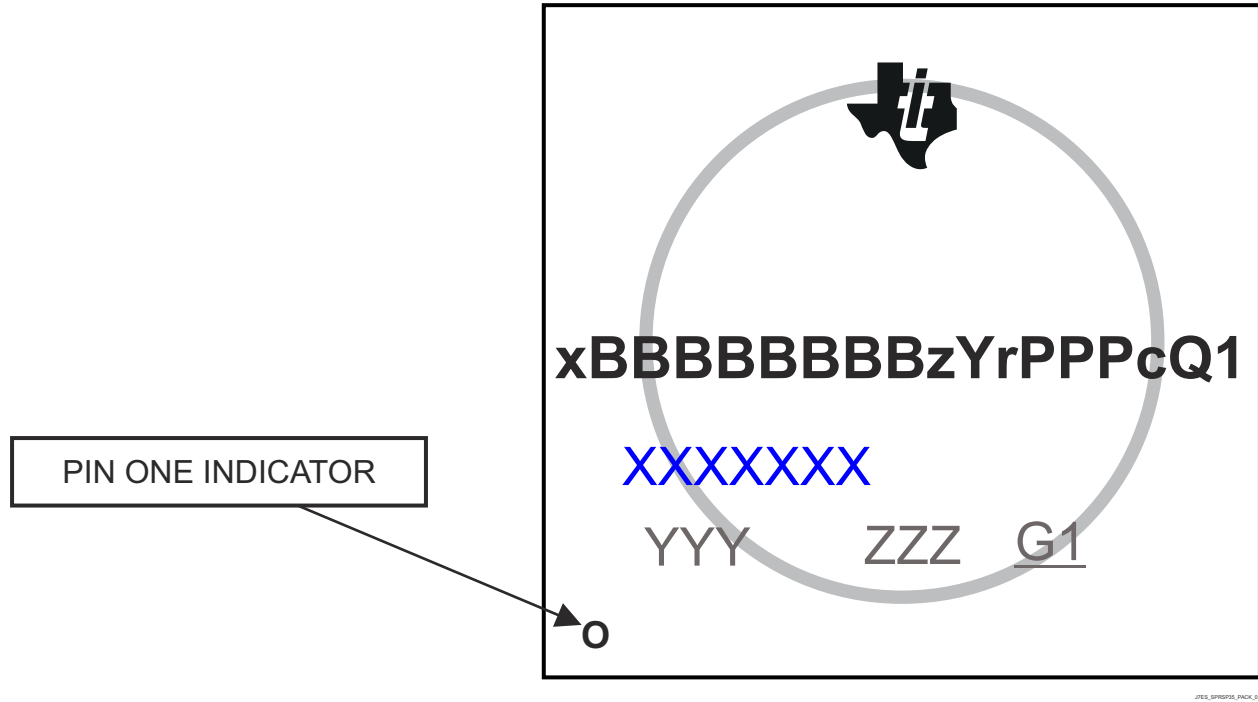


图 2-1. 封装符号

表 2-1. 版本标识

器件修订版本代码	器件修订版本	注释
A 或空白	1.0	
B	1.1	
C	2.0	

3 器件版本 2.0/1.1/1.0 使用说明和公告

本节列出了此器件修订版本的使用说明和公告。

3.1 器件版本 2.0/1.1/1.0 使用说明

此器件版本无已知使用说明。

i2134 ***USB : 2.0 合规性接收灵敏度测试限制***

详细信息：

按照《USB-IF USB 2.0 电气合规性测试规范》中的规定执行接收灵敏度测试 (EL_16 和 EL_17) 可能会引发公告 i2091 中描述的问题。

该问题最初是在使用自动化软件执行这些测试时发现的，该软件会在发送数据包时增加 USB 信号的振幅。在验证被测器件 (DUT) 在振幅低于 100mV 时否定应答所有数据包并在振幅高于 150mV 时不否定应答任何数据包期间，该软件一直从低于 100mV 的振幅扫描到高于 150mV 的振幅。但是，如公告 i2091 中所述，在发送有效数据包时，增加振幅超过静噪阈值可能会锁定 PHY。

权变措施：

可能需要手动执行接收灵敏度测试，方法是将其分为两部分。第一部分开始时与前面所述相同，初始振幅设置为低于 100mV 的值，验证在增加振幅直到达到 100mV 的过程中 DUT 否定应答所有数据包。在测试的另一部分开始时，将振幅设置到 150mV 以上，验证在降低振幅直到达到 150mV 的过程中 DUT 不否定应答任何数据包。这就确认了静噪阈值介于 USB 规范要求的 100mV 和 150mV 之间，而不用扫描超过静噪阈值的振幅，从而有可能锁定 PHY。

i2330 ***DDRSS 寄存器配置工具更新***

详细信息：

DDR 寄存器配置工具根据系统级详细信息提供自定义寄存器设置，例如 DDR 器件的架构 (密度、数据宽度、列数)、工作频率以及通过电路板仿真确定的 IO 设置。经过一段时间，可能会对该工具进行更新，以支持新的器件和/或特生，修复该工具中发现的问题，最重要的是，详细解释勘误表中的权变措施或寄存器计算的最新更新，从而提升性能、信号完整性或信号之间的时序关系。

权变措施：

为了确保根据经验教训正确设置参数并降低出现功能故障的风险，应始终使用最新的 DDR 寄存器配置工具生成寄存器值。由于 DDR 寄存器配置工具可以定期更新，因此应查看和评估该工具的修订历史记录，以确定工具更改是否适用于现有系统。如果适用，应适当更新现有系统的配置。可以在 <http://dev.ti.com/sysconfig> 上找到该工具的最新版本，并且对于正在使用的适用器件，选择“Software Product”下拉列表中的“DDR Configuration”。

i2453 ***C7x : SR2.0 上的 LBIST MISR 已更改***

详细信息：

如果在软件中使用 C7x LBIST，则与 SR1.x 相比，SR2.0 的预期 MISR 签名会有所不同。SR1.x 和 SR2.0 预期的 MISR 如下所示：

- SR1.x 预期 MISR = 0xCC08B144
- SR2.0 预期 MISR = 0xA95C8410
- 此更改作为补丁提供，标题为“C7x MISR Update ES2.0”

其他 LBIST MISR 已经过审查，SR1.x 与 SR2.0 保持一致。

i2453 (续)
C7x : SR2.0 上的 LBIST MISR 已更改

更改的原因是 J721E SR2.0 包括了对 C7x 中的电源睡眠控制器 (PSC) 逻辑的更改，允许“强制”复位。

- 此更改旨在实现“软件透明”，仅用于调试。不建议在软件中使用该位，也不要要求在软件中实现。
- 此更改导致预期的 MISR 模式发生变化。

权变措施： 软件应根据器件版本使用适当的 MISR 值。

3.2 器件版本 2.0/1.1/1.0 公告

i2024
MMC/SD 外设不支持 HS400

详细信息： MMCSD 外设不支持多媒体卡 HS400 模式。

权变措施： 无。

i2038
引导：当根块位于在多个簇中时 FAT16 失败

详细信息： 如果 FAT16 文件系统为引导块使用了多个簇，则引导 ROM 将无法在该文件系统上找到引导文件。如果引导文件不在第一个簇上，则引导失败。使用 Ubuntu 创建小型 FAT16 分区时已观察到这种情况。在这种情况下，簇大小为 4K 字节，因此只有 128 个条目位于第一个根簇中（每个目录条目为 32 字节）。如果引导文件位于文件索引 128 或之后（最大大小通常设置为 512），则 ROM 将无法找到该引导文件。

权变措施： 使用 FAT32 分区而非 FAT16 分区。

i2048
FSS : MCU_FSS0_WRT_TYPE 寄存器日志记录错误

详细信息： 使用具有嵌入式 ECC 的块方法对闪存进行编程时，任何并非完整 32 字节块量的事务都会发生 FSS 错误。

写入错误报告堆栈未正确连接到 ECC 错误堆栈。

MCU_FSS0_WRT_TYPE[12] WRT_ERR_ADR = ECC 错误堆栈顶部 (DED 位)

MCU_FSS0_WRT_TYPE[13] WRT_ERR_BEN = ECC 错误堆栈顶部 (SEC 位)

MCU_FSS0_WRT_TYPE[11-0] WRT_ERR_ROUTEID = ECC 错误堆栈顶部

({MCU_FSS0_ECC_BLOCK_ADR[7-0] ECC_ERROR_BLOCK_ADDR、
MCU_FSS0_ECC_TYPE[5] ECC_ERR_ADR、MCU_FSS0_ECC_TYPE[4]
ECC_ERR_MAC、MCU_FSS0_ECC_TYPE[3] ECC_ERR_DA1、
MCU_FSS0_ECC_TYPE MCU_FSS0_ECC_TYPE [2] ECC_ERR_DA0})

如果任何 ECC 错误事件已处理，则 MCU_FSS0_WRT_TYPE 寄存器的 WRT_ERR_ADR、WRT_ERR_BEN 和 WRT_ERR_ROUTEID 位字段为零。

i2048 (续) **FSS : MCU_FSS0_WRT_TYPE 寄存器日志记录错误**

权变措施： 无。

i2049 **ECC_AGGR : 由于出现挂起的 ECC 聚合器中断, IP 时钟停止/复位序列可能挂起**

详细信息：

ECC 聚合器模块用于聚合发生的安全错误 (这种情况很少见) 并产生中断以通知软件。ECC 聚合器通过软件控制安全错误中断的启用/禁用和清除。

当软件对 IP 执行时钟停止/复位序列时, 该序列可能无法完成, 因为该 IP 关联的 ECC 聚合器实例不是空闲的。ECC 聚合器空闲状态取决于挂起的任何安全错误中断, 这些中断要么启用, 要么禁用, 并且未被软件清除。因此, 如果有任何挂起的安全错误中断未被清除, IP 的时钟停止/复位序列可能永远不会完成 (挂起)。

受影响的 ECC_AGGR 可通过技术参考手册 (TRM) 中为其 REV 寄存器 (寄存器偏移 0h) 列出的值来确定。REV 寄存器在其字段中对 ECC_AGGR 版本进行编码, 如下所示:

v[REVM AJ].[REVM IN].[REVR TL]

v2.1.1 之前的 ECC_AGGR 版本会受到影响。ECC_AGGR 版本 V2.1.1 和更高版本不受影响。

受影响的示例:

REVM AJ = 2

REVM IN = 1

REVR TL = 0

上述值会解码为受到影响的 ECC_AGGR 版本 v2.1.0。

不受影响示例:

REVM AJ = 2

REVM IN = 1

REVR TL = 1

上述值会解码为不受影响的 ECC_AGGR 版本 V2.1.1。

权变措施：

一般说明:

功能安全用例中不支持对 ECC 聚合器执行时钟停止。

对于非功能安全用例, 软件应使用以下权变措施:

1. 为 IP 启用所有 ECC 聚合器中断
2. 处理并清除所有挂起的中断
3. 第 3 步:
 - a. 禁用 ECC 聚合器的所有中断源, 然后执行时钟停止/复位序列。
 - b. 执行时钟停止/复位序列, 同时继续处理/清除挂起的中断。

由于中断属于外部刺激, 软件为第 3 步提供了两种选项:

1. 在执行时钟停止/复位序列之前, 禁用所有可以产生挂起 ECC_AGGR 中断的中断源 (EDC CTRL 校验器)

i2049 (续)
ECC_AGGR : 由于出现挂起的 ECC 聚合器中断, IP 时钟停止/复位序列可能挂起

2. 继续处理/清除发生的挂起中断, 同时执行时钟停止/复位序列。当清除完所有中断除时, 该序列将继续进行。

通常, 软件可能需要检测在整个这一序列期间持续触发的挂起中断 (例如, 在卡滞故障情况下), 并禁用其关联的 EDC CTRL 安全校验器, 使得时钟停止/复位序列可以继续进行直到完成。

i2050
USB : 由于端点数据包没有关联的 TRB, 端点 OUT 数据队列被锁定

详细信息 :

USB 器件控制器将 USB 总线上收到的端点 OUT 数据存储在队列数据结构中。如果拥有该数据的端点存在可用的传输请求块 (TRB), 该控制器会将数据从队列传输到系统存储器。但是, 如果 TRB 对此端点不可用, 则数据将保留在队列中, 并阻止队列中的后续数据传输到系统存储器。即使拥有后续数据的端点有可用的 TRB, 也会发生这种情况。

一个可能受此问题影响的已知应用场景是: ACM 类与 MSC 等其他类组合使用的复合器件。众所周知, ACM 类驱动器可在没有 TRB 的情况下长时间运行。如果其他类在 ACM 类之后接收数据, 则其可能会滞留在队列中, 直到 ACM 类驱动器提供其 TRB。对于不提前提供 TRB 或在接收数据后可能长时间不提供 TRB 的类, 通常都可以观察到这一问题。

权变措施 :

当数据接收到没有 TRB 的端点的队列中时, 控制器会生成 IRQ[6] 中断。该寄存器的相应中断状态位在 EP_STS 寄存器中称为 TRBERR。软件可能会使用该中断为阻塞的端点提供 TRB。如果并非立即需要该数据, 则软件必须配置 TRB, 以便将数据从该队列传输到系统存储器的临时缓冲区。系统存储器中的数据可以稍后使用。

i2052
CSI : CSI-Rx 到 CSI-Tx 的重新发送路径不可用

详细信息 :

CSI_TX_IF 模块无法识别输入数据中的消隐。鉴于所有传感器预计都具有消隐功能, 因此无法使用 CSI_RX_IF 模块和 CSI_TX_IF 模块之间的重新发送路径。

图 3-1 显示了 CSI_RX_IF 方框图。

i2052 (续)

CSI : CSI-Rx 到 CSI-Tx 的重新发送路径不可用

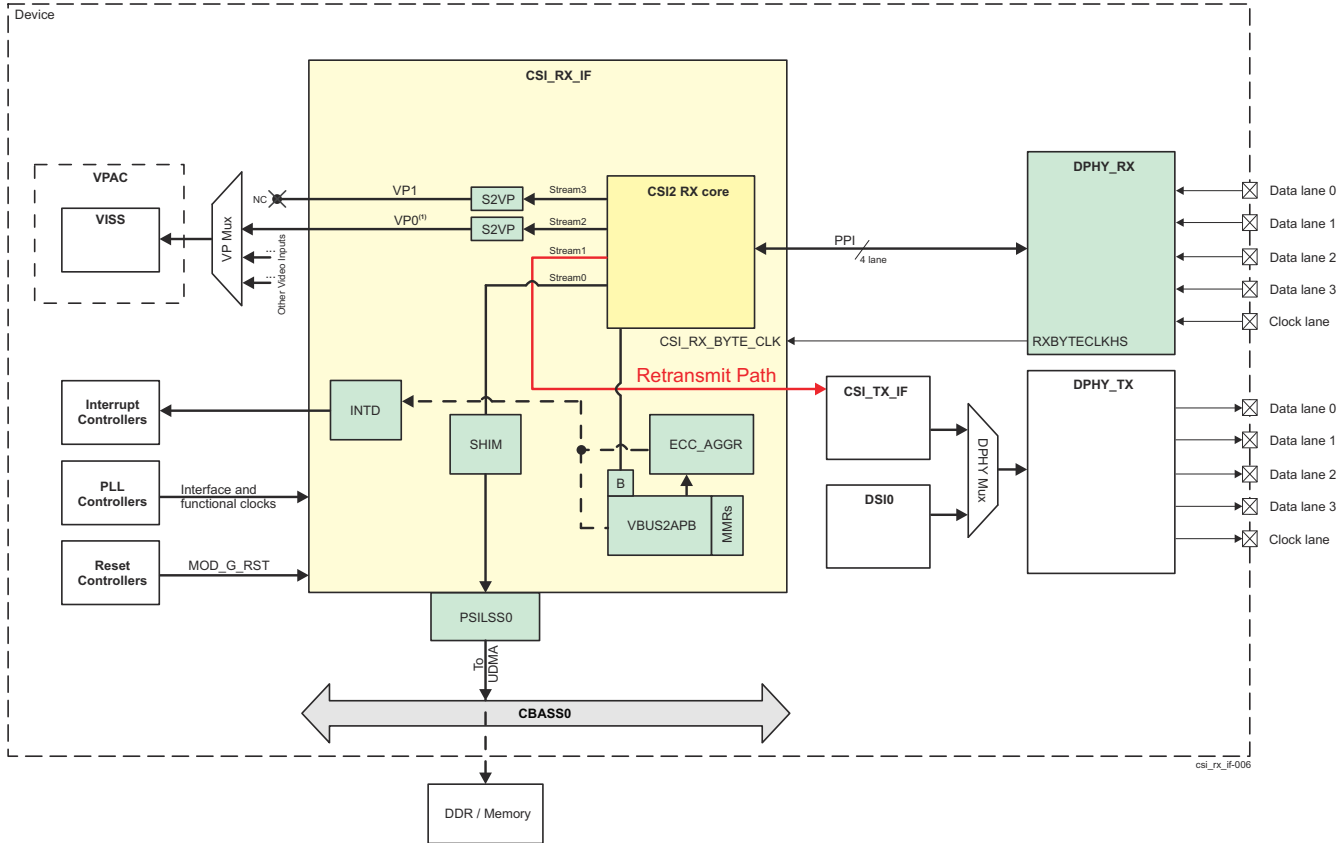


图 3-1. CSI_RX_IF 方框图

权变措施：

通过内部或外部存储器循环数据：

- 第 1 步：通过 UDMA-P 将从 CSI_RX_IF 采集的数据发送到存储器。
- 第 2 步：使用 CSI_TX_IF 通过 UDMA-P 读取数据并输出到外部器件。

i2053

VTM : 来自片上温度传感器的软件读取可能会损坏

详细信息：

可以在软件中读取 WKUP_VTM_TMPSENS_STAT_j[9-0] DATA_OUT 寄存器，以确定 SoC 上“j”个片上温度传感器各自的最近采样温度。如果读取刚好在温度样本更新的相同周期内发生，则读取数据有可能会由于时钟域之间的重新同步不正确而损坏。

权变措施：

软件应从 WKUP_VTM_TMPSENS_STAT_j[9-0] DATA_OUT 寄存器执行三次读取。然后，软件应根据彼此最接近两个样本的平均值计算要使用的温度。

软件伪代码如下：

```
#define abs(x) (((x)<0)?-(x):(x))
unsigned int get_best_value(unsigned int s0, unsigned int s1, unsigned int s2)
{
    int d01 = abs(s0 - s1);
    int d02 = abs(s0 - s2);
    int d12 = abs(s1 - s2);

    // if delta 01 is least, take 0 and 1
    if ((d01 <= d02) && (d01 <= d12)) {
        return (s0+s1)/2;
    }
}
```

i2053 (续)**VTM : 来自片上温度传感器的软件读取可能会损坏**

```

    }
    // if delta 02 is least, take 0 and 2
    if ((d02 <= d01) && (d02 <=d12)) {
        return (s0+s2)/2;
    }
    /* in all other cases, take 1 and 2 */
    return (s1+s2)/2;
}

unsigned int get_temp()
{
    unsigned int s0,s1,s2;
    s0 = Read WKUP_VTM_TMPSENS_STAT_j[9-0] DATA_OUT;
    s1 = Read WKUP_VTM_TMPSENS_STAT_j[9-0] DATA_OUT;
    s2 = Read WKUP_VTM_TMPSENS_STAT_j[9-0] DATA_OUT;
    return get_best_value(s0,s1,s2);
}

```

i2054**RA : 从 GCFG 区域读取可能导致虚假的 RAM ECC 错误****详细信息 :**

读取环形加速器 (RA) 全局配置区域 (GCFG) 可能会导致以非法地址读取 RAM。这会导致 RAM 读取随机数据, 从而无法通过 RAM ECC 校验。此情况将导致创建日志和中断。由于数据本身并未被使用, 因此不会导致功能故障, 但该中断会使其表现为 RAM 故障。

备注

这仅影响 MCU NAVSS RA, 因为 MAIN NAVSS RA 有对齐的大小, 因此不存在非法的 RAM 地址。

权变措施 :

处理 MCU NAVSS RA 的 RAM ECC 中断的软件可以检查日志寄存器中的地址, 如果该地址超出 RAM 的限制 (即 RA 支持的环数), 则忽略该错误。软件只需清除该错误即可。

i2055**UDMAP : 数据包模式描述符地址空间选择字段限制****详细信息 :**

UDMAP 用于执行多种不同类型的数据传输, 包括块复制和数据包模式。

数据包模式传输设计为在应用需要支持真实、无限片段计数散射/收集类型操作时使用。

基础设施使用数据包描述符的地址空间选择字段作为标识符, 以缺洞此特定存储器区域位于哪个地址空间。地址空间 0 是给定器件的默认统一地址空间。地址空间 1-15 用于备用地址映射, 这些映射可能位于器件外部 (PCIe/Hyperlink), 也可能位于大型器件的其他“块”中。

建议使用软件, 以避免在仅数据包模式传输中使用的描述符中有非零地址空间选择值。UDMAP 支持的块复制和其他传输类型不受影响。

在数据包模式传输下使用非零地址空间选择值可能会导致意外的存储器访问。

权变措施 :

建议使用软件, 以避免在数据包模式传输中使用的描述符中有非零地址空间选择值。

在数据包模式传输下使用非零地址空间选择值可能会导致意外的存储器访问。

i2062

RAT : 即使设置了“错误记录禁用”，仍会触发错误中断

详细信息：

如果对 RAT 错误记录进行编程以禁用记录并启用中断，则错误将错误地触发中断，但错误日志寄存器不会正确更新。错误中断不应产生。

权变措施：

如果禁用 RAT 错误记录，则错误中断也应由软件禁用。

i2063

C71x : 对 IBUF 缓冲区中最后一行的非对齐访问不支持 CPU 负载和存储的 VCOP 别名

详细信息：

除了通过流引擎进行的 DMA 和访问之外，C71x 存储器系统还支持针对 CPU 加载和存储的 EVE 式 VCOP 别名处理。支持此别名处理时，在某些配置中，非对齐加载并存储到 IBUF 缓冲区中的最后一行（128 字节）可能不会进行别名处理。

表 3-1 显示了实际行为。

表 3-1. CPU 别名处理行为

CPU 别名处理开启					
	IBUFLA	IBUFHA	IBUFLB	IBUFHB	L1D 操作
所属	CPU	CPU	DMA	DMA	无问题
	DMA	DMA	CPU	CPU	无问题
	DMA	CPU	CPU	DMA	请参阅 (1)
	CPU	DMA	CPU	DMA	请参阅 (2)

(1) 如果对 IBUFLA 中的最后一行（该行溢出到 IBUFHA 中）进行非对齐访问，则两行都会进行别名处理。

(2) 如果对 IBUFLA 中的最后一行（该行溢出到 IBUFHA 中）进行非对齐访问，则两行不会进行别名处理。

权变措施：

应调整 IBUF 缓冲区的大小，以不使用所有四个缓冲区的最后一行（128 字节）。

i2064

C71x : 在特定条件下，如果存在高速缓存模式变更或全局回写，则 DMA 对 L1D SRAM 的访问可能会无限期停止

详细信息：

DMA 对 L1D SRAM 的读取或写入可能会无限期停止。需要进行以下事务才会触发此情况：

1. L1D 高速缓存模式变更或全局回写/回写并使其失效。这些操作通过对 CPU 寄存器的 ECR 写入启动。
2. CPU 在高速缓存模式变更或全局回写正在进行时加载。这可能是由于 CPU 事务与写入 ECR 寄存器的 MOVC 指令并行调度所致。
3. DMA 读取或写入 L1D SRAM 中的缓冲区。

这些事务不需要发送到同一地址，但当 #1 正在进行时，#2 和 #3 必须也在进行中。在这种情况下，即使在高速缓存模式变更或全局回写完成后，DMA 也会无限期停止。

权变措施：

避免对映射到 L1D SRAM 的缓冲区执行 DMA。

i2065

C71x : 存在 L1D 窥探时 C71x 存储器系统和 CPU 可能会无限期停止

详细信息：

这些是需要较短时间窗口内发生的事务和条件。

i2065 (续)
C71x : 存在 L1D 窥探时 C71x 存储器系统和 CPU 可能会无限期停止

事务：

1. 流引擎读取到 MSMC 或 DDR，这些读取操作未命中 L2 高速缓存，并作为读取发送到 MSMC 以进行行填充。
2. 流引擎读取到 MSMC 或 DDR，这些读取操作未命中 L2 高速缓存，但可在 L1D 中缓存。这些读取会生成对 L1D 的窥探。
3. CPU 加载未命中 L1D，且 L1D 会将其发送到 L2 以进行高速缓存行填充（多次读取）。
4. CPU 加载或存储会导致 L1D 从其高速缓存中逐出行，从而产生 L2 牺牲缓存行（多个牺牲缓存行）。
5. L1D 使用窥探数据响应窥探。
6. MSMC 使用读取响应数据响应 L2 未命中。
7. 来自 L1D (#5) 的窥探响应和来自 MSMC (#6) 的读取响应正在路由到流引擎。

条件/停止：

1. L1D 牺牲缓存行和窥探响应会填满整个 L1D 管道以及 L1D 和 L2 中的缓冲区，从而导致 L1D 无法再向 L2 发送更多牺牲缓存行或窥探响应。
2. L2 正在处理来自 L1D 的读取未命中，但由于 L1D 管道已满，无法再将更多读取响应数据发送回 L1D。

在这种情况下，存储器系统停止为流引擎读取提供服务。这可能会导致 CPU 无限期停止。

权变措施：

有多种方法可以避免这种情况。删除任何一个事务都可以阻止发生这种停止。可以使用以下任何权变措施。这些权变措施相互独立，即使应用一种权变措施也可以避免这种情况。

权变措施 1： 在从流引擎读取之前，刷新 L1D 高速缓存的缓冲区，从而消除 L1D 窥探。

权变措施 2： 通过不在 L1D 和流引擎之间共享缓冲区来防止 L1D 窥探。

权变措施 3： 刷新 L1D 牺牲缓存即可防止出现 L1D 牺牲缓存行。

权变措施 4： 将流引擎读取或 CPU 加载映射到 L2，而不是 MSMC 或 DDR，从而避免高速缓存未命中。

i2067
USB : 在器件模式下从系统存储器读取 TRB 时的争用条件
详细信息：

以下序列将确保不传输过时的数据：

1. 软件需要将 TD 中的初始 TRB 标记为无效（周期位指向软件所有权）。
2. 软件需要在 TD 中准备所有其他 TRB
3. 软件将推迟将 TD 中的初始 TRB 设置为有效，直到 DMA 完成现有 TD 中的所有 TRB 的传输。软件等待 IRQ[6] 中断并设置 TRBERR 标志，然后再将该 TRB 标记为有效（更改周期位以指示硬件所有权）。

权变措施：

USB 器件控制器使用 12 字节传输请求块 (TRB) 数据结构，用于在系统存储器中形成传输环。TRB 包含指向存储器中数据缓冲区的指针，其中包含要通过 USB 传输的数据或存储通过 USB 接收的数据的位置。传输环管理使用生产者-使用者模型，其中软件是生产者，而控制器是使用者。TRB 的所有权通过 TRB 内的“周期”位字段在软件与硬件之间转移。软件将 TRB 写入存储器和硬件从存储器中读取 TRB 的操作预期即为原子操作。

i2067 (续)

USB : 在器件模式下从系统存储器读取 TRB 时的争用条件

出现该问题是因为控制器使用两个独立的 DMA 事务 (8 字节事务, 后跟 4 字节事务) 从系统存储器读取 TRB。因此, 控制器的 TRB 读取操作并非原子操作。如果软件写入 TRB 发生在硬件读取前 8 个字节后, 则可能会导致 IN 事务中的数据传时, 并在 OUT 事务时向软件提供过时的数据。

“周期”位是最低有效位, 由控制器在第二次 DMA 传输中读取。存在争用条件的原因是软件写入可能会交错在两个读取事务之间。以下事件顺序可能会导致 USB 总线上的数据传输损坏:

1. 控制器读取 TRB 的 8 个最高有效字节。此 TRB 中的数据缓冲区指针可能是旧指针。
2. 软件以原子方式写入 12 字节 TRB。这会将 TRB 中的数据缓冲区指针更新为新位置。
3. 控制器读取 TRB 剩余的 4 个字节。由于周期位在上一步中由软件更新, 因此即使数据缓冲区指针不正确, 控制器也将其视为有效的 TRB。

该问题仅影响器件模式。

i2079

C71x : 在特定条件下, 如果存在 CPU 流量, 则 DMA 对 L1D SRAM 的访问可能会无限期停止

详细信息:

DMA 对 L1D SRAM 的读取或写入可能会无限期停止。需要进行以下事务才会触发此情况:

1. 缓冲区/行“A”之前已分配在 L1D 高速缓存中。
2. CPU 读取缓冲区/行“A”时未命中 L1D 高速缓存。
3. 流引擎读取缓冲区/行“A”。
4. DMA 读取或写入 L1D SRAM 中的缓冲区。

请注意, 事务#1、#2 和 #3 针对同一缓冲区/行, 而 #4 针对不同缓冲区/行。这可能会遇到导致 DMA 无限期停止的情况。

权变措施:

避免对映射到 L1D SRAM 的缓冲区执行 DMA。

i2081

引导: 每种引导模式的 ROM 代码最大超时值是 TRM 原始超时值的一半

详细信息:

每种引导模式在 ROM 代码中实现的最大超时是原始超时值的一半。例如, 在 UART 引导模式下, 最大超时记录为 120s; 而在器件上, 实际超时为 60s。

该问题适用于所有引导模式实现的所有超时值。

这会影响到 UART 引导时 ROM 代码下载的最大映像大小; 目前其支持引导最大 300KB 的映像。

权变措施:

无。对于 UART 引导, ROM 代码仅支持引导最大 300KB 的映像。

i2083

CPTS : GENF (和 ESTF) 重新配置问题

详细信息:

在先前配置过 GENF/ESTF 功能后对其进行重新配置会出现问题。问题详细信息:

i2083 (续)**CPTS : GENF (和 ESTF) 重新配置问题**

如果在 GENF 输出为逻辑一时进行 GENF 重新配置，则重新配置比较时间将为半计数而不是全计数，并且 GENF 输出将关闭 1/2 个周期。进行重新配置时，如果 GENF 输出为逻辑零，则重新配置的周期将正确。

权变措施：

GENF 重新配置只能在 SOC 硬件复位后进行。

i2085**PCIe : 支持 Gen2 的端点器件始终枚举为 Gen1**

详细信息：

当支持 PCIe Gen2 端点 (EP) 连接到配置为根端口 (RP) 的 SoC 时，RP 无法在 Gen2 模式下枚举，并且始终回退到 Gen1 模式，即使在链路两端均使能自主速度变化也是如此。

权变措施：

链路达到 L0 状态后，软件可以通过设置 PCIe RP 中的 PCIE_CORE_LM_I_LINKWIDTH_CONTROL_REG[31] EPLSCL 位来启动链路重新训练。这将强制 RP 重新枚举并达到 Gen2 速度。

i2086**PCIe : 配置完成响应数据包中的 MMA 不支持请求 (UR) 或配置请求重试状态 (CRS) 会导致外部中止**

详细信息：

当 PCIe 根端口 (RP) 枚举 PCIe 多功能端点 (EP) 器件或 PCIe 交换机时，EP 可能会通过不支持请求 (UR) 或配置请求重试状态 (CRS) 响应从 RP 读取的配置。当 RP 尝试访问 EP 中不存在的总线器件功能 (BDF) 资源时，将返回 UR 响应。在枚举过程中，这种类型的配置访问和 UR 响应是预期行为。来自 EP 的 UR 和 CRS 响应会导致 PCIe RP 中的总线错误，从而导致 CPU 的数据中止。

权变措施：

可以使用以下权变措施之一：

1. 对于支持备用路由 ID (ARI) 功能的多功能 EP 器件，软件可通过使用 ARI “下一功能” 字段 (该字段指向器件中的下一项物理功能) 避免扫描不存在的功能。这将阻止在枚举过程中收到来自 EP 器件的 UR 响应。
2. 在枚举过程中，可以使用 DMA 代理配置空间事务，而非由 CPU 直接发出。

i2087**C71x : MMA HWA_STATUS 在应用程序启动之前报告错误**

详细信息：

由于内部状态未初始化，C71x 处理器所搭载的矩阵数学加速器 (MMA) 在上电后，可能会在 HWA_STATUS 寄存器的 FirstErrorCode 与 LastErrorCode 字段中上报错误。由于这些字段是粘滞字段，任何后续的 HWARCV 指令都可能会引发 C71x 异常。

权变措施：

上电后，在首次执行正常 MMA 操作前，可通过 C71x 处理器运行一段简短指令序列，完成 MMA 内部状态初始化。仅需执行一次该指令序列。

该序列会生成有效的 HWA_CONFIG 和 HWA_OFFSET 值并将其加载到 MMA 中，随后清除粘性错误码。

i2087 (续)

C71x : MMA HWA_STATUS 在应用程序启动之前报告错误

以下为 C71x 汇编语言编写的指令序列：

```

PROT
MVK32 .M2 0x0,B0 ; clear low word of VB0
VDUPW .C2 B0,VB0 ; duplicate word across VB0
HWAOPEN .L2 VB0,VB0,0 ; clear HWA_CONFIG and HWA_OFFSET
HWACLOSE .S1 0 ; clear any error conditions
  
```

i2090

MMCSDB : MMCSDB1 和 MMCSDB2 速度问题

详细信息：

由于输出 DAT 和 CMD 路径上的时序问题，MMC1/2 在 SDR104 (200MHz SDR) 处的数据读取和写入操作失败。这会导致在 SDR104 模式下发出错误的数，并将正确的 MMC1/2 数据读取和写入操作限制为 100MHz 时钟频率。

权变措施：

对 MMC1 和 MMC2，将执行数据操作时的时钟频率降至 100MHz。

i2091

USB : 2.0 PHY 在接收的信号幅值在同一数据包内多次超过静噪阈值时挂起

详细信息：

USB 2.0 PHY 在接收器上实现一条静噪检测电路，以确保在总线空闲时噪声不会被视为有效数据。当 DP/DM 差分信号幅值小于静噪阈值时，静噪电路通过禁用接收器输出来阻止无效数据。

如果在同一数据包内 DP/DM 差分信号幅值在一小段时间内下降至静噪阈值以下并且再次升高到静噪阈值以上，PHY 可能会挂起。如果 DP/DM 差分信号幅值在两个数据包之间的空闲时间内超过静噪阈值，则不会发生该问题。

权变措施：

通过确保在有效数据传输期间施加到接收器输入的 DP/DM 差分信号幅值保持在静噪阈值以上，可以避免该问题。

i2092

USB : 在 SuperSpeed 器件模式下，等时端点之后端点的 DMA 传输终止无效

详细信息：

来自主机的超高速等时 OUT 事务使用“最后一个数据包标志” (LPF) 字段指示当前数据包是此服务时间间隔的最后一个数据包。DMA 使用此标志停止处理当前服务时间间隔内该端点的传输描述符。

硬件错误会导致将 LPF 错误地应用于接收 LPF 设置的等时端点之后获得服务的端点。这会导致 DMA 对后续端点的传输描述符处理终止无效。因此，这些端点的每个传输描述符中仅处理一个 TRB。后续端点可以是任何类型，包括控制 (EP0) 或批量。此问题违反了处理传输描述符的规则。

此问题没有权变措施。因此，不支持 SuperSpeed 器件模式的等时 OUT 端点。

权变措施：

无。

i2093
USB：如果在器件模式下的 DMA 传输期间接收到 USB 复位，DMA 将挂起
详细信息：

USB 控制器包含一个 DMA 主器件端口，用于在系统存储器之间传输数据。如果在 DMA 传输处于活动状态时接收到总线复位（对超高速器件进行 2.0 复位或温复位/热复位），则该 DMA 主器件端口可能无法正确终止传输。这可能会锁定 DMA 主器件。

USB 主机可发出 USB 2.0 总线复位或超高速温复位/热复位，以响应 USB 器件的异常操作。USB 主机将首先尝试通过事务重试从错误情况（例如数据包中的 CRC 错误）恢复，然后再发出复位。在此期间，控制器中的 USB 数据缓冲区将暂时不可用于新 DMA 传输。这为完成待处理的 DMA 传输提供了机会。以下方面会影响 DMA 处于活动状态时接收复位的概率：

- 主机检测器件异常行为所需的时间。
- 主机重试事务所需的时间，以及器件响应重试所需的时间。
- 主机发起复位信号传输所需的时间。
- 器件完成所有可用片上缓冲区的待处理传输所需的时间。

如果系统延迟极高，则可能会在 DMA 传输仍在进行或待处理时接收到复位。

该问题会影响所有速度，但发生概率非常低。

该问题仅影响器件模式。

权变措施：

以下两个选项可用于从这种不太可能发生的情况中恢复。发生 DMA 锁定后，需要进行 USB 子系统复位才能恢复。

选项 1：使用其他系统级机制来检测锁定并复位 USB 子系统。如果 DMA 在复位后锁定，主机将无法枚举该器件。主机可再次重试复位该器件，但后续重试将失败，因为总线复位不足以从 DMA 锁定中恢复。枚举失败后，主机软件必须将问题提交到系统层面，以便可以使用备选机制将锁定情况传递给器件。

选项 2：以下软件权变措施可用于检测 DMA 锁定和复位子系统。以下是权变措施程序。

1. 当总线复位后发生第一个描述符缺失中断时，软件会检查 AXI 是否空闲。可通过读取 DMA_AXI_CAP 寄存器中的 AXI_IDLE MMR 位来检查 AXI 状态。如果 AXI 空闲，软件将继续执行步骤 2。如果 AXI 未空闲，软件将继续执行步骤 6。
2. 按照以下步骤启动虚拟 DMA 传输。
 - 配置虚拟 IN1 端点。
 - 为 IN1 准备 TRB 和数据包。为该传输使能完成中断 (IOC)。
 - 触发 IN1 的门铃
 - 启动 T2 计时器，其中 $T2 < 50ms$ 。如果 DMA 未挂起，建议的 T2 时间为 40ms，以便 DMA 有足够的时间完成虚拟传输
3. 等待 IOC 中断。如果接收到 IOC 中断，则继续执行步骤 3。如果 T2 计时器到期且未收到 IOC，则继续执行步骤 6。
4. 通过读取控制器寄存器空间中的 BUF_ADDR、BUF_DATA 和 BUF_CTRL MMR，检查 IN1 数据是否正确。如果数据正确，则继续执行步骤 5。如果数据不正确，则继续执行步骤 6。
5. 如果到达此步骤，则 DMA 主器件不会挂起。软件可以继续执行进一步的编程，为 SETUP 数据包提供服务。可以退出权变措施流程。
6. 如果到达此步骤，则 DMA 主器件会挂起。软件执行以下步骤以从挂起中恢复 USB 子系统：
 - 强制器件断开连接。
 - 启动 T1 计时器，其中 $T1 \geq 200ms$ 。T1 需要大于 200ms，主机才能识别到器件断开连接。如果系统可以承受更长的停机时间，则可以使用更高的 T1 延迟。在极罕

i2093 (续)

USB : 如果在器件模式下的 DMA 传输期间接收到 USB 复位, DMA 将挂起

见的情况下, 此延迟后的任何 USB 传输仍处于挂起状态, 复位子系统可能会锁定系统总线并导致芯片完全复位。较高的 T1 延迟提供更多的时间等待任何待处理的系统总线传输完成。

- 软件使用相应的 LPSC 发起 USB 子系统的强制复位。
- 等待直至 T1 计时器到期。
- 按照上电复位后在器件模式下设置 USB 所执行的相同步骤, 重新启动 USB 子系统。

i2094

PCIe : PCIe 传统中断未使能中断结束 (EOI)

详细信息 :

PCIe 端点 (EP) 可以通过发出 ASSERT_INTx/DEASSERT_INTx 消息, 在 PCIe 根端口 (RP) 处发出传统中断信号。ASSERT_INTx 消息会使 PCIe RP 控制器边界处的电平输出信号变为高电平, 而 DEASSERT_INTx 消息会使相同的输出信号变为低电平。控制器的该电平输出信号将转换为脉冲, 以便向 SoC 中断控制器发出中断信号。

如果有待完成的工作, EP 可以发出单条 ASSERT_INTx 消息并将 RP 控制器的电平输出保持为高电平, 而不会发出 DEASSERT_INTx 消息。中断逻辑中的中断结束 (EOI) 功能用于通过保持置为有效的电平信号重新触发 SoC 中断控制器的脉冲中断。PCIe 传统中断未使能 EOI 功能。这将导致即使 PCIe RP 的电平输出信号保持置为高电平, 也仅向 SoC 中断控制器发送单个脉冲中断。

由于此问题, 如果连接到此 RP 的 EP 无法保证每个中断事件的 DEASSERT_INTx 消息, 则无法在 RP 模式下使用传统中断。

权变措施 :

PCIe EP 可以使用 MSI/MSI-X 向 PCIe RP 发出中断信号, 以替代传统中断。

i2095

RA : 窥视尾部返回错误数据

详细信息 :

环形加速器 (RA) 的从尾部窥视功能无法正常工作。RA 将读取错误的位置而不是尾部元素, 因此数据将与实际尾部元素不匹配。

权变措施 :

用户不应使用此功能, 因为其不可靠, 且没有权变措施。

i2096

UART : 使用 DMA 时产生虚假 UART 中断

详细信息 :

当使能 DMA 模式 (UART_FCR[3] DMA_MODE) 并使用 DMA 从 RX FIFO 读取数据时, 可能会发生虚假 UART 中断。中断控制器会标记已发生的 UART 中断; 但关联的 UART_IIR_UART[0] IT_PENDING 位保持置为 1, 表示没有待处理的中断。

权变措施 :

每次发生时应答虚假中断。通过使用 UART_IER_UART[0] RHR_IT 位禁用接收数据中断 (RDI) 可以避免此问题; 但请注意, 这也会禁用 RX 超时中断, 因此可能并非适用所有应用场景。

i2097

DSS : 禁用连接到重叠区的层可能会导致下一帧期间出现同步丢失

详细信息：

禁用连接到重叠区 (它将 DSS_VID_ATTRIBUTESx[0] ENABLE 从 1 切换到 0) 的层 (例如 VID1) 可能会导致下一帧期间出现同步丢失。同步丢失可能导致出现损坏帧或空白帧 (该帧期间从 DSS 发出的所有像素数据为 0x0)。同步丢失出现与否取决于设置和禁用该层有关的 GO 位的时序 (即 DSS_VP_CONTROL[5] GOBIT 为 1)。如果“禁用层” MMR 写入操作和“设置 GO 位” MMR 写入操作发生在同一帧边界之内, 同步丢失不会发生。如果这些操作跨越帧边界发生, 则会发生同步丢失 (对于一个帧)。设置 GO 位后, 该设计将从下一帧开始自动恢复并恢复正常运行, 请参见图 3-2。

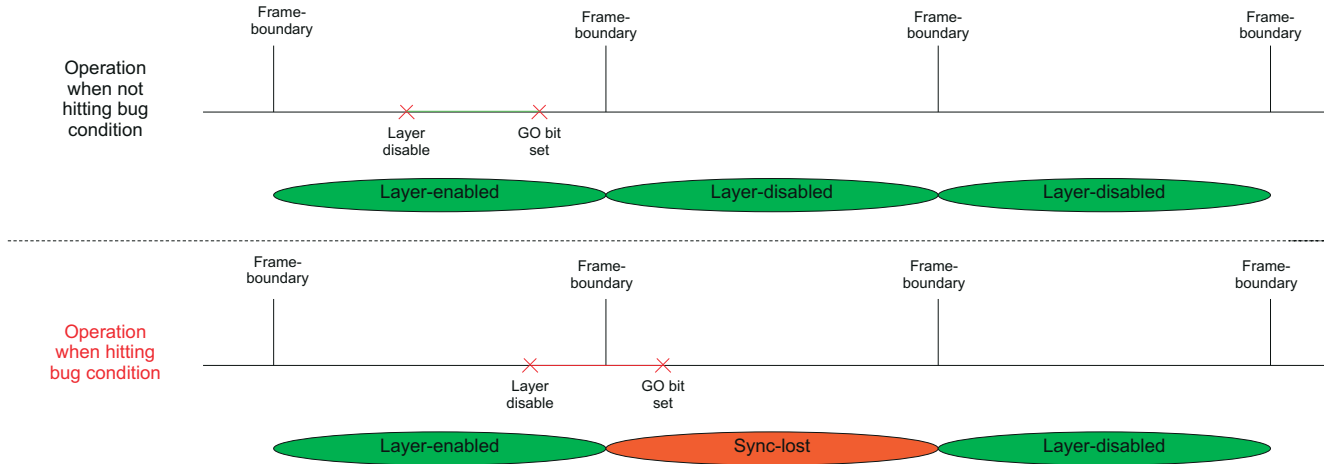


图 3-2. 错误条件

权变措施：

有一种简单的软件权变措施。在该权变措施中, 在禁用重叠区上的层之前, 该层会移动到重叠区的“不可见”区域 (例如: DSS_OVR_ATTRIBUTES_x[17-6] POSX = max_value_of_posx 或 DSS_OVR_ATTRIBUTES_x[30-19] POSY = max_value_of_posy)。这就避免了禁用层时发生同步丢失。

示例软件权变措施的伪代码如图 3-3 所示。在这种情况下, 常规的“禁用层” MMR 写入操作和“设置 GO 位设置” MMR 写入操作被执行软件权变措施的宏取代。

```

macro disable_layer (overlay n , layer m)
set OVR[n].ATTRIBUTES2[m].PO SX = posx_max;
set OVR[n].ATTRIBUTES2[m].PO SY = posy_max;
global_ovr_layer_disable_tracker[n][m] = 1;
endmacro

macro set_go_bit (vp n)
if(!!(global_ovr_layer_disable_tracker[n])//any bit set
{
set VP[n].CONTROL.GOBIT = 1;
Wait for 10 DSS FUNC CLK cycles;
for (i=0;i<NUM_LAYERS;i++)
{
if(global_ovr_layer_disable_tracker[n][i])
{
Clear OVR[n].ATTRIBUTES[i].ENABLE = 0;
global_ovr_layer_disable_tracker[n][i] = 0;
}
}
}
set VP[n].CONTROL.GOBIT = 1;
endmacro

```

- Replace layer disable MMR write operation with a macro which positions the layer to the non-visible area of the OVR
- Track which layers are disabled. This will be used while GO bit is set

- Replace GO bit set MMR write operation with this macro
- First, set GO Bit for the changes in “disable_layer” macro (and any other earlier changes) to take effect
- After the first GO bit set, few idle_cycles (10 DSS functional clock cycles) are necessary before we move to the second step

- In the second step, actually disable the layers based on the previously tracked information
- Set the GO bit for the second time for the disable of the layers to take effect

图 3-3. 权变措施伪代码

i2098

SA2_UL : 具有第 2 个输入线程的认证/解密操作不会发出 DMA 数据包

详细信息 :

ETTYPE=5 (SA2_UL) 中的线程多路复用模式可能会产生不可预测的结果, 范围涵盖从数据丢失到 UDMAP 上的信用计数溢出。这可阻止使用目标线程 1 以及 ETTYPE=5 (SA2_UL) 的源线程 2 和 3。

权变措施 :

无。不能在 SA2_UL 上使用目标线程 1 以及源线程 2 和 3。

i2099

R5FSS : 当一个或多个 MPU 区域配置为写入分配模式时, 可能会发生死锁

详细信息 :

以下两种情况时, R5FSS 可能会死锁 :

- 当软件对可高速缓存回写/写入分配存储区执行一系列存储操作, 随后软件执行屏障操作 (DSB 或 DMB) 时。R5FSS 可能会在屏障指令处挂起。
- 当软件在严格循环中执行混合的加载和存储操作, 且存储操作均写入可缓存的回写/写入分配存储区时, R5FSS 可能会在其中一条加载指令处挂起。

权变措施 :

在 R5FSS 内禁用 linefill 优化将消除死锁情况。

要禁用 linefill 优化, 软件需要设置辅助控制寄存器的位 13 (DLFO) (有关如何更新辅助控制寄存器, 请参阅 Cortex-R5F 技术参考手册)。

i2100

PCIe : 基于端点目标选择属性 (ASEL) 的路由问题

详细信息 :

PCIe 端点 (EP) 中的系统 DMA 可以发出目标选择属性 (ASEL) 设置为非零值的出站 PCIe 请求。这将使 PCIe 控制器能够绕过地址转换单元 (ATU), 且系统 DMA 发出的地址将用作出站 PCIe 地址。

绕过 ATU 时, 出站 PCIe 事务级数据包 (TLP) 中使用的功能编号错误地固定至 0。因此, 多功能 EP 无法使用非零 ASEL 绕过 ATU。所有多功能 EP 事务都必须由 ATU 进行转换, 以确保 TLP 中的功能编号正确。

如果多功能 EP 发出非零 ASEL 事务, 则可能会导致 PCIe 根端口 (RP) 出现不支持的请求 (UR)。

该问题不会影响单功能 EP, 因为其功能编号始终为零。

权变措施 :

目前尚未找到在多功能 EP 中支持非零 ASEL 出站事务的权变措施。

i2101

GIC : ITS 异常行为

详细信息 :

GIC AXI 主器件流量通过协议转换桥访问存储器。由于此协议转换桥配置错误, 因此对一个特定 ARID 生成的 AXI 读取请求不会被桥返回。

这将导致对该特定器件 ID (即请求读取访问的器件 ID) 的所有 ITS r 请求均失败。

权变措施 :

无

i2102
UFS : 自动休眠可能导致误报进入/退出错误

详细信息 :

在成功的自动休眠进入/退出过程中，UFS 模块可能会错误地报告休眠进入/退出失败。这些错误将在 UFS_IS[6].UHES 和 UFS_IS[5].UHXS 寄存器中报告。

权变措施 :

软件应永久禁用自动休眠功能，方法是通过寄存器字段 UFS_AHIT[9:0].AH8ITV 将自动休眠闲置时间值设置为零。

i2103
安全模块 : 针对功能安全错误的 ECC_GRP、ECC_BIT 和 ECC_TYPE 信息错误报告

详细信息 :

针对功能安全错误，错误状态寄存器中记录的信息 (ECC_GRP、ECC_BIT 和 ECC_TYPE) 对于某些安全校验器可能不正确。这仅适用于映射到 ECC_GRP = 0、15、31、47、63...(N*16-1) 的安全校验器。对于 DDR 桥/控制器，该问题仅适用于 ECC_GRP = 0、31、63...(N*32-1) 的安全校验器。

此问题会影响所有安全模块实例及其子组。请参阅器件 TRM 的“安全模块”一节。

注意：这些安全错误的检测和中断信号不受影响。只有错误状态寄存器中的上述字段的记录会受到影响。

权变措施 :

无。对于这些特定的安全校验器，软件仅限于了解是否发生了可纠正或不可纠正的错误以及哪个安全模块实例出现错误 (因此知道 IP 模块)，但不知道哪个确切的安全校验器遇到了错误。

i2103
内部诊断模块 : 功能安全错误的 ECC_GRP、ECC_BIT 和 ECC_TYPE 信息报告不正确

详细信息 :

对于功能安全错误，某些安全检查器的错误状态寄存器中记录的信息 (ECC_GRP、ECC_BIT 和 ECC_TYPE) 可能不正确。这仅适用于映射到 ECC_GRP = 0,15,31,47,63...(N*16-1) 的安全检查器。对于 DDR 桥/控制器，该问题仅适用于 ECC_GRP = 0,31,63...(N*32-1) 的安全检查器。

该问题会影响所有内部诊断模块实例及其子存储体。

注意：这些安全错误的检测和中断信号传输不受影响。只有错误状态寄存器上述字段的日志记录会受到影响。

权变措施 :

无。对于这些特定的安全检查器，软件仅限于了解发生的是可纠正还是不可纠正的错误以及哪个内部诊断模块实例发生了错误 (因此知悉 IP 模块)，但无法了解哪个确切的安全检查器遇到了错误。

i2115
OSPI : OSPI 引导不支持某些 xSPI 模式或 xSPI 器件

详细信息 :

作为背景说明，各种 OSPI 和 xSPI 协议根据协议的命令/地址/数据段的位宽 (1 或 8) 和数据速率 (S 或 D : *S* 表示单倍数据速率为，*D* 表示双数据速率) 来描述。

SoC 的 ROM OSPI 引导模式支持 1S-1S-1S 模式和 1S-1S-8S 模式。

xSPI 协议定义了 1S-1S-1S 模式以实现一般向后兼容性，并定义了 8D-8D-8D 以实现最大吞吐量。ROM OSPI 引导模式与 1S-1S-1S 模式兼容，但与 8D-8D-8D 模式不兼容。

某些 SPI 闪存器件还提供传统的 1S-1S-8S 模式，该模式与 ROM OSPI 引导模式兼容。

i2115 (续)

OSPI : OSPI 引导不支持某些 xSPI 模式或 xSPI 器件

请注意，OSPI IP 通常可使用适当的软件驱动程序支持 8D-8D-8D 模式。该限制仅针对硬编码 1S-1S-1S 和 1S-1S-8S 模式的 ROM 引导。

权变措施：

如果引导需要 8 位数据速率，则应仔细选择与 1S-1S-8S 运行模式兼容的 SPI 闪存器件。

如果 1 位数据足以引导，则应选择可在引导时显式支持 1S-1S-1S 模式的 xSPI 闪存器件。不同的存储器供应商可能仅在特定器件型号上支持此模式。

TI 确认 Micron 的 Xcella OSPI 闪存与 1S-1S-8S 模式兼容。Cypress Semper 闪存不支持 1S-1S-8S 模式，应选择显式支持 1b 引导模式的器件型号。

i2116

MSMC : 在 NRT 访问结束时设置冲突逻辑阻止 RT 访问等待

详细信息：

DDR 控制器优先执行对同一页面的写入操作，然后才是读取操作。此外，无论实时属性如何，MSMC 都会为同一组的事务设置冲突。由于这两个事实，同一页面的写入流及随后的同一页面的非实时读取能够有效地无限期阻止实时访问命令。

示例序列：

1. MSMC 向 DDR 控制器发送的 A 页面的写入流
2. MSMC 向 DDR 控制器发送的 A 页面的非实时读取操作
 - 在 1) 中的写入流完成后，此命令将在 DDR 控制器中阻塞
3. 对 2) 中非实时读取操作针对的组进行的实时访问将由于设置冲突在 MSMC 内阻塞

权变措施：

软件应按照对软件的影响从最小到最大的顺序尝试以下权变措施。

1. Cadence DDR 控制器将优先执行对同一页面的写入操作，然后再执行另一页面的读取操作，导致返回读取结果的延迟。尝试将 DDR 控制器 `command_age_count` 从 0x 减小到 0xF，对应于将命令周期计数从 16 个 DDR 刷新周期 (62us) 减少到 1 个刷新周期 (3.9us)。在大多数情况下，此设置解决了问题，但在某些情况下仍存在一些下溢。在这种情况下，软件可能需要第 2 或第 3 种权变措施。
2. 如果可能，设置 ARM MMU 属性，以将 DDR 配置为“正常存储器”而不是“器件存储器”类型。这使得从 ARM 到 DDR 的访问更加高效并有助于缓解问题。这是根据到目前为止的测试结果得出的观测，但可能需要进行更多分析和进一步的系统测试。如果系统中无法实现此权变措施，则软件可能需要权变措施 3)。
3. 如果可能，将实时访问设置为非 IO 一致。对于非虚拟化案例，设置 RT 访问 `ATYPE = 3`；对于 PVU 特定案例，设置 `ATYPE = 1` 和 `MEMTYPE = 0`。这会强制 RT 流量绕过 MSMC 设置冲突逻辑。软件必须执行缓存操作。

i2117

C71x : MMA HWARCV 与触发 uTLB 未命中的加载或存储并行时寄存器会损坏

详细信息：

在某些情况下执行 HWARCV 指令时，C71x 可能会发生数据损坏。故障现象表现为：来自 HWARCV 数据的 64 字节数据中每第 8 个字节就会损坏一个任意结果（从向量的最低有效字节开始，每第 8 个字节出现一次）。除非之前在 .S2 单元上执行过浮点指令，否则损坏的字节显示的值可能全部为零。导致此问题发生的条件涉及三种需要解决的情况：与 HWARCV 指令并行的某些指令是否必须花费额外的时间；确定该指令的执行是否将导致异常；以及在此 HWARCV 指令之后的执行数据包中，.S2 单元，是否没有将结果写入 64 字节寄存器中的指令。

i2117 (续)**C71x : MMA HWARCV 与触发 uTLB 未命中的加载或存储并行时寄存器会损坏**

权变措施：

将编译器开关 `--silicon_errata_i2117` 添加到 C71x 编译器的命令行时，该编译器会自动确保所有 HWARCV .S2 指令后，.S2 单元上都有一条指令写入 64 字节向量寄存器。此操作可确保不满足触发此问题所需的条件之一。如果没有可执行的有用工作，该编译器会插入一条可写入未使用寄存器的虚拟指令，实际上是一条 NOP 指令。

i2118**R5FSS : 锁步模式下的调试访问可能导致故障**

详细信息：

调试访问可能会导致 R5FSS 脱离锁步状态。调试访问可以是调试子系统控制以下 R5FSS 输入的任何调试操作：`cpuhalt`、`dbgen`、`niden`、`dbgnoclkstop`。此问题极少发生。因此，锁步比较不匹配中断将从 R5FSS 触发并发送至 SoC 中的 ESM (信号传输错误模块)。此外，第二个内核 (R5FSS_CORE1) 将不再正常工作。

权变措施：

用户可以在 ESM 中禁用 R5FSS 中断并继续第一个内核 (R5FSS_CORE0) 的调试操作。

另一种权变措施是在拆分 (非锁步) 模式下进行所有代码调试。从调试的角度来看，拆分模式与锁步模式没有区别：两个内核上运行的是相同的代码。

i2119**HyperBus : HyperBus 无法正常工作**

详细信息：

由于内部时序违例，HyperBus™ 接口无法正常工作。

权变措施：

无。不应使用 HyperBus。

i2120**C71x : 在转置流中对 LEZR 进行非奇偶校验错误检测时 SE 挂起**

详细信息：

C71x 流引擎 (SE) 用于返回格式化数据和返回报告内部错误信息的管道始终监控其正在处理的数据的标签。当检测到用于格式化返回 CPU 的数据的数据行出错时，所有用于将命令排队进入 UMC、uTLB 以及返回 CPU 的格式化管道的提取端执行都将停止。

在一般操作中，仅进行错误监控的标签是用于当前命令的标签。对于转置模式，是指受到当前数组列影响的所有标签。抑制内部标签监控时出现的间隙会导致格式化管道监控其当前未处理的标签，同时为 LEZR 特性创建零矢量。如果 SE 的提取端遇到并记录了未来列的错误，格式化端可能会注意到它，并在该列的命令提交进行格式化之前停止提取端。

仅仅对于在内部提交进行格式化的命令，才将错误报告给 CPU，因此在提交该列之前停止内部执行导致不向 CPU 报告任何错误。因为 SE 已经停止提取操作而没有报告错误，所以 CPU 继续挂起，等待 SE 返回数据或发出错误，直到发生一个不相关的外部事件或中断。

权变措施：

唯一的 100% 权变措施是在同时启用了 LEZR 和转置模式的情况下不使用流模板。

i2121

STOG : 存在进行中的写入事务时刷新 Gasket 可能会导致写入响应丢失

详细信息：

存在进行中的写入事务时刷新从器件超时 **Gasket** 可能导致部分 (通过 **Gasket**) 自动生成的写入响应无法生成。进行中的写入事务必须已被 **Gasket** 接受, 但尚未通过 **Gasket** 完全传输到目标侧接口。最终结果是, 主器件 **IP** 可能正在等待写入响应, 而这些响应已被丢弃且无法返回, 从而使主器件 **IP** 挂起。因此, **Gasket** 的内部记分板也会损坏。

刷新 **Gasket** 可能会使通过 **Gasket** 发送写入事务的主器件 **IP** 挂起, 从而破坏 **FFI** 系统解决方案。**Gasket** 永远不会达到空闲状态, 因此无法停止时钟。

权变措施：

STOG 应保持禁用/旁路模式。

i2122**STOG : 在 Gasket 接收写入响应的同时刷新 Gasket 可能会导致无限期的非空闲状态**

详细信息 :

在 Gasket 接收写入响应的同时刷新 Gasket 可能会导致 Gasket 的内部记分板损坏。这种损坏可能会阻止 Gasket 回到空闲状态。

事务超时也可能会发生该问题，但在足够长的超时周期后，响应不太可能返回。

权变措施 :

软件应仅在响应超时发生/中断时刷新 Gasket，不应随意刷新 Gasket。

i2123

STOG : 来自从垫片的超时仿真调试写入响应始终返回成功

详细信息：

当垫片刷新事务时，所有响应都应返回并显示超时错误，但在仿真调试写入的情况下，响应会错误地返回并显示成功。

权变措施：

当出现系统超时/中断时，软件不应假定仿真调试写入成功。

i2124

STOG : 读取命令超时可能导致 Gasket 挂起。

详细信息 :

当目标侧接口发生读取命令超时 (即接口挂起) 且已有待处理的写入事务时, 从器件超时 Gasket 会挂起, 部分自动生成的读取/写入响应可能会被丢弃, 从而导致等待这些响应的任何主器件 IP 挂起。

权变措施 :

STOG 应保持禁用/旁路模式。

i2126

STOG : 出现两个并发超时或两个并发意外响应时错误计数

详细信息：

当同一周期内存在读取命令和写入命令超时情况时，超时计数器只会递增 1 而不是 2。同样，如果意外读取响应和意外写入响应都在同一周期内到达，则意外响应计数器只会递增 1 而不是 2。

权变措施：

错误计数器主要作为软件调试的补充信息。仅记录一条超时错误命令/事务信息。计数器在计数为 3 时饱和，因此软件应主要关注非零错误计数器值与精确计数器值。同样的方法也应适用于意外响应计数器。注意：刷新垫片会丢弃意外响应。

i2127
STOG : 当写入命令超时发生在目标侧上一次接受相同的周期, 源侧写入数据总线挂起
详细信息 :

如果写入命令在最后一次写入数据阶段在垫片的目标侧接受的同一周期超时, 垫片在源侧将永久停止接受写入数据并且无法正确刷新/自动响应。

用较短超时周期对垫片进行编程, 会导致系统由于超时垫片停止接受写入数据而挂起。

权变措施 :

软件应设置足够长的超时周期, 该周期应远远超过可能的最长写入命令突发传输周期。垫片的默认超时周期足够 3×2^{30} 个周期。

i2128
VTM : VTM 温度监测器 (TEMPSENSOR) 应使用软件修整方法
详细信息 :

所有器件版本 1.0 和部分器件版本 1.1 器件都需要使用 VTM 温度监测器 (TEMPSENSOR) 的软件修整程序。应读取 WKUP_SPARE_FUSE0[31:30].WORKAROUND 寄存器字段以确定是否必须应用软件修整 :

WKUP_SPARE_FUSE0[31:30].WORKAROUND

0b00 : 必须应用软件修整

0b01 : 必须应用软件修整

0b10 : 必须应用软件修整

0b11 : 无需软件修整

对于需要进行软件修整的器件, 会在生产期间对 VTM 温度监测器 (TEMPSENSOR) 进行修整, 并将结果值存储在软件可读的寄存器中。在将温度监测器输出代码转换为温度值时, 软件应使用这些寄存器值。

权变措施 :

对于需要软件修整的器件 (WKUP_SPARE_FUSE0[31:30].WORKAROUND!=0b11), 在读取温度监测器时应该应用软件修整程序。下面列出的备用寄存器在生产期间写入每个器件, 以供软件在修整程序中使用。

德州仪器 (TI) 提供的权变措施软件版本 (PROCESSOR-SDK RTOS 7.00.00) 实现错误, 从未进行修整。

不应使用德州仪器 (TI) 提供的权变措施软件版本 (PROCESSOR-SDK RTOS 8.01.00.11) 或更高版本。

用于该权变措施的备用寄存器位于 WKUP_CTRL_MMR0 模块地址空间内, 如下所述。

表 3-2. WKUP_SPARE_FUSE0

地址 Proxy0、Proxy1	0x4300 0300, 0x4300 2300	
说明		
类型	R/W	
3 3 2 2 2 2 2 2	2 2 2 2 1 1 1 1	1 1 1 1 11 1 9 8
1 0 9 8 7 6 5 4	3 2 1 0 9 8 7 6	5 4 3 2 0
		7 6 5 4 3 2 1 0

i2131 (续)

C71x : 启用 L2 Scrubber 后, 在 L2 回写失效操作期间存储器系统可能会挂起

选项 B : 如果软件可能使用 L2WBINV 功能, 或无法保证不使用该功能, 则程序员应在引导时禁用 C71x L2 Scrubber (在复位后自动启用)。这可通过向 C71x 内 L2EDCFG 寄存器的 SCEN 字段 (位 0) 写入 0 来完成。一旦清除该位, Scrubber 将被禁用并保持禁用状态, 直到 C71x 存储器系统复位。

如果应用程序希望 L2 内存保留静态数据和/或代码更长时间 (超过 24 小时), 则提供 L2 Scrubber 功能。在这些情况下, 安全主管可通过以下方式定期启用 L2 Scrubber :

1. 将 L2EDCFG.SCEN (位 0) 置为 1
2. 将 L2EDCFG.BTDELAY (位 31:16) 置为 1
3. 将 L2EDCFG.SCDELAY (位 63:32) 置为 1

这将保证 L2 Scrubber 将在 1ms 内启动整个 L2 内存的清理。完成后, 应先禁用 L2Scrubber, 然后再恢复正常线程执行和/或启动任何 L2 回写失效操作。

i2132

R5FSS : 如果使用 VIM 向量接口进行中断处理, 则中断抢占 (嵌套) 不可用

详细信息 :

中断抢占是指在低优先级中断内嵌套高优先级中断; 如果使用 VIM 向量接口进行中断处理, 则该功能不可用。在低优先级中断内嵌套高优先级中断将导致处理器运行崩溃。该问题仅影响 VIM 提供的向量接口中断处理方法, 不影响 MMR 接口中断处理方法。这些问题影响 FIQ 和 IRQ 中断。

权变措施 :

如果使用向量接口方法, 用户不应在 CPSR 中设置 I/F 位 (用于支持中断嵌套)。

如果需要中断嵌套, 则用户应仅使用 MMR 接口方法进行中断处理。请注意, 与向量接口方法相比, MMR 接口方法会导致进入中断服务例程 (ISR) 时产生额外的延迟。

i2133

R5FSS : 锁步运行模式无法正常工作

详细信息 :

由于内部的 VIM (向量中断管理器) 模块存在硬件问题, R5FSS 无法在锁步模式下运行。如果 VIM 模块在锁步模式下处于活动状态, 则它可能会错误地脱离锁步, 从而导致向 SoC 中的安全监测器生成虚假的锁步比较不匹配中断。此外, 这可能会导致 R5FSS 中的第二个内核完全锁定。第一个内核将继续执行, 不受该问题的影响。

权变措施 :

没有使能锁步运行的权变措施。R5FSS 只能在拆分模式下运行。

i2134

USB : 2.0 合规性接收灵敏度测试限制

详细信息 :

按照《USB-IF USB 2.0 电气合规性测试规范》中的规定执行接收灵敏度测试 (EL_16 和 EL_17) 可能会引发公告 i2091 中描述的问题。

该问题最初是在使用自动化软件执行这些测试时发现的, 该软件会在发送数据包时增加 USB 信号的振幅。在验证被测器件 (DUT) 在振幅低于 100mV 时否定应答所有数据包并在振幅高于 150mV 时不否定答应任何数据包期间, 该软件一直从低于 100mV 的振幅扫描到高于 150mV 的振幅。但是, 如公告 i2091 中所述, 在发送有效数据包时, 增加振幅超过静噪阈值可能会锁定 PHY。

i2134 (续) *USB : 2.0 合规性接收灵敏度测试限制*

权变措施： 可能需要手动执行接收灵敏度测试，方法是将其分为两部分。第一部分开始时与前面所述相同，初始振幅设置为低于 100mV 的值，验证在增加振幅直到达到 100mV 的过程中 DUT 否定应答所有数据包。在测试的另一部分开始时，将振幅设置到 150mV 以上，验证在降低振幅直到达到 150mV 的过程中 DUT 不否定应答任何数据包。这就确认了静噪阈值介于 USB 规范要求的 100mV 和 150mV 之间，而不用扫描超过静噪阈值的振幅，从而有可能锁定 PHY。

i2137 *PSIL : 时钟停止操作可能会导致异常行为*

详细信息： 时钟停止接口是一个请求/确认接口，用于协调正确停止的主时钟和模块之间的握手。如果不首先执行通道清理或清除全局启用位，而尝试对在模块执行时钟停止，将导致模块特定的异常行为。

受影响的模块包括 PDMA、SA2UL、以太网交换机、CSI、UDMAP、ICSS 和 CAL。

权变措施： 在尝试进行时钟停止操作之前，需要使用软件清理所有活动通道（通过 UDMAP 中的 UDMAP “实时” 寄存器或 PSIL 模块中的 PSIL 寄存器 0x408），并且在完成此操作后，还要清除所有通道的全局启用位（通过 UDMAP 和 PSIL 模块中的 PSIL 寄存器 0x2）。

i2138 *PSIL : 配置访问和源线程拆除可能会导致数据损坏*

详细信息： 对一个源线程执行拆除时，可能会丢失其他源线程上的单个数据阶段。这会影响所有具有多个源线程 (ICSSG/CSI/SA2UL) 的 PSIL_ENDPT 模块

此外，如果 PSIL 端点 Gasket 在发出数据的同时发出配置响应，则该响应将导致数据损坏。这可能会影响配置响应发生很久后传输的数据。此情况影响所有需要宽度自适应且其 PSIL 端口小于 128 位 (SA2UL) 的 PSIL_ENDPT 用户。

权变措施： 在尝试配置访问或拆除任何源线程之前，必须通过禁用 Rx 流量源闲置所有 PSIL 源线程。对于 ICSSG/CSI，也可以通过暂停所有源线程来实现闲置 PSIL 源线程。

i2139 *CPSW : ALE 错误地路由带 CRC 错误的数据包*

详细信息： 对于 InterVLAN、OAM 或使用 ALE 出口操作码功能进行路由的数据包，当应该丢弃错误的数据包时，地址查找引擎 (ALE) 会错误地路由收到的 (CPSW 入口) 数据包，这些数据包带 CRC 错误。路由的数据包会带着 CRC 错误输出，系统允许这种情况，但不建议。

这仅影响非直通 CPSW 中的 InterVLAN、OAM 以及使用 ALE 出口操作码功能的数据包。

权变措施： 无。

i2141 *CPTS : GENF 和 ESTF 微调值未被硬件清除*

详细信息： 发生微调时，TS_GENFn_Nudge 中的 GENF 和 ESTF 微调值不会被清除。这通常是可以接受的，因为软件通常不需要确切知道发生微移的时间。

i2141 (续) CPTS : GENF 和 ESTF 微调值未被硬件清除

权变措施：

此问题的软件权变措施为：

1. 向 CPTS_TS_GENF_NUDGE_REG_j[7-0] NUDGE 位字段写入零值。
2. 将所需的二进制补码微调值写入 CPTS_TS_GENF_NUDGE_REG_j[7-0] NUDGE 位字段。
3. 微移将在 CPTS_GENFn_LENGTH[31-0]/2 CPTS_REF 时钟内发生。

i2143 UDMAP : TX 通道 SA2UL 拆除问题

详细信息：

执行 SA2UL 的 UDMAP TX 通道拆除可能会导致 PSIL 通道上出现未定义的行为。

权变措施：

有两种软件权变措施：

1. 完成 TX 通道拆除后，拆除配对寄存器（包括清除 PSIL 寄存器 0x2 中的使能位），然后重新配对该通道。
2. 通过 Tx 通道 N 配置寄存器抑制该通道的拆除数据包生成。

i2144 eMMC : VIO 电源时序

详细信息：

除非电源序列时序图另有说明，否则器件上电时序通常先使能较高的电压域，然后是较低的电压域。断电序列与禁用电压域的顺序相反。在器件电源时序期间，只要内核逻辑未通电，IO 信号就会保持在安全状态，并仅当内核逻辑运行后使能。如果在内核逻辑未运行时使能 IO 信号，可能会由于意外的电流路径导致功能和可靠性问题。eMMC 存储器连接到器件的 MCC0 8 位数据和控制信号，这些信号以 1.8V 电源资源供电的 VDDS_MMC0 数字电压域为基准。内核逻辑未通电时，MMC0 接口信号不会保持在安全状态。

此问题未导致任何已知的系统问题或故障。

如果未将 eMMC 存储器元件连接到器件，则由于在此类系统中未使用 MMC0 信号传输接口，因此仍可采用原始电源时序：上电期间先使能所有 1.8V 域，再使能 0.8V 内核域 (VDD_CORE)；断电期间先禁用 0.8V 内核域，再禁用 1.8V 域。将 VDDS_MMC0 与其他数字 1.8V 域分组到一个公共电源轨，并由 VDD_IO_1V8 电源轨从公共电源资源供电，是这些系统的有效配电 (PDN) 方案。

权变措施：

如果在连接到该器件的系统中使用 eMMC 存储器，请将以下硬件更改用于新的电路板设计：

1. 采用新的电源序列：将 VDDS_MMC0 上电斜坡移至 VDD_CORE 之后发生，并将 VDDS_MMC0 断电斜坡移至 VDD_CORE 之前发生，以避免可能的长期功能和可靠性问题。
2. 用于 PDN 的新电源资源（即低成本 LDO，如 TLV73318P-Q1）和电源轨 (VDD_MMC0_1V8) 可使电源时序与常见的 VDD_IO_1V8 电源轨不同。
3. 采用可生成新 EN_MMC0_LDO 控制信号的 PMIC PN 以同步和移位电源时序。PMIC PN 因使用的 PDN 方案而有所不同，如下所示：
 - a. 传统的硅前双 Leo PDN（不推荐用于新设计）将使用新 PN：
TPS659411FXRWERQ1 (X = 新 NVM ID，尚未定义) 而不是原始 PN：
TPS659411F0RWERQ1

i2144 (续)
eMMC : VIO 电源时序

- b. 峰值优化型双 Leo PDN 是推荐用于新设计的 PDN，可实现支持新控制信号的独立 MCU 域和主域。
- c. 对于支持新控制信号、结合了 MCU 域和主域的新设计，建议使用 Leo + Hera PDN。

i2145
VTM : 使能的中断事件状态寄存器错误地返回原始未掩码值

详细信息 :

读取使能的中断事件状态寄存器 VTM_LT_TH0_INT_EN_STAT_CLR、VTM_GT_TH1_INT_EN_STAT_CLR 和 VTM_GT_TH2_INT_EN_STAT_CLR 会错误地返回每个电压域原始未掩码的挂起中断值。

权变措施 :

软件应读取每个阈值的 INT_EN_STAT_CLR 和相关的 INT_EN_SET/CLR 寄存器，然后手动逐位掩码 int_vd 位字段，以获取阈值 INT_EN_STAT_CLR 读取结果的正确掩码视图。

i2146
UDMA : 在实时 TX/RX 寄存器中屏蔽强制清理位字段回读

详细信息 :

启动强制清理后，强制清理位字段将不会在实时 TX/RX 寄存器的回读中持续设置。

权变措施 :

强制清理操作仅由软件用于干预，以解决灾难性的系统状况，因此软件应单独跟踪何时启动强制清理与正常清理，因而不依赖于强制清理位字段的回读值来获取此信息。

i2147
PCIe : RP 针对 ATS 转换请求发送的转换完成类型不正确

详细信息 :

对于导致 SMMU 发生故障的、来自 EP 的地址转换请求，PCIe 错误地提供了 cpl (无数据完成)。符合 PCIe 规范的正确响应是：发出 cplID (带数据完成)，且读取和写入字段设置为 0。

如果 EP 请求转换的地址在地址转换表中没有对应的条目，则可能会发生该 SMMU 故障。在这种情况下，由于 EP 从 RP 接收到的是 cpl 而不是 cplID，因此其无法知悉发生了故障。

权变措施 :

没有可用的解决方法。软件不应在 EP 侧使能 ATS 功能。

i2148
CPSW : 当分类通过出口操作码功能覆盖目标端口时，未观察到 CPSW 定向帧

详细信息 :

通过软件发送的、具有 802.1CB 报头的定向帧被错误地重定向回主机端口。定向帧不应被 ALE 出口操作逻辑覆盖。

权变措施 :

确保从分类器中排除主机流量。

i2149

MSMC : MSMC Scrubber 仅针对 32 路 SRAM/L3\$ 中底部的 16 路

详细信息：

MSMC Scrubber 定期扫描 MSMC SRAM/L3\$、窥探过滤器和标签是否存在可纠正的 1 位错误，并予以纠正。此举旨在降低多个 1 位错误随着时间推移累积并变成不可纠正的 2 位错误的概率。

由于地址解码中存在错误，MSMC Scrub 事务仅访问 L3\$ 标签路径的下半部分 (0-15)，从不访问 16-31 路。因此，Scrubber 也不会访问相应的 L3\$ 数据 RAM。

客户将发现 MSMC L3\$ 标签及相应数据上半部分 (上部 16 路) 累积 2 位可检测/不可纠正错误的概率增加。

此问题不影响 MSMC SRAM，仅适用于 L3 高速缓存。

权变措施：

没有完整的软件权变措施。

软件可以尝试定期刷新 L2\$ 以使 MSMC EDC 得以刷新。但这并非一种完整的权变措施，因为 Arm® 可能会在不提醒 MSMC 的情况下静默逐出高速缓存行。

i2150

I3C : SDAPULLEN 驱动为低电平而不是高阻态

详细信息：

当 I3C 接口在推挽模式下运行时，SDAPULLEN 引脚会错误地驱动为低电平，而不是高阻态。这会通过 SDAPULLEN 和 SDA 之间的外部有源强拉电阻器错误地将 SDA 引脚拉至低电平。

权变措施：

当 SDAPULLEN 为高电平时，应使用外部电路将有源强上拉电阻器从 SDA 连接到 VDD；当 SDAPULLEN 为低电平时，将该上拉电阻器与 SDA 断开。

图 3-4 展示了权变措施的实现示例。

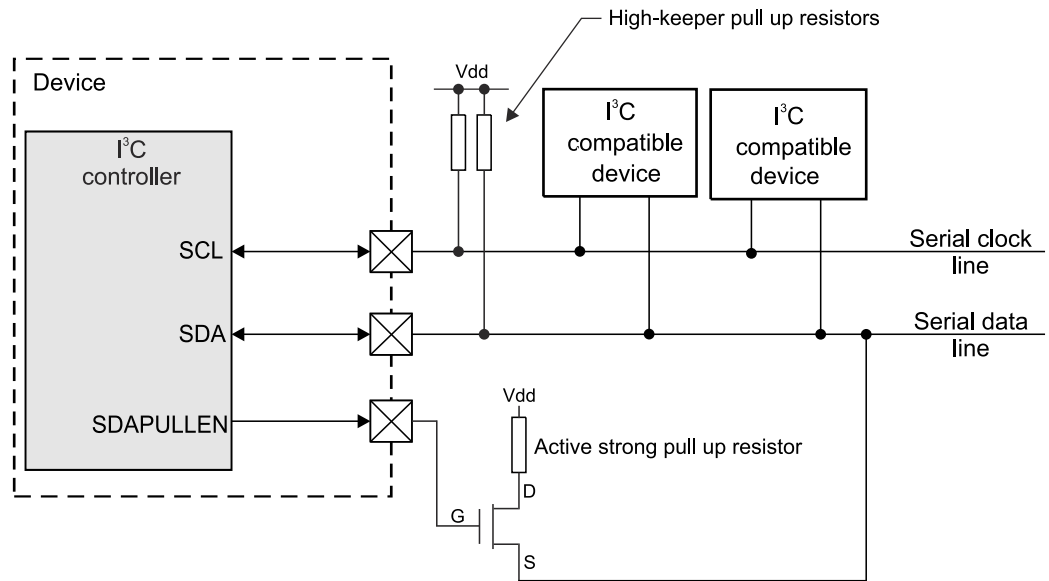


图 3-4. I3C SDAPULLEN 方框图

i2151

ADC : 去抖时间控制寄存器

详细信息 :

CTRLMMR_WKUP_PADCONFIG76.DEBOUNCE_SEL 控制 MCU_ADC0_AIN0:7 的去抖时间, CTRLMMR_WKUP_PADCONFIG84.DEBOUNCE_SEL 控制 MCU_ADC1_AIN0:7 的去抖时间。无论是否使用特定输入 (例如 MCU0_ADC0_AIN0 或 MCU_ADC1_AIN0) , 这些寄存器都会为相应 ADC 上的所有输入通道设置去抖周期。

权变措施 :

无

i2152**PCIe : 如果在非发布命令期间发生链路断开事件, 则可能会导致锁定****详细信息 :**

如果发生以下事件序列, PCIe 子系统上的 VBUSM 目标接口可能会锁定 :

1. 在 VBUSM 目标接口上向 PCIe 子系统发送非发布 TLP。
2. 此 TLP 请求在 PCIe 链路上启动。PCIe 逻辑在向 PCIe 链路发起非发布 TLP 的同一内核时钟周期内, 意外接收到链路断开事件 (链路进入恢复状态)。
3. 链路断开复位处理后的新请求也是非发布请求。

发生此序列时, PCIe 逻辑会为新请求登记错误的标签。新请求的完成返回时, 系统会根据此错误的标签进行检查, 因此不会接受该完成。PCIe 逻辑将一直无限期地等待包含此错误标签的完成。该问题会导致锁定, 并且 VBUSM 接口读取命令永远不会完成。

此锁定发生的概率较低, 因为这需要链路断开事件通过内部逻辑传播, 并在发起非发布事务的同一时钟周期内被捕获。

权变措施 :

无

i2153**PCIe : TS1 数据包中的保留位处理不正确****详细信息 :**

根据 PCIe 规范, TS1 和 TS2 数据包中的保留位应由发送器置为 0, 并被接收器忽略。但是, 对于 Gen3/Gen4 操作, 如果接收到符号 7 中的保留位 6 为 1, 则 PCIe 控制器会使 TS1 数据包失效。

仅当除符号 7 位 6 置位外, 满足以下两个条件时, 才会发生此问题 :

- 符号 7 位 5 至 0 等于 0x5 或 0xA。
- 符号 6 位 6 至 0 等于 0x45 或 0x4A。

如果 PCI-SIG 未来添加了一项测试来检查保留位处理, 则此问题可能会影响合规性。这预计不会导致链路训练问题, 因为发送器应将保留位置为 0, 且在 5.0 规范 (包括 Gen5 操作) 中, 符号 7 位 6 仍保留。

权变措施 :

无。

i2154**PCIE : 在 L0 退出期间通道偏斜消除失败****详细信息 :**

控制器在从 Rx.L0s 退出期间收到 FTS OS, 随后收到 SKIP OS。SKIP OS 用于执行通道间偏斜消除。如果该 SKIP OS 在内部处于特定的字节对齐状态, 则偏斜消除操作会失败。

此错误会导致控制器使用 PCIE*_ERROR_PULSE_INT 中断报告可纠正的错误。该链路会自动进入恢复状态并通过训练返回 L0, 而不会导致链路断开。因此, 从 Rx.L0s 退出将延迟约 200us。

权变措施 :

链路能够自动从该错误中恢复。但是, 从 RX.L0s 退出将延迟约 200us。

i2155**DDR : 控制器 DDRSS_CTL_194[9-8] BIST_RESULT 状态不可靠****详细信息 :**

DDR 控制器具有内置自检 (BIST) 功能, 可用于测试与外部 DRAM 的 DDR 接口。BIST 完成后, 控制器会自动将 DDRSS_CTL_194[9-8] BIST_RESULT 清除为 0, 而不是等待用户

i2155 (续)

DDR : 控制器 DDRSS_CTL_194[9-8] BIST_RESULT 状态不可靠

首先将 DDRSS_CTL_194[0] BIST_GO 清除为 0。这可能会导致误报负值，即 BIST 测试实际已通过，但 DDRSS_CTL_194[9-8] BIST_RESULT 指示其未通过。

权变措施：

通过软件权变措施正确报告 BIST 状态。

1. 在触发该测试之前，读取以下 BIST 状态字段。

DDRSS_CTL_310[31-0] BIST_FAIL_ADDR_0

DDRSS_CTL_311[2-0] BIST_FAIL_ADDR_1

DDRSS_CTL_306[31-0] BIST_FAIL_DATA_0

DDRSS_CTL_307[31-0] BIST_FAIL_DATA_1

DDRSS_CTL_308[31-0] BIST_FAIL_DATA_2

DDRSS_CTL_309[31-0] BIST_FAIL_DATA_3

DDRSS_CTL_302[31-0] BIST_EXP_DATA_0

DDRSS_CTL_303[31-0] BIST_EXP_DATA_1

DDRSS_CTL_304[31-0] BIST_EXP_DATA_2

DDRSS_CTL_305[31-0] BIST_EXP_DATA_3

DDRSS_CTL_206[11-0] BIST_ERR_COUNT (仅当

DDRSS_CTL_200[2-0] BIST_TEST_MODE = 1、2、3 或 4 时有效)

2. 通过设置 DDRSS_CTL_194[0] BIST_GO = 1，对所需的 BIST 控制字段进行编程并触发 BIST

3. 轮询 BIST 已完成中断，由 DDRSS_CTL_293[11] INT_STATUS_0 位指示。

4. 重新读取步骤 (1) 中列出的 BIST 状态字段。

如果这些值与步骤 (1) 中的值不同，则 BIST 未通过。

如果这些值与步骤 (1) 中的值相同，则 BIST 通过。

i2157

DDR : 为低功耗状态设置唤醒时间时控制器异常

详细信息：

如果下一个更深功耗状态的唤醒时间为禁用或设置为更低的值，则 DDR 控制器可能会错误地减少当前低功耗状态的唤醒时间。

权变措施：

如果通过设置 DDRSS_CTL_139[29-24] LPI_WAKEUP_EN 位字段中的一个位来启用特定的低功耗状态，则还必须启用所有更深的功耗状态位。从位 0 到 4，低功耗状态的深度随着位编号增大而增加。例如，如果设置了位 0，则还必须设置包括位 1 到 4 的所有位。同样，如果设置了位 2，也必须设置位 3 和位 4。

此外，必须按递增顺序对以下唤醒值进行编程：

1. 和 LPI_WAKEUP_EN[0] 相关的 LPI_CTRL_IDLE_WAKEUP_FN -> 值应小于以下所有字段

2. 和 LPI_WAKEUP_EN[1] 相关的 LPI_PD_WAKEUP_FN -> 值应小于以下所有字段

i2157 (续)
DDR : 为低功耗状态设置唤醒时间时控制器异常

3. LPI_SR_SHORT_WAKEUP_FN、LPI_SR_LONG_WAKEUP_FN、LPI_SRPD_SHORT_WAKEUP_FN 以及和 LPI_WAKEUP_EN[2] 相关的 LPI_SRPD_LONG_WAKEUP_FN -> 值应小于以下所有字段
4. LPI_SR_LONG_MCCLK_GATE_WAKEUP_FN、和 LPI_WAKEUP_EN[3] 相关的 LPI_SRPD_LONG_MCCLK_GATE_WAKEUP_FN -> 值应小于以下所有字段
5. 和 LPI_WAKEUP_EN[4] 相关的 LPI_TIMER_WAKEUP_FN -> 最高值，

其中，对于不同的频率设定点，FN = F0、F1 和 F2。

i2159
DDR : 必须在 LPDDR4 CBT 期间使用 VRCG 高电流模式
详细信息：

DDR PHY 会在 LPDDR4 命令总线训练 (CBT) 期间更新命令/地址总线的 VREFca。LPDDR4 模式寄存器 13 (MR13) 中的位 3 定义 LPDDR4 器件内的 VRef 电流发生器 (VRCG) 模式。如果该位设置为 0，则 VREFca 趋稳时间过长，后续操作无法正常工作。为确保 CBT 正常运行，在 CBT 期间必须将 MR13 中的位 3 设置为 1 (VRef 快速响应高电流模式)。

权变措施：

为确保正常运行，应在命令总线训练 (CBT) 和写入 DQ VRef 训练期间启用 VRef 快速响应高电流模式。可通过将以下字段设置为 1 来实现：

对于片选 0：DDRSS_PI_259 寄存器中的 PI_MR13_DATA_0[3]

对于片选 1：DDRSS_PI_261 寄存器中的 PI_MR13_DATA_1[3]

对于片选 2：DDRSS_PI_263 寄存器中的 PI_MR13_DATA_2[3]

对于片选 3：DDRSS_PI_265 寄存器中的 PI_MR13_DATA_3[3]

i2160
DDR : 必须在 LPDDR4 命令总线训练期间定义有效 VRef 范围
详细信息：

DDR PHY 会在 LPDDR4 命令总线训练 (CBT) 期间更新命令/地址总线的 VREF (ca)。如果 VREF (ca) 搜索范围设置为无效值，因而在 CBT 期间无法找到工作设置，则培训过程可能失败或挂起。

权变措施：

在启用 CBT 之前，将以下字段设置为已知的有效工作值。

对于频率集 0：PI_CALVL_VREF_INITIAL_START_POINT_F0 和 PI_CALVL_VREF_INITIAL_STOP_POINT_F0

对于频率集 1：PI_CALVL_VREF_INITIAL_START_POINT_F1 和 PI_CALVL_VREF_INITIAL_STOP_POINT_F1

对于频率集 2：PI_CALVL_VREF_INITIAL_START_POINT_F2 和 PI_CALVL_VREF_INITIAL_STOP_POINT_F2

建议使用标称 VRef 值 (基于处理器上驱动强度的器件编程和存储器终端) +/- 4%。请使用 <http://dev.ti.com/sysconfig> 上的在线 DDR 寄存器配置工具对这些寄存器进行编程并检查修订历史记录，以确保所使用的工具版本已采用此权变措施。

i2161

R5FSS : 在 VIM 模块处于活动状态时调试器无法访问它

详细信息 :

此问题影响 R5FSS 内的向量中断模块 (VIM)。VIM 中有一些寄存器,可在被读取时更改 IP 状态 (例如 VIM_IRQVEC)。预期行为是只有功能性读取才应导致状态变化。对这些寄存器进行调试读取 (由 CCS 等 TI 调试工具生成) 应使状态保持不变。当前存在一个问题,即 VIM 用同样的方式处理调试寄存器读取和功能性寄存器读取。这可能会导致调试操作 (例如在 CCS 中打开 VIM 寄存器存储器窗口) 无意中更改 VIM IP 的状态,从而使调试无效。

权变措施 :

此问题没有权变措施。用户应在调试期间应避免访问 VIM 寄存器。

i2162

R5FSS : 同一个中断无法背靠背嵌套在另一个中断中

详细信息 :

同一高优先级中断在低优先级中断内部嵌套 (抢占) 无法二次和多次实现。高优先级中断必须等到程序退出低优先级中断服务例程 (ISR) 才能第二次出现。仅在当前抢占之后的高优先级中断与导致原始抢占的中断相同时才会发生该问题。如果其他中断在原始较高优先级中断第二次发生之前抢占低优先级 ISR, 此时不会出现问题。此问题影响 VIM 中处理中断的 Vector 接口方法和 MMR 接口方法。问题影响 FIQ 和 IRQ 中断。

权变措施 :

存在软件权变措施。SW 权变措施的目标是防止背靠背激活同一中断,从而消除错误的必要条件。可以通过保留最高优先级 (优先级 0), 将该优先级用于虚拟中断 (R5FSS 中 512 可用个中断中的任意一个) 并在每个 ISR 内调用该虚拟中断来实现。此外, R5FSS 核心本身不需要进入该虚拟 ISR (可以屏蔽), 仅需围绕该虚拟 ISR 与 VIM 握手即可。

示例伪代码如下。如有需要, TI 可提供实施此权变措施的必要驱动程序。

```

any_isr_routine {
...
1:   set I/F bit in CPSR ; //so R5FSS cannot be interrupted again. I for
    irq, F for fiq
2:   Trigger dummy_intr; //writing 1'b1 to Interrupt RAW Status/Set
    Register bit in VIM corresponding to the chosen dummy_intr
3:   rd_irqvec; //Read IRQVEC register in VIM to acknowledge dummy_isr
4:   clear dummy_isr; //writing 1'b0 to Interrupt RAW Status/Set Register
    bit in VIM corresponding to the chosen dummy_intr
5:   wr_irqvec; //Write to IRQVEC register in VIM to denote end of interrupt
6:   clear I/F bit in CPSR;
...
}
Note: Depending on where the workaround code is inserted in the ISR, step 1 &
      6 may not be needed.
  
```

此权变措施附带的缺点是无法使用优先级 0 (仅优先级 1-15 可用) 且在 ISR 执行中增加延迟。

i2163

UDMAP : 在“事件触发”模式下使用时, ICNT 和/或源地址/目标地址未与 64B 对齐的情况下 UDMA 传输失败

详细信息 :
备注

以下说明以 C7x DSP 内核为例, 但适用于任何可对 UDMA 进行编程的其他处理内核。

对于 C6x/C7x 上的 DSP 算法处理, 软件通常使用 NavSS 中的 UDMA 或 MSMC 中的 DRU。许多情况下, 使用 UDMA 而非 DRU, 因为 DRU 通道在许多用例中保留用于 C7x/MMA 深度学习操作。在典型的 DSP 算法处理中, 数据通过 DMA 逐块传输到 L2 存储器进行 DSP, 而 DSP 对 L2 存储器中的数据执行操作而不是 (通过高速缓存) 从 DDR 运行。此操作的典型 DMA 设置和事件触发如下所示; 在以下示例中, 这被称为“2 维触发等待”。

对于每个“帧”:

1. 设置 TR (通常为 3 或 4 维 TR)。
 - a. 设置 TYPE = 4D_BLOCK_MOVE_REPACKING_INDIRECTION
 - b. 设置 EVENT_SIZE = ICNT2_DEC
 - c. 设置 TRIGGER0 = GLOBAL0
 - d. 设置 TRIGGER0_TYPE = ICNT2_DEC
 - e. 设置 TRIGGER1 = NONE
 - f. ICNT0 x ICNT1 为块宽度 x 块高度
 - g. ICNT2 = 块数
 - h. ICNT3 = 1
 - i. src addr = DDR
 - j. dst addr = C6x L2 存储器
2. 提交此 TR
 - a. 该 TR 在 GLOBAL TRIGGER0 上启动传输并传输 ICNT0xICNT1 个字节, 然后引发事件
3. 对于每个块, 执行以下操作:
 - a. 通过设置 GLOBAL TRIGGER0 触发 DMA
 - b. 等待指示块已传输的事件
 - c. 执行 DSP 处理

该序列是简化的序列; 在实际算法中, 可以有多个通道以“乒乓”方式执行 DDR 到 L2 或 L2 DDR 传输, 使得 DSP 处理和 DMA 并行运行。在通道 OES 寄存器中对事件本身进行了适当的编程, 并使用 UDMA 的 IA 中的空闲位来完成事件状态检查。

当满足以下条件时, 第一个触发器不会收到步骤 3.2 中的事件:

- 条件 1: ICNT0xICNT1 不是 64 的倍数。
- 条件 2: src 或 dst 不是 64 的倍数。
- 条件 3: ICNT0xICNT1 不是 64 的倍数, 源地址/目标地址不是 64 的倍数

如果 ICNT0xICNT1 和源地址/目标地址是 16B 或 32B 的倍数, 也存在相同的问题, 即未收到事件。只有和 64B 对齐才有效。

令其有效的条件:

- 如果 ICNT0xICNT1 是 64 的倍数, 并且源地址/目标地址是 64 的倍数, 则测试用例通过。

i2163 (续)

UDMAP : 在“事件触发”模式下使用时, ICNT 和/或源地址/目标地址未与 64B 对齐的情况下 UDMA 传输失败

- 如果使用 DRU 而不是 UDMA, 则测试通过。必须通过 UDMA DRU 外部通道将 TR 提交至 DRU。使用 DRU 并且 ICNT 和源地址/目标地址未对齐的情况下, 用户可以正常地触发和收到事件, 前提是对 TR 进行编程, 使得一个帧中的事件数量和触发次数为 1, 即在上述情况下 ICNT2 = 1 或者 EVENT_SIZE = COMPLETION 且触发器为无。然后, 完成事件正常发生。在相关用例中使用是不可行的。

上面是“2 维触发和等待”的示例, “1 维触发和等待”和“3 维触发和等待”的约束条件相同:

- 对于“1 维触发和等待”, ICNT0 必须是 64 的倍数
- 对于“3 维触发和等待”, ICNT0xICNT1xICNT2 必须是 64 的倍数

权变措施:

在 TR 中为 UDMAP 设置 EOL 标志, 如以下示例所示:

- 1 维触发和等待
 - TR.FLAGS |= CSL_FMK (UDMAP_TR_FLAGS_EOL、
CSL_UDMAP_TR_FLAGS_EOL_ICNT0);
- 2 维触发和等待
 - TR.FLAGS |= CSL_FMK (UDMAP_TR_FLAGS_EOL、
CSL_UDMAP_TR_FLAGS_EOL_ICNT0_ICNT1);
- 3 维触发和等待
 - TR.FLAGS |=
CSL_FMK(UDMAP_TR_FLAGS_EOL,CSL_UDMAP_TR_FLAGS_EOL_ICNT0_ICNT1_ICNT2);

此权变措施不会影响性能。

i2164
R5FSS: 由于挂起的中断接至低电平, 因此未检测到 ECC 注入逻辑中的错误
详细信息:

该器件能够在存储器读取时故意引入 ECC 错误, 以测试 ECC 检查逻辑是否正常工作 (用于诊断的测试)。该逻辑还包含检测此注入逻辑中的故障 (潜在故障) 的功能。但是, 存在导致不报告这些错误的问题。结果是, 所有 FMECA 计算中反映的潜在故障覆盖率略有降低。诊断 (ECC) 和诊断测试的能力不受影响。

权变措施:

无。

i2166
DDR: 进入和退出深度睡眠低功耗状态可能会导致 PHY 内部时钟失准
详细信息:

当 DDR PHY 进入深度睡眠低功耗状态时, 在禁用和关断 PHY PLL 之前会有延迟。如果在 PHY PLL 禁用之前退出深度睡眠模式, PHY 内部时钟可能彼此错位, 导致 PHY 内部出现时序故障。

权变措施:

如果通过向 DENALI_CTL_132 寄存器中的 LP_CMD 写入来使用软件启动的低功耗模式, 则确保已确认进入低功耗模式时至少等待 160 个 DDR 时钟周期, 然后再请求退出低功耗模式。另一个选项是采用以下权变措施。

如果使用 PSC 禁用 DDR 接口, 则确保在已确认禁用 DDR 接口后至少等待 160 个 DDR 时钟周期, 然后再发送启用该接口的请求。另一个选项是采用以下权变措施。

如果通过 DENALI_CTL_141 寄存器中的 LP_AUTO_ENTRY_EN 使用控制器的自动低功耗进入/退出机制, 则采用以下权变措施。

权变措施: 确保 DDR PHY 没有进入深度睡眠低功耗状态。

通过将 DENALI_PHY_1318 寄存器中的 PHY_LP_WAKEUP[3:0] 的值编程为大于 DDR 控制器寄存器中所有以下阈值的值来确保这一点。

LPI_CTRL_IDLE_WAKEUP_FN、LPI_PD_WAKEUP_FN、
LPI_SR_SHORT_WAKEUP_FN、LPI_SR_LONG_WAKEUP_FN、
LPI_SRPD_SHORT_WAKEUP_FN、LPI_SRPD_LONG_WAKEUP_FN、
LPI_SR_LONG_MCCLK_GATE_WAKEUP_FN、
LPI_SRPD_LONG_MCCLK_GATE_WAKEUP_FN 和 LPI_TIMER_WAKEUP_FN

其中, 对于不同的频率设定点, FN = F0、F1 和 F2。

i2168
UDMAP: 由于 MAIN/MCU NAVSS rofifo_wr_byten 问题而导致的虚假 ECC 错误
详细信息:

数据包匮乏可能会导致虚假的 ECC 错误。如果接收到一个数据包, 但当前没有用于发送该数据包的描述符, 则 UDMAP 会向预定义的存储器地址发出单字节存储器读取, 以允许更新记分板。接收的读取数据将更新通道的缓冲区存储器, 而不会更新存储在通道 FIFO 存储器中的 ECC 签名。当通道 FIFO 进行读取以回收缓冲区时, 硬件会生成 ECC 错误。

权变措施:

如果所有流都在 RX 流配置寄存器中将 rx_error_handling 模式设置为 1, 这将禁用虚拟读取, 因为逻辑现在会等待描述符, 而不是生成错误。如果要求错误处理模式为 0 且报告丢包情况, 则软件必须在接收到丢包计数递增后清除 ECC 错误。

i2171 **2-L SerDes : 状态变化监测器中断不可用**

详细信息 :

2-L SerDes 状态变化监测器中断线不可用。

2-L SerDes 状态变化监测器会报告电源状态和数据速率变化是否在 PHY_STATE_CHG_TIMEOUT 寄存器中定义的指定最大超时内完成。2-L SerDes PHY_INTERRUPT_STS_j 寄存器用于使能、配置和读取状态变化监测器的状态。

权变措施 :

应由软件读取 2-L SerDes PHY_INTERRUPT_STS_j 寄存器以确定状态变化监测器状态。

i2173 **MCU : 如果主域发出复位, 则 MCU 域可能会挂起**

详细信息 :

MCU 域设计为能够完全独立于器件的主域工作。如果主域被置于复位状态, 则即使存在从 MCU 主器件到主域从器件之间的待处理事务, MCU 域也应该继续不间断运行。该功能旨在确保主域由于故障而必须置于复位状态时 MCU 域将继续不间断运行。主域随后可以退出复位并重新启动。问题在于, 有时如果存在从 MCU 到主域的未处理事务且主域被置于复位状态 (由于故障有意或无意为之), 则可能会导致 MCU 域互连挂起。这可能进而导致 MCU 主器件失去响应。

权变措施 :

第一种权变措施是确保当主域处于复位状态时, 没有从 MCU 到主域的未处理 MCU 事务。这必须在系统层面强制执行。当主域复位以有序方式完成时, 可以使用此权变措施; 但如果主域复位是意外或由故障驱动, 则可能无法使用此权变措施。

第二种权变措施是在发生故障时不要将主域置于复位状态。主域可通过其他方式“离线”, 但系统实际上并不会对主域执行热复位。在这种情况下, MCU 将继续正常运行, 包括回退来自主域的任何待处理事务。

这两种权变措施均无法有效应对意外复位或需要复位以阻止传播或损坏的故障。

i2174 **DPHY : 复位序列问题可能导致未定义的模块行为**

详细信息 :

DPHY RX 模块使用四种不同的复位: CSI_RX_RST (硬件控制)、通用模块复位 (RSTB_CMN, 硬件控制)、数据通道复位 (CSI_RX_IF_VBUS2APB_DPHY_LANE_CONTROL[15:12] DLx_RESET) 和时钟通道复位 (CSI_RX_IF_VBUS2APB_DPHY_LANE_CONTROL [16] CL_RESET)。该模块期望按特定顺序释放这些复位, 但由于 RSTB_CMN 在内部连接到 CSI_RX_RST, 可能会违反该顺序。这可能会导致在软件配置和模块操作期间出现未定义的行为。

权变措施 :

无。如果在接口上观察到问题, 则复位 DPHY RX 模块。

i2177 **RINGACC : 环形加速器的调试事务跟踪流可能会被某些环形访问序列损坏**

详细信息 :

通过调试器直接访问其内存空间并且能够将其事务的跟踪流导出到 cptracer 网络, 环形加速器可以实现硬件辅助调试。通常, 使用基于 JTAG 的调试器来启用、收集和分析该调试信息, 该调试器通过 SOC 调试结构与环形加速器连接。存在一个勘误表, 这可能导致环形调试跟踪信息损坏或挂起。此失效可由正常的环形窥视操作触发, 或者如果调试器用于启动环形弹出操作, 也可以触发。此勘误表的损坏签名是在跟踪中被错误地报告为弹出操作

i2177 (续)***RINGACC : 环形加速器的调试事务跟踪流可能会被某些环形访问序列损坏***

的窥视操作。此外，在非环形模式（消息或凭据）期间，正常的环形弹出操作可能会导致跟踪的空字段中出现错误信息，或者调试弹出操作可能会导致目标地址不正确。

权变措施：

要使用环形加速器的硬件跟踪功能进行开发，代码应避免使用环形窥视操作和调试器启动的弹出操作。

i2178***PLL : 写入 PLL12_CAL_CTRL 寄存器 CAL_IN 字段的数据损坏*****详细信息：**

写入 PLL12_CAL_CTRL[11-0].CAL_IN 字段的数据损坏，导致 CAL_IN 不可用。

权变措施：

在非旁路模式下使用 PLL12 校准 (CAL_BYB = 0)；在这种情况下，校准根据 PLL 自己的搜索而不是 PLL12_CAL_CTRL[11-0].CAL_IN 寄存器值进行设置。另请注意，除非 DACEN = DSMEN = 0（这意味着仅限整数倍频模式），否则不应使用校准。

i2179***CPSW9G : 复位隔离无法正常工作*****详细信息：**

CPSW9G 的复位隔离无法正常工作，从而导致以下两个问题：

1. 由寄存器 SERDESx_CLKSEL 控制的 SerDes 时钟多路复用器进入复位状态。
2. CPSW9G 无法感知芯片级复位，并可能根据传入/传出主机的流量出现挂起或损坏其状态。

权变措施：

不应使能 CPSW9G 复位隔离。可通过设置以下寄存器字段来禁用该功能：

PSC0_MDCTL_64[12].RESETISO = 0b0

PSC0_MDCTL_63[12].RESETISO = 0b0

CPSW_SS_SERDES_RESET_ISO_REG[7:0].SERDES_RESET_ISO = 0x00

i2180***PRU-ICSSG : 交换机运行期间 FDB 表损坏*****详细信息：**

当 PRU-ICSSG 配置为 1Gbps 以太网交换机并使用 FDB 时，在 FDB 查找期间存在一个 PRU 时钟周期窗口，如果在此期间 PRU0 进行宽边访问，则 FDB 可能会损坏。

FDB 查找可由端口或主机操作启动。FDB 中的每一行都有 4 个“桶”（即 32 个字节），导致在给定的 SA 哈希索引处最多损坏 4 个桶（取决于在并发宽边访问期间使能的 PRU0 字节）。

PRU0 以外的 PRU 宽边访问没有影响。

权变措施：

固件内的权变措施可避免在 FDB 查找期间进行 PRU0 宽边访问，但较为复杂，暂未规划。

i2182***DDR : 使用 row-cs-bank-col 地址映射时不支持双列非 2 的幂次方密度*****详细信息：**

DDR 控制器不支持使用 row-cs-bank-col 地址映射的双列非 2 的幂次方密度的 LPDDR4 器件。

i2182 (续)

DDR : 使用 row-cs-bank-col 地址映射时不支持双列非 2 的幂次方密度

请注意，上述情况不适用于单列非 2 的幂次方密度器件以及所有 2 的幂次方密度器件。

权变措施：

对双列非 2 的幂次方密度 LPDDR4 器件使用 cs-row-bank-col 地址映射。要确保选择 cs-row-bank-col 地址映射，Cadence 控制器寄存器中的 cs_lower_addr_en 字段必须设置为 0。

i2183

PCIe : 未使用的通道未分配给 PCIe 控制器时，链路建立失败

详细信息：

如果将 PCIe 未使用的 SERDES 通道分配给另一个协议，则 PCIe 无法建立链路。例如，如果通道 2 和 3 分配给另一个协议，而通道 0 和 1 用于 PCIe 以形成双通道链路，则链路训练失败。这种失败是由于指示电气空闲的内部状态信号的不正确连接所致。

当通道未分配给 PCIe 时，从 SERDES 传输到 PCIe 控制器的状态信号会连接。指示电气空闲的信号错误地连接至指示非空闲的状态。因此，PCIe 会认为未使用的通道退出电气空闲状态，这会导致 LTSSM 退出 Detect.Quiet 状态，而没有等待 12ms 超时发生。如果在 Detect.Active 状态下的第一次接收器检测尝试时未检测到接收器，则 LTSSM 会返回 Detect.Quiet 状态，然后再次进入 Detect.Active 状态，而没有等待 PCIe 基本规范的要求的 12ms。由于忽略了 Detect.Quiet 中的等待时间，因此会连续执行多个接收器检测操作，没有留出时间让发送线路上的电容放电。即使接收器最终连接上，这也会导致后续的接收器检测始终失败。

权变措施：

当未使用的 SERDES 通道分配给不同的协议时，以下两种权变措施之一适用。

1. 需要注意的是，此权变措施仅适用于单通道 PCIe 配置。此权变措施涉及将运行 PCIe 的通道的 TX_RCVDET_OVRD_PREG_j 寄存器设置为 0x2，从而启用接收器检测覆盖。这会导致当 LTSSM 处于 Detect.Active 状态时，SERDES 指示接收器成功检测，无论接收器实际是否存在。如果接收器存在，则 LTSSM 继续按预期建立链路。但是，如果接收器不存在，LTSSM 将在 Polling.Configuration 子状态中超时，因为将不会接收到预期的训练序列数据包。

2. 此权变措施涉及以下序列。在初次建立链路，以及链路在任何运行点断开时任何后续链路建立时，必须遵循这些步骤。

第 1 步：使用 PCIE_USER_CMD_STATUS 寄存器中的 LINK_TRAINING_ENABLE 字段快速连续启用和禁用链路训练。确保相应的两次寄存器写入按顺序进行。链路训练必须至少启用一个时钟周期。

第 2 步：等待大约 20ms。此等待时间不求精确。最短等待时间必须接近 5ms。

第 3 步：检查 PCIE_USER_LINKSTATUS 寄存器中的 LTSSM_STATE 字段，以了解当前 LTSSM 状态。如果状态为 Detect.Quiet，则从第 1 步开始重复操作。如果状态不是 Detect.Quiet，则退出权变措施序列，因为检测到接收器且链路训练已按预期进行。

i2184

CPSW : IET 快速流量监管问题

详细信息：

这适用于 9 端口 CPSW、5 端口 CPSW、3 端口 CPSW 和 2 端口 CPSW IET 流量。

在 IET (穿插快速流量) 中，如果被抢占的数据包被快速数据包中断，则可能会发生以下两种情况：

i2184 (续)**CPSW : IET 快速流量监管问题**

1. 如果对快速流量进行了监管，则被抢占数据包的帧大小将应用于快速流量策略器。假设策略器设置为对快速流量流进行速率调度，则么它将接收它中断的被抢占数据包大小的命中。被抢占数据包还接收快速流量策略器状态。因此，由于快速流量策略器，被抢占数据包可能会与其他快速流量一同丢弃。
2. 如果未对快速流量执行监管，则中断的抢占数据包将不会使其数据包大小应用于被抢占策略器。

权变措施：

请勿监管 IET 快速流量。

i2185**CPSW : 策略器颜色标记问题**

详细信息：

仅适用于 CPSW9G 和 CPSW5G。

当来自两个不同端口的数据包命中同一策略器，使一个端口具有大数据包，另一个端口具有短数据包，并且短数据包恰好在大数据包启动后到达时，短数据包将停止备货计数，从而可能在该策略器的下一个帧应为绿色时将其标记为黄色。由于策略器通常设置为不弃用黄色，因此不应引起问题。只有在数据包到达共享相同策略器索引的不同端口时，才会出现这种情况。

权变措施：

确保策略器对端口是唯一的。

i2187**MSMC : 将高速缓存大小调整为 0 会刷新标记，而不是更新标记**

详细信息：

对于之前在 MSMC 的 L3\$ (DDR) 中缓存了脏数据的行，将 MSMC L3\$ 大小从非零更改为零、然后再改回非零时，会发生数据损坏 (MSMC 返回全 0)。MSMC 复位释放后直接进行的 0->N 配置不受该问题的影响。

MSMC 内部高速缓存调整大小事务始终标记为 *非分配性* 缺失。标记仅使用 *分配性* 缺失和命中的新值进行更新。这会导致高速缓存调整大小操作，使标记保持不变，同时将底层数据清零。

当更改 L3 高速缓存大小但数据被置为零时，所有现有标签都保留在 MSMC 中，因此后续读取这些先前缓存的行时，数据将返回全 0。

权变措施：

在 L3 高速缓存的大小从 N 调整为 0 之后，重置 MSMC，然后再将 L3 的大小从 0 调整为 X。此权变措施会保留数据，因为 L3 高速缓存大小 N -> 0 转换会强制数据进入 DDR，从而允许 DDR (在自刷新模式下) 包含有效数据。

i2188**VPAC、DMPAC : 队列存储器上的 UTC ECC 回写可能会导致 TR 损坏**

详细信息：

对于 VPAC 和 DMPAC UTC 中的以下队列缓冲区，当通过软件控制使能 ECC 错误注入来收集诊断时，UTC 可能会挂起或出现数据损坏。

受影响队列缓冲区的存储器名称：

i2188 (续)

VPAC、DMPAC : 队列存储器上的 UTC ECC 回写可能会导致 TR 损坏

- dru_utc_vpac_tpram_dru_queue_buffer
- dru_utc_vpac_tpram_dru_queue_buffer2
- dru_utc_dmpac_tpram_dru_queue_buffer
- dru_utc_dmpac_tpram_dru_queue_buffer2

权变措施 :

软件必须禁用上述 QUEUE 存储器上的 ECC 注入，以避免导致 UTC 挂起。
注意：ECC 校验在正常运行期间仍正常工作。

i2189

OSPI : 控制器 PHY 调优算法

详细信息 :

启用 PHY 模块后，OSPI 控制器使用 DQS 信号对数据进行采样。但是，该模块中存在一个问题，要求这种采样必须在内部时钟定义的窗口内进行。读取操作会受到外部延迟的影响，该外部延迟会随温度变化而变化。要确保在任何温度下都能有效读取，必须实施一种特殊调优算法来选择最稳健的 TX、RX 和读取延迟值。

权变措施 :

此错误的权变措施在 [SPRACT2](#) 中进行了详细介绍。要在某些 PVT 条件下对数据进行采样，必须调高读取延迟字段，以改变内部时钟采样窗口。这样就可以在数据眼图内的任何位置对数据进行采样。但是，这会带来以下副作用：

1. 必须为所有读取操作启用 PHY 流水线模式。由于必须要对写入操作禁用 PHY 流水线模式，因此读取和写入操作必须分开进行。
2. 当权变措施实施后，BUSY 位的硬件轮询中断，因此必须改用软件轮询。写入必须在页边界内通过 DMA 访问进行，以防主机或闪存器件发起的中断。软件必须在页写入操作间隙轮询 BUSY 位。或者，在启用硬件轮询时，写入可以在非 PHY 模式下执行。
3. STIG 读取必须填充额外的字节，并且接收到的数据必须右移。

i2190

CSI : CSI_RX_IF 在接收不完整的帧后可能进入未知状态

详细信息 :

当 CSI2 接口接收到可能存在 CRC 错误的不完整帧时，该模块可能进入未知状态。在这种情况下，将不会捕获所有后续图像帧。

权变措施 :

复位 CSI_RX_IF 模块。

i2191

ECC_AGGR : RAM80 误报不可纠正的奇偶校验错误

详细信息 :

系统总线上有一组信号，在 SOC 内的各电压域之间需要使用电平转换器。当主电压域未通电时，电平转换器会为 MCU 域中的下游逻辑保持默认值。

在这种情况下，其中一个电平转换器会驱动反相值。

如果在主域通电之前为该输入源 (ram_ecc80) 启用 ecc_aggregator 检查，则会在 MCU 电压域中生成错误的“不可纠正的 ecc 奇偶校验”误报，并记录在错误信号传输模块中。

i2191 (续)

ECC_AGGR : RAM80 误报不可纠正的奇偶校验错误

权变措施：

请勿在 ECC 聚合器中启用受影响的输入源检查，直到所有电压域均处于功能状态。
使用来自主域的源 IP 启用该特定源，以确保该值不受反转的影响。
在 ECC 聚合器中启用之前，必须清除错误的中断，因为其在上面列出的条件下始终会发生。
对于主电压域将被禁用/低功耗状态的任何情况，必须在该序列中禁用 ECC 聚合器中的输入源检查。

i2196

IA : IA 中可能出现的死锁情况

详细信息：

中断聚合器 (IA) 的一个主要功能是转换到达事件传输通道 (ETL) 总线的事件，它可以将事件转换为用于产生电平中断的中断状态位。在 IA 1.0 版中执行此功能的块称为状态事件块。

除了状态事件块外，还有另外两个主处理块：多播事件块和计数事件块。多播块实际上用作事件分离器。对于它接收的每个事件，多播块都可以生成两个输出事件。计数事件块用于将高频事件转换为可读计数。它对输入事件进行计数，并在计数从 0 转换到非零计数值/从非零读数值转换到 0 时生成输出事件。与状态事件块不同，多播和计数事件块生成输出 ETL 事件，然后将这些事件映射到其他处理块。

在设计后，发现了一个可能导致 IA 死锁的问题。当事件“循环”在这三个处理块之间发生时，就会出现该问题。有可能出现一种情况：由于路径阻塞，处理块无法输出事件，并且由于它无法输出事件，因此不能接收任何新的输入事件。无法接受输入事件这种情况会阻止输出路径展开，因此两条路径都被阻塞阻止。

权变措施：

图 3-5 展示了 IA 1.0 的概念方框图。通过采用不允许计数事件块向多播块发送事件的策略，可以避免可能出现的循环。选择此方法是因为更常见的做法是先拆分一个事件，然后对其中一个事件进行计数，同时将另一个事件发送到其他位置。由于该路径由于约定被阻塞，单个事件无法多次访问任何块，因此只要输出保持未阻塞状态，路径就无法被阻塞。

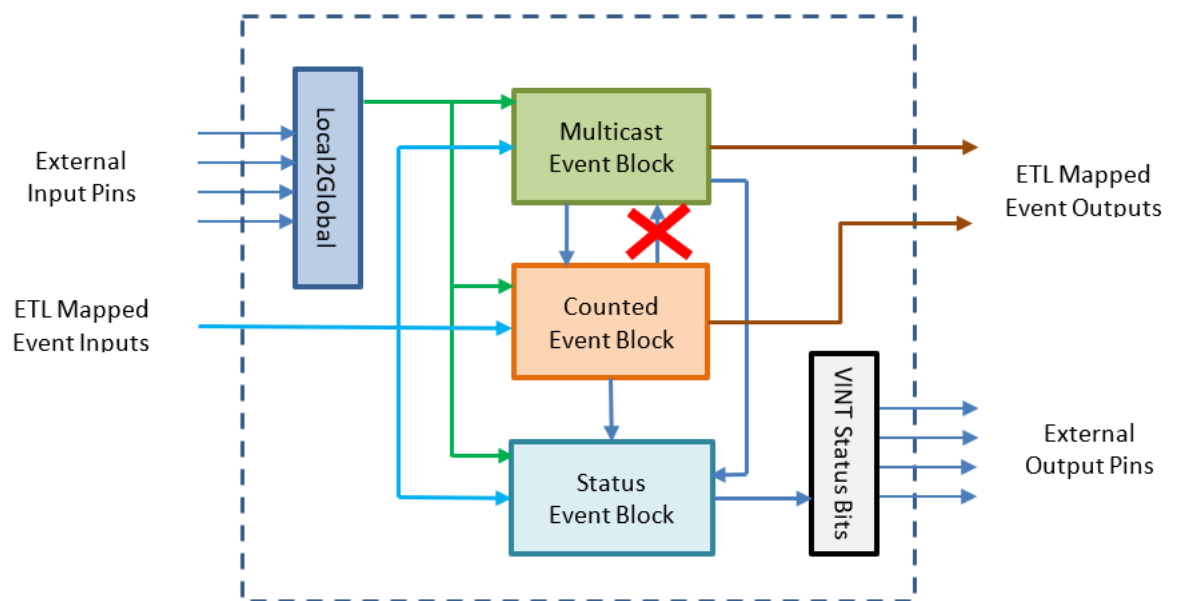


图 3-5. 中断聚合器 1.0 版

i2196 (续)

IA : IA 中可能出现的死锁情况

通过遵循此处概述的约定，系统不会出现可能产生死锁情况的危险循环。

i2197

I3C : 不支持从模式

详细信息 :

I3C 从模式不可用。只应使用单主总线上的主角色。

权变措施 :

无。只应使用单主总线上的主角色。

i2198

DRU、UTC : 不使用时将 ICNT3 设置为 0 时会出现问题

详细信息 :

如果将 ICNT3 设置为 0，则 DRU/UTC 无法将 TR 识别为一维。用于在 ICNT1 递减时生成事件或触发 TR 的保持。如果不使用 ICNT2 和 ICNT3，通常可将其设置为 0 或 1，具有相同的效果。但如果在将 TR 推入队列时执行 1D 触发或事件，则 ICNT3 的值为 0 将不会被视为 1D TR，从而导致 TR 不会删除前一个触发，也无法在 TR 结束时发送事件。

权变措施 :

如果未使用，TR 应始终将 ICNT 3 设为 1。

i2199

C71x : 在非对齐的转置流跨越 AM1 循环缓冲区边界时 SE 返回错误数据

详细信息 :

当 AM1 指比 AM0 大的循环缓冲区大小时，SE 可能会在非对齐转置流期间重复使用错误的 64B 数据行。当转置行中的其中一行跨越 AM1 循环缓冲区边界而不是 AM0 边界时，便会出现这种情况。

权变措施 :

将转置流完全对齐（这意味着起始地址和所有调整后的 DIM 值是 64B 的倍数），或者不要将 AM1 配置为比 AM0 大的循环寻址缓冲区大小。

i2200

复位 : TIMEOUT_PER 在编程为 0 值时无效。

详细信息 :

当编程为 0 时，CTRLMMR_WKUP_MAIN_POR_TO_CTRL[2:0].TIMEOUT_PER 硬件超时计数值无效。它不会立即发出主 PORz。

权变措施 :

在设置 CTRLMMR_WKUP_POR_RST_CTRL[0].POR_RST_ISO_DONE_Z 之前，将 CTRLMMR_WKUP_MAIN_POR_TO_CTRL[2:0].TIMEOUT_PER 编程为非零值。可以表述为：不允许立即超时（即 0）。

i2205

I3C : 在某些情况下，待处理 IBI 期间获取的命令未被正确处理

详细信息 :

在目标启动的 IBI 地址字节接收期间，主机执行的写入命令可能会导致控制器不正确执行命令，包括错误的帧生成。

权变措施 :

主机必须通过在向控制器发送命令之前发送广播 DISEC CCC 来禁用 IBI。

i2207**CBASS : 命令仲裁阻塞**

详细信息 :

当互连仲裁来自多个源的命令时，优先级较高的请求始终优先。优先级相同的请求将以轮询方式进行仲裁。问题在于，在优先级较高的请求变为空闲状态并且有两个或多个优先级相同的待处理请求后，硬件会任意选择其中一个请求。当软件从多个源轮询到同一端点时，可能会出现一个潜在问题：在为高优先级源提供服务后，硬件可能会重复选择相同的低优先级源进行访问。这意味着其他相同优先级较低请求可能会被长时间阻止，在最坏的情况下，如果轮询序列之间存在依赖关系，软件可能会运行进入活锁状态。

此问题仅影响某些互连，其中一个交换机模块中至少有三个源可以同时访问同一目标。另请注意，当所有请求都处于相同优先级时，该问题不适用。

权变措施 :

当多个源同时从同一端点轮询并且根据读取的数据存在预期依赖关系时，请确保所有源都以相同的优先级发送读取命令。中断依赖关系的源应具有与其他依赖源相同或更高的优先级。

i2208**CPSW : ALE IET 高速数据包丢失**

详细信息 :

此问题影响以下模块：

[J7ES] 2.5G 9 端口 CPSW，端口 3-8

ALE 出现问题的原因是简短高速流量和抢占数据包的 CPSW 频率和 IET 操作，在不支持 10G 的端口上这些数据包在 60-69 个字节之间被抢占。

如果 IET 抢占数据包在 60-69 个字节处中断，则在下一个块到达时进行查找。CPSW 仅提供可抢占 MAC 中的 ALE 64 个字节。

因此，简短高速流量查找将在 64 字节高速流量结束时开始，但当抢占队列继续时，抢占队列将完成 64 个字节的流量并尝试查找抢占数据包。然而，从高速查找开始，该查找操作少于 64 个时钟，因此高速查找将中止（高速流量丢失）并开始新的查找以获取抢占流量。

引发此问题的规则：

1. 您在不支持 5/10G 操作的端口上处于 IET（穿插快速流量）模式
2. 远程高速数据包可以是小至 60 个字节的抢占数据包
3. 抢占 128 字节或更多字节的数据包流量。
4. 中断 60-69 个字节的抢占流量的高速流量。
5. 一个简短高速流量，然后继续是抢占流量。
 - a. 高速帧与抢占帧之间的间隔是最小的。
6. CPSW 频率在所需速度下处于最低等级性能。

权变措施 :

在 IET 协商过程中，指示远程器件在 128 字节处分段。

i2210**R5FSS : ATB 刷新请求被抑制**

详细信息 :

此问题与调试器中常见的跟踪工具相关。由 TBR 或 TPIU 发起的 R5FSS ATB 刷新请求 (AFVALID) 无法到达 R5FSS ETM。由于此问题，ATB 刷新请求不会传播到 ETM，并且无法保证相应的 ATB 刷新应答 (AFREADY) 指示缓冲区已刷新。

i2210 (续) R5FSS : ATB 刷新请求被抑制

权变措施 : 无。

i2211 UFS : 休眠退出可能会导致链路重新初始化

详细信息 : 当使用 HS 速率档位在双通道模式下运行时，UFS 链路通道 TX0 和 TX1 之间的数据可能会在进入/退出休眠时发生偏斜。这是由于生成了额外的偏斜消除模式 (MK0、MK1 符号)，并将导致收到来自对等器件的 NAC 错误。当接收到 NAC 时，UFS_UECDL[14:0].EC 将设置为 0x0001。

为了响应 NAC，Unipro 链路将退出 HS 模式并重新初始化为 PWM 模式。

权变措施 : 使用 DME_HIBERNATE_ENTER (0x17) 和 DME_HIBERNATE_EXIT (0x18) UIC 命令操作码禁用所有驱动器功能，并通过将自动休眠计时器的值设置为零 (AHIT 寄存器) 来禁用 Auto-Hibern8 功能。

i2213 C7x SE : 当 2 数据阶段务返回不同的 rstatus 时，SE 可能会挂起

详细信息 : 在极少数情况下，例如在通过 SE 流式传输的数据中，存储器中发生特定位置的 2 位不可纠正错误，则 C7x 内可能会发生挂起。发生这种情况的条件是：不可纠正的错误必须是 SE 遇到的第一个错误 (奇偶校验或其他错误)；该错误必须在流内特别对齐；并且 SE 必须远在 C7x 使用数据之前，SE 已在其标签中分配该行，然后请求并接收该行，而在其标签/内部结构中尚未腾出空间来分配下一行；因此，这种情况极不可能发生。

在 SE 从 L2SRAM 或 MSMCSRAM 流式传输的正常应用场景中，可能遇到此错误的唯一情况是特别对齐、不可纠正的错误。如果使用 SE 从其他端点进行流式传输，则其他特别对齐的错误可能会导致此情况，但从此类端点获取的往返时间要长得多，因此 SE 更不可能在携带错误的响应返回 SE 时处于可能挂起的状态。发生挂起时，唯一的恢复方法是完全复位 C7x。

权变措施 : 唯一可以采取的措施是恢复。如果 C7x 挂起，则必须对其进行复位。

i2214 C66x : 如果未设置屏障，则对不同端点的写入可能会乱序到达

详细信息 : C66x 和中断聚合器之间的桥可以停止事务以清除事件。C66x 的 DRU 触发信号通过另一条路径传输，从而导致潜在的争用情况，即在清除上一个事件之前就可以生成下一个事件。发生这种情况时，软件会丢失一个事件，并且将与 DRU 操作不同步。

权变措施 : 应在事件清除写入之后使用设置屏障操作，以确保其在从 C66x 发送下一个触发信号之前到达。

i2215
DRU : 如果使用非原子 TR 提交机制, 则 C7x 的乱序写入可能会损坏 TR 提交
详细信息 :

C7x 可允许写入顺序与 CPU 发送数据的顺序不同。DRU 中的非原子 TR 寄存器要求最后写入 TR 的最低字节, 因为这会强制将其他字段推入 TR 队列。如果最后一次写入并非最后到达, 则乱序写入将导致使用错误的 TR 字段, 从而导致 DRU 出现意外行为。

权变措施 :

C7x 应仅使用原子 TR 提交方法, 因为这种方法只需要一个 64 字节的写入即可完成 TR 提交。

i2216
I3C : 在从器件启动的 IBI 地址字节接收期间, 命令执行可能失败
详细信息 :

如果在从器件启动的 IBI 地址字节接收期间写入命令, 则向 I3C 控制器发送的 SoC 主机命令可能会导致控制器错误执行命令, 包括生成错误的帧。

在这种情况下, 命令响应队列中错误地填充了响应。此外, 如果接收到的 IBI 没有有效载荷并得到主器件的确认, 则从器件获取的命令会导致通过总线发出错误帧。

权变措施 :

主机需要在向控制器发送命令之前发送广播 DISEC CCC 来禁用 IBI。

i2217
通过 MCU_BOOTMODE[09:08] 配置的建议 POST 选择
详细信息 :

MCU_BOOTMODE[09:08] 引脚可用于配置加电自检 (POST) 运行模式。

MCU_BOOTMODE[09:08] 的影响取决于内部电子保险丝覆盖控制的 TI 出厂设置。TRM 中定义的选项包括 :

POST Config Pins		POST Sequence
MCU 9	MCU 8	
0	0	DMSC LBIST followed by MCU LBIST followed by PBIST ⁽²⁾
0	1	DMSC LBIST and MCU LBIST in parallel followed by PBIST ⁽²⁾
1	0	Reserved ⁽²⁾
1	1	POST bypass ⁽¹⁾

如“权变措施”一节中所述, 建议的 MCU_BOOTMODE[09:08] 设置取决于器件类型。

器件类型由器件型号 Y/器件类型指示符标识, 详见 SoC 数据手册第 10 章。下图对此进行了说明 :

i2217 (续)

通过 MCU_BOOTMODE[09:08] 配置的建议 POST 选择

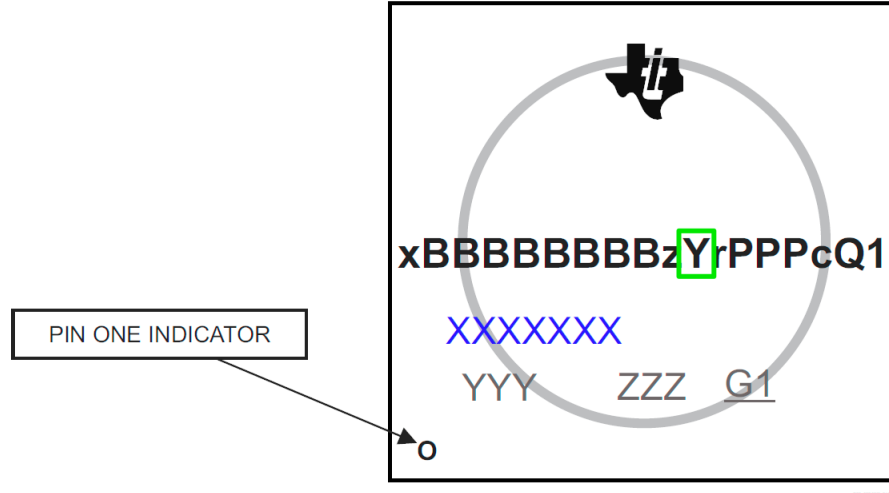


Figure 10-1. Printed Device Reference

权变措施：

对于器件类型 = C、5、D

- MCU_BOOTMODE[09:08] 引脚为“不用考虑” - 通过电子保险丝覆盖
- 出厂电子保险丝 post_enable = 1
 - SoC 将运行 POST 序列“DMSC LBIST 和 MCU LBIST 并行运行，然后运行 PBIST”，运行时间约为 20ms。
- TI 建议将 MCU_BOOTMODE[09:08] 设置为“01”，以确保与未来器件兼容。

对于器件类型 = G、0

- MCU_BOOTMODE[09:08] 必须设置为“11”，以运行“POST 旁路”。

i2219

C7x SE : SE 针对 uTLB 故障返回错误的 rstatus

详细信息：

SE 在向报告 C7x CPU 之前记录的页面故障前可能会覆盖这些故障。这会导致 SE 向 CPU 报告页面故障时，随附的错误特征码可能已损坏。虽然随附的错误特征码可能已损坏，但当发生页面故障时，这些特征码始终会随正确的故障虚拟地址一起报告。

权变措施：

如果 SE 返回页面故障 (IERR = 0x1, IESR[19:16] = 0x3)，则用户必须分析系统/软件设置，以确定确切的故障原因，而不是参考页面故障特征码 (IESR[15:0])。

i2221

CC : 侵入式和非侵入式调试使能设置被 MCU_RESETz 复位

详细信息：

在将 MCU_RESETz 置为有效后，CTRLMMR_MCUSEC_CLSTR0_CORE[1:0]_DBG_CFG 寄存器错误地复位为默认值。只应在 PORz 置为有效时复位这些寄存器。因此，在 MCU_RESETz 置为有效时，软件对此寄存器所做的任何影响侵入式和非侵入式调试操作的更改都将被覆盖。

权变措施：

MCU_RESETz 置为有效后，软件应对 CTRLMMR_MCUSEC_CLSTR0_CORE[1:0]_DBG_CFG 寄存器重新编程。

i2227***R5FSS : 错误中断 CCM_COMPARE_STAT_PULSE_INTR 被错误驱动***

详细信息

当器件上的模块为节能而被功能禁用/隔离时，器件的任何输出都需要保持在固定值，以避免任何下游系统问题。

当 R5FSS 被隔离/禁用时，来自 R5FSS 的错误中断

CCM_COMPARE_STAT_PULSE_INTR 被错误地驱动为高电平有效值。如果在错误信令模块 (ESM) 中启用了检测逻辑，则这种情况将记录为器件中发生错误。默认情况下，禁用检测逻辑。

权变措施

在 R5FSS 模块处于功能激活状态之前，请勿启用对该错误的 ESM 检测。在禁用 R5FSS 模块之前禁用对该错误的 ESM 检测。

i2228***JTAG : 如果 TRSTn 器件引脚从未置为有效，则调试器使用的 TAP 可能无法访问***

详细信息

如果从未观察到 TRSTn 为低电平，则未初始化逻辑可能会阻止访问嵌入式调试器扫描链。JTAG 旁路和边界扫描功能不受影响。

权变措施

在连接调试器之前，确保 TRSTn 引脚在 100ns 内置为低电平，然后在器件上电后至少一次置为高电平无效。

i2229

AASRC : 不支持 AASRC

详细信息

不支持 AASRC。

权变措施

无。

i2230 **ICSSG : 不支持 ICSSG**

受影响版本 1.1、1.2

详细信息 不支持 ICSSG。

权变措施 无

i2232

DDR：控制器在频率更改后推迟刷新超过允许的次数

详细信息

当从较高的时钟频率动态切换到较低的时钟频率时，控制刷新命令推迟的滚动窗口计数器未正确加载，以适应较低的时钟频率。这将导致控制器推迟的刷新命令超过 DRAM 规范所允许的次数，从而违反 DRAM 的刷新要求。

权变措施

权变措施 1：通过编程 `DFS_ENABLE = 0` 来禁用动态频率更改

权变措施 2：如果切换频率，则根据下面列出的伪代码对寄存器字段值进行编程。请注意，控制器要求在触发初始化之前对 `AREF_*_THRESHOLD` 值进行编程。在初始化后的任务模式中不能更改它们的值。因此，这些参数的值必须是计划使用的每次频率更改过渡所需的所有值中的最小值。

```

if (old_freq/new_freq >= 7){
  if (PBR_EN==1) { // Per-bank refresh is enabled
    AREF_HIGH_THRESHOLD = 19
    AREF_NORM_THRESHOLD = 18
    AREF_PBR_CONT_EN_THRESHOLD = 17
    AREF_CMD_MAX_PER_TREF = 8
  }
  else { // Per-bank refresh is disabled
    AREF_HIGH_THRESHOLD = 18
    AREF_NORM_THRESHOLD = 17
    // AREF_PBR_CONT_EN_THRESHOLD <=== don't care, PBR not enabled
    AREF_CMD_MAX_PER_TREF = 8
  }
}
else {
  AREF_HIGH_THRESHOLD = 21
  AREF_NORM_THRESHOLD //<=== keep AREF_NORM_THRESHOLD < AREF_HIGH_THRESHOLD
  AREF_CMD_MAX_PER_TREF = 8
  if (PBR_EN==1) { // Per-bank refresh is enabled
    //keep AREF_PBR_CONT_EN_THRESHOLD<AREF_NORM_THRESHOLD<AREF_HIGH_THRESHOLD
    AREF_PBR_CONT_EN_THRESHOLD
  }
}

```

i2233***DMADVR : MAIN 域和 MCU 域之间出现链路/link_safer 同步问题***

详细信息

在不同 DMA 流式域 (主域和 MCU 域) 之间对 PSIL 链路信号进行奇偶校验时出现连接错误。在链路状态转换期间 (例如, 链路因为端点复位而断开), 关联的奇偶校验器可以标记错误的奇偶校验错误。指定的校验器在正常运行期间无法禁用, 或者可能会未检测到其他错误。

权变措施

应用程序必须选择禁用校验器并面临未检测到错误的风险, 或者在已知域电源转换期间检查所有报告的错误, 并忽略由 PSIL 链路信号引起的错误。

i2234***UDMA : 如果 ICNT0 小于 64 字节, 则 TR15 挂起***

详细信息

UDMA 始终尝试发送事务的突发大小。如果实际 ICNT0 小于最小突发大小 64, 则 UDMA 将等待从未出现的数据并挂起。如果在 TR 中设置了 EOL, 则 UDMA 始终发送最后一个数据的数据, 无论允许发送传输的大小如何。

权变措施

可以通过在 TR 中将 EOL 设置为 1 来解决此问题

i2235

CBASS 空错误中断未被使能寄存器屏蔽

详细信息

CBASS 中有一个可选功能，可添加空错误报告 MMR 和中断源。当存在该功能且启用中断时，以下这两个输出端口：“err_intr_intr”（电平中断源）和“err_intr_pls_intr”（脉冲中断源）将在发生空区域访问时置为有效。中断启用位于 ERR_INTR_ENABLE_SET 寄存器（地址偏移 0x58）中。

问题在于 CBASS 会忽略该使能位，因此任何空访问始终会产生中断源/事件。

权变措施

由于处理器事件的默认禁用状态，该错误不会导致虚假事件。在系统级，除非在关联的 GIC/VIM 中断控制器中启用，否则处理器不会接收任何事件。

当中断已启用并且确实发生中断时，在 cbass 级写入以下寄存器以将其清空：

将 0x1 写入 err_intr_enabled_stat 寄存器，然后将 0x1 写入 err_eoi 寄存器。

i2238**PCIe : 2-L SerDes PCIe 参考时钟输出可能超过 5.0 GT/s 数据速率 RMS 抖动限制****详细信息**

在输出模式下运行 2-L SerDes PCIe 参考时钟时，时钟的 RMS 抖动可能超过 5.0 GT/s 数据速率的 PCIe 规范限制。

权变措施

选项 1：

在派生 Refclk 模式（而非接收 Refclk 模式）下配置参考时钟输出，并按如下方式对 PLL 配置寄存器进行编程：

内部 SSC 模式无需更改 PLL 配置。

对于无 SSC 模式，应写入以下寄存器以更改 PLL 配置：

- 设置 cmn_pll1c_bwcal_mode0_preg = 0x8706
- 设置 cmn_pll1c_lf_coeff_mode0_preg = 0x2005

选项 2：

请勿以 5.0 GT/s 的数据速率运行 PCIe 接口。

选项 3：

使用外部时钟源为链路的根复合体和终点器件提供 PCIe 参考时钟。

内部说明：

测量 Refclk 输出时，应将 SerDes 配置为 A2 状态，以使 TX/RX 断电。这与应用于外部 Refclk 发生器的测试方法一致。

i2239

PCIe : 在更改数据速率时, 2-L 串行器/解串器 PCIe 参考时钟输出暂时禁用

详细信息

当发生以下任一场景时, 2-L SerDes PCIe 参考时钟输出将被暂时禁用:

- 场景 A: 将数据速率切换自/至 8.0 GT/s 时, 因为 SerDes 通用 PLL 在速度变化期间会被重新编程
- 场景 B: 当 SerDes 的第二条通道处于复位/断电状态时, 数据速率将切换自/至任何速度, 或与第一条通道一起使用以形成双通道链路。
 - 受影响的配置示例包括:
 - PCIe 1L (第二条通道处于复位/断电状态)
 - PCIe 2L
 - 不受影响的配置包括:
 - PCIe + USB (USB 未处于复位/断电状态)
 - PCIe + 以太网 (SGMII/QSGMII/XFI, 未处于复位/断电状态)

在更改数据速率时, 一些使用 PCIe 参考时钟的外部 PCIe 元件可能不允许禁用时钟。但是, 该器件系列中的 2-L 和 4-L SerDes 不存在接受此参考时钟行为的问题。这意味着, 当一个器件生成参考时钟而另一个器件接收参考时钟时, 将一个器件中的 2-L 或 4-L SerDes 连接到另一个器件中的 2-L 或 4-L SerDes 的链路不会出现问题。

权变措施

针对场景 A 和场景 B 的一个权变措施是: 使用外部时钟源为链路的根复合体和终点器件提供 PCIe 参考时钟。

场景 A 也可通过以下任一方法解决:

1. 使用单链路 PCIe 配置, 其中 CMNPLLLC 用于所有 PCIe 数据速率 (2.5GT/s、5.0GT/s 和 8.0GT/s)。PHY_PLL_CFG[0] 也应设置为 1'b0, 以防止在数据速率切换自/至 8.0 GT/s 时重新编程 CMNPLLLC。
2. 请勿以 8.0 GT/s 的数据速率运行 PCIe 接口

场景 B 也可通过以下任一方法解决:

- 1) 确保 2-L Serdes 的第二条通道未复位, 并非双通道链路的一部分, 并且当第一条通道发生速度变化时未处于低功耗状态。实现此目标的一种方法是在未使用的通道上设置虚拟 SerDes 配置。

设置 PCIe 1L 配置的虚拟通道:

将第二条通道设置为 USB 或 Q/SGMII。这可以通过配置 CTRL_MMR0 空间中 CTRLMMR_SERDES*_LN1_CTRL 寄存器的 LANE_FUNC_SEL 字段来实现。

此外, 还必须根据所选的协议对第二条通道执行 SERDES 配置。

请注意, 第二条通道上的 USB 或 Q/SGMII 是虚拟配置, 不应正常工作。

通过在 LANECTL1 寄存器中将 P1_FORCE_ENABLE 设置为 1'b1, 强制使能第二条通道。P1_ENABLE 位必须保持在 1'b0。

请注意, 如果为第二条通道选择 USB, 则由于这虚拟配置, USB 将无法正常工作。这是因为强制使能通道与 USB 不兼容。

如果应用未使用给定的 Q/SGMII 实例, 也可以选择 Q/SGMII 作为虚拟配置。然而, 如果选择 Q/SGMII, 则此项并非必须为虚拟配置; 如果应用需要, 也可以正常工作。

设置 PCIe 2L 配置的虚拟通道:

设置第二个 SERDES 以提供 refclk_p/refclk_n SERDES 引脚的参考时钟。例如, 如果 PCIe 2L 使用 SERDES0, 则可以将 SERDES1/SERDES2/SERDES3 用作第二个 SERDES。

i2239 (续)**PCIe : 在更改数据速率时, 2-L 串行器/解串器 PCIe 参考时钟输出暂时禁用**

使用 CTRLMMR_SERDES*_LN*_CTRL 寄存器选择要在第二个 SERDES 的两条通道上使用的 USB 或者 Q/SGMII 或 PCIe (与当前正在处理的实例不同的实例)。如果选择的协议是 USB, 则必须在此寄存器中将第二条通道标记为“未使用”, 但必须将 SERDES 的两条通道均配置为 USB。

同时, 根据所选协议对 SERDES 进行编程。请注意, 此第二个 SERDES 仅作为虚拟配置, 不应正常工作。因此, 必须选择应用未使用的 SERDES 和控制器实例。

通过将 LANECTL0 寄存器中的 P0_FORCE_ENABLE 设置为 1'b1, 将 LANECTL1 寄存器中的 P1_FORCE_ENABLE 设置为 1'b1, 强制使能 SERDES 的两条通道。P0_ENABLE 和 P1_ENABLE 位必须保留为 1'b0。

将第一个 SERDES 的 REFCLKP 和 REFCLKN 引脚保持未连接状态。改用第二个 SERDES 的 REFCLKP 和 REFCLKN 引脚来为链路伙伴提供参考时钟。

为第一个和第二个 SERDES 提供相同的 SOC 内部参考时钟。这非常重要, 可确保输入到引脚的参考时钟相位对齐, 并且在相对于第一个 SERDES 上串行引脚的抖动限制范围内。

2) 仅以 2.5 GT/s 的数据速率运行 PCIe 接口

i2244

DDR : 必须为写入 DQ VREF 训练定义有效的停止值

详细信息

DDR PHY 使用起始值、停止值和步长值进行写入 DQ VREF 训练。如果停止值不等于起始值 + 步长的倍数，则最终 VREF 设置可能会超出最大 VREF 范围，导致训练挂起。

权变措施

按以下方式对停止值进行编程：

$PI_WDQLVL_VREF_INITIAL_STOP = (PI_WDQLVL_VREF_INITIAL_STEP_SIZE \text{ 的倍数}) + PI_WDQLVL_VREF_INITIAL_START$

i2245

DMSC : 防火墙区域需要特定配置

详细信息

DMSC 内部的 ECC 聚合器 (DMSC0_ECC_AGGR) 有一个用于保护该区域的端点防火墙。默认情况下，此防火墙阻止除来自 DMSC 内的 M3 内核之外的所有事务。

权变措施

如果另一个处理器或端点需要访问 DMSC0_ECC_AGGR 区域，软件应使用起始地址 0x0 和结束地址 0xFFFF_FFFF 配置该防火墙区域，并使用与 DMSC0_ECC_AGGR 区域关联的 CBASS_FW_REGION_i_START_ADDRESS 和 END_ADDRESS 寄存器。这是该区域唯一允许的地址配置。

i2246

PCIe : 未使用的 SERDES 通道未分配给 PCIe 控制器时，自动合规性进入将失败

详细信息

连接到无源负载时，PCIe 无法进入合规性状态。当未使用的 SERDES 通道未分配给 PCIe 控制器时，会发生这种情况。例如，如果 PCIe 在通道 1 模式中配置，且只有 SERDES 的通道 0 分配给 PCIe 控制器并且通道 1、2 和 3 未分配给 PCIe 控制器，则合规性进入将失败。

当通道未分配给 PCIe 时，从 SERDES 传输到 PCIe 控制器的状态信号会连接。指示电气空闲的信号错误地连接至指示非空闲的状态。因此，控制器会认为未使用的通道退出电气空闲状态（表示该通道未连接到无源负载），而这会阻止合规性进入。

请注意，此问题仅在连接到无源负载时影响自动合规性进入机制（例如，在其接收线路中提供端接但不会使其发送线路退出电气空闲状态的示波器）。该问题不会影响 PCIe 规范定义的进入合规性或合规性接收机制。

权变措施

唯一提供的权变措施是在合规性验证期间将所有 SERDES 通道分配给 PCIe。

i2249

OSPI : 具有 DDR 时序的内部 PHY 环回和内部焊盘环回时钟模式无法运行

详细信息

OSPI 内部 PHY 环回模式和内部焊盘环回模式采用“启动沿作为捕获沿”（相同的边沿捕获或 0 周期时序）。

可编程接收延迟线 (Rx PDL) 用于补偿往返延迟 (Tx 时钟至闪存器件、闪存时钟至输出以及闪存数据至控制器)。

在内部环回模式和 IO 环回模式的情况下，Rx PDL 的总延迟不足以补偿往返延迟，因此不能使用这些模式。

下表介绍了 OSPI 控制器中推荐的时钟拓扑。在 DDR 模式下，此处未描述的所有其他模式都受本公告的影响，不推荐作为时钟拓扑。

i2249 (续)
OSPI : 具有 DDR 时序的内部 PHY 环回和内部焊盘环回时钟模式无法运行
表 3-6. OSPI 时钟拓扑

时钟模式术语	CONFIG_REG.PHY_MODE_ENABLE	READ_DATA_CAPTURE.BYPASS	READ_DATA_CAPTURE.DQS_EN	电路板实现
无环回、无 PHY	0 (PHY 禁用)	1 (禁用调整后的环回时钟)	X	无。依靠内部时钟。最大频率 50MHz。
具有 PHY 的外部电路板环回	1 (PHY 启用)	0 (启用调整后的环回时钟)	0 (DQS 禁用)	外部电路板环回 (OSPI_LOOPBACK_CLK_SEL = 0)
具有 PHY 的 DQS	1 (PHY 启用)	x (DQS 启用具有优先级)	1 (DQS 启用)	连接到 SOC DQS 引脚的存储器选通

权变措施

无。请根据介绍的表格，使用未受影响的时钟模式之一。

i2253
PRG : CTRL_MMR_STAT 寄存器是 POK 阈值失效的不可靠指示器
详细信息

CTRL_MMR PRG STAT 寄存器中的 POK 过压和欠压标志是用于指示 POK 是否失效的不可靠指示器。因此，在器件技术参考手册 (TRM) 中将它们标记为“保留”。

权变措施

滤波后的 POK 输出会更新 ESM 标志。

在 POK 初始化 (即启用) 时，应该清除 ESM 标志 (根据带隙和/或 POK 趋稳时间内进行的比较)。在该初始清除之后，ESM 标志可用作 POK 失效 (或未失效) 的可靠指示器。

i2257
引导 : xSPI 引导模式冗余映像引导失败
详细信息

当偏移 0x0 处的映像损坏时，xSPI 引导无法从 0x400000 的冗余映像偏移进行引导。ROM 中的 xSPI 引导失败 API 没有正确处理 xSPI 的标头检查。

权变措施

对于 xSPI 1S 模式运行，启用 SPI 作为备用引导模式。请注意，该权变措施不适用于 xSPI SFDP 和 8D 模式件。没有适用于 SFDP 和 8D 模式的权变措施。

i2271
C7x SE : 如果 SEBRK 期间发生页面故障/UMC 错误，SE 可能会挂起
详细信息

当 SE 收到来自 uTLB (页面故障) 或来自 UMC (2 位错误、寻址错误、权限错误等) 针对某个活动标签的错误响应时，它会停止执行 SE 的获取 FSM。处理 SEBRK 的最后一步是重新启动该相同 FSM 的执行。

如果这两个事件均以特定的时序发生，则 SE 将无法正确地重新启动获取 FSM 的执行，并且 SE 将挂起。这将导致 C7x CPU 在下次引用 SE 时挂起。

权变措施

挂起后，唯一的解决方案是复位 C7x 内核包。

i2274

DDR : 在 BSCAN 中包括 DDR 会导致 DDR 电源上出现电流警报

详细信息

包含 DDR 时，BSCAN 会导致电流警报跳变。应向使用 BSCAN 的客户提醒此问题，以在边界扫描期间排除扫描链中的 DDR。这仅影响具有 DDR 接口引脚输出的器件封装。

权变措施

执行边界扫描时从扫描链中移除 DDR。如果 DDR 接口未引脚输出，则此勘误表不适用。

i2275

DMSC 安全引导 ROM : X.509 证书中的显式 EC 曲线参数存在潜在的安全引导漏洞

详细信息

引导 ROM 支持使用 EC 信任根密钥。但是，ROM 实现使用 X.509 证书中指定的显式曲线参数来保存 ROM 存储器。

- 问题是，如果显式定义了曲线参数，则显式定义的 EC 参数可以使用合法但不同的私钥来复制已知的公钥。
- NIAP (美国通用准则计划) 最近发布了一系列有关 ECDSA X.509 证书使用的技术决策 (TD)，涉及多种保护配置文件。
- 根据 RFC 5480 第 2.1.1 节，X.509 证书不允许使用显式定义的 EC 参数。

使用命名曲线扩展可绑定公钥和曲线类型以防止这种情况发生。

参考资料：

1. 概述 <https://lightshipsec.com/explicitly-parameterized-ecdsa-x-509-certificates/>
2. Microsoft 漏洞 <https://msrc.microsoft.com/update-guide/vulnerability/CVE-2020-0601>
3. 第 2.1.1 节建议不要在 PKI 中使用显式曲线参数 <https://tools.ietf.org/html/rfc5480>

权变措施

对受影响的器件型号和修订版本使用 RSA 根密钥。请勿使用需要显式形式的 EC 私有根密钥。

i2277

POK : 去毛刺 (滤波器) 仅基于两个样本

详细信息

以大约 1.25us 的周期对 POK 进行采样。“邻近”样本历史记录保存在循环缓冲区中。去毛刺 (滤波器) 旨在对样本历史记录中的最后 n 个条目进行 AND 运算，以生成 (到 ESM) 的输出。

去毛刺滤波器仅检查最后一个条目 (第 0 个) 和前面的四个样本 (第 3 个)。滤波器对这两个结果 (而不是 4 个) 进行 AND 运算，以生成到 ESM 的失败输出。

请注意，当 POK 设置为监控固定阈值 (UV 或 OV，但未设置为乒乓模式) 时，将使用未检查的样本。

以 J7ES 为例：在 POK 的下一个样本中，先前忽略的第二个样本将递增到第三个位置，因此将包含在失败输出的生成中。

当以乒乓方式控制 POK 时，忽略的样本将被丢弃。

权变措施

没有权变措施。

不过，去毛刺 (滤波器) 的目的是确保离散电压骤降或上升不会触发失败。两个点的采样在时间上明显分开，意味着电压骤降/上升不是单个孤立事件。

由于滤波器要求所有 N 个样本在向 ESM 生成失败信号之前失败，因此包含 2 个点而不是 N 个使此电路更加敏感。

i2278 ***MCAN : 当从配置有相同报文 ID 的专用 Tx 缓冲区发送时, 无法确保报文发送顺序***

详细信息

此勘误表仅限于多个 Tx 缓冲区配置有相同报文 ID (TXBC.NDTB > 1) 的情况。

在以下情况下, 消息可能会不按顺序发送:

- 多个 Tx 缓冲区配置有相同的报文 ID
- 这些 Tx 缓冲区的 Tx 请求按顺序提交, 且每个请求之间存在延迟

权变措施

权变措施 1:

将具有相同报文 ID 的 Tx 报文写入消息 RAM 后, 通过对 TXBAR 进行一次写访问, 同时请求发送所有这些报文。在同时发出请求之前, 确保所有这些报文中都没有挂起的 Tx 请求。

权变措施 2:

使用 Tx FIFO 而不是专用 Tx 缓冲区 (设置位 MCAN_TXBC[30] TFQM = 0 以使用 Tx FIFO) 按特定顺序发送多条具有相同报文 ID 的报文。

i2279***MCAN : 配置有相同报文 ID 的专用 Tx 缓冲区和 Tx 队列的规范更新***

详细信息

此勘误表更新了 M_CAN 用户手册中第 3.5.2 节专用 Tx 缓冲区和第 3.5.4 节 Tx 队列中的说明, 该说明与配置有相同报文 ID 的多个专用 Tx 缓冲区的报文发送有关。

权变措施

权变措施 1:

将具有相同报文 ID 的 Tx 报文写入消息 RAM 后, 通过对 TXBAR 进行一次写访问, 同时请求发送所有这些报文。在同时发出请求之前, 确保所有这些报文中都没有挂起的 Tx 请求。

权变措施 2:

使用 Tx FIFO 而不是专用 Tx 缓冲区 (设置位 MCAN_TXBC[30] TFQM = 0 以使用 Tx FIFO) 按特定顺序发送多条具有相同报文 ID 的报文。

i2283***对于如何使用 CP Tracer 调试探针的限制***

详细信息

某些 CP Tracer 总线探针不接收完整的 SoC 物理地址, 而只接收与所监测端点相关的最小地址集。这限制了探针在 CCS 的 SoC Analysis > Traffic Profiling 功能中的可有用性。

1) 地址过滤/匹配: 用户通常会为任何符合地址条件的总线探测作业输入完整的 36b/40b (取决于器件) 地址。

2) 事务跟踪解码: 用户期望解码流中提供的地址是事务的完整 36b/40b 物理地址。

受影响的探针头:

J7ES

权变措施

无

i2305

ICSSG : 活动 FDB 查找期间执行 PRU RAM WRT 会导致写入数据损坏

详细信息

PRU 过滤数据库 (FDB) RAM 写入可能会导致 FDB RAM 损坏。

权变措施

1. 不允许在新数据包传输期间进行 PRU FDB 写入 (可通过关闭端口来实现)
或
2. PRU FDB RAM 写入只能在安全区进行, 即检查帧起始 (SOF0/SOF1) 并根据传输速度 (100MHz 或 1GHz) 计算安全区

i2306

ROM 代码 : 需要关闭 SERDES 中的内部端接电阻器

详细信息

此器件中的 SERDES 实现具有默认启用的内部端接电阻器。在 PCIe 引导期间, ROM 代码没有禁用这些端接电阻器, 这会导致 PCIe 参考时钟的电压摆幅降低, 可能小于为 PCIe 参考时钟定义的最小限值。这可能导致 PCIe 引导失败。

权变措施

无

i2307

引导 : ROM 无法根据 BOOTMODE 正确选择 OSPI 时钟模式

详细信息

无论 BOOTMODE 引脚选择的 Iclk 字段值如何, ROM 引导加载程序仅为 SPI/QSPI/OSPI/xSPI 引导选择内部环回模式 (有关 BOOTMODE 引脚映射, 请参阅器件特定 TRM), 目的是允许用户选择内部或外部时钟方法。这会降低客户设计中电路板拓扑的灵活性。由于未使用外部环回时钟, 打算使用外部电路板环回模式的客户可能会在 ROM 引导中遇到时序问题。

权变措施

如果计划使用 OSPI 作为引导源, 则 OSPI 设计的拓扑不得使用“外部电路板环回”。可以使用所有其他时钟拓扑 (包括内部环回或 DQS)。有关受支持的使用 OSPI 的时钟拓扑, 请参阅器件特定数据表的“应用、实现和布局”一节。

i2310

USART: 错误地清除/触发超时中断

详细信息 :

在 RHR/MSR/LSR 寄存器读取期间, USART 可能会错误地清除或触发超时中断。

权变措施 :

CPU 用例

- 如果超时中断被错误地清除 :
 - 清除是有效的, 因为 FIFO 中的挂起数据会重触发超时中断
- 如果错误地设置了超时中断, 并且 FIFO 为空, 请使用以下软件权变措施来清除中断 :
 - 在 TIMEOUTH 和 TIMEOUTL 寄存器中设置超时计数器的高值
 - 将 EFR2 第 6 位设置为 1 以将超时模式更改为周期性模式
 - 读取 IIR 寄存器以清除此中断
 - 将 EFR2 第 6 位设置回 0 以将超时模式改回原始模式

DMA 用例

- 如果超时中断被错误地清除 :

i2310 (续)
USART: 错误地清除/触发超时中断

- 清除是有效的，因为下一个周期性事件会重触发超时中断
- 用户必须通过将 EFR2 第 6 位设置为 1 来确保 RX 超时行为处于周期性模式
- 如果超时中断被错误地设置：
 - 这会导致 DMA 被软件驱动程序关闭
 - 有效，因为下一个传入数据将导致软件再次设置 DMA

i2311
USART 虚假 DMA 中断

详细信息：

当在 TLR 寄存器中出现非 2 的乘幂触发级别的情况下，使用 DMA 访问 TX/RX FIFO 时，可能会发生虚假 DMA 中断。

权变措施：

为 TX/RX FIFO 触发级别使用 2 的乘幂值 (1、2、4、8、16 和 32)。

i2312
MMCSDB : HS200 和 SDR104 命令超时窗口太小

详细信息：

在高速 HS200 和 SDR104 模式下，MMC 模块的功能时钟将达到 192 MHz。在此频率下，通过 MMC 主机控制器使用 MMCSDB_SYSCTL[19:16] DTO = 0xE 可获得的最大超时为 $(1/192\text{MHz}) \times 2^{27} = 700\text{ms}$ 。超过 700ms 的命令可能会受到这一较小窗口时间范围帧的影响。

权变措施：

如果命令需要超过 700ms 的超时，则可以禁用 MMC 主机控制器命令超时 (MMCSDB_CON[6] MIT=0x1) 并可以使用软件实现代替它。详细步骤如下所示 (在 Linux 中)：

1. 在 MMC 主机控制器探测函数 (omap_hsmmc.c:omap_hsmmc_probe()) 执行期间，通知处理器主机控制器无法支持所有必需的超时。
2. 修改 MMC 核心软件层功能，以便在底层 MMC 主机控制器无法支持所需超时的情况下，内核自行超时。

i2320
UDMA 和 UDMAP : 必须返回未分片的描述符和 TR

详细信息

UDMA 和 UDMAP 要求将描述符和 TR 放置在返回描述符或 TR 的存储器子系统中，而不对描述符进行任何分片。但是，一些存储器包含分片桥，因此无法用于保存描述符和 TR。对于该器件，R5 TCM 存储器无法保存 UDMA 或 UDMAP 的描述符或 TR

权变措施

无

i2329
MDIO : MDIO 接口损坏 (CPSW 和 PRU-ICSS)

详细信息：

CPSW 和 PRU-ICSS 外设的所有实例 (如果存在) 的 MDIO 接口可能在 MDIO 读取时返回损坏的读取数据 (例如返回过时数据或以前的数据) 或在 MDIO 写入时发送错误的数

i2329 (续)

MDIO : MDIO 接口损坏 (CPSW 和 PRU-ICSS)

据。MDIO 接口也可能在下次外设复位 (通过 LPSC 或在 CPSW 的情况下禁用复位隔离时通过全局器件复位) 之前不可用。

该问题在系统层面的表现可能包括 (1) 错误的以太网 PHY 链路断开状态 (2) 无法通过 MDIO 正确配置以太网 PHY (3) PHY 检测不正确 (例如地址错误) (4) 尝试通过 MDIO 配置 PHY 时读取或写入超时。

对于启动模式 (如果支持, 仅限 CPSW), 不存在确保主以太网启动成功的权变措施。如果在主启动期间发生该异常, 启动可能发起重试, 重试可能成功, 也可能不成功。如果重试不成功, 这将导致最终超时并转换到备用启动模式 (如已选定)。如未选定备用启动模式, 此类故障将导致超时并强制通过芯片看门狗进行器件复位, 之后整个启动过程将再次重启。

要选择备用启动选项 (如果支持), 请在启动模式引脚上安装适当的拉电阻器。请参阅各特定器件选项的启动文档, 通过以太网进行主启动尝试的典型超时为 60 秒。

权变措施:

在受影响的器件上, 应使用以下权变措施:

MDIO 手动模式: 适用于 PRU-ICSS 和 CPSW。

可以通过读取和写入 MDIO 外设 MDIO_MANUAL_IF_REG 寄存器中的相应位来模拟 MDIO 协议, 直接操作 MDIO 时钟和数据引脚。有关手动模式寄存器位及其功能的完整详细信息参见 TRM。

在这种情况下, 器件引脚多路复用应配置为允许 IO 由 CPSW 或 PRU-ICSS 外设控制 (与正常预期运行相同), 但必须确保 MDIO_CONTROL_REG 中的 MDIO_CONTROL_REG.ENABLE 位为 0 来禁用 MDIO 状态机, 同时将 MDIO_POLL_REG.MANUALMODE 位设置为 1 来启用手动模式。

联系 TI 了解如何实施软件权变措施。

备注

如果使用以太网 DLR (设备层环网) (在 CPSW 或 PRU-ICSS 上) 或 EtherCAT 协议 (在 PRU-ICSS 上), 由于链路状态检查需要轮询间隔, 实施运行时权变措施 1 可能对 CPU 或 PRU 负载产生重大影响。因此应考虑系统产生的影响。

对于 PRU-ICSS, 使用 MDIO 的 MLINK 功能通过 MIIx_RXLINK 输入引脚到 PRU-ICSS 自动轮询链路状态可以减少软件权变措施的负载, 其中 PRU-ICSS 必须连接外部来自 PHY 且链路处于活动状态时不会切换的状态输出。根据外部 PHY 器件的指定行为, 该 PHY 状态输出可能是 LED_LINK 或 LED_SPEED, 也可能是 LED_LINK 和 LED_SPEED 的逻辑“或”。有关使用 MDIO 的 MLINK 功能的详细信息, 请参阅 TRM 的 MDIO 部分。此功能在 CPSW 外设上不可用。

对于在 PRU-ICSS 上实施 EtherCAT, 软件权变措施将在 RTUx/ TX_PRUx 核心中完成。核心必须专门针对权变措施, 即无法用于其他目的。实施方案将支持通过两个用户访问通道访问 MDIO。这为 R5f 核心和 PRU 核心提供独立访问通道的选项。这些 API 将与我们在 RTOS 权变措施实施中的 API 类似。

EtherCAT 将继续通过链路状态的 MDIO MLINK 绕过状态 m/c (此路径不受勘误表影响) 使用 PHY 快速链路检测。这样可以确保仍然满足电缆冗余相关延迟要求。

i2329 (续)

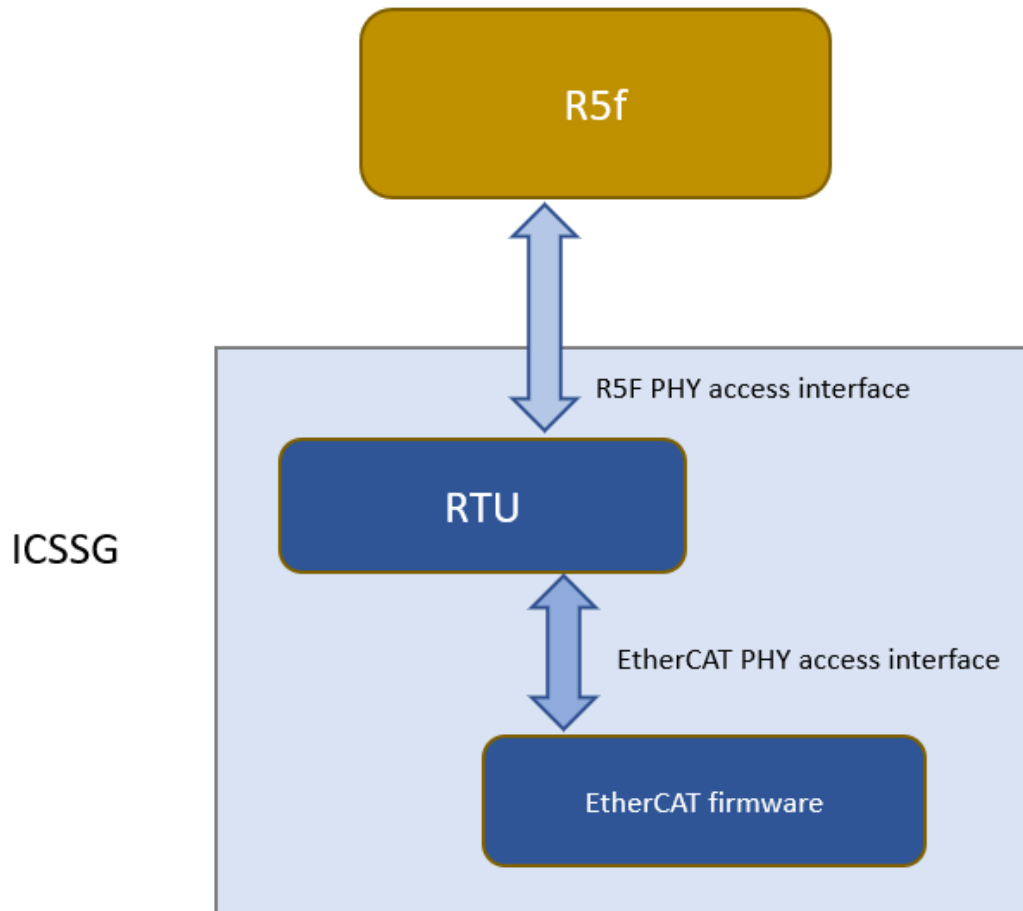
MDIO : MDIO 接口损坏 (CPSW 和 PRU-ICSS)

图 3-6. 使用 PRU 核心通过手动模式进行 MDIO 模拟

i2351

OSPI : 直接访问控制器 (DAC) 不支持带 NAND 闪存连续读取模式

详细信息：

OSPI 直接访问控制器 (DAC) 不支持带 NAND 闪存连续读取模式，因为 OSPI 控制器可以在发送到 OSPI 控制器的内部 DMA 总线请求之间，将向闪存存储器发送的 CSn 信号置为无效（根据设计意图）。

发生此问题的原因是，一些 OSPI/QSPI NAND 闪存存储器提供的“连续读取”模式要求片选输入在整个突发事务中持续置为有效状态。

SoC 内部 DMA 控制器和其他启动器限制用于 1023 B 或更小的事务，并且仲裁/排队可以在各种 DMA 控制器内部进行，也可以在任何 DMA 控制器与 OSPI 外设之间的互连中进行。这会导致到 OSPI 控制器的总线请求延迟，进而导致外部 CSn 信号被置为无效。

NOR 闪存存储器不受 CSn 置为无效的影响，连续读取模式正常运行。

权变措施：

软件可以使用页面/缓冲读取模式来访问 NAND 闪存。

i2362

10-100M SGMII : Marvell PHY 没有忽略前导码字节, 而导致链路故障

详细信息:

在 10/100 模式下且数据包之间有奇数个时钟时, CPSW SGMII 模块最多输出 0x50 前导码数据的 5 个字节。所有字节均应为 0x55。在 1000Mbps 模式下, 不会出现该问题, SFD 之前的前导码中有 7 个 0x55。在 100Mbps 模式下, SFD 之前的前导码中有 70 个字节 (因为数据在 1000Mbps 模式下复制 10 次)。发生问题时, 70 个字节中的前五个字节可以是 0x50。到目前为止, 尚未检测到该问题, 原因是仅对 PHY 进行了测试, PHY 允许前导码减少而不关心第一个字节数中的实际数据。但是, Marvell PHY (88Q1111 或类似产品) 最近检测到该问题, 它查看前导码数据并根据 0x50 前导码数据作出数据包保留/丢弃决策。

权变措施:

可选权变措施包括:

1. 使用不会产生该问题的 1000M 模式。

或

2. 使用 TI PHY (DP83869 或类似产品) 或任何其他在 10/100/1000M 模式下可以减少/忽略前导码数据的 PHY。

i2366

引导 : ROM 不理解 8D-8D-8D 操作使用的特定 JEDEC SFDP 特性

详细信息:

JEDEC 规范 JESD216 - 串行闪存可发现参数 (SFDP) 详细说明了在某些串行闪存器件中使用的参数表, 用于描述特性以及如何与器件通信/配置器件。ROM 可以解释 SFDP 中适用于器件特性的相关部分 (例如, 如何从 1S-1S-1S 模式更改为 8D-8D-8D 模式), 但不能正确理解有以下需要的闪存器件:

- 与 1S-1S-1S 模式相比, 8D-8D-8D 模式下的交换的字节顺序
- 8D-8D-8D 模式下的命令扩展, 它需要使用与发送的第一个字节不同的命令 (例如, 操作码反转或其他唯一字节)

权变措施:

查看符合 JEDEC JESD216 的任何候选闪存存储器的 SFDP 表; 大多数情况下, 供应商不会发布该表, 但可以向闪存供应商索取。如果 JEDEC 基本闪存参数表的第 18 个 DWORD 的第 31 位的值为 “1b”, 则必须在出厂时以交换的字节顺序对存储器进行编程, 或使用 SoC 进行编程。如果 [30:29] 位的值不是 “00b”, 则它不能在 8D-8D-8D 模式下用于任何引导模式。因此, 避免对该闪存器件使用任何 8D-8D-8D 引导模式。

i2371

引导 : 数据传输过程中, UART 引导模式下的 ROM 代码可能出现挂起

详细信息:

由于公告 i2310, UART 引导过程中可能出现 ROM 代码执行挂起的情况。i2310 公告中提及的软件权变措施未在 ROM 中实现, 因此在非预期状态下可能触发错误的超时中断。这可能会导致 ROM 无法清除此中断, 进而出现挂起。

只要使用 UART 引导模式或将 UART 用作引导接口以启用生产流程 (例如 UniFlash 或者使用 OTP Keywriter 对电子保险丝进行编程), 就可能会出现此问题。

权变措施:

无。应使用其他引导接口。

i2383**OSPI : PHY DDR 模式不支持 2 字节地址**

详细信息 :

当 OSPI 控制器配置为在 PHY DDR 模式中进行 2 字节寻址时，内部状态机将发送的地址字节数失配为值 1 (而不是 2)。这会导致状态机在地址阶段锁定，使 PHY DDR 模式不可运行。

使用任何 Tap 模式或 PHY SDR 模式时，不会发生此问题。在 PHY DDR 模式下使用 4 字节寻址时，也不会出现此问题。

权变措施 :

对于具有可编程地址字节设置的兼容 OSPI 存储器，请将闪存上所需的地址字节数从 2 设置为 4。这可能涉及发送一条特定命令以更改地址字节和/或在闪存上写入配置寄存器。完成后，将在控制器设置中发送的地址字节数从 2 更新为 4。

对于仅支持 2 字节寻址且无法重新编程的兼容 OSPI 存储器，PHY DDR 模式将与该存储器不兼容。替代模式包括：

- PHY SDR 模式
- TAP (无 PHY) DDR 模式
- TAP (无 PHY) SDR 模式

i2399**C7x : CPU NLC 模块在中断时未清除状态**

详细信息 :

在以下情况下将会发生数据损坏：

1. 一个应用程序正在运行，并涉及任务切换。在这种情况下，至少有 2 个任务可能使用 NLC。
2. 当为任务 A 提供中断时，发出了一条 NLCINIT，然后是 TICK。此操作最终会设置 NLC 模块中的一些内部状态，说明我们需要在下一条 TICK 时将 ILCNT_INIT 值重新加载到 ILCNT，因为它计算出的转发用例已刷新。在接到中断时，该状态未被正确清除。
3. ISR 执行任务切换并切换到任务 B，任务 B 也在运行 NLC 代码。要返回到的 NLC 代码需要继续进行，并且其 ILCNT_INIT 值与原任务中的 NLC 循环不同。
4. 从 ISR 返回后，下一条 TICK 会因状态损坏最终将 ILCNT 设置为错误的值 (ILCNT_INIT - 2)。

此时 ILCNT 已损坏，NLC 循环将执行错误次数的迭代，从而导致数据损坏。

权变措施 :

在保存上下文的过程中，在 ISR 中发出 NLCINIT (参数无关紧要，随后无需发出 TICK/BNL)。权变措施不会影响性能。

i2401**CPSW : 主机时间戳导致 CPSW 端口锁定**

详细信息 :

CPSW 提供两种机制，将数据包进站时间戳信息传递给主机。

第一种机制是通过 CPTS 事件 FIFO 实现的，该机制在由特定事件触发时记录时间戳。这类事件包括接收到包含指定 EtherType 字段的以太网数据包。这种机制最常用于捕获 PTP 数据包的进站时间戳。通过这种机制，主机必须将时间戳 (来自 CPTS FIFO) 和 DMA 提供的数据包有效载荷分开读取。这种模式受支持并且不受此勘误表影响。

第二种机制是为所有数据包启用接收时间戳，而不仅仅是 PTP 数据包。采用这种机制时，时间戳会通过 DMA 与数据包有效载荷一起传送。第二种机制是本勘误表的主题。

i2401 (续)

CPSW : 主机时间戳导致 CPSW 端口锁定

当启用 CPTS 主机时间戳时，每个传送到内部 CPSW 端口 FIFO 的数据包都需要来自 CPTS 的时间戳。当数据包前导码由于 EMI 或任何其他损坏机制而损坏时，可能不会向 CPTS 发送时间戳请求。在这种情况下，CPTS 将不会生成时间戳，这会导致 CPSW 端口 FIFO 中出现锁定状况。当通过清除 CPTS_CONTROL 寄存器中的 `tstamp_en` 位来禁用 CPTS 主机时间戳时，将阻止发生锁定状况。

权变措施：

必须禁用以太网到主机的时间戳。

可以使用 CPTS 事件 FIFO 时间戳来代替 CPTS 主机时间戳。

i2409

USB : USB2 PHY 由于短暂挂起而锁定

详细信息：

当 USB 2.0 PHY 可能挂起，以响应在 USB 控制器进入挂起状态的 3 微秒内发生的 USB 唤醒事件时。这种 PHY 挂起只能通过电源重启恢复，因为热复位无效。

权变措施：

注意：此权变措施仅在 USB 不是主引导模式时适用。如果 USB 是主引导模式，则没有可用的权变措施。

为防止该问题发生，在 USB 控制器初始化过程中必须遵循特定的操作顺序：

1. 通过 LPSC 移除 USB 控制器复位。
2. 将 SUSP_CTRL 中的 USB 控制器 `suspend_residency_enable` 字段设置为“1”。
3. 继续进行正常的 USB 控制器初始化

i2414

引导：以太网 PHY 扫描和启动流程不适用于不支持自动协商的 PHY

详细信息：

ROM 以太网 (RGMII 或 RMII) 引导模式需要 PHY 自动协商完成后，才会检查链路状态。因此，不支持自动协商的 PHY 无法使用此引导模式。

权变措施：

无，需要支持自动协商的 PHY。

i2418

引导：由于证书信息不存在，导致安全 ROM 冻结

详细信息：

在正常引导流程 (而非完整组合映像流程) 中，如果证书信息 (扩展信息或旧信息) 不存在，安全 ROM 将进入无限循环。当向 SOC 提供证书而 SOC 没有证书信息时，将出现这种情况。安全 ROM 将在以下更多情况下冻结 (陷入无限循环)：

1. 证书信息不存在
2. 地址转换失败
3. 哈希计算失败

权变措施：

i2418 (续) 引导：由于证书信息不存在，导致安全 ROM 冻结

确保证书信息 (扩展信息或旧信息) 存在。

i2422 引导：MMCSD 文件系统引导时，ROM 的超时时间过长

详细信息：

由于 ROM 存在漏洞，如果尝试从空或已擦除 (或出厂全新状态) 的 eMMC 器件通过 SD/MMC 引导 (文件系统模式) 进行引导，正常的引导超时切换至备份引导模式功能将失效，因为引导过程会陷入无限循环，直至看门狗计时器触发复位。

权变措施：

需要从另一个主引导模式引导才能对 eMMC 闪存进行编程。

i2424 PLL：PLL 编程序列可能会导致 PLL 不稳定

详细信息：

PLL 编程序列已经更改，以确保如果使用它，在启用 PLL 校准前，所有校准字段都已配置。除了更改对校准逻辑的控制之外，还实现了其他更改，以便在启用 PLL 时 PLL 参数保持不变。

在整数模式下时，软件会在支持校准的 PLL 上启用 PLL 校准功能。之前的软件在 CAL_LOCK 置为有效后调整校准模式。已经看到，这些写入操作会导致某些器件上的 PLL 锁定丢失。此外，即使在易受影响的器件上，锁定丢失也是间歇性的，但是当丢失发生时，相关电路以不正确的频率运行；这种错误频率可能表现为算法执行缓慢或通信故障。

限制影响：当 PLL 处于小数模式时，不能使用校准逻辑。因此，被编程为使用分数模式的 PLL 不应出现与校准编程相关的故障。然而，由于对完整 PLL 序列的更改，建议所有用户使用新软件。

权变措施：

请勿将 clk_pll_16fft_cal_option4() 用于 SYSFW。执行任何 PLL 配置更改时，确保使用 SDK v10.0 或更高版本中更新后的 PLL 编程序列。

i2435 引导：eMMC 引导的 ROM 超时过长

详细信息：

由于 ROM 中存在错误，如果尝试从空的或已擦除 (即，恢复出厂设置) 的 eMMC 器件以 eMMC 引导模式 (即从 eMMC 引导分区进行引导，有时称为 eMMC 替代模式) 进行引导，切换至备份引导模式的正常引导超时时间可长达 10 秒。

权变措施：

如果系统认为此超时时间过长，则需要从另一种引导模式引导。

i2449 RAT：R5FSS RAT MMR 不受奇偶校验保护

详细信息：

存储在 R5FSS RAT MMR 中的值在存储期间不受奇偶校验保护。这意味着即使在奇偶校验保护启用的情况下，也不会检测到 MMR 中的位翻转，因此没有针对永久或瞬态错误的保

商标

HyperBus™ is a trademark of Cypress Semiconductor Corporation.

Arm® is a registered trademark of Arm Limited (or its subsidiaries) in the US and/or elsewhere.

所有商标均为其各自所有者的财产。

修订历史记录

Changes from FEBRUARY 28, 2025 to JUNE 10, 2026 (from Revision F (February 2025) to Revision G (June 2026))

	Page
• 更新了“模块”表中公告 i2128 的 SR 2.0 信息.....	2
• 增加了使用说明 i2330 : DDRSS 寄存器配置工具更新.....	9
• 删除了公告 i2101 的权变措施 ; GIC : ITS 异常行为.....	23
• 更新了公告 i2160 ; DDR : 必须在 LPDDR4 命令总线训练期间定义有效 VRef 范围.....	44
• 增加了公告 i2449 ; RAT : R5FSS RAT MMR 不受奇偶校验保护.....	80
• 增加了公告 i2482 ; 引导 : ROM 在 SD 卡初始化期间未提供足够的时钟.....	81

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月