

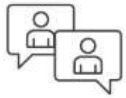
采用 **TPS6594-Q1** 的 **J7200 DRA821** 电源设计

说明

TPS65941515-Q1 PMIC 为汽车类 Jacinto™ 7 DRA821 处理器提供全面的电源管理。这个单通道 PMIC 提供五个 BUCK 和四个 LDO，支持高达 ASIL-D 级别的功能安全。该系统包括用于负载开关和 LDO 功能的分立式元件，可实现多种电源状态，包括运行模式、待机模式和保持模式，并具有高级时序功能。

资源

TIPA-050067	设计文件夹
TPS65941515-Q1、DRA821	产品文件夹
TPS22965-Q1、TPS74501P-Q1	产品文件夹
TLV73318P-Q1	产品文件夹



请咨询 TI E2E™ 支持专家

特性

- 全面的电源资源
- 高级功能安全
- 多种电源状态
- 灵活的 I/O 支持
- 全面的错误监控
- 高级保护功能
- 可配置的 GPIO 控制
- 双 I2C 通信

应用

- [域网关](#)
- [ADAS 域控制器](#)
- [车身控制模块 \(BCM\)](#)
- [车联网 \(V2X\)](#)
- [智能远程信息处理网关](#)

1 系统说明

本设计指南介绍了一种配电网络 (PDN)，即 PDN-2A，它使用单个 TPS6594-Q1 PMIC 和一些分立式元件为 DRA821 处理器和外设供电。

备注

对于不需要对 MCU 电源进行板级隔离以实现额外低功耗模式的设计，建议将 PDN-2A 用于 DRA821。

以下主题旨在说明平台系统运行：

1. PDN 电源连接
2. PDN 数字控制连接
3. 主辅 PMIC 的静态 NVM 设置
4. 支持高级处理器系统不同 PDN 电源状态转换的 PMIC 时序设置

PMIC 和处理器数据表提供了建议的运行条件、电气特性、建议的外部元件、封装详情、寄存器映射和整体元件功能。如果任何用户指南、应用报告或其他参考资料之间存在任何不一致的地方，应以数据表规格为准。

2 重点产品

2.1 器件版本

TPS6594-Q1 器件有不同版本，具有独特的 NVM 设置，从而支持不同的处理器解决方案。每个 PMIC 器件的独特 NVM 设置根据 PDN 设计进行了优化，以支持不同的处理器、处理负载、SDRAM 类型、系统功能安全级别和最终产品特性（如低功耗模式、处理器电压和内存子系统）。TI_NVM_ID 和 NVM_REV 这两个寄存器均可识别 NVM 设置。

表 2-1. TPS6594-Q1 NVM 设置和可订购器件型号

PDN 用例	可订购器件型号	TI_NVM_ID	TI_NVM_REV
- 在 CORE 轨上高达 5.95A⁽¹⁾ - 在 CPU 轨上高达 5.95A⁽¹⁾ - 在 SDRAM 上高达 1.7A⁽¹⁾，支持 LPDDR4 - 支持高达 ASIL-D 的功能安全等级 - 支持低功耗模式，包括 GPIO 保留和 DDR 保留状态 - 支持 3.3V 或 1.8V 的 I/O 电平 - 支持使用 SD 卡	TPS65941515	0x15	0x03

(1) TI 建议在每个 PMIC 输出电源轨的最大预期负载电流与最大允许电流之间留出 15% 的裕度。

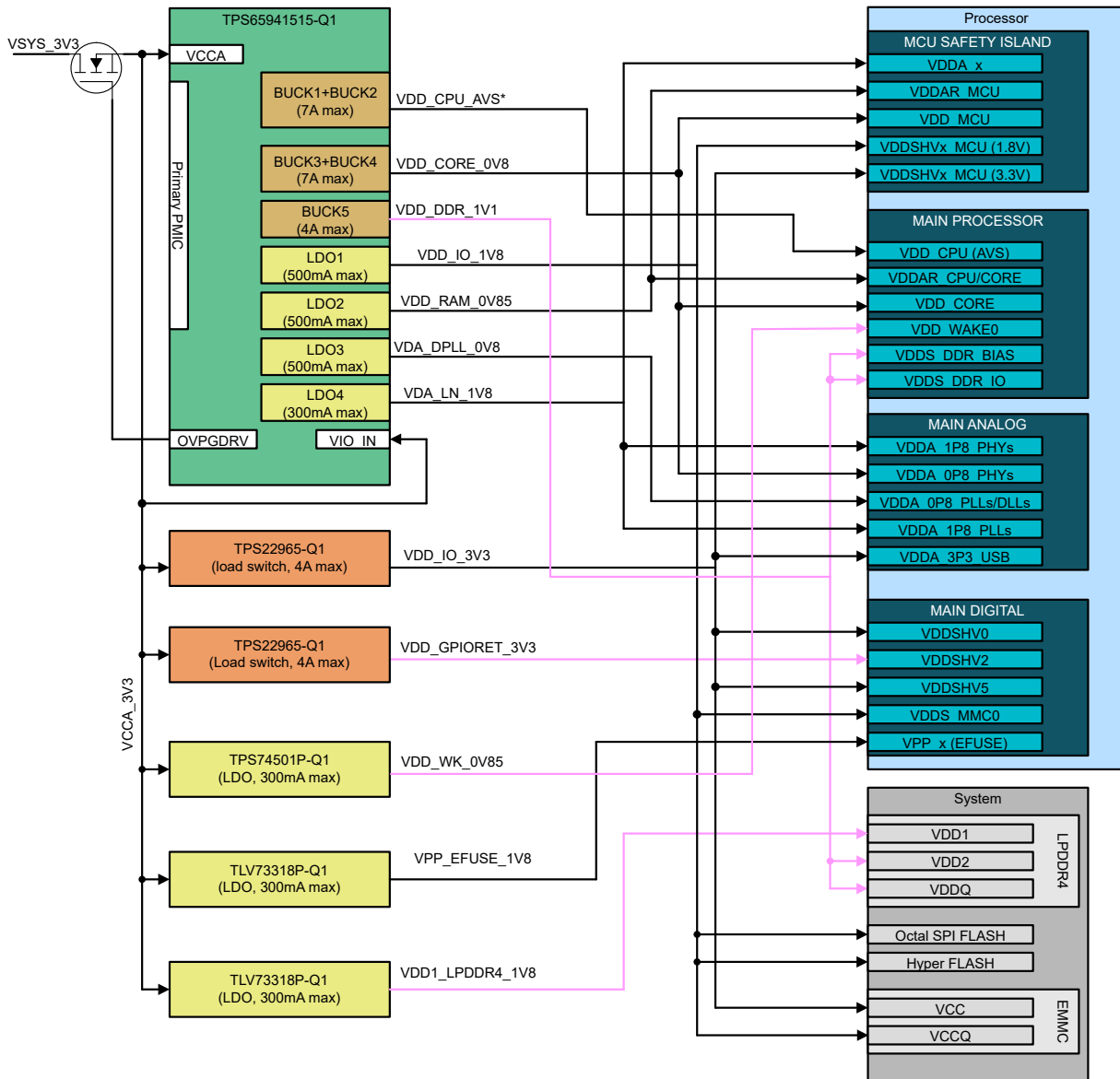
3 处理器连接

本部分详细介绍了 TPS65941515-Q1 电源和 GPIO 信号如何连接到处理器和其他外设元件。

3.1 电源映射

图 3-1 显示了 TPS65941515-Q1 PMIC 与外设稳压器之间为处理器及相关附件供电的电源映射。在该配置中，PMIC 和附加资源使用 3.3V 输入电压。对于功能安全应用，在 VCCA 之前有一个保护 FET 连接到 PMIC 的 OVPGDRV 引脚，允许对系统的输入电源进行电压监控。

此 PDN 使用五个分立式电源元件，其中四个是必需的，一个是可选的，具体取决于最终产品的特性。两个 TPS22965-Q1 负载开关连接 VCCA_3V3 电源轨，以便为处理器 I/O 域提供 3.3V 电源。第三个分立式器件是 TPS274501-Q1 LDO，用于在低功耗保持模式下供电。第四个分立式器件为 TLV73318-Q1 LDO，该转换器负责为 LPDDR4 SDRAM 组件提供所需的 1.8V 电源。最后一个分立式电源元件是可选的 TLV73318-Q1 LDO，如果最终产品使用高安全处理器类型并希望能够在板上对 EFUSE 值进行编程，则可以使用该元件。如果不需要此特性，则可以省略此 LDO，并按照数据手册中的建议端接处理器引脚。



Domain Descriptors

PMIC	Processor Sub-group
BUCK	Processor Supply Group
LDO	System Group
LDSW	System Sub-group
Processor Group	System Rail

PDN Options

— Base PDN
— Retention

图 3-1. 电源连接

- VDD_CPU_AVS，启动电压为 0.8V，然后软件设置器件专用 AVS

- ** VPP_EFUSE_1V8 是可选的

表 3-1 确定了需要哪些电源来支持不同的系统特性。“有源 SoC”列中有一个额外的选项来包含或排除 VPP_x(EFUSE) 电源轨。

表 3-1. PDN 电源映射和系统特性

电源映射				系统特性 ⁽¹⁾				
器件	电源	电源轨	处理器和存储器域	有源 SoC	GPIO 保持	DDR 保持	SD 卡	USB 接口
TPS659415 15-Q1	BUCK12	VDD_CPU_AVS	VDD_CPU	R				
	BUCK34	VDD_COR_E_0V8	VDD_MCU , VDDA_SERDES	R				
	BUCK5	VDD_DDR_1V1	VDDS_DDR	R		R		
			Mem: LPDDR4_VDD2 和 VDDQ					
	LDO1	VDD_IO_1V8	VDDS_MMC0、 VDDSHVx_MCU(1.8V)	R				
			Mem: VCC					
	LDO2	VDD_RAM_0V85	VDDAR_MCU、VDDAR_CPU/ CORE	R				
	LDO3	VDA_DPLL_0V8	VDDA_0P8_PLLs/DLLs	R				
LDO4	VDA_LN_1V8	VDDA_x(1.8V)	R					
TPS22965-Q1	负载开关 A	VDD_IO_3V3	VDDSHVx_MCU (3.3 V), VDDSHV0、VDDSHV5	R			R	R
			Mem: EMMC VCC					
TPS22965-Q1	负载开关 B	VDD_GPIO_RET_3V3	VDDSHV0-4、VDDSHV6 (3.3V)	R	R			
TPS74501 P-Q1	LDO-A	VDD_WK_0V8	VDDSHV2	R	R			
TLV73318P-Q1	LDO-B	VDD1_LPD DR4_1V8	Mem: LPDDR4_VDD1	R				
TLV73318P-Q1	LDO-C	VPP_EFUS E_1V8	VPP_x(EFUSE)	O				

(1) “R”是必需的，而“O”是可选的。

3.2 控制映射

图 3-2 展示了处理器、PMIC 和分立功率器件之间的数字控制信号映射。从 TPS65941515 PMIC 到处理器的连接提供错误监控、处理器复位、处理器唤醒和系统低功耗模式。已将特定的 GPIO 引脚分配给关键信号，以确保在低功耗模式下只有少数 GPIO 引脚保持工作时，器件能够正常工作。

图 3-2 所示的数字连接可实现一些系统特性，包括 GPIO 和 DDR 保持模式、性能高达 ASIL-D 的功能安全以及符合标准的双电压 SD 卡运行。

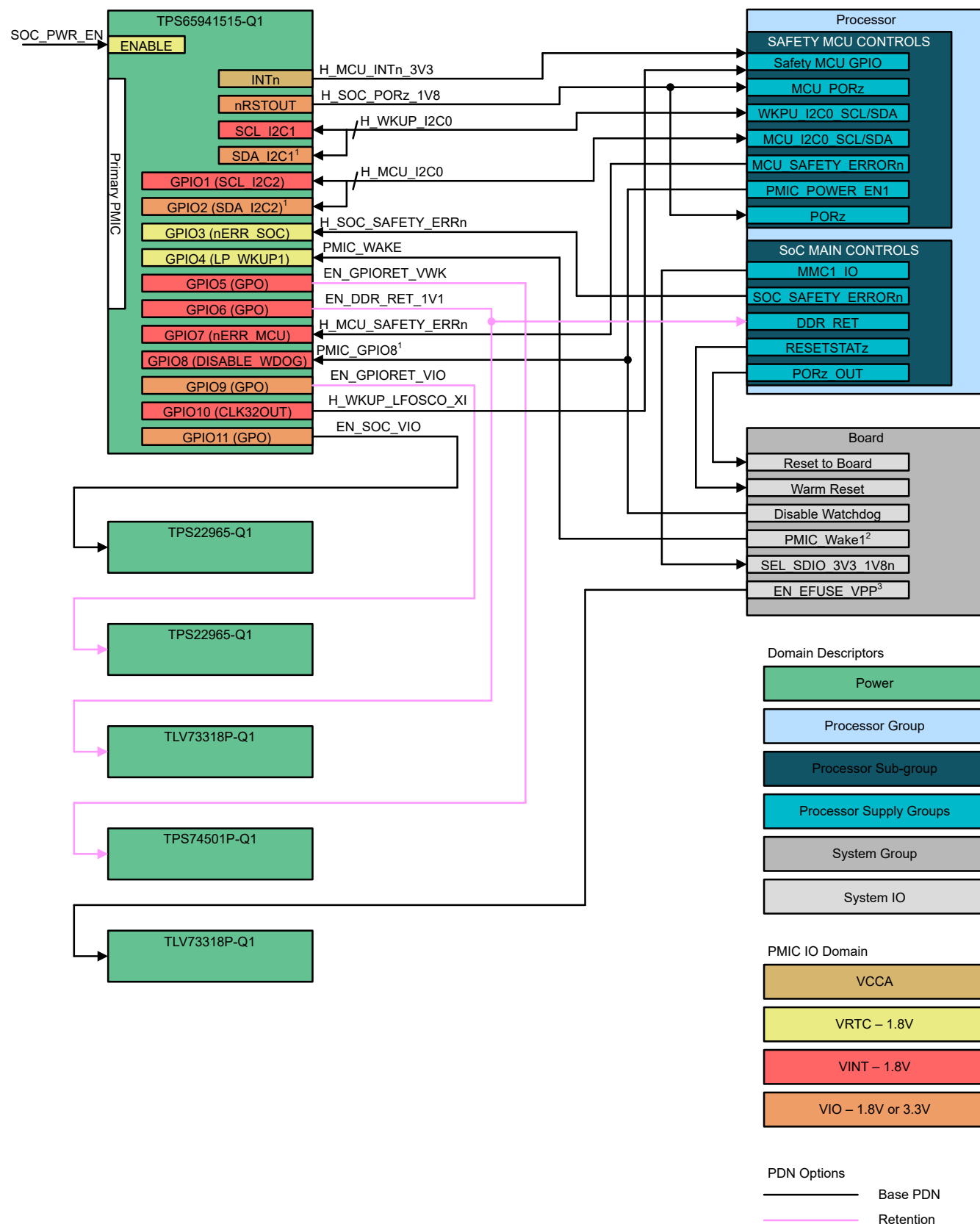


图 3-2. TPS65941515-Q1 数字连接

1. PMIC IO 可以针对输入和输出功能使用不同的电源域。I2C1 和 I2C2 的 SDA 功能使用 VINT 电压域作为输入，并使用 VIO 电压域作为输出。有关完整说明，请参阅器件数据表。所示的 PMIC 电压域用于 TPS65941515 NVM 配置。
2. PMIC_Wake1 通常为 CAN PHY INH 输出。
3. EFUSE LDO 是可选特性，必须由系统中的另一个信号启用

备注

除 I²C 信号外，还有三个附加信号为开漏输出，需要上拉至特定电源轨。有关信号和特定电源轨的列表，请参阅表 3-2。

表 3-2. 开漏信号和电源轨

PDN 信号	上拉电源轨
H_MCU_INTn_3V3	VDD_IO_3V3
H_SOC_PORz_1V8	VDA_LN_1V8
EN_DDR_RET_1V1	VDD_DDR_1V1_REG
H_WKUP_I2C0	VDD_IO_3V3
H_MCU_I2C0_SCL/SDA	VDD_IO_3V3

请使用表 3-3 指导如何分配每个 PDN 系统特性所需的 GPIO。如果不需要所列出的特性，可以删除数字连接；但是，GPIO 引脚仍会按照显示的由 NVM 定义的默认功能进行配置。启动后，处理器可以重新配置未使用的 GPIO 以支持新功能。只要该功能仅在启动后才需要且默认功能不与正常操作产生任何冲突（例如，两个输出驱动同一网络），就可以重新配置未使用的 GPIO。有关功能安全相关连接如何帮助实现功能安全系统级目标的详细信息，请参阅节 4。

表 3-3. 按系统特性划分的数字连接

器件	GPIO 映射			系统特性 ⁽¹⁾			
	PMIC 引脚	NVM 功能	PDN 信号	有源 SoC	功能安全	DDR 保持	GPIO 保持
TPS6594151 5-Q1	nPWRON/ ENABLE	启用	SOC_PWR_ON	R			
	INT	INT	H_MCU_INTn		R		
	nRSTOUT	nRSTOUT	H_SOC_PORz_1V8	R			
	SCL_I2C1	SCL_I2C1	H_WKUP_I2C0	R			
	SDA_I2C1	SDA_I2C1	H_WKUP_I2C0	R			
	GPIO_1	SCL_I2C2	H_MCU_I2C0_SCL		R		
	GPIO_2	SDA_I2C2	H_MCU_I2C0_SDA		R		
	GPIO_3	nERR_SoC	H_SOC_SAFETY_ERRn		O		
	GPIO_4	LP_WKUP1 ⁽²⁾	PMIC_WAKE1			R	R
	GPIO_5	GPO	EN_GPIORET_VWK	R			R
	GPIO_6	GPO	EN_DDR_RET_1V1			R	
	GPIO_7	nERR_MCU	H_MCU_SAFETY_ERRn		R		
	GPIO_8	DISABLE_W DOG	PMICA_GPIO8	⁽³⁾	⁽³⁾		
	GPIO_9	GPO	EN_GPIORET_VIO	R			R
	GPIO_10	CLK32OUT	H_WKUP_LFOSCO_XI	O			
	GPIO_11	GPO	EN_SOC_VIO	R			R

(1) R 是必需项。

(2) LP_WKUP1 功能在静态设置中会被屏蔽。在 RETENTION、进入和退出待机以及进入和现有 LP_STANDBY 中提供了用于取消屏蔽该功能的说明。

- (3) 如果期望通过硬件禁用看门狗，则需要 GPIO_8，并且必须在 nRSTOUT 变为高电平时将其设置为高电平。nRSTOUT 变为高电平后，看门狗状态被锁定，可以通过软件将该引脚配置为用于其他功能。如果 GPIO_8 未设置为高电平，则处理器必须在长窗口到期前为看门狗提供服务。

4 支持功能安全系统

通过使用 TPS65941515-Q1 解决方案为 DRA821 处理器供电，系统可以利用以下 PMIC 功能安全特性：

- 输入电源监控
- 输出电压和电流监控
- 问答看门狗
- 故障报告中断
- 提供独立路径以禁用系统执行器的使能驱动引脚
- 错误引脚监控
- 内部诊断，包括电压监控、温度监控和内置自检

有关 PMIC 功能安全特性的完整说明和分析，请参阅 TPS6594-Q1 器件的安全手册。这些功能安全特性可以帮助系统达到 ASIL-D 等级。此外，这些特性有助于实现处理器为达到 ASIL-D 等级所使用的功能安全假设。有关完整的功能安全系统假设列表，请参阅 Jacinto™ 7 处理器的 DRA821 安全手册。

4.1 达到 ASIL-B 系统要求

为达到 ASIL-B 的系统功能安全级别，可以使用以下 PDN 特性：

- 对电源电压输出进行 PMIC 过压和欠压监控
- 对输入到 PMIC (VCCA) 进行 PMIC 过压监控和保护
- 使用看门狗监控安全处理器
- MCU 错误监控
- MCU 复位
- I²C 通信
- 驱动外部电路的错误指示灯（可选）

如图 3-1 所示，PDN 在输入电源和 PMIC 之间串联一个外部电源 FET。FET 前后的电压由 PMIC 监控，PMIC 通过 OVPDRV 引脚控制 FET。当在输入电源上检测到大于 6V 的过压事件时，FET 可以快速隔离 PMIC，以保护系统免受损坏。从 FET 上游连接的任何电源都不会受过压事件的影响。在图 3-1 中，为 MCU 和主 I/O 域供电的负载开关、为 DDR 供电的分立式降压稳压器和为 EFUSE 供电的分立式 LDO 都连接在 FET 之后，从而将过压保护扩展到这些处理器域和分立式电源器件。

默认情况下会启用 PMIC 内部过压和欠压监控功能以及其各自的监控阈值电平，并可在启动后通过 I²C 进行更新。默认情况下会监控与处理器直接连接的 PMIC 电源轨。

配置和启动看门狗的步骤详见 TPS6594-Q1 数据表。如果在初始开发期间需要暂停该功能或系统不需要该功能，则可在 GPIO_8 上将 DISABLE_WDOG 信号设置为高电平以禁用看门狗计时器。节 7.4 提供了一个改变 GPIO_8 用途的示例。

GPIO_7 配置为 MCU 错误信号监控器，但必须通过 ESM_MCU_EN 寄存器位来启用。通过主 PMIC nRSTOUT 引脚与处理器的 MCU_PORz 之间的连接来支持 MCU 复位。最后，TPS6594-Q1 和处理器之间有两个 I²C 端口。第一个端口用于所有的非看门狗通信（如电压电平控制），第二个端口允许在独立的通信通道上进行看门狗监控。

可以选择使用 EN_DRV 引脚来指示已检测到错误且系统正在进入 SAFE 状态。如果系统具有需要由错误事件驱动的外部电路，则可以使用该信号。在本 PDN 中，未使用 EN_DRV，但需要时可以使用。

4.2 达到 ASIL-D 系统要求

对于 ASIL-C 或 ASIL-D 系统，除节 4.1 中描述的特性外，还可使用以下特性：

- 对所有输出电源轨进行 PMIC 电流监控
- SoC 错误监控
- 残余电压监控
- 逻辑输出引脚读回
 - nINT
 - nRSTOUT
 - EN_DRV（使用时）

默认情况下，会针对 PMIC 的所有 BUCK 和 LDO 启用电流监控。此外，图 3-1 显示处理器的 MCU 域由 PMIC 的不同电源器件供电，而不是由处理器的主电源域供电。

GPIO_3 配置为 SoC 错误信号监控器。与 MCU 错误信号监控器类似，该功能使用 ESM_SOC_EN 寄存器位通过 I²C 来启用。对于 TPS65941515，不支持 SoC 复位，但会触发中断并将 nINT 引脚驱动为低电平。

表 4-1. 系统级安全特性

ASIL-B					ASIL-D	
外部软件看门狗	INTn	安全 MCU 处理 ESM 安全 MCU 复位	安全状态信号	系统输入电压监控	SoC 主处理 ESM	IO 读回特性

表 4-1. 系统级安全特性 (续)

ASIL-B					ASIL-D	
问答看门狗和 I2C2	nINT 引脚	nERR_MCU 连接到 SOC:MCU_SAFETY_ERRz nRSTOUT 连接到 MCU_PORz_1V8	ENDRV	带有安全 FET OVP/DRV 的 VSYS_SENSE -OV VCCA OV 和 UV 以及	nERR_SoC 连接到 SOC : SOC_SAFETY_ERRz	PMICA : nINT、nRSTOUT、EN_DRV

表 4-2. 电源监控安全特性

				ASIL-B	ASIL-D 新增项	
器件	电源	PDN 电源轨	安全状态电源组 1	电源电压监控	电源电流监控	残余电压监控
TPS65941515-Q1	BUCK1-2	VDD_CPU_AVS	MCU	OV 和 UV	是	是
	BUCK3-4	VDD_CORE_0V8	MCU	OV 和 UV	是	是
	BUCK5	VDD_DDR_1V1	MCU	OV 和 UV	是 2	是
	LDO1	VDD_IO_1V8	MCU	OV 和 UV	是	是
	LDO2	VDD_RAM_0V85	MCU	OV 和 UV	是	是
	LDO3	VDA_DPLL_0V8	MCU	OV 和 UV	是	是
	LDO4	VDA_LN_1V8	MCU	OV 和 UV	是	是
TPS22965W-Q1	Ld Sw A	VDD_IO_3V3	无	否	否 3	
TPS22965W-Q1	Ld Sw B	VDD_GPIORET_3V3	无	否	否 4	
TLV73318P-Q1	LDO-A	VDD1_LPDDR4_1V8	无	否 2	否 2	
TPS74501P-Q1	LDO-B	VDD_WK_0V8	无	否	否	
TLV73318P-Q1	LDO-C	VPP_EFUSE_1V8	无	否 5	否 5	

1. TPS65941515-Q1 的电源轨设置详见表 5-7。
2. 电源轨 VDD_DDR_1V1 和 VDD1_LPDDR4_1V8 对安全至关重要，但不需要直接电压或电流监控，因为可以使用其他方法（例如，SoC 内部 *超时垫圈* 和 *ECC 校验器*）提供诊断覆盖范围，以检测 DDR 电压中的故障。
3. 电源轨 VDD_IO_1V8/3V3 通常对安全不是至关重要的，因为可以使用其他方法（例如，*黑色通道校验器*）来提供诊断覆盖，以检测 SoC 信号接口（例如，CAN、UART 和 SPI）中的故障。
4. 如果在安全关键型接口中使用 SoC GPIO 控制信号，则根据客户最终产品设计的要求，可能需要为特定的 VIO 电源轨添加电压和电流监控功能。
5. 因为在安全关键型处理过程中不会发生 Efuse 编程，故电源轨 VPP_EFUSE_1V8 对安全不是至关重要的。

5 静态 NVM 设置

TPS6594-Q1 器件包含用户寄存器空间和一个 NVM。本部分介绍了 NVM 中的设置，这些设置会在器件从 INIT 转换到 BOOT BIST 期间载入用户寄存器。注意：用户寄存器可以在状态转换（例如从待机模式切换到运行模式）期间发生更改。TPS6594-Q1 数据表中说明了用户寄存器映射。

5.1 基于应用程序的配置设置

根据 TPS6594-Q1 数据表，每个降压稳压器可从七种基于应用程序的配置中选择一种来运行。以下列表包括可用的不同配置：

- 用于 DDR 终端的 2.2MHz 单相
- 4.4MHz VOUT 低于 1.9V，多相或高 COUT 单相
- 4.4MHz VOUT 低于 1.9V，低 COUT，仅单相
- 4.4MHz VOUT 高于 1.7V，仅单相

- 2.2MHz VOUT 低于 1.9V，多相或单相
- 2.2MHz 全 VOUT 范围且 VIN 高于 4.5V，仅单相
- 2.2MHz 全 VOUT 范围且全 VIN 范围，仅单相

这七种配置还具有最佳输出电感值，可在各种条件下优化每个降压稳压器的性能。[表 5-1](#) 展示了各个 BUCK 的默认配置。这些设置在器件启动后不能更改。

表 5-1. 应用程序用例设置

器件	BUCK 轨	默认应用程序用例	建议的电感器值
TPS65941515-Q1	BUCK1	4.4MHz VOUT 低于 1.9V，单相	220nH
	BUCK2	4.4MHz VOUT 低于 1.9V，单相	220nH
	BUCK3	4.4MHz VOUT 低于 1.9V，单相	220nH
	BUCK4	4.4MHz VOUT 低于 1.9V，单相	220nH
	BUCK5	4.4MHz VOUT 低于 1.9V，单相	220nH

5.2 器件标识设置

这些设置用于区分在系统中检测到哪个器件。这些设置在器件启动后不能更改。

表 5-2. 器件标识 NVM 设置

寄存器名称	字段名称	TPS65941515-Q1	
		值	说明
DEV_REV	DEVICE_ID	0x82	
NVM_CODE_1	TI_NVM_ID	0x15	
NVM_CODE_2	TI_NVM_REV	0x03	
PHASE_CONFIG	MP_CONFIG	0x4	2+2+1

5.3 BUCK 设置

这些设置说明了 NVM 中存储的 BUCK 电源轨电压、配置和监控。所有这些设置都可以在启动后通过 I²C 进行更改。一些设置 (通常为使能位) 也通过 PFSM 进行更改, 如节 6.3 中所述。

节 6.3.4 序列完成后, 为 BUCK1、BUCK3 和 BUCK5 设置 BUCKx_EN 和 BUCKx_VMON_EN 位。BUCKx_RV_SEL 位会针对所有 BUCK 进行清零。其他位保持不变, 但仍可通过 I²C 进行访问。

表 5-3. BUCK NVM 设置

寄存器名称	字段名称	TPS65941515-Q1	
		值	说明
BUCK1_CTRL	BUCK1_EN	0x0	禁用; BUCK1 稳压器
	BUCK1_FPWM	0x0	PFM 和 PWM 操作 (AUTO 模式)。
	BUCK1_FPWM_MP	0x0	自动增相和切相。
	BUCK1_VMON_EN	0x0	禁用; OV、UV、SC 和 ILIM 比较器。
	BUCK1_VSEL	0x0	BUCK1_VOUT_1
	BUCK1_PLDN	0x1	启用; 下拉电阻
	BUCK1_RV_SEL	0x1	启用
BUCK1_CONF	BUCK1_SLEW_RATE	0x3	5.0mV/μs
	BUCK1_ILIM	0x5	5.5A
BUCK2_CTRL	BUCK2_EN	0x0	禁用; BUCK2 稳压器
	BUCK2_FPWM	0x0	PFM 和 PWM 操作 (AUTO 模式)。
	BUCK2_VMON_EN	0x0	禁用; OV、UV、SC 和 ILIM 比较器。
	BUCK2_VSEL	0x0	BUCK2_VOUT_1
	BUCK2_PLDN	0x1	启用; 下拉电阻
	BUCK2_RV_SEL	0x1	启用
	BUCK2_SLEW_RATE	0x3	5.0mV/μs
BUCK2_CONF	BUCK2_ILIM	0x5	5.5A
BUCK3_CTRL	BUCK3_EN	0x0	禁用; BUCK3 稳压器
	BUCK3_FPWM	0x0	PFM 和 PWM 操作 (AUTO 模式)。
	BUCK3_FPWM_MP	0x0	自动增相和切相。
	BUCK3_VMON_EN	0x0	禁用; OV、UV、SC 和 ILIM 比较器。
	BUCK3_VSEL	0x0	BUCK3_VOUT_1
	BUCK3_PLDN	0x1	启用; 下拉电阻
	BUCK3_RV_SEL	0x1	启用
BUCK3_CONF	BUCK3_SLEW_RATE	0x3	5.0mV/μs
	BUCK3_ILIM	0x5	5.5A

表 5-3. BUCK NVM 设置 (续)

寄存器名称	字段名称	TPS65941515-Q1	
		值	说明
BUCK4_CTRL	BUCK4_EN	0x0	禁用；BUCK4 稳压器
	BUCK4_FPWM	0x0	PFM 和 PWM 操作 (AUTO 模式) 。
	BUCK4_VMON_EN	0x0	禁用；OV、UV、SC 和 ILIM 比较器。
	BUCK4_VSEL	0x0	BUCK4_VOUT_1
	BUCK4_PLDN	0x1	启用；下拉电阻
	BUCK4_RV_SEL	0x1	启用
BUCK4_CONF	BUCK4_SLEW_RATE	0x3	5.0mV/ μ s
	BUCK4_ILIM	0x5	5.5A
BUCK5_CTRL	BUCK5_EN	0x0	禁用；BUCK5 稳压器
	BUCK5_FPWM	0x0	PFM 和 PWM 操作 (AUTO 模式) 。
	BUCK5_VMON_EN	0x0	禁用；OV、UV、SC 和 ILIM 比较器。
	BUCK5_VSEL	0x0	BUCK5_VOUT_1
	BUCK5_PLDN	0x1	启用下拉电阻
	BUCK5_RV_SEL	0x1	启用
BUCK5_CONF	BUCK5_SLEW_RATE	0x3	5.0mV/ μ s
	BUCK5_ILIM	0x3	3.5A
BUCK1_VOUT_1	BUCK1_VSET1	0x37	0.800V
BUCK1_VOUT_2	BUCK1_VSET2	0x37	0.800V
BUCK2_VOUT_1	BUCK2_VSET1	0x37	0.800V
BUCK2_VOUT_2	BUCK2_VSET2	0x37	0.800V
BUCK3_VOUT_1	BUCK3_VSET1	0x37	0.800V
BUCK3_VOUT_2	BUCK3_VSET2	0x37	0.800V
BUCK4_VOUT_1	BUCK4_VSET1	0x37	0.800V
BUCK4_VOUT_2	BUCK4_VSET2	0x37	0.800V
BUCK5_VOUT_1	BUCK5_VSET1	0x73	1.10V
BUCK5_VOUT_2	BUCK5_VSET2	0x73	1.10V
BUCK1_PG_WINDOW	BUCK1_OV_THR	0x3	+5% / +50mV
	BUCK1_UV_THR	0x3	-5% / -50mV
BUCK2_PG_WINDOW	BUCK2_OV_THR	0x3	+5% / +50mV
	BUCK2_UV_THR	0x3	-5% / -50mV
BUCK3_PG_WINDOW	BUCK3_OV_THR	0x3	+5% / +50mV
	BUCK3_UV_THR	0x3	-5% / -50mV
BUCK4_PG_WINDOW	BUCK4_OV_THR	0x3	+5% / +50mV
	BUCK4_UV_THR	0x3	-5% / -50mV
BUCK5_PG_WINDOW	BUCK5_OV_THR	0x3	+5% / +50mV
	BUCK5_UV_THR	0x3	-5% / -50mV

5.4 LDO 设置

这些设置详细说明了 NVM 中存储的 LDO 电源轨电压、配置和监控。所有这些设置都可以在启动后通过 I²C 进行更改。一些设置 (通常为使能位) 也通过 PFSM 进行更改, 如节 6.3 中所述。

在节 6.3.4 序列完成后, 对于所有 LDO, 将 LDOx_EN 和 LDOx_VMON_EN 位置位, 并将 LDOx_RV_SEL 位清零。其他位保持不变, 但仍可通过 I²C 进行访问。

表 5-4. LDO NVM 设置

寄存器名称	字段名称	TPS65941515-Q1	
		值	说明
LDO1_CTRL	LDO1_EN	0x0	禁用; LDO1 稳压器。
	LDO1_SLOW_RAMP	0x0	LDO 输出从 0.3V 到 LDO1_VSET 的 90% 时的最大斜升转换率为 25mV/us
	LDO1_PLDN	0x1	1250hm
	LDO1_VMON_EN	0x0	禁用 OV 和 UV 比较器。
	LDO1_RV_SEL	0x1	启用
LDO2_CTRL	LDO2_EN	0x0	禁用; LDO2 稳压器。
	LDO2_SLOW_RAMP	0x0	LDO 输出从 0.3V 到 LDO2_VSET 的 90% 时的最大斜升转换率为 25mV/us
	LDO2_PLDN	0x1	1250hm
	LDO2_VMON_EN	0x0	禁用; OV 和 UV 比较器。
	LDO2_RV_SEL	0x1	启用
LDO3_CTRL	LDO3_EN	0x0	禁用; LDO3 稳压器。
	LDO3_SLOW_RAMP	0x0	LDO 输出从 0.3V 到 LDO3_VSET 的 90% 时的最大斜升转换率为 25mV/us
	LDO3_PLDN	0x1	1250hm
	LDO3_VMON_EN	0x0	禁用; OV 和 UV 比较器。
	LDO3_RV_SEL	0x1	启用
LDO4_CTRL	LDO4_EN	0x0	禁用; LDO4 稳压器。
	LDO4_SLOW_RAMP	0x0	LDO 输出从 0.3V 到 LDO4_VSET 的 90% 时的最大斜升转换率为 25mV/us
	LDO4_PLDN	0x1	1250hm
	LDO4_VMON_EN	0x0	禁用; OV 和 UV 比较器。
	LDO4_RV_SEL	0x1	启用
LDO1_VOUT	LDO1_VSET	0x1c	1.80V
	LDO1_BYPASS	0x0	线性稳压器模式。
LDO2_VOUT	LDO2_VSET	0x9	0.85V
	LDO2_BYPASS	0x0	线性稳压器模式。
LDO3_VOUT	LDO3_VSET	0x8	0.80V
	LDO3_BYPASS	0x0	线性稳压器模式。
LDO4_VOUT	LDO4_VSET	0x38	1.800V
LDO1_PG_WINDOW	LDO1_OV_THR	0x3	+5% / +50mV
	LDO1_UV_THR	0x3	-5% / -50mV
LDO2_PG_WINDOW	LDO2_OV_THR	0x3	+5% / +50mV
	LDO2_UV_THR	0x3	-5% / -50mV
LDO3_PG_WINDOW	LDO3_OV_THR	0x3	+5% / +50mV
	LDO3_UV_THR	0x3	-5% / -50mV
LDO4_PG_WINDOW	LDO4_OV_THR	0x3	+5% / +50mV
	LDO4_UV_THR	0x3	-5% / -50mV

5.5 VCCA 设置

这些设置详细说明了在 VCCA 上启用的默认监控。所有这些设置都可以在启动后通过 I²C 进行更改。

表 5-5. VCCA NVM 设置

寄存器名称	字段名称	TPS65941515-Q1	
		值	说明
VCCA_VMON_CTRL	VMON_DEGLITCH_SEL	0x1	20 μ s
	VCCA_VMON_EN	0x1	启用；OV 和 UV 比较器。
VCCA_PG_WINDOW	VCCA_OV_THR	0x7	+10%
	VCCA_UV_THR	0x7	-10%
	VCCA_PG_SET	0x0	3.3V

5.6 GPIO 设置

这些设置详细说明了 GPIO 电源轨的默认配置。所有这些设置都可以在启动后通过 I²C 进行更改。请注意，GPIOx_SEL 字段的内容决定了 GPIOx_CONF 和 GPIO_OUT_x 寄存器中的哪些其他字段是适用的。若要了解适用于每个 GPIOx_SEL 选项的 NVM 字段，请参阅 TPS6594-Q1 数据表中的数字信号说明部分。

表 5-6. GPIO NVM 设置

寄存器名称	字段名称	TPS65941515-Q1	
		值	说明
GPIO1_CONF	GPIO1_OD	0x0	推挽输出
	GPIO1_DIR	0x0	输入
	GPIO1_SEL	0x1	SCL_I2C2/CS_SPI
	GPIO1_PU_SEL	0x0	选中下拉电阻
	GPIO1_PU_PD_EN	0x0	禁用；上拉/下拉电阻。
	GPIO1_DEGLITCH_EN	0x0	无抗尖峰脉冲，仅同步。
GPIO2_CONF	GPIO2_OD	0x0	推挽输出
	GPIO2_DIR	0x0	输入
	GPIO2_SEL	0x2	SDA_I2C2/SDO_SPI
	GPIO2_PU_SEL	0x0	选中下拉电阻
	GPIO2_PU_PD_EN	0x0	禁用；上拉/下拉电阻。
	GPIO2_DEGLITCH_EN	0x0	无抗尖峰脉冲，仅同步。
GPIO3_CONF	GPIO3_OD	0x0	推挽输出
	GPIO3_DIR	0x0	输入
	GPIO3_SEL	0x2	NERR_SOC
	GPIO3_PU_SEL	0x0	选中下拉电阻
	GPIO3_PU_PD_EN	0x1	启用；上拉/下拉电阻。
	GPIO3_DEGLITCH_EN	0x1	8 μ s 抗尖峰脉冲时间。
GPIO4_CONF	GPIO4_OD	0x0	推挽输出
	GPIO4_DIR	0x0	输入
	GPIO4_SEL	0x6	LP_WKUP1
	GPIO4_PU_SEL	0x0	选中下拉电阻
	GPIO4_PU_PD_EN	0x1	启用；上拉/下拉电阻。
	GPIO4_DEGLITCH_EN	0x1	8 μ s 抗尖峰脉冲时间。

表 5-6. GPIO NVM 设置 (续)

寄存器名称	字段名称	TPS65941515-Q1	
		值	说明
GPIO5_CONF	GPIO5_OD	0x0	推挽输出
	GPIO5_DIR	0x1	输出
	GPIO5_SEL	0x0	GPIO5
	GPIO5_PU_SEL	0x0	选中下拉电阻
	GPIO5_PU_PD_EN	0x0	禁用；上拉/下拉电阻。
	GPIO5_DEGLITCH_EN	0x0	无抗尖峰脉冲，仅同步。
GPIO6_CONF	GPIO6_OD	0x1	开漏输出
	GPIO6_DIR	0x1	输出
	GPIO6_SEL	0x0	GPIO6
	GPIO6_PU_SEL	0x0	选中下拉电阻
	GPIO6_PU_PD_EN	0x0	禁用；上拉/下拉电阻。
	GPIO6_DEGLITCH_EN	0x0	无抗尖峰脉冲，仅同步。
GPIO7_CONF	GPIO7_OD	0x0	推挽输出
	GPIO7_DIR	0x0	输入
	GPIO7_SEL	0x1	NERR_MCU
	GPIO7_PU_SEL	0x0	选中下拉电阻
	GPIO7_PU_PD_EN	0x1	启用；上拉/下拉电阻。
	GPIO7_DEGLITCH_EN	0x1	8 μ s 抗尖峰脉冲时间。
GPIO8_CONF	GPIO8_OD	0x0	推挽输出
	GPIO8_DIR	0x0	输入
	GPIO8_SEL	0x3	DISABLE_WDOG
	GPIO8_PU_SEL	0x0	选中下拉电阻
	GPIO8_PU_PD_EN	0x1	启用；上拉/下拉电阻。
	GPIO8_DEGLITCH_EN	0x1	8 μ s 抗尖峰脉冲时间。
GPIO9_CONF	GPIO9_OD	0x0	推挽输出
	GPIO9_DIR	0x1	输出
	GPIO9_SEL	0x0	GPIO9
	GPIO9_PU_SEL	0x0	选中下拉电阻
	GPIO9_PU_PD_EN	0x0	禁用；上拉/下拉电阻。
	GPIO9_DEGLITCH_EN	0x0	无抗尖峰脉冲，仅同步。
GPIO10_CONF	GPIO10_OD	0x0	推挽输出
	GPIO10_DIR	0x0	输入
	GPIO10_SEL	0x0	GPIO10
	GPIO10_PU_SEL	0x0	选中下拉电阻
	GPIO10_PU_PD_EN	0x1	启用；上拉/下拉电阻。
	GPIO10_DEGLITCH_EN	0x0	无抗尖峰脉冲，仅同步。
GPIO11_CONF	GPIO11_OD	0x0	推挽输出
	GPIO11_DIR	0x1	输出
	GPIO11_SEL	0x0	GPIO11
	GPIO11_PU_SEL	0x0	选中下拉电阻
	GPIO11_PU_PD_EN	0x0	禁用；上拉/下拉电阻。
	GPIO11_DEGLITCH_EN	0x0	无抗尖峰脉冲，仅同步。

表 5-6. GPIO NVM 设置 (续)

寄存器名称	字段名称	TPS65941515-Q1	
		值	说明
NPWRON_CONF	NPWRON_SEL	0x0	ENABLE
	ENABLE_PU_SEL	0x0	选中下拉电阻
	ENABLE_PU_PD_EN	0x1	启用；上拉/下拉电阻。
	ENABLE_DEGLITCH_EN	0x1	启用时抗尖峰脉冲时间为 8 μ s，NPWRON 时抗尖峰脉冲时间为 50ms。
	ENABLE_POL	0x0	高电平有效
	NRSTOUT_OD	0x0	推挽输出
GPIO_OUT_1	GPIO1_OUT	0x0	低
	GPIO2_OUT	0x0	低
	GPIO3_OUT	0x0	低
	GPIO4_OUT	0x0	低
	GPIO5_OUT	0x0	低
	GPIO6_OUT	0x0	低
	GPIO7_OUT	0x0	低
	GPIO8_OUT	0x0	低
GPIO_OUT_2	GPIO9_OUT	0x0	低
	GPIO10_OUT	0x0	低
	GPIO11_OUT	0x0	低

5.7 有限状态机 (FSM) 设置

这些设置描述了如何为 PMIC 输出轨分配各种系统级状态。此外，还描述了每个系统级状态的默认触发条件。所有这些设置都可以在启动后通过 I²C 进行更改。

表 5-7. FSM NVM 设置

寄存器名称	字段名称	TPS65941515-Q1	
		值	说明
RAIL_SEL_1	BUCK1_GRP_SEL	0x1	MCU 电源轨组
	BUCK2_GRP_SEL	0x1	MCU 电源轨组
	BUCK3_GRP_SEL	0x1	MCU 电源轨组
	BUCK4_GRP_SEL	0x1	MCU 电源轨组
RAIL_SEL_2	BUCK5_GRP_SEL	0x1	MCU 电源轨组
	LDO1_GRP_SEL	0x1	MCU 电源轨组
	LDO2_GRP_SEL	0x1	MCU 电源轨组
	LDO3_GRP_SEL	0x1	MCU 电源轨组
RAIL_SEL_3	LDO4_GRP_SEL	0x1	MCU 电源轨组
	VCCA_GRP_SEL	0x1	MCU 电源轨组
FSM_TRIG_SEL_1	MCU_RAIL_TRIG	0x2	MCU 电源错误
	SOC_RAIL_TRIG	0x3	SOC 电源错误 在此 NVM 配置中未使用。
	OTHER_RAIL_TRIG	0x3	SOC 电源错误 在此 NVM 配置中未使用。
	SEVERE_ERR_TRIG	0x0	立即关断
FSM_TRIG_SEL_2	MODERATE_ERR_TRIG	0x1	有序关断

5.8 中断设置

这些设置详细说明了由 nINT 引脚监控的项目的默认配置。所有这些设置都可以在启动后通过 I²C 进行更改。

表 5-8. 中断 NVM 设置

寄存器名称	字段名称	TPS65941515-Q1	
		值	说明
FSM_TRIG_MASK_1	GPIO1_FSM_MASK	0x1	屏蔽
	GPIO1_FSM_MASK_POL	0x0	低；屏蔽层将信号值设置为“0”
	GPIO2_FSM_MASK	0x1	屏蔽
	GPIO2_FSM_MASK_POL	0x0	低；屏蔽层将信号值设置为“0”
	GPIO3_FSM_MASK	0x1	屏蔽
	GPIO3_FSM_MASK_POL	0x0	低；屏蔽层将信号值设置为“0”
	GPIO4_FSM_MASK	0x1	屏蔽
	GPIO4_FSM_MASK_POL	0x0	低；屏蔽层将信号值设置为“0”
FSM_TRIG_MASK_2	GPIO5_FSM_MASK	0x1	屏蔽
	GPIO5_FSM_MASK_POL	0x0	低；屏蔽层将信号值设置为“0”
	GPIO6_FSM_MASK	0x1	屏蔽
	GPIO6_FSM_MASK_POL	0x0	低；屏蔽层将信号值设置为“0”
	GPIO7_FSM_MASK	0x1	屏蔽
	GPIO7_FSM_MASK_POL	0x0	低；屏蔽层将信号值设置为“0”
	GPIO8_FSM_MASK	0x1	屏蔽
	GPIO8_FSM_MASK_POL	0x0	低；屏蔽层将信号值设置为“0”
FSM_TRIG_MASK_3	GPIO9_FSM_MASK	0x1	屏蔽
	GPIO9_FSM_MASK_POL	0x0	低；屏蔽层将信号值设置为“0”
	GPIO10_FSM_MASK	0x1	屏蔽
	GPIO10_FSM_MASK_POL	0x0	低；屏蔽层将信号值设置为“0”
	GPIO11_FSM_MASK	0x1	屏蔽
	GPIO11_FSM_MASK_POL	0x0	低；屏蔽层将信号值设置为“0”
MASK_BUCK1_2	BUCK1_ILIM_MASK	0x0	发生中断
	BUCK1_OV_MASK	0x0	发生中断
	BUCK1_UV_MASK	0x0	发生中断
	BUCK2_ILIM_MASK	0x0	发生中断
	BUCK2_OV_MASK	0x0	发生中断
	BUCK2_UV_MASK	0x0	发生中断
MASK_BUCK3_4	BUCK3_ILIM_MASK	0x0	发生中断
	BUCK3_OV_MASK	0x0	发生中断
	BUCK3_UV_MASK	0x0	发生中断
	BUCK4_OV_MASK	0x0	发生中断
	BUCK4_UV_MASK	0x0	发生中断
	BUCK4_ILIM_MASK	0x0	发生中断
MASK_BUCK5	BUCK5_ILIM_MASK	0x0	发生中断
	BUCK5_OV_MASK	0x0	发生中断
	BUCK5_UV_MASK	0x0	发生中断

表 5-8. 中断 NVM 设置 (续)

寄存器名称	字段名称	TPS65941515-Q1	
		值	说明
MASK_LDO1_2	LDO1_OV_MASK	0x0	发生中断
	LDO1_UV_MASK	0x0	发生中断
	LDO2_OV_MASK	0x0	发生中断
	LDO2_UV_MASK	0x0	发生中断
	LDO1_ILIM_MASK	0x0	发生中断
	LDO2_ILIM_MASK	0x0	发生中断
MASK_LDO3_4	LDO3_OV_MASK	0x0	发生中断
	LDO3_UV_MASK	0x0	发生中断
	LDO4_OV_MASK	0x0	发生中断
	LDO4_UV_MASK	0x0	发生中断
	LDO3_ILIM_MASK	0x0	发生中断
	LDO4_ILIM_MASK	0x0	发生中断
MASK_VMON	VCCA_OV_MASK	0x1	未发生中断。
			进入 ACTIVE 状态后设置为 0x0。
	VCCA_UV_MASK	0x1	未发生中断。
MASK_GPIO1_8_FALL			进入 ACTIVE 状态后设置为 0x0。
	GPIO1_FALL_MASK	0x1	未发生中断。
	GPIO2_FALL_MASK	0x1	未发生中断。
	GPIO3_FALL_MASK	0x1	未发生中断。
	GPIO4_FALL_MASK	0x1	未发生中断。
	GPIO5_FALL_MASK	0x1	未发生中断。
	GPIO6_FALL_MASK	0x1	未发生中断。
	GPIO7_FALL_MASK	0x1	未发生中断。
MASK_GPIO1_8_RISE	GPIO8_FALL_MASK	0x1	未发生中断。
	GPIO1_RISE_MASK	0x1	未发生中断。
	GPIO2_RISE_MASK	0x1	未发生中断。
	GPIO3_RISE_MASK	0x1	未发生中断。
	GPIO4_RISE_MASK	0x1	未发生中断。
	GPIO5_RISE_MASK	0x1	未发生中断。
	GPIO6_RISE_MASK	0x1	未发生中断。
	GPIO7_RISE_MASK	0x1	未发生中断。
MASK_GPIO9_11/ MASK_GPIO9_10	GPIO8_RISE_MASK	0x1	未发生中断。
	GPIO9_FALL_MASK	0x1	未发生中断。
	GPIO9_RISE_MASK	0x1	未发生中断。
	GPIO10_FALL_MASK	0x1	未发生中断。
	GPIO11_FALL_MASK	0x1	未发生中断。
	GPIO10_RISE_MASK	0x1	未发生中断。
MASK_STARTUP	GPIO11_RISE_MASK	0x1	未发生中断。
	NPWRON_START_MASK	0x1	未发生中断。
	ENABLE_MASK	0x0	发生中断
	FSD_MASK	0x1	未发生中断。
MASK_MISC	SOFT_REBOOT_MASK	0x0	发生中断
	TWARN_MASK	0x0	发生中断
	BIST_PASS_MASK	0x0	发生中断
	EXT_CLK_MASK	0x1	未发生中断。

表 5-8. 中断 NVM 设置 (续)

寄存器名称	字段名称	TPS65941515-Q1	
		值	说明
MASK_MODERATE_ERR	BIST_FAIL_MASK	0x0	发生中断
	REG_CRC_ERR_MASK	0x0	发生中断
	SPMI_ERR_MASK	0x1	未发生中断。
	NINT_READBACK_MASK	0x0	发生中断
	NRSTOUT_READBACK_MASK	0x0	发生中断
	NPWRON_LONG_MASK	0x1	未发生中断。
MASK_FSM_ERR	IMM_SHUTDOWN_MASK	0x0	发生中断
	MCU_PWR_ERR_MASK	0x0	发生中断
	SOC_PWR_ERR_MASK	0x0	发生中断
	ORD_SHUTDOWN_MASK	0x0	发生中断
MASK_COMM_ERR	COMM_FRM_ERR_MASK	0x0	发生中断
	COMM_CRC_ERR_MASK	0x0	发生中断
	COMM_ADR_ERR_MASK	0x0	发生中断
	I2C2_CRC_ERR_MASK	0x0	发生中断
	I2C2_ADR_ERR_MASK	0x0	发生中断
MASK_READBACK_ERR	EN_DRV_READBACK_MASK	0x0	发生中断
	NRSTOUT_SOC_READBACK_MASK	0x0	发生中断
MASK_ESM	ESM_SOC_PIN_MASK	0x1	未发生中断。
	ESM_SOC_RST_MASK	0x1	未发生中断。
	ESM_SOC_FAIL_MASK	0x1	未发生中断。
	ESM_MCU_PIN_MASK	0x1	未发生中断。
	ESM_MCU_RST_MASK	0x1	未发生中断。
	ESM_MCU_FAIL_MASK	0x1	未发生中断。
GENERAL_REG_1	PFISM_ERR_MASK	0x0	发生中断

5.9 POWERGOOD 设置

这些设置详细说明了由 PGOOD 引脚监控的项目的默认配置。所有这些设置都可以在启动后通过 I²C 进行更改。

表 5-9. POWERGOOD NVM 设置

寄存器名称	字段名称	TPS65941515-Q1	
		值	说明
PGOOD_SEL_1	PGOOD_SEL_BUCK1	0x0	屏蔽
	PGOOD_SEL_BUCK2	0x0	屏蔽
	PGOOD_SEL_BUCK3	0x0	屏蔽
	PGOOD_SEL_BUCK4	0x0	屏蔽
PGOOD_SEL_2	PGOOD_SEL_BUCK5	0x0	屏蔽
PGOOD_SEL_3	PGOOD_SEL_LDO1	0x0	屏蔽
	PGOOD_SEL_LDO2	0x0	屏蔽
	PGOOD_SEL_LDO3	0x0	屏蔽
	PGOOD_SEL_LDO4	0x0	屏蔽

表 5-9. POWERGOOD NVM 设置 (续)

寄存器名称	字段名称	TPS65941515-Q1	
		值	说明
PGOOD_SEL_4	PGOOD_SEL_VCCA	0x0	屏蔽
	PGOOD_SEL_TDIE_WARN	0x0	屏蔽
	PGOOD_SEL_NRSTOUT	0x0	屏蔽
	PGOOD_SEL_NRSTOUT_SOC	0x0	屏蔽
	PGOOD_POL	0x0	当受监控输入有效时, PGOOD 信号为高电平
	PGOOD_WINDOW	0x1	监测欠压和过压

5.10 其他设置

这些设置详细说明了附加设置的默认配置, 例如展频、PFSSM 延迟和 LDO 超时。所有这些设置都可以在启动后通过 I²C 进行更改。

表 5-10. 其他 NVM 设置

寄存器名称	字段名称	TPS65941515-Q1	
		值	说明
PLL_CTRL	EXT_CLK_FREQ	0x0	1.1MHz
CONFIG_1	TWARN_LEVEL	0x0	130C
	I2C1_HS	0x0	默认情况下为标准、快速或快速+, 可通过 Hs 模式控制器代码设置为 Hs 模式。
	I2C2_HS	0x0	默认情况下为标准、快速或快速+, 可通过 Hs 模式控制器代码设置为 Hs 模式。
	EN_ILIM_FSM_CTRL	0x0	降压/LDO 稳压器 ILIM 中断不会影响 FSM 触发条件。
	NSLEEP1_MASK	0x0	NSLEEP1(B) 会影响 FSM 状态转换。
	NSLEEP2_MASK	0x0	NSLEEP2(B) 会影响 FSM 状态转换。
CONFIG_2	BB_CHARGER_EN	0x0	禁用
	BB_VEOC	0x0	2.5V
	BB_ICHR	0x0	100uA
RECOV_CNT_REG_2	RECOV_CNT_THR	0xf	0xf
BUCK_RESET_REG	BUCK1_RESET	0x0	0x0
	BUCK2_RESET	0x0	0x0
	BUCK3_RESET	0x0	0x0
	BUCK4_RESET	0x0	0x0
	BUCK5_RESET	0x0	0x0
SPREAD_SPECTRUM_1	SS_EN	0x0	禁用展频
	SS_DEPTH	0x0	无调制
FSM_STEP_SIZE	PFSSM_DELAY_STEP	0xb	0xb
LDO_RV_TIMEOUT_REG_1	LDO1_RV_TIMEOUT	0xf	16ms
	LDO2_RV_TIMEOUT	0xf	16ms
LDO_RV_TIMEOUT_REG_2	LDO3_RV_TIMEOUT	0xf	16ms
	LDO4_RV_TIMEOUT	0xf	16ms
USER_SPARE_REGS	USER_SPARE_1	0x0	0x0
	USER_SPARE_2	0x0	0x0
	USER_SPARE_3	0x0	0x0
	USER_SPARE_4	0x0	0x0
ESM_MCU_MODE_CFG	ESM_MCU_EN	0x0	禁用 ESM_MCU。

表 5-10. 其他 NVM 设置 (续)

寄存器名称	字段名称	TPS65941515-Q1	
		值	说明
ESM_SOC_MODE_CFG	ESM_SOC_EN	0x0	禁用 ESM_SoC。
RTC_CTRL_2	XTAL_EN	0x1	启用晶体振荡器
	LP_STANDBY_SEL	0x1	低功耗待机状态用作 STANDBY 状态 (禁用 LDOINT)
	FAST_BIST	0x0	逻辑和模拟 BIST 在 BOOT BIST 上运行
	STARTUP_DEST	0x3	ACTIVE
	XTAL_SEL	0x1	9pF
PFSM_DELAY_REG_1	PFSM_DELAY1	0x58	0x58
PFSM_DELAY_REG_2	PFSM_DELAY2	0x9d	0x9d
PFSM_DELAY_REG_3	PFSM_DELAY3	0x0	0x0
PFSM_DELAY_REG_4	PFSM_DELAY4	0x0	0x0
GENERAL_REG_0	EN_OVP	0x1	启用 OVP
	VSYS_DEAD_LOCK_EN	0x1	在 VCCA OVP 的情况下, 使用外部 FET 关闭 VCCA
	PFSM_ERR_RESET_DIS	0x0	PFSM_ERR 导致重置为逻辑
	DIS_UVLO_OVP_RESET	0x0	UVLO/OVP 导致重置为逻辑
	FAST_BOOT_BIST	0x0	LBIST 在引导 BIST 期间运行
	VMON_ABIST_EN	0x1	启用 VMON ABIST
	ABIST_ERROR_MASK	0x0	未屏蔽 ABIST 错误
GENERAL_REG_1	REG_CRC_EN	0x1	启用寄存器 CRC
	FAST_VCCA_OVP	0x0	慢, 已启用 4μs 抗尖峰脉冲滤波器

5.11 接口设置

这些设置详细说明了默认接口、接口配置和器件地址。这些设置在器件启动后不能更改。

表 5-11. 接口 NVM 设置

寄存器名称	字段名称	TPS65941515-Q1	
		值	说明
SERIAL_IF_CONFIG	I2C_SPI_SEL	0x0	I2C
	I2C1_SPI_CRC_EN	0x0	CRC 禁用
	I2C2_CRC_EN	0x0	CRC 禁用
I2C1_ID_REG	I2C1_ID	0x48	0x48
I2C2_ID_REG	I2C2_ID	0x12	0x12

5.12 看门狗设置

这些设置详细说明了默认的看门狗地址。这些设置可以在启动后通过 I²C 进行更改。

表 5-12. 看门狗 NVM 设置

寄存器名称	字段名称	TPS65941515-Q1	
		值	说明
WD_LONGWIN_CFG	WD_LONGWIN	0xff	0xff
WD_THR_CFG	WD_EN	0x1	启用看门狗。

6 可预配置的有限状态机 (PFSM) 设置

本部分介绍了 TPS6594-Q1 器件的默认 PFSM 设置。这些设置在器件启动后不能更改。

6.1 配置的状态

在此 PDN 中，PMIC 具有以下几种配置的电源状态：

- 待机
- 有效
- 保持 (DDR 和 GPIO 都处于保持模式)

图 6-1 展示了配置的 PDN 电源状态以及在状态之间变化所需的转换条件。此外，还显示了向硬件状态 (如 SAFE RECOVERY 和 LP_STANDBY) 的转换。硬件状态是固定器件功率有限状态机 (FSM) 的一部分，并在 TPS6594-Q1 数据表中进行了描述，具体请参阅节 8。

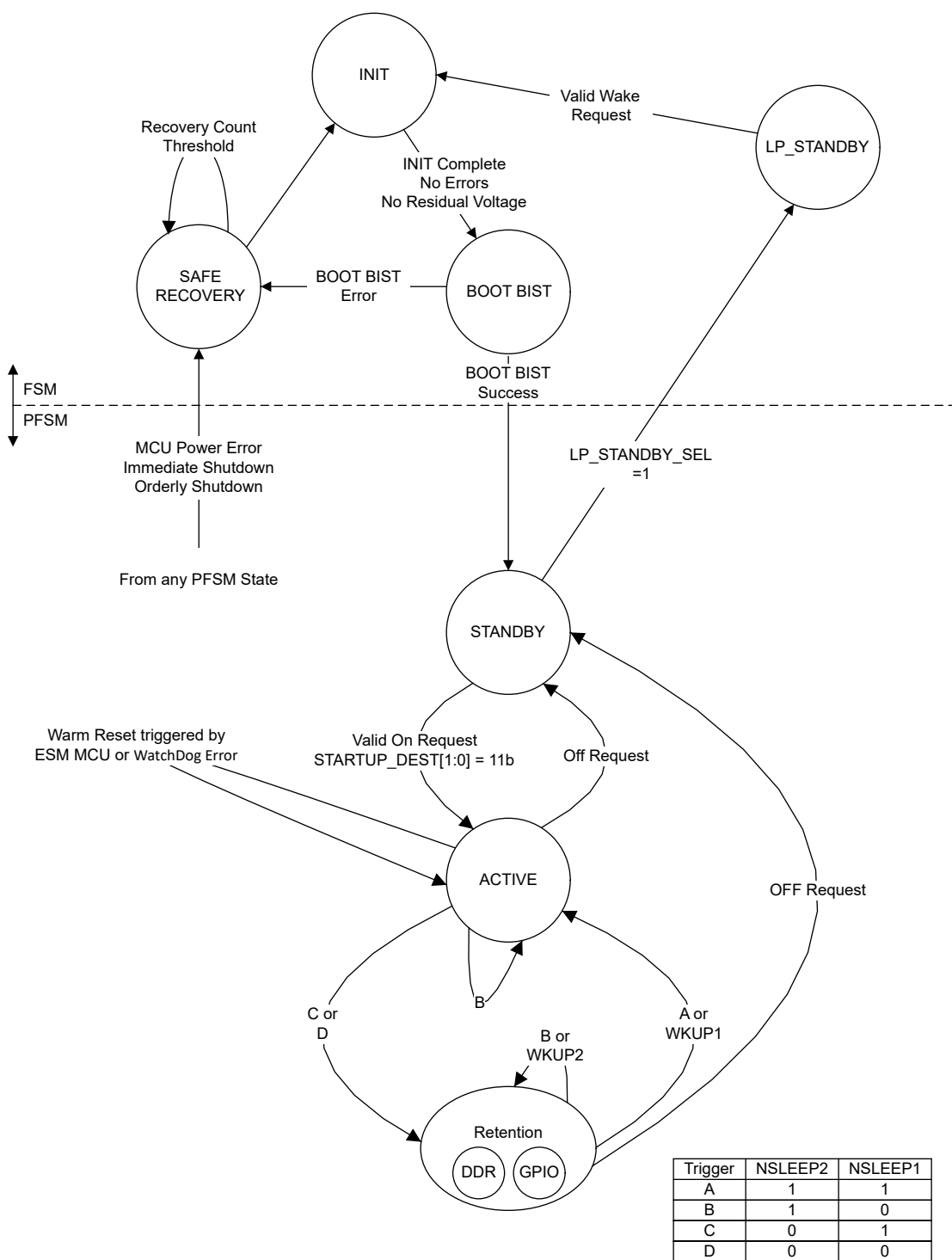


图 6-1. 可预配置有限状态机 (PFSM) 的任务状态和转换

当 PMIC 从 FSM 转换到 PFSM 时，将执行几个初始化指令来禁用 BUCK 和 LDO 稳压器上的残余电压检查，并设置 FIRST_STARTUP_DONE 位。执行这些指令后，PMIC 等待有效的 ON 请求，然后会进入 ACTIVE 状态。各电源状态定义如下：

STANDBY PMIC 由系统电源轨上的有效电源供电 ($V_{CCA} > V_{CCA_UV}$)。所有器件资源在 STANDBY 状态下都会断电。在此状态下，EN_DRV 被强制为低电平。处理器处于关闭状态，没有电压域通电。请参阅节 6.3.2 序列说明。

当出现错误且 PMIC 从 PFSM 任务状态退出并进入 FSM 状态时，也会进入 STANDBY 状态。当该器件从 FSM 状态返回到 PFSM 时，第一个状态会是 STANDBY 状态，这时所有其他资源全部断电并且 EN_DRV 被强制为低电平。在 PMIC 退出 PFSM 并进入 FSM 状态 SAFE_RECOVERY 之前，会执行节 6.3.1 中的序列。

ACTIVE PMIC 由有效电源供电。PMIC 功能齐全，可为所有的 PDN 负载供电。处理器已完成推荐的上电序列，MCU 和主处理器内的所有电压域均已通电。MCU 现在可以将 ENABLE_DRV 位设置为高电平。请参阅节 6.3.4 序列说明。

保持 PMIC 由有效电源供电。根据特定的资源设置，只有分配给处理器保持轨的电源资源处于开启或 LPM 模式。如果给定资源保持运行状态，则所有链接的子系统都会自动保持运行状态。ENABLE_DRV 位在此状态下由器件清零。如果 I2C_6 位设置为高电平，则 PMIC 进入 GPIO 保持状态。如果 I2C_7 位设置为高电平，则 PMIC 进入 DDR 保持状态。在触发保持状态之前，这些位需要进行设置。请参阅节 6.3.5 序列说明。

6.2 PFSM 触发条件

如图 6-1 所示，存在各种可以在所配置的状态之间实现状态转换的触发条件。表 6-1 按照从最高优先级（立即关断）到最低优先级（I2C_3）的顺序，描述了每个触发条件及其相关的状态转换。优先级较高的主动触发条件会阻止优先级较低的触发条件和相关序列。

表 6-1. 状态转换触发条件

触发条件	优先级 (ID)	立即 (IMM)	可重入	PFSM 当前状态	PFSM 目标状态	执行的电源序列或功能
立即关断	1	真	假	STANDBY、ACTIVE、挂起至 RAM	安全 ⁽¹⁾	TO_SAFE_SEVERE
MCU 电源错误	2	真	假	STANDBY、ACTIVE、挂起至 RAM	安全 ⁽¹⁾	TO_SAFE
有序关断	4	真	假	STANDBY、ACTIVE、挂起至 RAM	安全 ⁽¹⁾	TO_SAFE_ORDERLY
关闭请求	5	假	假	STANDBY、ACTIVE、挂起至 RAM	STANDBY ⁽²⁾	TO_STANDBY
WDOG 误差	6	假	真	ACTIVE	ACTIVE	ACTIVE_TO_WARM
ESM MCU 错误	7	假	真	ACTIVE	ACTIVE	
I2C_1 位为高电平 ⁽³⁾	8	假	真	ACTIVE	无状态变化	执行 RUNTIME BIST
I2C_2 位为高电平 ⁽³⁾	9	假	真	ACTIVE	无状态变化	启用 I 上的 I ² C CRC 2 C1 和 I 2 所有器件上的 C2。
开启请求	10	假	假	STANDBY、ACTIVE、挂起至 RAM	ACTIVE	TO_ACTIVE
WKUP1 变为高电平	11	假	假	STANDBY、ACTIVE、挂起至 RAM	ACTIVE	
NSLEEP1 和 NSLEEP2 为高电平 ⁽⁴⁾	12	假	假	STANDBY、ACTIVE、挂起至 RAM	ACTIVE	
NSLEEP1 变为低电平，而 NSLEEP2 变为高电平 ⁽⁴⁾	13	假	假	ACTIVE，挂起至 RAM	无状态变化	未执行序列

表 6-1. 状态转换触发条件 (续)

触发条件	优先级 (ID)	立即 (IMM)	可重入	PFSM 当前状态	PFSM 目标状态	执行的电源序列或功能
NSLEEP1 变为高电平, 而 NSLEEP2 变为低电平 ⁽⁴⁾	14	假	假	ACTIVE	挂起至 RAM	TO_RETENTION
NSLEEP1 变为高电平, 而 NSLEEP2 变为低电平 ⁽⁴⁾	15	假	假	ACTIVE	挂起至 RAM	
I2C_0 位变为高电平 ⁽³⁾	16	假	假	STANDBY、ACTIVE	LP_STANDBY ⁽²⁾	TO_STANDBY
I2C_3 位变为高电平 ⁽³⁾	17	假	假	ACTIVE	无状态变化	器件已准备好进行 OTA NVM 更新。 ⁽⁵⁾

- (1) PFSM 从安全状态自动转换到 SAFE_RECOVERY 的硬件 FSM 状态。从 SAFE_RECOVERY 状态开始, 恢复计数器递增, 并与恢复计数阈值进行比较 (请参阅表 5-10 中的 RECOV_CNT_REG_2)。如果达到恢复计数阈值, 则 PMIC 停止尝试恢复, 并需要重新启动电源。有关更多详细信息, 请参阅数据表。
- (2) 如果设置了 LP_STANDBY_SEL 位 (请参阅表 5-10 中的 RTC_CTRL_2), 则 PFSM 会转换到硬件 FSM 状态 LP_STANDBY。当进入 LP_STANDBY 状态时, 请根据具体的进入方式, 使用适当的机制来唤醒器件。有关更多详细信息, 请参阅数据表。
- (3) I2C_0、I2C_1、I2C_2 和 I2C_3 是自清除触发条件。
- (4) 可通过 GPIO 引脚或寄存器位访问 PMIC 的 NSLEEP1 和 NSLEEP2。如果寄存器位或 GPIO 引脚被上拉为高电平, NSLEEPx 值将读取为高逻辑电平。
- (5) 完成 OTA 更新后, 处理器需要启动 PMIC 重置, 以应用新的 NVM 设置。

6.3 电源序列

6.3.1 TO_SAFE_SEVERE 和 TO_SAFE

TO_SAFE_SEVERE 和 TO_SAFE 是在向安全状态转换时发生的不同序列。这两个序列都会毫无延迟地关断所有电源轨。为了防止在 VCCA 过压或热关断时 PMIC 出现任何损坏, TO_SAFE_SEVERE 序列立即停止 BUCK 开关, 并启用 BUCK 和 LDO 的下拉电阻。如图 6-2 中所示进行计时。在降压稳压器关闭之前, TO_SAFE 序列不会将这些稳压器复位。

Resource	PMIC	Delay Diagram	Total Delay	Rail Name
EN_DRV	TPS65941515-Q1		0 us	EN_DRV
nRSTOUT	TPS65941515-Q1		0 us	H_SOC_PORz_1V8
BUCK5	TPS65941515-Q1		0 us	VDD_DDR_1V1
LDO2	TPS65941515-Q1		0 us	VDD_RAM_0V85
GPIO5	TPS65941515-Q1		0 us	EN_GPIORET_VWK
GPIO6	TPS65941515-Q1		0 us	EN_DDR_RET_1V1
GPIO7	TPS65941515-Q1		0 us	EN_EFUSE_LDO
BUCK34	TPS65941515-Q1		0 us	VDD_CORE_0V8
LDO3	TPS65941515-Q1		0 us	VDA_DPLL_0V8
BUCK12	TPS65941515-Q1		0 us	VDD_CPU_AVS
LDO4	TPS65941515-Q1		0 us	VDA_LN_1V8
LDO1	TPS65941515-Q1		0 us	VDD_IO_1V8
GPIO9	TPS65941515-Q1		0 us	EN_GPIORET_VIO
GPIO11	TPS65941515-Q1		0 us	EN_SOC_VIO

图 6-2. TO_SAFE_SEVERE 和 TO_SAFE 电源序列

TO_SAFE 序列会在图 6-2 中显示的电源序列之后执行以下指令：

```
// Clear AMUXOUT_EN, CLKMON_EN, set LPM_EN
REG_WRITE_MASK_IMM ADDR=0x81 DATA=0x04 MASK=0xE3
// Reset all BUCK regulators
REG_WRITE_MASK_IMM ADDR=0x87 DATA=0x1F MASK=0xE0
```

TO_SAFE_SEVERE 序列会在电源序列之后执行以下指令：

```
// Clear AMUXOUT_EN, CLKMON_EN, set LPM_EN
REG_WRITE_MASK_IMM ADDR=0x81 DATA=0x04 MASK=0xE3
```

TPS65941515 在 TO_SAFE_SEVERE 序列结束时有 500ms 的额外延迟。请务必注意，在该序列延迟完成之前，不要尝试恢复。

6.3.2 TO_SAFE_ORDERLY 和 TO_STANDBY

如果出现中等程度的错误，则会形成有序关断触发条件。此触发条件使用建议的断电序列来关断 PMIC 输出，并进入 SAFE (安全) 状态。

如果发生 OFF 请求，例如 TPS65941515 ENABLE 引脚被拉低，则会发生相同的断电序列，但 PMIC 会进入 STANDBY (待机) (LP_STANDBY_SEL=0) 或 LP_STANDBY (LP_STANDBY_SEL=1) 状态，而不是进入 SAFE (安全) 状态。这两个事件的电源序列如图 6-3 所示。

TO_SAFE_ORDERLY 和 TO_STANDBY 序列都设置了 SPMI_LP_EN 和 FORCE_EN_DRV_LOW 位。

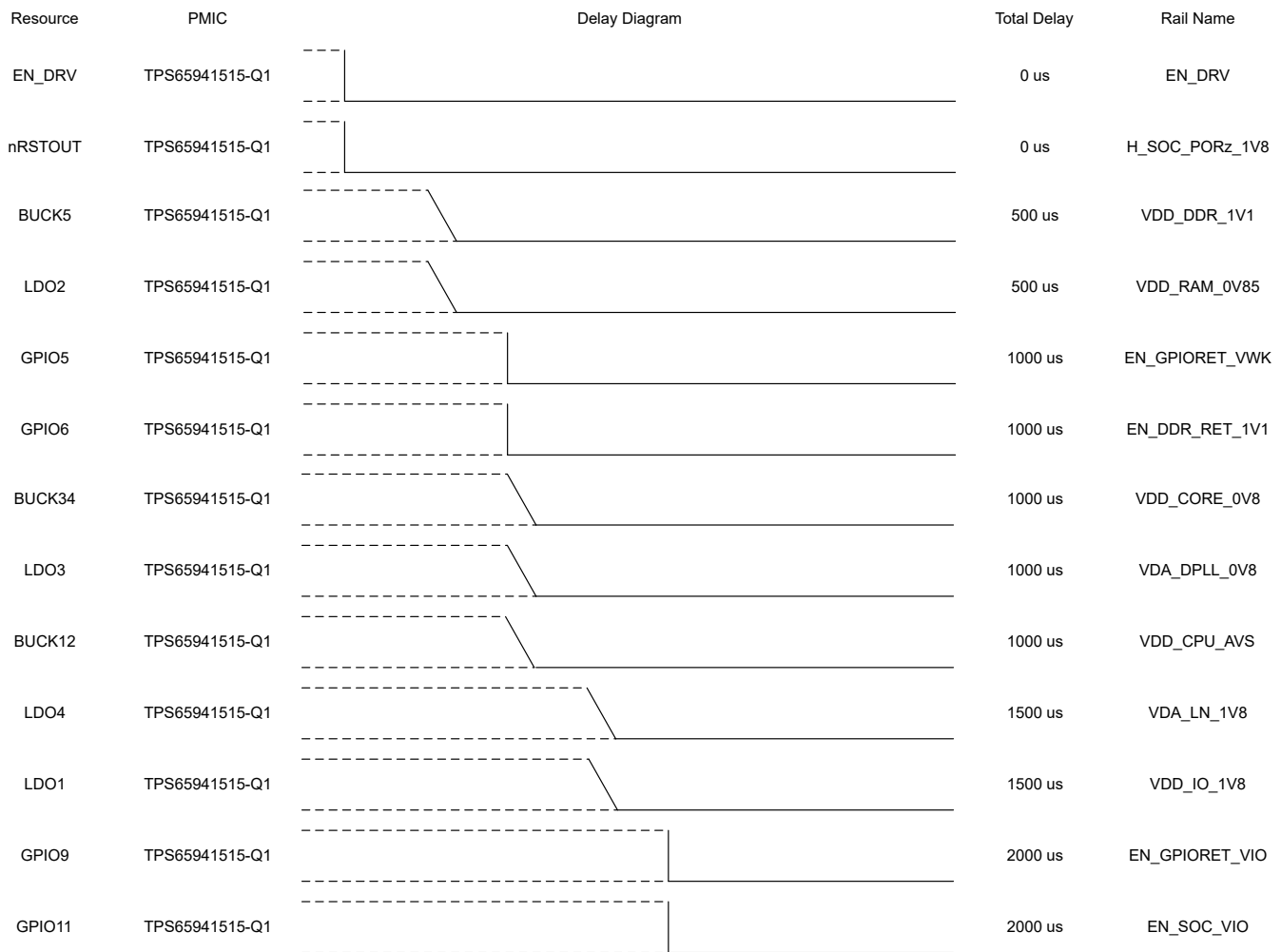


图 6-3. TO_SAFE_ORDERLY 和 TO_STANDBY 电源序列

在 TO_SAFE_ORDERLY 序列结束时，PMIC 会等待大概 16ms，然后执行以下指令：

```
// Clear AMUXOUT_EN and CLKMON_EN and set LPM_EN
REG_WRITE_MASK_IMM ADDR=0x81 DATA=0x04 MASK=0xE3
// Reset all BUCKs
REG_WRITE_MASK_IMM ADDR=0x87 DATA=0x1F MASK=0xE0
```

对降压稳压器进行复位是为转换到 SAFE_RECOVERY 状态做好准备。转换到 SAFE_RECOVERY 状态意味着 PMIC 会离开任务状态。在 SAFE_RECOVERY 状态下，恢复机制递增恢复计数器，并确定在尝试恢复之前是否已达到恢复计数阈值 (请参阅表 5-10)。

在 TO_STANDBY 序列结束时，TPS65941515 器件会等待大约 16ms，然后再执行相同的 AMUXOUT_EN、CLKMON_EN 和 LPM_EN 位操作。BUCK 未被重置。在这些指令之后，PMIC 会执行附加检查，以确定 LP_STANDBY_SEL (请参阅表 5-10) 是否为真。如果为真，则 PMIC 会进入 LP_STANDBY 状态并退出任务状态。如果 LP_STANDBY_SEL 为假，则 PMIC 会保持在由 配置的状态 中 STANDBY 定义的任务状态中。

6.3.3 ACTIVE_TO_WARM

ACTIVE_TO_WARM 序列可由看门狗或 ESM_MCU 错误触发。在触发的情况下，nRSTOUT 信号被驱动为低电平，并且恢复计数器（寄存器 RECOV_CNT_REG_1）会递增。然后，所有 BUCK 和 LDO 都被重置为其默认电压。PMIC 保持 ACTIVE 状态。

备注

GPIO 在该序列期间不会复位，如图 6-4 所示。

序列开始时，执行以下指令：

```
// Set FORCE_EN_DRV_LOW
REG_WRITE_MASK_IMM ADDR=0x82 DATA=0x08 MASK=0xF7
// Clear nRSTOUT
REG_WRITE_MASK_IMM ADDR=0x81 DATA=0x00 MASK=0xFC
// Increment the recovery counter
REG_WRITE_MASK_IMM ADDR=0xa5 DATA=0x01 MASK=0xFE
```

备注

看门狗或 ESM 错误表明在 PMIC 之外出现了重大错误。PMIC 实际上并不像 MCU_POWER_ERR 那样通过安全恢复进行转换，但是，为了保持一致性，所有调节器都返回到 NVM 中存储的值，并且恢复计数器也会递增。如果恢复计数器超过恢复计数阈值，PMIC 将保持安全恢复状态。

备注

在 ACTIVE_TO_WARM 序列后，MCU 负责管理 EN_DRV 和恢复计数器。在该序列结束时，FORCE_EN_DRV_LOW 位会被清零，以便 MCU 可以设置 ENABLE_DRV 位。

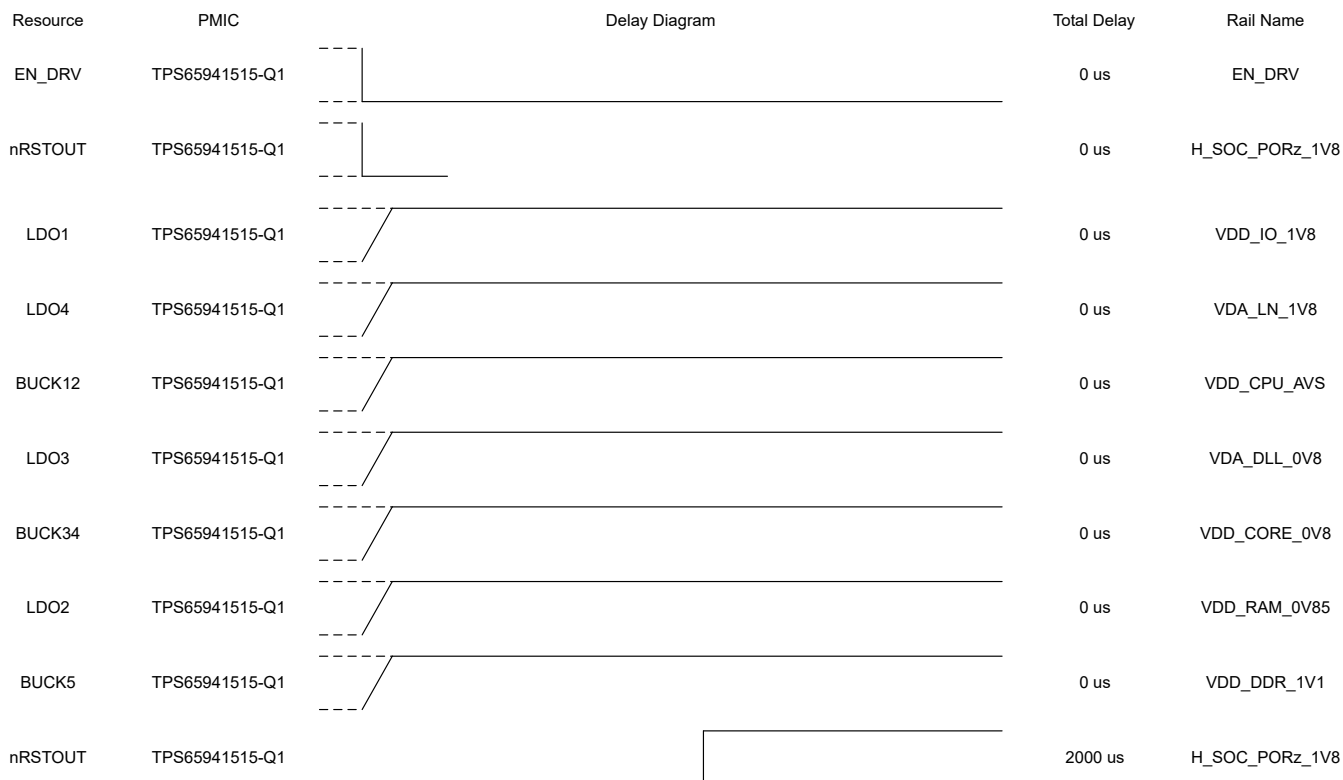


图 6-4. ACTIVE_TO_WARM 电源序列

备注

稳压器的转换并不表示稳压器的启用，而是表示电压恢复到其默认值的时间。该序列源于 **ACTIVE** 状态，表示所有稳压器均开启。

6.3.4 TO_ACTIVE

当触发条件导致 **TO_ACTIVE** 序列被执行时，所有电源轨都会按照建议的加电序列进行加电，如 图 6-5 所示。

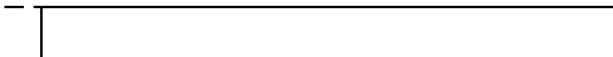
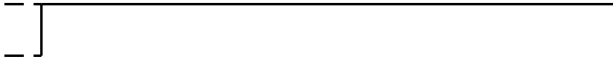
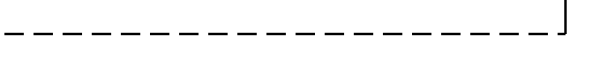
Resource	PMIC	Delay Diagram	Total Delay	Rail Name
GPIO9	TPS65941515-Q1		0 us	EN_GPIORET_VIO
GPIO11	TPS65941515-Q1		0 us	EN_SOC_VIO
LDO1	TPS65941515-Q1		2 ms	VDD_IO_1V8
LDO4	TPS65941515-Q1		2 ms	VDA_LN_1V8
BUCK12	TPS65941515-Q1		2.5 ms	VDD_CPU_AVS
LDO3	TPS65941515-Q1		2.5 ms	VDA_DLL_0V8
BUCK34	TPS65941515-Q1		2.5 ms	VDD_CORE_0V8
GPIO5	TPS65941515-Q1		2.5 ms	EN_GPIORET_VWK
LDO2	TPS65941515-Q1		3 ms	VDD_RAM_0V85
BUCK5	TPS65941515-Q1		3 ms	VDD_DDR_1V1
nRSTOUT	TPS65941515-Q1		12 ms	H_SOC_PORz

图 6-5. TO_ACTIVE 序列

在 **TO_ACTIVE** 序列结束时，**FORCE_EN_DRV_LOW** 位会被清零。

备注

在 **TO_ACTIVE** 序列后，MCU 负责管理 **EN_DRV**。

6.3.5 TO_RETENTION

由 **NSLEEPx** 位或引脚定义的 **C** 和 **D** 触发条件会触发 **TO_RETENTION** 序列。此序列会禁用所有不向固定轨供电的电源轨和 **GPIO**，如 图 3-1 所示。可以使用寄存器 **FSM_I2C_TRIGGERS** 中的 **I2C_7** 和 **I2C_6** 位来修改此序列。在触发保持状态之前，需要由 **I²C** 设置这些位。如果 **I2C_7** 位设置为高电平，则 **PMIC** 进入 **DDR** 保持状

态。如果 I2C_6 位设置为高电平，则 PMIC 进入 GPIO 保持状态。图 6-7 中显示了具有 GPIO 和 DDR 保持的 TO_RETENTION 序列。如果 I2C_6 和 I2C_7 设置为低电平，则与 DDR 和 GPIO 保持相关联的这些元件不会保持运行状态，如图 6-6 所示。

备注

在触发保持状态之前，需通过 PMIC 中的 I²C 对 I2C_6 和 I2C_7 位进行置位或清零。触发条件不能自行清除，必须在运行期间进行维护。

除了 I2C_7 外，处理器还必须在 GPIO6 上配置 EN_DDR_RET_1V1 信号。节 3.2 包含此信号，但它不属于电源序列。

以下 PMIC PFSM 指令会在电源序列开始时自动执行，从而配置 PMIC：

```
// Clear NRSTOUT
REG_WRITE_MASK_IMM ADDR=0x81 DATA=0x00 MASK=0xFE
// Set SPMI_LP_EN and FORCE_EN_DRV_LOW
REG_WRITE_MASK_IMM ADDR=0x82 DATA=0x18 MASK=0xE7
```

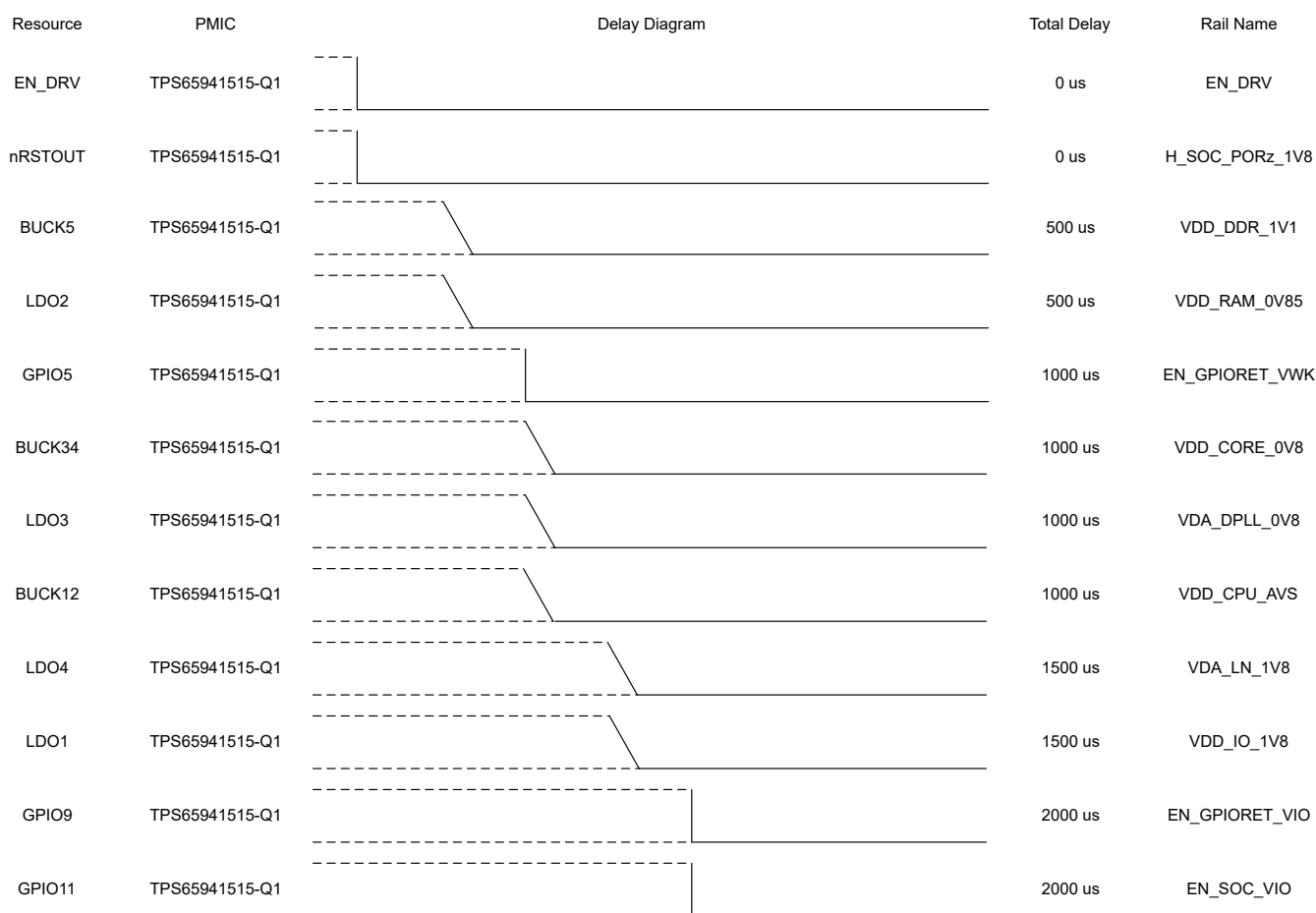


图 6-6. TO_RETENTION (当 I2C_6 和 I2C_7 为低电平时)

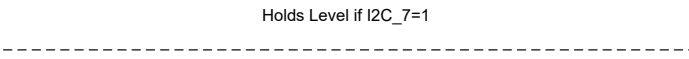
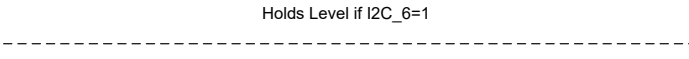
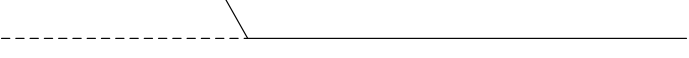
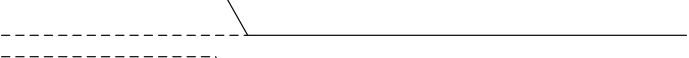
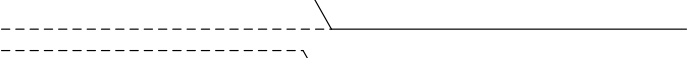
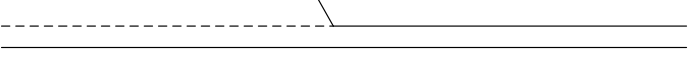
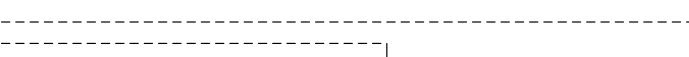
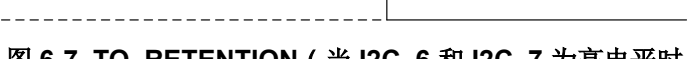
Resource	PMIC	Delay Diagram	Total Delay	Rail Name
EN_DRV	TPS65941515-Q1		0 us	EN_DRV
nRSTOUT	TPS65941515-Q1		0 us	H_SOC_PORz_1V8
BUCK5	TPS65941515-Q1		500 us	VDD_DDR_1V1
LDO2	TPS65941515-Q1		500 us	VDD_RAM_0V85
GPIO5	TPS65941515-Q1		1000 us	EN_GPIORET_VWK
BUCK34	TPS65941515-Q1		1000 us	VDD_CORE_0V8
LDO3	TPS65941515-Q1		1000 us	VDA_DPLL_0V8
BUCK12	TPS65941515-Q1		1000 us	VDD_CPU_AV5
LDO4	TPS65941515-Q1		1500 us	VDA_LN_1V8
LDO1	TPS65941515-Q1		1500 us	VDD_IO_1V8
GPIO9	TPS65941515-Q1		2000 us	EN_GPIORET_VIO
GPIO11	TPS65941515-Q1		2000 us	EN_SOC_VIO

图 6-7. TO_RETENTION (当 I2C_6 和 I2C_7 为高电平时)

在序列结束时，PMIC 会设置 LPM_EN 并清除 CLKMON_EN 和 AMUXOUT_EN 位。

7 应用示例

本部分举例说明了如何从 MCU 的角度通过 I²C 与 PMIC 进行交互。I²C 指令格式展示了以下各节如何使用 I²C 命令。与数据表结合使用时，可以将这些示例推广运用到其他用例中。

表 7-1. I²C 指令格式

I ² C 地址	寄存器地址	数据	屏蔽
0x48 或 0x4C	0x00 - 0xFF	0x00 - 0xFF	0x00 - 0xFF

7.1 在不同状态之间切换：ACTIVE 和 RETENTION

当 TPS65941515 上的 ENABLE 引脚变为高电平（上升沿触发）时，NVM 的默认配置会将 PMIC 转换为 ACTIVE 状态。nINT 引脚会变为高电平，以向 MCU 指示 PMIC 中发生了中断。在正常上电序列后，中断为 ENABLE_INT 和 BIST_PASS_INT。ENABLE_INT 禁止 PMIC 处理状态转换触发器中低于“ON 请求”的任何较低优先级的触发器。在 ENABLE_INT 被清零后，状态由表 7-2 定义。以下各节介绍了用于在不同状态之间转换的 I²C 命令。

表 7-2. 状态表

NSLEEP1	NSLEEP2	I2C_7	I2C_6	状态
1	1	不适用	不适用	ACTIVE
0	1	不适用	不适用	无状态变化
无关位	0	1	不适用	DDR 保持
	0	不适用	1	GPIO 保持
	0	0	0	保持

7.1.1 ACTIVE

在此示例中，正常上电事件后，PMIC 已经处于 ACTIVE 状态。通过在清除 ENABLE_INT 前设置 NSLEEP1 和 NSLEEP2 位，PMIC 可保持 ACTIVE 状态。

```
write 0x48:0x86:0x03:0xFC // Set NSLEEP1 and NSLEEP2 in TPS65941515
write 0x48:0x66:0x01:0xFE // Clear BIST_PASS_INT
write 0x48:0x65:0x26:0xD9 // Clear all potential sources of the On Request
```

7.1.2 保持

如 TO_RETENTION 中所示，MCU 已断电，因此必须在进入 RETENTION 之前配置从 RETENTION 到 ACTIVE 状态的转换。必须根据保持模式的类型来设置 I2C_6 和 I2C_7 触发条件。以下是进入 GPIO RETENTION 状态 (I2C_6=1) 并使用 TPS65941515 GPIO4 将 PMIC 唤醒至 ACTIVE 状态的示例。

```
write 0x48:0x85:0x40:0x7F //I2C_6 is high
write 0x48:0x34:0xC0:0x3F //Set GPIO4 to WKUP1 (goes to ACTIVE state)
write 0x48:0x64:0x08:0xF7 //clear interrupt for GPIO4 falling edge
write 0x48:0x4F:0x00:0xF7 //unmask interrupt for GPIO4 falling edge
write 0x48:0x86:0x00:0xFC //trigger the TO_RETENTION power sequence
After the GPIO4 has gone low and the PMIC returns to the ACTIVE state
write 0x48:0x86:0x03:0xFC //Set NSLEEPx bits for ACTIVE state
write 0x48:0x64:0x08:0xF7 //clear interrupt of GPIO4
```

以下示例展示了进入 DDR RETENTION 状态 (I2C_7 = 1) 并使用 TPS65941515 RTC 计时器将 PMIC 唤醒至 ACTIVE 状态。

```
write 0x48:0x85:0x80:0x7F // I2C_7 is high
write 0x48:0xC3:0x01:0xFE // Enable Crystal
write 0x48:0xC5:0x05:0xF8 // minute timer, enable TIMER interrupts
write 0x48:0xC2:0x01:0xFE // start timer, if the timer values are non-zero clear before starting
write 0x48:0x86:0x00:0xFC // trigger the TO_RETENTION power sequence
After the RTC Timer interrupt has occurred and the PMIC returns to the ACTIVE state
```

```
write 0x48:0x86:0x03:0xFC // Set NSLEEPx bits for ACTIVE state
write 0x48:0xC5:0x00:0xFB // disable timer interrupt, clear bit 2
write 0x48:0xC4:0x00:0xDF // clear timer interrupt, clear bit 5
```

7.2 进入和退出待机状态

ACTIVE 或 RETENTION 状态均可转换为 STANDBY 状态。若要保持在 STANDBY 任务状态，而不进入硬件状态 LP_STANDBY，则必须将 LP_STANDBY_SEL 位清零。

当 ENABLE 引脚变为低电平时，TO_STANDBY 序列会被触发。当 ENABLE 引脚再次变为高电平时，目标状态取决于 STARTUP_DEST 位。对于 TPS65941515，必须将 STARTUP_DEST 设置为 ACTIVE 状态。I2C_0 触发条件也会触发 TO_STANDBY 序列。从 I2C_0 触发时，PMIC 可以通过 GPIO4 或 RTC 定时器或警报触发以返回到 ACTIVE 状态。本例中使用 I2C_0 触发条件来进入 STANDBY 状态，并使用 GPIO4 来进入 ACTIVE 状态。

```
write 0x48:0xC3:0x00:0xF7 // LP_STANDBY_SEL=0
write 0x48:0x7D:0xC0:0x3F // Mask NSLEEP bits
write 0x48:0x34:0xC0:0x3F // Set GPIO4 to WKUP1 (goes to ACTIVE state)
write 0x48:0x64:0x08:0xF7 // clear interrupt of GPIO4
write 0x48:0x4F:0x00:0xF7 // unmask interrupt for GPIO4 falling edge
write 0x48:0x85:0x01:0xFE // set I2C_0 trigger, trigger TO_STANDBY sequence
After the GPIO4 has gone low and the PMIC has returned to the ACTIVE state
write 0x48:0x7D:0x00:0x3F // unmask NSLEEP bits
write 0x48:0x86:0x03:0xFC // Set NSLEEPx bits for ACTIVE state
write 0x48:0x64:0x08:0xF7 // clear interrupt of GPIO4
```

7.3 进入和退出 LP_STANDBY 状态

进入 LP_STANDBY 硬件状态就和进入 STANDBY 状态一样。退出 LP_STANDBY 状态会有所不同，需要在进入 LP_STANDBY 状态之前完成不同的初始化。另外，当 PMIC 从 LP_STANDBY 状态返回时，PFSM 触发条件会由 ENABLE_INT 选通，而在 STANDBY 状态下，触发条件由 GPIO 中断选通。

```
write 0x48:0xC3:0x08:0xF7 // LP_STANDBY_SEL=1
write 0x48:0x7D:0xC0:0x3F // Mask NSLEEP bits
write 0x48:0x34:0xC0:0x3F // Set GPIO4 to WKUP1 (goes to ACTIVE state)
write 0x48:0xC3:0x60:0x9F // Set the STARTUP_DEST=ACTIVE
write 0x48:0x64:0x08:0xF7 // clear interrupt of GPIO4
write 0x48:0x4F:0x00:0xF7 // unmask interrupt for GPIO4 falling edge
write 0x48:0x85:0x01:0xFE // set I2C_0 trigger, trigger TO_STANDBY sequence
After the GPIO4 has gone low and the PMIC has returned to the ACTIVE state
write 0x48:0x7D:0x00:0x3F // unmask NSLEEP bits
write 0x48:0x86:0x03:0xFC // Set NSLEEPx bits for ACTIVE state
write 0x48:0x64:0x08:0xF7 // clear interrupt of GPIO4
write 0x48:0x65:0x02:0xFD // clear ENABLE_INT
```

7.4 GPIO8 和看门狗

TPS65941515 GPIO8 配置为输入来禁用看门狗。通常，在开发期间，此引脚会连接为高电平，因此当 nRSTOUT 位被置位时，WD_PWRHOLD 也会被置位。此引脚的配置可用于实现其他特性或功能，但这要求在看门狗到期之前对看门狗进行维护。看门狗长窗口为 772 秒。

```
write 0x12:0x09:0x00:0xBF // Disable Watchdog
write 0x48:0x38:0x01:0x00 // configure GPIO8 as a pushpull output
```

当需要启用并配置看门狗时，除了启用看门狗外，还必须将 WD_PWR_HOLD 清零。

```
write 0x12:0x09:0x00:0xFB // Clear WD_PWRHOLD
write 0x12:0x09:0x40:0xBF // Enable Watchdog
```

8 参考资料

有关 PMIC 或处理器器件的其他信息，请查看以下内容：

- 德州仪器 (TI)，[DRA821Jacinto™ 处理器数据表](#)
- 德州仪器 (TI)，DRA821 安全手册 Jacinto™ 7 处理器 (通过 mySecure 索取)
- 德州仪器 (TI)，[J7200 DRA821 处理器器件版本 1.0 技术参考手册](#)
- 德州仪器 (TI)，[TPS6594-Q1 具有 5 个 Buck 和 4 个 LDO 且适用于安全相关汽车类应用的电源管理 IC \(PMIC\) 数据表](#)
- 德州仪器 (TI)，TPS6594-Q1 安全手册 (通过 mySecure 索取)
- 德州仪器 (TI)，[TPS6594-Q1 原理图 PCB 检查清单应用说明](#)

9 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的[使用条款](#)。

10 商标

Jacinto™, E2E™, and TI E2E™ are trademarks of Texas Instruments.

is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

11 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (November 2022) to Revision A (July 2026)	Page
• 更新了文档标题.....	1
• 根据设计指南更新了文档格式。.....	1
• 添加了说明、特性和应用主题。.....	1
• 更新了可订购器件型号以及相应的 TI_NVM_ID 和 TI_NVM_REV 寄存器值。.....	3

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月