



## 说明

本设计指南提出了围绕 Advanced Micro Devices<sup>®</sup> (AMD) Ultrascale+<sup>™</sup> 多处理器片上系统 (MPSoC) 现场可编程门阵列 (FPGA) 的电源树概念参考设计。这些电源树利用新型 TI 模块和 MagPack<sup>™</sup> 技术，在受限的电路板上尽可能缩小尺寸，同时保持具有竞争力的效率、性能和成本。

## 资源

<a href="#">TIPA-010000</a>	设计文件夹
<a href="#">TPSM8F7420</a>	产品文件夹
<a href="#">TPSM843B22</a>	产品文件夹
<a href="#">TPSM82816</a>	产品文件夹
<a href="#">TPSM8287A15M</a>	产品文件夹



请咨询我司 TI E2E<sup>™</sup> 支持专家

## 特性

- 共模输入电压 ( 12V 和 5V ) 电源树
- 紧凑的电源树可实现低至 159mm<sup>2</sup> 的总尺寸
- 利用 MagPack<sup>™</sup> 技术和 TI 全新的电源模块
- 效率高达 90%

## 应用

- 雷达
- 电子战
- 导引头前端

## 1 系统说明

AMD UltraScale+<sup>™</sup> MPSoC FPGA 系列包含多个器件型号，每个型号的电流消耗各不相同，这导致 TI 电源树或电源设计网络 (PDN) 建议也会有所变化。本设计指南提供了稳压器模块 (VRM) 推荐查找表 (LUT)，可帮助设计人员在各种电流电平下选择可优化尺寸与效率的备选 TI 器件。MPSoC FPGA 系列在紧凑的低功耗封装芯片中集成了双核或四核 Arm<sup>™</sup> Cortex<sup>™</sup>-A53，实现了高性能实时数据处理。MPSoC FPGA 允许设计人员采用单芯片方案替代多个分立式芯片，从而节省电路板占板面积和功耗。

德州仪器 (TI) 品类丰富的 DC-DC 开关稳压器、时序控制器和 DDR 存储器电源管理集成电路 (PMIC) 产品系列，为航空航天与国防 (A&D) 领域的电源设计人员提供了丰富的器件选择，同时满足尺寸、重量、功耗和成本 (SWaP-c) 的约束，并进行了系统级权衡。A&D 电源要求在小外形尺寸内实现紧凑设计，并提供高效率以避免复杂的散热片设计。TI 的 MagPack<sup>™</sup> 技术和全新的模块将电感器集成在封装内部，可缩短设计时间，节省电路板空间，同时提高效率。

## 2 系统概述

本设计指南中的 Ultrascale+ MPSoC PDN 采用 12V 或 5V 中间电源轨为 FPGA 负载点 (PoL) 供电。TI PDN 基于 Ultrascale+ MPSoC FPGA XCZU9EG-2FFVB1156E，采用超小的电源轨整合方案。设计中使用 AMD 电源估算计算器或 PDM 来计算电流。TI PDN 利用 Power Design Manager (PDM) 工具，并根据节 2.1 中所列假设进行设计。

XCZU9EG-2FFVB1156E 用于 Ultrascale+ MPSoC 评估板 (ZCU102)。该评估板上实现的 PDN 采用完整的电源管理方案，并未整合为超小的电源轨，而在某些高度紧凑的 A&D 终端应用中则必须整合。使用了评估板作为 TI 建议 PDN 的基准，而非对两个超小电源轨 PDN 进行直接比较。

尽管有些设计可利用 PMIC、LDO 和多级电源树，但这些不在本概念验证设计的范围内。本设计指南中的设计展示了可与系统时钟同步的固定频率 TI 模块、DDR PMIC 和时序控制器，它们都融入一种单级 DC-DC 电源树配置中。这些设计可作为高效率小外形电源树设计的估算起点。

### 2.1 FPGA 利用率假设

PDM 工具可将 PDM GUI 内的所有相关信息导出为 .pwr 输出文件。相关的 PDM 输出文件可在 TI.com 上的设计文件夹中找到 ( 请参阅 [资源](#)部分 )。以下假设用于计算 PDN 中的最大电流电平：

- 时钟：320MHz
- 逻辑：70% 的利用率 ( LUT 和寄存器 )
  - LUT 均匀分配用作逻辑、移位寄存器和分布式 RAM
- 块 RAM：100% 的利用率 (RAM18DP + RAM36SDP\_ECC)
- Ultra RAM：100% 的利用率 (URAM288\_ECC)
- DSP：100% 的利用率并启用预加功能
- GTH：请参阅 PDM 输出文件
- I/O：假设最大 I/O 电流为 4A
- 硬 IP 块：请参阅 PDM 输出文件
- PS：请参阅 PDM 输出文件
- 片上网络 (NoC)、DDR 存储器控制器 (DDRMC)：请参阅 PDM 输出文件

## 2.2 方框图

图 2-1 展示了一个实现工业级固定频率 TI 模块的 12V 输入 PDN，它提供了时序控制器选项，同时为 LPDDR4 或 DDR4 存储器供电，这些存储器是 UltraScale+™ MPSoC 系列中常见的外设。

多达七个 VCCO 电源轨的电压可在 1V 至 3.3V 范围内变化，且具有不同的电流电平。对于本分析，假设每个 VCCO 为 4A。VCCO 为 MPSoC FPGA 的输出驱动器供电，每个电源轨的使用情况取决于设计与这些输出驱动器连接的外设。

TPSM8F7420 是一款四路输出模块，非常适合可变的 VCCO 电源轨实现方案。四路输出不仅让设计人员能够实现全部七个 VCCO 电源轨，还有一路富余的通道可用于其他电源轨，例如 VMCTAVCC。若有任何其他 VCCO 电源轨未使用，则可以直接使用额外的 TPSM8F7420 输出，无需增加电源设计网络尺寸。

请注意，图 2-1 中带圆圈的数字表示按照 PDM 工具建议的电源轨上电时序。当采用 EV 器件时，第二个上电的电源轨为 VCCINT\_VCU，由于本例采用 EG 器件，因此省略了该电源轨。

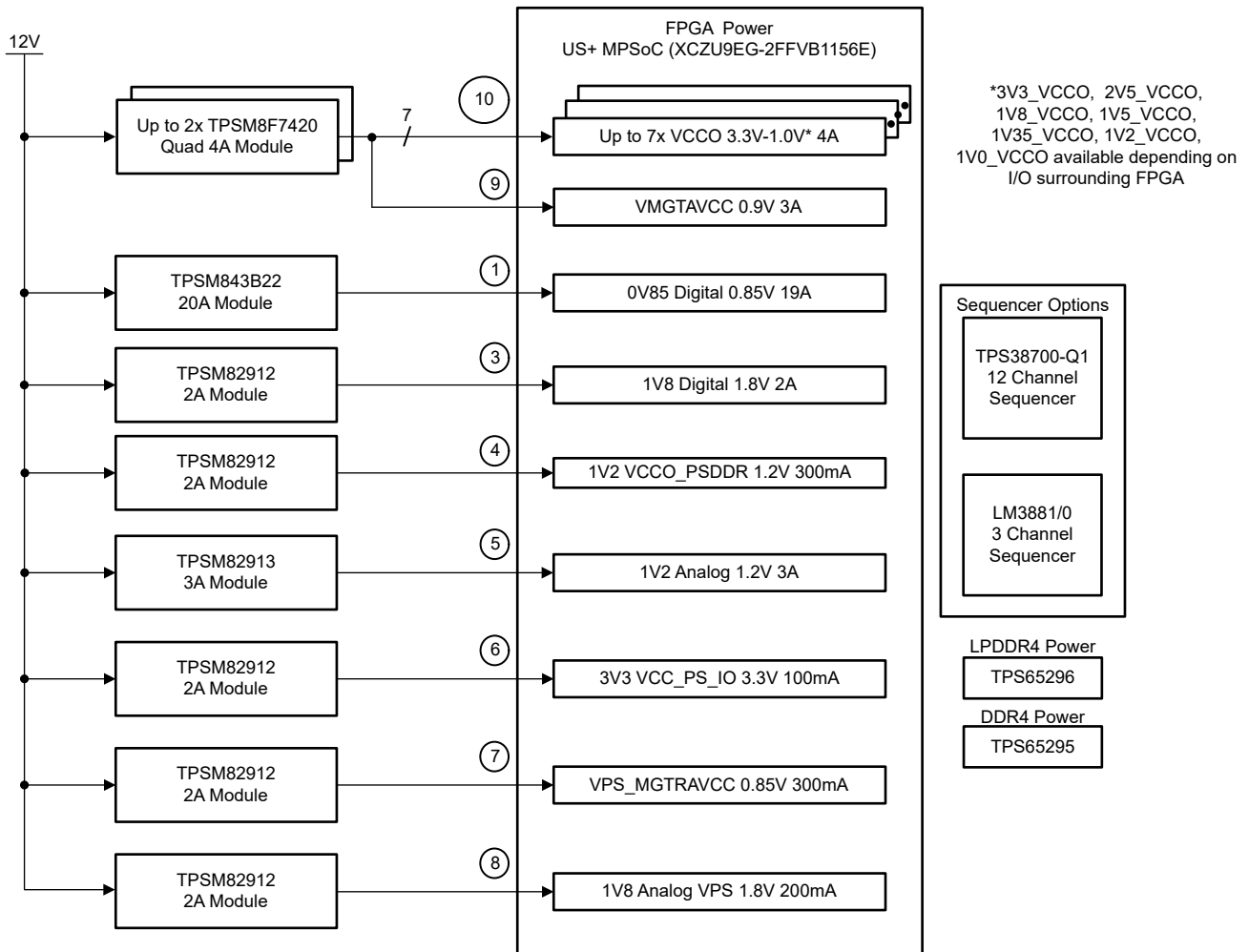


图 2-1. FPGA PoL PDN 的 12V 输入电压 (TI 模块、时序控制和 DDR 电源)

图 2-2 展示了一个采用工业级固定频率 TI 模块的 5V 输入 PDN，它提供了时序控制器选项，同时为 LPDDR4 或 DDR4 存储器供电，这些存储器是 UltraScale+™ MPSoC 系列中常见的外设。

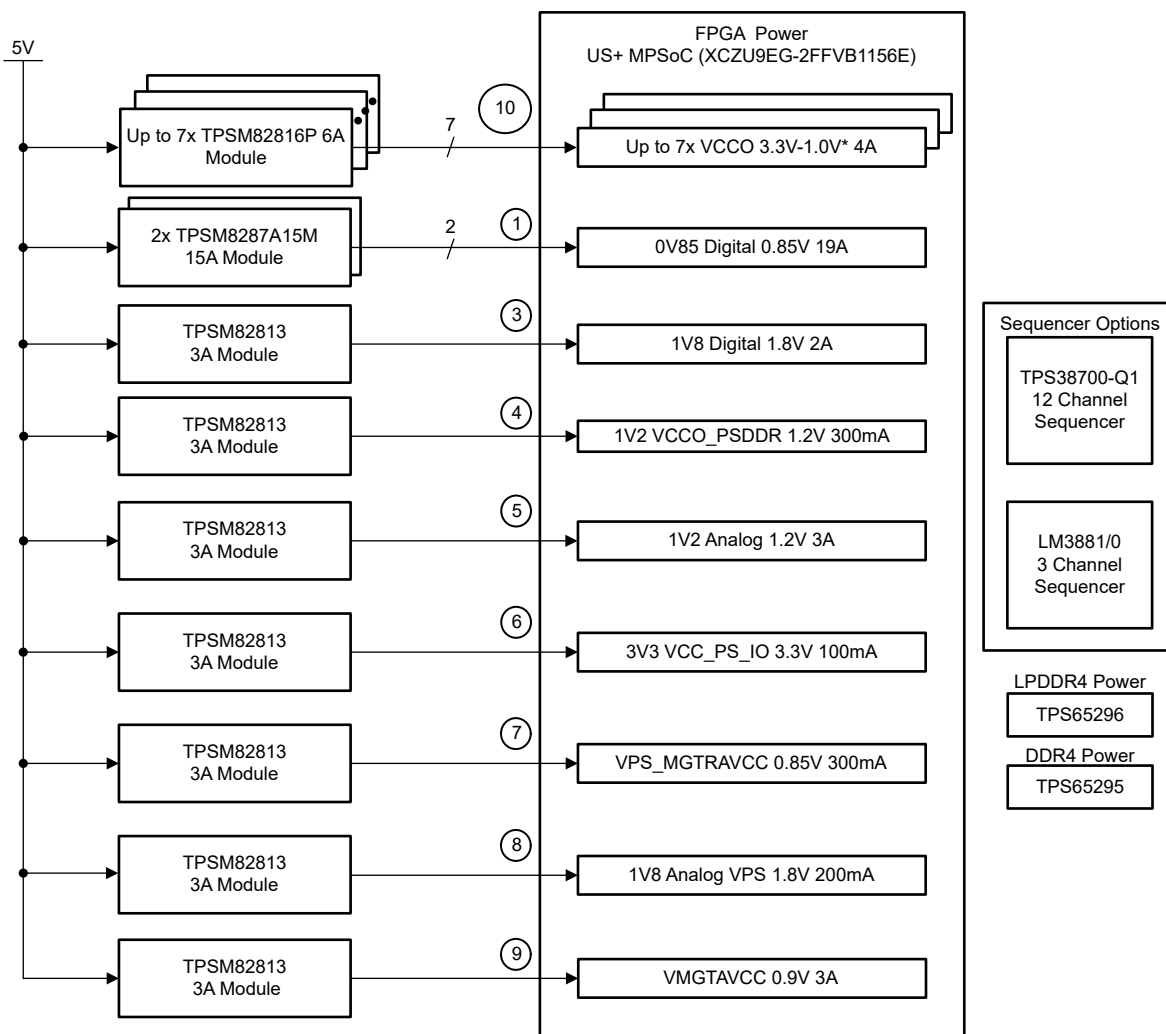


图 2-2. FPGA PoL PDN 的 5V 输入电压 (TI 模块、时序控制和 DDR 电源)

### 2.3 设计注意事项

设计 FPGA PDN 时，需要灵活选择能应对各电源轨预期电流的器件，并在效率、尺寸和成本之间取得平衡。选择 VRM 时，控制架构也很重要。TI 的模块采用固定频率或恒定导通时间 (COT) 控制架构，两者各有利弊。固定频率器件可将 VRM 开关频率同步到外部时钟。然而，与固定频率器件相比，COT 控制器件通常具有更快的瞬态响应和更小的占板面积 (有关更多信息，请参阅模拟设计期刊文章 [固定频率 DCS 控制：具有时钟同步的快速瞬态响应](#))。

对设计灵活性的需求源于电流电平的变化，或者源于为追求更高效率而牺牲稳压器尺寸的情况。电流电平会根据元件级设计过程中电源估算工具的修改而变化 (例如 FPGA 利用率变化、FPGA 器件变更等)。此外，为降低元件功率耗散和温升，有时需要对 VRM 电流进行降额以提高效率。

以下备选 VRM 推荐 LUT 提供了针对尺寸和效率而增强的器件参考标准，在电流范围高达 300A 的应用中，成本的考虑优先级相对较低。在以下情况下，可使用这些 LUT 进行备选器件选型：

- 电流电平高于或低于本设计指南 PDN 中假设的值
- 为提高效率，对设计进行了电流降额
- PDN 可利用 COT 或固定频率控制

表 2-1 提供了在 12V 输入条件下，覆盖一定电流范围（最高 300A）的 COT 和固定频率控制稳压器架构的 TI 器件型号。该表展示了最新的 TI 模块。在无模块可用的情况下，提供了集成 MOSFET 的转换器或控制器与功率级方案。表中以橙色突出显示了支持 -55°C 至 125°C 温度范围的 TI 器件，而非 -40°C 至 125°C 的标准工业级温度范围。

表 2-1. 支持 12V 输入电压的备选 TI VRM

电流	恒定导通时间 (COT) (快速瞬态响应、小尺寸、可接受纹波)	固定频率 (出色的纹波性能, 适用于敏感电源轨)
200A - 300A	TPS53689T + (8 个) CSD965200	不适用
140A - 200A	(4 个) TPS546E25	不适用
100A - 140A	(3 个) TPS546E25、(4 个) TPS546C25 (备选)	(2 个) TPSM8D6C24 (最高 140A) / (4 个) TPS546D24S (最高 160A) (备选)
50A - 100A	(2 个) TPS546E25、(3 个) TPS546C25 (备选)	
35A - 50A	TPS546E25、(2 个) TPS546C25 (备选)	TPSM8D6B24、(1 至 2 个) TPS546D24S (备选)
24A - 35A	TPS546C25	TPSM8S6C24
18A - 24A		TPSM8F7620
6A - 20A	TPS548B23	TPSM843B22、TPSM843A26、TPSM843A22
4A - 6A	TPS54J061	TPSM82916、TPSM8F7420 (备选)、TPSM8F7620 (备选)
3A - 4A		TPSM8F7420、TPS543421 (备选)
2A - 3A	TPSM82903	TPSM82913
1A - 2A	TPSM82902	TPSM82912、TPS62912 (备选)
0A - 1A	TPSM82901	
提供 -55°C 至 125°C 的额定温度		

表 2-2 提供了在 5V 输入条件下，覆盖一定电流范围（最高 300A）的 COT 和固定频率控制稳压器架构的 TI 器件型号。该表展示了最新的 TI 模块。在无模块可用的情况下，提供了集成 MOSFET 的转换器或控制器与功率级方案。表中以橙色突出显示了支持 -55°C 至 125°C 温度范围的 TI 器件额定值，而非 -40°C 至 125°C 的标准工业级温度范围。表中的汽车级器件以粗体文字表示。

表 2-2. 支持 5V 输入电压的备选 TI VRM

电流	COT	固定频率
200A - 300A	TPS53689T + (8 个) CSD965200	(6 个) <b>TPS62893-Q1</b>
50A - 200A	(4 个) TPS546E25	(2 至 6 个) TPSM8287B30
15A - 50A	TPS546E25、(2 个)、TPS546C25 (备选)	(1 至 4 个) TPSM8287A15M
6A - 15A	TPS548B23	TPSM8287A15M
4A - 6A	TPSM82866A、TPSM82866C	TPSM82816
3A - 4A	TPSM82866A	TPSM82810
2A - 3A	TPSM828303	TPSM82813
1A - 2A	TPSM828302	TPSM82813、 <b>TPS62442 (-Q1)</b> (双路输出)
0A - 1A	TPSM828301	TPSM82813、 <b>TPS62442(-Q1)</b>
提供 -55°C 至 125°C 的额定温度		采用 MagPack™ 封装：TPSM82830x 系列、TPSM8281x 系列、TPSM8286xx 系列和 TPSM8287Bxx 系列
<b>提供汽车级 (-Q1) 额定值</b>		

### 3 系统设计原理

本节以 XCZU9EG-2FFVB1156E FPGA 为基准，展示 TI PDN 与 AMD 评估板在各电源轨上的对比情况。

表 3-1 展示了现有电源轨稳压器的器件尺寸（含电感器），以及根据相应器件数据表中的效率曲线估算的电源轨效率。

经查看评估板原理图，电源轨元件总尺寸包含电源稳压器、外部 FET 和电感器。总电源轨尺寸未计入去耦电容器的尺寸。电源轨效率估算假设开关频率为 600kHz（该频率在评估的数据表中较为常见），总估算功率损耗为 22W。表中的电源名称分别对应评估板的电源名称和 PDM 工具中的电源名称。

**表 3-1. 适用于 UltraScale+™ MPSoC 的 ZCU102 AMD® 评估板**

电源名称	电压 (V)	电流 (A)	电源轨元件总尺寸 (MM²)	电源轨效率估算值
VCCINT (0V85_VCCINT)	0.85	40	325	84%
VCCBRAM (0V85_VCC_RAM_IO)	0.85	6	63	80%
VCCAUX (1V8 (数字))	1.8	3	54	89%
VCC1V2 (1V2_VCCO (数字))	1.2	2	91	85%
VCC3V3 (3V3_VCCO (数字))	3.3	5	84	92%
VADJ_FMC (1V8_VCCO (数字))	1.8	10	65	92%
MGTA VCC (0V9 (模拟))	0.9	6	143	88%
MGTA VTT (1V2 (模拟))	1.2	6	143	90%
MGTVCCAUX (1V8 (模拟))	1.8	1	22	55%
VCCPSINTFP (0V85_PSFP (数字))	0.85	10	84	89%
VCCPSINTLP (0V85_PSLP (数字))	0.85	2	59	83%
VCCPSAUX (1V8_LPD (数字))	1.81	0.5	22	55%
VCCPSPLL (1V2_PSPLL (模拟))	1.2	0.2	22	36%
MGTRA VCC (0V85_PS_GTR)	0.85	0.4	22	26%
MGTRA VTT (1V8_PS_GTR)	1.81	0.1	22	55%
DDR4_DIMM_VDDQ (1V2_VCCO_PSDDR)	1.2	6	84	83%
VCCOPS (1V8_VCCO_PS_IO)	1.8	4	84	89%
VCCOPS3 (1V8_VCCO_PS_IO)	1.81	0.3	22	55%
VCCPSDDRPLL (1V8_PSDDR_PLL)	1.81	0.1	22	55%
		总计	<b>1,434mm²</b>	<b>85%</b>

表 3-2 和表 3-3 分别展示了适用于 12V 和 5V 输入的 TI PDN。沿用 AMD 电源估算工具中的名称，以标示超小电源轨配置中的各个 FPGA 电源轨。电源轨元件总尺寸未计入去耦电容器的尺寸。使用 [AMD Power Design Manager](#) 计算电流电平。尽管 1V35\_VCCO 电源轨可用于 UltraScale+™ MPSoC，但由于该电源轨主要用于连接低功耗 DDR3L 存储器的 I/O 组，且对电源树的整体效率和尺寸影响甚微，因此未纳入本表分析。

**表 3-2. FPGA PoL PDN 的 12V 输入电压 ( 器件尺寸与电源轨效率估算值 )**

PDM 电源名称	电压 (V)	电流 (A)	TI 器件型号	器件尺寸 (MM <sup>2</sup> )	电源轨效率估算值
3V3_VCCO	3.3	4	2 × TPSM8F7420 ( 8 路输出中的 6 路 )	168	93%
2V5_VCCO	2.5	4			90%
1V8_VCCO	1.8	4			88%
1V5_VCCO	1.5	4			86%
1V2_VCCO	1.2	4			84%
1V0_VCCO	1	4			82%
0V85 数字	0.85	19	TPSM843B22	48.75	80%
1V8 数字	1.8	2	TPSM82912	24.75	86%
1V2 VCCO_PSDDR	1.2	0.3	TPSM82912	24.75	78%
1V2 模拟	1.2	3	TPSM8F7420 ( 8 路输出中的 7 路 )	不适用	85%
3V3 VCC_PS_IO	3.3	0.1	TPSM82912	24.75	69%
VPS_MGTRAVCC	0.85	0.3	TPSM82912	24.75	71%
1V8 Analog VPS	1.8	0.2	TPSM82912	24.75	75%
VMGTAVCC	0.9	3	TPSM8F7420 ( 8 路输出中的 8 路 )	不适用	81%
			总计	<b>292mm<sup>2</sup></b>	<b>85.6%</b>

对于 12V 输入 PDN，总估算功率损耗为 12W。效率根据数据表中 1MHz 开关频率下的效率曲线估算得出。TPSM8F7420 四通道模块的六路输出可应对 VCCO 电源轨，另外两路空闲输出可用于覆盖 1V2 模拟电源轨和 VMGTAVCC 电源轨，与使用两个 TPSM82913 3A 模块 ( 每个 24.75mm<sup>2</sup> ) 相比，效率略高且占板尺寸更小。

表 3-3. FPGA PoL PDN 的 5V 输入电压 ( 器件尺寸与电源轨效率估算值 )

PDM 电源名称	电压 (V)	电流 (A)	TI 器件型号	器件尺寸 (MM <sup>2</sup> )	电源轨效率估算值
3V3_VCCO	3.3	4	6 × TPSM82816	45	95%
2V5_VCCO	2.5	4			94%
1V8_VCCO	1.8	4			92%
1V5_VCCO	1.5	4			90%
1V2_VCCO	1.2	4			89%
1V0_VCCO	1	4			87%
0V85 数字	0.85	19	2 × TPSM8287A15M	61.2	87%
1V8 数字	1.8	2	TPSM82813	7.5	90%
1V2 VCCO_PSDDR	1.2	0.3	TPSM82813	7.5	83%
1V2 模拟	1.2	3	TPSM82813	7.5	84%
3V3 VCC_PS_IO	3.3	0.1	TPSM82813	7.5	78%
VPS_MGTRAVCC	0.85	0.3	TPSM82813	7.5	78%
1V8 Analog VPS	1.8	0.2	TPSM82813	7.5	80%
VMGTAVCC	0.9	3	TPSM82813	7.5	79%
			总计	<b>159mm<sup>2</sup></b>	<b>89.7%</b>

对于 5V 输入 PDN，总估算功率损耗为 8.4W。效率根据数据表中的效率曲线估算得出，除 0V85 数字电源轨采用 1.5MHz 开关频率外，其余均采用 1.8MHz 开关频率。0V85 数字电源轨由两个 TPSM8287A15M 并联堆叠而成，若再堆叠两个，可将该电源轨效率略微提升至 90%。TPSM82813 和 TPSM82816 是 MagPack 电源模块，与备选电源模块封装方案相比，封装体积分别减小约 49% 和约 22%。

表 3-4 总结了本概念验证设计中的各个 PDN。

表 3-4. FPGA PoL PDN 总结

PDN	尺寸估算值	效率估算值	功率损耗估算值
UltraScale+™ MPSoC 评估板	1,434mm <sup>2</sup>	85%	22W
12V 输入 TI PDN*	292mm <sup>2</sup>	85.6%	12W
5V 输入 TI PDN*	159mm <sup>2</sup>	89.7%	8.4W

\*12V 和 5V 的 TI PDN 均采用简化电源架构，提供的总输出功率低于评估板。

## 4 设计和文档支持

### 4.1 文档支持

1. 德州仪器 (TI), [MagPack 技术：可帮助您在更小空间内提供更大功率的新款电源模块的四大优势](#) 技术文章
2. 德州仪器 (TI), [固定频率 DCS 控制：具有时钟同步的快速瞬态响应](#) 模拟设计期刊
3. 德州仪器 (TI), [适用于嵌入式系统的电源](#)
4. AMD, [AMD Power Design Manager](#)

### 4.2 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的[使用条款](#)。

### 4.3 商标

Ultrascale+™ is a trademark of Advanced Micro Devices, Inc.

MagPack™ and TI E2E™ are trademarks of Texas Instruments.

Arm™ and Cortex™ are trademarks of Arm Limited.

Advanced Micro Devices® is a registered trademark of Advanced Micro Devices, Inc.

所有商标均为其各自所有者的财产。

## 重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月