



Shashank Madineni, Xingqi Chen

摘要

本文为数字控制非对称半桥 (AHB) 转换器的软件文档，该转换器采用源自反激式电路的谐振拓扑，旨在实现高效率和宽输出功率的转换。固件使用快速 PWM 导通时间计算和自适应零电压检测 (ZVD) 技术实现零电压开关 (ZVS) 控制，从而在不同的输入和负载条件下保持边界 ZVS。它还包含可编程 ZCD 计数控制、自适应软启动和电感补偿算法，可在各种生产变化条件下确保性能稳定。

该软件已在 280W AHB 硬件原型上验证，在 28V/9A 条件下峰值效率达 97.8%。本文详细介绍了软件结构、控制算法和实现方法，可实现对 AHB 转换器的稳健数字控制，适用于高功率应用 (> 100W)，如 USB PD 3.1 适配器、工业充电器和电动工具。

内容

1 简介	3
2 功率级概览	4
3 软件概述	6
3.1 软件架构.....	6
3.2 PowerSuite 用法.....	22
4 实验结构	26
4.1 硬件设置.....	26
4.2 Lab1.....	28
4.3 Lab2.....	30
4.4 Lab3.....	32
4.5 Lab4.....	34
5 总结	37

插图清单

图 1-1. 非对称半桥 (AHB) DC-DC 转换器.....	3
图 2-1. PMP41140 原理图概要视图.....	4
图 2-2. 使用 C2000™ MCU 的控制实现.....	5
图 3-1. 工程结构概览.....	6
图 3-2. ASYSCTL 外设初始化.....	8
图 3-3. ADC 时钟初始化.....	8
图 3-4. ADC SOC 初始化.....	9
图 3-5. 与 ADC 的模拟信号映射.....	10
图 3-6. 与 CMPSS 的模拟信号映射.....	10
图 3-7. 单端 CMPSS 配置.....	11
图 3-8. 重载 PWM 波形.....	12
图 3-9. 轻载 PWM 波形.....	13
图 3-10. EPWM 时基和计数器比较子模块.....	14
图 3-11. 动作限定器子模块.....	15
图 3-12. 死区子模块.....	15
图 3-13. 跳变区子模块.....	16
图 3-14. 数字比较子模块.....	17
图 3-15. 事件触发和中断子模块.....	17
图 3-16. AHB_CLB 配置.....	18
图 3-17. ZVS_CLB 配置.....	19

图 3-18. CPU 计时器配置.....	20
图 3-19. 中断配置.....	20
图 3-20. XBAR 配置.....	21
图 3-21. GPIO 配置.....	21
图 3-22. 中断流程图.....	22
图 3-23. PMP41140 PowerSuite (应用 UI)	23
图 3-24. 功率级硬件.....	24
图 3-25. 输出电压与保护.....	24
图 3-26. 启动、开关与时序.....	25
图 3-27. 具有抗饱和功能的 PI 控制器.....	25
图 4-1. AHB 硬件板设置.....	27
图 4-2. 硬件板测试点.....	28
图 4-3. Lab1 表达式窗口.....	30
图 4-4. Lab1 波形, Ch1 为 HS PWM, Ch2 为 LS PWM.....	30
图 4-5. Lab2 表达式.....	32
图 4-6. Ch1 为 HS PWM、Ch2 为 LS PWM、Ch3 为辅助节点、Ch4 为初级电流时的 Lab2 波形.....	32
图 4-7. Lab3 表达式.....	34
图 4-8. Ch1 为 HS PWM、Ch2 为 LS PWM、Ch3 为辅助节点、Ch4 为初级电流时的 Lab3 波形.....	34
图 4-9. 在 370V 输入、9A cc 负载下, 输出电压按 9V->15V->20V->28V->20V->15V->9V 顺序调节.....	36
图 4-10. 在 320V 输入、15V/9A CC 负载条件下的软启动和欠压保护运行.....	36

表格清单

表 2-1. 功率级规格.....	4
表 3-1. 支持源文件和头文件.....	7
表 3-2. 重载 PWM 事件与动作.....	12
表 3-3. 轻载 PWM 事件与动作.....	13
表 4-1. 运行时变量.....	27

商标

所有商标均为其各自所有者的财产。

1 简介

非对称半桥 (AHB) 转换器是一种谐振隔离式 DC-DC 拓扑，融合了反激式转换器的简洁性与谐振开关设计的性能。如图 1-1 所示，AHB 由串联在直流母线电压 V_{BUS} 与地之间的高侧 (HS) 和低侧 (LS) MOSFET 组成，形成半桥节点 V_{HB} 。谐振电感器 (L_r) 和谐振电容器 (C_r) 塑造开关节点处的电压波形，实现平滑转换和零电压开关 (ZVS)。变压器在初级侧和次级侧之间实现隔离和能量传输，而其漏感 (L_r) 和励磁电感 (L_m) 定义了谐振特性。在次级侧，同步整流器 (SR) 和输出电容器提供稳定的输出电压 V_o 和输出电流 I_o 。

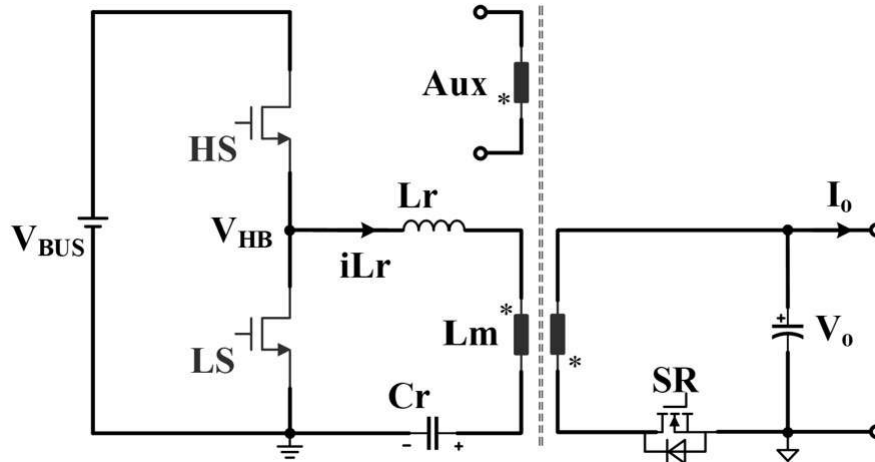


图 1-1. 非对称半桥 (AHB) DC-DC 转换器

电感器 L_r 和 L_m 代表变压器等效模型的漏感和励磁电感，而电容器 C_r 表示添加来塑造谐振电流和电压的外部谐振电容器。在每个开关周期，能量在低侧 MOSFET 导通期间存储在变压器的励磁电感中，并在关断期间通过次级绕组释放到输出端。 L_r 与 C_r 之间的谐振交互使得高侧 MOSFET 能够在其漏极电压接近零时导通，从而实现 ZVS 并最小化开关损耗。AHB 拓扑非常适合需要紧凑尺寸、高功率密度和高效率的中高功率 (> 100W) 隔离应用。不同于传统的反激或 LLC 转换器，它支持宽输出电压范围，并允许运行占空比超过 50%。这些优势使其成为 USB PD 3.1 适配器、工业电动工具、一体式电脑和智能充电器很有吸引力的选择。

在宽运行参数范围内维持 ZVS 仍是一项关键挑战。当半桥节点 V_{HB} 在下次导通事件前自然谐振至 V_{BUS} 时，高侧开关 (HS) 即满足 ZVS 条件。这一条件能否实现，取决于负载电流、变压器参数和开关频率。为确保一致的 ZVS，控制器会根据系统反馈动态调节 PWM 导通时间和开关频率。虽然传统模拟控制方法提供的灵活性和参数可见性有限，但数字实现可提供精确的时序控制、可编程性以及实时适应能力。本文所述的数字控制器利用辅助绕组反馈进行 ZVS 检测，实现了自适应软启动和安全停止例程，并允许使用可编程参数对 ZCD 计数和延迟进行调节。这些特性增强了转换器性能，加快了设计迭代速度，并提高了制造稳健性。本文全面介绍了数字 AHB 转换器的软件，涵盖固件架构、控制算法、状态机流程、配置设置和诊断功能。旨在为开发人员实现或定制用于高效 DC-DC 电源系统的数字 AHB 控制解决方案提供技术参考。

2 功率级概览

基于 PMP41140 参考设计的非对称半桥 (AHB) 硬件原型已使用 C2000™ Digital Power SDK 开发出来。该平台用作所提出的快速 ZVS 计算环路和自适应软启动控制的验证环境。下面的表 2-1 汇总了该原型的完整电气规格，包括输入/输出额定值和关键参数。

表 2-1. 功率级规格

参数	规格
输入电压	120-420V
输出电压	9V、15V、20V、28V
输出电流	15A、12A、9A
输出功率	150-250W
开关频率	20KHz 至 200KHz

如图 2-1 所示，AHB 转换器采用 LMG2650 GaN 驱动器高效控制高侧和低侧开关，通过由 L_r 、 C_r 和变压器励磁电感 (L_m) 构成的谐振回路确保低损耗开关。辅助变压器绕组专门用于 ZVS 检测，能够在不断变化的负载和输入条件下准确识别零电压切换。

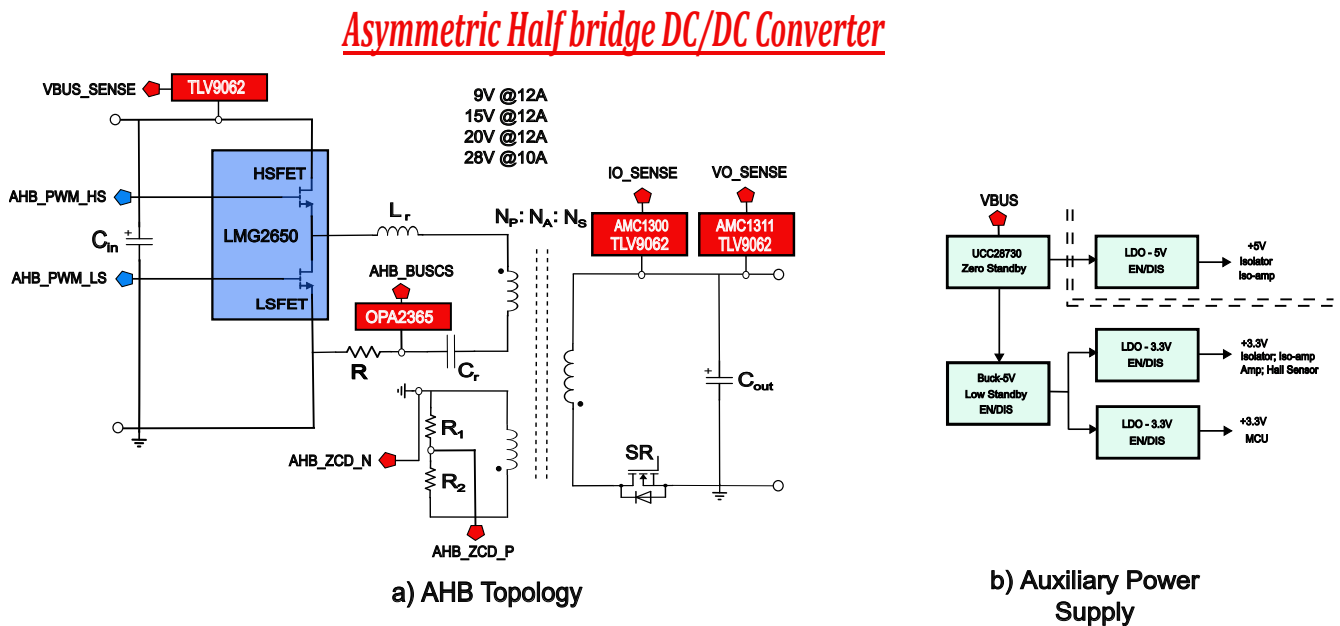


图 2-1. PMP41140 原理图概要视图

信号调理与反馈网络

反馈和检测电路使用精密放大器确保信号完整性、隔离和准确的实时测量：

- AMC1300/AMC1311 - 用于初级侧电流和电压检测的隔离式放大器，可实现高共模抑制
- TLV9062 - 用于电压反馈缩放和缓冲的运算放大器
- OPA2365 - 用于谐振信号放大和相位检测的高带宽放大器

这些模拟前端元件为 C2000™ ADC 子系统提供准确、无噪声的输入，用于控制计算和诊断。

辅助电源

辅助电源部分使用 UCC28730 和低功耗降压转换器生成稳定的 +12V、+5V 和 +3.3V 电源轨。这些电源轨为模拟、数字和栅极驱动器部分提供稳定偏置，确保正确的启动时序和故障抗扰性。

数字控制实现

数字控制平台基于 C2000™F28P55x 微控制器，后者用作 AHB 转换器的中央控制单元。图 2-2 简要展示了 AHB 硬件与控制逻辑之间的高层级信号交互。

使用的核心外设包括：

- ADC - 用于实时采样电压和电流反馈 (VBUS、VO 和谐振电流)
- CMPSS - 用于快速保护响应和 ZVS 事件检测
- CLB - 用于实现自定义数字逻辑和时序关键型功能
- PWM - 用于精确生成高分辨率栅极驱动信号

这些外设以严格同步的方式运行，执行自适应导通时间计算、ZVS 边界检测和平滑的软启动时序。C2000™ MCU 灵活的实时控制功能支持根据工作条件动态调整开关行为，确保优化的效率和稳定性。

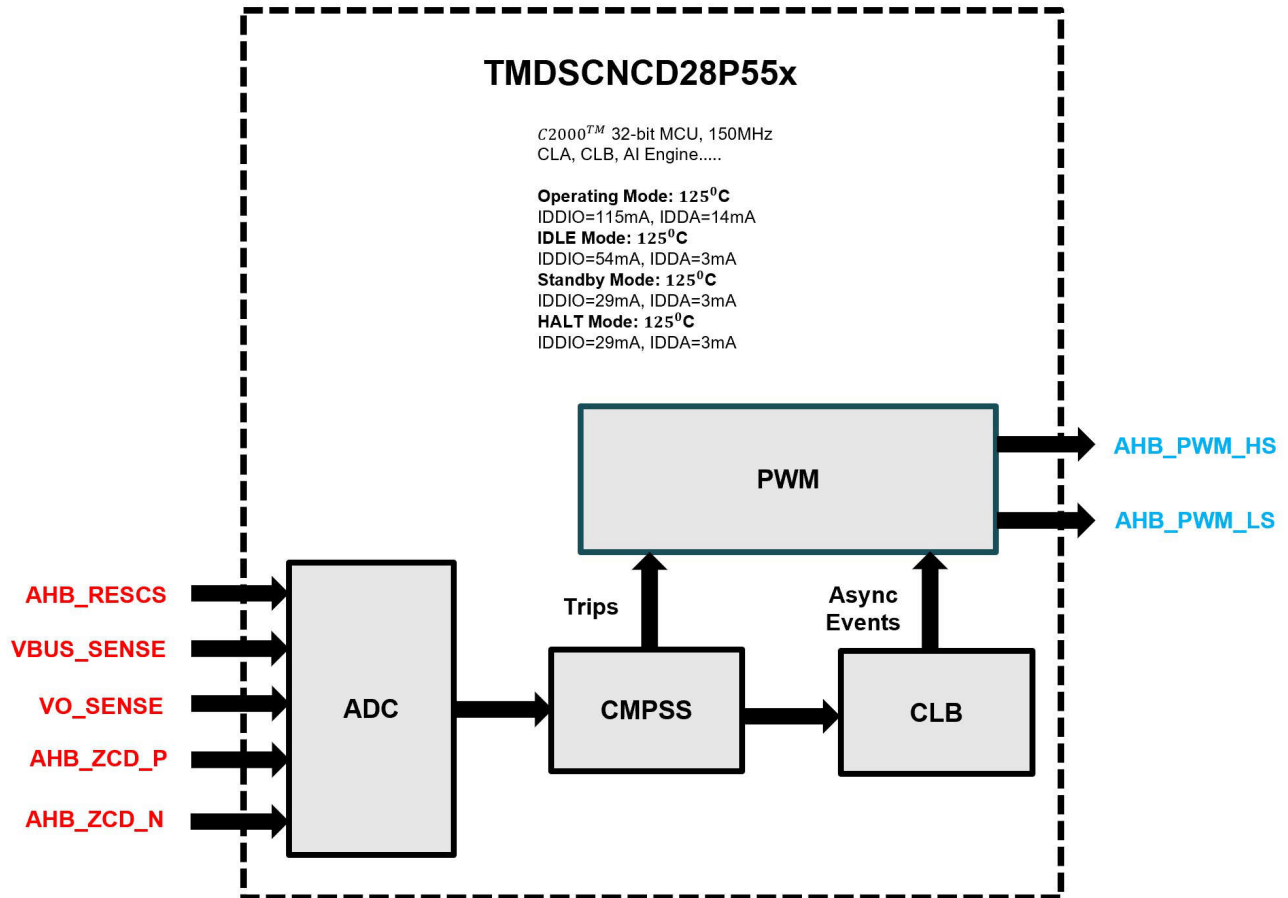


图 2-2. 使用 C2000™ MCU 的控制实现

图中给出了数字控制架构的高层级概览，说明了从 AHB 硬件到控制逻辑的信号流。每个外设的具体功能和时序协调将在本文后续章节中讨论。

3 软件概述

相关软件信息，请访问以下链接：[C2000WARE-DIGITAL-POWER-SDK](#)

打开 CCS 工程：

本设计的软件位于 C2000Ware_DigitalPower_SDK 中，并支持通过外设 SYSCFG 框架进行初始化。若要打开工程：

1. 安装 CCS (版本 12.5 或更高版本)。
2. 从[工具页面](#)安装 C2000Ware DigitalPower SDK。
3. 打开 CCS 并创建一个新的工作区。
4. 在 CCS 内，转到 View → Resource Explorer。在 Resource Explorer 中，依次进入 Software → C2000Ware DigitalPower SDK - <version> → solutions，选择 PMP41140 这一解决方案，然后点击 import project。该代码适用于 F28P55x 器件。

备注

CCS 建议安装与导入工程相关的特定编译器版本。如果需要，请在 TI.com 上找到编译器以进行下载并安装。安装编译器后，在工程属性菜单中配置编译器版本。确保 CCS 工程工具发现路径包括编译器安装的路径。

3.1 软件架构

将 PMP41140 工程成功导入 Code Composer Studio (CCS) 后，Project Explorer 将显示完整的目录结构，如[图 3-1](#)所示。

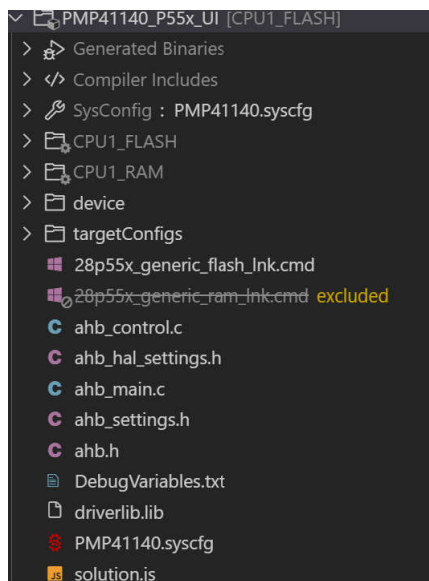


图 3-1. 工程结构概览

该工程利用 SysConfig 在 C2000™F28P55x 系列微控制器上进行器件和外设初始化。本设计使用的具体器件是 TMS320F28P550SGE-64PM，它提供了对非对称半桥 (AHB) DC-DC 转换器进行高频数字控制所需的计算性能和外设集。

[表 3-1](#) 的以下各节描述了工程所包含的关键文件的结构和功能。

表 3-1. 支持源文件和头文件

文件	说明
ahb_main.c	固件的入口点。该文件管理系统初始化、启动序列以及主控制环路的执行。它还监测特定实验的故障条件，并触发相应的故障诊断和恢复机制。
PMP41140.syscfg	由 TI SysConfig 工具生成的配置文件。定义时钟设置、GPIO 分配、外设映射、中断源和其他低级初始化参数。对系统配置的任何更改都应通过此文件进行，以保持一致性并防止寄存器冲突。
ahb_control.c	包含中断服务例程 (ISR) 和实时数字控制算法的核心控制文件。包括电压和电流反馈处理、PWM 占空比更新以及用于 AHB 转换器调节的控制环路执行。
ahb.h	中央头文件，包含所有器件专用和工程级的声明。定义跨控制和诊断模块使用的全局变量、宏和数据结构。还声明了所有 ISR 的原型。
ahb_settings.h	用于用户可调参数的配置头文件。包含控制常数、保护阈值和比例因子的定义。此文件可在不更改核心算法的情况下快速调节系统参数。
ahb_hal_settings.h	硬件抽象层头文件，包含物理 ADC 通道到逻辑控制变量的映射。确保硬件可移植性，并简化跨类似器件或电路板的固件迁移。

PMP41140 固件以模块化方式组织，以简化开发、调试并提高可重用性。每个源模块处理一个特定的子系统：

- **初始化层**：通过 SysConfig 和 AHB_main.c 管理，确保确定性的引导和外设设置。
- **控制层**：在 AHB_control.c 中实现，负责实时执行主闭环控制算法。
- **硬件抽象层 (HAL)**：通过 AHB_hal_settings.h 实现，以保持硬件配置与算法逻辑之间的清晰分离。
- **用户配置层**：通过 AHB_user_settings.h 公开，用于实现灵活的系统调节和实验评估。

这种结构化方法在硬件配置、实时控制和应用特定调节之间提供了清晰的分离，从而加快了调试速度，增强了可扩展性，并更易于移植到其他 C2000™ F28x 器件。

3.1.1 器件初始化

在此工程中，TI SysConfig 工具用于初始化和配置所有器件外设。在“AHB_main.c”文件中调用的 `board_init()` 函数，将应用软件与“c2000.syscfg”文件中定义的配置参数相关联。

SysConfig 文件专属于 F28P55x 系列器件，是所有外设和引脚分配的核心存储库。通过此配置，模拟和控制外设均以一致且易于维护的方式进行初始化。

具体而言，以下模块使用 SysConfig 进行配置：

- **模拟外设**：ADC、ASYSCTL、CMPSS
- **控制外设**：ePWM、CLB
- **系统外设**：GPIO、X-BAR、中断和 CPU 计时器

这种方法确保了启动时初始化的确定性，减少了手动配置寄存器的错误，并提供了图形界面，便于修改外设映射。后续章节将详细介绍每个已配置的外设及其在控制架构中的作用。

3.1.1.1 模拟外设初始化

此工程中的模拟外设主要负责将微控制器与来自应用硬件的模拟反馈信号建立接口连接。这些外设捕获实时电压和电流信息，使数字控制算法能够做出精确和确定性的决策。

ASYSCTL 初始化：

ASYSCTL (模拟系统控制) 外设用于配置模拟基准电压 (VREF)，以用作 ADC 转换的电压基准。VREF 的正确配置可确保在不同温度和工作条件下的测量一致性和精度。

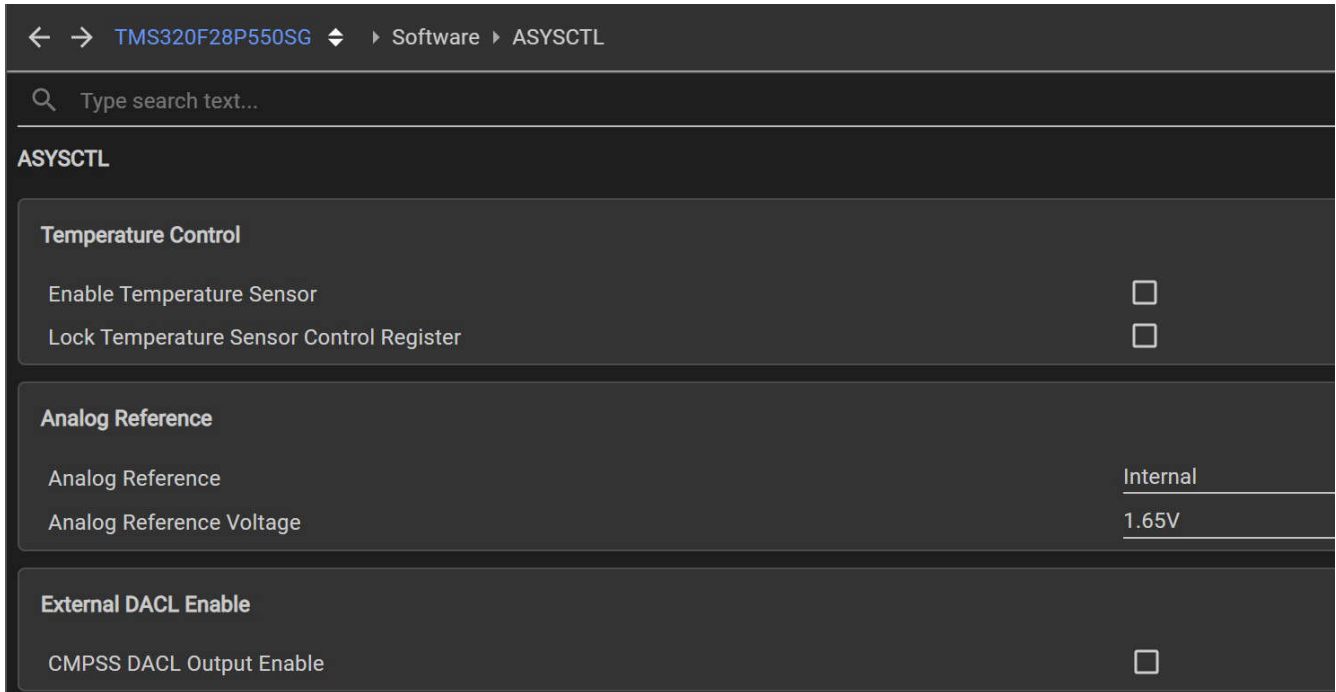


图 3-2. ASYSCTL 外设初始化

如图 3-2 所示，此工程中的模拟基准配置为内部基准，模拟基准电压为 1.65V。内部基准通过内部增益因子 $\times 2$ 来进一步缩放，得到 0V 至 3.3V 的有效 ADC 输入范围。此配置允许 ADC 对与转换器反馈范围相对应的满量程模拟信号进行精确采样，而无需外部基准电路。

ADC 初始化：

模数转换器 (ADC) 模块用于采样各种模拟反馈信号，如输出电压、输入电压和电感器电流。利用 SysConfig，可选择模拟输入通道，配置采样窗口、转换速度、触发源和 ADC 时钟频率。这些参数决定了采样精度以及反馈信号与 PWM 开关周期的同步。

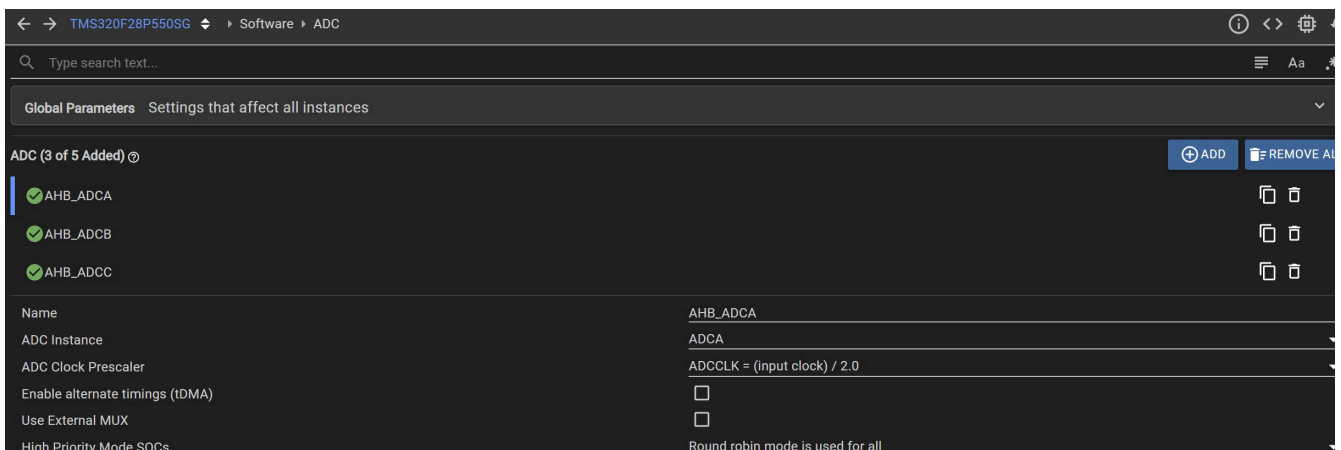


图 3-3. ADC 时钟初始化

在此工程中，使用了三个 ADC 模块 (AHB_ADCA、AHB_ADCB 和 AHB_ADCC) 来获取来自功率级的模拟反馈信号。如图所示，所有 ADC 均配置为以 75MHz 的 ADC 时钟频率运行，这通过在 SysConfig 中为每个 ADC 设置适当的 ADC 时钟预分频器来实现，如图 3-4 所示。

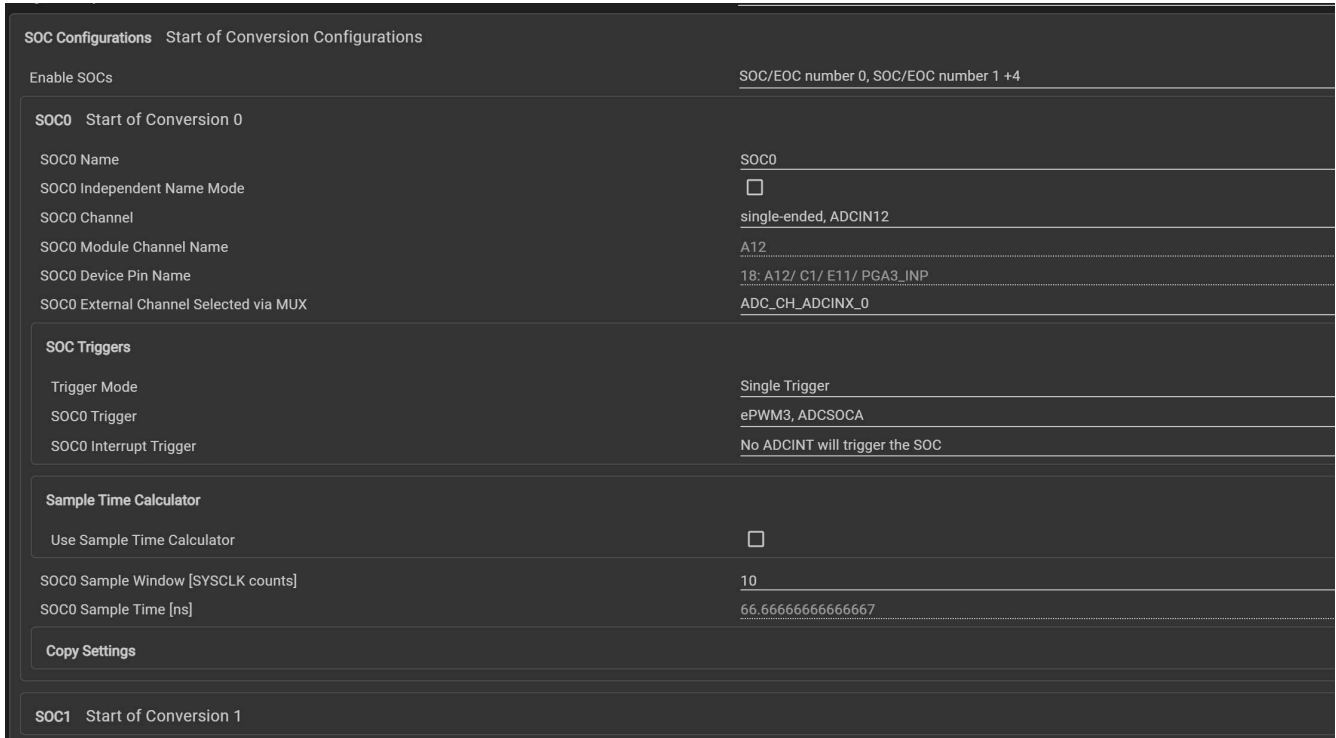


图 3-4. ADC SOC 初始化

每个 ADC 模块包含 16 个转换启动 (SOC) 单元，标记为 SOC0 至 SOC15。固件使用默认的轮询优先级方案，其中 SOC0 具有最高转换优先级，SOC15 最低。这种调度确保了跨多个反馈通道的采样确定性，同时保持均衡的转换时序。

每个 SOC 可单独进行以下配置：

- 输入通道选择：指定哪个模拟输入引脚 (A0 - A15、B0 - B15 等) 连接到 ADC 输入多路复用器。
- 触发源：确定发起转换的事件 (例如，ePWM 触发信号)。
- 采样保持窗口：定义在转换开始前进行稳定的信号采样所需的采集时间。

如图 3-5 所示，一种示例配置是 ADCA-SOC0，它使用模拟通道 A12 作为输入，以 ePWM3.ADCSOCA 作为触发源，采样窗口为 10 个周期。该设置将 ADC 采样与 PWM 开关事件同步，以确保控制与测量之间的时序一致。

Priority	ADC-A	ADC-B	ADC-C
High Priority Frequency with PWM (20KHz - 200KHz)	AHB_ZCD_N (A12) SOC0 -> ADC_TRIGGER_EPWM3_SOCA SOC1 -> ADC_TRIGGER_EPWM3_SOCA		
	AHB_RESCS (A1) SOC3 -> ADC_TRIGGER_EPWM3_SOCA		
	VO_SENSE (A3) SOC2 -> ADC_TRIGGER_EPWM3_SOCA SOC4 -> ADC_TRIGGER_EPWM3_SOCA SOC5 -> ADC_TRIGGER_EPWM3_SOCA		
Low Priority Frequency with Timer (50KHz)		VBUS_SENSE (B15) SOC2 -> ADC_TRIGGER_CPU1_TINT1 SOC3 -> ADC_TRIGGER_CPU1_TINT1 SOC4 -> ADC_TRIGGER_CPU1_TINT1	AHB_TEMP (C14) SOC5 -> ADC_TRIGGER_CPU1_TINT1 SOC6 -> ADC_TRIGGER_CPU1_TINT1

图 3-5. 与 ADC 的模拟信号映射

模拟引脚到 ADC 通道的映射、相关的 SOC 配置以及各自的触发源如图 3-5 所示。该映射定义了系统如何捕获关键反馈变量，如输出电压、输入电压和电感器电流，以用于实时控制功能。

CMPSS 初始化：

CMPSS (比较器子系统) 外设用于基于硬件的故障监测和保护。每个 CMPSS 模块可在检测到的模拟输入超过或低于配置阈值时生成跳变信号。这些跳变事件通常用于启动即时保护动作，例如禁用 PWM 输出或触发故障中断，从而在过流、过压或其他异常工作条件下保护系统。

Module	Comparator	Analog Pins	Default DAC Value	Description
CMPSS1	High	AHB_RESCS (A1)	3000	Inductor Current Peak Trip
	Low	AHB_RESCS (A1)	3120	Over Current Trip
CMPSS2	High	AHB_ZCD_N (A12)	AHB_ZCD_P (A10)	Zero Crossing Detection
	Low	AHB_ZCD_P (A10)	1490	ZVS Diagnostics
CMPSS3	High	VO_SENSE (A3)	4040	Over Voltage Trip

图 3-6. 与 CMPSS 的模拟信号映射

在此工程中，使用了三个 CMPSS (比较器子系统) 模块进行保护、检测和控制诊断，如图 3-6 所示。每个 CMPSS 模块都提供具有独立 DAC 基准和灵活输入配置的高电平和低电平比较器。

1. CMPSS1：

- 高电平和低电平比较器均接收来自 AHB_RESCS 的相同模拟输入。
- 高电平比较器配置用于峰值电流检测。其 DAC 基准值在每个 ISR2 中根据控制器输出动态更新，实现自适应电流控制。
- 低电平比较器用作过流保护机制。其 DAC 基准值根据定义的电流限值预先计算，提供硬件级的故障响应。

2. CMPSS2：

- 高电平比较器配置用于过零检测 (ZCD)，并以差分模式运行，输入为 AHB_ZCD_P (A10) 和 AHB_ZCD_N (A12)。该配置支持精确检测谐振或软开关运行中的零电流或零电压点。

- 低电平比较器配置用于 ZVS (零电压开关) 诊断, 使用来自 AHB_ZCD_P (A10) 的单端输入。DAC 影子值在每个 PWM 周期更新一次, 以动态监测开关条件。

3. CMPSS3 :

- 高电平比较器用于过压保护 (OVP)。将模拟输入 VO_Sense (A3) 与对应于所配置电压限制的 DAC 阈值进行比较。

过流和过压保护跳变均通过 EPWM X-BAR 路由, 产生单次跳变信号, 从而立即强制所有功率开关进入安全关断状态。

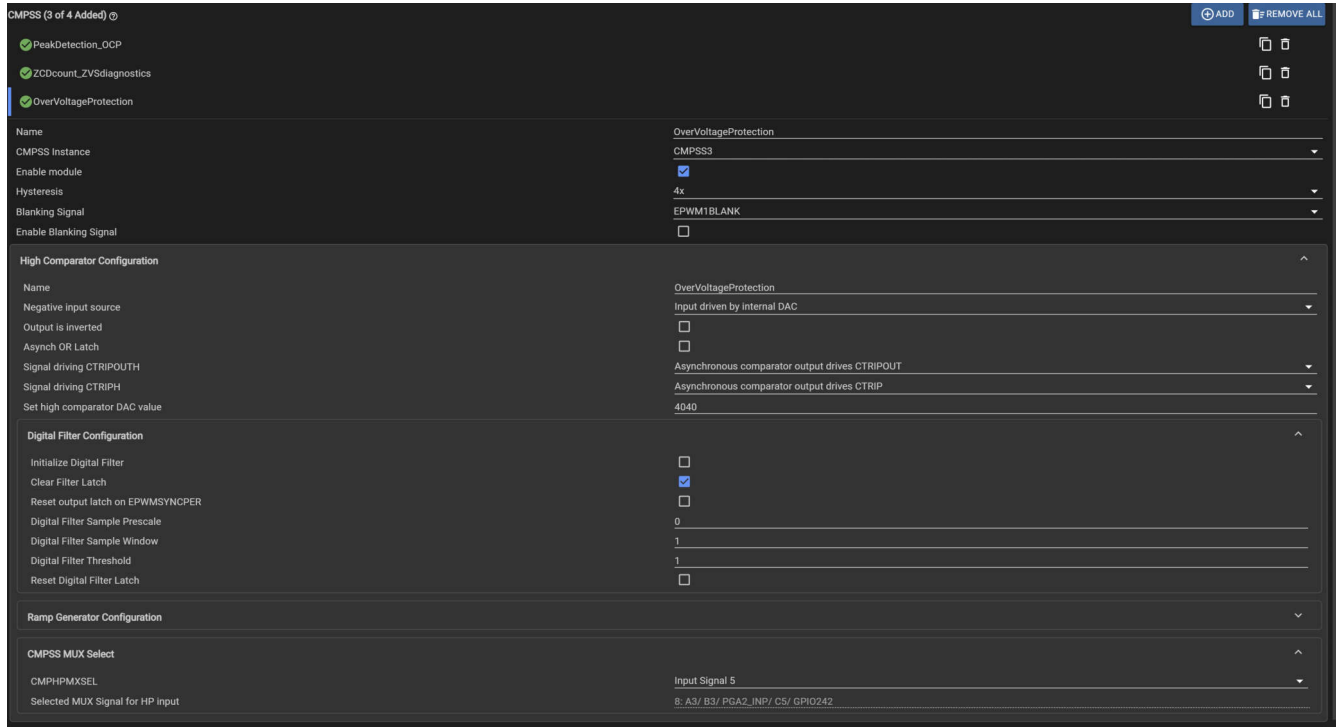


图 3-7. 单端 CMPSS 配置

CMPSS3 高电平比较器的配置示例如下图所示。

- 首先, 必须通过在 SysConfig 中选择 “Enable Module” 选项来使能 CMPSS3 实例。比较器磁滞配置为 $\times 4$, 以在输入端提供更好的抗噪能力。
- 对于高电平比较器, 为负输入源选择 “Input driven by internal DAC”, 这会将比较器配置为单端模式。(对于差分运行, 负输入源将设置为 “Input driven by external pin”。) 比较器输出 CTRIPOUTH/CTRIPH 配置为异步, 确保即时做出故障响应, 无需等待系统时钟。用于过压比较的 DAC 基准值配置为 4,040, 对应于根据系统电压分压比得出的目标过压跳变阈值。
- 最后, 使用 CMPHMXSEL 寄存器选择比较器输入引脚。在这种情况下, 选择输入信号 5, 该信号映射到模拟输入 A3。(CMPSS 输入信号到模拟引脚的映射可在器件 TRM 中找到。)

总之, 模拟外设共同提供了连接功率级和数字控制核心的基本检测和保护框架, 可确保转换器稳定、安全和高效运行。

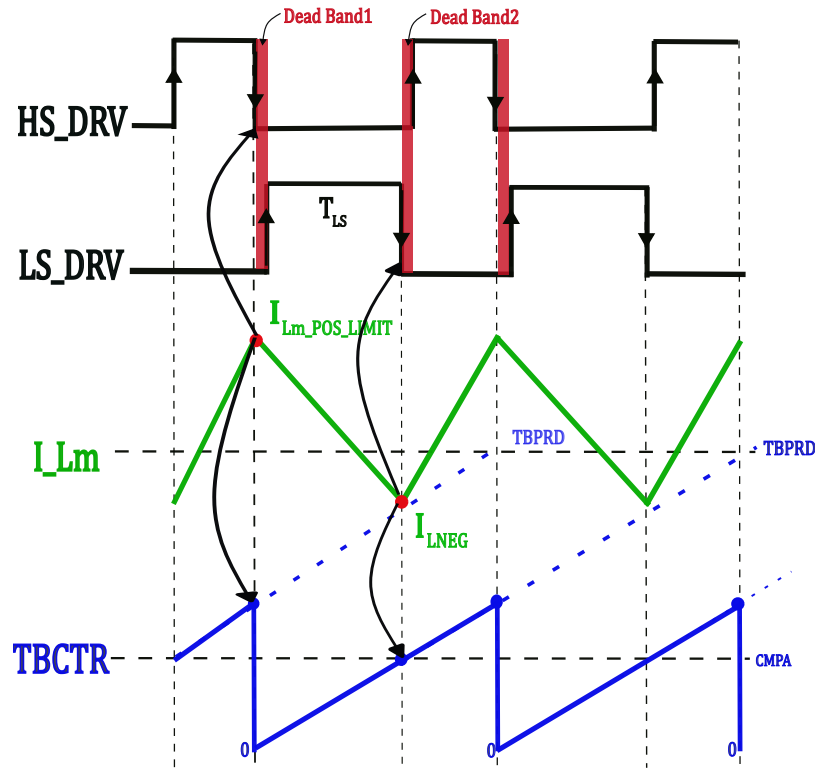
3.1.1.2 控制外设初始化

特定于负载的 PWM 实现 :

在每个 PWM 开关周期, 持续监测负载条件, 并基于预设的负载阈值水平, 动态更新后续开关周期的 PWM 配置。这种实时适应使调制策略能够有效响应不断变化的负载条件, 在轻载和重载场景下均保持高效、可靠的 ZVS (零电压开关) 运行以及稳定的转换器性能。

重载 PWM 波形

如图 3-8 所示，在重载条件下，PWM 信号配置为具有适当插入死区的互补波形。时基周期 (TBPRD) 配置为一个较大的值，但由于峰值跳变信号触发的同步事件，时基计数器 (TBCTR) 在达到 TBPRD 之前被强制重新启动，从而有效地动态控制 PWM 开关周期。在每个开关周期，比较寄存器 (CMPA) 根据控制环路中执行的 T_{LS} 计算来进行更新。



$$T_{LS} = [L_m * (I_{Lm_POS_LIMIT} - I_{LNEG})] / (N * V_o)$$

图 3-8. 重载 PWM 波形

表 3-2. 重载 PWM 事件与动作

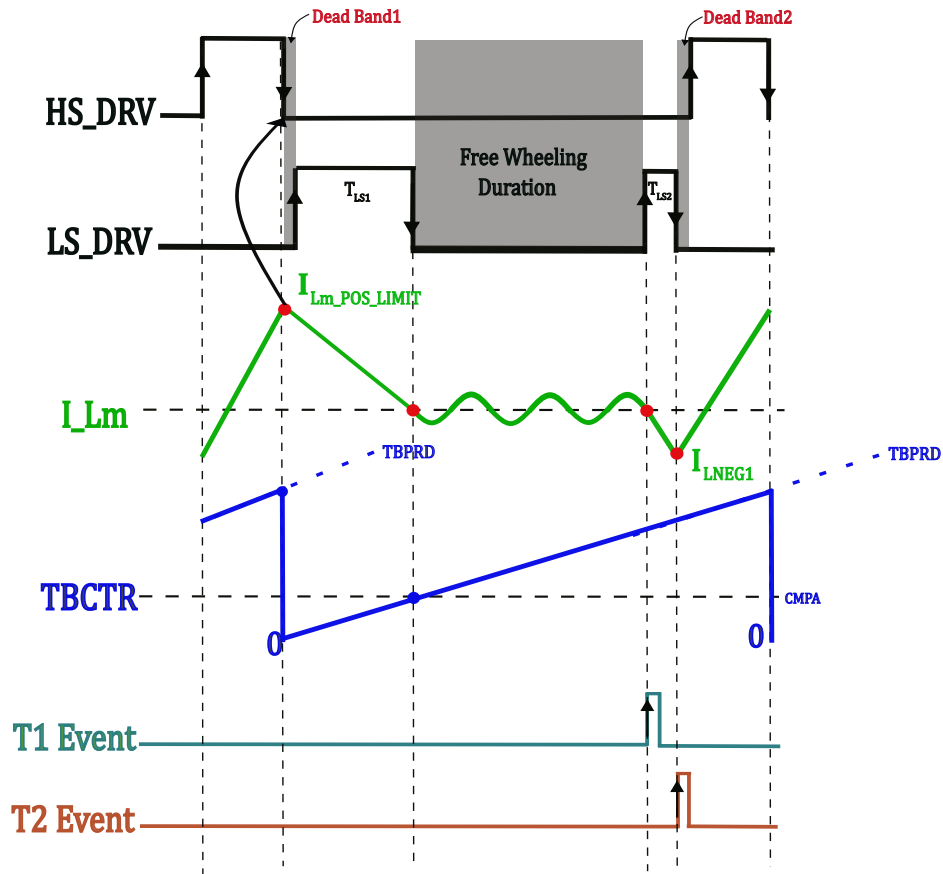
PWM 事件	HS_DRV	LS_DRV
TBCTR = 0	下降沿	上升沿
TBCTR = CMPA	上升沿	下降沿

如表中所示，HS_DRV 和 LS_DRV 的 PWM 开关动作基于 PWM 模块的时基计数器 (TBCTR) 而执行。

轻载 PWM 波形

如图 3-9 所示，在轻载条件下，PWM 信号不是互补的。与重载运行类似，TBPRD 配置为一个较大的值，但由峰值跳变信号引起的同步输入事件会在 TBCTR 计数器达到所配置周期之前将其重新启动，从而实现可变导通时间运行。在每个开关周期，CMPA 基于 T_{LS1} 计算进行更新，并引入续流间隔以最小化开关损耗。在此阶段，系统监测

过零 (ZCD) 事件，对从正到负的电流切换进行计数。一旦达到目标过零计数值，就会生成 T1 事件，随后是 T2 事件，T2 是 T1 的延迟版本，由 T_{LS2} 时序参数决定。



$$T_{LS,1} = [L_m * (I_{Lm_POS_LIMIT} - 0)] / (N * V_o)$$

$$T_{LS,2} = [L_m * (0 - I_{LNEG1})] / (N * V_o)$$

图 3-9. 轻载 PWM 波形

表 3-3. 轻载 PWM 事件与动作

PWM 事件	HS_DRV	LS_DRV
TBCTR = 0	下降沿	上升沿
TBCTR = CMPA	没有变化	下降沿
T1 事件	没有变化	上升沿
T2 事件	上升沿	下降沿

这些特定于负载的 PWM 波形是通过协同使用 EPWM 和 CLB (可配置逻辑块) 外设来实现的。EPWM 提供精确的时基控制和同步，而 CLB 支持自定义逻辑来生成自适应时序事件，如 T1、T2 和过零检测。这些外设的详细配置和功能交互将在后续章节中讨论。

3.1.1.2.1 EPWM 初始化

AHB_EPWM 模块用作驱动功率级开关 (高侧 FET (HSFET) 和低侧 FET (LSFET)) 的主要控制模块。在此工程中，EPWM3 被指定为 AHB_EPWM 模块，GPIO4 分配给 EPWM3A (控制 HSFET)，GPIO5 分配给 EPWM3B (控制 LSFET)。

时基子模块 -

- PWM 时钟预分频器经过配置，使时基时钟 (TBCLK) 等于器件系统时钟 (即 $TBCLK = SYSCLK/1$)。时基时钟分频器和高速时钟分频器均设置为 1。
- 计数器模式配置为递增计数，初始时基周期 (TBPRD) 为 4,000，该值将在运行时根据转换器的运行条件在 ISR 内动态更新。
- PWM 同步通过 EPWM 同步脉冲实现，该脉冲由输入 XBAR5 触发的峰值跳变事件产生。以零相移值使能相位加载，确保同步期间 PWM 计数器对齐。

计数器比较寄存器 (CMPA/CMPB) 在初始化后进行配置，并在 $TBCTR = 0$ 事件发生时进行影子加载，以实现确定性更新。

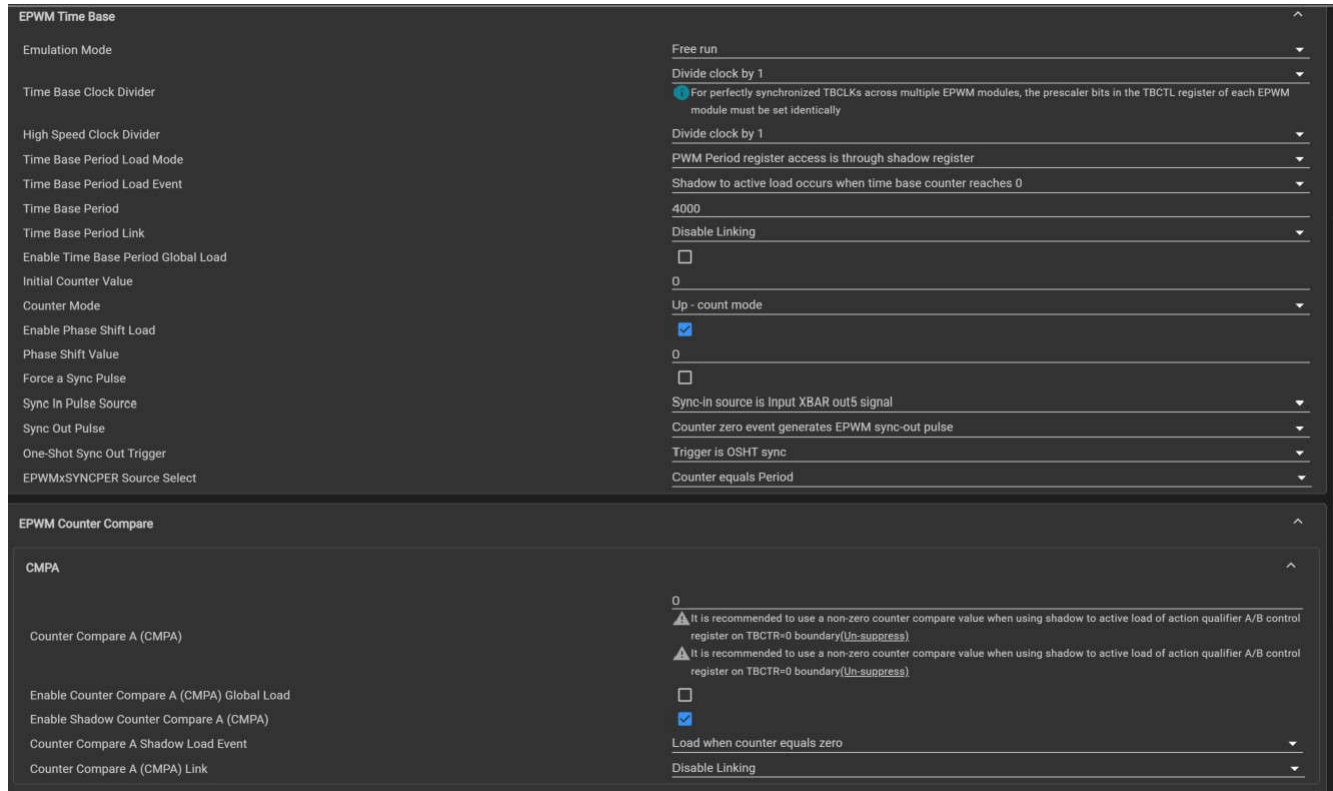


图 3-10. EPWM 时基和计数器比较子模块

动作限定器子模块 -

- 在此配置中，触发源 1 (T1) 和触发源 2 (T2) 分别映射到 DCAEVT2 和 DCBEVT2。
- EPWM A/B 输出在同步时，或在计数器等于零或周期值时进行影子加载，如参考图所示。

- 最初，动作限定器 (AQ) 事件经过配置，使两个 PWM 输出均保持低电平状态。在运行时，ISR 内部的 AQ 动作根据 AHB 转换器的电压阈值水平和负载条件动态更新。

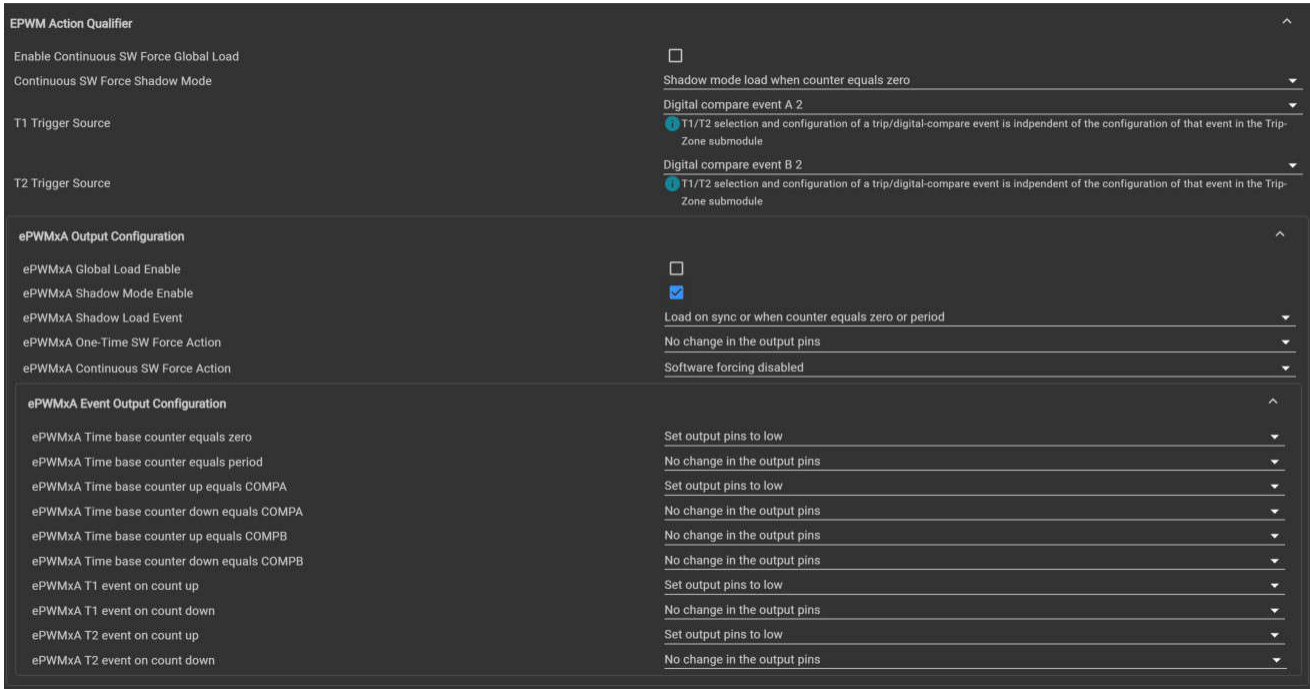


图 3-11. 动作限定器子模块

死区子模块 -

- 死区发生器的配置如图所示，上升沿延迟 (RED) 和下降沿延迟 (FED) 输入分别由 EPWM A 和 EPWM B 驱动。初始化期间，RED 和 FED 的极性均为非反相。
- 但是，在 main.c 中的电路板初始化之后，FED 极性被反相，以确保正确的互补驱动行为。这种反相要求在 AQ 子模块中进行相应调整，即由于反相，原本用于强制低电平输出的事件必须配置为高电平。
- RED 和 FED 均配置为影子模式，加载事件在 TBCTR = 0 时发生，其延迟值分别设置为 66 和 22。

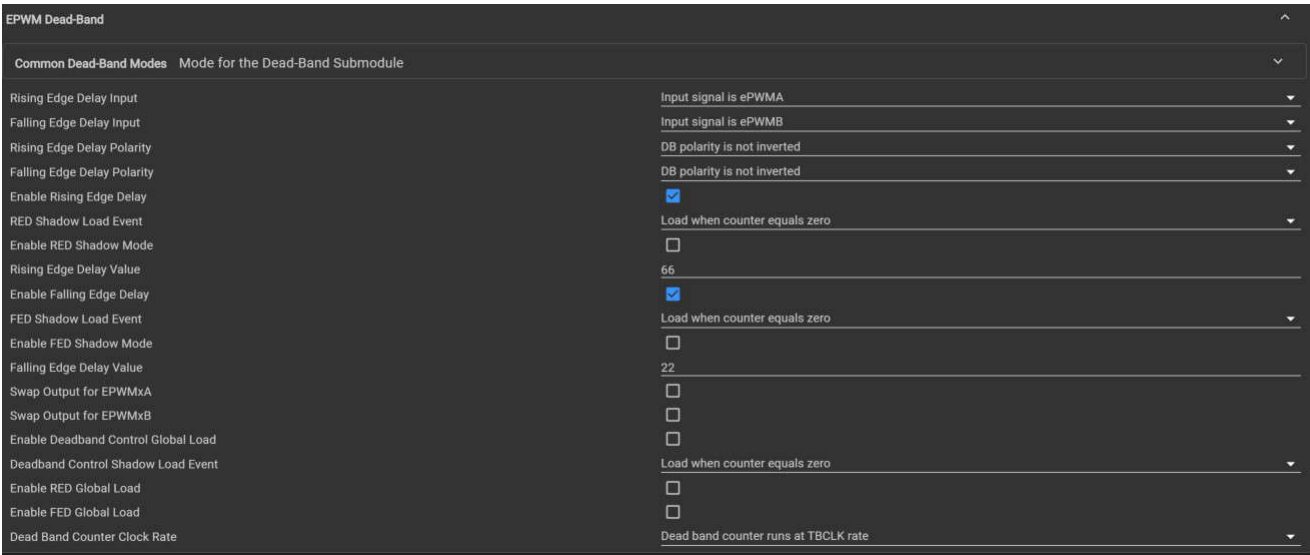


图 3-12. 死区子模块

跳变区子模块 -

- 跳变区 (TZ) 子模块经过配置，在发生过流或过压故障时提供单次保护。
- 选择 DCAEVT1 或 DCBEVT1 作为单次触发源，禁用直接数字比较动作。触发时，TZA 和 TZB 事件都将相应的 PWM 输出驱动至低电平状态，从而立即关断开关以保护硬件。

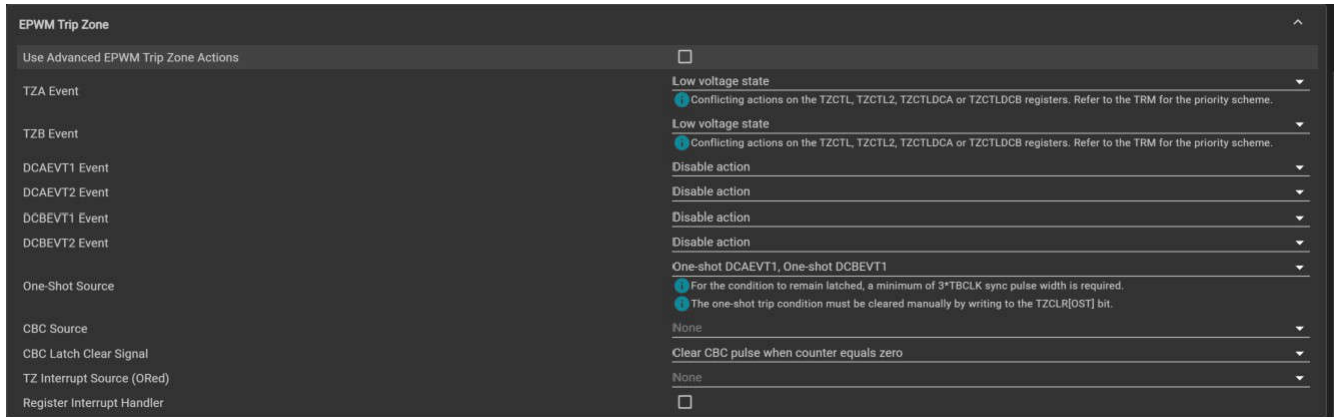


图 3-13. 跳变区子模块

数字比较子模块 -

- 数字比较 (DC) 子模块为跳变和诊断条件提供多个事件源：
 - DCAEVT1 由来自 EPWM XBAR 的 Trip8 和 Trip9 的逻辑组合产生。
 - DCAEVT2 来自 Trip10。
 - DCBEVT1 由 Trip8 和 Trip9 的组合得出，与 DCAEVT1 类似。
 - DCBEVT2 由 EPWM XBAR 的 Trip11 配置而来。

- DCA/BEVT1 和 DCA/BEVT2 事件均在其源信号为逻辑高电平 (DCxH/L = 1) 时有效，确保故障条件下立即做出跳变响应。

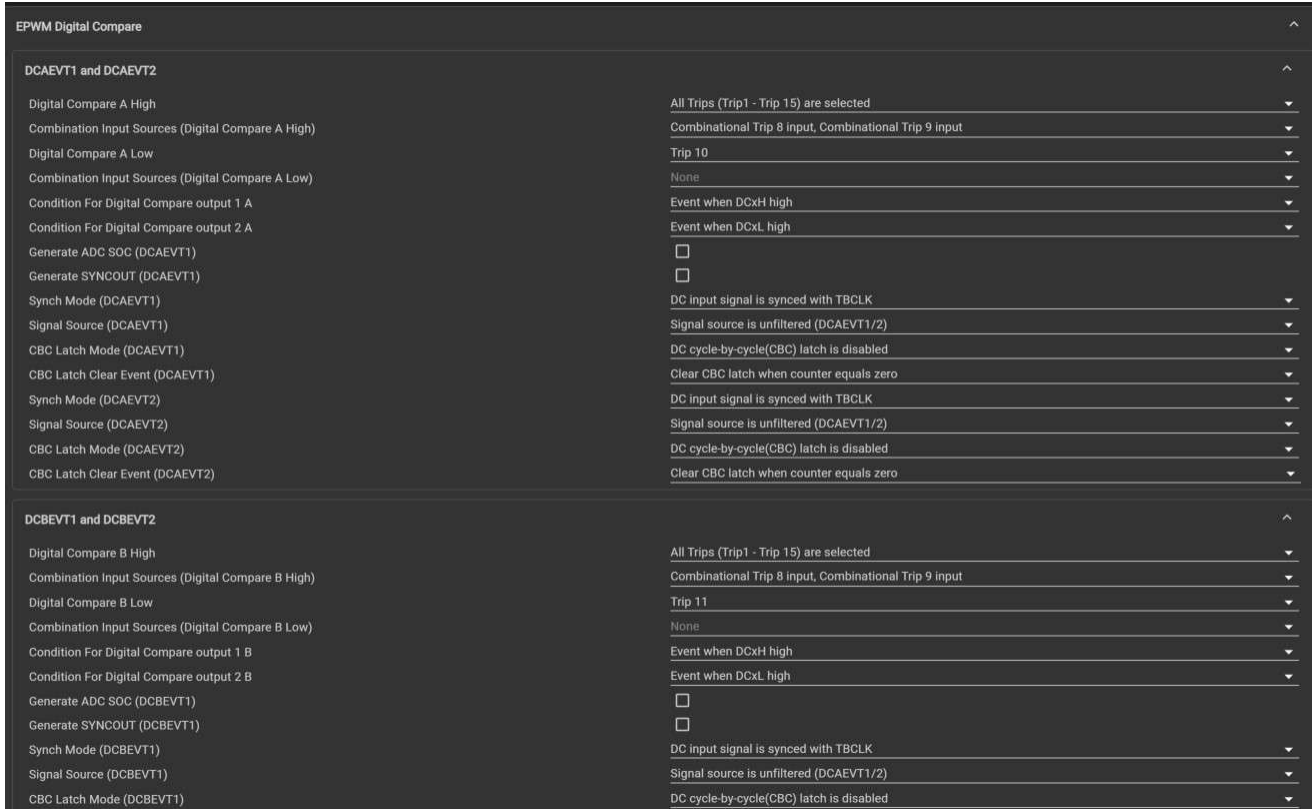


图 3-14. 数字比较子模块

事件触发子模块 -

- 事件触发 (ET) 子模块负责生成中断和 ADC 启动转换 (SOC) 信号。
- EPWM 中断被使能，并配置为在时基计数器等于零 (TBCTR = 0) 时触发。该事件还会触发 ADC SOC，使 ADC 采样与 PWM 开关周期同步。
- 中断服务例程链接到 INT_AHB_EPWM_ISR (ISR1) 处理函数，用于执行 PWM 更新任务。

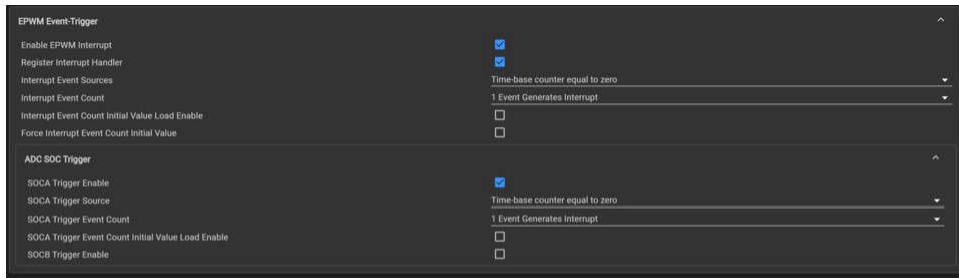


图 3-15. 事件触发和中断子模块

除了主 AHB_EPWM 模块外，此工程还使用了两个辅助 EPWM 模块 (ZCD_EPWM 和 CMPSS_BLANK_EPWM)，以支持信号调理和诊断功能。这两个模块共享相同的时基子模块配置，确保整个系统同步且时序行为一致。

ZCD_EPWM 模块的配置为：每当 DCAEVT1 变为有效时，将其 PWMA 输出置为高电平。DCAEVT1 事件源自 EPWM XBAR Trip7，通常指示过零检测 (ZCD) 事件。该 PWM 脉冲为控制算法提供精确的数字时序基准，帮助固件准确检测和处​​理开关节点或电流波形的过零切换。

CMPSS_BLANK_EPWM 模块配置为 CMPSS 比较器生成消隐窗口。该消隐信号可屏蔽开关切换后可能立即出现的干扰性瞬态信号或开关噪声，从而防止误跳变或虚假比较器触发。通过 EPWM 模块控制消隐脉冲的时序，可以对比较器的速度和可靠性进行微调。

虽然这些辅助 EPWM 模块不非转换器运行所必需，但它们作为有价值的补充，可提高系统稳定性、增强测量可靠性，并简化高级诊断和保护机制的实现。

3.1.1.2.2 CLB 初始化

在此应用中，可配置逻辑块 (CLB) 模块用于生成精确 PWM 控制和诊断所需的异步事件。使用了两个 CLB 实例：AHB_CLB 和 ZVS_CLB，两者在系统中承担不同的功能。

AHB_CLB

AHB_CLB 模块主要负责生成 T1 和 T2 事件，这对于轻载 PWM 波形的生成至关重要。这些事件定义了每个 PWM 周期内的时序边界，从而实现受控续流间隔和自适应开关行为。该模块使用在 TILE0 上配置的 CLB1 实例，如图 X 所示。它利用七个输入信号，并在 CLB 结构内实现三个计数器模块，以合成用于 T1 和 T2 生成的精确时序事件。CLB 输出被路由到 EPWM X-BAR 和其他 CLB 模块，作为 PWM 边沿控制或时序同步等相应动作的触发信号。

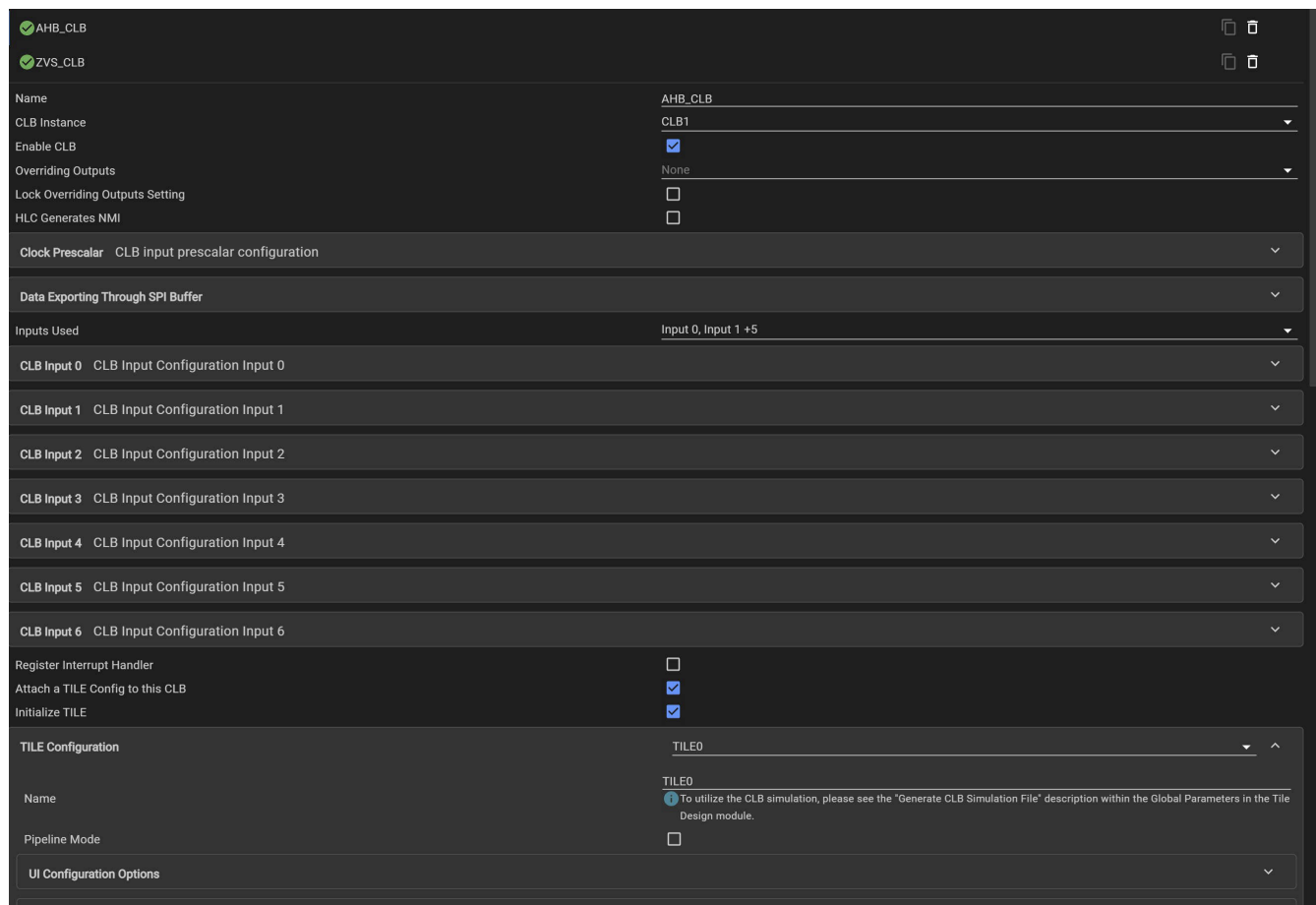


图 3-16. AHB_CLB 配置

ZVS_CLB

ZVS_CLB 模块用于监测 ZVS 的运行并辅助生成诊断事件。它确保 PWM 切换在零电压开关条件下发生，并在出现偏差时向控制环路提供反馈，以便采取纠正措施。该逻辑使用在 TILE1 上配置的 CLB2 实例实现，如图 Y 所示。它利用六个输入信号，并采用两个充当可编程组合逻辑块的查找表 (LUT)。这些 LUT 输出再通过计数器模块进一步处理，最终 CLB 输出经由 CLBOUTPUT X-BAR 和其他 CLB 实例路由，以根据需要创建时序事件并触发诊断。

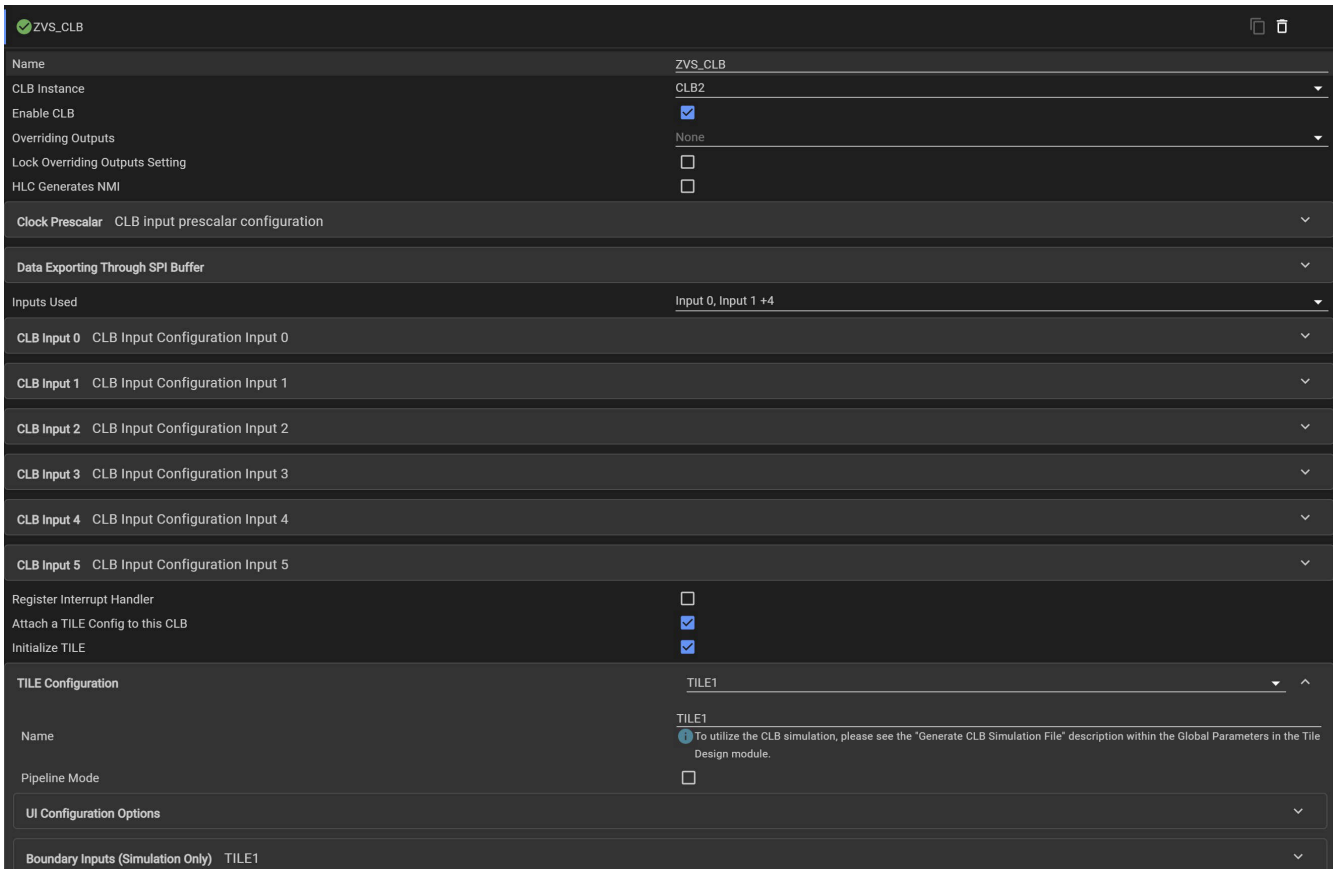


图 3-17. ZVS_CLB 配置

AHB_CLB 和 ZVS_CLB 的联合使用使固件能够在硬件中灵活生成和管理异步事件，从而显著减轻 CPU 负担。通过与 EPWM 和 X-BAR 子系统集成，这些 CLB 可实现确定性时序、低延迟事件生成和增强的实时响应能力，这对于实现高效率自适应 PWM 控制至关重要。

3.1.1.3 系统外设初始化

GPIO、CPU 计时器、中断和交叉开关 (X-BAR) 等系统外设的系统级集成和可观察性方面发挥着关键作用。这些外设充当着互连模块的主干，可实现固件诊断，并管理实时执行控制。

在此应用中，它们用于多种主要目的：将内部事件路由到外部引脚以进行调试和监测，将一个外设的输出连接到另一个外设的输入以实现功能协调，生成中断并将其与固件中对应的 ISR 例程相链接，以及分析代码执行时间或测量特定代码段的性能。这些系统外设共同提供了关键的粘合逻辑，将模拟、控制和数字子系统整合到一个统一且响应迅速的嵌入式控制平台中。

CPU 计时器初始化：

在此应用中，两个 CPU 计时器用于不同的目的：Timer1 用于周期性中断生成，ProfilingTimer 用于执行时间测量。

Timer1 使用 CPUTIMER1 实例配置，计时器周期值为 3,030。相应中断已使能并链接到 INT_Timer1_ISR 服务例程。根据配置参数，计时器溢出频率为 50kHz，以此速率触发 ISR 以执行预定的控制或监测任务。

另一方面，ProfilingTimer 使用 CPUTIMER2 实例进行配置。它以 SYSCLK 作为时钟源，预分频值为 1，提供了最精细的时序分辨率。计时器周期设置为最大值 (65,535)，中断处于禁用状态。该计时器专门用于固件内的性能分析和基准测试，能够精确测量用户定义的各种代码段的执行时间。

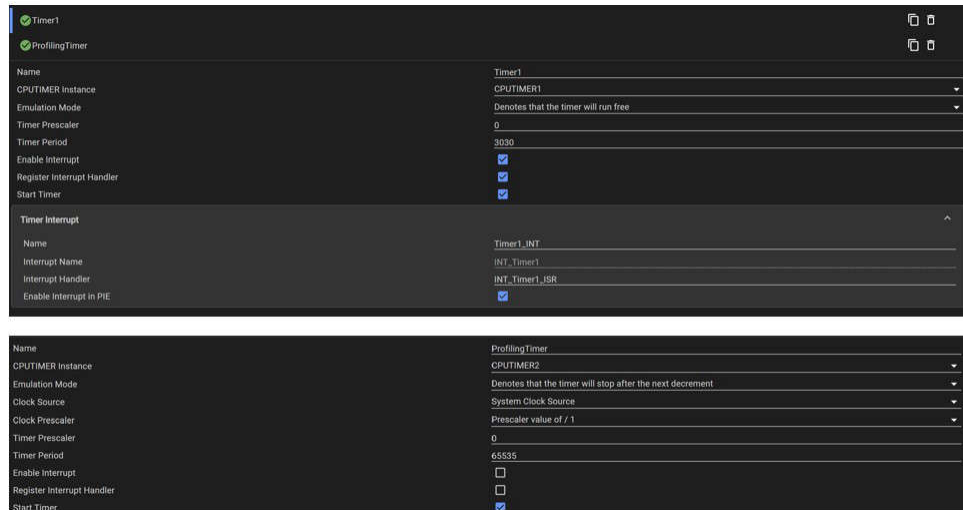


图 3-18. CPU 计时器配置

中断初始化：

这些中断不会在中断配置部分下单独配置。相反，当在计时器或 PWM 模块内使能相应中断时，它们会自动配置。这种自动化可确保正确映射中断并链接到各自的中断服务例程 (ISR)，而无需额外的手动设置。

确保链接的 ISR 在 Interrupt Configuration 视图中正确显示并得到验证，如图所示。

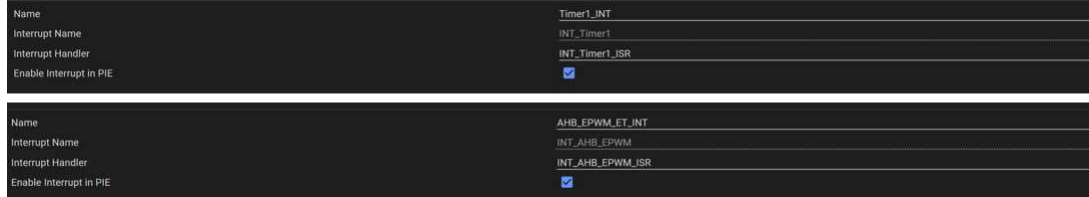


图 3-19. 中断配置

XBAR 初始化：

交叉开关模块 (X-BAR) 作为内部互连结构，用于连接芯片上的各种外设，同时为信号路由至外部世界提供便利。

- EPWMXBAR 和 CLBXBAR 分别提供与 EPWM 和 CLB 外设的输入连接，实现器件内灵活的事件路由。
- OUTPUTXBAR 和 CLBOUTPUTXBAR 用于将内部信号路由到外部 GPIO 引脚，为调试和信号监测提供可见性。

- INPUTXBAR 能够将外部 GPIO 输入路由到内部外设，用于事件触发或控制逻辑。

XBAR	Name	Source	Output
EPWMXBAR	ZCD Event	CMPSS2 TRIPH	Trip7
	PeakDetect	CMPSS1 TRIPH	Trip4
	T1 Event	CLB1 OUT4	Trip10
	T2 Event	CLB1 OUT5	Trip11
	OC_Protection	CMPSS1 TRIPL	Trip8
	OV_Protection	CMPSS3 TRIPH	Trip9
OUTPUTXBAR	PeakDetection_Outputxbar	CMPSS1 CTRIPOUTH	GPIO2
	ZeroCrossingDetect	CMPSS2 CTRIPOUTH	GPIO3
	ZVSDiagnosticsOutput	CLB2 OUT5	GPIO29
INPUTXBAR	Peakdetect_Inputxbar5	GPIO2	XBAR_INPUT5
CLBXBAR	PeakTrip_CLBXBAR	CMPSS1 CTRIPH	AUXSIG0
	ZCDTrip_CLBXBAR	CMPSS2 CTRIPH	AUXSIG1
	ZVS_Threshold	CMPSS2 CTRIPL	AUXSIG2
CLBOUTPUT XBAR	T1_Event	CLB1 OUT4	GPIO22
	T2_EVENT	CLB1 OUT5	GPIO23
	ZCD_Count_MatchEvent	CLB1 OUT3	GPIO10

图 3-20. XBAR 配置

在此应用中，X-BAR 的配置如图所示，实现了 EPWM、CLB 和外部接口之间的信号级协调。

GPIO 初始化：

如图所示，其中一个 GPIO 配置为应用的输出信号，可用作同步整流器 (SR) 控制器的输入。该信号有助于主转换器和 SR 级之间的协调，从而实现高效和同步运行。

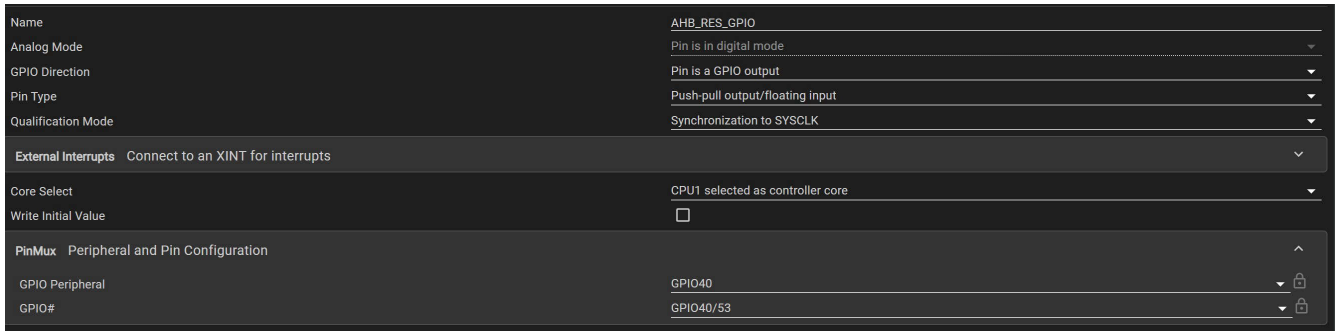


图 3-21. GPIO 配置

3.1.2 中断结构

中断结构

此工程使用两个主要的中断服务例程 (ISR)，分别负责实时控制、PWM 更新和系统维护任务。

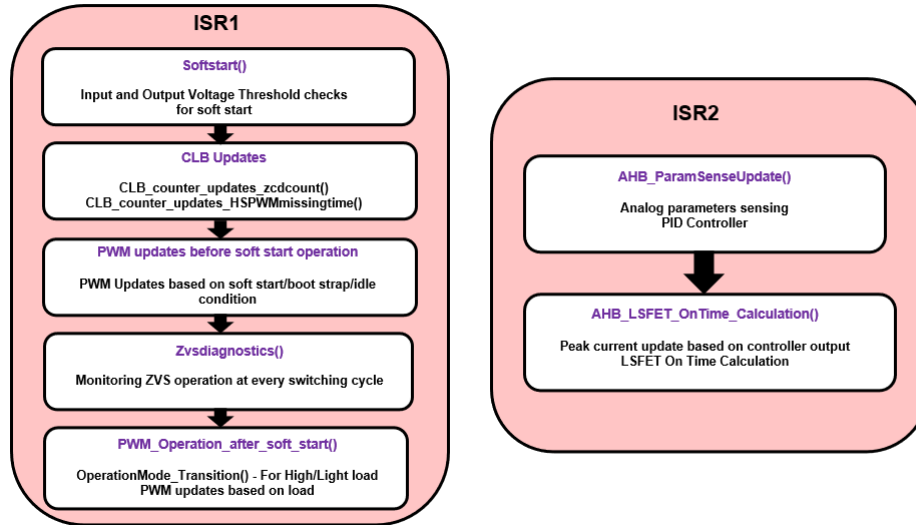


图 3-22. 中断流程图

如图 3-22 所示，这种双中断结构可在高开关频率下实现确定性 PWM 运行和稳定的闭环控制。

1. ISR1 - 可变频率 ISR

- 函数名称：INT_AHB_EPWM_ISR()
- 触发源：AHB EPWM 模块，在时基计数器 (TBCTR) 等于零时触发。
- 工作频率：可变，与转换器的开关频率同步，范围为 20kHz 至 200kHz。
- 功能：
 - 处理所有 PWM 更新活动以及互补栅极信号的同步。
 - 确保高侧和低侧切换的精确时序，以实现零电压开关 (ZVS) 运行。
 - 更新由最新控制环路计算得出的调制参数。
 - 以极低延迟执行，以确保在可变频率下保持一致的开关行为。
 - 该 ISR 具有时间关键性，并经过高度优化，即使在高工作频率下也能保证确定性的 PWM 生成。

2. ISR2 - 固定频率控制与日常维护 ISR

- 函数名称：INT_Timer1_ISR()
- 触发源：CPU 计时器中断，由计时器溢出事件产生。
- 工作频率：固定为 50kHz，与转换器的开关频率无关。
- 功能：
 - 执行主数字控制环路，进行电压和电流反馈处理。
 - 对所测信号应用数字滤波和滑动平均，以抑制开关噪声。
 - 根据指令电压参考值计算开关导通时间和占空比。
 - 执行转换率限制，以实现平滑的基准值切换和软启动处理。
 - 通过保持固定的执行速率，ISR2 为控制算法提供了一致的计算窗口，而 ISR1 则动态适应转换器的开关频率。

这种中断分层结构提供了一种高效且可扩展的方案：ISR1 处理快速的硬件同步事件，ISR2 管理控制计算和后台任务，从而确保精确定时、稳定运行并降低 CPU 负载。

3.2 PowerSuite 用法

PMP41140 应用固件包含一个 PMP41140.syscfg 文件，可使用 Code Composer Studio™ (CCS) 中的 SysConfig 编辑器打开。在 SysConfig 界面中，提供了一个专用的 PowerSUITE 类别，以简化固件配置和定制。

PowerSUITE 界面允许用户通过图形用户界面修改关键应用参数，而无需手动更改固件源文件。这有助于加快评估速度，为衍生硬件设计提供更轻松的定制，并简化控制参数的调优。

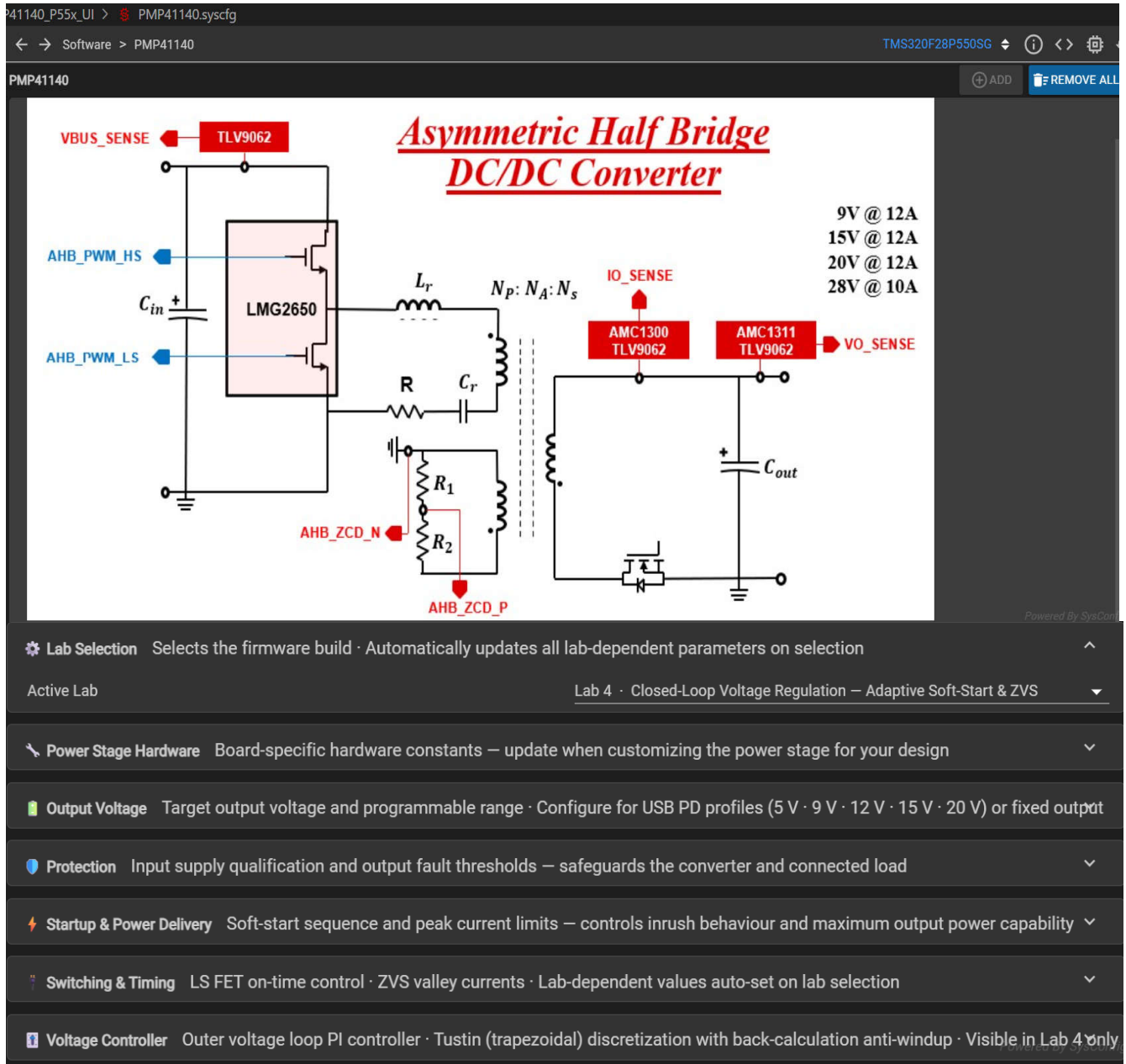


图 3-23. PMP41140 PowerSuite (应用 UI)

可用的配置类别如下所述：

实验选择

该固件支持四种实验配置，默认选择 Lab 4。实验选择类别允许用户根据所需的工作模式或评估目标在可用实验之间切换。本文档后续章节将详细介绍每个实验。

功率级硬件

功率级硬件类别包含与物理电源转换器设计相关的参数。

- 变压器配置允许在将固件适配到定制硬件设计时更新变压器匝数比。
- 电气参数可用于定制关键功率级元件，包括励磁电感、谐振电感和谐振电容。

- 检测校准提供用于将 ADC 测量值转换为实际电气量的比例配置。用户可以根据电源板上实现的检测电路定义最大可测量电压和电流范围。

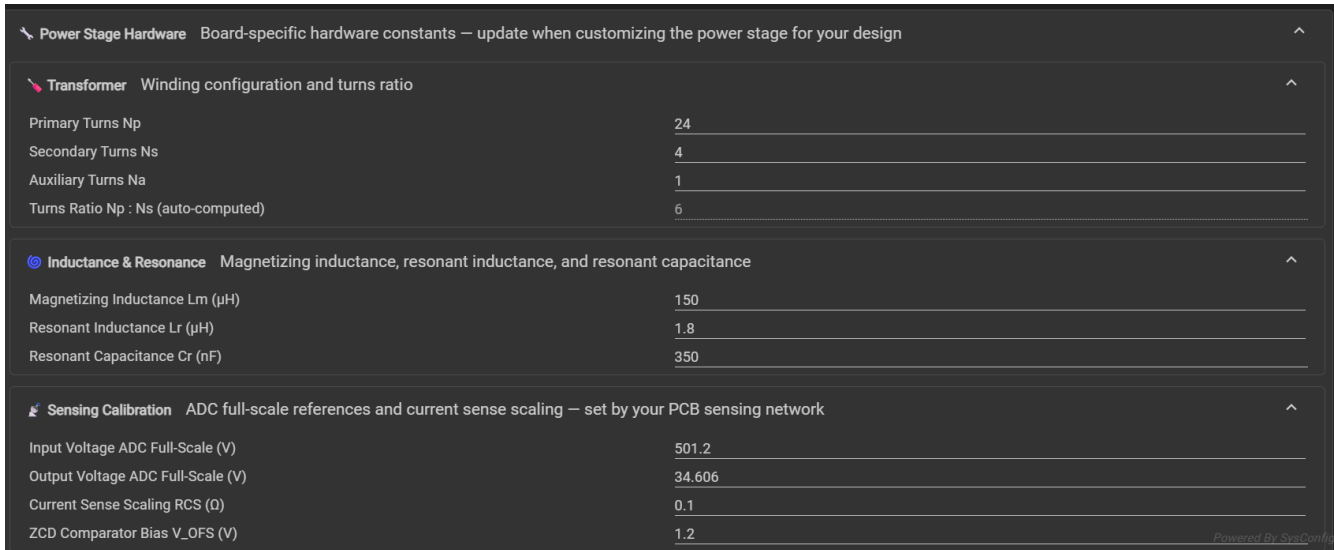


图 3-24. 功率级硬件

输出电压与保护

该类别提供输出电压调节和故障保护的配置选项。

- 可以配置目标输出电压和允许的输出电压范围。对于 PMP41140 参考设计，支持的输出电压范围为 9V 至 28V，默认目标电压配置为 28V。
- 保护设置包括：
 - 开环和闭环运行下的输入欠压阈值。
 - 用于在异常运行条件下保护转换器和负载的输出过压保护阈值。

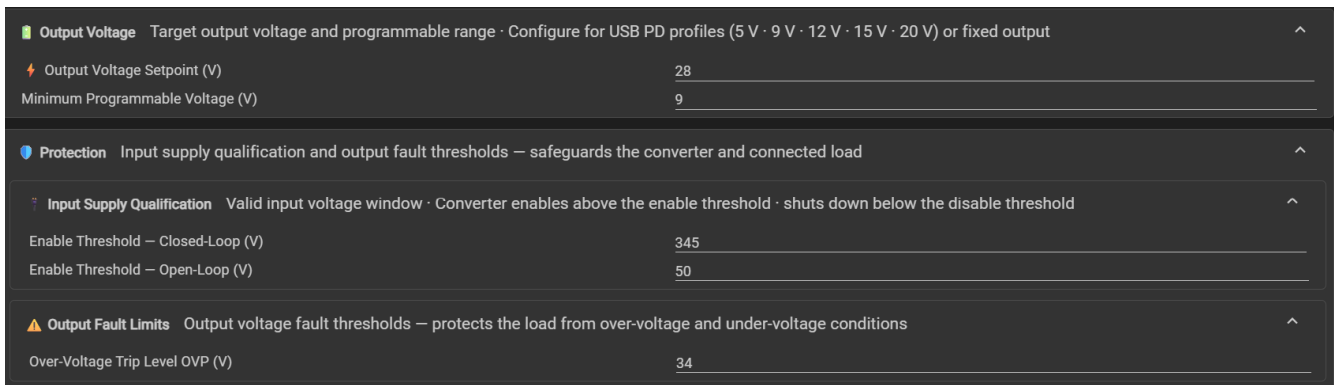


图 3-25. 输出电压与保护

启动、开关与时序

该类别包含影响启动行为和开关运行的参数。

- 自适应启动可根据应用需求启用或禁用。
- 提供了 LSFET 导通时间控制参数以配置低侧开关时序行为。
- ZVS 谷值电流目标设置允许调节用于实现零电压开关 (ZVS) 的目标电流。

- 还有用于 ZVS 校正电感限值、诊断比率以及 ZVS 控制算法所用自适应校正边界的附加设置。

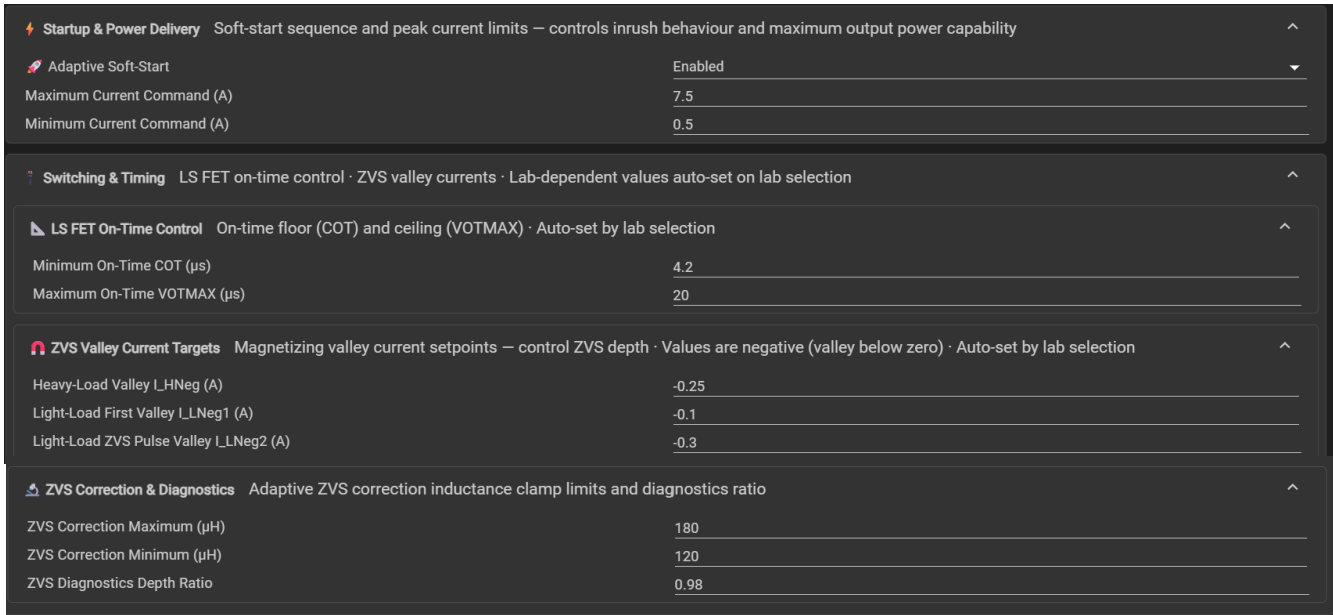


图 3-26. 启动、开关与时序

电压控制器

电压控制器类别包含数字电压环路补偿参数。

- 可以配置 PI 控制器系数和抗饱和参数，以获得所需的控制环路响应。
- 也可以调节采样周期。该值对应于电压控制环路执行所用的计时器中断频率，直接影响控制环路带宽和动态响应。

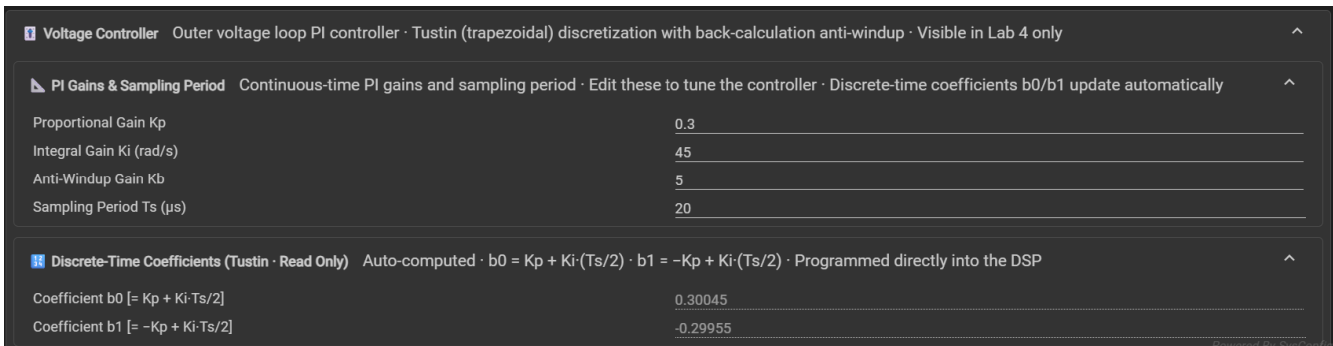


图 3-27. 具有抗饱和功能的 PI 控制器

PowerSUITE 界面提供了一个集中式配置环境，使用户能够将 PMP41140 固件适配到不同的硬件实现，同时最大限度地减少直接源代码修改。

4 实验结构

要构建工程，右键单击工程名称，然后单击 **Rebuild Project**。项目构建成功。

要加载工程，首先确保在 **Project Explorer** 中的 **targetConfigs** (*.ccxml 文件) 下将正确的目标配置文件设置为 “Active”。然后，单击 **Run** → **Debug** 启动调试会话。然后工程加载到器件上，同时 **CCS** 调试视图变为活动状态。代码在主例程开始时停止。

若要调试系统，应监视观察/表达窗口中的变量。若要在此窗口中填入正确的变量，请点击 “View” → “Scripting Console” (查看 → 脚本编写控制台) 以打开脚本编写控制台对话框。在该控制台的右上角，单击 **Open**，然后浏览到位于工程文件夹内的 **setupdebugenv_lab.js** 脚本文件。这将在观察窗口中填入调试系统所需的合适变量。启用观察窗口中的 “Continuous Refresh” (持续刷新) 按钮，可持续更新控制器中的值。

本节中的所有实验都可以使用 **TMS320F28P550** 控制卡执行。

要修改应用参数或在不同运行实验之间切换，用户必须直接更新 **AHB_user_settings.h** 文件。具体而言，**AHB_LAB** 宏决定了哪个实验处于活动状态——默认设置为 **4**，对应 **Lab4**。

该应用组织为四个结构化实验，如下所述：

- **Lab1**：在控制卡上验证重载 **PWM** 运行、模拟信号检测和故障保护。
- **Lab2**：开环重载运行。
- **Lab3**：开环轻载运行。
- **Lab4**：具有负载切换、**ZVS** 诊断和自适应软启动功能的闭环运行。

4.1 硬件设置

进行固件验证和闭环测试之前，必须按照本节所述推荐设置组装并连接硬件平台。

此步骤的目的在于：

1. 在控制卡与电源板之间建立通信。
2. 确认功率级正常运行。
3. 实现对关键转换器信号的安全监测。
4. 最大限度地降低实验室测试期间的测量噪声。

硬件连接

接入输入电源前：

1. 将 **TMDSCNCD28P55x** 控制器卡连接到 **PMP41140** 接口连接器
2. 确认方向正确且连接器就位。
3. 将输入电源连接到转换器输入端子。
4. 将电子负载或阻性负载连接到输出端子。
5. 连接调试器接口以加载固件并进行实时监测。

推荐设置如下图所示

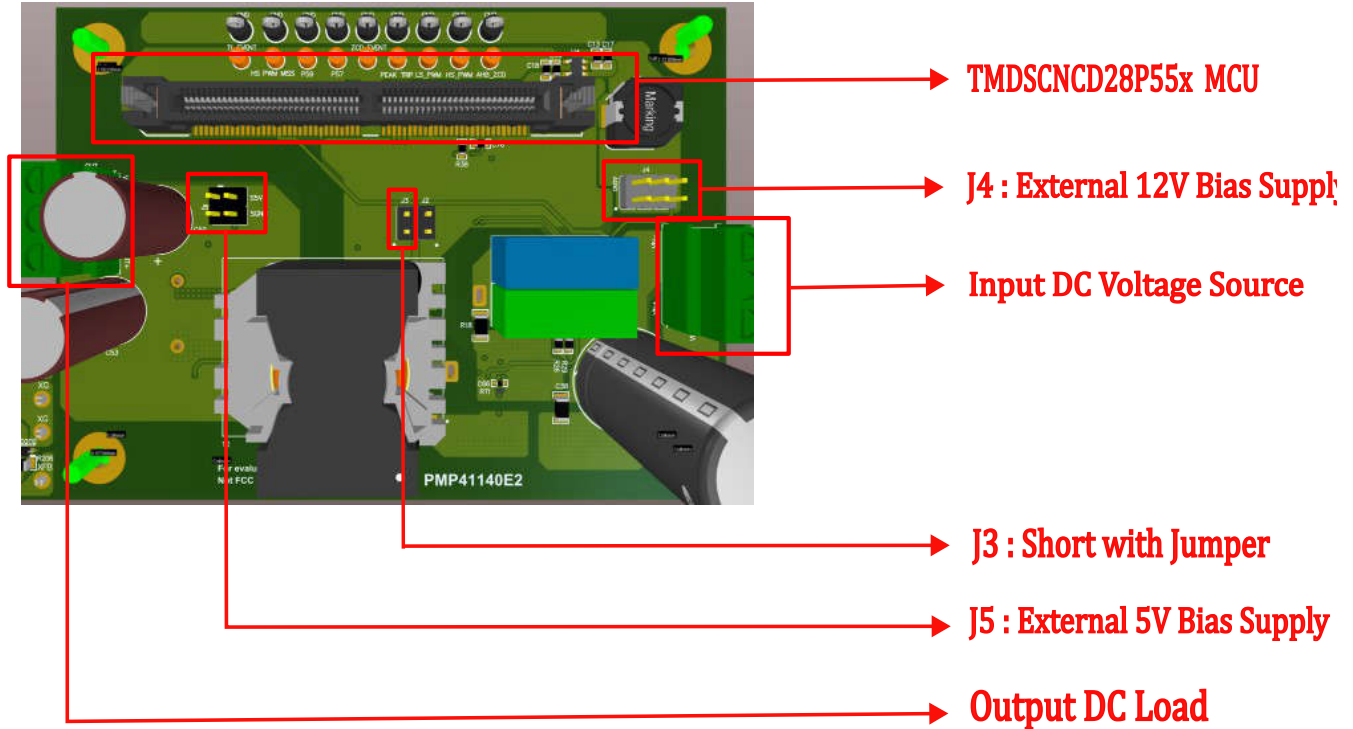


图 4-1. AHB 硬件板设置

所需设备：

1. TMDSCNCD28P55x 控制卡
2. 直流电源：能够在高达 420V 的直流电压范围内工作的输入电压源
3. 电子负载：可充当阻性负载或恒流负载的负载
4. 用于信号监测的示波器

安全警告：电路板带电时，请勿触摸电路板或电路，因为存在可能导致触电危险的高压。操作电路板前，请确保高压已完全放电。

测试设置

硬件连接完成后：

1. 启动 Code Composer Studio (CCS)
2. 导入固件工程，并在 PMP41140.syscfg powersuite 中选择所需的实验
3. 构建工程 -> 连接到目标 MCU -> 对器件闪存或 RAM 进行编程（从工程属性中选择构建配置）
4. 通过观察窗口确认成功执行。

关键监测变量：

硬件验证期间，应监测下表中的以下变量

表 4-1. 运行时变量

型号	说明
AHB_VprimSensed_volts	输入电压实时检测
AHB_aux_ZCD_N_volts	偏移电压实时检测，应约为 1.2V
Vout_Sensed_Volts	输出电压实时检测

表 4-1. 运行时变量 (续)

型号	说明
AHB_VsecRef_volts	目标输出电压指令 (9-28V)
Kp	控制环路系数
Ki	控制环路系数
Kd	控制环路系数
Kb	控制环路系数
AHB_MAG_INDUCTANCE_SET_uH	初始励磁电感配置值
ZVS_correction_factor	自适应校正后励磁电感值
AHB_ZCDP_Compare	自适应 ZVS 检测阈值
ILm_PeakCurLimit_Amps	实时更新的初级峰值电流
Adaptive_ILNEG_AMPS	重载条件下的自适应目标负向电流
Adaptive_ILNEG1_AMPS	轻载条件下的自适应目标负向电流 1
Adaptive_ILNEG2_AMPS	轻载条件下的自适应目标负向电流 2
LS_ONTIME_HL_us	重载条件下实时计算的 LS 导通时间
LS_ONTIME1_LL_us	轻载条件下实时计算的 LS 导通时间 1
LS_ONTIME2_LL_us	轻载条件下实时计算的 LS 导通时间 2
light_load_enable	轻载模式使能标志；1 = 启用，0 = 禁用
zcd_count_update_new	轻载条件下的自适应过零计数

用户可将“AHB_VsecRef_volts”更改为预期输出电压，范围为 9V 至 28V。

硬件板具有多个测试点，包括高侧和低侧 PWM 信号。您可以探测 HS PWM、LS PWM、初级 LMG2650 的开关节点电压以及初级谐振电流，以观察 AHB 板的运行情况。

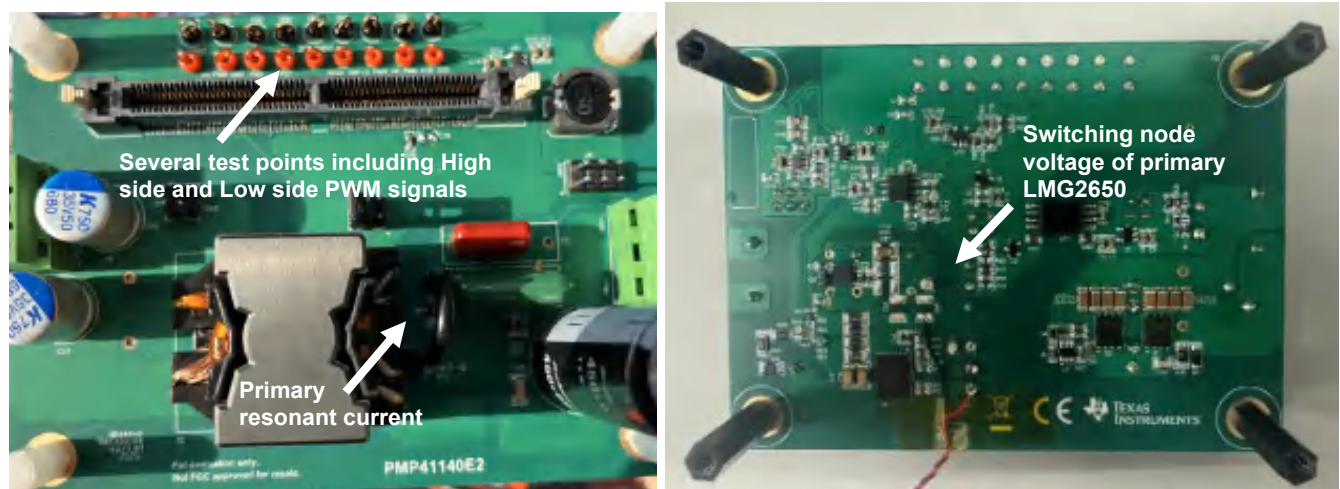


图 4-2. 硬件板测试点

建议：如上图所示，采用最小的外部测试接地回路，以避免外部噪声。

4.2 Lab1

此实验应在控制卡和扩展坞上执行。

通过修改文件 `AHB_user_settings.h` 中的 `Lab Number`，将工程设置为 `Lab 1`。在此阶段，所有其他配置参数均可保持其默认值。

备注

大多数用户可以直接前进到 `Lab 2` 开始功能测试流程。

此实验的主要目的是验证 `PWM` 运行和模拟信号检测，特别是对于输入和输出电压通道，这对控制环路的精度至关重要。用户应观察实验状态和故障状态变量，以确保系统行为正常。主要检查包括验证相应故障引脚上的过流或过压事件是否正确反映在故障状态和 `PWM` 波形中。

生成和加载工程以及设置调试环境

1. 右键点击工程名称，然后点击“`Rebuild Project`”（重建工程）。
2. 工程将成功构建。
3. 在 `Project Explorer` 中，确保在 `targetConfigs` 项下将正确的目标配置文件设置为 `Active`
4. 然后，点击 `Run` → `Debug` 启动调试会话。
5. 然后工程将加载到器件上，并且 `CCS` 调试视图将变为激活状态。代码将在主例程的开始处停止。
6. 要在监视/表达式窗口中添加变量，请点击“`View`” → “`Scripting Console`”以打开脚本控制台对话框。在表达式窗口中，右键点击 -> 选择导入选项，导航到工作区中的工程文件夹，打开“`AHB_Lab1Expressions.txt`”。这将使用调试系统所需的相应变量填充到观察窗口。
7. 点击观察窗口中的 `Continuous Refresh` 按钮，以启用控制器数值的连续更新。观察窗口随即显示，如下图所示

运行代码

1. 在 `CCS` 调试窗口中点击 `Run` 按钮运行工程。
2. 在观察视图中，确认 `PWMISR_count` 和 `TimerISR_count` 连续递增。
3. 确认 `LabStatus.type` 显示“`OffBoard_Lab_Sensing`”。
4. 连接 `AHB_PWM_HS` 和 `AHB_PWM_LS`（`HSEC 50` 和 `52`），在示波器上观察预期的 `PWM` 波形，如下图所示。
5. 检查确认 `LS_ONTIME_HL_us` 与 `PWM` 波形中测得的 `LS-FET` 导通时间匹配。
6. 通过探测 `VBUS_SENSE`（`HSEC 9` → `AHB_VprimSensed_volts`）验证输入电压检测，通过探测 `VO_SENSE`（`HSEC 21` → `AHB_VsecSensed_volts`）验证输出电压检测。观察引脚悬空时的默认检测电压，如图 所示。
7. 向 `AHB_RESCS`（`HSEC 13`）施加 `3.3V` 以模拟过流故障。
8. 向 `VO_SENSE`（`HSEC 21`）施加 `3.3V` 以模拟过压故障。
9. 根据所施加的条件，确认 `faultStatus.type` 更新为：
 - a. “`OVERCURRENT_FAULT`”、
 - b. “`OVERVOLTAGE_FAULT`” 或
 - c. “`OV_OVC_COMBINED_FAULT`”
10. 设置 `faultClear = 1` 以清除 `PWM` 故障动作并重新使能 `PWM` 输出。

11. 设置 faultStatusClear = 1 以清除 CMPSS 故障状态标志。

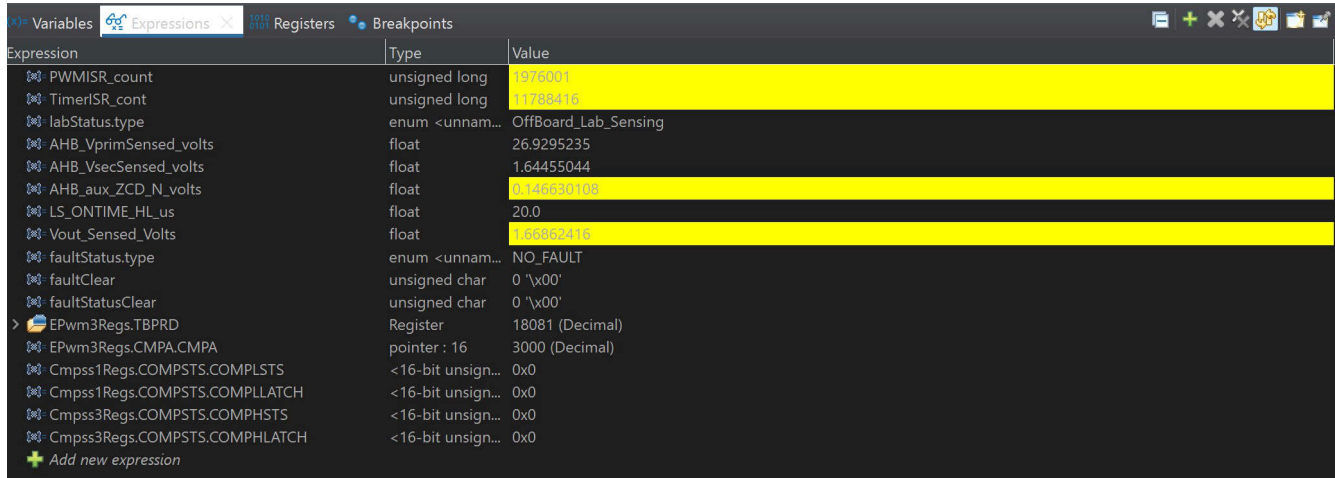


图 4-3. Lab1 表达式窗口



图 4-4. Lab1 波形，Ch1 为 HS PWM，Ch2 为 LS PWM

4.3 Lab2

此实验旨在电路板上执行，用于验证重载下的开环运行。

通过修改文件 AHB_user_settings.h 中的 Lab Number，将工程设置为 Lab 2。在此阶段，所有其他配置参数均可保持其默认值。

此实验的主要目的是验证重载下的 PWM 波形，并通过改变相应变量观察 AHB_RESCS 的峰值电流。

硬件连接：

1. 将 12V 的外部辅助电源插入电路板上的“J4”连接器中，5V 插入“J5”连接器中。用跳线短接 J3。
2. 连接 60V 直流输入电压源，并将输入电流限制为 0.2A。
3. 连接 150 Ω CR 负载。

生成和加载工程以及设置调试环境

1. 右键点击工程名称，然后点击“Rebuild Project”（重建工程）。
2. 工程将成功构建。
3. 在 Project Explorer 中，确保在 targetConfigs 项下将正确的目标配置文件设置为 Active
4. 然后，点击 Run → Debug 启动调试会话。
5. 然后工程将加载到器件上，并且 CCS 调试视图将变为激活状态。代码将在主例程的开始处停止。
6. 要在监视/表达式窗口中添加变量，请点击“View” → “Scripting Console”以打开脚本控制台对话框。在表达式窗口中，右键点击 -> 选择导入选项，导航到工作区中的工程文件夹，打开“AHB_Lab2/3Expressions.txt”。这将使用调试系统所需的相应变量填充到观察窗口。

7. 点击观察窗口中的 **Continuous Refresh** 按钮，以启用控制器数值的连续更新。观察窗口随即显示，如下图所示

运行代码

1. 在 **CCS** 调试窗口中点击 **Run** 按钮运行工程。
2. 在 **Watch** 视图中，确认 **PWMISR_count** 和 **TimerISR_count** 连续递增。
3. 确认 **LabStatus.type** 显示 “**OpenLoop_HighLoad**”。
4. 连接 **AHB_PWM_HS** 和 **AHB_PWM_LS** (**HSEC 50** 和 **52**)，在示波器上观察预期的 **PWM 波形**，如图所示。波形中的 **Ch3** 和 **Ch4** 分别为 **AHB_ZCD_P** 和 **AHB_RESCS**。
5. 检查确认 **LS_ONTIME_HL_us** 与 **PWM** 波形中测得的 **LS-FET** 导通时间匹配。
6. 通过探测 **VBUS_SENSE** (**HSEC 9** → **AHB_VprimSensed_volts**) 验证输入电压检测，通过探测 **VO_SENSE** (**HSEC 21** → **AHB_VsecSensed_volts**) 验证输出电压检测。
7. 在默认 **ILm_PeakCurTemp = 1.0A** 时：
 - a. 预期初级电流峰值 (**CH4 / AHB_RESCS**) $\approx +1.0A$ ，负峰值 $\approx -0.5A$ (与 **Adaptive_IHNEG_AMPS** 匹配)。
 - b. 预期输出电压 $\approx 3.25V$ 。
 - c. 预期 **LS_ONTIME_HL_us** $\approx 11.74\mu s$ — 确认与测得的 **LS FET** 导通时间匹配。
8. 当 **ILm_PeakCurTemp** 更改为 **1.1A** 时：
 - a. 预期初级电流峰值 (**CH4 / AHB_RESCS**) $\approx +1.1A$ ，负峰值 $\approx -0.5A$ (与 **Adaptive_IHNEG_AMPS** 匹配)。
 - b. 预期输出电压 $\approx 3.89V$ 。
 - c. 预期 **LS_ONTIME_HL_us** $\approx 10.65\mu s$ — 确认与测得的 **LS FET** 导通时间匹配。

9. 观察 Expression 窗口，确认所有变量实时更新，并将其与图中所示的示波器波形进行比较。

Expression	Value	Expression	Value
> ahb_opStatus	{type=AHB_SteadyState,desc...	> ahb_opStatus	{type=AHB_SteadyState,desc...
⊞ AHB_aux_ZCD_N_volts	1.23226321	⊞ AHB_aux_ZCD_N_volts	1.23347163
⊞ AHB_VprimSensed_volts	60.1660271	⊞ AHB_VprimSensed_volts	60.1256485
⊞ AHB_VsecRef_volts	9.0	⊞ AHB_VsecRef_volts	9.0
⊞ Vout_Sensed_Volts	3.25785089	⊞ Vout_Sensed_Volts	3.89781642
⊞ AHB_MAG_INDUCTANCE_SET_uH	150.0	⊞ AHB_MAG_INDUCTANCE_SET_uH	150.0
⊞ ZVS_correction_factor	150.0	⊞ ZVS_correction_factor	150.0
⊞ light_load_enable	0 '\x00'	⊞ light_load_enable	0 '\x00'
⊞ zcd_count_update_new	5	⊞ zcd_count_update_new	5
⊞ ILm_PeakCurLimit_Amps	1.0	⊞ ILm_PeakCurLimit_Amps	1.10000002
⊞ ILm_PeakCurTemp	1.0	⊞ ILm_PeakCurTemp	1.10000002
⊞ LS_ONTIME_HL_us	11.7458363	⊞ LS_ONTIME_HL_us	10.6534576
⊞ LS_ONTIME1_LL_us	8.47186089	⊞ LS_ONTIME1_LL_us	7.88961792
⊞ LS_ONTIME2_LL_us	3.0	⊞ LS_ONTIME2_LL_us	3.0
⊞ Adaptive_IHNEG_AMPS	-0.518034279	⊞ Adaptive_IHNEG_AMPS	-0.518018901
⊞ Adaptive_ILNEG2_AMPS	-0.718032241	⊞ Adaptive_ILNEG2_AMPS	-0.718022287
⊞ Kp	0.300000012	⊞ Kp	0.300000012
⊞ Ki	45.0	⊞ Ki	45.0
⊞ Kd	0.0	⊞ Kd	0.0
⊞ Kb	5.0	⊞ Kb	5.0

图 4-5. Lab2 表达式

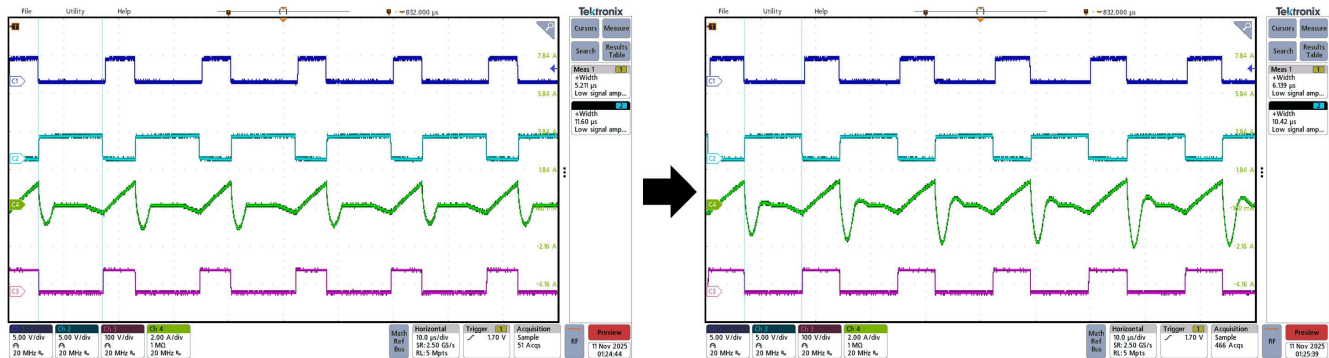


图 4-6. Ch1 为 HS PWM、Ch2 为 LS PWM、Ch3 为辅助节点、Ch4 为初级电流时的 Lab2 波形

4.4 Lab3

此实验旨在电路板上执行，用于验证轻载下的开环运行。

通过修改文件 AHB_user_settings.h 中的 Lab Number，将工程设置为 Lab 3。在此阶段，所有其他配置参数均可保持其默认值。

此实验的主要目的是验证轻载下的 PWM 波形，并通过改变相应变量观察 AHB_RESCS 的峰值电流。

硬件连接：

1. 将 12V 的外部辅助电源插入电路板上的“J4”连接器中，5V 插入“J5”连接器中。用跳线短接 J3。
2. 连接 60V 直流输入电压源，并将输入电流限制为 0.2A。
3. 连接 150Ω CR 负载。

生成和加载工程以及设置调试环境

1. 右键点击工程名称，然后点击“Rebuild Project”（重建工程）。

2. 工程将成功构建。
3. 在 **Project Explorer** 中，确保在 **targetConfigs** 项下将正确的目标配置文件设置为 **Active**
4. 然后，点击 **Run** → **Debug** 启动调试会话。
5. 然后工程将加载到器件上，并且 **CCS** 调试视图将变为激活状态。代码将在主例程的开始处停止。
6. 要在监视/表达式窗口中添加变量，请点击 **“View”** → **“Scripting Console”** 以打开脚本控制台对话框。在表达式窗口中，右键点击 -> 选择导入选项，导航到工作区中的工程文件夹，打开 **“AHB_Lab2/3Expressions.txt”**。这将使用调试系统所需的相应变量填充到观察窗口。
7. 点击观察窗口中的 **Continuous Refresh** 按钮，以启用控制器数值的连续更新。观察窗口随即显示，如下图所示

运行代码

1. 在 **CCS** 调试窗口中点击 **Run** 按钮运行工程。
2. 在 **Watch** 视图中，确认 **PWMISR_count** 和 **TimerISR_count** 连续递增。
3. 确认 **LabStatus.type** 显示 **“OpenLoop_LightLoad”**。
4. 连接 **AHB_PWM_HS** 和 **AHB_PWM_LS** (**HSEC 50** 和 **52**)，在示波器上观察预期的 **PWM 波形**，如图所示。波形中的 **Ch3** 和 **Ch4** 分别为 **AHB_ZCD_P** 和 **AHB_RESCS**。
5. 在初始阶段 (约 **10S**)，仅可观察到导通时间为 **10 μs** 的 **LS PWM**，之后 **HS PWM** 才会出现。
6. 检查确认 **LS_ONTIME_HL_us** 与 **PWM** 波形中测得的 **LS-FET** 导通时间匹配。
7. 通过探测 **VBUS_SENSE** (**HSEC 9** → **AHB_VprimSensed_volts**) 验证输入电压检测，通过探测 **VO_SENSE** (**HSEC 21** → **AHB_VsecSensed_volts**) 验证输出电压检测。
8. 在默认 **ILm_PeakCurTemp = 1.0A** 时：
 - a. 预期初级电流峰值 (**CH4 / AHB_RESCS**) $\approx +1.0A$ ，负峰值 $\approx -0.71A$ (与 **Adaptive_ILNEG2_AMPS** 匹配)
 - b. 预期输出电压 $\approx 3.1V$ 。
 - c. 预期 **LS_ONTIME_1LL_us** $\approx 9.09\mu s$ 且 **LS_ONTIME2_LL_us** $\approx 3\mu s$ — 确认与测得的 **LS FET** 导通时间匹配。
 - d. 我们可以观察到 **zcd_count_update_new** 变量为 **3**，此时辅助节点 (**SW** 电压) 中会出现 **2** 次过零事件

9. 观察 Expression 窗口，确认所有变量实时更新。将这些值与示波器波形进行比较，如图 4-7 所示，图中包含了波形和 Expression 窗口快照 (HS PWM 生效前和生效后)。

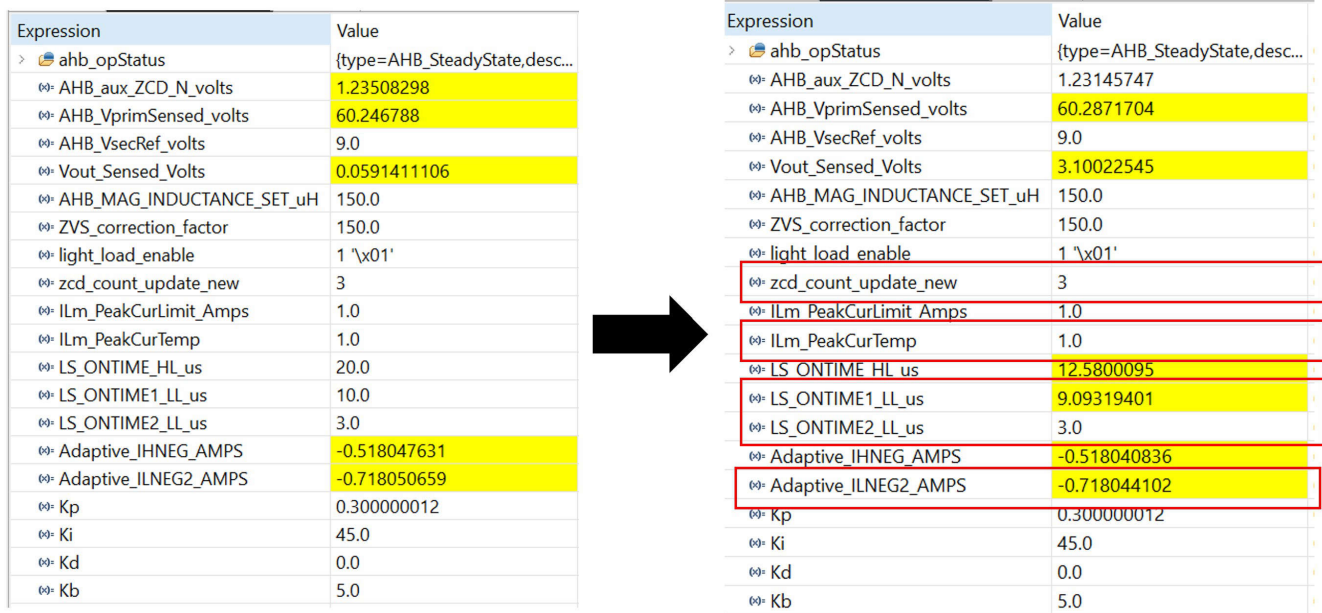


图 4-7. Lab3 表达式

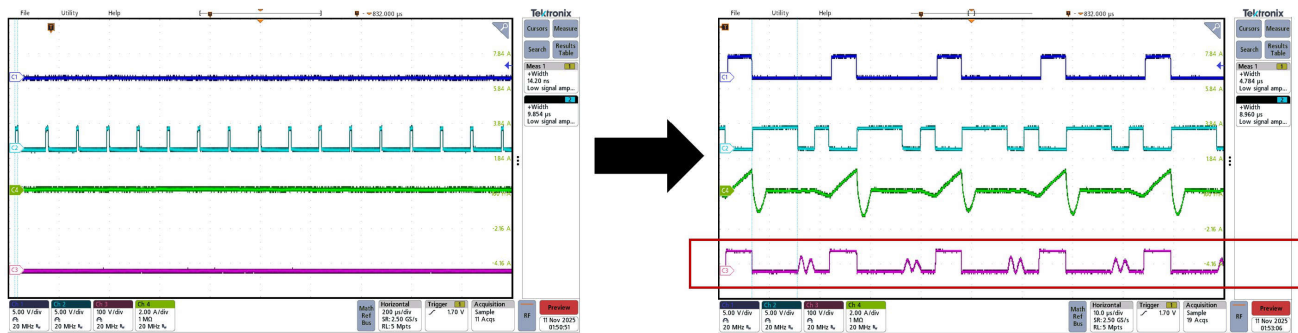


图 4-8. Ch1 为 HS PWM、Ch2 为 LS PWM、Ch3 为辅助节点、Ch4 为初级电流时的 Lab3 波形

4.5 Lab4

这是默认实验，应在硬件上运行，用于验证完整的端到端解决方案。其中包括宽输入和输出工作参数范围内的闭环调节、自适应软启动、快速负载瞬态响应以及 ZVS 诊断，以确保 ZVS 可靠运行。要启用此实验，请通过更新 AHB_user_settings.h 中的 Lab Number 将工程设置为 Lab 4。在此阶段，所有其他配置参数均可保持其默认值。

此实验的主要目的是验证不同负载条件下的 PWM 行为，并通过调节输出参考变量来观察闭环电压调节。此实验允许用户验证转换器在实际负载和电压场景下的实时响应、稳定性和保护行为。

硬件连接：

1. 将 12V 的外部辅助电源插入电路板上的“J4”连接器中，5V 插入“J5”连接器中。用跳线短接 J3
2. 连接直流输入电压源，电压范围应在 300-400V 范围内
3. 连接 CC 负载（最好使用电子负载），限流 12A，预期输出电压范围为 9 至 28V

生成和加载工程以及设置调试环境

1. 右键点击工程名称，然后点击“Rebuild Project”（重建工程）。
2. 工程将成功构建。
3. 在 Project Explorer 中，确保在 targetConfigs 项下将正确的目标配置文件设置为 Active
4. 然后，点击 Run → Debug 启动调试会话。
5. 然后工程将加载到器件上，并且 CCS 调试视图将变为激活状态。代码将在主例程的开始处停止。
6. 要在监视/表达式窗口中添加变量，请点击“View” → “Scripting Console”以打开脚本控制台对话框。在表达式窗口中，右键点击 -> 选择导入选项，导航到工作区中的工程文件夹，打开“AHB_Lab4Expressions.txt”。这将使用调试系统所需的相应变量填充到观察窗口。
7. 点击观察窗口中的 Continuous Refresh 按钮，以启用控制器数值的连续更新。观察窗口随即显示，如下图所示

运行代码

1. 使用 CCS 调试窗口中的 Run 按钮运行工程
2. 在 Watch 视图中，确认 PWMISR_count 和 TimerISR_count 连续递增。
3. 确认 LabStatus.type 显示“Closedloop”。
4. 连接直流输入源，以 320V 输入为电路板加电。默认参考输出电压为 9V。
5. 在 9V 至 28V 范围内修改 AHB_VsecRef_volts 变量，观察快速、稳定的闭环电压调节。
6. 查看波形，确认输出电压随参考变量变化而动态调节。（Ch1：输出电压，Ch3：辅助节点，Ch4：初级电流）
7. 轻载运行时，固件会根据输出电压自动调整目标 ZCD 计数值，从而提高效率；详细的效率数据可在测试报告中找到。

8. 该图还展示了自适应软启动行为和欠压锁定 (UVLO) 响应。

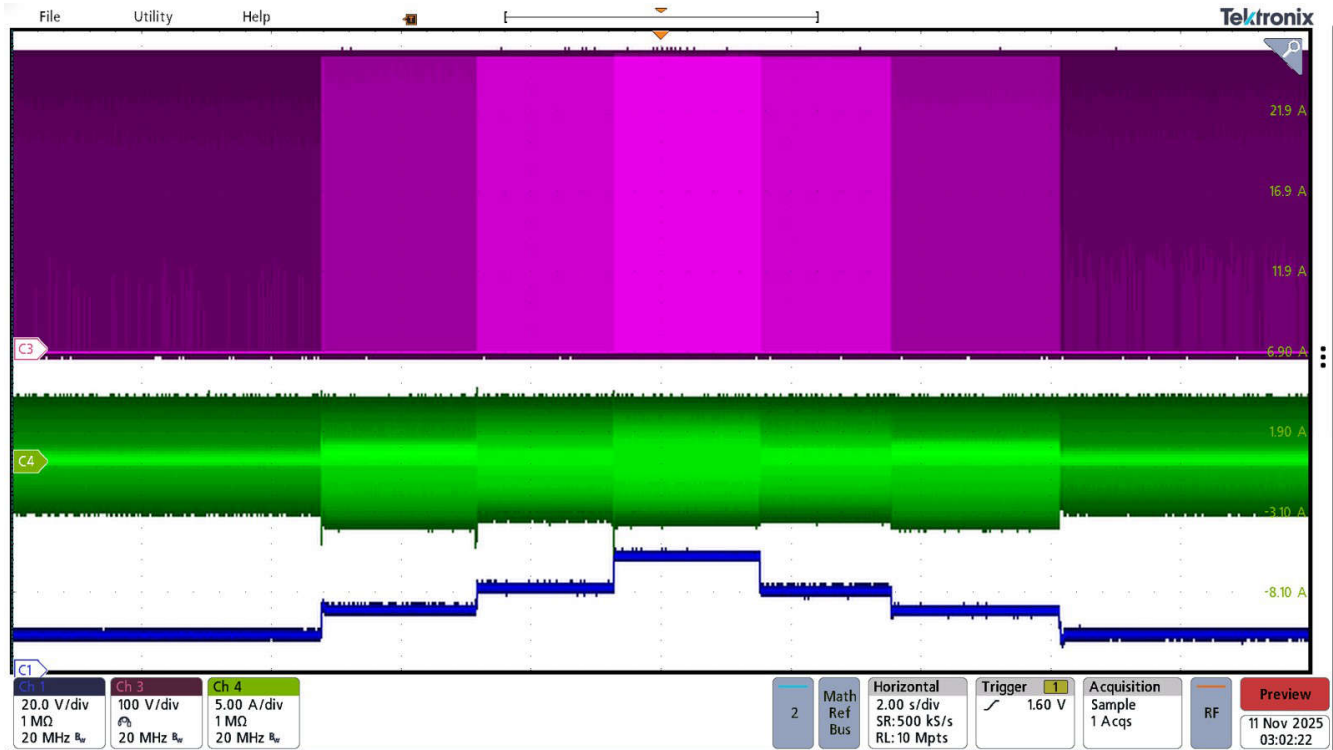
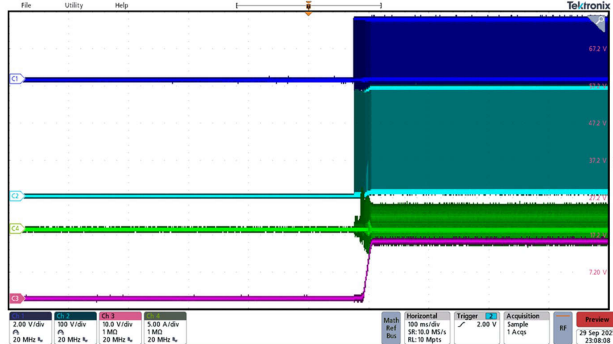
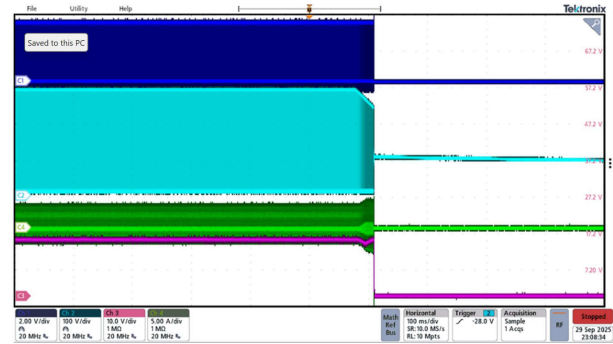


图 4-9. 在 370V 输入、9A cc 负载下，输出电压按 9V->15V->20V->28V->20V->15V->9V 顺序调节



a) Soft Start Operation



b) Under-Voltage Protection

图 4-10. 在 320V 输入、15V/9A CC 负载条件下的软启动和欠压保护运行

5 总结

本文全面概述了基于 TMS320F28P550 MCU 实现的 AHB 转换器参考设计。其中阐述了整体软件结构、基于 TI SysConfig 的系统初始化流程、ISR 执行模型、交叉开关路由，以及控制和检测框架组织方式，以确保转换器可靠运行。该架构使用两个 ISR：一个以可变频率运行，用于 PWM 更新；另一个为固定频率 ISR，用于控制环路和日常维护任务。本文还介绍了如何使用 EPWM 和 CLB 模块生成与负载相关的 PWM 模式，管理保护事件以及满足时序要求（例如轻载 T1/T2 事件和 ZVS 诊断）。

该系统分为四个实验，用于指导用户完成测试与验证：传感与基本 PWM 检查、开环重载、开环轻载，以及带负载切换和自适应软启动的全闭环运行。每个实验均概述了设置步骤、预期信号和观测结果，用于验证系统在硬件上的正确行为。[测试报告](#)中提供了额外的实验波形，例如效率结果、ZVS 行为、软启动特性、负载瞬态响应和故障响应时序，以提供更深入的验证依据，并与本文档所描述的实施方案进行关联对照。

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月