

Application Note

AM13E230x 硬件设计指南



Brennan Hartigan

摘要

《AM13E230x 硬件设计指南》是硬件设计人员基于 AM13E230x 系列实时控制 MCU 器件创建 PCB 系统的重要文档。本文档利用来自 AM13E230x 评估模块 (EVM) 和参考设计的硬件设计示例，整合了特定于器件的原理图和 PCB 布局建议。AM13E230x 硬件平台包括以下平台。

表 1-1. AM13E230x 硬件平台

EVM 可订购器件型号	TI EVM 标准	用途
LP-AM13E230	LaunchPad	低成本、入门级评估平台。采用 64 引脚 QFP、512KB AM13E23019GTPM MCU
AM13E230-SOM-EVM	controlSOM (模块上系统)	具有更高 I/O 要求的复杂系统评估。采用 128 引脚 QFP、512KB AM13E23019GTPDT MCU

其他配套资料文档和工具位于“参考资料”中。

内容

1 简介.....	3
2 原理图设计.....	4
2.1 封装和器件选择.....	4
2.2 数字外设.....	5
2.3 控制外设.....	9
2.4 模拟外设.....	10
2.5 多路复用外设.....	12
2.6 电源.....	13
2.7 复位.....	19
2.8 时钟.....	21
2.9 调试和仿真.....	25
2.10 引导接口.....	27
2.11 未使用的引脚.....	28
3 PCB 布局设计.....	29
3.1 布局设计概述.....	29
3.2 过孔.....	31
3.3 建议的电路板布局布线.....	32
3.4 放置元件.....	32
3.5 接地平面.....	33
3.6 信号布线迹线.....	35
3.7 散热注意事项.....	35
4 EOS、EMI/EMC、ESD 注意事项.....	36
4.1 电过应力.....	36
4.2 EMI 和 EMC.....	36
4.3 静电放电.....	37
5 摘要和检查清单.....	38
6 参考资料.....	39
7 修订历史记录.....	39

商标

所有商标均为其各自所有者的财产。

1 简介

AM13E230x 实时控制微控制器是基于 ARM®Cortex®-M33 的单核器件，适用于工业电机控制应用，包括电器、工业自动化、机器人和楼宇自动化。

必须参考本指南和其他关键 AM13E230x 配套文档。有关 AM13E230x 器件的补充文档的完整列表，请参阅参考文献。

表 1-1. 本文档中使用的首字母缩写词

首字母缩写词	说明
EVM	硬件模块。参考 TI PCB 组件，例如 AM13E230x LaunchPad (LP-AM13E230)
EMI	电磁干扰
BOM	物料清单
SOM	模块上系统
LP	LaunchPad

2 原理图设计

2.1 封装和器件选择

AM13E230x MCU 具有多种封装尺寸和存储器配置。每种封装都与 STM32G4 或 STM32H5 MCU 引脚对引脚兼容，因此可在硬件和系统级别实现直接迁移。有关迁移的完整详细信息，请参阅 *STM32G474x 至 AM13E230x 迁移指南*。下表详细介绍了封装尺寸和配置。

表 2-1. AM13E230x 器件封装尺寸

封装	STM32 兼容性	封装尺寸	间距	引脚布局	模拟 IO	数字 IO	引脚数
LQFP128 (PDT) (1)	STM32G4	14x14mm ²	0.4mm	32x32	44	107	128
LQFP100_G (PZ)	STM32G4	14x14mm ²	0.5mm	25x25	44	86	100
LQFP100_H (PZ)	STM32H5	14x14mm ²	0.5mm	25x25	43	85	100
LQFP80 (PN)	STM32G4	12x12mm ²	0.5mm	20x20	39	66	80
LQFP64_G (PM) ⁽²⁾	STM32G4	10x10mm ²	0.5mm	16x16	27	52	64
LQFP64_H (PM)	STM32H5	10x10mm ²	0.5mm	16x16	26	52	64
LQFP48 (PT)	STM32G4	9x9mm ²	0.5mm	12x12	21	38	48
QFN48 (RGZ)	STM32G4	7x7mm ²	0.5mm	12x12	22	42	48 + PWRPAD

(1) 用于 AM13E230-SOM-EVM。

(2) 用于 LP-AM13E230。

应根据 IO 要求和 PCB 尺寸来选择封装尺寸。在试验不同的器件封装尺寸和 IO 数量时，SysConfig 工具有助于确定适当的选择。

AM13E230x MCU 具有三种不同的配置，决定了器件闪存和存储器大小。每种配置具有下表中列出的封装尺寸。

表 2-2. AM13E230x 配置

器件型号	闪存大小	SRAM 大小
AM13E23019 ⁽¹⁾	512KB	128KB
AM13E23018	256KB	96KB
AM13E23017	128KB	32KB

(1) 可同时用于两个 AM13E230x EVM。

应根据应用尺寸和需求来选择配置。

2.2 数字外设

本节详细介绍了 AM13E230x MCU 上的数字外设应遵循的设计指南。

2.2.1 GPIO

AM13E230x 微控制器包含不同数量的通用 I/O (GPIO) 引脚，具体取决于封装尺寸。当配置为多路复用模式 0 时，器件上的所有数字 I/O 引脚（即未保留用于器件电源/接地的引脚）都可用作通用 I/O。

GPIO 引脚用作器件的数字输入和输出，并且这些支持 GPIO 的引脚可以使用器件 PinMux 配置为典型的 GPIO 或外设 I/O 信号。当在不同应用中使用 AM13E230x 器件时，该设计提供了出色的灵活性。多达 15 个独立的数字外设信号可在一个 GPIO 引脚上多路复用，并且同一外设可以多路复用到多个 GPIO 引脚上。有关更多详细信息，请参阅 [多路复用的外设](#)。

对于每个 GPIO 引脚，最大驱动强度（灌电流/拉电流）为 4mA。最大切换频率和上升/下降时间取决于 IO 结构（SDIO、HDIO 或 HSIO）、驱动强度和电源电压。有关完整规格，请参阅器件特定数据表中的 *数字 IO* 一节。

复位时，GPIO 引脚处于高阻抗状态。可以通过软件选择性地启用或禁用内部上拉/下拉电阻器。这意味着，任何需要在加电期间保持确定状态的信号都应具有外部拉电阻器，例如片选。

除了配置器件的引脚选择之外，在使用器件上的通用 I/O (GPIO) 资源时还必须了解最佳实践。AM13E230x 器件集成了板载模拟外设，如 ADC、DAC、PGA 和 CMPSS，这有助于降低系统级成本。然而，在优化系统以使用尽可能小的 MCU 封装时，这些额外的外设会导致 GPIO 可用性降低。因此，在设计定制系统时充分利用 GPIO 非常重要。

2.2.2 XBAR

如 GPIO 一节所述，每个外设信号都被多路复用到多个 GPIO 引脚，以简化 AM13E230x 系统的设计和布局过程，并在 IO 配置上实现更大的灵活性。

为了将信号从 GPIO 路由到任何不同的外设模块（例如 ADC、eCAP、MCPWM 和外部中断），该器件有一个输入交叉开关 (XBAR) 系统。输入 XBAR 可以访问每个 GPIO，并可每个信号路由到任何（或多个）外设模块。输入 XBAR 实现了将一个外设的输出路由到另一个外设的功能。

AM13E230x MCU 还有一个 GPIO 输出 XBAR，它从器件内部获取信号并将其输出到任何 GPIO。

PWM XBAR 负责将任何引脚的信号路由到 MCPWM 模块。

可以使用 SysConfig 工具配置 XBAR。

2.2.3 EPI

外部外设接口 (EPI) 是一种用于连接外部外设或存储器器件的高速并行总线。EPI 模块支持与多种存储器和外设进行连接。下表列出了支持的各种配置以及最大频率。

表 2-3. AM13E230x EPI 接口选项

接口	最大频率
单个 SDRAM	50MHz
单个 SRAM	50MHz
不使用 iRDY 信号的单个 PSRAM	50MHz
使用 iRDY 信号的单个 PSRAM	50MHz
FPGA、CPLD 等使用通用模式的器件	50MHz
具有 2 个片选信号的存储器配置	50MHz
具有 4 个片选信号的存储器配置	50MHz

《技术参考手册》中的 *EPI* 一章详细介绍了 AM13E230x EPI 外设如何连接到每个接口。

应遵循的设计指南：

- 将目标器件（存储器 IC/FPGA）靠近 MCU 放置，以保持迹线较短

- 使用 50 Ω 单端迹线控制阻抗
- 通过在同一层路由信号组来更大限度地减少反射和串扰，并更大限度减少过孔/层切换
- 匹配以下迹线长度以减少时序偏移：
 - 数据总线：匹配精度在 +/-25mil 范围内
 - 地址/命令信号：匹配精度在 +/-25mil 范围内
 - 控制信号：匹配精度在 +/-25-50mil 范围内
 - 时钟信号：与最长数据迹线的匹配精度在 +/-5-10mil 范围内
- 并行路由由地址/命令信号
- 避免残桩并使布线尽可能笔直
- 考虑将数据线路和时钟线路的串联端接电阻器 (22-33 Ω) 靠近发送器放置

2.2.4 MCAN

控制器局域网 (CAN) 是一种串行通信协议，用于有效地为具有高可靠性的分布式实时控制提供支持。CAN 具有较高的抗电气干扰能力，并且能够检测各种类型的错误。在 CAN 中，许多较短的信息会广播到整个网络，从而在系统的每个节点中提供数据一致性。

AM13E230x MCU 上的 MCAN (模块化 CAN) 外设支持传统 CAN 和 CAN FD (具有灵活数据速率的 CAN) 协议。CAN FD 特性可实现更高的吞吐量和增加每个数据帧的有效负载。传统 CAN 和 CAN FD 器件可以在同一网络上共存而不会发生任何冲突，前提是传统 CAN 器件使用部分网络收发器，其中该收发器可以检测和忽略 CAN FD，而不产生总线错误。MCAN 模块符合 ISO 11898-1:2015 标准。

为了将 AM13E230x MCU 连接到 CAN 网络，必须实现 CAN 收发器作为 CAN 控制器 (AM13E230x MCU) 和 CAN 总线之间的物理层。概括来说，MCAN_RX 和 MCAN_TX 引脚分别连接到收发器上的 RX 和 TX 引脚。可能需要额外的信号作为 CAN 收发器的控制 I/O。

AM13E230x LaunchPad 实现 TCAN3414 收发器来将系统连接到 CAN 总线网络。TCAN3414 收发器由单个 3.3V 电源供电，可在速度高达 8Mbps 的 CAN 和 CAN-FD 网络中运行。有关 TCAN3414 的更多详细信息，请参阅 [TCAN3414 数据表](#)。

下图展示了该 LaunchPad 的参考设计电路。

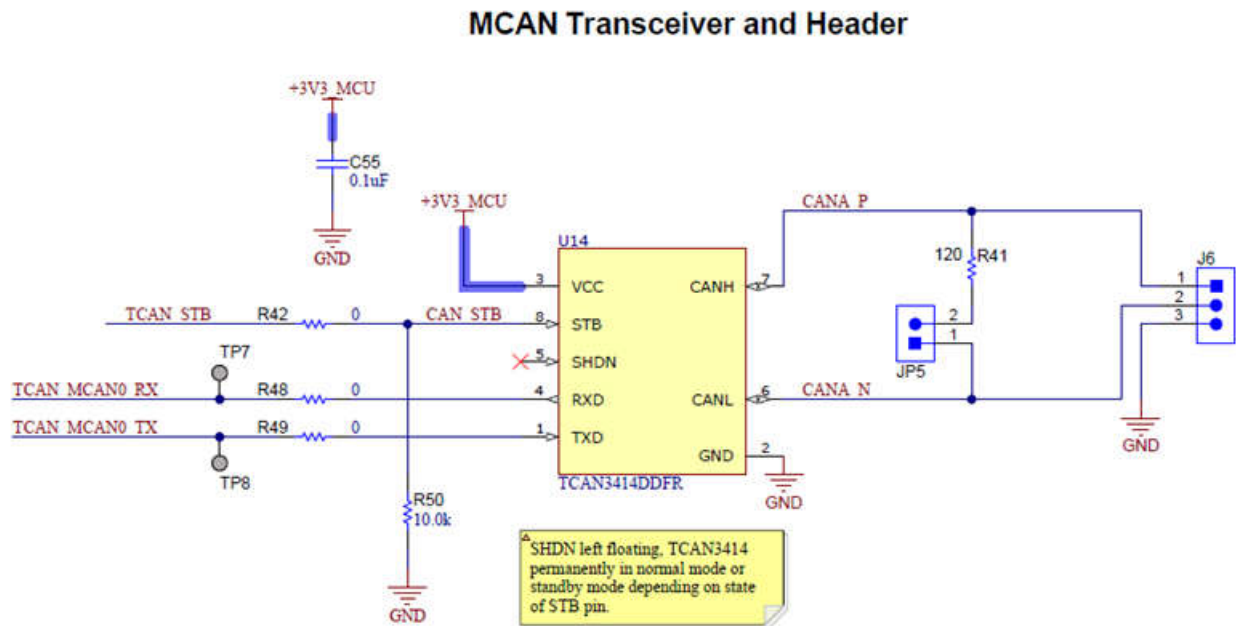


图 2-1. LP-AM13E230 MCAN 实施

任何器件 GPIO 都可用于 STB 和 SHDN 引脚。建议使用一个拉电阻器，以便在上电期间使收发器保持在已知状态。

有关特定收发器的设计要求，请参阅特定器件的数据表。

使用 MCAN 时，建议在电路板上实现一个外部振荡器 (XTAL) 来为 AM13E230x 器件提供时钟，而不是使用内部振荡器 (SYSOSC)。根据所需的 CAN 参数 (如位时间设置、比特率、总线长度和传播延迟)，片上振荡器的精度可能不符合 CAN 协议的要求。

2.2.5 UNICOMM

UNICOMM 模块是一种运行时可配置外设，能够支持 UART、I2C 或 SPI 接口。与为这三个通信外设分别设置独立外设模块的典型 MCU 不同，AM13E230x 器件具有六个统一的串行通信外设，可运行于这些不同的协议下。

每个 UNICOMM 实例可配置为以下运行模式之一：

- UART - 通用异步接收器/发送器
- SPI - 串行外设接口
- I2CC - 内部集成电路控制器
- I2CT - 内部集成电路目标

UNICOMM 实例使用缩写 UCx (x 为实例编号) 指代，后跟特定接口上可用的信号类型。

表 2-4. 不同外设类型的 UNICOMM 信号

UNICOMM 信号名称	UART	I2C	SPI
UCx_RTS_POCI	RTS：发送释放		POCI：外设输出 - 控制器输入
UCx_RX_SCL_SCLK	RX：接收	SCL：时钟	SCLK：时钟
UCx_TX_SDA_PICO	TX：发送	SDA：数据	PICO：外设输入 - 控制器输出
UCx_CTS_CS0	CTS：允许发送		CS0：片选 0

六个 UNICOMM 实例具有不同的配置选项和外设类型，具体取决于实例。下表展示了详细信息。

表 2-5. 每个实例的 UNICOMM 配置

UNICOMM 实例	支持的串行协议	可用外设类型 1
UC0	UART、SPI、I2C	基本 UART、基本 SPI、基本 I2C 控制器/目标
UC1	UART、SPI、I2C	基本 UART、基本 SPI、基本 I2C 控制器/目标
UC2	UART、LIN、I2C、SMBUS	基本+ UART、高级 I2C 控制器/目标
UC3	UART、SPI、I2C	基本 UART、基本 SPI、基本 I2C 控制器/目标
UC4	UART、SPI、I2C	基本 UART、基本 SPI、基本 I2C 控制器/目标
UC5	UART、LIN、I2C、SMBUS	基本+ UART、高级 I2C 控制器/目标

本章后面的每个小节定义了相应外设类型。

给定 UNICOMM 外设实例的协议在寄存器级别进行选择。由于这种低级配置，强烈建议在其应用实现 UNICOMM 模块的设计人员利用 SysConfig 工具来配置每个 UNICOMM 实例。这有助于避免配置错误的实例/外设组合，并确保为每个实例分配正确的器件引脚。

有关配置 UNICOMM 外设的更多信息，请参阅 *技术参考手册* 中的 UNICOMM 一节。

2.2.5.1 UART

UNICOMM 实例选择必须考虑外设所需的特性。下表比较了 AM13E230x 器件上提供的两种 UNICOMM UART 类型。

表 2-6. UNICOMM UART 类型比较

UNICOMM 实例	UART 类型	特性
UC0、UC1、UC3、UC4	基本 UART	包含对 ISO7816 智能卡标准的额外支持
UC2、UC5	基本+ UART	包含对 LIN (本地互连网络) 的额外支持

如果需要 LIN 功能，必须为该外设配置分配 UC2 或 UC5。如果应用可以接受典型 UART，可以使用任何 UCx 实例。

2.2.5.2 I2C

器件上的 UNICOMM I2C 实例可以配置为 UNICOMM-I2CC (控制器) 或 UNICOMM-I2CT (目标)。应使用 SysConfig 工具来完成控制器/目标配置。下表比较了 AM13E230x 器件上提供的两种 UNICOMM I2C 类型。

表 2-7. I2C 比较

UNICOMM 实例	I2C 类型	控制器特性	目标特性
UC0、UC1、UC3、UC4	基本 I2C	数字干扰抑制	
UC2、UC5	高级 I2C	<ul style="list-style-type: none"> 模拟干扰抑制 突发模式 SMBus 支持 (PEC、超时检测) 	<ul style="list-style-type: none"> 模拟干扰抑制 SMBus 支持 (PEC、超时检测、增强型 ACK 特性、默认器件/主机/警报响应地址，目标仲裁) 第二目标地址和掩码

当配置为 I2C 时，UNICOMM I2C 信号 SCL 和 SDA 都需要外部上拉电阻器。上拉电阻的强度取决于 I2C 速度，但大多数实现方案通常可以接受 2.2k Ω -4.7k Ω 。

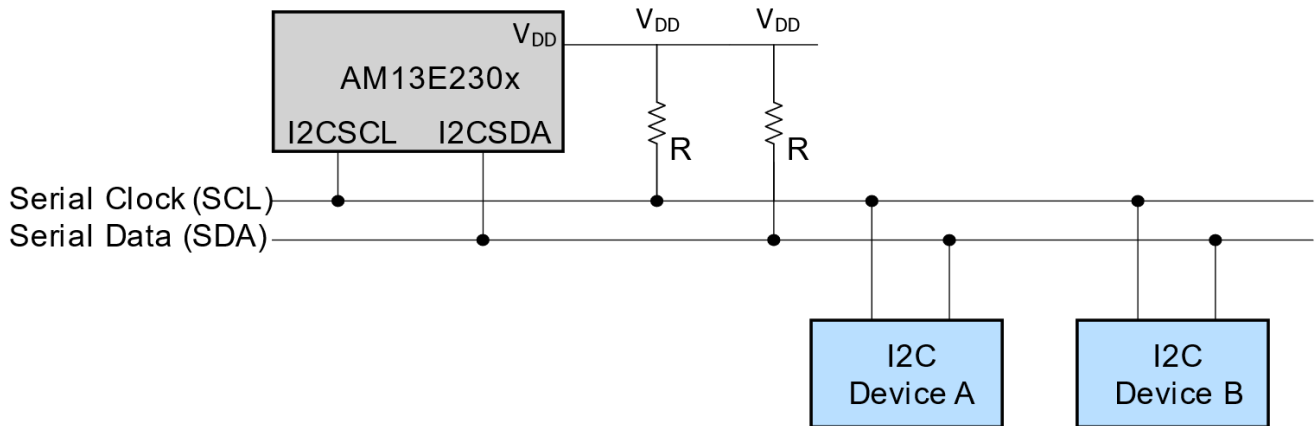


图 2-2. 典型 I2C 总线连接

2.2.5.3 SPI

AM13E230x UNICOMM SPI 支持采用 3 线或 4 线配置来连接外部 SPI 器件。

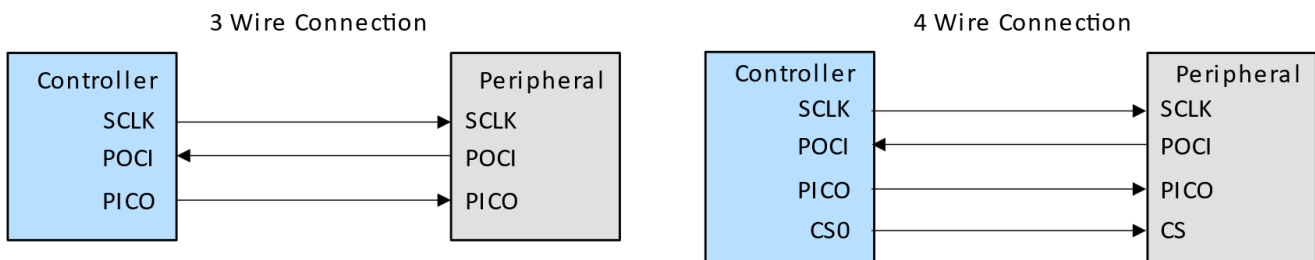


图 2-3. 典型 SPI 连接

SPI 只能在 UC0、UC1、UC3 或 UC4 上配置。

建议在片选信号上使用一个上拉电阻器，以在 AM13E230x 将该信号拉低之前保持目标器件处于未选中状态。

2.3 控制外设

AM13E230x 器件包含不同数量的以下控制外设：

- 增强型捕获 (eCAP)
- 多通道脉宽调制器 (MCPWM)
- 增强型正交编码器脉冲 (eQEP)

对于特定的控制外设，其性能会受到电路板设计的极大影响。请务必遵循“布局”一节概述的布局指南，以减少不必要的噪声并更大限度地提高性能。

2.3.1 eQEP 和 eCAP

eQEP 和 eCAP 都没有专用的引脚多路复用模式选项来将这些类型的信号连接到器件引脚。相反，通过利用器件的输入 XBAR，可以配置任何 GPIO 来提供 eQEP 或 eCAP 输入。

有关配置这些外设的更多信息，请参阅《技术参考手册》中的以下章节：

- 配置器件引脚 (eQEP)
- 为 eCAP 配置器件引脚
- XBAR

2.3.2 计时器

AM13E230x 器件上的通用计时器 (TIMG) 是计时器计数模块，可用于各种功能，例如测量信号的输入信号边沿和周期或生成输出波形。两个计时器实例 TIMG4 和 TIMG12 属于通用计时器模块，但其功能略有不同。

表 2-8. 计时器

实例	电源域	计数器分辨率	预分频器	CCP 通道	外部 PWM 通道	影子负载	影子 CC	QEI/霍尔输入模式
TIMG4	PD1	16 位	8 位	2	2	是	是	-
TIMG12	PD1	32 位	-	2	2	-	是	-

有关 TIMG 特性的更多详细信息，请参阅《技术参考手册》。

2.4 模拟外设

本节介绍了在器件上实现模拟外设时的关键设计选择。

AM13E230x 器件具有以下模拟外设：

- 模数转换器 (ADC)
- 可编程增益放大器 (PGA)
- 温度传感器
- 比较器子系统 (CMPSS)
 - 每个 CMPSS 包含 8 位数模转换器 (DAC) 和 2 个数字滤波器
 - 部分 CMPSS 包含缓冲 DAC 输出

2.4.1 选择模拟引脚

AM13E230x 器件上的多个 IO 引脚提供了灵活的引脚用途，包括数字和模拟功能的配置。提供模拟输入 (ADC、PGA、CMPSS) 与数字外设进行多路复用 — AM13E230x 器件上没有专用的模拟 IO 引脚，支持为用户应用使用各种引脚配置。

在选择模拟引脚连接时，请考虑每个引脚上可用的外设。带有比较器的模拟输入使得这些模拟信号能够快速触发 PWM (作为故障信号) 或检测过零。由于这些器件包含多个 ADC，因此还要考虑同时对某些模拟信号进行采样是否有益。在这些情况下，可以将三个同步模拟信号连接到 A0、A1 和 A2。

2.4.2 模拟电压基准

器件端 ADC 使用 VREFHI 和 VREFLO 引脚作为电压基准输入。对于大多数应用，内部电压基准可提供足够高的性能。VREFHI 引脚电压由内部带隙电压基准驱动，可以选择该电压基准的电压作为 1.65V 输出 (0V 至 3.3V) 或 2.5V 输出 (0V 至 2.5V)。基准值可以编程。如果系统设计需要更高精度的基准电压，可以使用外部基准电压。

无论选择内部基准还是外部基准，都需要在 VREFHI 和 VREFLO 引脚之间串联去耦电容器。

- 2.2 μ F 大容量电容器
- 2 个 0.1 μ F 电容器，位于器件引脚上

备注

128 引脚 AM13E230x 器件需要 3 个 0.1 μ F 电容器，因为此封装上有两个外部 VREFHI 引脚。这两个引脚在内部相连，不需要单独电源。

ADC VREF

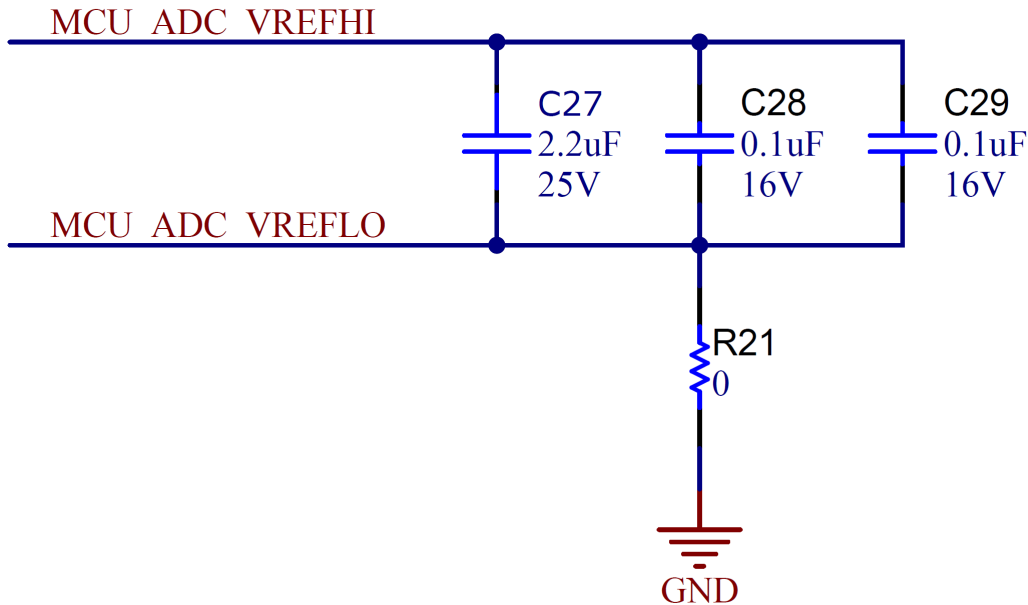


图 2-4. LP-AM13E230 VREF 去耦

大多数情况下，VREFLO 可以短接到系统 GND。

当使用内部基准模式时，不应在 VREFHI 引脚上接入额外的电压源，因为器件本身的电路会将电压驱动到该引脚上。

在外部基准模式下，使用外部电路或基准 IC (如 REF3030 和高速运算放大器) 驱动 VREFHI 引脚。

2.4.3 ADC 输入

应正确设计和评估 ADC，以确保性能正常。模数转换器具有输入阻抗和带宽要求，这可能会导致存储器串扰和显著的采样保持 (S+H) 电路稳定误差。

下图概述了 ADC 输入模型，其中 C_p 表示寄生输入电容， R_{on} 表示采样开关电阻， C_h 表示采样电容， R_s 表示标称源阻抗。数据表记录了 ADC 每通道寄生电容，这些寄生电容有助于确定要使用的 ADC。请注意，可以通过调整 ACQPS 或降低采样频率或两者的组合来调整每个 SOC 的采集窗口持续时间。要评估驱动电路，请在 TINA-TI 中对其进行仿真，以确保实现正确的性能和稳定。

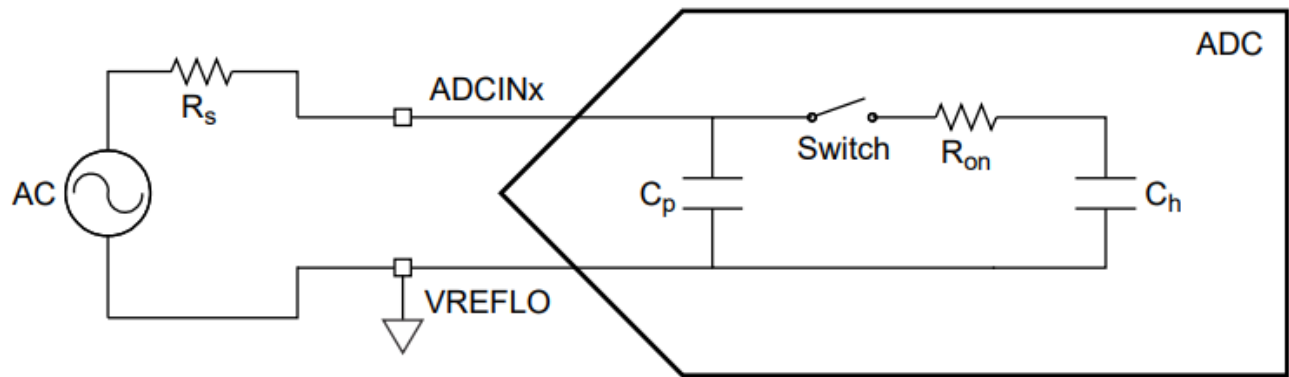


图 2-5. ADC 输入模型

2.5 多路复用外设

AM13E230x 器件在几乎所有 MCU 引脚上都具有大量多路复用的数字和模拟 I/O。由于此原因，强烈建议设计人员充分利用 TI 系统配置工具 (SysConfig) 来试验和规划不同的引脚多路复用方案，然后再将设计提交到硬件。生成的 SysConfig 引脚多路复用配置可用于原理图捕获和布局参考，以及软件驱动程序开发。

有关更多详细信息，请参阅《技术参考手册》中的 [SysConfig 工具页面](#) 和 [IOMUX](#) 一章。

2.6 电源

AM13E230x MCU 有两个主要的器件电源网络：

- VDD : 3.3V 数字电源
- VDDA : 3.3V 模拟电源

VDD 和 VDDA 在电路板级连接。在设计 AM13E230x 系统时，应将 VDD 的同一电源也连接到 VDDA。VDD 和 VDDA 网络应通过铁氧体磁珠隔开。

2.6.1 分立式电源解决方案

建议使用单个分立式 3.3V 电源为 AM13E230x MCU 提供所需电源。

AM13E230x LaunchPad 和 controlSOM 设计都集成了单个 LDO 稳压器，用于 3.3V VDD/VDDA 电源轨。EVM 设计中实现了一个 TLV75733 1A、低 IQ、高精度 LDO。建议使用这款小尺寸稳压器为 AM13E230x 内核、I/O 和外设供电，因为它具有较小的 PCB 尺寸且可提供高达 1A 的电流。TLV757P 系列 LDO 提供了其他电流输出选项，如果 PCB 系统具有较小的负载要求，可以探索这些产品。

在实际中，只要满足以下最低要求，就可以使用任何 3.3V LDO 为 AM13E230x 供电：

- 输出电压：3.3V
- 输出电流：300mA

备注

AM13E230x MCU 预计消耗最大 250mA 的电流。额外的 50mA 允许使用同一 LDO 为其他板载器件供电。

可搭配使用多个 DC-DC 稳压器来满足这些要求和最大功耗。AM13E230x controlSOM 上的 TLV75733 实现方案如下所示：

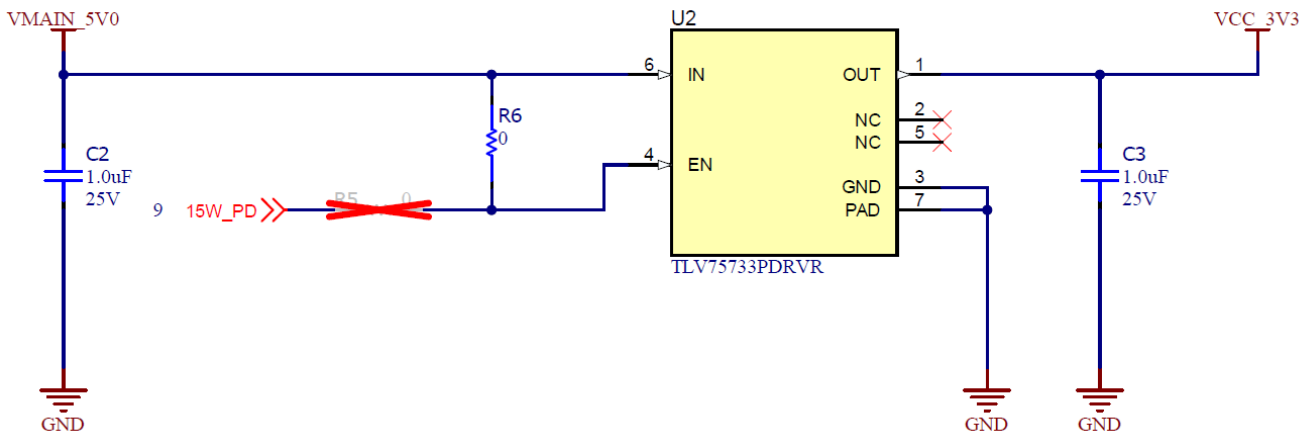


图 2-6. AM13E230x controlSOM LDO 实现方案

ENABLE 引脚可由其他系统电源时序要求或来自上游稳压器的电源正常信号驱动。在 controlSOM 上，可利用 15W 电力输送握手电路的输出来启用 LDO。

2.6.2 电源去耦和滤波

下表介绍了每种 AM13E230x 封装所需的初始去耦和电源滤波。

表 2-9. 电源滤波

MCU 电源	数量								注释
	128 PDT	100_G PZ	100_H PZ	80PN	64_G PM	64_H PM	48 PT	48 RGZ	

表 2-9. 电源滤波 (续)

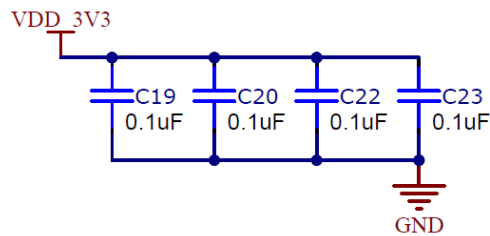
VDD	1	1	1	1	1	1	1	1	2.2 μ F, 0402, X5R
	8	5	5	5	4	4	4	4	0.1 μ F, 0201, X7R
VDDA	1	1	1	1	1	1	1	1	2.2 μ F, 0402, X5R
	2	2	1	2	2	1	1	1	0.1 μ F, 0201, X7R
	1	1	1	1	1	1	1	1	铁氧体磁珠

一般而言，任何 AM13E230x MCU 封装的电源去耦都应遵循以下指南：

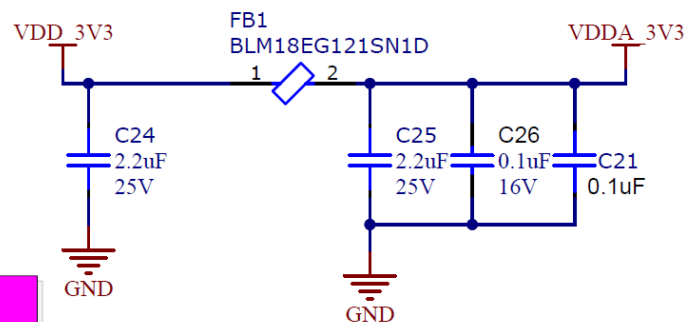
- 2.2 μ F 大容量电容器置于电源网络源头
- 0.1 μ F 电容器尽可能靠近 MCU 上的每个 VDD/VDDA 引脚放置
 - 所需的 0.1 μ F 电容器数量取决于 MCU 封装上的 VDD/VDDA 引脚数量
- 需要使用铁氧体磁珠从 VDD 网络对 VDDA 网络进行滤波

下图展示了 64 引脚 PM 封装 (LaunchPad) 的去耦位置和布线。

VDD 3V3 Digital



VDDA 3V3 Analog



Place decoupling as close as possible to MCU

图 2-7. LP-AM13E230 电源去耦原理图

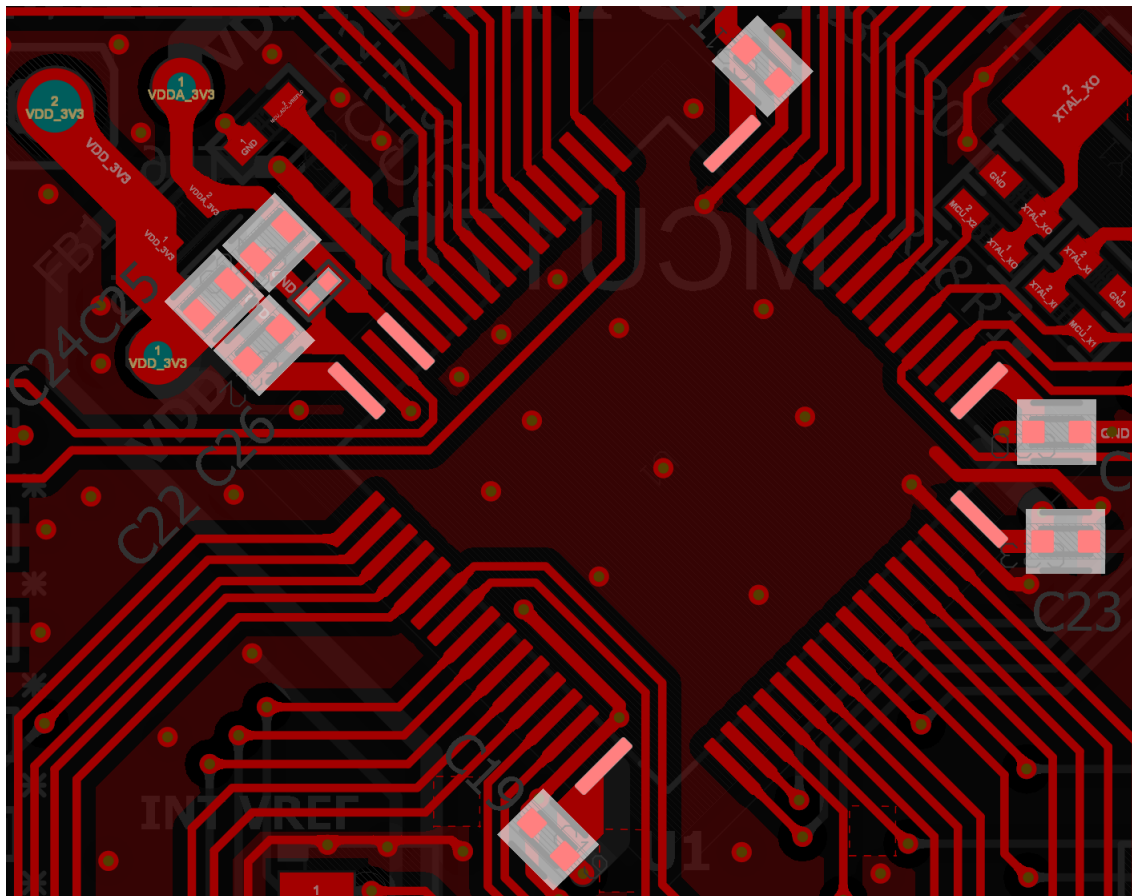


图 2-8. LP-AM13E230 电源去耦 — 顶层

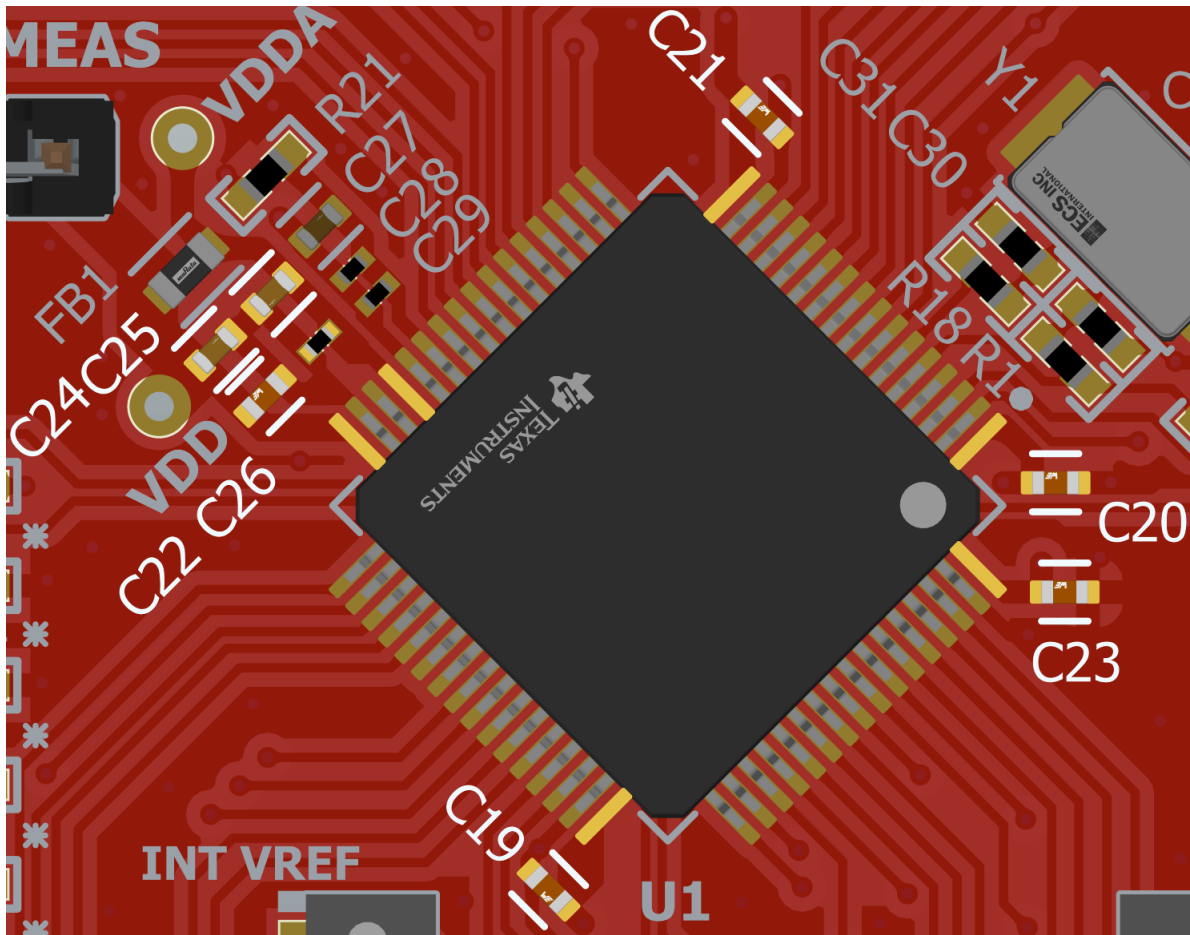


图 2-9. LP-AM13E230 电源去耦位置 — 3D 视图

2.6.3 模拟电压基准

AM13E230x MCU 具有用于提供 ADC 电压高电平 (VREFHI) 和低电平 (VREFLO) 基准输入的专用引脚。VREFLO 短接至 GND。

无论实现的是内部生成的基准还是外部基准，这些引脚之间都需要额外去耦。若要使用内部生成的基准，只需在 VREFHI 和 VREFLO 网络之间连接去耦电容器。要应用外部基准，可将电源连接到 VREFHI 引脚。

下表介绍了每种封装的器件模拟电压基准网络所需的去耦。

表 2-10. AM13E230x ADC VREF 去耦

MCU 电源	数量								注释
	128 PDT	100_G PZ	100_H PZ	80PN	64_G PM	64_H PM	48 PT	48 RGZ	
VREFHI	1	1	1	1	1	1	1	1	2.2 μ F, 0402, X5R
	3	2	3	2	2	2	2	2	0.1 μ F, 0201, X7R

备注

部分 AM13E230x MCU 封装具有多个 VREFHI 引脚。这些引脚在内部相连，不需要单独的电源网络。

模拟电压基准去耦必须遵循以下指南：

- 2.2 μ F 大容量电容器

- 0.1 μ F 电容器，尽可能靠近 MCU 上的每个 VREFHI 引脚放置
 - 所需 0.1 μ F 电容器的数量为器件上的 VREFHI 引脚数量 + 1
- 必须布置去耦网络，以尽可能减小 VREFHI 和 VREFLO 之间的环路和迹线长度
- 在大多数情况下，VREFLO 短接至 GND

ADC VREF

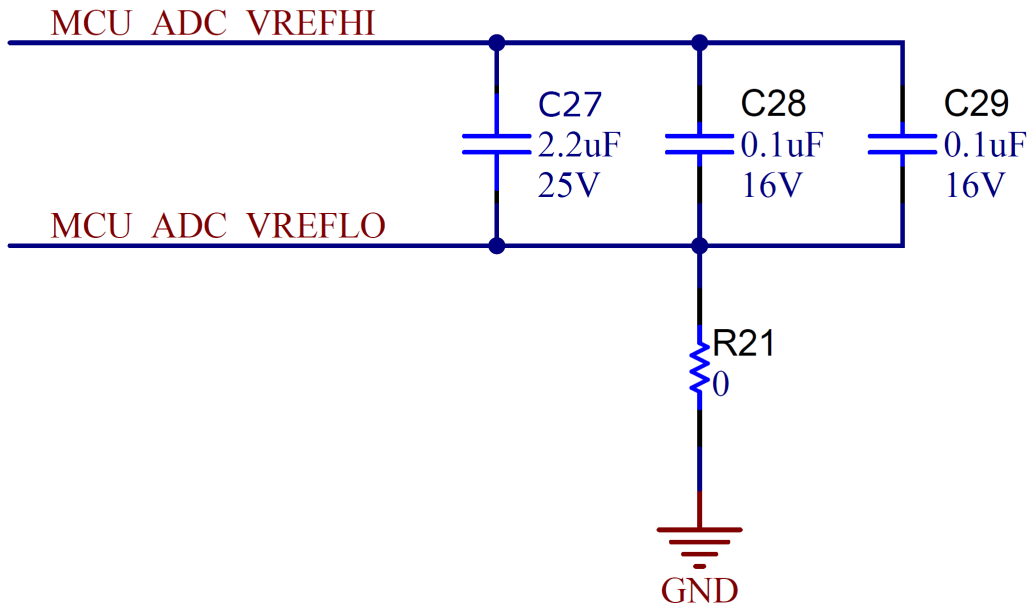


图 2-10. AM13E230x VREF 去耦原理图

以下图片展示了 AM13E230x LaunchPad 上 64 引脚 (PM) 封装的去耦位置和布线：

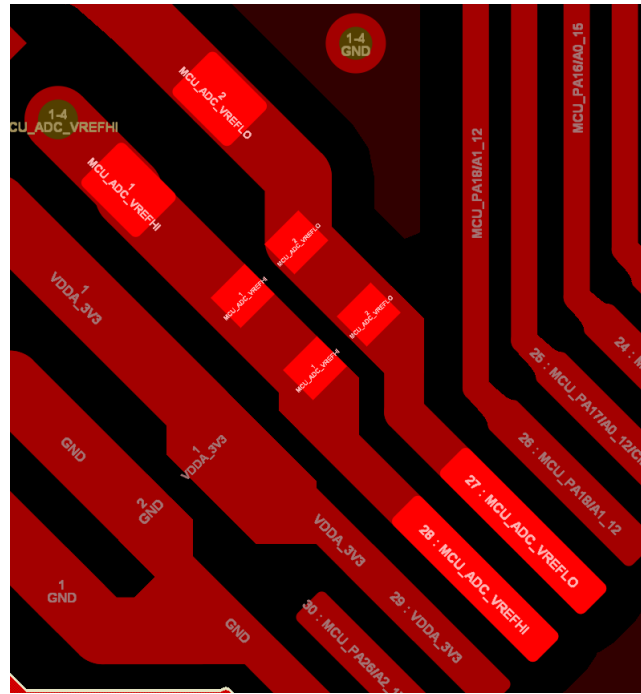


图 2-11. 模拟 VREF 去耦 — LP-AM13E230 顶层

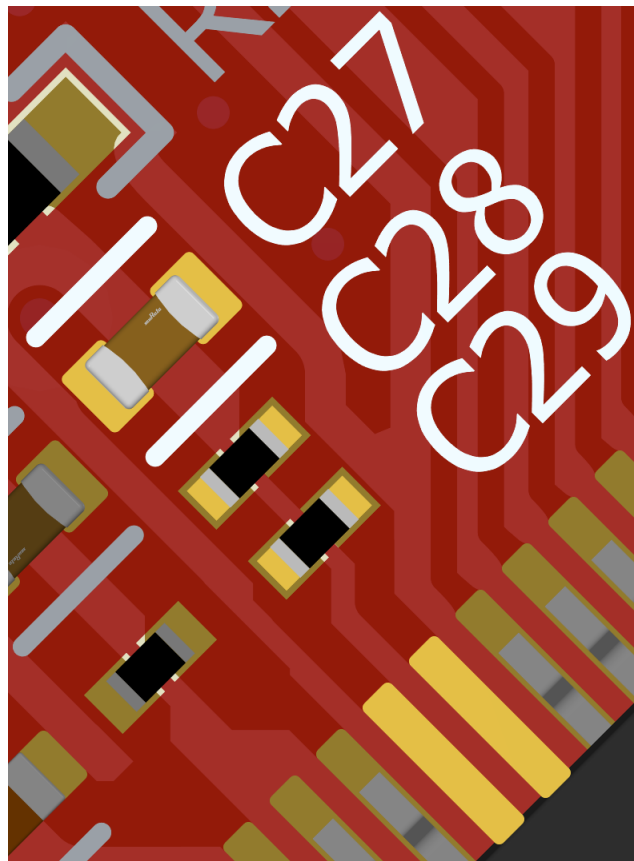


图 2-12. 模拟 VREF 去耦 — LP-AM13E230 3D 视图

2.6.4 VSS/VSSA

AM13E230x MCU 上的 VSS 和 VSSA 引脚应短接至 GND。建议将连接到内部 GND 层/平面的过孔尽可能靠近器件 VSS/VSSA 引脚放置。

2.6.5 功耗

下表中的估算值基于器件在 XX 器件温度下运行时的初始功率仿真。有关最新的表征峰值功率值，请参阅特定的器件数据表。

我们为 AM13E230x MCU 提供了基于用例的功率估算工具 (PET)。此工具可帮助根据特定外设利用率进一步限制峰值功率。该 PET 可从 AM13E230x 产品页面下载。

表 2-11. 功耗

器件电源网络	峰值电流 (mA)	电源说明
VDD	待定	3.3V 数字
VDDA	待定	3.3V 模拟

2.7 复位

有多个 AM13E230x MCU 引脚与不同类型的复位活动相关联。

有关器件复位的更多信息，请参阅《技术参考手册》中的 *复位和器件初始化* 一节。

2.7.1 nRST 引脚

nRST 引脚是触发完整器件复位的主要接口。设计 AM13E230x PCB 系统时，必须遵循以下设计指南：

- nRST 引脚必须为高电平才能在加电（冷启动）后成功启动器件，因为 nRST 引脚上没有内部上拉电阻
- 外部电路（连接至 VDD 的 10kΩ 上拉电阻或复位控制电路）必须主动将 nRST 拉至高电平才能使器件启动

在 AM13E230x EVM 上，只需使用 10kΩ 电阻器将 nRST 网络上拉至 3.3V 即可实现此目的。

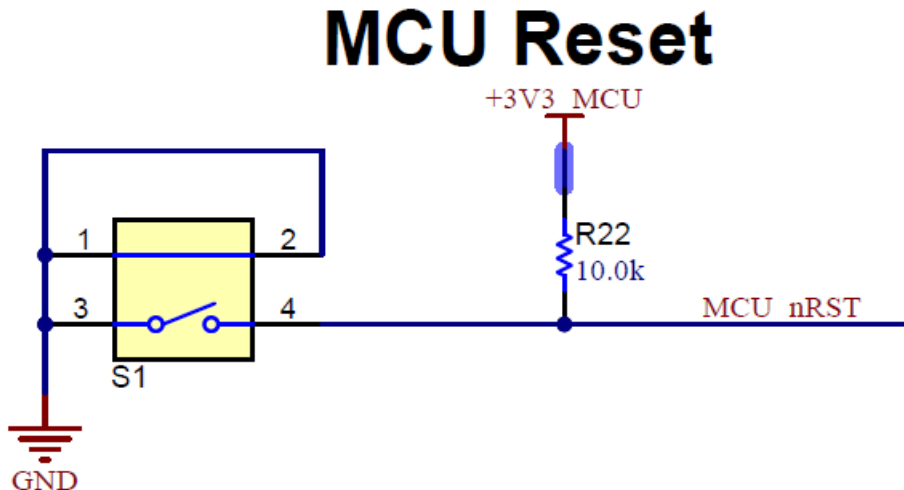


图 2-13. LP-AM13E230 nRST 电路

按下按钮 S1 时会将 nRST 线路拉至低电平，并根据将复位置为有效的时长触发不同类型的复位。

- 如果 nRST 上的低电平脉冲持续时间不到 1 秒，则会触发 BOOTRST
- 如果 nRST 上的低电平脉冲持续时间超过 1 秒，则会触发 POR

有关 BOOTRST 和 POR 的更多详细信息，请参阅《技术参考手册》中的 *复位级别* 一节。

2.7.2 BSL 调用引脚

AM13E230x 引导加载程序可通过软件应用程序调用或使用 GPIO 引脚通过硬件调用。默认情况下，器件引导 ROM 会配置引脚 PA6，以便通过硬件调用引导加载程序 (BSL)。如果使用此方法调用 BSL，在器件结束复位时需要使用 10kΩ 电阻器下拉该信号。要调用 BSL，需要将此信号驱动为高电平。

在 AM13E230x LaunchPad 上，此功能使用一个简单的按钮电路来实现：

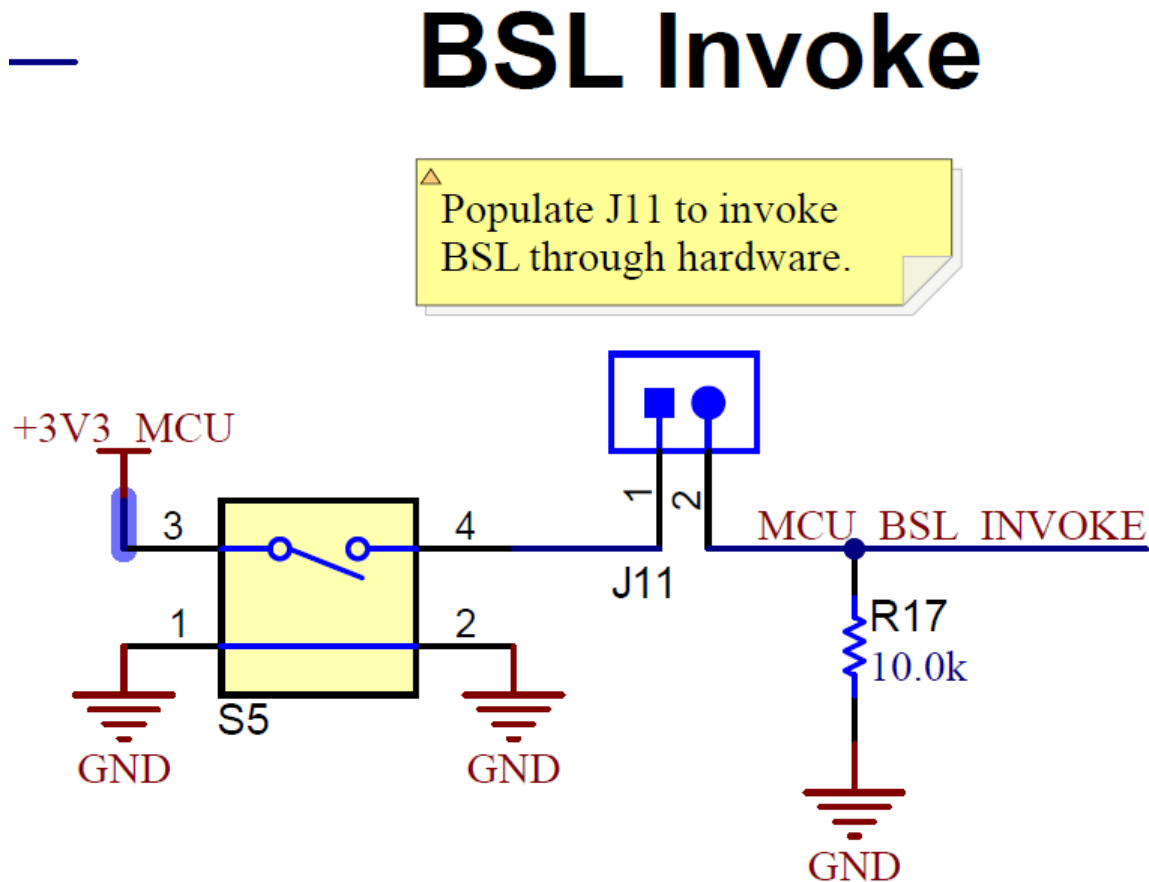


图 2-14. BSL 调用电路

2.7.3 从 LPM 引脚唤醒

要将 AM13E230x 器件从低功耗模式唤醒，可以从 GPIO 引脚输入信号的上升沿或下降沿触发。可用于此目的的 GPIO 引脚取决于器件退出和返回 RUN 模式的 LPM。

2.7.4 从 STOP/STANDBY 模式唤醒

可以使用任何 GPIO 引脚将 MCU 从 STOP 或 STANDBY 模式唤醒。MCU 的快速唤醒功能使 GPIO 模块能够保持低功耗状态，并在不需要高速时钟的情况下检测 GPIO 引脚上的中断事件。有关配置 GPIO 来从 STOP 或 STANDBY 模式快速唤醒的更多信息，请参阅《技术参考手册》中的 *GPIO 快速唤醒* 一节。

2.7.5 从 SHUTDOWN 模式唤醒

一组特定的 GPIO 引脚包括用于将器件从 SHUTDOWN 模式唤醒的额外唤醒逻辑。在 SHUTDOWN 模式下，会禁用器件的整个稳压内核电源，器件只能从这些可唤醒的 I/O 中唤醒。有关配置 SHUTDOWN 模式唤醒逻辑的更多信息，请参阅《技术参考手册》中的 *SHUTDOWN 模式唤醒逻辑* 一节。

在 AM13E230x MCU 上，以下 GPIO 能够将器件从 SHUTDOWN 模式唤醒：

表 2-12. 支持 SHUTDOWN 唤醒的 GPIO

唤醒引脚编号	GPIO 编号
WAKEUP0	GPIO0
WAKEUP1	GPIO45
WAKEUP2	GPIO70
WAKEUP3	GPIO2
WAKEUP4	GPIO37
WAKEUP5	GPIO33
WAKEUP6	GPIO50
WAKEUP7	GPIO51

有关特定封装的引脚分配，请参阅器件特定数据表。

2.7.6 AM13E230x 硬件平台示例

可配置唤醒 GPIO 来在上升沿或下降沿触发唤醒事件。在 AM13E230x EVM 上，为唤醒功能分配了以下 GPIO：

表 2-13. AM13E230x EVM 上的唤醒 GPIO

EVM	唤醒引脚编号	GPIO 编号	接口
AM13E230x LaunchPad	WAKEUP1	GPIO45	按钮 (低电平有效)
AM13E230x controlSOM	WAKEUP5	GPIO33	按钮 (低电平有效)
	WAKEUP2	GPIO70	高密度连接器 (可配置)

2.8 时钟

AM13E230x X1 和 X2 时钟输入引脚信号可来自连接的晶体振荡器或单端振荡器输出。该 MCU 也可以在没有外部时钟源的情况下运行，仅依靠内部振荡器来生成器件时钟。

2.8.1 内部振荡器

AM13E230x MCU 无需外部基准晶体或振荡器即可运行。在此模式下，内部系统振荡器 (SYSOSC) 为系统提供 32MHz 时钟源。

备注

如果设计中使用了具有特定时序要求 (如 MCAN) 的外设，则不建议采用此运行模式。在为器件提供时钟源时，使用外部振荡器可实现最高精度。

当 XTAL 运行模式设为“关闭”时，X1 和 X2 引脚不需要时钟输入，并可分别用作 GPIO80 和 GPIO81。有关使用 SYSOSC 为器件提供时钟的更多信息，请参阅《技术参考手册》中的 SYSOSC 一节。

2.8.2 外部晶体振荡器 (XTAL)

可使用外部晶体或谐振器为系统生成稳定的基准时钟。晶体或谐振器必须装在 X1 和 X2 器件引脚之间。X1 和 X2 引脚支持三种类型的外部源作为输入：

- 外部晶体应连接在 X1 和 X2 之间，其负载电容器连接至 GND (10-25MHz)
- X1 和 X2 之间连接的外部谐振器 (10-25MHz)
- 连接到 X1 的单端 3.3V 外部时钟或晶体 (4-48MHz)。X2 也可用作 GPIO

AM13E230x EVM 利用外部 25MHz 晶体，这是为器件提供时钟的建议方法，可全速启用所有功能。连接至 GND 的负载电容器必须放置在晶体和 MCU 之间的 X1 和 X2 网络上。负载电容器的大小必须根据所用晶体的规格而定。X1 和 X2 网络上可能需要阻尼电阻器，以抑制不必要的振荡并保护晶体免受过大驱动电流的影响。

AM13E230x EVM 的默认参考时钟模式为晶体模式。LaunchPad 和 controlSOM 均使用一个连接到 AM13E230x 器件 X1 和 X2 引脚的 25MHz 晶体振荡器 (ECS-250-12-30-GM)，从而为器件提供时钟。18pF 负载电容器和 0Ω 阻尼电阻器构成 EVM 上的完整晶体电路。

以下来自 AM13E230x EVM 的示例展示了正确的晶体电路布线。

- XTAL_IN 路由到 X1 引脚 (GPIO80)
- XTAL_OUT 路由到 X2 引脚 (GPIO81)

25MHz CRYSTAL

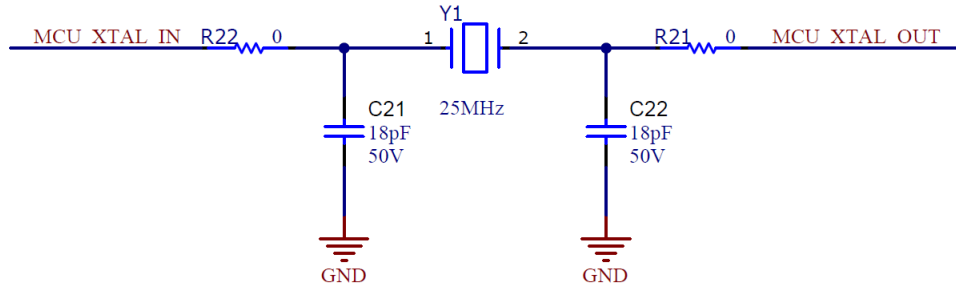


图 2-15. AM13E230x XTAL 电路

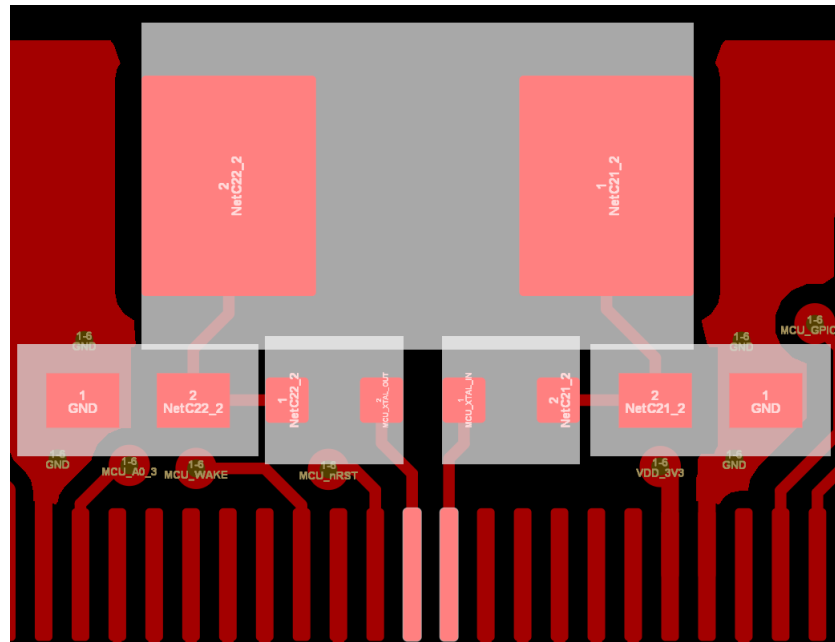


图 2-16. AM13E230x controlSOM 晶体电路 — 顶层

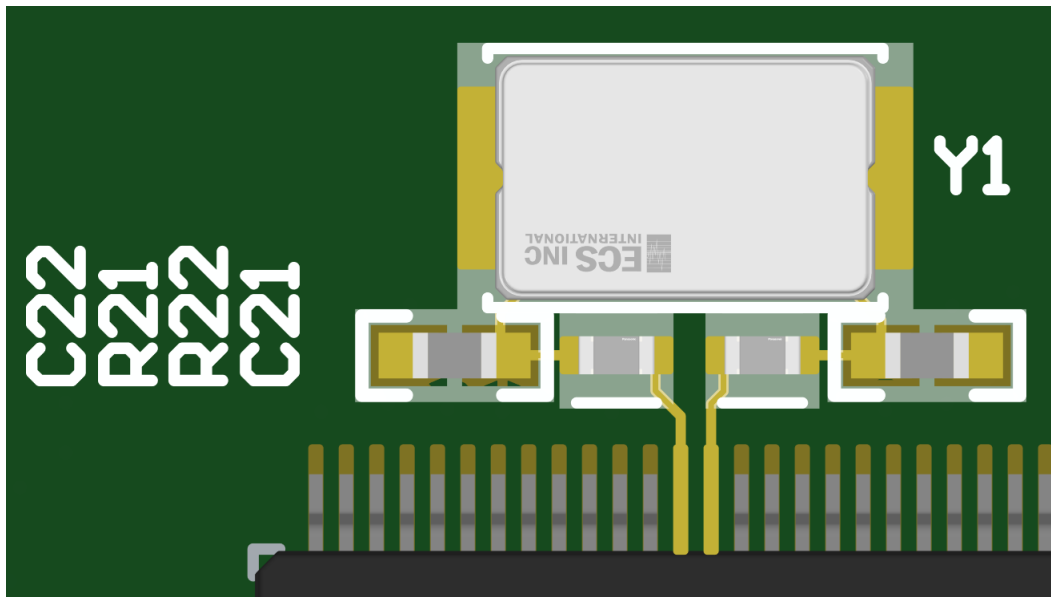


图 2-17. AM13E230x controlSOM 晶体电路 — 3D 视图

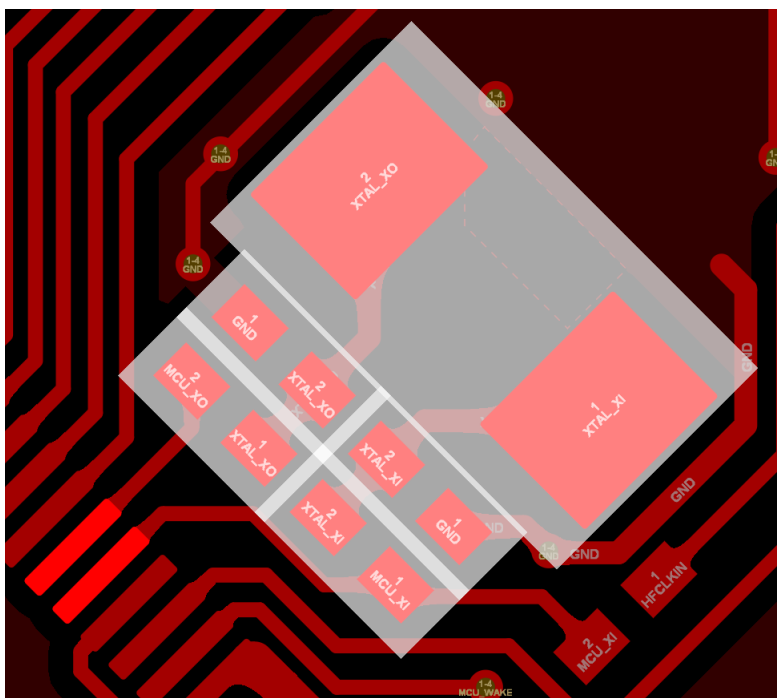


图 2-18. AM13E230x LaunchPad 晶体电路 — 顶层

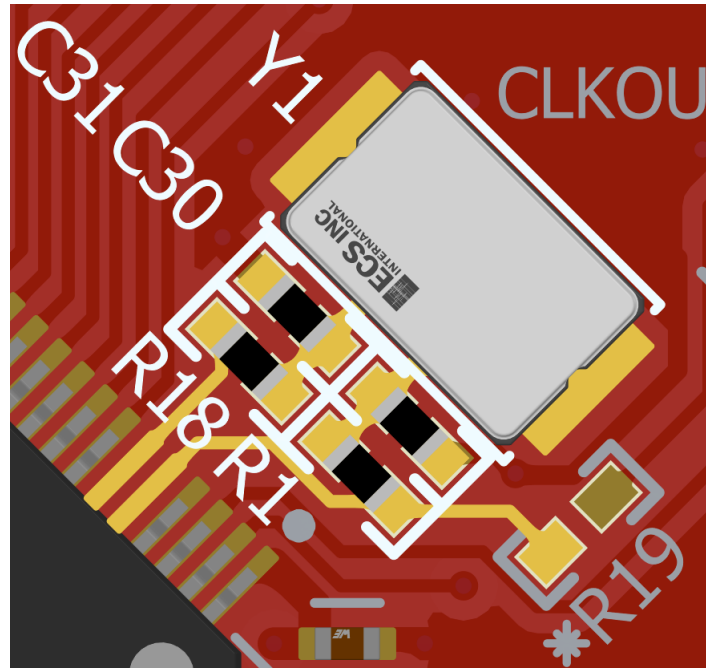


图 2-19. AM13E230x LaunchPad 晶体电路 — 3D 视图

下表详细介绍了使用晶体振荡器时的 PCB 布线指南。

表 2-14. 晶体布线指南

类别	指南
放置	<ul style="list-style-type: none"> 将晶体尽可能靠近 X1/X2 引脚放置 调整晶体的方向，使到 MCU 的迹线最短且最笔直 保持晶体远离高速信号、电源和噪声数字信号 与 MCU 位于同一层
迹线	<ul style="list-style-type: none"> 保持迹线尽可能短（最好小于 10mm） 到两个晶体引脚的迹线长度应相等 使用更宽的迹线以减小阻抗 避免 90° 角，使用 45° 在单层上布线
接地	<ul style="list-style-type: none"> 在晶体电路周围设置 GND，并通过多个过孔连接到电路下方的 GND 平面
负载电容器	<ul style="list-style-type: none"> 将负载电容器尽可能靠近晶体放置 使用短迹线将负载电容器直接连接到实心 GND 平面
隔离	<ul style="list-style-type: none"> 请勿将其他信号迹线直接布置在晶体区域下方 请勿使数字信号布线平行于晶体迹线

2.8.3 数字时钟输入

可以使用 4-48MHz 数字时钟信号作为高频时钟源，作为晶体振荡器的替代方案。必须配置 AM13E230x IOMUX 以在相应器件引脚上启用 HFCLK_IN 功能。有关配置器件来使用 HFCLK_IN 功能的更多信息，请参阅《技术参考手册》中的 *HFCLK_IN (数字时钟)* 一节。

HFCLK_IN 与数字方波 CMOS 时钟输入兼容，典型占空比应为 50%。AM13E230x LaunchPad 包含一个外部接头，用于连接数字时钟发生器来评估 MCU 的这一特性。

备注

HFCLK_IN 和 XTAL 是互斥的，不得同时启用。

2.8.4 输出时钟生成

AM13E230x MCU 有一个时钟输出单元 (CLK_OUT)，用于将数字时钟信号从器件发送到外部电路，或发送到器件的频率时钟计数器 (FCC)。有关 FCC 的更多信息，请参阅《技术参考手册》中的 *频率时钟计数器* 一节。

配置来支持 CLK_OUT 功能的器件引脚具有一组灵活的时钟源可供选择，并包含一个可编程分频器。有关 CLK_OUT 的时钟源的完整列表，请参阅《技术参考手册》中的 *外部时钟输出 (CLK_OUT)* 一节。

AM13E230x LaunchPad 包含一个外部接头，用于连接示波器并测量输出时钟信号。

2.9 调试和仿真

AM13E230x 调试接口必须连接到外部接头，用于将外部调试探针连接到器件内核，对器件进行编程以及在平台启动时检查器件运行状况。

AM13E230x MCU 支持多种 JTAG 和串行线调试仿真器。为方便开箱即用，AM13E230x LaunchPad 设计实现了板载 XDS110 仿真器，其 JTAG 接口和辅助 UART-USB 桥接功能通过 TI MSP432 MCU 来实现。该 XDS110 仿真方案使用 XDS110ISO-EVM 调试探针与 AM13E230x controlSOM 相连接。然而，对于定制的应用特定 PCB 系统，应该实现更简洁的 JTAG、SW-DP 或跟踪调试接口，以便在进一步减少 PCB 占板面积和额外板载布线的同时进行快速原型开发和系统编程。这允许在开发过程中根据需要将外部调试探针连接到系统。

2.9.1 调试接口

2.9.1.1 JTAG 和 SW-DP

JTAG 和串行线调试端口 (SW-DP) 是 JTAG-DP 和 SW-DP 的组合件，可直接与 SWD 或 JTAG 探针连接，进而连接到器件内核。该接口也称为 SWJ-DP，需要从 AM13E230x MCU 引出四个引脚：

- TDO (仅限 JTAG 模式)
- TDI (仅限 JTAG 模式)
- TMS/SWDIO (SWDIO 用于 SWD 模式，TMS 用于 JTAG 模式)
- TCK/SWCLK (SWCLK 用于 SWD 模式，TCK 用于 JTAG 模式)

有关完整的 JTAG 信号定义，请参阅《技术参考手册》中的 *JTAG 调试端口 (JTAG-DP)* 一节。

有关完整的 SW-DP 信号定义，请参阅《技术参考手册》中的 *串行线调试 (SWD) 调试端口 (SW-DP)* 一节。

器件上电 (冷启动) 后，以下引脚配置为 JTAG/SWD 模式以允许建立调试连接。

表 2-15. JTAG/SWD 信号引脚

JTAG/SWD 信号	GPIO 引脚编号	上拉/下拉
TDI	GPIO14	PU
TDO/SWD	GPIO15	PU
TMS/SWDIO	GPIO19	PU
TCK/SWCLK	GPIO13	PD

TI 建议使用 [ARM Cortex 10 引脚调试连接器](#) 将外部调试探针与 AM13E230x MCU 相连。此连接器兼容大多数业界通用调试探针，并同时支持 JTAG 和串行线模式。有关连接器器件型号的信息，请参阅 [ARM 连接器文档](#)。

AM13E230x LaunchPad 包含此接头 (FTSH-105-01-L-DV-K) 用于连接外部调试探针。

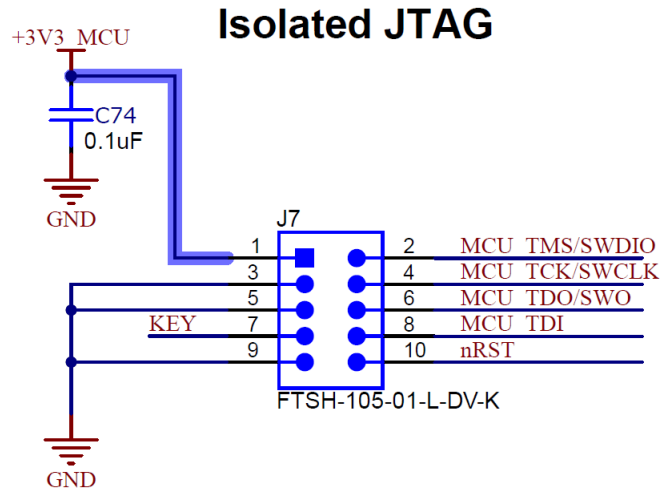


图 2-20. LP-AM13E230 调试接头

放置 JTAG 接头时，接头与 MCU 间的距离不应超过 6 英寸。如果 MCU 目标与 JTAG 接头的距离超过 6 英寸或 JTAG 链上存在其他器件，则应缓冲每个 JTAG 信号。

2.9.1.2 迹线

AM13E230x MCU 的 128 引脚、100G 引脚和 100H 引脚封装支持 4 位跟踪。器件端嵌入式跟踪宏单元 (ETM) 可利用 64 位周期精确时间戳计数器来流式传输完整指令程序计数器跟踪数据。有关启用 ETM 的更多详细信息，请参阅《技术参考手册》中的 *外部跟踪 (ETM)* 一节。

TI 建议使用 [ARM Cortex 20 引脚调试 + ETM 连接器](#) 与 ETM 信号建立连接。此连接器还支持在单独的引脚上使用 JTAG 和 SW-DP 接口。有关器件型号信息，请参阅 [ARM 连接器文档](#)。

AM13E230x controlSOM 提供了此接头 (FTSH-110-01-L-DV-K) 用于连接外部探针。

ARM 20-PIN DEBUG HEADER

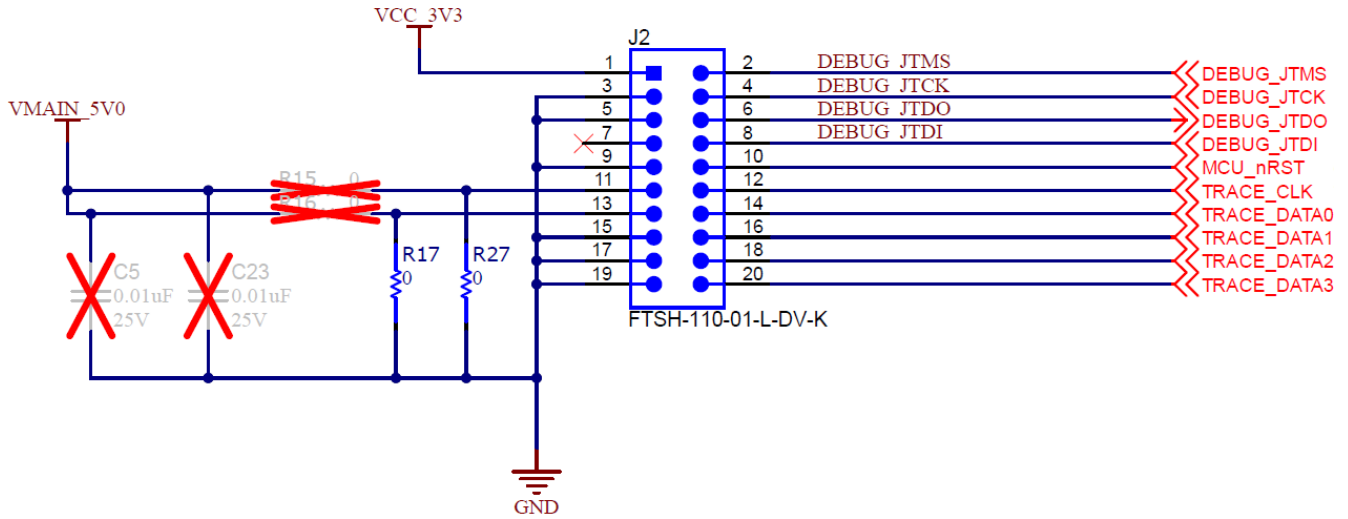


图 2-21. AM13E230x controlSOM 调试接头

2.9.2 调试探针

AM13E230x MCU 支持多种 TI 和业界通用的调试探针和集成开发环境 (IDE)。建议使用以下调试器和 IDE：

表 2-16. 支持的调试器和 IDE

调试探针	说明	支持的 IDE
TI XDS110	首选的 TI 入门级低成本调试探针。	CCS, IAR
IAR I-JET	通过 JTAG 和 SWD/SWO 运行的快速调试平台。它能以高精度测量目标功耗，支持在 IAR Embedded Workbench 中进行功率调试。	IAR
KEIL ULINK	用于 Cortex-M 器件的调试器。可以在处理器全速运行时控制处理器、设置断点和读/写存储器内容。	Keil

2.10 引导接口

可以通过以下外设接口将 AM13E230x 引导加载程序编程到该器件中：

- UART
- I2C
- MCAN

有关 AM13E230x 引导加载程序的更多信息，请参阅 *AM13E230 引导加载程序用户指南*。

2.10.1 UART 引导加载程序

在 AM13E230x 器件上，UART 由器件 ROM 代码配置为以下默认配置：

表 2-17. 默认 UART 引脚

UART 信号	器件信号名称	引脚名称	GPIO 编号	多路复用模式
UART RX	UC4_RX_SCL_SCLK	PA1	GPIO1	7
UART TX	UC4_TX_SDA_PICO	PA0	GPIO0	7

- 波特率：9,600

在接头上提供这些信号有助于调试原型系统，并确保器件在上电时正确启动。由于这些原因，强烈建议支持在 PCB 系统上访问该 UART 接口。

2.10.2 I2C 引导加载程序

可通过器件 ROM 代码配置以下 I2C 引脚，以对引导加载程序进行编程：

表 2-18. I2C 引脚

I2C 信号	器件信号名称	引脚名称	GPIO 编号	多路复用模式
I2C SCL	UC2_RX_SCL	PA23	GPIO23	4
I2C SDA	UC2_TX_SDA	PA22	GPIO22	4

由于 I2C 的漏极开路性质，必须使用 4.7k Ω 电阻器将 SCL 和 SDA 引脚上拉至 VDD。

2.10.3 MCAN 引导加载程序

可通过器件 ROM 代码配置以下 MCAN 引脚，以对引导加载程序进行编程：

表 2-19. MCAN 引脚

MCAN 信号	器件信号名称	引脚名称	GPIO 编号	多路复用模式
MCAN RX	MCAN0_RX	PA11	GPIO11	10
MCAN TX	MCAN0_TX	PA12	GPIO12	10

有关 MCAN 硬件设计要求的详细信息，请参阅本文档的 MCAN 一节。

2.11 未使用的引脚

通常，应用程序和系统不会用完 AM13E230x 器件的所有封装引脚。对于未使用的引脚，请参阅器件特定数据表的“引脚连接要求”一节中概述的明确要求。

3 PCB 布局设计

创建系统原理图并验证其是否正确设计且符合所有工程规格后，下一步是在首选 PCB 设计软件中创建 PCB 布局。TI 评估模块使用 Altium Designer 进行设计。TI EVM 设计的各要素可以重复使用，因为这些设计是经过充分验证的 AM13E230x MCU 系统示例。

3.1 布局设计概述

必须遵循正确的布局规范，以确保 PCB 系统功能正常且可靠。电路板的所有方面（包括物理尺寸、PCB 限制和关键元件）都应该得到全面考虑。虽然系统的原理图设计部分可能表明信号连接正确，但电路的物理表现必须遵循以下各节中概述的指南和建议。

3.1.1 建议的布局实践

AM13E230x 实时控制系统通常包括低电平模拟电路、高速数字电路和高功率（开关）电路。建议在 PCB 上将这些不同类型的信号分隔到不同区域。模拟信号对其他两种类型的信号最为敏感，因为高电流路径和高频信号可能对模拟信号造成破坏。

因此，设计 MCU 引脚排列时务必要小心，这也是强烈建议在为信号分配 MCU 引脚时使用 SysConfig 工具的原因。将这些类型的信号在 MCU 引脚排列级别进行分组，不仅可以简化和优化信号布线，还有助于保证不同信号类型在从 MCU 封装扇出后将得到分离。

3.1.2 电路板尺寸

PCB 尺寸在很大程度上取决于系统和终端设备应用。PCB 可以是小型电路板（如由一些器件组成的 AM13E230x controlSOM EVM），也可以是大型电路板（如具有额外板载 IC 和元件的 AM13E230x LaunchPad EVM）。尽可能分配足够大的 PCB 面积，以简化设计过程并帮助进行布线/分离信号。如果信号层上的信号无法充分分离，可以添加额外的 PCB 层以确保适当隔离。

3.1.3 层堆叠

从电气设计和实际的角度来看，在规划 PCB 层堆叠时有几个考虑因素。连接数量、信号布线类型、顶层/底层元件利用率应是首要考虑因素，而 PCB 制造成本通常是确定层数的关键因素。

3.1.3.1 4 层堆叠

AM13E230x MCU 提供六种封装尺寸，所有尺寸都可以在 4 层 PCB 上合理布线。这一层数使设计人员能够在内层包含一个实心接地层和分割的电源平面，同时利用顶层和底层进行信号布线。

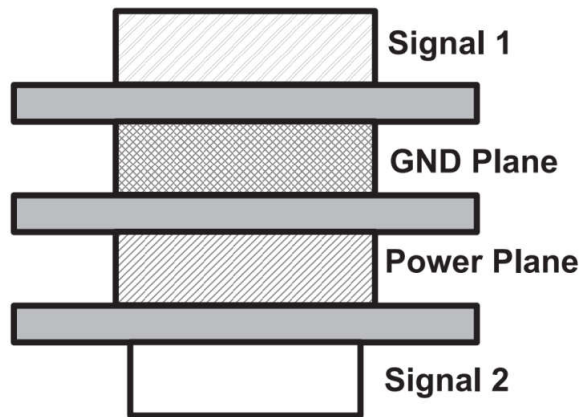


图 3-1. 4 层 PCB 堆叠

表 3-1. 4 层 PCB 堆叠

层	利用率
覆铜 1 (顶部)	顶层安装和信号布线
覆铜 2	GND 回路平面

表 3-1. 4 层 PCB 堆叠 (续)

层	利用率
覆铜 3	电源布线
覆铜 4 (底部)	底层安装和信号布线

AM13E230x LaunchPad 堆叠代表了这一 MCU 器件系列目前经过 TI 验证的最优化堆叠示例。

表 3-2. EVM 堆叠特性

PCB 特性	64 引脚 QFP (LaunchPad)
总层数	4
PCB 厚度	62mil +/-10%
信号/电源层具有相邻的 GND 基准	是
内核中心层厚度	40mil

AM13E230x LaunchPad 在每个 PCB 层上布置以下元件：

#	Name	Material	Type	Weight	Thickness	Dk
	Top Overlay		Overlay			
	Top Solder	Solder Resist	Solder Mask		0.01016mm	3.5
1	Top Signal		Signal	1oz	0.03556mm	
	Dielectric 1	FR-4	Prepreg		0.2032mm	4.2
2	GND		Signal	1oz	0.03556mm	
	Dielectric 2	FR-4	Core		1.016mm	4.2
3	PWR		Signal	1oz	0.03556mm	
	Dielectric 3	FR-4	Prepreg		0.2032mm	4.2
4	Bottom Signal		Signal	1oz	0.03556mm	
	Bottom Solder	Solder Resist	Solder Mask		0.01016mm	3.5
	Bottom Overlay		Overlay			

图 3-2. 4 层 AM13E230x PCB 系统堆叠

3.1.3.2.6 层堆叠

如果要使用所有器件 I/O，则使用 128 引脚 QFP (例如 AM13E230x controlSOM EVM) 的设计可能需要 6 层 PCB。

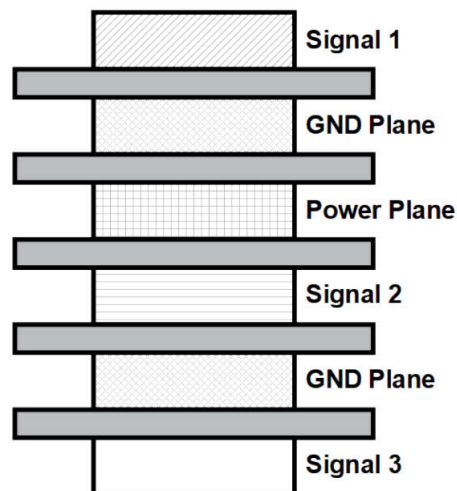


图 3-3. 6 层 PCB 堆叠

表 3-3. 6 层 PCB 堆叠

层	利用率
覆铜 1 (顶部)	顶层安装和信号布线
覆铜 2	GND 回路平面
覆铜 3	模拟信号布线
覆铜 4	电源布线
覆铜 5	GND 回路平面
覆铜 6 (底部)	底层安装和信号布线

AM13E230x controlSOM 具有 6 层。由于器件上的引脚较多，因此增加了内部信号布线层，以便将敏感模拟信号与第 1 层和第 6 层上的数字信号布线隔离开。事实证明这么做可提升所布线外设的模拟性能。

表 3-4. EVM 堆叠特性

PCB 特性	128 引脚 QFP (controlSOM)
总层数	6
PCB 厚度	62mil +/-10%
信号/电源层具有相邻的 GND 基准	是
内核中心层厚度	28mil

AM13E230x controlSOM 在每个 PCB 层上布置以下元件：

#	Name	Material	Type	Weight	Thickness	Dk
	Top Overlay		Overlay			
	Top Solder	Solder Resist	Solder Mask		1mil	3.5
1	L01_Top Layer		Signal	1oz	2.087mil	
	Dielectric 1	IT180A Prepreg 2113...	Prepreg		3.511mil	4.13
2	L02_GND1		Signal	1oz	1.26mil	
	Dielectric 2	IT180A 4 mil core H/1	Prepreg		4mil	4.4
3	L03_SIG1		Signal	1oz	0.689mil	
	Dielectric 3	IT180A Prepreg 106...	Prepreg		1.909mil	3.79
	Dielectric 4	IT180A Prepreg 1080...	Prepreg		2.904mil	3.86
	Dielectric 5	IT180A 28 mil core H...	Prepreg		28mil	4.53
	Dielectric 6	IT180A Prepreg 1080...	Prepreg		2.904mil	3.86
	Dielectric 7	IT180A Prepreg 106...	Prepreg		1.909mil	3.79
4	L04_PWR1		Signal	1oz	0.689mil	
	Dielectric 8	IT180A 4 mil core H/1	Prepreg		4mil	4.4
5	L05_GND2		Signal	1oz	1.26mil	
	Dielectric 9	IT180A Prepreg 2113...	Prepreg		3.511mil	4.13
6	L06_Bottom Layer		Signal	1oz	2.087mil	
	Bottom Solder	Solder Resist	Solder Mask		1mil	3.5
	Bottom Overlay		Overlay			

图 3-4. 6 层 AM13E230x PCB 系统堆叠

3.2 过孔

AM13E230x EVM 展示了器件扇出和电路板整体布线的过孔结构的不同示例。EVM 使用电镀穿孔 (PTH) 过孔结构。

表 3-5. AM13E230x EVM 过孔类型

EVM	过孔类型	直径 (mil)	过孔钻孔 (mil)	其他
AM13E230x LaunchPad	PTH	18	10	包覆

表 3-5. AM13E230x EVM 过孔类型 (续)

EVM	过孔类型	直径 (mil)	过孔钻孔 (mil)	其他
AM13E230x controlSOM	PTH	18	8	包覆

一般而言，成本敏感的项目应使用更大的过孔钻孔尺寸。

3.3 建议的电路板布局布线

为了确保电路板上布置的信号不会出现任何串扰或性能下降，一种不错的做法是对电路板进行分区，类似于 <图> 中所示。如 <节> 所述，PCB 上的三种信号（数字、模拟和高电流）都应相互分离。

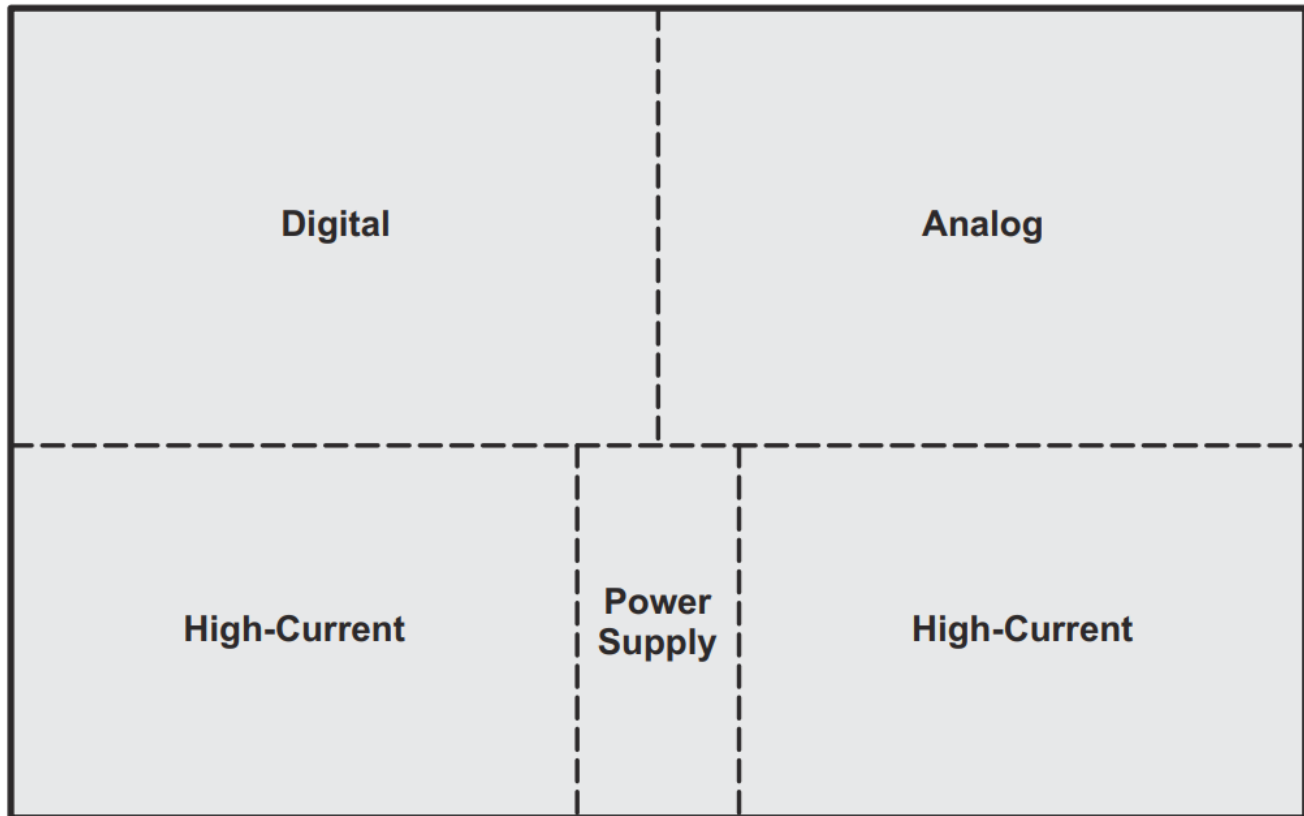


图 3-5. 理想的 PCB 分区

3.4 放置元件

设置 PCB 布局图后，第一步（也是最重要的一步）是确定 AM13E230x MCU 的位置。封装方向应可优化布线，并确保 MCU 与外部连接之间的迹线可以保持短而直。如果方便，可以将 MCU 器件以 45 度角放置（例如 AM13E230x LaunchPad 上的放置方式），以使器件引脚与信号迹线连接对齐。

设置 MCU 器件后，要放置的下一个最关键元件是晶体/振荡器。有关实现的完整详细信息及示例，请参阅本文档的 [节 2.8](#) 一节。

接下来，应放置器件电源引脚的去耦电容器。这些电容器必须尽可能靠近各自的引脚放置，以降低噪声并确保器件电源网络的稳定性。距离电源引脚超过一英寸的去耦电容器性能较差。不过，大容量电容器可放置在离 MCU 相对较远的位置，而不会对其性能产生重大影响。有关实现的完整详细信息及示例，请参阅本文档的 [节 2.6.2](#) 一节。

在电源轨去耦之后，应放置和布线调试接头/电路和复位逻辑。

3.5 接地平面

PCB 上的铜平面是出色的高频电容器，可与建议的电容器一起用于高频旁路。实心平面的另一个好处是它们可以充当良好的散热器，以降低过高的热水平。如果电路板有足够多的层，那么一个良好的做法是在 PCB 上布置一个接地平面。该接地平面不仅有助于在电路板上路由接地信号，还有助于降低接地噪声。电路板上的每个信号都有一个返回电流（通过 GND），这可以确保返回路径通过阻抗最小的路径。对于在不同层上具有多个接地平面的电路板，采用过孔拼接来连接这些接地平面并进一步更大限度地降低阻抗非常有用。

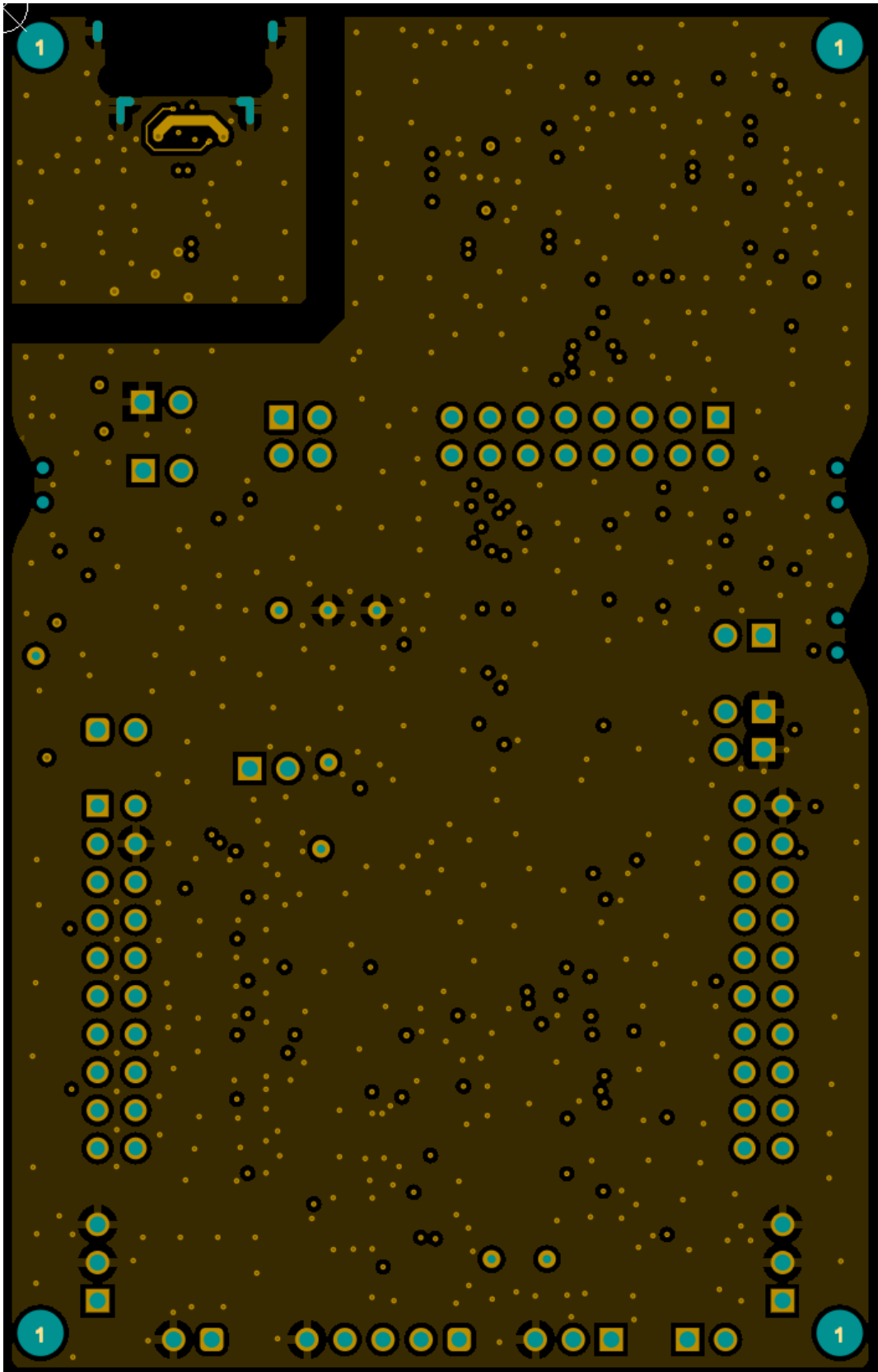


图 3-6. AM13E230x LaunchPad 上的 GND 平面

实现有效接地平面的关键在于，确保该平面完好无损且在电路板的整个层上具有良好的连接。过孔和布线等板载连接会切碎接地层并降低其有效性。过孔会在电路板的多个层中形成一个孔，而布线会切断接地平面不同部分之间的连接。在下面的左图中，请注意 RGND 过孔只有一个到接地平面的连接，并且周围的接地孔连接非常细。此外，在图 4-8 中，请注意孔的左上角仅通过一条很细的铜片连接到覆铜的左下角。这两个图都展示了不良的接地平面。为确保接地平面的连接线粗或接地覆铜没有严重切碎，重新排列过孔和布线会很有帮助。

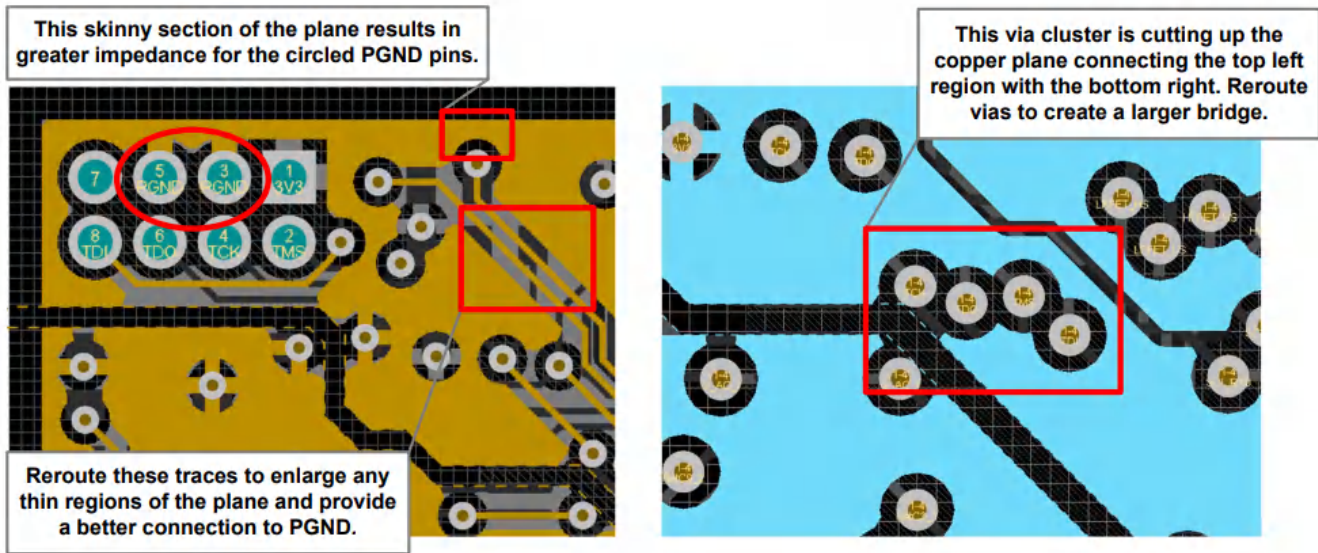


图 3-7. 切开的 GND 平面示例

为某个层应用接地平面时，应检查该平面是否整层具有良好的连接。应重新设计缺少平面或连接线细的区域，从而更大限度增加接地平面面积。通常，这可以通过减少过孔数量和将多组布线彼此靠近布置来实现。在某些情况下，修改引脚复用选项和原理图对改进布线可能会有所帮助。有时，在布局布线过程开始之前，这些好处可能并不明显，但优化引脚复用可以缩短布线长度并减少过孔使用，从而实现更好的接地平面。

3.6 信号布线迹线

获取自 [C2K 指南](#)。

3.7 散热注意事项

超出 AM13E230x 数据表建议的最大功率耗散的系统 and 最终产品可能需要在 PCB 设计中加入额外的散热功能。主要的散热考虑因素是器件结温 (T_J)。应仔细测试此规格，使其保持在器件数据表中规定的绝对和建议限制范围内。这可确保器件在其整个生命周期内可靠且正常运行。另一个同样重要的考虑因素是系统的环境温度 (T_A)，不过这取决于最终应用环境和产品设计。

为了在整个 PCB 系统设计中更大限度地减小 T_J，电路板到环境热阻 (θ_{BA}) 必须尽可能小。器件接地引脚和电源引脚是主要散热源。因此，如果器件具有散热焊盘引脚（仅限 48 引脚 QFN 封装），请确保其连接到 PCB 上的大面积覆铜区。对于所有其他 AM13E230 QFP 封装类型，请确保所有 GND 和电源焊盘与实心平面具有良好的连接，并且这些网络上的任何过孔都保持靠近 AM13E230x 器件。

4 EOS、EMI/EMC、ESD 注意事项

与任何电气系统一样，务必考虑外部电磁因素的可能影响，并采取措施限制和减轻任何影响。如果不够谨慎，可能会导致性能欠佳，可靠性降低，以及潜在的元件损坏。

4.1 电过应力

AM13E230x 数据表提供了有关器件正常可靠运行的建议和最大条件的大量详细信息。以下几点详细说明了在使用 AM13E230x 器件时需要注意的最重要事项：

- GPIO 输入电压不能大于 $VDD+0.3V$ 或小于 $VSS-0.3V$
- 模拟输入电压不能大于 $VDDA+0.3V$ 或小于 $VSSA-0.3V$
- 对于所有数字和模拟输入引脚，输入钳位电流不应高于 $20mA$ 或低于 $-20mA$ 。
- 每个引脚的连续钳位电流为 $\pm 2mA$ 。但是，请勿在此条件下连续工作，因为 $VDD/VDDA$ 电压可能会在内部上升并影响其他电气规格。
- 在 AM13E230x 器件上电并启动之前可能被加电的任何信号/IO 都应该受到电流限制和保护，这样这些信号才不会超过数据表中列出的规格。
- 为了消除器件损坏的风险，可能需要使用 $3.3V$ 供电的运算放大器、控向二极管或串联电阻或这三者的任意组合。

4.2 EMI 和 EMC

电磁兼容性 (EMC) 描述了电子元件在其他系统的干扰下正常工作的能力。最重要的考虑因素的是电磁干扰 (EMI)，即 MCU 器件和其他附近器件发出的射频能量。这种干扰会传播到整个系统，并通过传导和辐射来影响器件。

在更大限度地降低 EMC 风险方面，减少 EMI 对系统本身的影响应该是首要考虑因素，但确保系统在辐射和传导中发出的 EMI 不超过当地法规标准允许的最大值同样重要。最好将辐射和传导 EMI 降至远低于认证限值的水平，以避免因这个易于规避的设计环节导致项目延期。同样，PCB 系统的设计应具有足够的屏蔽能力，从而即使在接触周围其他系统的辐射和传导 EMI 能量时也能正常工作。

系统中的大多数元件（包括 PCB、连接器、电缆等）都是 EMI 的来源。使用高频以及快速开关电流和电压的 PCB 系统需要特别注意，因为所有信号迹线都充当着辐射电磁能量的天线。

设计人员应注意尽可能减少的五个主要辐射源包括：

1. 在 PCB 迹线上传播的数字信号
2. 电流回路面积
3. 电源滤波或去耦不足
4. 传输线路效应
5. 缺少电源平面和接地平面

电源是 EMI 的另一个主要贡献因素，尤其是在开关电源或使用 MCU 器件的 PWM 信号输出进行开关时。务必遵循产品数据表中每个电源的建议布局。

为了减少 PCB 系统及其元件产生的有害 EMI，应在整个原理图和 PCB 布局设计过程中遵循以下指南：

- 在 IC 器件的所有电源输入端使用去耦电容器。遵循每个 IC 数据表中规定的建议电容值。请注意，每个电容器都有一个自谐振频率。
- 在电源上使用合乎需要的滤波电容器。这些电容器应具有低等效串联电感 (ESL)。
- 在 PCB 布线层的可用空间中创建接地平面。使用过孔将这些接地多边形连接到主要内部接地平面。最好在 PCB 上创建 $1/4$ 英寸的过孔栅格。
- 使电流环路尽可能小。尽可能多地添加所需的去耦电容器。始终应用电流返回规则来减少环路面积。
- 使高速信号远离其他信号，尤其是远离输入和输出端口或连接器。
- 应用电流返回规则将接地连接在一起，同时隔离模拟部分的接地平面。如果工程不使用 ADC 且没有模拟电路，请勿隔离地。
- 避免使用铁氧体磁珠连接分割的地。在高频率下，铁氧体磁珠具有高阻抗并在平面或 PC 板叠层之间产生较大的接地电位差，因此应添加尽可能多的电源平面和接地平面。使电源平面和接地平面彼此相邻，确保实现阻抗低或固有电容大的叠层。

- 对所有进出系统的信号使用抑制 EMI 的 π 型滤波器。
- 如果系统未通过 EMI 测试，则通过追踪未通过的频率源来寻找原因。例如，假设设计在 300MHz 时失败，但电路板上没有任何元件以该频率运行。则原因可能是 100MHz 信号产生了三次谐波。
- 确定未通过的频率是共模还是差模。拆下连接到系统的所有电缆。如果辐射发生变化，则为共模。如果未发生变化，则为差模。找到原因后，使用端接或去耦技术来降低辐射。如果是共模，则向输入和输出添加 π 型滤波器。在电缆上添加共模扼流圈是一种有效的解决方案，但这种降低 EMI 的方法具有很高的成本。

4.3 静电放电

电荷的积累可能会导致器件在运行时发生静电放电 (ESD)。在处理和存储这些微控制器时应小心谨慎。所有 AM13E230x 器件均经过测试，符合 TI 标准 ESD 规格，包括外设和端口引脚。它们额定可承受以下 ESD 测试：

- 人体放电模型 (HBM)，+/-2,000V
- 充电器件模型 (CDM)，+/-500V
 - 对于所有器件封装上的转角引脚，CDM 值为 +/-750V

电源电压干扰或 ESD 会使器件处于未知状态。因此，务必采用良好的 PCB 布局，以实现出色的噪声和 ESD 性能。类似的 ESD 保护二极管也可用于 JTAG 引脚。使关键迹线（在本例中为 JTAG、nRST、X1、X2）的环路面积尽可能小。如果您的设计需要将任何引脚（如 GPIO）连接到连接器（用于外部连接），请务必通过添加 ESD 保护器件来十分谨慎地解决 ESD 问题。某些系统可能需要采用机械解决方法（例如金属屏蔽、重新布线等）来实现 ESD 保护。使用这些外部 ESD 保护器件时，请务必严格遵循器件特定数据表中指定的布局指南，从而充分提高其有效性。

5 摘要和检查清单

为了在设计采用 AM13E230x MCU 的 PCB 系统时获得最佳性能，应根据本文中概述的规范对这些系统进行仔细设计和测试。为了简化原理图设计过程，TI 提供了一个检查清单电子表格，其中概述了使用 AM13E230x 系列实时控制 MCU 进行设计的最重要要求。可以联系您当地的 TI 现场销售代表获取该检查清单。

6 参考资料

- [AM13E230x 微控制器数据表](#)
- [AM13E230x 微控制器技术参考手册](#)

7 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
2026 年 3 月	*	初始发行版

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月