

## Application Note

**MCU+ SDK 上 OSPI 和 QSPI 串行 NOR/NAND 闪存操作的吞吐量特性**

Aryamaan Chaurasia, Vaibhav Kumar, Soumya Tripathy, Nikhil Jain

**摘要**

本应用手册提供了适用于 TI Sitara™ MPU 系列 ( AM243x、AM62x、AM62Ax、AM64x、AM62Px、AM62Dx、AM275x 处理器 ) 的全面闪存性能分析, 旨在满足优化不同运行模式和配置下闪存吞吐量的关键需求。这方面的目标受众是从事工业和汽车应用的嵌入式工程师和开发人员。

本文档针对 NOR OSPI、NOR QSPI 及 NAND OSPI 闪存芯片, 在 DMA、PHY、时钟频率与协议等多种配置下进行性能基准测试。性能分析数据可帮助工程师选择能最大化读/写吞吐量的配置, 关键结论均在本文档中呈现。

**内容**

<b>1 简介</b> .....	<b>2</b>
<b>2 术语</b> .....	<b>3</b>
<b>3 方法</b> .....	<b>5</b>
<b>4 对闪存操作进行基准测试</b> .....	<b>7</b>
4.1 处理器-AM243x/AM64x.....	8
4.1.1 TMD5243EVM/TMD564EVM.....	8
4.1.2 LP-AM243.....	12
4.2 处理器-AM62Lx.....	15
4.2.1 TMD562LEVM.....	15
4.3 处理器-AM62Ax.....	18
4.3.1 SK-AM62A-LP.....	18
<b>5 观察与结论</b> .....	<b>23</b>
<b>6 总结</b> .....	<b>24</b>
<b>7 参考资料</b> .....	<b>25</b>

**商标**

Sitara™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

## 1 简介

在嵌入式应用中，闪存性能是实现系统响应速度的关键。因基于 MPU 的 Sitara™ Sitara 设计处理日益复杂、数据密集型的操作，选择合适的闪存配置将直接影响整体应用性能。不同的闪存接口 ( OSPI、QSPI )、协议 ( 8D-8D-8D、4S-4D-4D、1S-8S-8S ) 和运行模式 ( 启用或禁用 DMA/PHY ) 会显著影响读取/写入吞吐量。

本应用手册介绍了德州仪器 (TI) Sitara MPU 系列 ( 包括 AM243x、AM62x、AM62A、AM64x、AM62P、AM62D、AM275x 等器件 ) 在裸机环境下，使用 MCU+ SDK 对 OSPI 和 QSPI 闪存接口进行闪存读写操作的全面性能分析数据。该配置文件涵盖使用 ARM Cortex-A53 和 Cortex-R5F 内核在各种 EVM 上测试的闪存器件。

通过了解不同配置的性能特征，开发人员可以优化系统，以实现最大吞吐量、能效或应用特定要求。数据表与性能图表提供清晰对比，便于针对具体应用场景确定最佳设置方案。

## 2 术语

**PHY**：指 OSPI 和 QSPI 驱动器的 PHY 模式

**QSPI**：四线串行外设接口

**OSPI**：八线串行外设接口

**DDR**：双倍数据速率

**SDR**：单倍数据速率

**DAC**：直接存取控制器

**INDAC**：间接访问控制器

**MiBps**：每秒兆字节

**PHY**：

PHY 模式使用专用计时电路来管理存储器的数据传输。在该模式下，每个参考时钟周期在标准传输中产生一个完整的存储器时钟周期，在双倍速传输中产生半个周期。系统提供四种不同的时序配置，可使用内部信号或来自存储器芯片的外部反馈信号。

启用 PHY 后会绕过输入时钟分频器。因此，有效频率是指输入时钟频率。PHY 调优算法通过改变 rxDLL、txDLL 和读取延迟来计算调优点。欲了解更多相关信息，请参阅以下 [FAQ](#)。

**TAP**：

在 TAP 模式下，在与存储器器件进行数据传输时，使用内部基准时钟计时。如此以来，在标准传输时，会将该基准时钟进行四分频，而在双倍数据速率传输时，会将该基准时钟进行八分频。该模式仅支持直接（非环回）配置，使用基准时钟进行数据采集计时。

启用 TAP 模式后，不会绕过输入时钟分频器。因此，有效频率是输入时钟频率除以输入时钟分频系数。

**QSPI**：

四线串行外设接口 - 一种使用四条数据线 (DQ0-DQ3) 进行串行数据传输的增强型 SPI 型号。支持单通道/双通道/四通道模式以适应不同传输阶段，在保持向后兼容性的同时，相较于标准 SPI 可实现高达 4 倍的带宽提升。

**OSPI**：

八路串行外设接口 - 一种使用八条数据线 (DQ0-DQ7) 进行串行数据传输的高级 SPI 型号。支持所有 QSPI 模式和八路模式，可获得更高带宽。在进行源同步数据采集时，可使用或不使用 DQS（数据选通）信号运行。

**SDR**：

SDR 模式在时钟信号的单一沿传输数据，每根数据线每时钟周期发送一位。这是一种更简单，更传统的时钟方案，可在中等速度下提供良好的可靠性。在八条数据线的八通道 SDR 模式下，理论最大数据速率为每个时钟周期八位。

**DDR**：

DDR 模式在时钟信号的上升沿和下降沿均传输数据，相较于 SDR 模式有效提升两倍数据吞吐量。在八条数据线的八通道 DDR 模式下，每个时钟周期传输 16 位数据（每边八位 × 两边）。

协议（命令-地址-数据）：

协议模式格式为 WR-WR-WR，其中第一个 WR 表示命令位宽和速率，第二个 WR 表示命令修饰符位宽和速率，第三个 WR 表示数据位宽和速率。位宽 (W) 可以是一位或八位。速率 (R) 可以是 SDR 中的 S，也可以是 DDR 的 D。SDR 在上升时钟沿和下降时钟沿传输相同的值，而 DDR 可能在每个边沿传输不同的值。

例如，1S-1S-1S 表示所有相位都使用 1 位宽 SDR。符号 8D-8D-8D 表示所有相位都使用 8 位宽 DDR。

**DAC**：

直接访问是指数据接口访问时，直接触发对闪存读取或写入的操作。该存储器采用内存映射方式，既可用于访问外部闪存，也可直接执行其中存储的代码。

**INDAC :**

间接操作模式旨在无需数据接口访问触发即可从闪存读取大量字节。相反，间接操作由软件通过特定的控制/配置间接读取传输寄存器进行控制和触发。读取的数据被存入本地 **SRAM** 模块，可快速且低延迟地传输至任何外部控制器。

### 3 方法

针对 MCU+ SDK 版本 11.01/11.02，验证了以下数字。

采用 OSPI 闪存 IO 示例作为闪存操作性能分析的基准。

在环境温度和室温下且频率范围约为 20MHz 至 166MHz 时进行性能分析。

每个闪存操作都进行了 100 次配置，具体涉及以下配置：

DMA、PHY、TAP、DAC、INDAC、所使用的数据宽度：1KiB、10KiB、256KiB、512KiB、1MiB、5MiB、10MiB

表 3-1. 默认情况下 TI EVM 上可用的闪存器件

Sitara MPU 板	TI EVM 上的闪存器件			
	NOR OSPI (S28HS512T)	NAND OSPI (W35N01JWTBAG)	NOR QSPI(S25HL512T)	NAND QSPI(W25N01JWTBAG)
LP-AM243	否	否	是	否
TMDS243EVM	是	否	否	否
AUDIO-AM275-EVM	是	否	否	否
SK-AM62B-P1	是	否	否	否
SK-AM62A-LP	否	是	否	否
AUDIO-AM62D-EVM	是	否	否	否
TMDS62LEVM	是	否	否	是 (仅在 Processor Linux SDK 中受支持)
SK-AM62P-LP	是	否	否	否
TMDS64EVM	是	否	否	否

所做的性能分析远比 MCU+ SDK 数据表中现有的性能数据更为详尽。现有数据可在此处查阅：

- 串行 NOR OSPI 闪存
- 串行 NAND OSPI 闪存

在参考资料中介绍了可用闪存部件的数据表。

表 3-2. 在 MCU+ SDK 11.01/11.02 上进行性能分析时所使用的配置

SOC	闪存	INDAC <sup>1 2</sup> 写入	DAC 写入	DAC 读取	INDAC 读取	所使用的协议
AM243x AM275x AM62x AM62Dx AM62Lx AM62Px AM64x	串行 NOR OSPI	是	否 <sup>3</sup>	是	是 <sup>4</sup> (无法支持 PHY 和 DMA)	8D-8D-8D
AM243x	串行 NOR QSPI	是	否	是	是 (无法支持 PHY 和 DMA)	4S-4D-4D <sup>5</sup>
AM62Ax	串行 NAND OSPI	否	是	是	否	1S-8S-8S8D-8D-8D <sup>6</sup>

以下是 MCU+ SDK 11.01/11.02 的限制：

1. INDAC 在 TAP 模式下写入。在 TAP 模式下，有效频率是输入时钟频率除以输入时钟分频系数。在 PHY 模式下，有效频率是输入时钟频率，因为会绕过输入时钟分频器。
2. 在 MCU+ SDK 中，串行 NOR 和 NAND 闪存不支持启用 PHY 的写入。这属于软件限制。
3. 串行 NAND 闪存支持直接写入、但串行 NOR 闪存不支持直接写入。串行 NOR 闪存需要间接写入，因为在 DTR 模式下，它需要一个 4 字节虚拟地址 (全零) 和读取状态寄存器命令。这是控制器在轮询写入完成时不支持的功能。
4. INDAC 读取功能目前在 MCU+ SDK 中不支持 PHY 和 DMA。这属于软件限制。
5. 串行 NOR QSPI 闪存 (S25HL512T) 不支持 4D-4D-4D 协议。这属于板载 QSPI NOR 闪存限制，但该驱动器能够支持 4D-4D-4D。

6. 在串行 NAND 闪存中，在 DDR 模式下不支持 PHY 调优。这属于软件限制。

\* 在进行 OTP 验证时 DAC 执行读取操作：执行启用 PHY 的 DAC 读取操作时，将通过对角线校验，对调谐点进行验证。如果任何点未通过此次校验，系统会自动识别并启用新的调谐点，以验证性能。

---

**备注**

有关 PHY、DAC 和 INDAC 软件支持的功能，请参阅最新版 MCU+ SDK。

---

吞吐量按以下方式计算：

吞吐量 (以 MiBps 为单位) = 所使用的数据宽度 (字节) / 耗时 (微秒)

理论吞吐量按以下方式计算：

在 DDR 中，

理论吞吐量 (MiBps) = (有效时钟频率 x 每次传输的位数 2 x 位数) / 8

在 SDR 中，

理论吞吐量 (MiBps) = (有效时钟频率 x 每次传输的位数 1 x 位数) / 8

有效时钟频率的计算公式如下：

有效时钟频率 = 输入时钟频率 / 输入时钟分频器

每次闪存操作所用时间的计算公式如下：

所用时间 (以  $\mu\text{s}$  为单位) = 所使用的数据宽度 (字节) / 吞吐量 (MiBps)

## 4 对闪存操作进行基准测试

下图展示了同时启用 PHY 和 DMA 时的吞吐量性能。但是，对于串行 NAND OSPI 闪存上的 8D-8D-8D 配置，图表数据为仅启用 DMA，不支持 PHY 时的吞吐量（详见表 3-2）。图表中数据点上的标签分别表示所分析数据量以及每次操作的分析耗时。

附表汇总了全面性能分析的所有结果，涵盖了所有支持配置的可能排列组合，包括 TAP、PHY、DAC、INDAC 和 DMA。

实测平均吞吐量的计算方式为：在启用 DMA 与 PHY 的条件下，对 256KiB 至 10MiB 区间内各数据长度的吞吐量取平均值。测到的吞吐量汇总如下表所示。

采用 **粗体** 突出显示的值表示在不同配置下可实现的最高吞吐量。

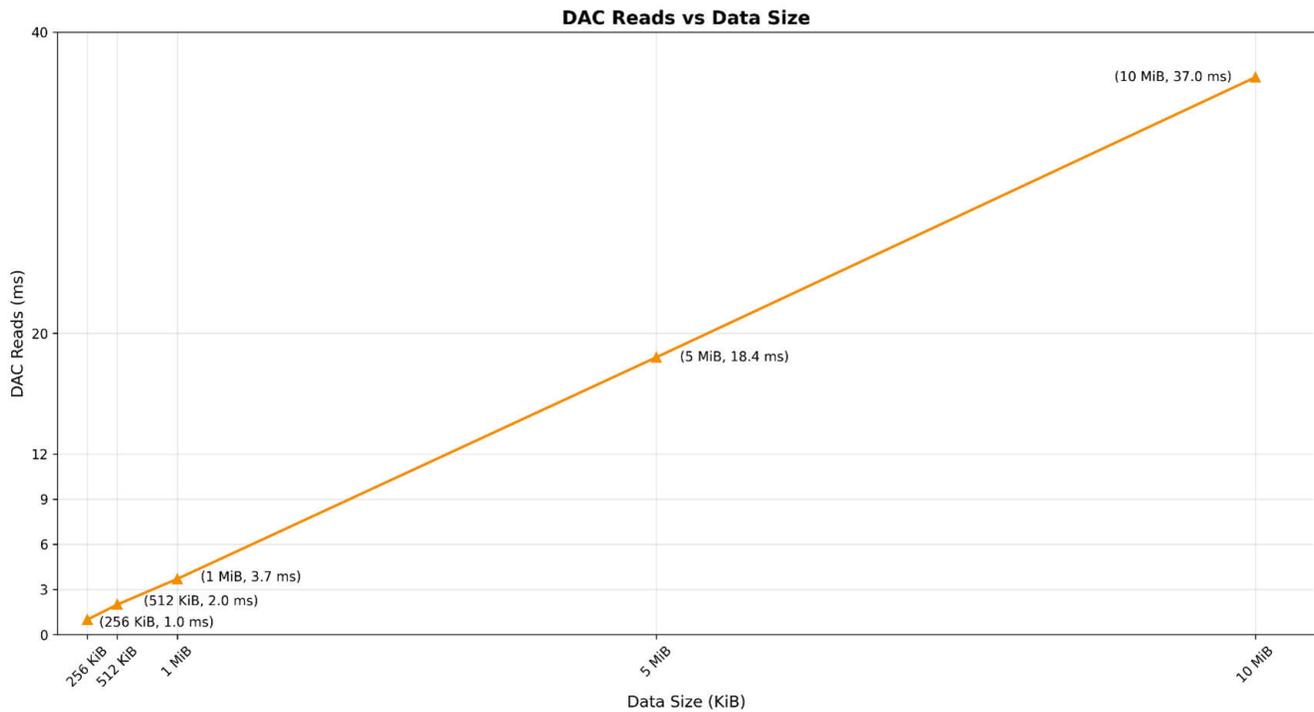
## 4.1 处理器-AM243x/AM64x

### 4.1.1 TMDS243EVM/TMDS64EVM

内核	R5F
电路板	TMDS243EVM
闪存	NOR OSPI S28HS512T
输入时钟频率	166MHz
输入时钟分频器	8
协议	8D-8D-8D

DAC 读取的理论吞吐量：332MiBps

DAC 读取的平均吞吐量观测值：282.86MiBps



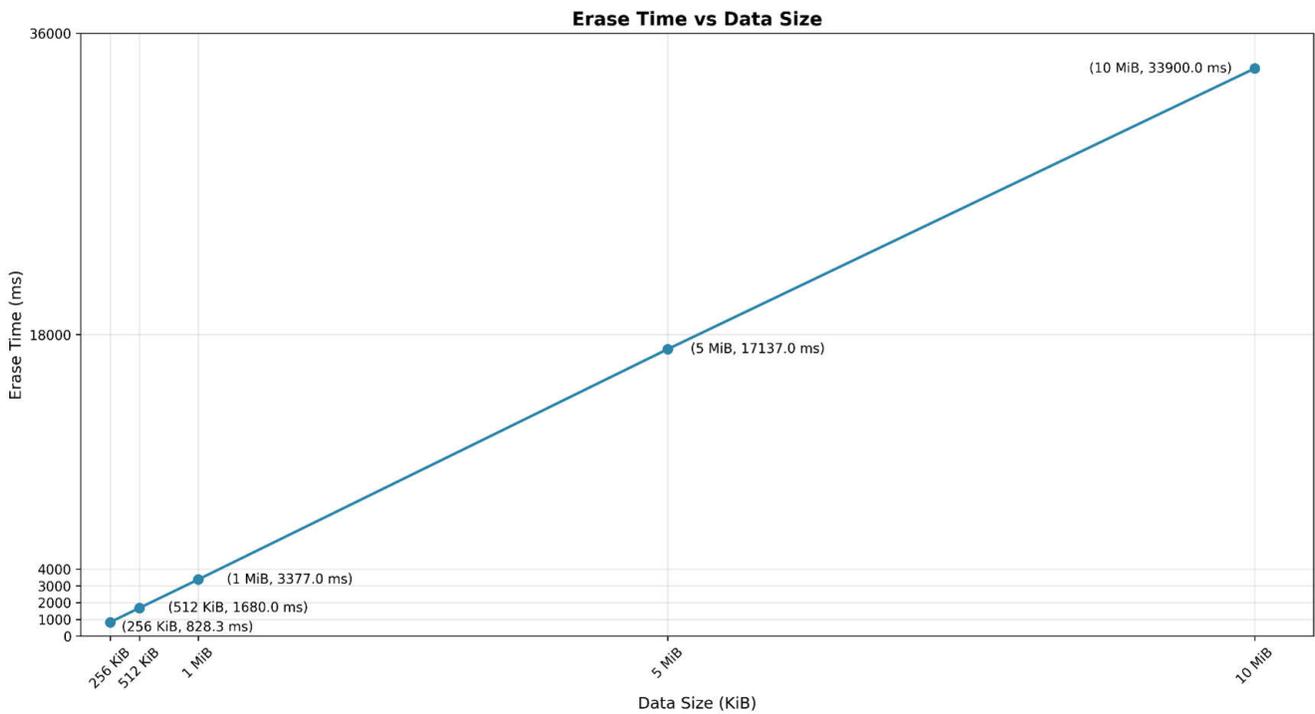
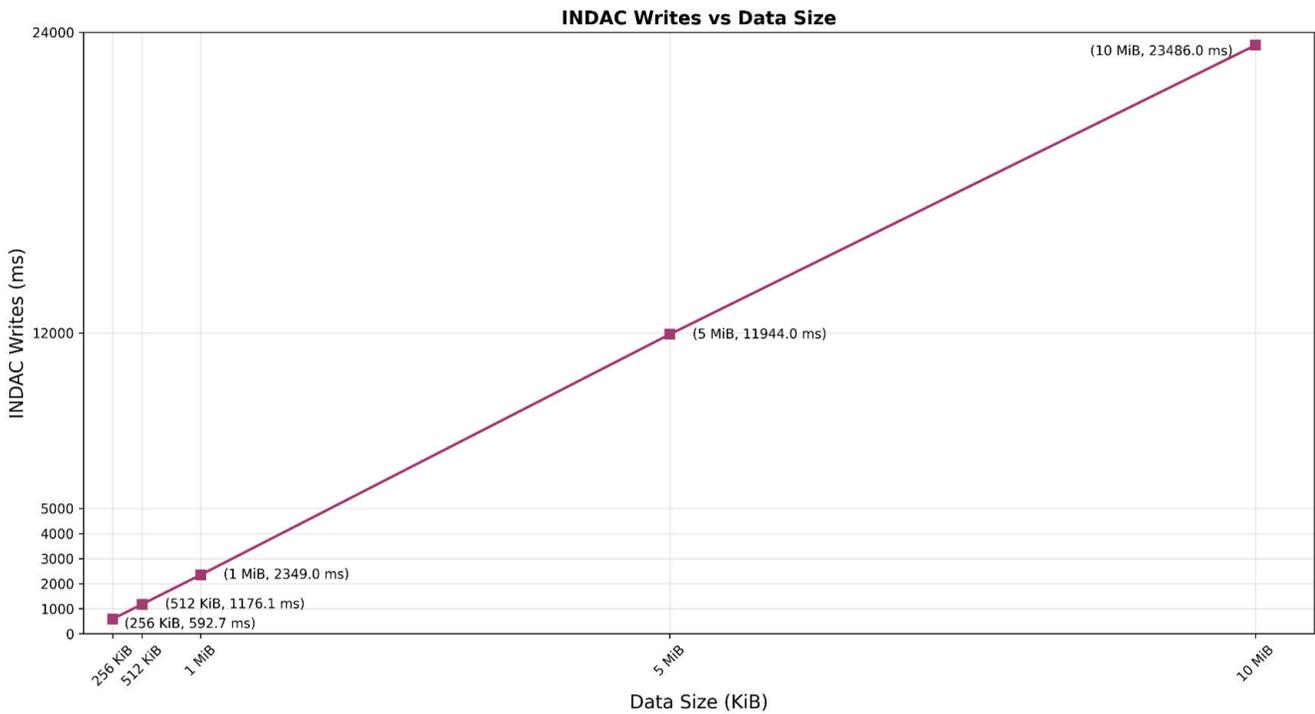


表 4-1. R5F 内核上的 8D-8D-8D

频率	分频器	所使用的数据宽度	DMA	PHY	吞吐量 (MiBps)				
					INDAC 写入	DAC 读取	OTP 验证失败时 DAC 读取	INDAC 读取	擦除
166MHz	4	1KiB	否	否	0.41	1.12	不适用	23.27	0.001
			否	是	0.41	2.35	0.04	不适用	0.001
			是	否	0.41	1.12	不适用	不适用	0.001
			是	是	0.41	2.35	0.04	不适用	0.001
		10KiB	否	否	0.43	1.12	不适用	25.75	0.01
			否	是	0.43	2.38	0.40	不适用	0.01
			是	否	0.43	26.39	不适用	不适用	0.01
			是	是	0.43	200	0.40	不适用	0.01
		256KiB	否	否	0.43	1.12	不适用	22.21	0.32
			否	是	0.43	2.36	9.55	不适用	0.32
			是	否	0.43	27.08	不适用	不适用	0.32
			是	是	0.43	279.41	9.55	不适用	0.32
		512KiB	否	否	0.41	1.12	不适用	22.22	0.31
			否	是	0.41	2.36	18.50	不适用	0.31
			是	否	0.41	27.10	不适用	不适用	0.31
			是	是	0.41	282.18	18.50	不适用	0.31
		1MiB	否	否	0.41	1.12	不适用	22.23	0.31
			否	是	0.41	2.34	34.72	不适用	0.31
			是	否	0.41	27.10	不适用	不适用	0.31
			是	是	0.41	283.51	34.72	不适用	0.31
		5MiB	否	否	0.45	1.12	不适用	22.24	0.31
			否	是	0.45	2.34	116.73	不适用	0.31
			是	否	0.45	27.11	不适用	不适用	0.31
			是	是	0.45	284.74	116.73	不适用	0.31
		10MiB	否	否	0.41	1.12	不适用	22.24	0.31
			否	是	0.41	2.34	165.63	不适用	0.31
			是	否	0.41	27.11	不适用	不适用	0.31
			是	是	0.41	284.87	165.63	不适用	0.31

表 4-2. R5F 内核上的 8D-8D-8D

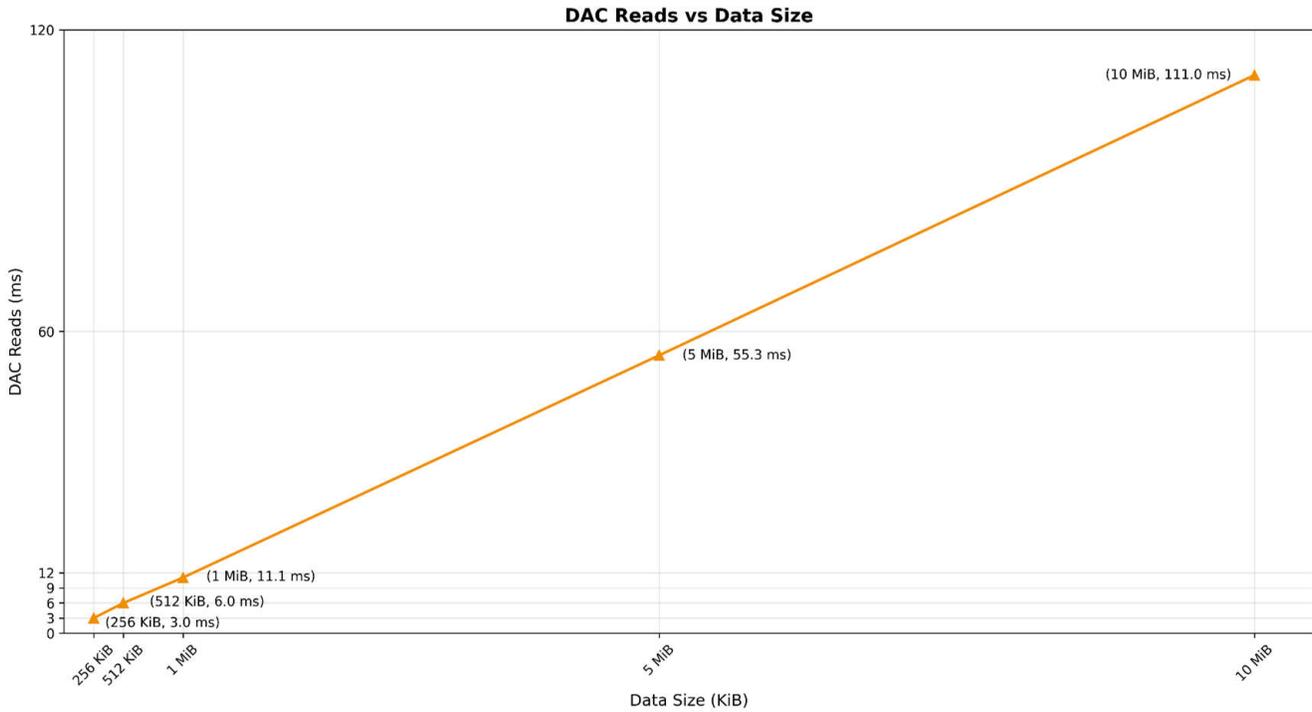
频率	分频器	所使用的数据宽度	DMA	PHY	吞吐量 (MiBps)				
					INDAC 写入	DAC 读取	OTP 验证失败时 DAC 读取	INDAC 读取	擦除
166MHz	8	1KiB	否	否	0.45	0.65	不适用	22.65	0.001
			否	是	0.45	2.35	0.04	不适用	0.001
			是	否	0.45	0.65	不适用	不适用	0.001
			是	是	0.45	2.34	0.04	不适用	0.001
		10KiB	否	否	0.46	0.65	不适用	25.69	0.01
			否	是	0.46	2.37	0.40	不适用	0.01
			是	否	0.46	37.87	不适用	不适用	0.01
			是	是	0.46	180.92	0.40	不适用	0.01
		256KiB	否	否	0.44	0.65	不适用	22.13	0.32
			否	是	0.44	2.34	9.57	不适用	0.32
			是	否	0.44	40.68	不适用	不适用	0.32
			是	是	0.44	279.11	9.57	不适用	0.32
		512KiB	否	否	0.44	0.65	不适用	22.19	0.31
			否	是	0.44	2.37	18.51	不适用	0.31
			是	否	0.44	40.74	不适用	不适用	0.31
			是	是	0.44	282.09	18.51	不适用	0.31
		1MiB	否	否	0.44	0.65	不适用	22.23	0.31
			否	是	0.44	2.34	34.77	不适用	0.31
			是	否	0.44	40.77	不适用	不适用	0.31
			是	是	0.44	283.55	34.77	不适用	0.31
		5MiB	否	否	0.44	0.65	不适用	22.22	0.31
			否	是	0.44	2.34	116.83	不适用	0.31
			是	否	0.44	40.80	不适用	不适用	0.31
			是	是	0.44	284.72	116.83	不适用	0.31
		10MiB	否	否	0.45	0.65	不适用	22.23	0.31
			否	是	0.45	2.34	165.73	不适用	0.31
			是	否	0.45	40.80	不适用	不适用	0.31
			是	是	0.45	284.87	165.73	不适用	0.31

### 4.1.2 LP-AM243

内核	R5F
电路板	LP-AM243
闪存	NOR QSPI S25HL512T
输入时钟频率	100MHz
输入时钟分频器	4
协议	4S-4D-4D

DAC 读取的理论吞吐量：100MiBps

DAC 读取的平均吞吐量观测值：94.78MiBps



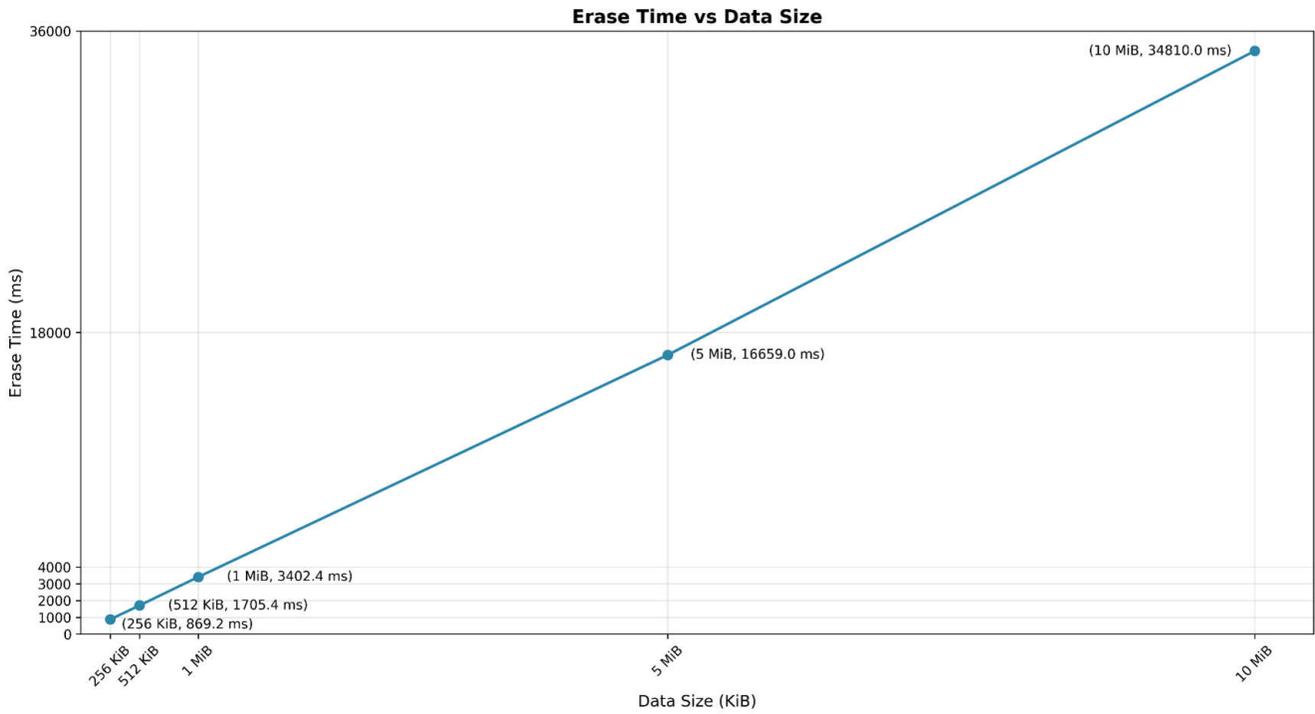
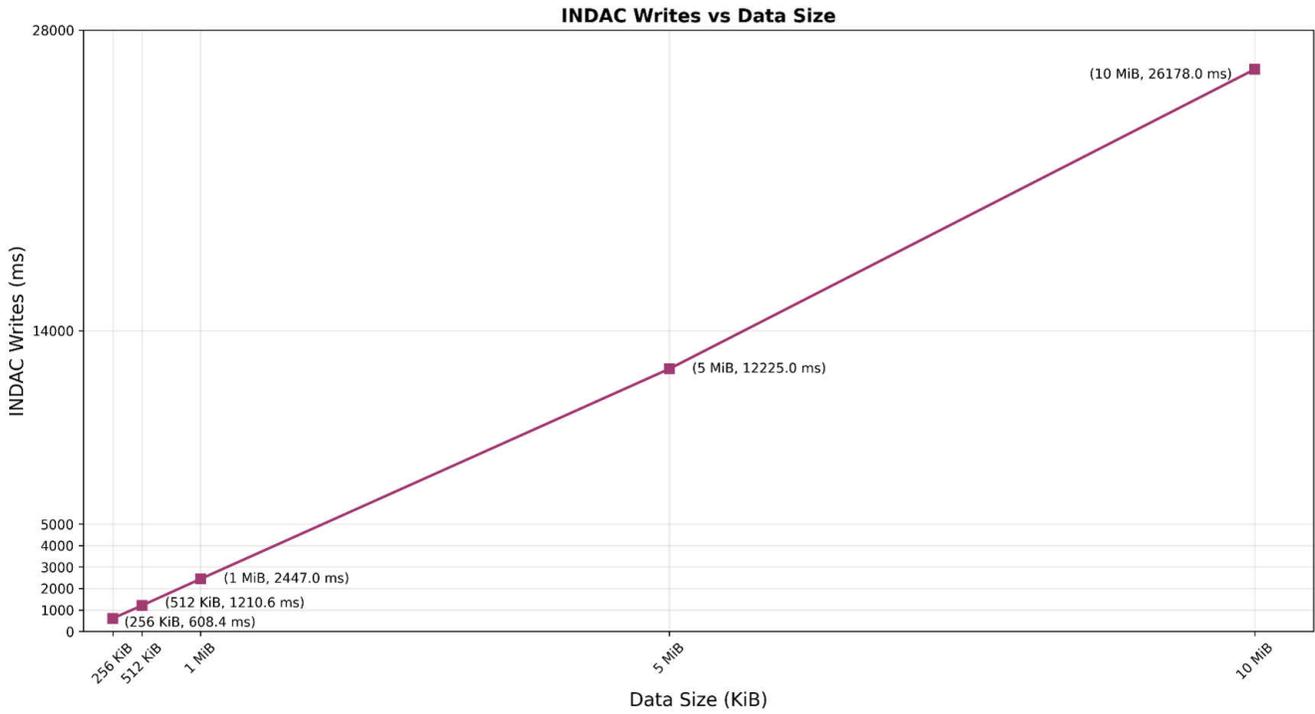


表 4-3. R5F 内核上的 4S-4D-4D

频率	分频器	所使用的数据宽度	DMA	PHY	吞吐量 (MiBps)				
					INDAC 写入	DAC 读取	OTP 验证失败时 DAC 读取	INDAC 读取	擦除
100MHz	4	1KiB	否	否	0.40	0.67	不适用	21.07	0.001
			否	是	0.40	1.57	0.002	不适用	0.001
			是	否	0.40	0.67	不适用	不适用	0.001
			是	是	0.40	1.57	0.002	不适用	0.001
		10KiB	否	否	0.43	0.67	不适用	24.50	0.01
			否	是	0.43	1.58	0.02	不适用	0.01
			是	否	0.43	23.86	不适用	不适用	0.01
			是	是	0.43	82.85	0.02	不适用	0.01
		256KiB	否	否	0.43	0.67	不适用	24.66	0.30
			否	是	0.43	1.58	0.40	不适用	0.30
			是	否	0.43	24.65	不适用	不适用	0.30
			是	是	0.43	94.50	0.40	不适用	0.30
		512KiB	否	否	0.43	0.67	不适用	24.67	0.31
			否	是	0.43	1.58	0.78	不适用	0.31
			是	否	0.43	24.67	不适用	不适用	0.31
			是	是	0.43	94.83	0.78	不适用	0.31
		1MiB	否	否	0.43	0.67	不适用	24.67	0.31
			否	是	0.43	1.58	1.56	不适用	0.31
			是	否	0.43	24.67	不适用	不适用	0.31
			是	是	0.43	94.86	1.56	不适用	0.31
		5MiB	否	否	0.43	0.67	不适用	24.67	0.31
			否	是	0.43	1.58	7.30	不适用	0.31
			是	否	0.43	24.67	不适用	不适用	0.31
			是	是	0.43	94.86	7.30	不适用	0.31
		10MiB	否	否	0.40	0.67	不适用	24.67	0.31
			否	是	0.40	1.58	13.56	不适用	0.31
			是	否	0.40	24.67	不适用	不适用	0.31
			是	是	0.40	94.87	13.56	不适用	0.31

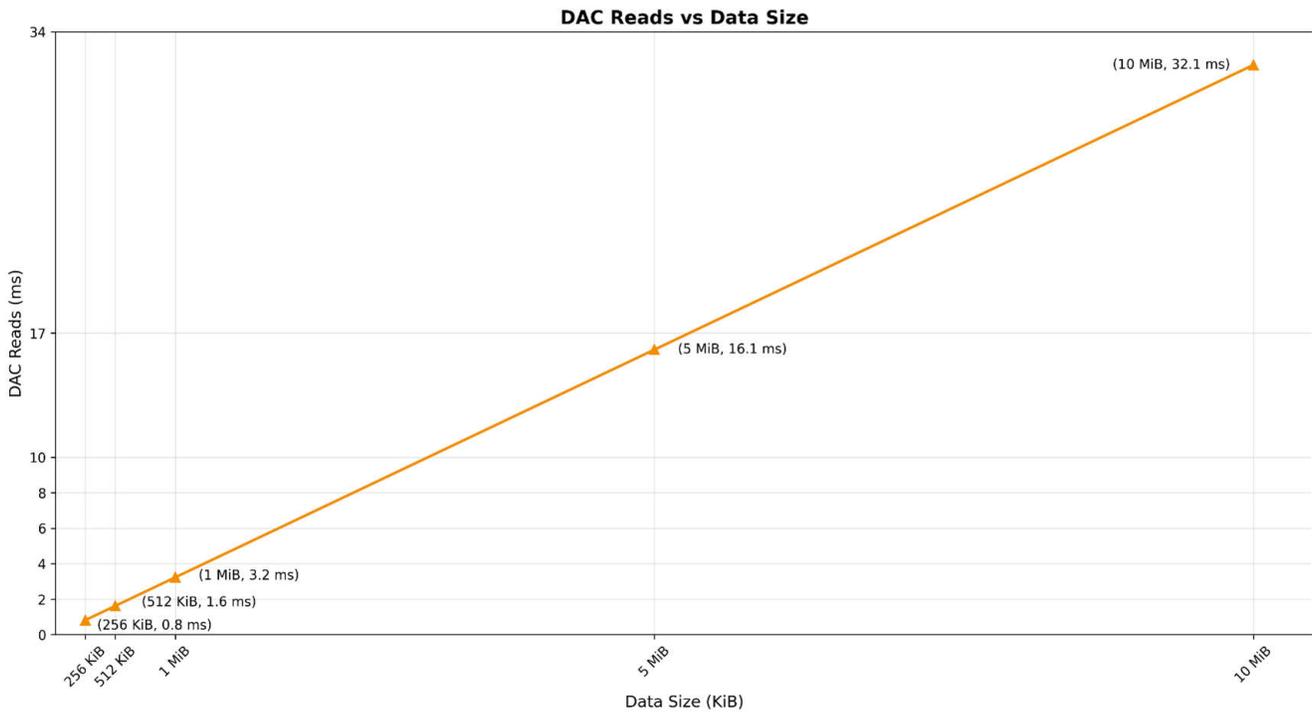
## 4.2 处理器-AM62Lx

### 4.2.1 TMDS62LEVM

内核	A53
电路板	TMDS62LEVM
闪存	NOR OSPI S28HS512T
输入时钟频率	166MHz
输入时钟分频器	8
协议	8D-8D-8D

DAC 读取的理论吞吐量：332MiBps

DAC 读取的平均吞吐量观测值：323.86MiBps



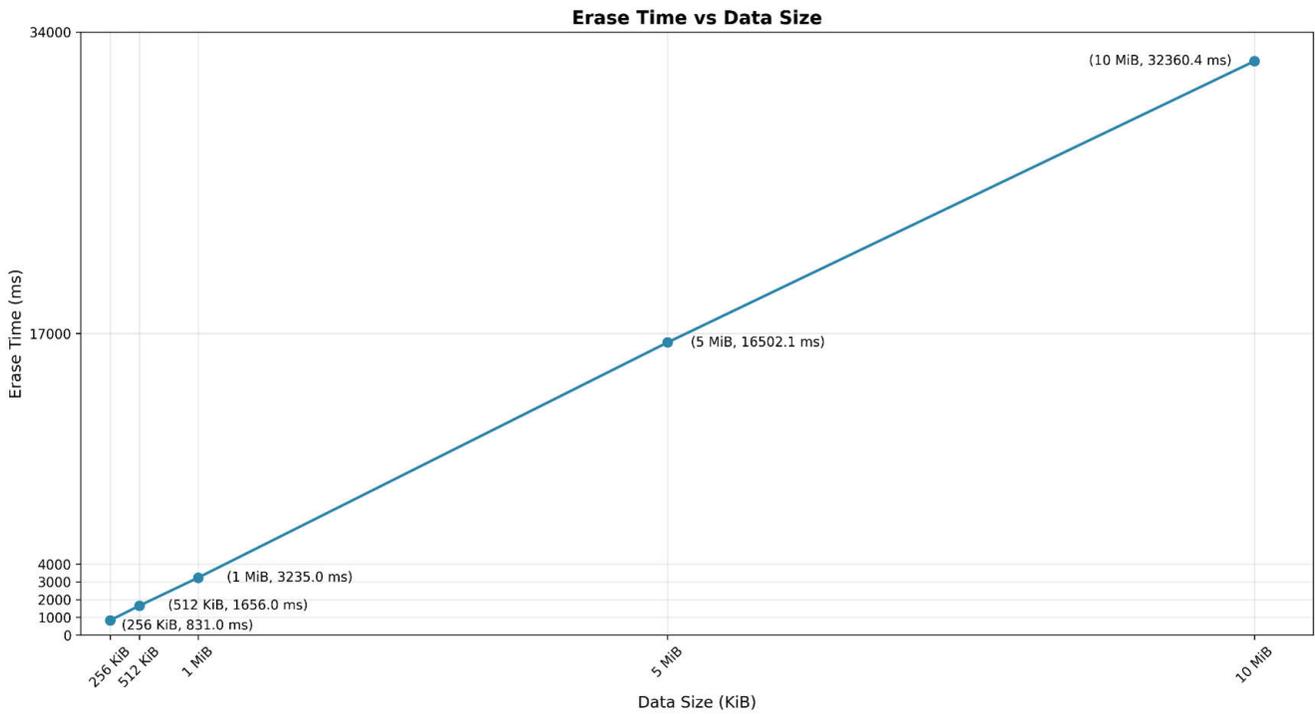
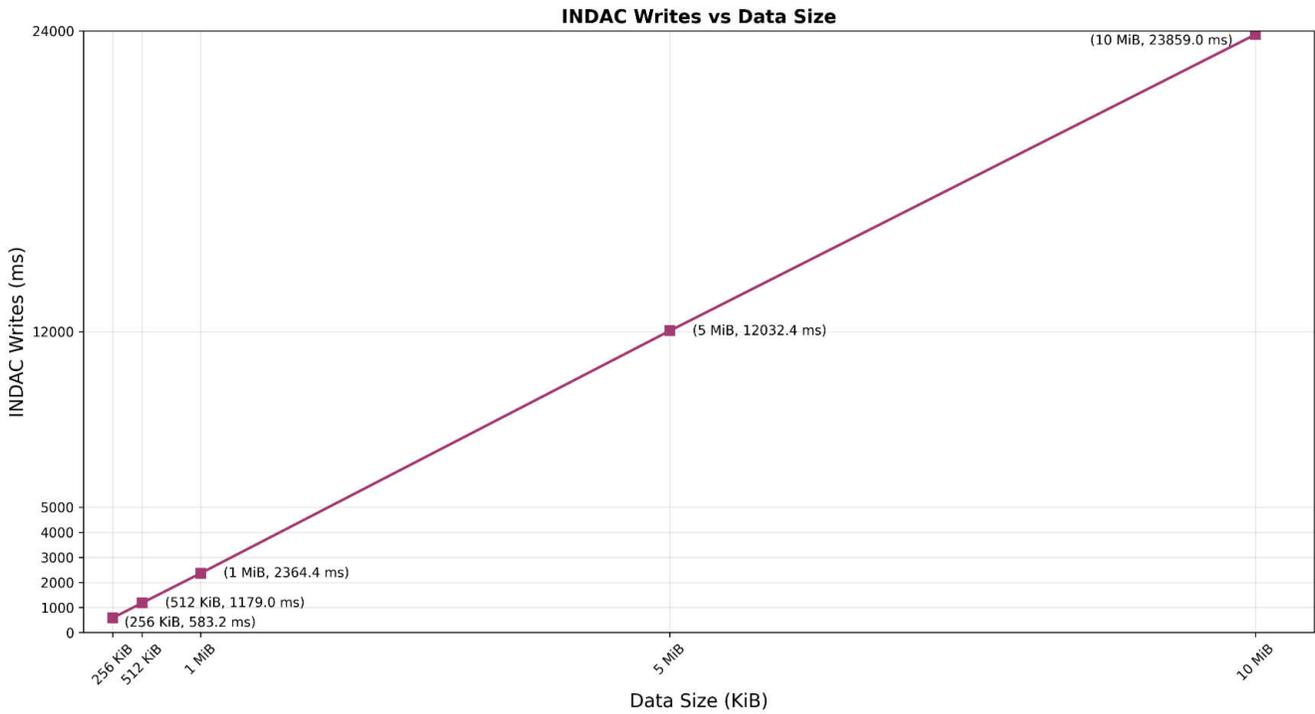


表 4-4. A53 内核上的 8D-8D-8D

频率	分频器	所使用的数据宽度	DMA	PHY	吞吐量 (MiBps)			
					INDAC 写入	DAC 读取	INDAC 读取	擦除
166MHz	8	1KiB	否	否	<b>0.43</b>	0.65	<b>27.83</b>	0.001
			否	是	0.43	2.48	不适用	0.001
			是	否	0.43	0.65	不适用	0.001
			是	是	0.43	<b>2.48</b>	不适用	0.001
		10KiB	否	否	<b>0.45</b>	0.65	<b>30.70</b>	0.01
			否	是	0.45	2.52	不适用	0.01
			是	否	0.45	39.38	不适用	0.01
			是	是	0.45	<b>231.67</b>	不适用	0.01
		256KiB	否	否	<b>0.45</b>	0.65	<b>31.29</b>	0.31
			否	是	0.45	2.50	不适用	0.31
			是	否	0.45	41.44	不适用	0.31
			是	是	0.45	<b>319.14</b>	不适用	0.31
		512KiB	否	否	<b>0.44</b>	0.65	<b>31.29</b>	0.32
			否	是	0.44	2.52	不适用	0.32
			是	否	0.44	41.50	不适用	0.32
			是	是	0.44	<b>322.96</b>	不适用	0.32
		1MiB	否	否	<b>0.44</b>	0.65	<b>31.29</b>	0.32
			否	是	0.44	2.52	不适用	0.32
			是	否	0.44	41.53	不适用	0.32
			是	是	0.44	<b>324.74</b>	不适用	0.32
		5MiB	否	否	<b>0.43</b>	0.65	<b>31.11</b>	0.32
			否	是	0.43	2.50	不适用	0.32
			是	否	0.43	41.56	不适用	0.32
			是	是	0.43	<b>326.15</b>	不适用	0.32
		10MiB	否	否	<b>0.44</b>	0.65	<b>31.30</b>	0.32
			否	是	0.44	2.50	不适用	0.32
			是	否	0.44	41.56	不适用	0.32
			是	是	0.44	<b>326.34</b>	不适用	0.32

### 4.3 处理器-AM62Ax

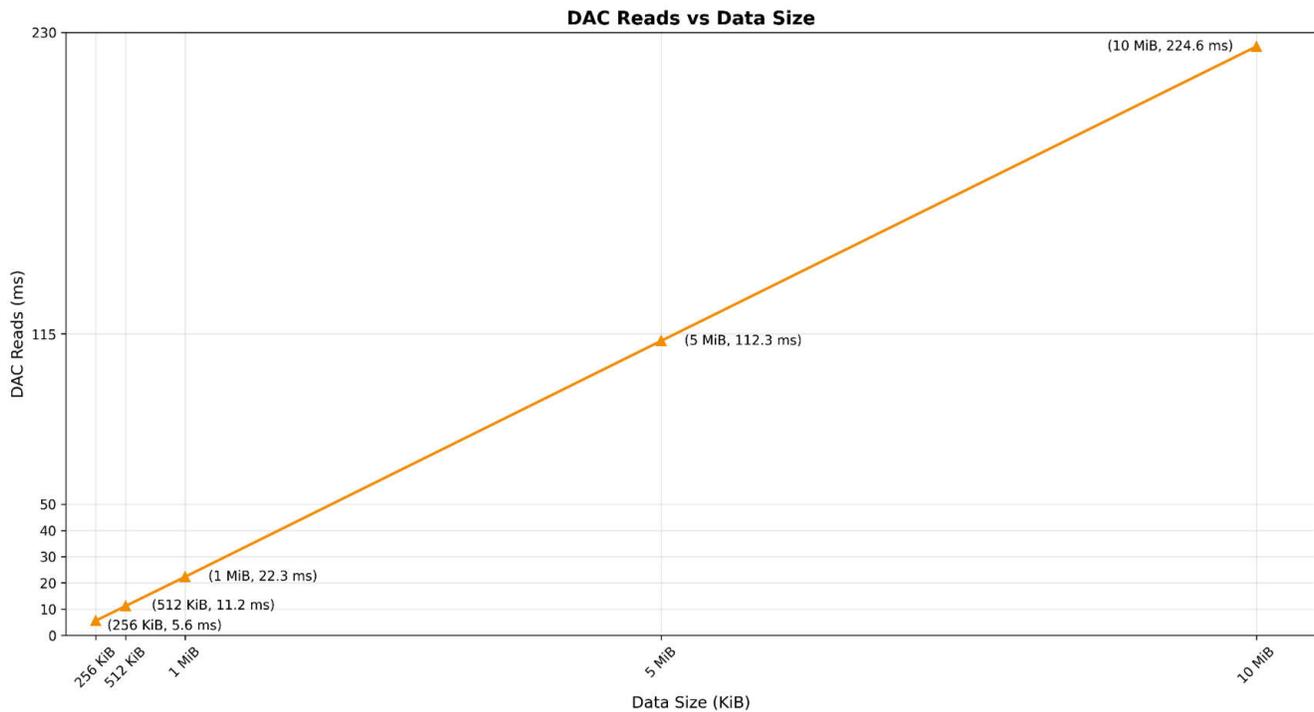
#### 4.3.1 SK-AM62A-LP

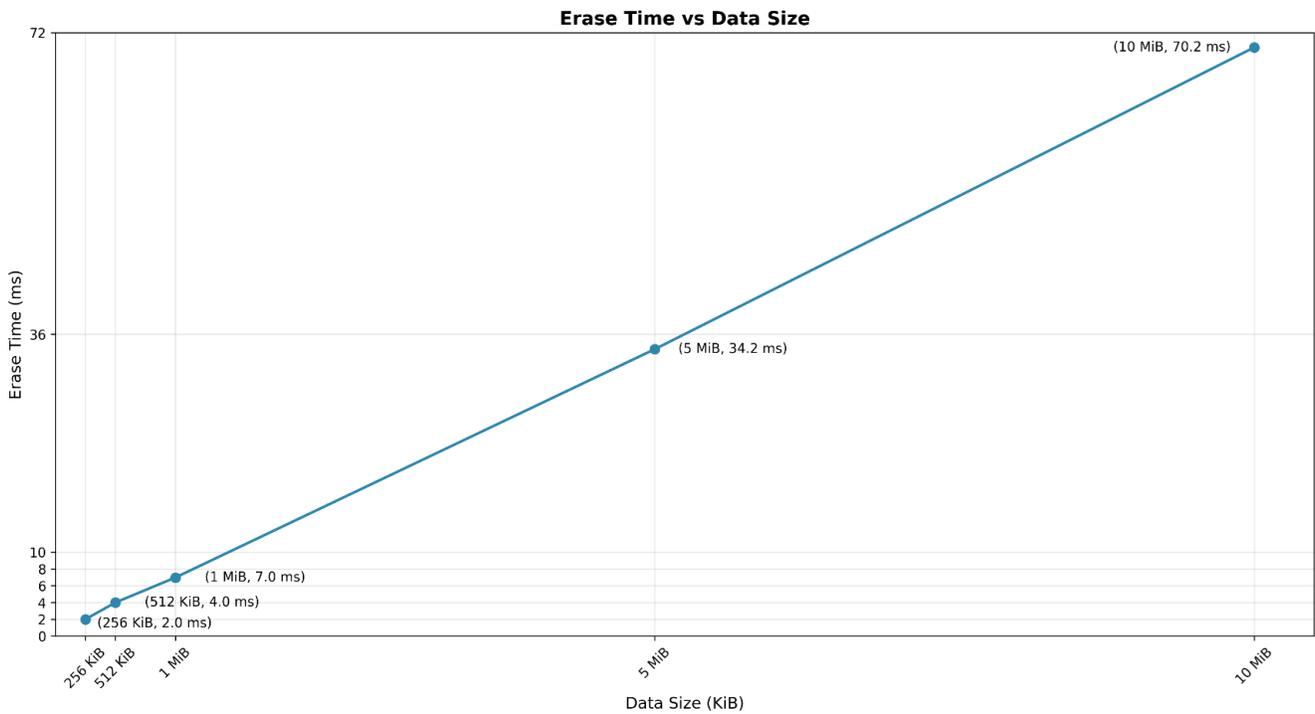
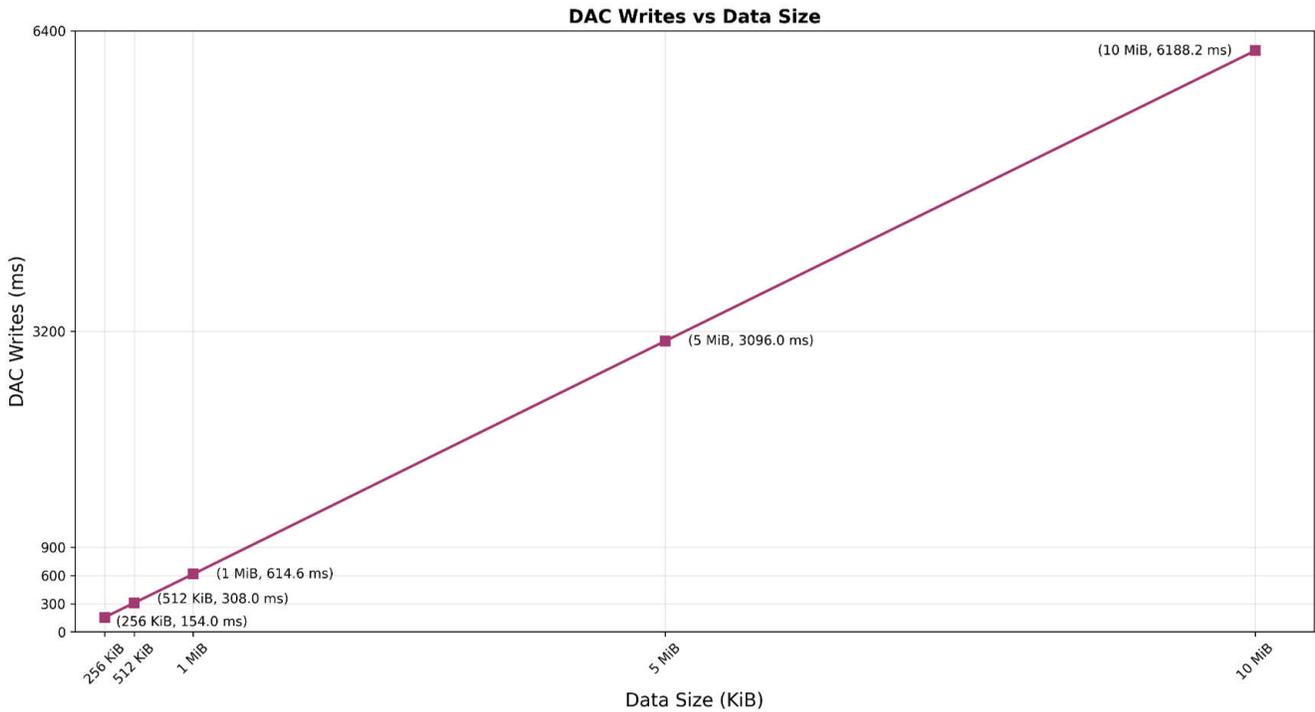
内核	R5F
电路板	SK-AM62A-LP
闪存	NAND OSPI W35N01JWTBAG
输入时钟频率	166MHz
输入时钟分频器	8
协议	1S-8S-8S

DAC 读取的理论吞吐量：240MiBps

( 串行 NAND OSPI 闪存 W35N01JWTBAG 支持的最大时钟频率为 166MHz (166MiBps) 和 120MHz DDR (240MiBps) ，请参阅[数据表](#) )

DAC 读取的平均吞吐量观测值：46.86MiBps



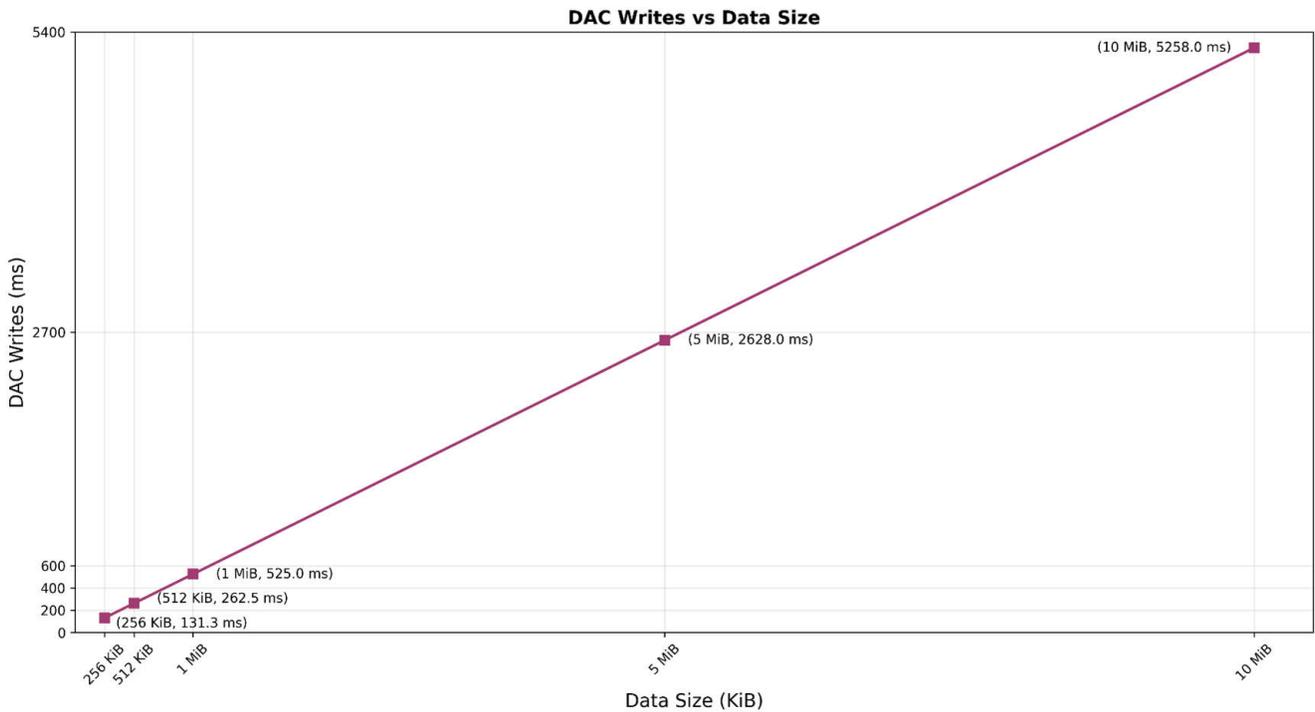
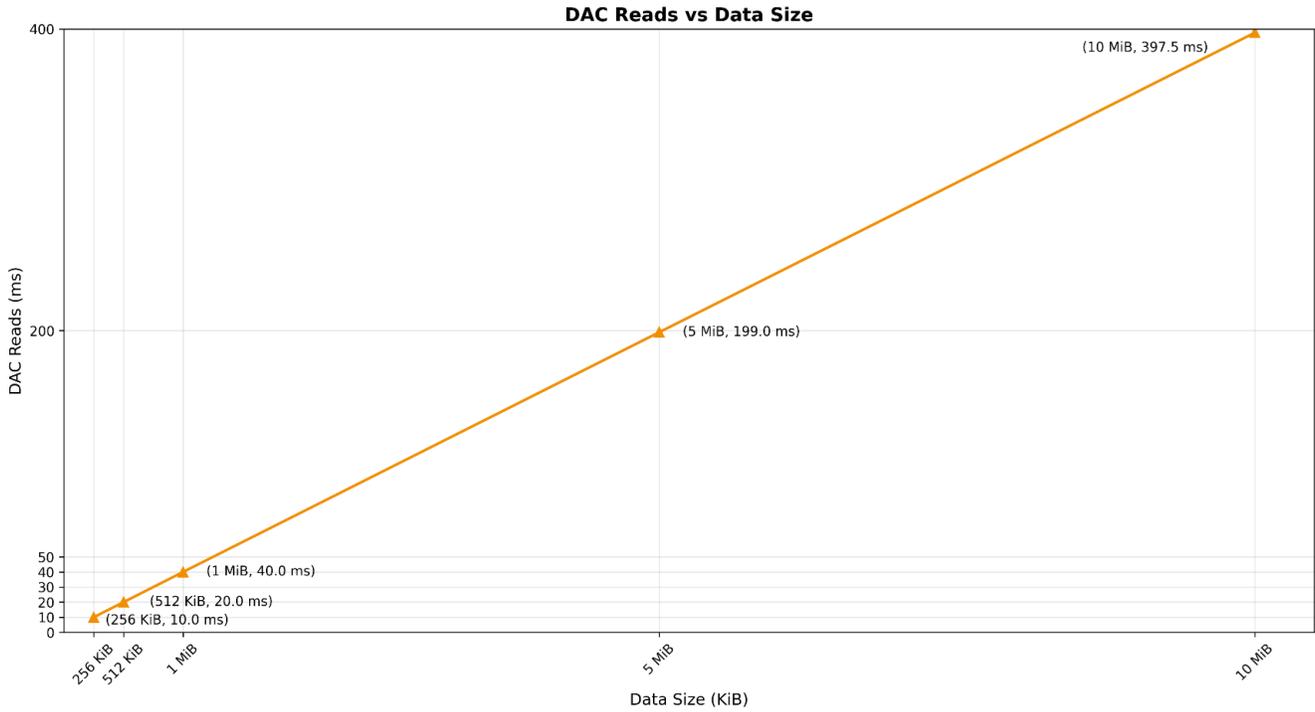


内核	R5F
电路板	SK-AM62A-LP
闪存	NAND OSPI W35N01JWTBAG
输入时钟频率	166MHz
输入时钟分频器	8
协议	8D-8D-8D

DAC 读取的理论吞吐量：41.5MiBps

( 串行 NAND OSPI 闪存 W35N01JWTBAG 支持的最大时钟频率为 166MHz (166MiBps) 和 120MHz DDR (240MiBps) , 请参阅[数据表](#) )

DAC 读取的平均吞吐量观测值 : 26.37MiBps



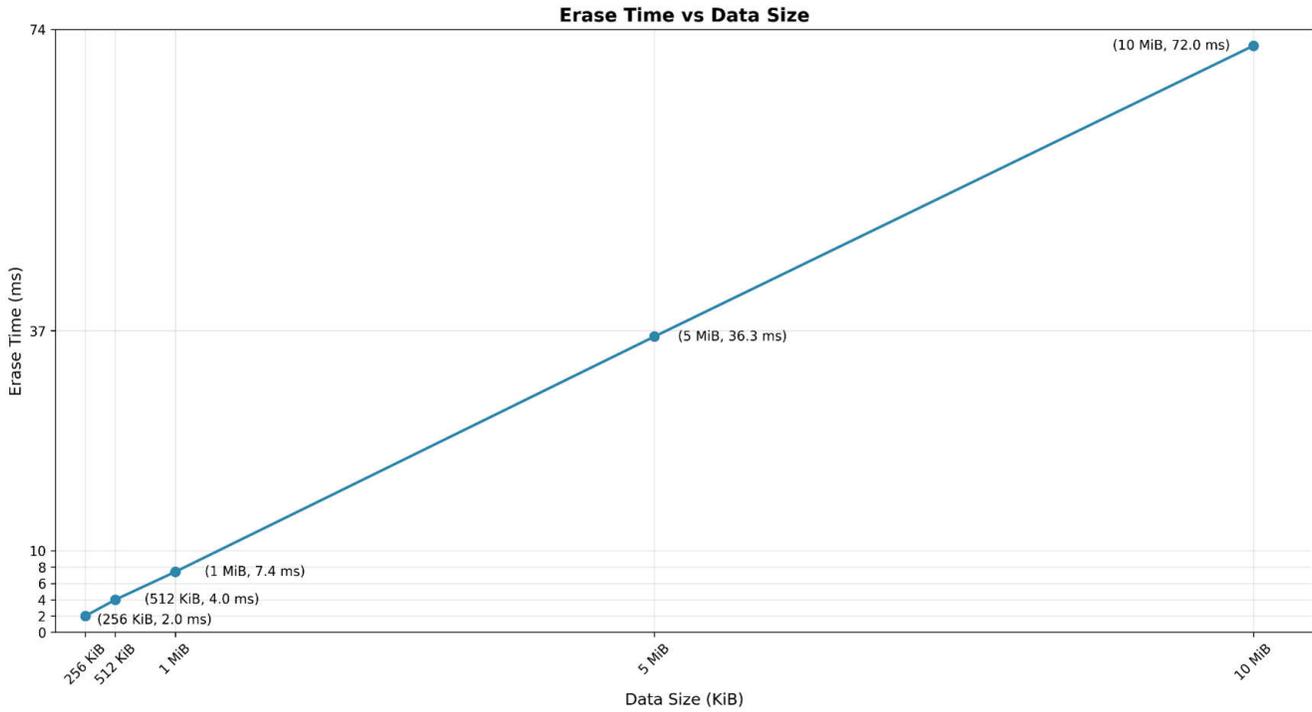


表 4-5. R5F 内核上的 1S-8S-8S

频率	分频器	所使用的数据宽度	DMA	PHY	吞吐量 (MiBps)		
					INDAC 写入	DAC 读取	擦除
166MHz	8	1KiB	否	否	1.13	1.76	0.88
			否	是	1.13	4.58	1.03
			是	否	1.13	9.21	0.88
			是	是	1.13	14.55	0.95
		10KiB	否	否	1.67	1.87	7.61
			否	是	1.67	5.44	7.13
			是	否	1.67	15.01	7.13
			是	是	1.67	39.69	7.13
		256KiB	否	否	1.70	1.85	140.56
			否	是	1.70	5.36	140.71
			是	否	1.70	15.94	140.47
			是	是	1.70	46.97	140.66
		512KiB	否	否	1.70	1.85	159.76
			否	是	1.70	5.37	160.05
			是	否	1.70	15.94	148.20
			是	是	1.70	46.98	141.17
		1MiB	否	否	1.70	1.85	159.95
			否	是	1.70	5.37	150.30
			是	否	1.70	15.94	150.23
			是	是	1.70	47.01	150.24
		5MiB	否	否	1.70	1.85	170.83
			否	是	1.70	5.33	164.79
			是	否	1.70	15.94	162.06
			是	是	1.70	46.67	153.14
		10MiB	否	否	1.70	1.85	160.55
			否	是	1.70	5.33	154.74
			是	否	1.70	15.94	154.51
			是	是	1.70	46.68	149.28

表 4-6. R5F 内核上的 8D-8D-8D

频率	分频器	所使用的数据宽度	DMA	吞吐量 (MiBps)		
				INDAC 写入	DAC 读取	擦除
166MHz	8	1KiB	否	<b>1.31</b>	3.32	0.71
			是	1.31	<b>12.22</b>	0.71
		10KiB	否	<b>1.94</b>	3.68	7.11
			是	1.94	<b>24.05</b>	7.13
		256KiB	否	<b>1.98</b>	3.63	140.42
			是	1.98	<b>26.36</b>	140.50
		512KiB	否	<b>1.98</b>	3.63	144.29
			是	1.98	<b>26.37</b>	141.02
		1MiB	否	<b>1.98</b>	3.63	144.67
			是	1.98	<b>26.37</b>	141.38
		5MiB	否	<b>1.98</b>	3.63	152.81
			是	1.98	<b>26.37</b>	144.42
		10MiB	否	<b>1.98</b>	3.63	147.95
			是	1.98	<b>26.38</b>	146.45

## 5 观察与结论

通过上述实验，可以得出以下观察结果：

1. 在进行 DAC 读取操作时，启用 DMA 和 PHY 会让吞吐量更快；详见上表。
2. 在禁用 DMA 和 PHY 的情况下，INDAC 读取速度快于 DAC 的读取速度。
3. 在串行 NOR 闪存中，MCU+ SDK 仅在 > 1KiB 的数据传输中启用 DMA。考虑到 DMA 设置所需要的日常开支，较小数据量传输时采用 CPU 拷贝效率更高。
4. 在串行 NAND 闪存中，MCU+ SDK 仅在超过 > 256 字节的数据传输中启用 DMA。考虑到 DMA 设置所需要的日常开支，较小数据量传输时采用 CPU 拷贝效率更高。
5. 当输入时钟频率较高且输入时钟分频器值较低时，吞吐量更好。
6. 上图表明，无论数据宽度如何，在相同配置下，吞吐量都几乎保持不变，从而使执行时间和数据宽度之间几乎呈线性关系。但在数据宽度较小时，DMA 开销成为主导因素，会导致偏离上述线性趋势，详见上表。

请参阅针对不同闪存器件进行性能分析得出的以下结论：

1. 使用建议：
  - a. 串行 NOR 闪存的 DAC 读取和 INDAC 写入。
  - b. 串行 NAND 闪存的 DAC 读取和 DAC 写入。
2. 为了加快 DAC 读取速度，请启用 PHY 和 DMA。
3. 禁用 PHY 后，使用输入时钟频率的最高允许值和输入时钟分频器的最小值。
4. **根据获得的数字**，TI 建议使用以下协议：
  - a. S28HS512T ( 串行 NOR OSPI 闪存 ) 的 8D-8D-8D。
  - b. S25HL512T ( 串行 NOR QSPI 闪存 ) 的 4S-4D-4D。
  - c. W35N01JWTBAG ( 串行 NAND OSPI 闪存 ) 的 1S-8S-8S。
  - d. **在自定义闪存中**：在定制闪存中，主要采用 DDR 技术并使用最大数量的数据线。如果自定义闪存不支持 DDR，请使用 SDR。

## 6 总结

本应用手册提供了适用于 TI Sitara™ MPU 系列的全面闪存性能分析，使工程师能够优化嵌入式系统吞吐量和效率。性能分析数据揭示了在不同闪存类型和配置下实现最高性能的关键要点。

协议选择也会影响性能，建议在 NOR OSPI 中使用 8D-8D-8D，在 NOR QSPI 中使用 4S-4D-4D，在 NAND OSPI 操作中使用 1S-8S-8S。为实现最佳闪存性能，工程师应配置同时启用 DMA 和 PHY 的系统，采用最高允许时钟频率并最小化时钟分频，同时根据具体闪存类型和应用需求选择合适的协议。

## 7 参考资料

1. 德州仪器 (TI), [串行 NOR OSPI 闪存性能数值](#), 数据表。
2. 德州仪器 (TI), [串行 NAND OSPI 闪存性能数值](#), 数据表。
3. Infineon Technologies, [S28HS512T 数据表](#), 数据表。
4. Winbond, [1.8V 1G 位串行 SLC NAND 闪存八通道 SPI 与 166MHz SDR 和 120Mhz DDR 缓冲器读取和连续读取](#), 数据表。
5. Infineon Technologie, [S25HL512T 数据表](#), 数据表。
6. 德州仪器 (TI), [MCU+SDK 的 xSPI 定制闪存调试指南](#), 应用手册。

## 重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月