

Application Note

全桥转换器中有源钳位电路的设计注意事项



Forest Fu, Daniel Gao, Sheng-yang Yu

摘要

在电动汽车应用的 DC-DC 转换器中，广泛使用了全桥拓扑，而同步整流器上的电压应力构成了一项重大的设计挑战。本文档的组织结构如下：第 1 节探讨了电压应力生成的基本机制，并比较了不同的缓冲器电路解决方案。第 2 节全面分析了有源钳位 (ACL) 电路的分类和相应的硬件实现策略。第 3 节介绍了与 ACL 电路相关的控制原则及软件架构。本文档给出的调查结果旨在为从事缓冲器电路设计及优化的工程师提供技术参考。

内容

| | |
|-----------------------|----|
| 1 简介..... | 2 |
| 1.1 同步整流器上的电压应力..... | 2 |
| 1.2 缓冲器电路概述..... | 3 |
| 2 有源钳位电路..... | 9 |
| 2.1 不同类型的 ACL 电路..... | 9 |
| 2.2 ACL 电路的硬件设计..... | 12 |
| 2.3 ACL 电路的软件设计..... | 16 |
| 3 总结..... | 21 |
| 4 参考资料..... | 21 |
| 5 修订历史记录..... | 22 |

商标

所有商标均为其各自所有者的财产。

1 简介

在高压到低压的 DC-DC 转换应用中，全桥电路因能够提供电隔离并有助于高功率传输而得到广泛采用。全桥拓扑包含多种架构变体，包括硬开关全桥、相移全桥 (PSFB)、双有源电桥 (DAB) 和全桥 LLC 谐振转换器拓扑。硬开关和相移全桥配置通常会在次级侧同步整流器上表现出较高电压应力，因此需要采用具有更高额定电压的半导体器件。因此，这一要求增加了物料清单 (BOM) 成本。此外，具有较高额定电压的器件本身就具有更高的导通状态电阻 (RDSon)，这会降低系统的整体电源转换效率。

1.1 同步整流器上的电压应力

将图 1-1 中所示的相移全桥 (PSFB) 拓扑视为一个代表性示例。初级侧包含全桥配置，其中 Q1、Q2、Q3 和 Q4 构成初级侧电源开关器件。次级侧采用倍流器同步整流方案，Q5 和 Q6 用作次级侧电源开关。变压器的匝数比为 $N:1$ ，具有寄生漏电感 L_k 和磁化电感 L_m 。值得注意的是，漏电感 L_k 需要仔细优化，从而在零电压开关 (ZVS) 工作范围和占空比损耗之间进行适当的权衡。

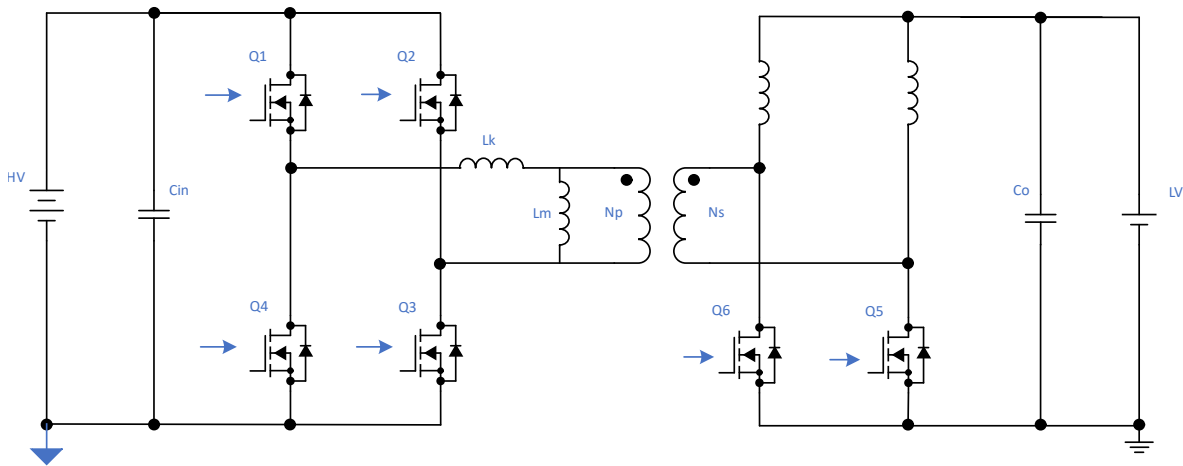


图 1-1. 相移全桥拓扑的方框图

如图 1-2 所示，施加在次级侧 MOSFET 上的电压应力升高源于 L_k 和次级 MOSFET 的寄生输出电容 (C_{oss}) 之间的谐振。

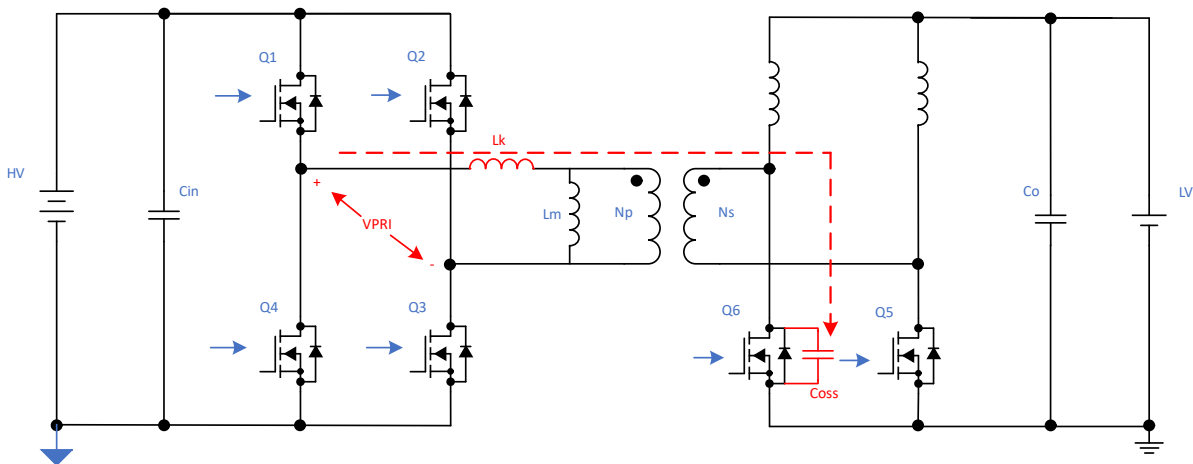


图 1-2. 谐振引起的电压应力

图 1-2 中所示的等效电路可以用图 1-3 中所示的简化模型表示。在该表示中， L_k 表示反射到次级侧的初级漏电感， C_{oss} 表示同步整流器的输出电容， V_{in} 对应于初级侧输入电压，而 I_o 表示负载电流。Q6 关断时， C_{oss} 上的初始电压为 0V，电路表现出 LC 串联谐振网络的零状态响应特性。当反射输入电压 V_{in}/N 对 C_{oss} 充电时，谐振发生在 L_k 和 C_{oss} 之间。在忽略寄生电阻的理想化情况下，由于这种谐振行为， C_{oss} 上的峰值电压理论上可以达到稳态电压值的两倍。

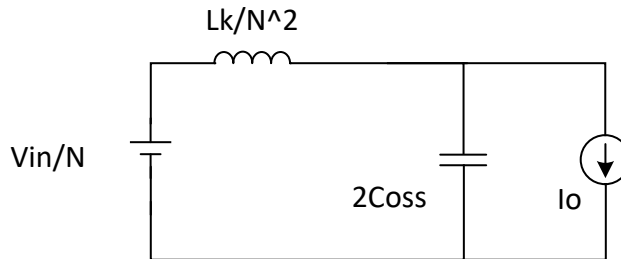


图 1-3. 电压应力的等效电路

对于典型的汽车级 400V 至 14V DC-DC 转换器，最大输入电压约为 430V。假设变压器匝数比为 6:1 且在 3.5kW 下以满负载运行，理论计算表明，次级侧开关上的最大电压应力为 143V，稳态平坦电压为 71.5V。图 1-4 显示了在没有任何缓冲器电路的情况下的仿真电压应力波形。在没有钳位干预的情况下，峰值电压达到 125.8V。相对于理论最大衰减和后续衰减的偏差归因于初级侧功率器件上的压降及系统固有的等效串联电阻 (ESR)。

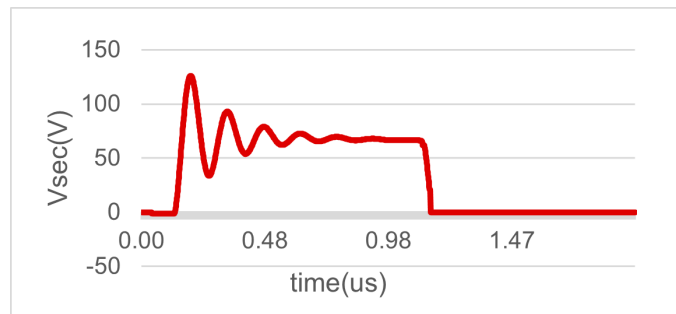


图 1-4. 无缓冲器电路时电压应力的仿真波形

从图 1-4 可以明显看出，瞬态电压直接施加到同步整流器电路上，因此需要选择额定电压为 150V 的功率器件，且无需采取钳位措施。如前所述，由于此类器件的 R_{DSon} 较高，此要求会增加 BOM 成本，并降低整体系统效率。因此，在实际应用中，采用缓冲器电路来抑制电压应力是一种更为普遍且具有成本效益的设计方法。

1.2 缓冲器电路概述

缓冲器电路通常分为两大类：无源缓冲器电路及有源钳位电路。后续各节将详细分析每种电路拓扑。

1.2.1 RC 缓冲器

RC 缓冲器代表了一种传统的钳位设计，由于其具有成本效益，该设计已得到广泛采用，如图 1-5 所示。RC 串联网络与同步整流器并联，其中电容器用作能量缓冲器，而电阻器功能用于限制瞬态电流幅度。Q6 关断后，当 Q6 上的电压应力超过电容器电压时，电容器会通过电阻器充电，从而将电压应力钳位到大约的电容器电压电平。相反，在 Q6 的导通转换期间，电容器通过电阻器向 Q6 放电，从而保持电荷平衡并建立稳定状态电容器电压。

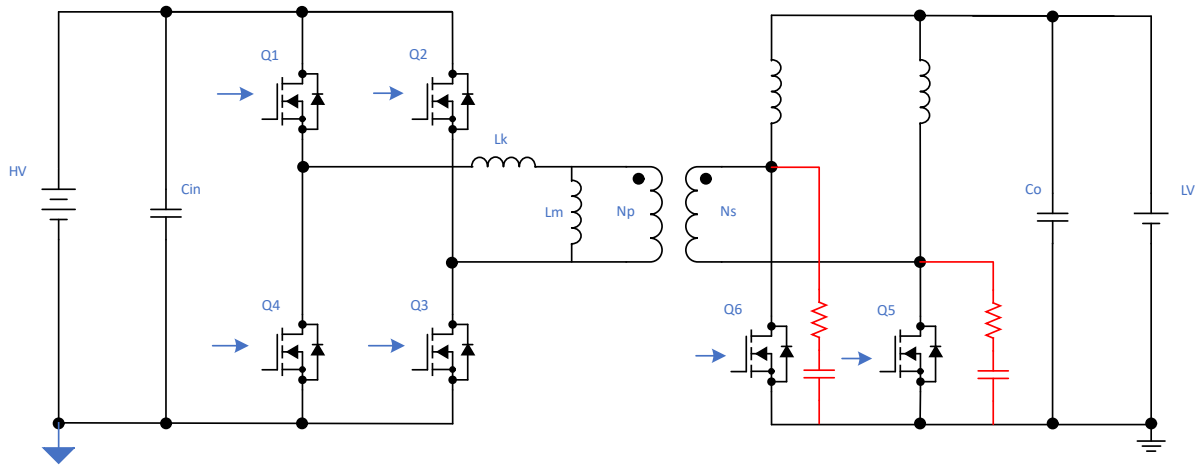


图 1-5. RC 缓冲器电路的方框图

RC 缓冲电路的主要限制是电容器通过同步整流器电源开关放电，导致电阻器内发生完全能量耗散。该机制会降低系统效率，并因电阻发热而带来显著的热管理挑战。图 1-6 展示了使用 $10\ \Omega$ 电阻器和 3nF 电容器实现 RC 缓冲器电路的仿真电压应力波形。仿真结果表明，峰值电压应力从 125.8V 降至 113.1V 。比较效率分析表明，RC 缓冲器会额外引入 19W 的功率损耗，相当于整体系统效率降低 0.54% 。

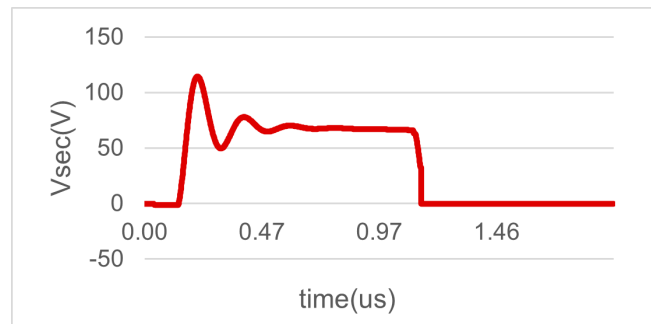


图 1-6. 使用 RC 缓冲器电路时电压应力的仿真波形

1.2.2 RCD 缓冲器

RCD 缓冲电路表示 RC 配置的扩展，添加了串联二极管，如图 1-7 所示。二极管阳极连接到同步整流器器件的漏极端子，而阴极连接到电容器；电容器和输出侧上桥接一个电阻器。Q6 关断后，当 Q6 上的电压应力超过电容器电压时，电容器通过二极管充电，从而有效地将电压应力钳位到电容器电压电平。电容器通过电阻器向 DC-DC 转换器输出放电，从而保持电荷平衡并建立稳态电容器电压。

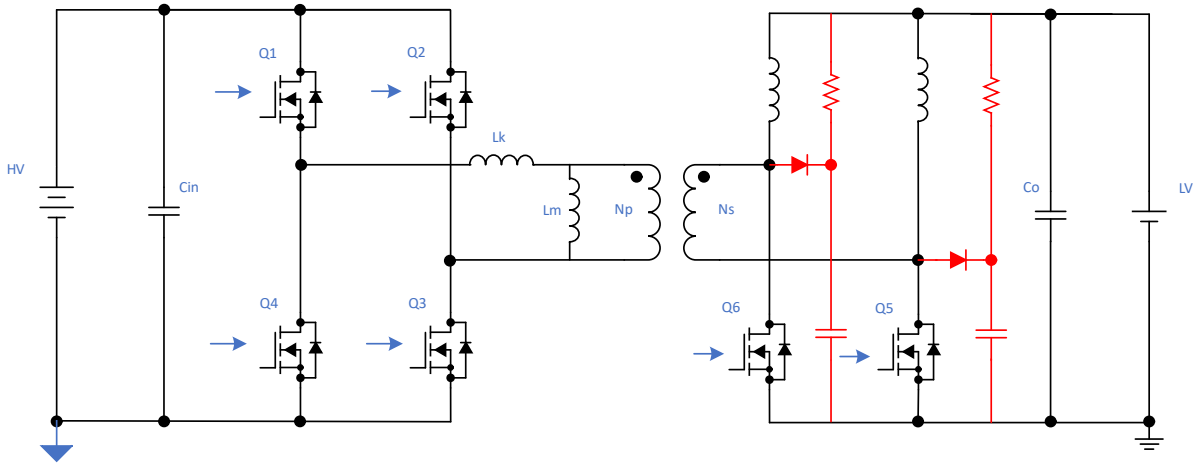


图 1-7. RCD 缓冲器电路的方框图

与 RC 缓冲电路相比，RCD 缓冲器配置具有两个显著的优势。首先，通过二极管促进电容器充电过程，使钳位电压等于电容器电压加上二极管的正向压降。相比之下，RC 缓冲器表现出的钳位电压等于电容器电压与电阻压降之和，后者通常更高。因此，RCD 缓冲器实现了较低的有效钳位电压。其次，电容器通过电阻器向转换器输出放电，而不是通过同步整流器放电。这样可以对输出进行部分能量恢复，从而与 RC 缓冲器的完整能量耗散特性相比，降低电阻损耗并提高整体效率。

在 RCD 缓冲器电路中，由于没有串联电阻器限制充电电流，因此二极管必须具有足够的电流处理能力，并且电容器需要足够的电容量来防止瞬态电流尖峰导致的过压情况。图 1-8 展示了采用 510 Ω 电阻器和 100nF 电容器的 RCD 缓冲器电路的仿真电压应力波形。仿真结果表明峰值电压应力从 125.8V 降到 101.2V。比较效率分析表明，RCD 缓冲器会额外引入 15W 的功率损耗，相当于整体系统效率降低 0.42%。

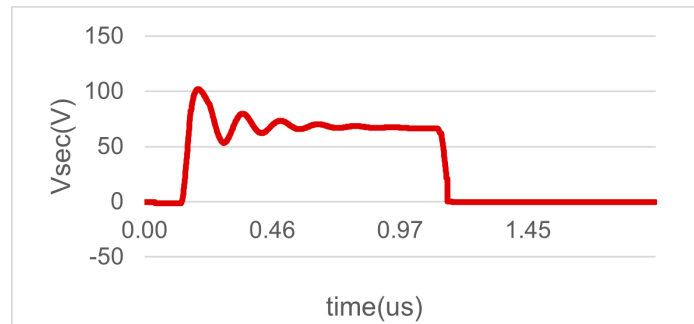


图 1-8. 使用 RCD 缓冲器电路时的电压应力波形

1.2.3 二极管钳位

二极管钳位技术通常分为两类：次级侧齐纳二极管钳位及初级侧肖特基二极管钳位。次级侧齐纳二极管钳位代表了一种简单的实现方法，如图 1-9 所示。齐纳二极管和同步整流器器件并联。当电压应力超过齐纳击穿电压时，二极管会进入雪崩导通，从而有效地将电压应力钳位到特征击穿电压电平。

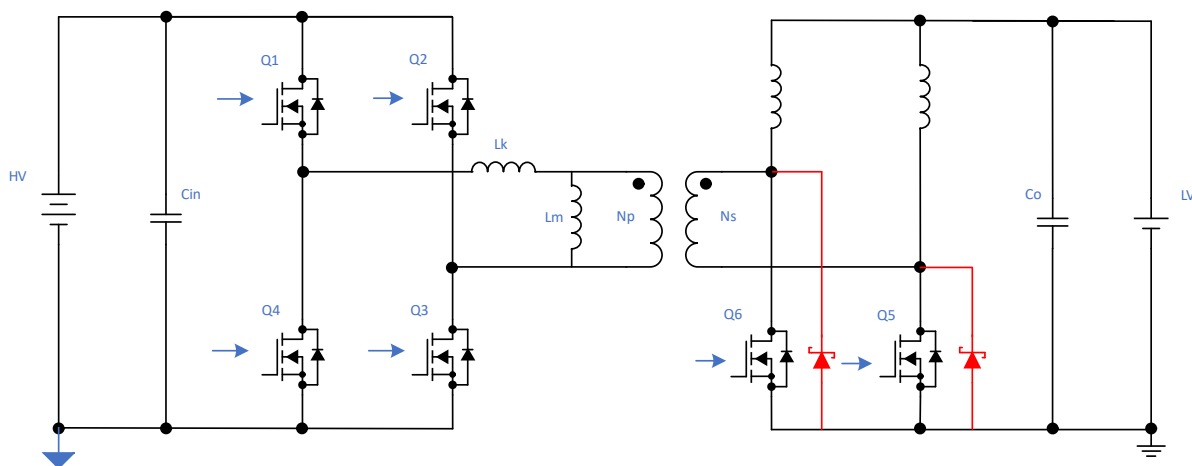


图 1-9. 齐纳二极管钳位电路方框图

虽然这种电路拓扑表现出简单性，但其局限性很大。全部吸收的能量都在齐纳二极管内耗散，导致系统效率降低，器件承受显著的热应力。因此，该方法通常与互补钳位电路结合使用，而不是作为独立的设计使用。图 1-10 展示了实现齐纳二极管钳位后的仿真电压应力波形。该仿真示出了峰值电压应力从 125.8V 降至 101.2V。比较性效率分析表明，齐纳二极管钳位电路会额外引入 27W 的功率损耗，相当于整体系统效率下降 0.78%。

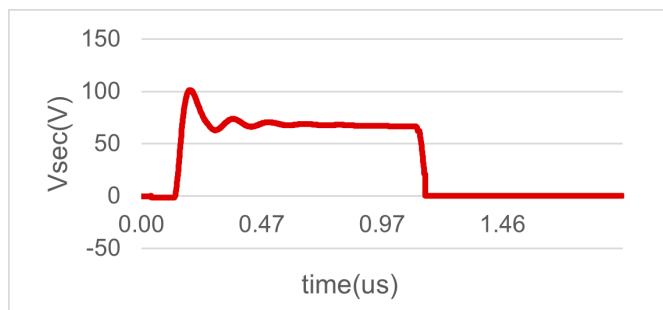


图 1-10. 在使用齐纳二极管钳位电路时电压应力的仿真波形

初级侧肖特基二极管钳位表示采用更广泛的实现方式，如图 1-11 所示。钳位网络由两个肖特基二极管组成，配置如下：一个二极管的阳极连接到变压器的初级绕组，阴极连接到正高压总线 (HV BUS+)；另一个二极管的阴极连接到初级绕组，其阳极连接到负高压总线 (HV BUS-)。当次级侧出现过大瞬态电压时，初级侧反射电压（按变压器匝数比调节）被二极管钳制，从而限制通过变压器耦合在次级侧产生的最大电压应力。

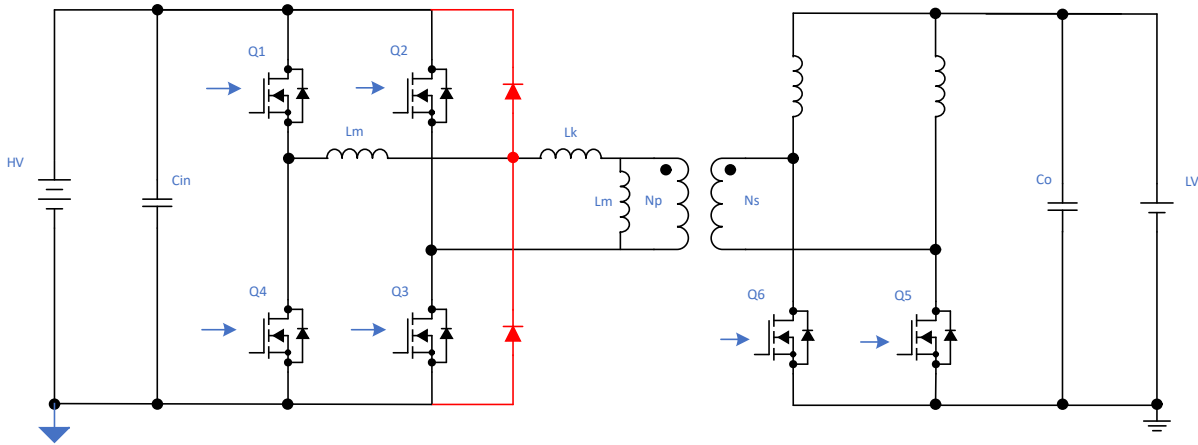


图 1-11. 肖特基二极管钳位电路的方框图

虽然此解决方案展示了有效的电压应力抑制，但它存在两个显著的限制。首先，在传统设计中，外部电感器 L_r 和变压器漏电感 L_k 共同提供 PSFB 运行所需的电感。然而，初级侧肖特基二极管只能钳制由外部电感器 L_r 和输出电容 C_{oss} 之间的谐振引起的电压应力；它们对变压器漏电感 L_k 和 C_{oss} 之间的谐振所产生的电压应力无效。随着现代 DC-DC 转换器设计越来越重视功率密度优化，设计人员经常去除外部电感器 L_r ，而仅依赖变压器漏电感 L_k 。在这种情况下，这种钳位方法会失效。

其次，肖特基二极管的额定值必须能够承受 DC-DC 转换器的全输入电压，并具有超快反向恢复特性。对于具有 800V 输入的 DC-DC 系统，通常需要 1200V SiC 肖特基二极管，这会显著增加 BOM 成本。

图 1-12 显示了实现初级侧肖特基二极管钳位时的仿真电压应力波形。为了准确评估这种钳位技术的有效性，在仿真模型中将初级侧电感明确划分到外部电感器 L_r 和变压器漏电感 L_k 中。结果表明，峰值电压应力从 125.8V 降至 86.9V。比较效率分析表明，肖特基二极管钳位电路引起的额外功率损耗可以忽略不计，不会明显降低整体系统效率。

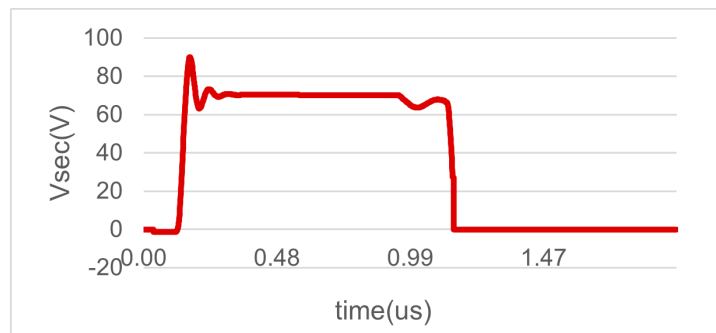


图 1-12. 使用肖特基二极管钳位电路时的电压应力仿真波形

1.2.4 有源钳位

ACL 电路代表了 DC-DC 转换器中目前最普遍采用的钳位拓扑。有源钳位架构存在多种变体，在第 2 节中进行了全面检查。本节重点介绍图 1-13 中所示的代表性配置。有源钳位电源开关与钳位电容器串联，并且该组合与同步整流器并联。Q6 关断后，当 Q6 上的电压应力超过电容器电压时，电容器通过有源钳位开关的反并联体二极管充电，从而将电压应力钳位到电容器电压电平。通过精确控制有源钳位开关导通时序和导通持续时间，存储在钳位电容器中的能量可以完全传输到输出侧，从而实现能量回收而不是耗散。

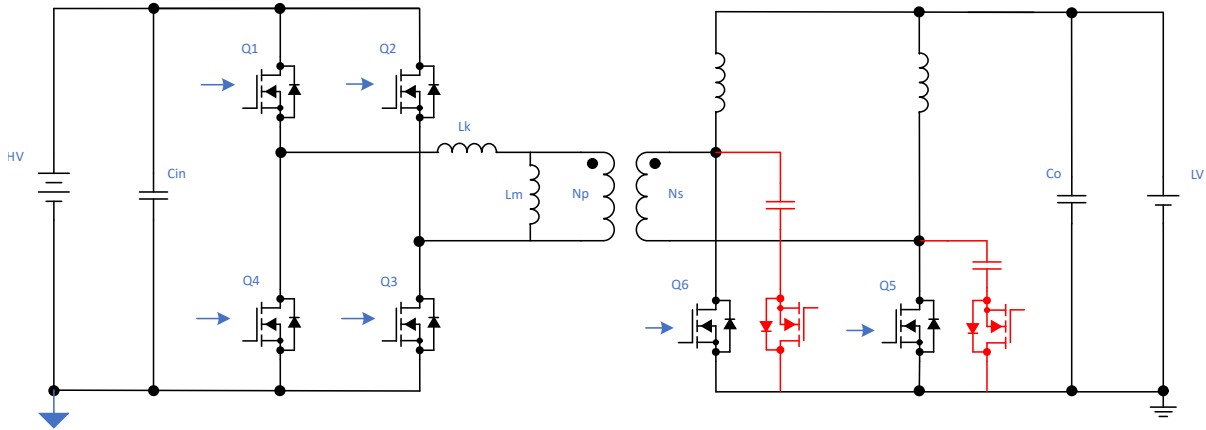


图 1-13. 有源钳位电路的方框图

在有源钳位电路中，充电路径类似于 RCD 缓冲器配置，而放电路径受到主动控制并绕过限流电阻器。因此，此拓扑可实现高效的电压应力抑制。图 1-14 展示了实现有源钳位后的仿真电压应力波形。仿真结果表明，峰值电压应力从 125.8V 降至 80.5V。比较效率分析表明，有源钳位电路引起的额外功率损耗可以忽略不计，不会明显降低整体系统效率。

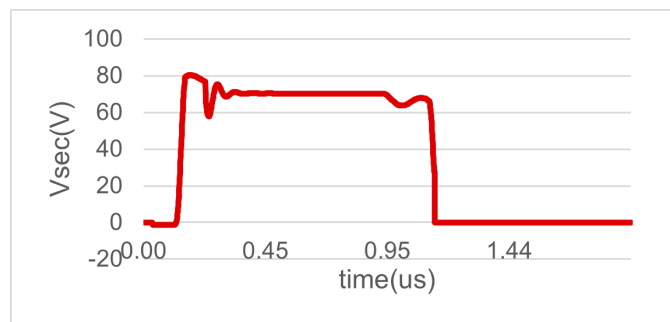


图 1-14. 使用有源钳位电路时电压应力的仿真波形

表 1-1 全面比较了所讨论的所有钳位电路拓扑。从比较分析可以明显看出，ACL 电路在电压应力抑制有效性和效率方面具有显著优势，这也是其在现代 DC-DC 转换器设计中被广泛采用的原因。第 2 节详细介绍 ACL 电路设计方法和实现注意事项。

表 1-1. 所有钳位电路的摘要

| 钳位电路 | 无钳位 | RC 缓冲器 | RCD 缓冲器 | 齐纳钳位 | 肖特基钳位 | 有源钳位 |
|-----------|--------|--------|------------|--------|-------------|--------|
| 电压应力 | 125.8V | 113.1V | 101.2V | 101.2V | 86.9V | 80.5V |
| 电源开关电压额定值 | 150V | 120V | 120V | 120V | 100V | 100V |
| 额外的功率损耗 | 0W | 19W | 15W | 27W | 可忽略 | 可忽略 |
| 优势 | / | 最低成本 | 低成本、部分能量回收 | 简单电路 | 良好钳位性能 | 良好钳位性能 |
| 限制 | / | 高功率损耗 | 高功率损耗 | 超高功率损耗 | 高成本，受 TF 限制 | 复杂控制 |

2 有源钳位电路

2.1 不同类型的 ACL 电路

2.1.1 ACL 的差异布置

图 2-1 所示的 PSFB 拓扑广泛用于高压至低压 DC-DC 转换应用。如第 1 节所述，同步整流器仍然容易受到由寄生输出电容和变压器漏电感之间的谐振引起的较大电压应力的影响。施加在整流器上的峰值电压应力理论上可以达到方程式 1 中表示的幅度。

$$V_{ds_max} = 2 \times V_{in} \times N_s/N_p \quad (1)$$

其中 N_p 和 N_s 分别表示变压器的初级绕组和次级绕组。

如第 1 节所述，与 SR MOSFET 的 RCD 缓冲器相比，设计人员主要倾向于 ACL 电路，这主要是由于无源缓冲器拓扑的功率级别要求和固有的大量功率损耗。图 2-1 展示了全桥 SR 应用中常用的代表性 ACL 电路配置。

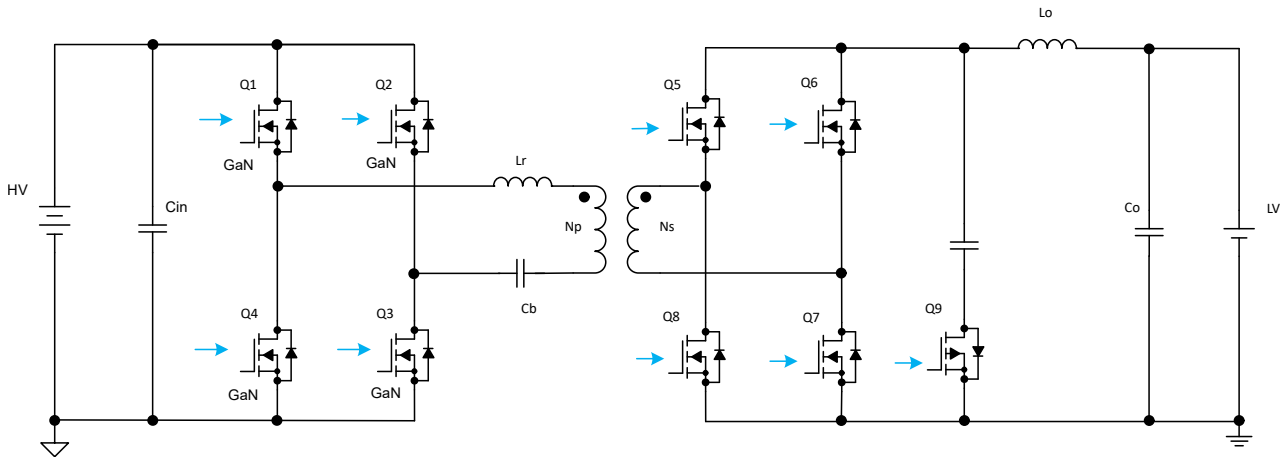


图 2-1. 适用于 PSFB 同步整流器 MOSFET 的传统有源钳位电路

图 2-1 描述了 ACL 电路的主要构成元件：P 沟道金属氧化物半导体场效应晶体管 (PMOS) Q9 和缓冲电容器。缓冲电容器连接到输出电感器的一个端子，而 PMOS 源极端子接地。在传统的 PSFB 有源钳位配置中，SR MOSFET Q5 和 Q7 与 Q6 和 Q8 采用相同的电路布置。在 SR MOSFET 的关断转换之后，PMOS 会以适当的延迟激活。

图 2-2 展示了采用 ACL 电路的 PSFB 拓扑的控制时序方案。如图 2-2 所示，PMOS 的开关频率是初级侧开关频率 (f_{sW}) 的两倍。

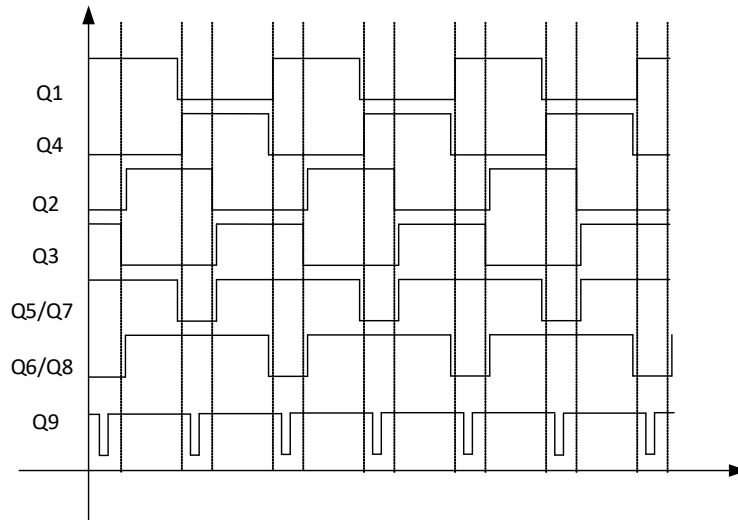


图 2-2. 有源钳位 PMOS Q9 的控制方案。

可使用方程式 2 至方程式 6 来计算 ACL PMOS 中的功率损耗。除了导通损耗 (P_{on_state})，所有其他损耗分量随开关频率成比例变化。鉴于 PMOS 开关频率是初级侧频率的两倍，相关损耗会相应地加倍，从而带来重大的热管理挑战。当开关频率升高以满足小型化和功率密度要求时，这些散热考虑因素变得越来越重要。

$$P_{on_state} = I_{rms}^2 \times R_{dson} \quad (2)$$

$$P_{turn_on} = 0.5 \times V_{ds} \times I_{on} \times t_{on} \times f_{sw} \quad (3)$$

$$P_{turn_off} = 0.5 \times V_{ds} \times I_{off} \times t_{off} \times f_{sw} \quad (4)$$

$$P_{drive} = V_{drv} \times Q_g \times f_{sw} \quad (5)$$

$$P_{diode} = I_{snubber} \times V_{sd} \times t_d \times f_{sw} \quad (6)$$

选择具有品质因数 (FOM) 的 PMOS 器件或采用具有增强热导率的热界面材料是可行方法。然而，根本性限制仍然存在，即热应力仍集中于单个元件内，这使得有效的热管理本质上难以实现。

一种更有效的策略是通过实现双有源钳位电路将热负载分配至多个元件。如图 2-3 所示，该配置通过将缓冲电容器端子连接到次级侧桥臂的开关节点来实现。在此拓扑中，Q11 仅在 Q5 和 Q7 关断转换后激活，而 Q10 仅在 Q6 和 Q8 关断转换后激活。图 2-4 展示了采用这种双有源钳位配置的 PSFB 拓扑的控制时序方案。

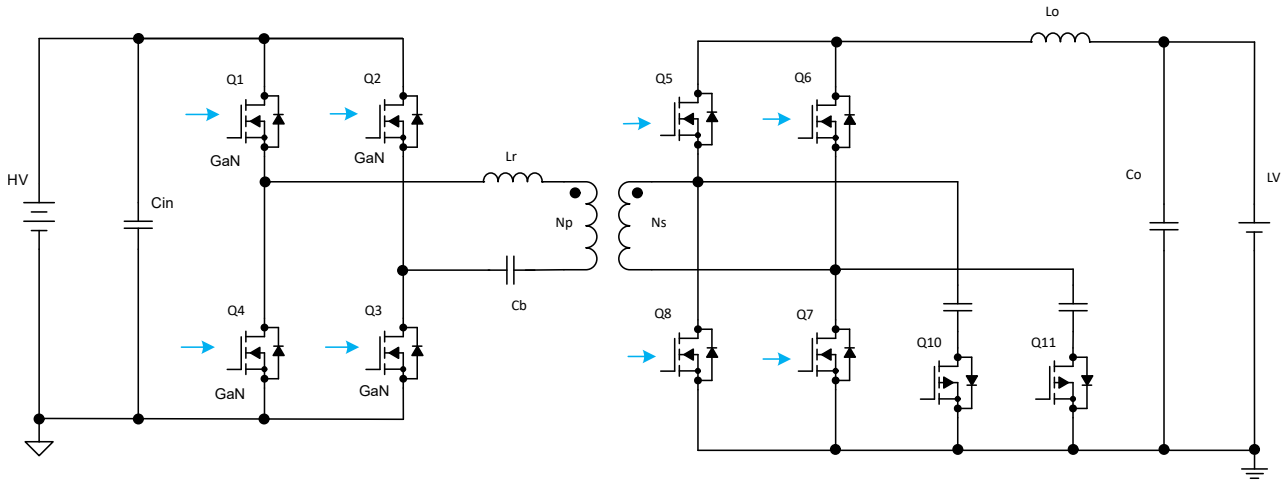


图 2-3. PSFB 同步整流 MOSFET 的新型有源钳位电路

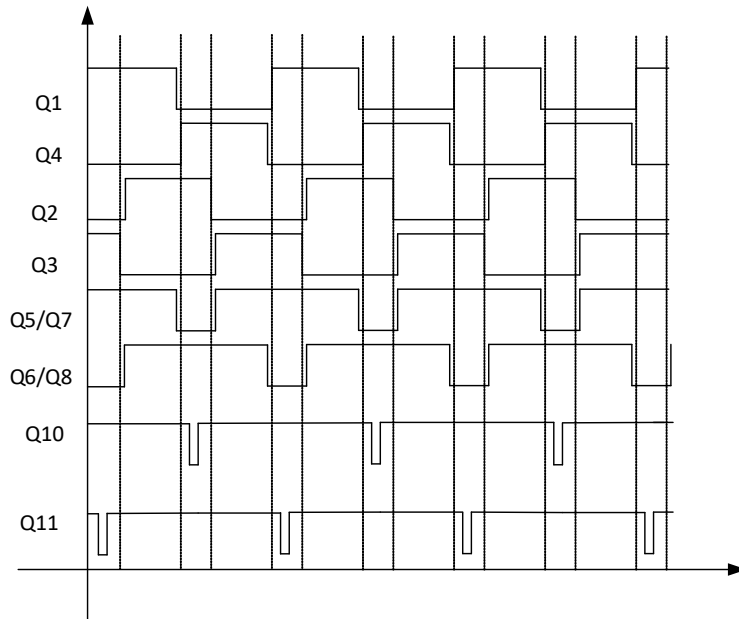


图 2-4. PSFB 控制方案和新型有源钳位

2.1.2 PMOS 类型及 NMOS 类型

除了 PMOS 器件外，N 沟道 MOSFET (NMOS) 也是 ACL 电路实现的可行选择。在选择合适的 ACL MOSFET 类型时，设计人员应考虑两项基本原则。

原则一：驱动器电路复杂性

PMOS 器件通常更受青睐，因为其驱动电路拓扑结构更简单且 BOM 成本更低。与传统的 NMOS 驱动器电路相比，PMOS 方案仅需要一个额外的二极管和陶瓷电容器。相反，采用 NMOS 作为钳位 MOSFET 需要隔离式栅极驱动器电路，因为 NMOS 源极端子连接到开关节点而不是固定电位。这种要求会显著提高电路复杂性并增加 BOM 成本。节 2.2.2 提供了有关这些驱动器电路配置的全面详细信息。

原则二：脉冲电流能力

与 PMOS 器件相比，NMOS 晶体管通常具有出色的载流能力和更快的开关特性，这主要归因于 NMOS 中的电子迁移率更高（大约是 PMOS 中的孔迁移率的 2-3 倍）。对于输出电流低于 100A 的转换器，PMOS 钳位

MOSFET 是一个合适的选择。但是，对于高电流应用（例如输出电流接近 200A 的高压转低压 (HV-LV) DC-DC 转换器），建议采用 NMOS 钳位 MOSFET，因其具备更优异的性能特性。图 2-5 所示为采用 NMOS 器件的 PSFB 转换器的传统 ACL 电路拓扑。

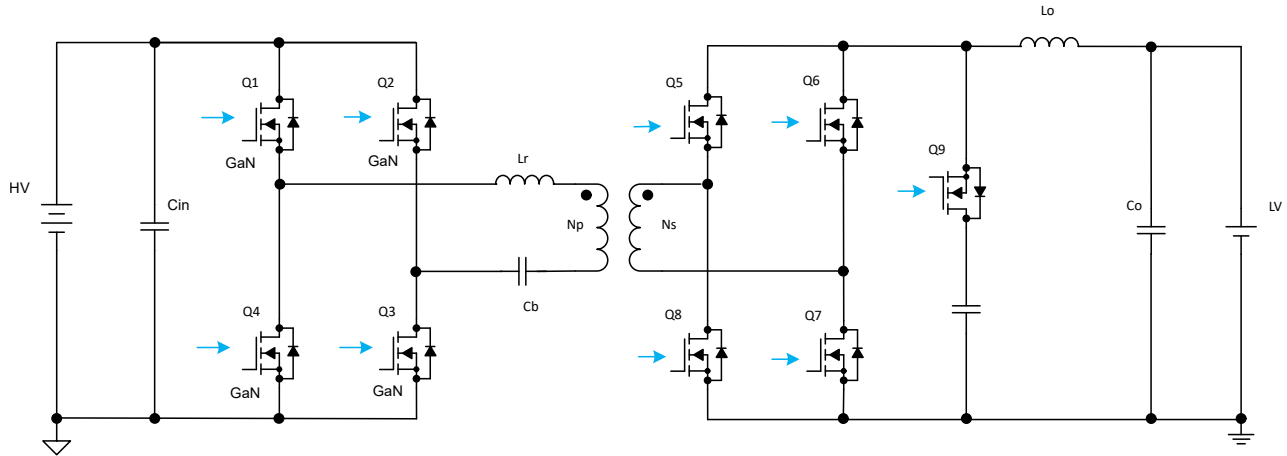


图 2-5. 用 NMOS 作为钳位 FET 的 PSFB 的传统有源钳位电路

2.2 ACL 电路的硬件设计

2.2.1 钳位电容器

选择有源钳位电容器时，需要仔细考虑涉及电压纹波、瞬态响应特性和整体效率的多种设计权衡。主要设计参数包括电容值 (C_{clamp}) 及额定电压。设计人员必须相对于开关频率评估谐振频率，确保电容足够大，以便最大限度地降低电压纹波，同时保持足够小以实现快速瞬态响应。此外，应选择低等效串联电阻 (ESR) 电容器类型（如陶瓷电容器），以有效地处理谐振电流，而不会在开关转换期间产生过多的散热或电压过冲。

1. 确定工作电压：

使用 ACL 时，次级 SR FET 的 V_{ds} 被钳位到

$$V_{ds_sr} = K \times V_{in_max} \times N_s/N_p \quad (7)$$

其中 K 小于 1.5

考虑到钳位电容器与 SR FET 并联，钳位电容器两端的电压相当于 SR FET 的漏源电压 (V_{ds})。需要注意的是，钳位电容器还会受到等于以下值的 DC 偏置电压：

$$V_{dc_bias} = 2 \times D \times V_{in_max} \times N_s/N_p \quad (8)$$

其中 D 是变压器初级绕组的有效占空比，

$$0 \leq D < 0.5 \quad (9)$$

2. 选择共振频率 (f_r)：设置 f_r 使其明显低于没有 ACL 时的谐振频率 f_R （例如， $f_r \approx 0.1 \times f_R$ 或更少）。

$$f_R = \frac{1}{2 \times \pi \times \sqrt{\left(\frac{N_s}{N_p}\right)^2 \times L_r \times 2 \times C_{oss}}} \quad (10)$$

$$f_r = \frac{1}{2 \times \pi \times \sqrt{\left(\frac{N_s}{N_p}\right)^2 \times L_r \times (C_{clamp} + 2 \times C_{oss})}} \quad (11)$$

3. 计算 C_{clamp} ：

以 PSFB 拓扑为例， $C_{clamp} = 1 / ((N_s / N_p)^2 \times L_r \times (2\pi f_r)^2)$ 其中， L_r 表示初级侧谐振电感器。对于没有分立谐振电感器的其他拓扑， L_r 等效于变压器次级绕组的漏电感。更大的 C_{clamp} 会导致更低的谐振频率 f_r ，这对应于降低电容器上的电压纹波。电容器电压纹波的减少降低了 SR FET 上的 V_{ds} 应力；然而，这也降低了转换器的瞬态响应性能。

4. 选中 I_{clamp} ：

假设设计的 K 为 1.1，电容器上的电压纹波为 $0.1 \times V_{in} \times N_s / N_p$ 。则 I_{clamp} 都可以从推导自：

$$I_{clamp} = C_{clamp} \times (0.1 \times V_{in} \times N_s / N_p) \times T_{delay} \times f_r \quad (12)$$

基于 I_{clamp} 和电容器的温升数据，您可以确定电容器的数量。请注意， I_{clamp} 是钳位时间内的 rms 电流。要进一步详细了解 T_{delay} ，位于节 2.3.1。

5. 电容器类型选择：

使用低 ESR 陶瓷电容器（例如 X7R 或者 C0G 等）来实现高频 AC 性能。

表 2-1. 钳位电容器的汇总检查清单

| 参数 | 选择标准 |
|-------------|---|
| V_C | 必须安全地处理峰值电压，通常围绕 $V_{in} + V_{out}$ 或 $2V_{in}$ （取决于拓扑），加上裕度。 |
| C_{clamp} | 更大 C_{clamp} ：减少漏极电压纹波（对于效率有利），但会减慢瞬态响应。 更小 C_{clamp} ：改善瞬态响应，但会增加纹波。 权衡：找到可接受纹波且瞬态足够快的临界点（例如，借助设计工具或者数据表建议）。 |
| ESR | 对于管理电容器中耗散的能量至关重要，尤其是在快速开关期间。由于钳位电路处理谐振电流，因此最好使用低 ESR（陶瓷电容器很大）来更最大限度地减少发热和电压尖峰。 |

2.2.2 电源开关

为 ACL 电路选择 MOSFET 通常用于复位正向/反激式转换器拓扑中的变压器磁芯或防止电感电压尖峰，这需要仔细优化电压应力额定值、开关速度特性和栅极驱动要求。

1. 击穿电压 (V_{DSS})

MOSFET 必须能够承受最大钳位电压，而不会进入雪崩击穿。 AV_{DSS} 所选峰值钳位电压应至少比预期峰值钳位电压高 30%（如方程式 7 中所计算），以便为输入电压变化和瞬态电压尖峰提供足够裕度。

2. 体二极管特性

ACL MOSFET 依靠其内部体二极管在初始复位阶段传导电流。体二极管必须具有足够电流处理能力来承受峰值反射电流。由于电流传导通过 MOSFET 的内部体二极管发生，因此由于缺少固有体二极管，氮化镓 (GaN) 器件不是此应用的优选方案。

基于 I_{clamp} （在节 2.2.1 中计算），可以确定 FET 的初始电流额定值；但是，这仅表示 RMS 值。要获得峰值电流 (I_{clamp_peak})，电路仿真也是必要的，或者可以通过参考“利用 PSFB 转换器中的有源钳位实现高转换器效率”中概述的方法进行分析计算。应根据计算得出的峰值电流来验证器件数据表中指定的“源漏脉冲电流”额定值。更新了脉冲漏极电流 $I_{D,pulse}$ ，其属于 PMOS 接近或超过此额定值的情况，可以加入一个串联功率电阻器来限制电流量级。

表 2-2. 钳位 FET 的汇总检查清单

| 参数 | 选择标准 |
|---------------|---|
| V_{DSS} | 最大钳位电压 + 20-30% 裕度。 |
| $I_{D,pulse}$ | 必须超过峰值电流脉冲。 |
| 极性 | 高侧钳位通常使用 N 沟道；低侧可使用 N 沟道或 P 沟道，具体取决于控制器 |

2.2.3 栅极驱动器

通常，可以使用低侧栅极驱动器来驱动 PMOS 器件，如图 2-6 所示。电容器 C1 用于为 PMOS 生成负栅极电压，以 10nF 的初始值作为起点。二极管 D1 将最大正电压钳位到其正向压降 (VF)；因此，施加到 PMOS 的有效负栅源电压为 (VDD - VF)。

请注意，如果 C1 的电容过大，PMOS 的栅极信号将表现出较慢的下降时间。在解决转换器软启动运行期间的漏源电压 (Vds) 过压问题时，必须特别注意这一现象。

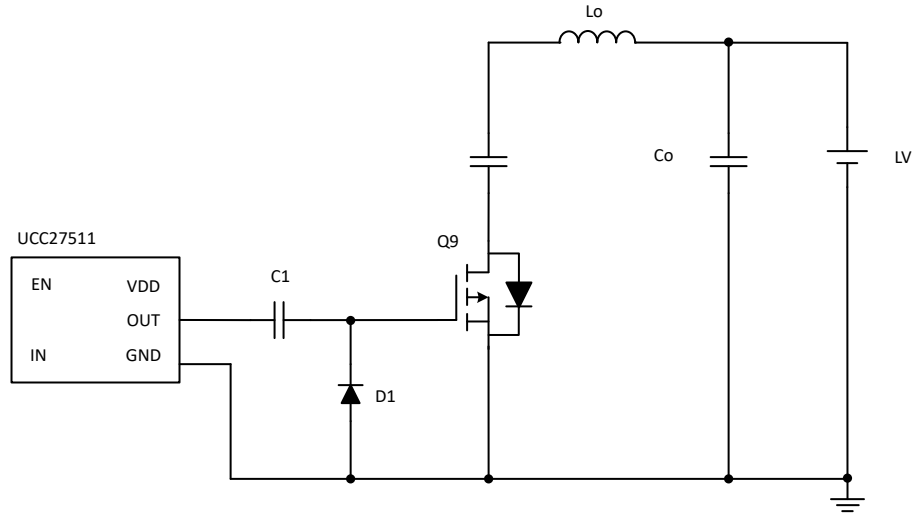


图 2-6. 用于 PMOS 的低侧驱动器

当 ACL 电路中使用 NMOS 器件作为钳位 MOSFET 时，需要使用隔离式栅极驱动器，如图 2-7 所示。或者，可以使用与低侧驱动器相结合的数字隔离器，如图 2-8 所示。自举电路可以为隔离式元件供电。表 2-3 介绍了一系列优先用于在 ACL 电路应用中实现的栅极驱动器集成电路。

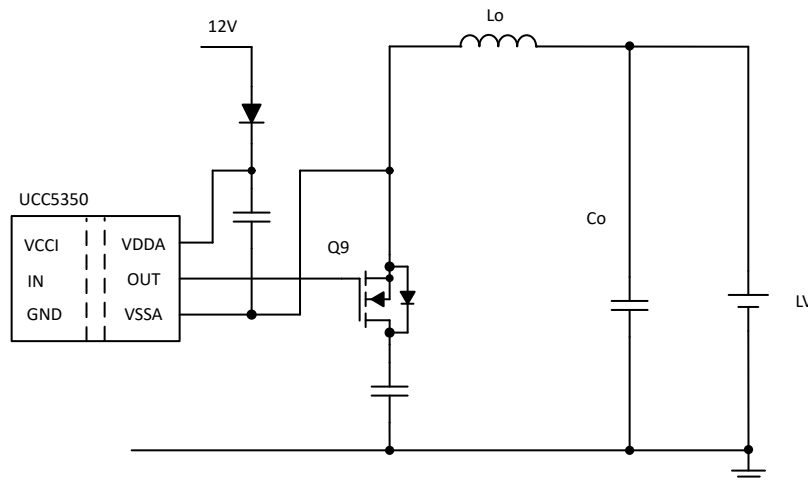


图 2-7. 用于 NMOS 的隔离式驱动器

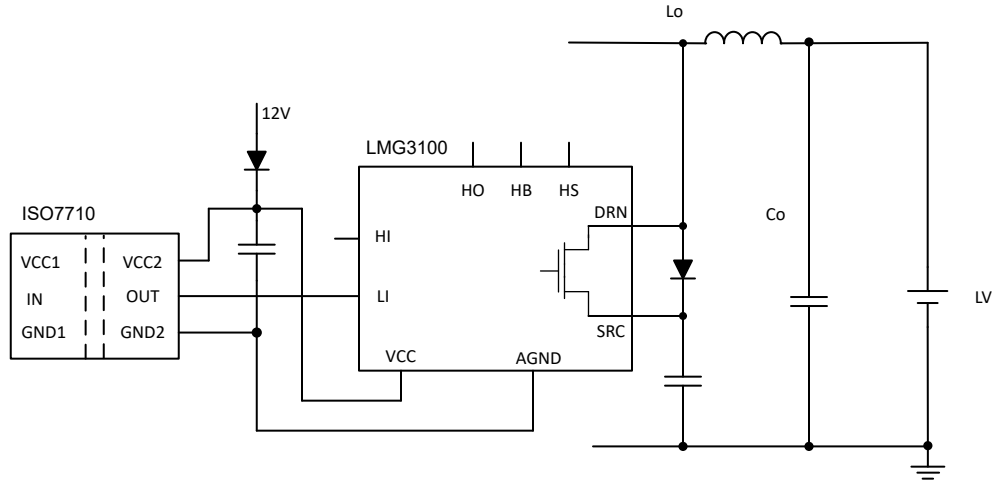


图 2-8. 用于 NMOS 的数字隔离器及低侧驱动器

表 2-3. ACL 中的 TI 元件

| 类型 | 器件型号 | 规格 |
|--------|------------|--------------------------------------|
| 低侧驱动器 | UCC27511A | 具有 4A 峰值拉电流和 8A 峰值灌电流的单通道、高速、低侧栅极驱动器 |
| | UCC27524A1 | 具有负输入电压能力的双通道 5A 高速低侧栅极驱动器 |
| 隔离式驱动器 | UCC5350 | 单通道隔离式栅极驱动器 |
| | UCC21331 | 4A/6A 3.0kVRMS 隔离式双通道栅极驱动器 |
| 数字隔离器 | ISO7710 | EMC 性能优异的高速、增强型单通道数字隔离器 |
| | ISO6420 | 通用、基础型及增强型双通道数字隔离器 |

2.3 ACL 电路的软件设计

硬件电路设计完成后，必须实现 ACL 电源开关的控制策略。有源钳位电路的性能明显受两个关键参数影响：导通延迟时间和有源钳位开关的导通持续时间。在分析这些参数的影响之前，必须全面了解 ACL 电路的工作原理。使用图 2-9 中所示的电路原理图进行分析，相应的时序图如图 2-10 所示。

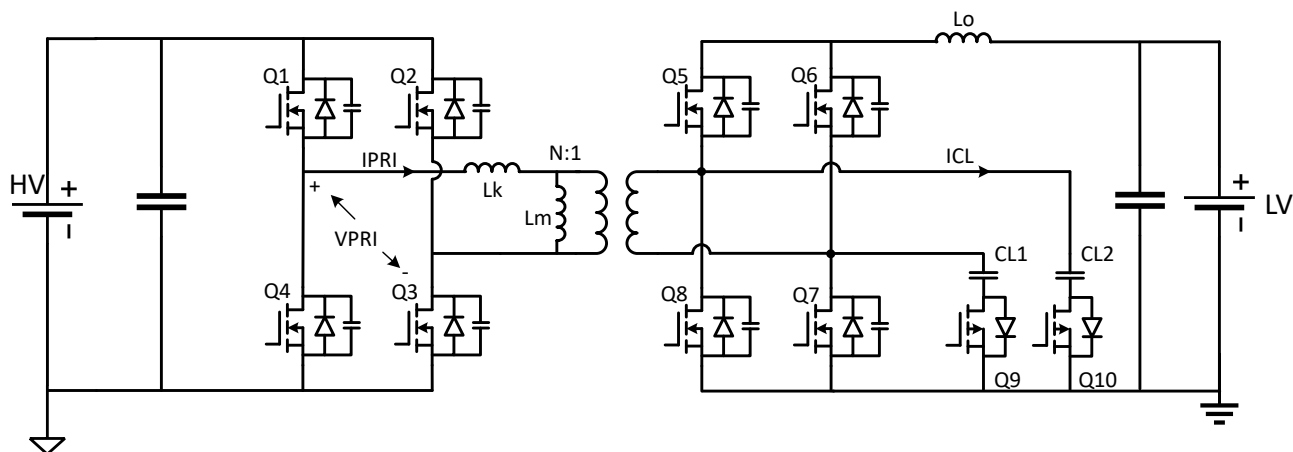


图 2-9. 具备有源钳位电路的全桥同步整流器方框图

[t0-t1]：在 t0 之前，开关 Q1 和 Q2 导通，初级电流 IPRI 沿与图 15 中定义的基准极性相反的方向流动。在 t0 处，Q2 经历关断，导致 IPRI 为 Q2 的 Coss 充电，同时对 Q3 的 Coss 放电。因此，初级电压 VPRI 从 0V 上升到 400V。在此间隔期间，同步整流器 Q5 至 Q8 保持导通状态，以保持负载电流。变压器次级绕组实际上被短路，从而在 Q8 上产生零漏源电压 (VDS = 0V)。

[t1-t2]：在 t1，Q3 导通。由于 Q3 的 Coss 在死区时间内完全放电，因此 Q3 实现零电压开关 (ZVS) 导通。由于变压器次级发生短路情况，初级电压 VPRI 完全施加在漏电感 Lk 上，导致 IPRI 快速下降并反向，然后在相反极性上快速增加。在此间隔期间，次级侧操作与 [t0-t1] 相同。由于在变压器保持短路时将输入电压施加到 VPRI，因此能量无法传输到次级侧。因此，此间隔表示占空比损耗周期。

[t2-t3]：在 t2 时，随着 IPRI 增加到足以支持负载电流，同步整流器 Q6 和 Q8 停止续流导通，从而使零电流开关 (ZCS) 在 t2 后不久关断。在 Q6 和 Q8 关断后，Q8 的漏源电压 VDS 开始逐渐上升。当 VDS 超过有源钳位电容器电压 VCL2 时，电压应力被钳制在 VCL2。

如图 1-3 所示，电压应力由漏电感 Lk 和输出电容 Coss 之间的谐振引起。在间隔 [t2-t3] 期间实现有源钳位 (ACL) 电路后，等效电容包括与钳位电容器 CL2 并联的 Coss。由于 CL2 明显大于 Coss (CL2 >> Coss)，因此电压波动会大大降低，振荡频率会低得多。谐振周期可表示为：

$$T = 2\pi\sqrt{\left(\frac{1}{N}\right)^2 \times L_k \times (2C_{oss} + C_{CL2})} \quad (13)$$

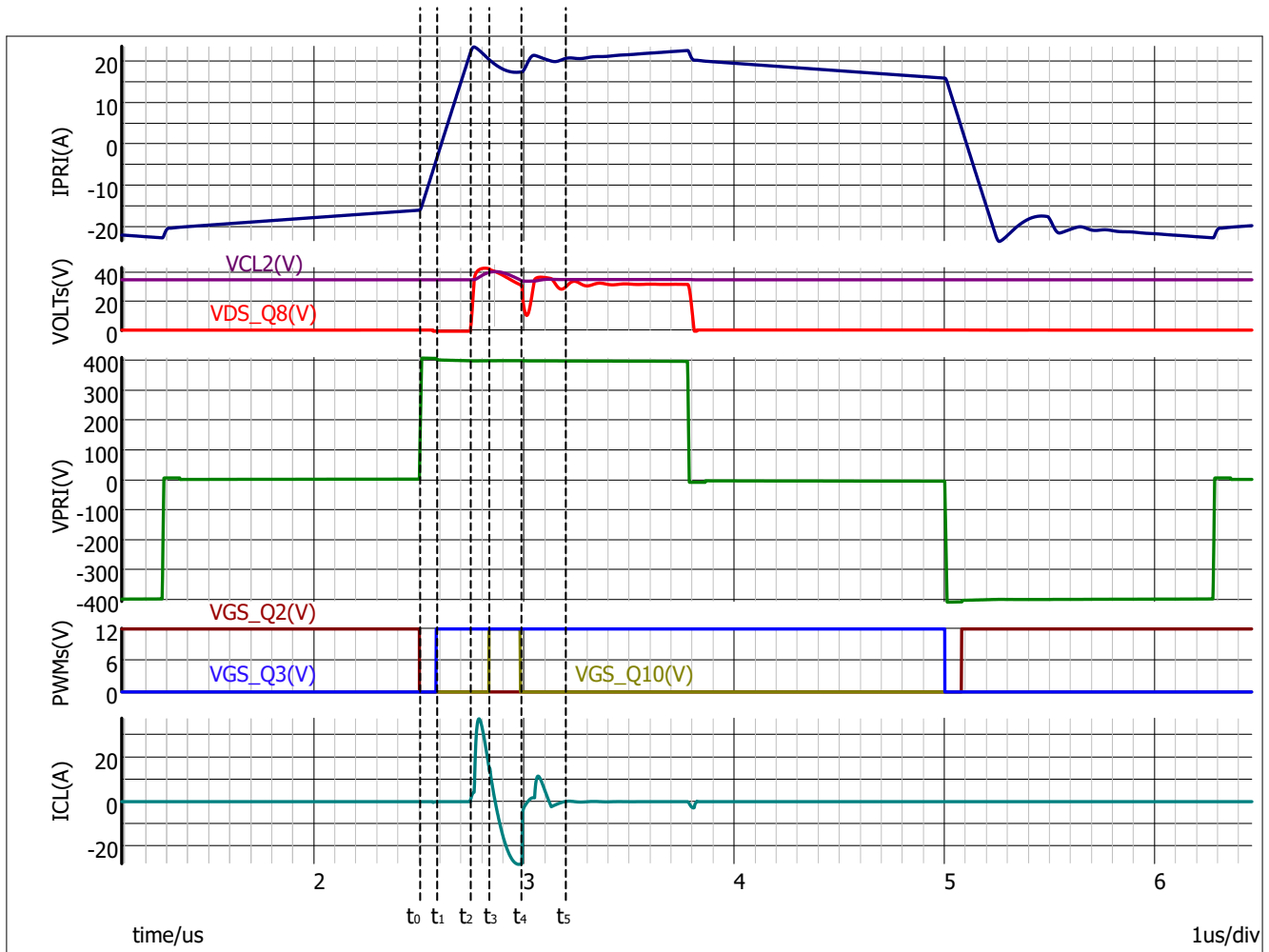


图 2-10. 具有有源钳位电路的相移全桥的序列

[t3-t4] : 在 t_3 时, 有源钳位开关 Q10 导通。由于钳位电流 ICL 在这一刻保持正向, 因此 Q10 的体二极管在续流模式下导通, 从而实现 Q10 的零电压开关 (ZVS) 导通。Q10 的导通为钳位电容器 CL2 建立了放电路径。因此, 在半个谐振周期后, ICL 的方向反转, CL2 开始放电, 将存储的能量传输到输出侧。

当 ICL 反向时, 这会结合初级反射电流 $IPRI$ 提供负载电流。负载电流在此间隔内基本保持恒定, 因此可以观察到 $IPRI$ 的相应下降以保持电流平衡。

[t4-t5] : 在 t_4 时, 有源钳位开关 Q10 关断。Q10 的关断会消除 CL2 的放电路径, 从而使 ICL 快速衰减至零。由于负载电流保持恒定, Q8 的输出电容 C_{oss} 与 $IPRI$ 一起提供负载电流, 从而显著降低 Q8 的漏源电压 VDS 。之后, 随着 $IPRI$ 的增加, Q8 的 VDS 会重新充电至钳位电压电平。

Q8 的 VDS 达到钳位电压后, 电路进入后续谐振周期, 使 ICL 上升并为 CL2 充电。但是, 此谐振周期的能量含量远低于上一周期的能量含量; 因此, 钳位电压 $VCL2$ 几乎保持恒定。由于 Q10 不再导通且不存在放电路径, 因此谐振会在半个周期后终止。

2.3.1 导通延迟

从前面的分析可以看出, 间隔 $[t_1-t_2]$ 构成了相移全桥拓扑的占空比损耗阶段。在此阶段, 初级电流 $IPRI$ 继续增加, 而所有次级侧电源开关都保持续流模式。如果有源钳位开关在此阶段导通, 则钳位电容器 CL2 快速放电, 从而生成较大的反向钳位电流 ICL 。这会导致从有源钳位电容器到初级侧出现不良能量回流。因此, 相对于 Q2 的关断瞬间测量的最小导通延迟必须等于或超过占空比损耗周期的持续时间, 对应于图 2-10 中的间隔 $[t_0-t_2]$ 。

假设输出电感器电流为 I_{Lo} ，在间隔 $[t0-t2]$ 期间，主电流 IPRI 转换自 $-I_{Lo}/N$ 到 $-I_{Lo}/N$ 。因此，最小导通延迟可表示为：

$$T_{dmin} = 2 \times L_k \times I_{Lo}/N \times V_{in} \quad (14)$$

从该公式可以看出，最小导通延迟取决于多个因素：输入电压越高、负载电流越小、谐振电感越小，它就会越小。对于特定 DC-DC 转换器，最小导通延迟的最差情况是输入电压为最小值，负载电流处于满载状态。

在间隔 $[t3-t4]$ 内的瞬间 $t3$ ，钳位电流 ICL 过零并反向。如果在此过零之前打开 ACL 开关，则体二极管将在续流模式下导通，从而启用 ZVS 导通。因此，相对于 Q2 关断测量的最大导通延迟受 ICL 电流的过零瞬间的限制。最大导通延迟可表示为：

$$T_{dmax} = T_{dmin} + \frac{T}{2} \quad (15)$$

在参考设计 PMP41078 中，开关频率为 200kHz，输入电压范围为 200V 至 450V，输出电压范围为 9V 至 16V，最大输出功率为 3.5kW。根据上面推导的公式，计算出的最小导通延迟为 265ns，计算出的最大导通延迟为 557.5ns；因此，选择了 400ns 的设计值以提供足够的裕度。

2.3.2 导通持续时间

在关断有源钳位开关后，有源钳位电容器会失去其放电路径。因此，有源钳位开关的最短导通持续时间应设计为在所需的钳位电压下实现伏秒平衡。如图 2-10 所示，如果在 ICL 越过零的瞬间关闭 Q10，则可以实现 ZCS 关断。可以根据此原理配置导通持续时间，从而优化开关性能。该时间间隔可以通过仿真获得。

在不同的工作条件下，最坏的情况是相移角达到其最大值，该值通常由电压调节范围要求决定。在此工作点，初级电压 VPRI 的等效占空比达到其最小值。同步整流器 Q8 的导通转换与 VPRI 的下降沿对齐；因此，有源钳位开关 Q10 的最长导通持续时间必须确认在 Q8 导通之前关断，即最小有效占空比减去占空比损耗时间间隔。如果不满足此约束条件，会导致 Q8 将钳位电容器 CL2 短路，从而产生过多的瞬态电流。

在参考设计 PMP41078 中，最小初级侧等效占空比为 20%。因此，在最坏的情况下，导通延迟和导通持续时间之和不得超过 500ns。由于导通延迟选择为 400ns，因此在 PMP41078 中将导通持续时间配置为 100ns。

从图 2-11 到图 2-12 是参考设计 PMP41078 中的波形。图 2-11 展示了没有任何钳位电路时的波形，图 2-12 和图 2-13 是采用有源钳位电路时的波形。CH1 是一个同步整流器电源开关的 VGS，CH2 是该电源开关的 VDS，CH3 是变压器初级侧电压的波形，CH4 是变压器初级侧电流的波形。

图 2-11 和图 2-12 在 200V 输入电压（最小输入电压）下测得。不存在有源钳位时，电压应力为 32V，而在存在有源钳位时，电压应力可降至 22V。电压过冲被抑制在 92% 至 30% 之间。

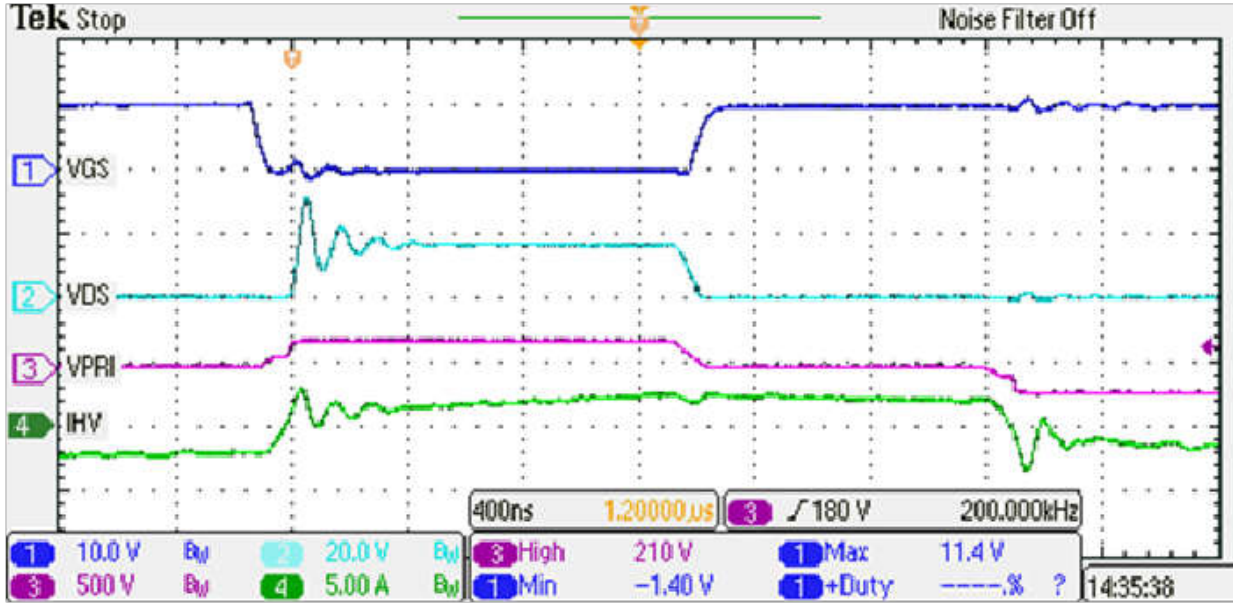


图 2-11. $V_{in} = 200V$ 、 $I_{out} = 20A$ 时无钳位

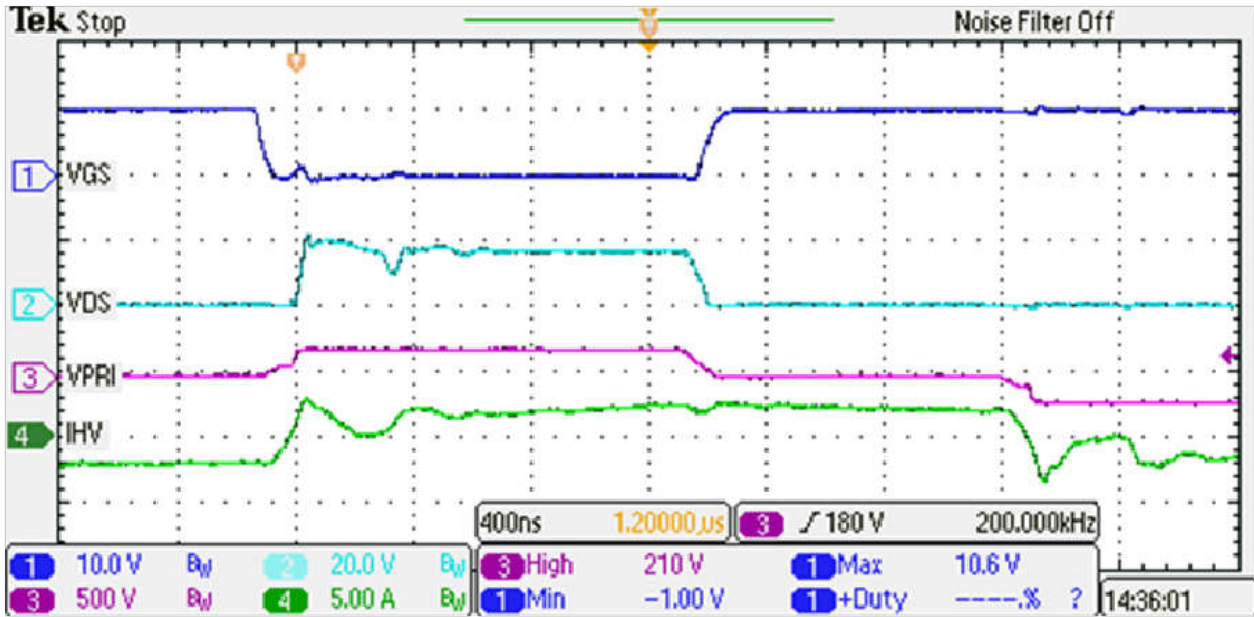


图 2-12. $V_{in} = 200V$ 、 $I_{out} = 20A$ 时存在有源钳位

图 2-13 在 450V 输入电压 (最大输入电压) 下测得。使用有源钳位时, 电压应力为 45.6V。因此, 该 DC-DC 转换器中的 60V 电源开关就已足够。

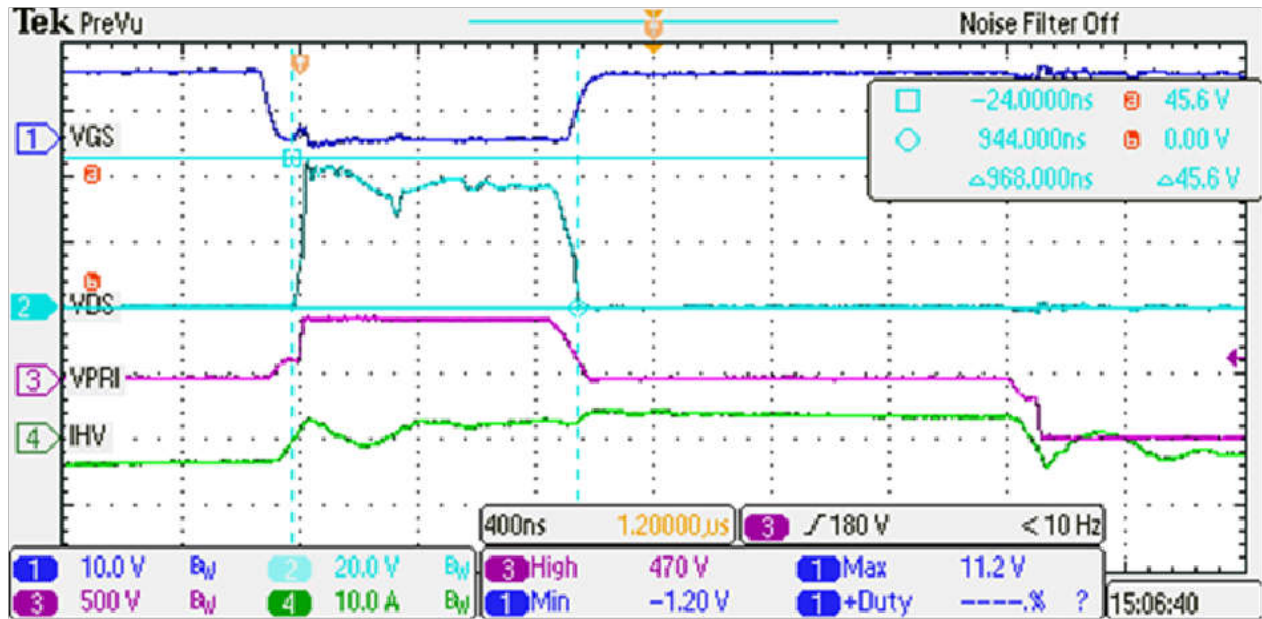


图 2-13. Vin = 450V、Iout = 20A 时存在有源钳位

图 2-14 在 320V 输入电压下测得。CH1 是有源钳位电容器上的电压。在每个周期中，电容器上的电压稳定在 28V 下，该电压会充电至 32.8V 以吸收谐振能量。

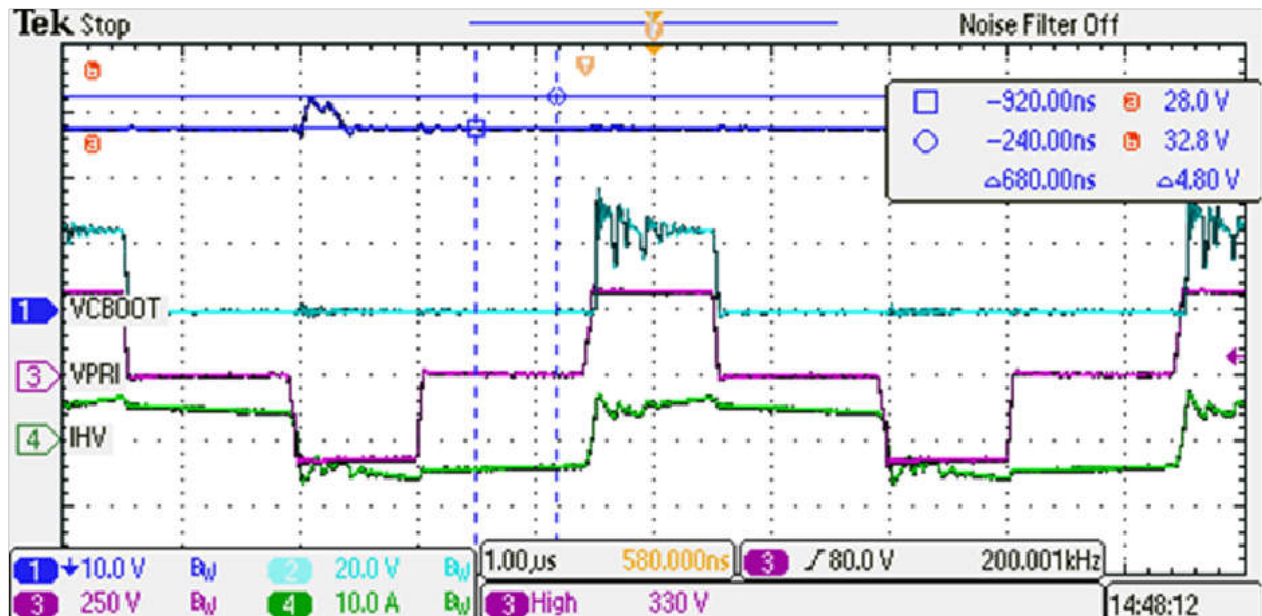


图 2-14. 有源钳位电容器上的电压

PMP41078 及 PMP41139 是汽车应用中使用的参考设计。PMP41078 用于 400V 高压电池应用，而 PMP41139 用于 800V 高压电池应用。PMP23126 和 PMP22951 是工业应用中使用的参考设计，与汽车应用相比，其规格不同。PMP23126 用于 12V 输出应用，而 PMP22951 用于 54V 输出应用。这些参考设计验证了本文中所示的有源钳位电路。

3 总结

本应用手册主要探讨了全桥转换器拓扑中电压应力生成的机制，并概述了主要的钳位策略。对于广泛采用的有源钳位方法，文中介绍了涵盖硬件电路实现和软件控制算法的全面设计方法。这些设计原理已通过实际参考设计实现进行了验证。

4 参考资料

1. 德州仪器 (TI), [PMP41078 采用 GaN HEMT 的高压到低压 DC-DC 转换器参考设计](#), 产品页面。
2. 德州仪器 (TI), [PMP41139 3.5kW、800V 至 14V DC/DC 转换器参考设计](#), 产品页面。
3. 德州仪器 (TI), [PMP23126 具有有源钳位、功率密度大于 270W/in³ 的 3kW 相移全桥参考设计](#), 产品页面。
4. 德州仪器 (TI), [PMP22951 54V、3kW 具有源钳位的移相全桥参考设计](#), 产品页面。
5. 德州仪器 (TI), [利用 PSFB 转换器中的有源钳位实现高转换器效率](#), 模拟设计期刊。
6. 德州仪器 (TI), [相移全桥转换器基础知识](#), 研讨会。

5 修订历史记录

| Changes from Revision * (January 2026) to Revision A (April 2026) | Page |
|---|------|
| • 添加了文本以更正错误..... | 18 |

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月