

Application Note

使用 TI 可编程逻辑器件 (TPLD) 的漏极开路输出和功耗



摘要

本应用手册探讨了 TI 可编程逻辑器件 (TPLD) 中漏极开路输出和混合信号电压电路的使用，并概述了与这些电路相关的设计原则和挑战。本文档特别重点介绍了在需要连接多个电压域的系统（例如工业控制系统、医疗设备或个人电子应用）中使用这些电路，这些系统将低压数字处理与高压传感或驱动相结合。

内容

1 TPLD 中的混合电压逻辑简介.....	2
2 输出模式简介.....	2
3 漏极开路输出的时序.....	3
4 计算功耗.....	6
5 总结.....	6
6 参考资料.....	6

商标

所有商标均为其各自所有者的财产。

1 TPLD 中的混合电压逻辑简介

对尺寸更小、功效更高的器件的需求促使许多半导体器件和电路设计采用较低的电源电压电平（例如 1.8V）。这些技术和制造方面的进步在与现有器件进行集成或遵循可能需要更高电源电压（如 3.3V 或 5V）的行业标准时面临挑战。为了应对这些挑战，逻辑器件具有电压电平转换功能，可用作处理器、传感器等器件与不同代器件之间的桥梁。请参阅[电压电平转换基础知识](#)，全面了解电压转换。

TI 可编程逻辑器件 (TPLD) 可以对电压进行升压转换和降压转换，并允许使用多个不同的逻辑电平。所有 TPLD 都具有针对输入引脚的可选低压数字输入模式，并且允许在所有电源电压范围内实现 1.8V 逻辑输入。同样，TPLD 可以在可选漏极开路 NMOS 输出模式下实现电压转换。有关如何使用这些 TPLD 功能的详细信息，请参阅[TI 可编程逻辑器件 \(TPLD\) 中的升压和降压转换](#)。

2 输出模式简介

CMOS 器件有三种常见的输出模式，这些模式在 TPLD 中都是可选的。其中包括推挽、漏极开路和 tri-state。

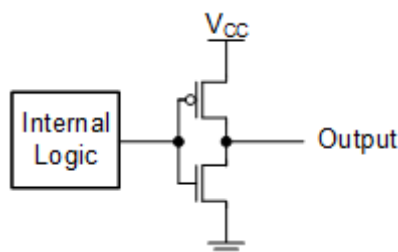


图 2-1. 典型推挽输出配置

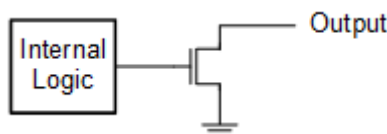


图 2-2. 典型的漏极开路配置

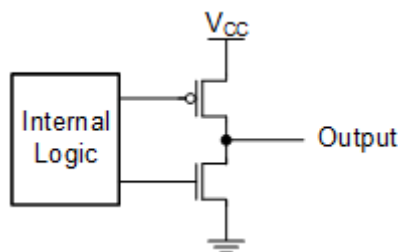


图 2-3. 典型三态输出配置

漏极开路输出和推挽输出之间的区别在于输出驱动输出信号的方式。推挽输出使用两个晶体管主动将线路驱动为高电平和低电平，其中一个晶体管推至 VCC，另一个拉至接地，从而在两个方向上都提供强大的驱动。漏极开路输出只有一个晶体管将线路拉低至接地；漏极开路输出依赖于外部上拉电阻器，以便在晶体管关闭时将线路拉高。因此，推挽输出主动控制两种状态，而漏极开路被动地将线路释放为高电平，并主动将线路拉至低电平。顾名思义，三态输出在任何给定的时间都可以处于三种状态之一：

- 驱动为高电平
- 驱动为低电平
- 未驱动（高阻抗）

三态输出类似于推挽器件，但增加了高阻抗状态。

在输出类型之间进行选择取决于信号的使用方式以及设计中最看重哪些权衡因素。需要快速边沿或频繁切换时，推挽输出效果更好。信号线由多个器件共享、需要电平灵活性或信号大部分时间处于空闲状态时，漏极开路输出是更好的选择。信号线由多个器件共享，但不希望使用外部电阻器时，三态输出是一个不错的选择。三态输出通常需要一个额外的输入来使其进入和退出高阻抗状态。

推挽输出主要在开关期间消耗功率，在开关期间主动对负载电容进行充电和放电。与漏极开路输出器件不同，推挽输出器件不需要通过电阻器拉取电流来输出低电平信号，因此对于频繁切换或长时间保持低电平的信号，推挽可以更节能。

除了少量的泄漏电流外，漏极开路输出在信号为高电平时几乎不消耗功率。这使得漏极开路器件非常适合空闲时保持高电平且不经常切换的信号，例如状态线路或中断。然而，漏极开路输出必须通过上拉电阻器汲取电流，才能实现低电平信号。通过增大上拉电阻器的阻值可以降低电流消耗，但增大电阻器会降低开关速度，并可能影响器件驱动线路上任何负载的能力。

3 漏极开路输出的时序

漏极开路输出依赖外部上拉电阻器将输出电压拉至高电平。因此，输出上升时间取决于上拉电阻器的值和负载电容，包括引脚电容和寄生电容。上拉电阻器和负载电容的这种组合具有典型电阻电容器 (RC) 电路的所有特性行为。

例如，本节所述的设置（见[图 3-1](#)）采用了基本缓冲器配置，如[图 3-2](#) 所示。

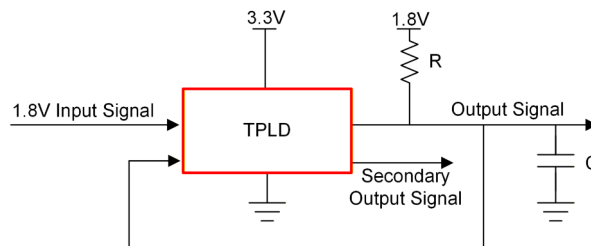


图 3-1. TPLD 漏极开路输出示例

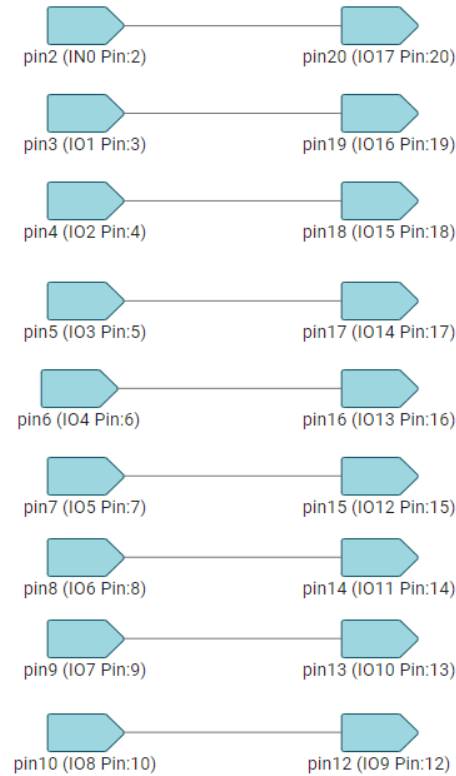


图 3-2. TPLD 缓冲器配置

该输出信号是 RC 电路的一部分，当输出信号从低电平切换到高电平时，电压的变化由以下公式决定：

$$V_C = V_S(1 - e^{-t/RC}) \quad (1)$$

RC 电路的 10% 至 90% 上升时间为：

$$t_{\text{rise}} = 2.2\tau = 2.2RC \quad (2)$$

在这种情况下， V_S 是来自上拉电阻器的 1.8V 电源， V_C 是 C 两端的电压。

方程式 1 展示了漏极开路器件的上升时间取决于上拉电阻器，因为在许多应用中负载电容并不容易更改。这意味着，为特定应用选择合适的电阻值非常重要。根据欧姆定律，较大的电阻器可降低电流，从而降低功耗。但是，较大的电阻也会增加输出信号的上升时间。

欧姆定律还决定了可使用的上拉电阻的最小值，进而决定了最短上升时间。该公式为：

$$R_{\text{pullup, min}} = \frac{V_{\text{out}}}{I_{\text{OL}}} \quad (3)$$

每个漏极开路器件都定义了最大低电平输出电流 I_{OL} ，这可用于计算在高电流可能损坏器件之前允许的最小电阻值。继续以 TPLD2001 示例为例， I_{OL} 有两个选项。本例中，选择 $I_{\text{OL}} = 20\text{mA}$ ， $V_{\text{out}} = 1.8\text{V}$ 。此选择使得 $R_{\text{pullup, min}} = 90\Omega$ 。该电阻器可实现快速上升时间，但也会消耗大量功率。选择 90Ω 电阻器而不是 $9\text{k}\Omega$ 电阻器意味着上升时间缩短 100 倍，但功耗增加 10,000 倍。是否将这一结果视为合理的权衡取决于设计要求。

尽管漏极开路输出的上升时间取决于上拉电阻器的大小，下降时间则不然。漏极开路器件被动地将输出释放为高电平，但该器件主动将输出拉至低电平。该结果产生了漏极开路输出器件的不对称上升和下降时间。

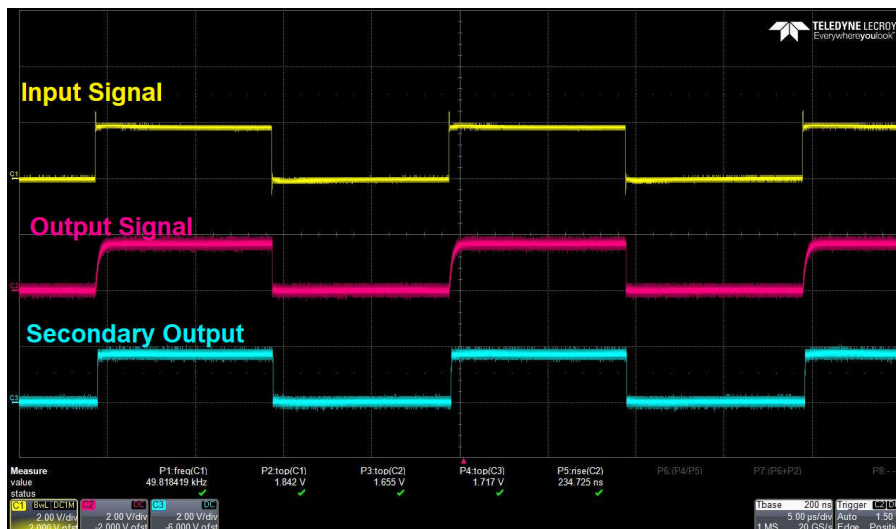


图 3-3. 输入和输出均为 50kHz

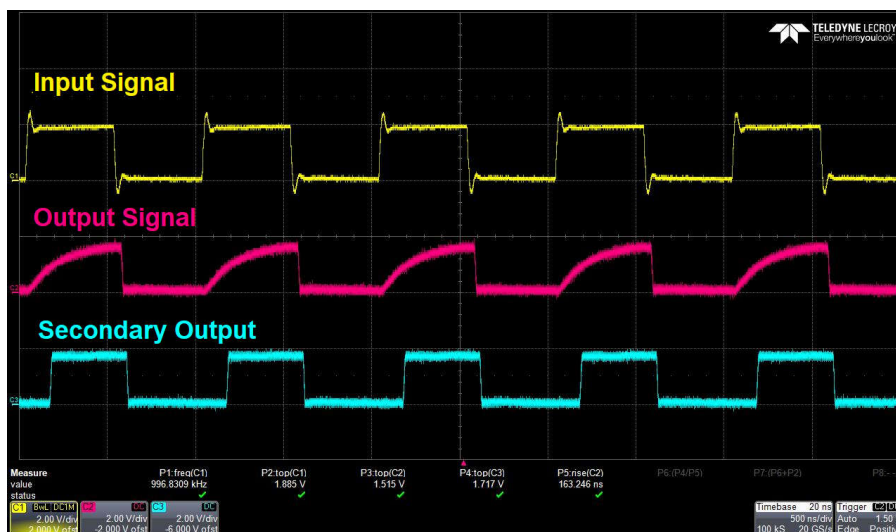


图 3-4. 输入和输出均为 1MHz

图 3-3 和图 3-4 中的波形显示了图 3-1 中所示测试设置的输入和输出。该设置包括一个配置为具有低电压输入的简单缓冲器的 TPLD2001 电阻器 (如图 3-2 所示)，即使 TPLD 由 3.3V 电源导轨供电，也支持 1.8V 逻辑。请注意，TPLD 也可以直接由 1.8V 供电。标记为次级输出的输出配置为推挽输出。上拉电阻器为 10k Ω 。在 50kHz 时，这个较大的上拉电阻器的影响变得很明显；而在 1MHz 时，输出信号的缓慢上升时间开始影响次级输出信号的占空比。尽管 TPLD2001 电阻器在推挽模式下可从任何输出引脚输出高达 8MHz 的频率；电阻器的漏极开路模式输出的输出速度仍由 RC 时间常数决定。因此，漏极开路输出很少适用于高速应用。

有关如何选择上拉电阻器的更多信息，请参阅[为漏极开路输出选择合适的上拉/下拉电阻器](#)。

4 计算功耗

在 CMOS 器件中，器件的静态和动态功耗都很重要。在这方面，TPLD 同样如此。

CMOS 器件的静态功耗使用以下公式计算：

$$P_{S,Device} = V_{Supply} I_{CC} \quad (4)$$

对于推挽器件，当输出不切换时，这就是从器件的 VCC 引脚汲取的所有功率。对于漏极开路器件，该计算仍然适用，但整个系统还需考虑通过外部上拉电阻器的电流。以图 3-1 中的实例为例，这就是 1.8V 电源。如果输出为低电平，则系统的功耗包括从器件 3.3V 电源汲取的功率以及上拉电阻器在器件中耗散的功率。漏极开路器件的系统总功耗必须包括：

$$P_{S,Total} = P_{S,Device} + N_{Low} \frac{V^2}{R} \quad (5)$$

方程式 5 表明，当关注功耗时，较大的上拉电阻器是有利的；尤其是在多个输出同时处于低电平时。但是，较大的上拉电阻器会对开关速度产生不利影响，如上一节所示。对于漏极开路器件，时序和功耗是需要考虑的主要权衡因素。

动态功耗要更复杂一些。这种类型的功耗包括瞬态功耗和电容负载功耗，仅在器件从一种状态切换到另一种状态时发生。动态功耗包括为外部负载电容充电时的功耗、为内部节点充电所需的功率，以及当 p 通道和 n 通道晶体管同时短暂导通时，从 Vcc 流向 GND 的击穿电流所消耗的功率。在漏极开路 NMOS 模式下使用时，与类似的漏极开路器件一样，处于漏极开路输出模式的 TPLD 可以避免击穿电流。

有关该主题的更多信息，请参阅 CMOS 功耗与 Cpd 计算。

5 总结

TPLD 能够进行电压升压转换（上移）和降压转换（下移），允许使用多个不同的逻辑电平，并且输出可以通过可选的漏极开路 NMOS 输出模式实现电压转换。漏极开路输出适用于空闲高电平且不经常开关的信号，例如状态线或中断；因为当信号为高电平时，这些信号几乎不消耗功率，并且可以在输出端连接在一起，而不会出现总线争用的危险。考虑使用漏极开路输出的系统功耗时，选择合适的上拉电阻器至关重要，因为该值会影响输出信号的上升时间和功耗；较大的电阻器可以降低功耗，但会增加上升时间。了解这些权衡因素对于出色的系统设计至关重要。

6 参考资料

- 德州仪器 (TI)，[电压电平转换基础知识](#)，应用报告
- 德州仪器 (TI)，[TI 可编程逻辑器件 \(TPLD\) 中的升压与降压转换](#)，应用简介
- 德州仪器 (TI)，[为漏极开路输出选择适当的上拉/下拉电阻](#)，应用报告
- 德州仪器 (TI)，[CMOS 功耗与 Cpd 计算](#)，应用报告

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月